

# **МИКРОСХЕМА ИНТЕГРАЛЬНАЯ 1288ХК1Т**

**ТЕХНИЧЕСКОЕ ОПИСАНИЕ**

**РАЯЖ.431268.001Д34**

## ОГЛАВЛЕНИЕ

<b>ВВЕДЕНИЕ.....</b>	<b>3</b>
<b>1. ОБЩИЕ СВЕДЕНИЯ .....</b>	<b>4</b>
1.1 Назначение микросхемы 1288ХК1Т .....	4
1.2 Функциональные параметры и особенности.....	4
1.3 Схема электрическая структурная микросхемы 1288ХК1Т .....	6
<b>2. ОПИСАНИЕ ФУНКЦИОНИРОВАНИЯ МИКРОСХЕМЫ 1288ХК1Т .....</b>	<b>10</b>
2.1 Входной интерфейс .....	10
2.2 Гетеродин.....	12
2.3 СИС-децимация .....	15
2.4 КИХ-фильтр .....	20
2.5 Выходной умножитель .....	23
2.6 Память выходных отсчетов.....	24
2.7 Режимы работы микросхемы 1288ХК1Т .....	26
2.8 Инициализация и управление .....	40
2.9 Синхронизация.....	43
2.10 Параллельный порт.....	46
2.10.1 Общие сведения о параллельном порте.....	46
2.10.2 Обмен данными в режиме SFIFO .....	48
2.10.3 Регистры параллельного порта.....	49
2.11 Линк-порт .....	52
2.12 Последовательный порт управления.....	54
<b>3. ПРОГРАММНЫЙ ИНТЕРФЕЙС.....</b>	<b>56</b>
3.1 Внутреннее адресное пространство .....	56
<b>4. ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ МИКРОСХЕМЫ 1288ХК1Т .....</b>	<b>71</b>
4.1 Напряжения питания микросхемы .....	71
4.2 Электрические параметры при приемке и поставке.....	71
4.3 Предельно-допустимые и предельные режимы эксплуатации .....	73
<b>5. ВРЕМЕННЫЕ ПАРАМЕТРЫ МИКРОСХЕМЫ 1288ХК1Т .....</b>	<b>74</b>
<b>6. ОПИСАНИЕ ВНЕШНИХ ВЫВОДОВ МИКРОСХЕМЫ 1288ХК1Т .....</b>	<b>88</b>
6.1 Описание типа выводов.....	88
6.2 Нумерация, тип, обозначение и функциональное назначение выводов.....	90
6.3 Расположение выводов микросхемы 1288ХК1Т в корпусе.....	98
<b>7. ПЕРЕЧЕНЬ ПРИНЯТЫХ СОКРАЩЕНИЙ.....</b>	<b>99</b>
<b>8. ИСТОРИЯ ИЗМЕНЕНИЙ .....</b>	<b>100</b>
8.1 Изменения от 19.04.2019 .....	100

## **ВВЕДЕНИЕ**

В настоящем документе рассмотрены вопросы архитектуры и функционирования микросхемы интегральной 1288ХК1Т РАЯЖ.431268.001 (далее - 1288ХК1Т). Приведены электрические параметры и представлено описание внешних выводов микросхемы.

## 1. ОБЩИЕ СВЕДЕНИЯ

### 1.1 Назначение микросхемы 1288ХК1Т

Микросхема интегральная 1288ХК1Т представляет собой четырёхканальный цифровой приемник, который предназначен для построения приемных трактов систем радиосвязи и радиолокации. В микросхеме 1288ХК1Т реализованы функции преобразования входного сигнала с промежуточной частоты (ПЧ) на низкую частоту (НЧ) с последующей фильтрацией и децимацией сигнала. Применение цифровой обработки сигнала на промежуточной частоте позволяет снизить требования к аналоговому тракту и упростить реализацию, и / или улучшить производительность системы в целом.

Микросхема 1288ХК1Т может применяться в системах сотовой связи - таких, как GSM, IS-136, IS-95, WCDMA или UMTS, а также для реализации программно-перенастраиваемых фазированных антенных решеток (ФАР) и адаптивных антенных решеток (ААР), включая изготовленные по технологии SmartAntenna и MIMO.

### 1.2 Функциональные параметры и особенности

Основные параметры цифрового приемника 1288ХК1Т:

- 4 канала;
- возможность объединения каналов для построения широкополосного тракта;
- частота входных отсчетов до 100 МГц;
- три типа входного сигнала:
  - действительный 16-битовый;
  - комплексный 16-битовый;
  - комплексный 8-битовый;
- преобразование частоты действительного и комплексного сигналов;
- динамический диапазон гетеродина, свободный от помех (SFDR), 100 дБ, не более;
- точность настройки гетеродина 0,025 Гц при частоте входных отсчетов 100 МГц;
- точность установки фазы гетеродина 0,005° при частоте входных отсчетов 100 МГц;

- двухкаскадный фильтр-дециматор с фиксированными коэффициентами в каждом канале:
  - первый каскад - фильтр-дециматор с единичными коэффициентами (СИС) второй степени;
  - второй каскад - СИС-фильтр четвёртой, пятой или шестой степени;
- общий коэффициент децимации от 1 до 16384;
- 2 программируемые фильтры-дециматоры конечной импульсной характеристики (КИХ) (64 порядка в каждом канале);
- скорость работы программируемых КИХ-фильтров (64 порядок, тактовая частота 100 МГц):
  - $3,125 \times 10^6$  выборок в секунду для каждого канала;
  - $12,5 \times 10^6$  выборок в секунду при объединении каналов;
- регулировка уровня сигнала с шагом 6 дБ в каждом каскаде фильтрации;
- плавная регулировка уровня сигнала с шагом  $2^{-14}$  на выходе каждого канала;
- буфер выходных данных на 512 отсчетов;
- интерфейс выходных данных:
  - четырёхбитовый или восьмибитовый SHARC-совместимый с линк-портом;
  - 16 или 32 - битовый параллельный порт;
- интерфейс управления:
  - последовательный синхронный порт;
  - 16 или 32 - битовый параллельный порт;
- синхронизация работы нескольких микросхем, включая синхронный старт - стоп, очистку тракта, установку гетеродинов и умножителей плавной регулировки уровня сигнала;
- номиналы напряжений питания:
  - ядро – плюс 2,5 В;

- периферия – плюс 3,3 В;
- энергопотребление:
  - 150 мВт для GSM - или IS95 - канала;
  - 750 мВт для WCDMA - или UMTS – канала;
- диапазон рабочих температур от минус 60 до плюс 85 °С;
- тип корпуса - QFP208.

### **1.3 Схема электрическая структурная микросхемы 1288ХК1Т**

Схема электрическая структурная микросхемы приведена на рисунке Рисунок 1.1.

Цифровой приемник 1288ХК1Т содержит четыре идентичных канала, реализующих функции гетеродирования, децимации и канальной фильтрации входного сигнала.

Входной интерфейс (RX\_IN) обеспечивает прием и маршрутизацию потоков данных, поступающих от внешних аналого-цифровых преобразователей (АЦП).

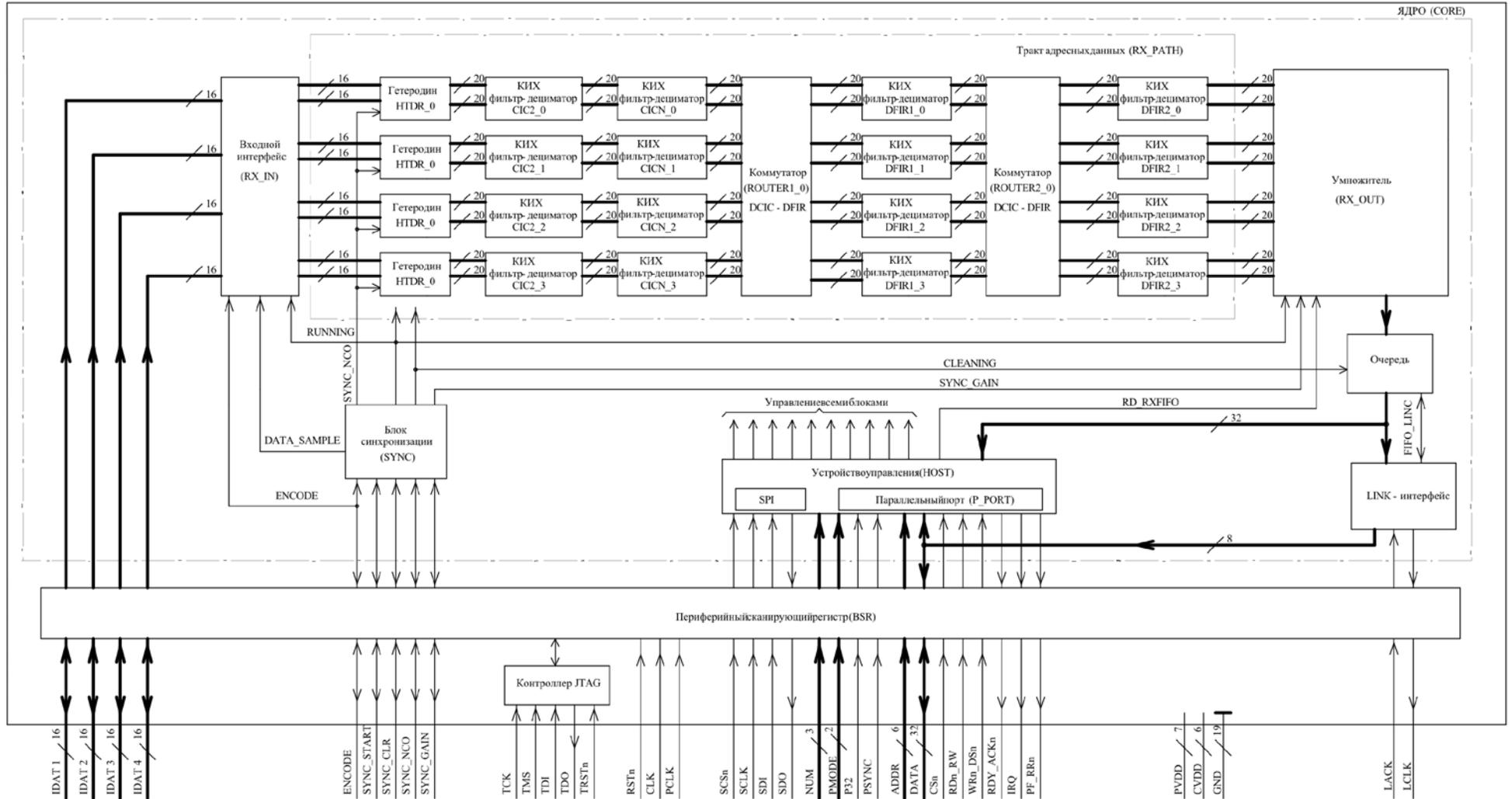


Рисунок 1.1. Структурная схема микросхемы 1288XK1T

Каждый канал цифровой обработки тракта адресных данных (RX\_PATH) включает цифровой гетеродин (HTRD), два каскада фильтров-дециматоров с постоянными коэффициентами (CIC2, CICN), два каскада программируемых КИХ-фильтров-дециматоров 64 порядка (DFIR) и комплексный умножитель выходного сигнала (RX\_OUT).

Квадратурный гетеродин HTDR обеспечивает перенос спектра входного действительного сигнала с промежуточной частоты на низкую частоту, умножая отсчеты входного сигнала на отсчеты опорного сигнала:  $\sin(\omega t)$  и  $\cos(\omega t)$ . В гетеродине реализовано управление частотой и фазой опорного сигнала.

Фильтры-дециматоры с постоянными коэффициентами, равными единице, предназначены для предварительной децимации сигнала. Применение фильтров эффективно при больших значениях коэффициента децимации. При необходимости фильтры могут быть выключены.

Два каскада программируемых КИХ-фильтров-дециматоров (DFIR) используются для последующей децимации с небольшими коэффициентами децимации, коррекции искажений АЧХ, вызванных CIC-фильтрами-дециматорами и канальной фильтрацией.

Каждый из каскадов КИХ-фильтров позволяет понизить частоту дискретизации от одного до 16 раз. Максимальный порядок каждого фильтра - 64, тип фильтра – симметричный или антисимметричный. Фильтры способны обрабатывать два отсчета за один период тактовой частоты микросхемы 1288XK1T. Фильтры имеют 32 программируемых коэффициента разрядностью 16 бит и представляют собой КИХ-фильтры с коэффициентами, хранящимися в оперативной памяти. При тактовой частоте 100 МГц частота дискретизации сигнала на выходе КИХ-фильтра 64 порядка составляет более 3 МГц и может быть увеличена за счет уменьшения порядка фильтра.

Комплексный умножитель выходного сигнала (RX\_OUT) осуществляет плавную регулировку усиления канала и управление фазой выходного сигнала, что может быть использовано для улучшения динамического диапазона тракта обработки, построения автоматической регулировки усиления (АРУ) или систем ФАР и ААР.

Коммутаторы потоков данных (ROUTER) позволяют объединять вычислительные ресурсы нескольких каналов в один для повышения производительности КИХ-фильтров. Например, при объединении всех четырех каналов частота дискретизации сигнала на выходе КИХ-фильтра 64 порядка при тактовой частоте 100 МГц составляет более 12 МГц.

Вывод данных обработанного сигнала осуществляется через 16- или 32-битный параллельный буфер выходных данных (очередь), реализованный в виде FIFO, или через 4- или 8-битный линк-порт (LINK). Управление процессом вывода производится с помощью последовательного (SPI) или параллельного (P\_PORT) порта.

Устройство управления HOST совместно с блоком синхронизации SYNC обеспечивает работу микросхемы 1288ХК1Т, а также позволяет организовать совместную работу нескольких микросхем, включая синхронный пуск, очистку блоков памяти, установку параметров гетеродина и комплексного выходного умножителя.

Перечисленные выше устройства составляют ядро (CORE) микросхемы.

Регистр BSR выполняет функции приема и выдачи потоков данных, управляющих сигналов, а также сигналов синхронизации совместной работы нескольких микросхем (функциональное назначение сигналов приведено в разделе б).

JTAG-интерфейс обеспечивает управление средствами внутреннего контроля и позволяет проводить отладку рабочих программ микросхемы 1288ХК1Т на низкой частоте при блокировании прохождения внешних сигналов регистром BSR.

Основные сведения о микросхеме 1288ХК1Т, определяющие её тип (типономинал), приведены в Таблица 1.1.

**Таблица 1.1. Параметры микросхемы 1288ХК1Т**

Параметр	Описание
Основное функциональное назначение	Прием, обработка входных сигналов, передача выходных данных, управление по параллельному или последовательному порту, синхронизация нескольких приемников
Пропускная способность каждого канала входного интерфейса, выборки в секунду	108, не менее
Количество СИС фильтров-дециматоров с единичным коэффициентом	8
Степень СИС фильтров-дециматоров с единичным коэффициентом	2-6
Разрядность параллельного порта, бит	16/32
Разрядность линк-порта, бит	4/8
Количество КИХ- фильтров с программируемыми коэффициентами	8
Порядок КИХ-фильтров с программируемыми коэффициентами	1-64
Разрядность внутренних данных, бит	20, не менее
Разрядность входных данных, бит	16
Максимальная частота следования импульсов тактовых сигналов, МГц	100
Количество каналов обработки	4
Состав канала	Гетеродин, 4 фильтра
Условное обозначение корпуса	QFP 208
Количество элементов в схеме электрической	$2 \cdot 10^6$

## 2. ОПИСАНИЕ ФУНКЦИОНИРОВАНИЯ МИКРОСХЕМЫ 1288ХК1Т

### 2.1 Входной интерфейс

Входной интерфейс обеспечивает прием и распределение до четырех 16-разрядных потоков входных данных. Данные от внешних источников АЦП принимаются по шинам IDAT\* в двоично-дополнительном (two's complement binary), или в коде со смещением (offset binary). Выбор вида кодировки определяется полем «in\_fmt» регистра RX\_CFG (см. Таблица 3.8).

Предусмотрено 2 режима приема данных:

- по уровню « 1 » сигнала ENCODE;
- по уровню « 0 » сигнала ENCODE.

Выбор режима осуществляется битом «enc\_phase» регистра ADC\_CFG (см. Таблица 3.7).

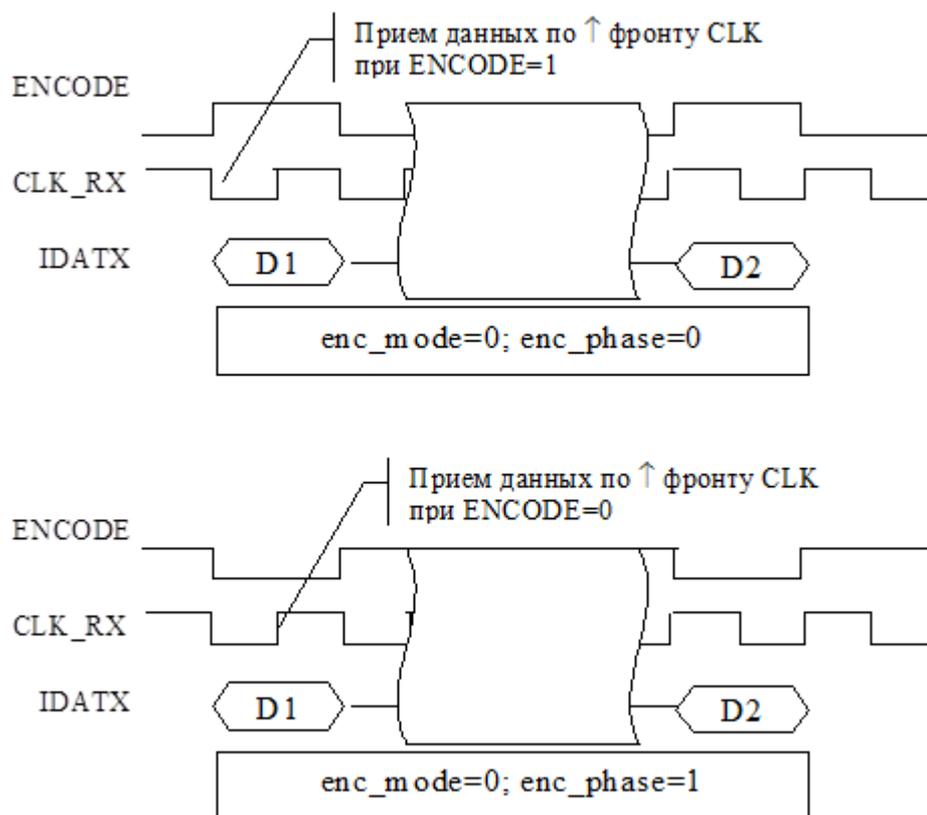
Временные диаграммы сигналов в различных режимах приведены на Рисунок 2.1.

В режимах приема по уровню входные данные и сигнал ENCODE должны подаваться синхронно с тактовой частотой обработки CLK. Данные принимаются входным интерфейсом RX\_IN (Рисунок 1.1) по переднему фронту сигнала CLK, устанавливаются по внутреннему сигналу DATA\_SAMPLE и стробируются сигналом ENCODE.

Сигнал ENCODE – внешний для всех режимов приема данных. Направление сигнала выбирается битом «enc\_dir» регистра ADC\_CFG. Внутренний сигнал ENCODE образуется делением тактовой частоты CLK. Коэффициент деления определяется полем «enc\_div» регистра ADC\_CFG. Генерируемый сигнал ENCODE имеет скважность 0,5 при любом коэффициенте деления.

Входной интерфейс имеет встроенные схемы оценки переполнения. Оценка переполнения производится по старшим восьми разрядам сигнала. Если значения восьми старших разрядов в двоично-дополнительном коде равны  $01111111_2$ ,  $10000001_2$  или  $10000000_2$ , т.е. значения входного сигнала близки к максимальным, то формируется сигнал переполнения в регистре ADC\_OVF.

Входной интерфейс производит симметричное ограничение сигнала таким образом, что максимально отрицательное 16-разрядное значение в двоично-дополнительном коде равно  $8001_{16}$ .



**Рисунок 2.1. Временные диаграммы входных сигналов**

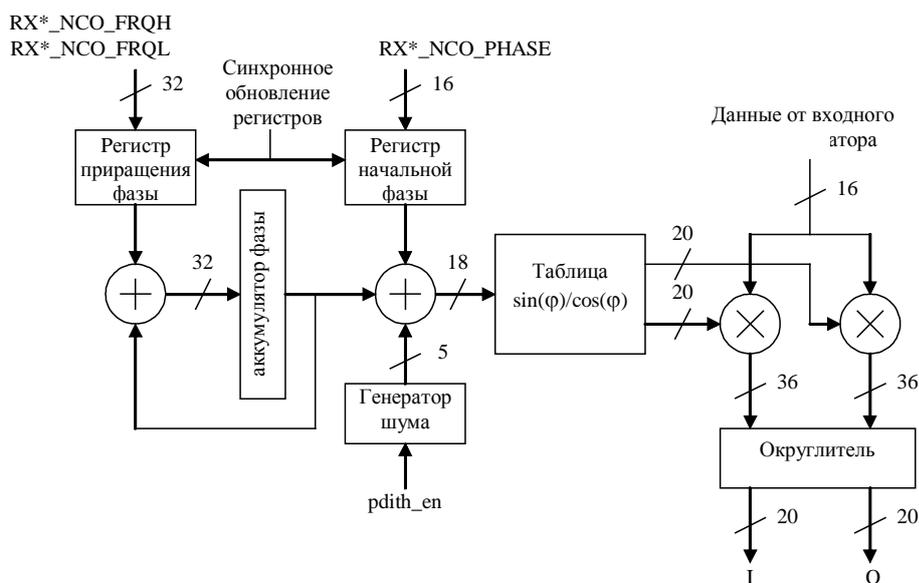
Коммутаторы входного интерфейса позволяют произвольным образом направлять входные данные в каналы обработки (поле «src» регистров RX\*\_LCFG). Интерфейс способен принимать четыре 16-битовых потока действительных данных, два 16-битовых потока комплексных данных или четыре восьмибитовых потока комплексных данных. Для 16-битового комплексного входного сигнала используются две шины IDAT\*, при этом шина компоненты I соответствует значению «src», а шина компоненты Q – «src+1». Для восьмибитового комплексного входного сигнала 16-разрядная шина IDAT\* интерпретируется следующим образом:

- биты [15:8] - компонента I;
- биты [7:0] – компонента Q.

Восьмибитовые данные расширяются до 16 бит добавлением нулей со стороны младших битов.

**Примечание.** Здесь и далее присутствующий в имени какого-либо регистра или в имени шины IDAT\* символ «\*» обозначает в общем случае номер канала приёма и может в конкретном случае принимать значение от 1 до 4.

## 2.2 Гетеродин



**Рисунок 2.2. Блок-схема квадратурного гетеродина**

Одна компонента выходного отсчёта получается умножением входного отсчёта действительных данных на значение  $\sin(\varphi)$ , а другая его компонента получается умножением входного отсчёта действительных данных соответственно на  $\cos(\varphi)$ , вычисленное по текущему значению фазы  $\varphi$  опорного сигнала гетеродина, хранящегося в аккумуляторе фазы. Параллельно происходит вычисление нового значения фазы опорного сигнала.

Выходной поток комплексных данных с умножителей поступает на вход округлителя, который сокращает разрядность данных до 20 бит. Максимальная скорость отсчетов на входе и выходе гетеродина равна тактовой частоте обработки сигнала CLK.

**Правило округления: прибавляется старший отбрасываемый бит.**

Управление частотой и фазой опорного сигнала гетеродина производится при помощи регистров 16-битных `RX*_NCO_PHASE`, `RX*_NCO_FRQL`, `RX*_NCO_FRQH` следующим образом:

- начальная фаза:

$$\frac{2\pi}{2^{16}} PHASE, \text{ рад}$$

(2.1)

- частота гетеродина:

$$\frac{F_s \times FRQ}{2^{32}}, \text{ Гц}$$

(2.2)

где:

- где `PHASE` – значение в двоично-дополнительном коде регистра `RX*_NCO_PHASE`;
- $F_s$  – частота поступления входных отсчетов;
- `FRQ` – 32-битовое значение в двоично-дополнительном коде `{RX*_NCO_FRQH & RX*_NCO_FRQL}`.

Запись регистров `RX*_NCO_PHASE`, `RX*_NCO_FRQL`, `RX*_NCO_FRQH` не приводит к мгновенному изменению параметров гетеродина. Обновление параметров гетеродина новыми значениями регистров происходит при записи «1» в бит «`sync_pco`» регистра `SYNC` или по внешнему сигналу синхронизации `SYNC_NCO`. Переход микросхемы 1288XK1T в состояние останова (см. п. 2.8) вызывает сброс аккумулятора фазы в значение «0». Обновление параметров гетеродина новыми значениями не вызывает сброс аккумулятора фазы.

Для улучшения динамического диапазона SFDR опорного сигнала гетеродина может производиться добавление псевдослучайного шумового сигнала в генераторе фазы (дизеринг). Добавляемый шум представляет собой псевдослучайный шумовой сигнал с нулевым математическим ожиданием и равномерной функцией распределения амплитуды. Включение и выключение дизеринга фазы осуществляется полем «pdith\_en» регистра  $RX*_LCFG$  независимо для каждого из каналов. На Рисунок 2.3 показана спектральная характеристика опорного сигнала гетеродина с выключенным и включенным дизерингом.



**Рисунок 2.3. Пример влияния дизеринга фазы на спектр опорного сигнала гетеродина**

Генератор шума фазы меняет свое состояние синхронно с аккумулятором фазы. Выключение дизеринга и переход микросхемы 1288ХК1Т в состояние «Останов» (см. п. 2.8) вызывает установку генератора шума в исходное состояние. Это может быть использовано для управления корреляцией фазового шума в системах ФАР и ААР.

В режимах комплексного входного сигнала с преобразованием частоты используются гетеродины двух каналов для одного источника сигнала. В этом случае гетеродины первого и второго каналов обрабатывают I и Q - компоненты первого источника сигнала. Гетеродины третьего и четвертого каналов аналогично производят обработку квадратурных компонент второго источника. Частоты и начальные фазы гетеродинов в каждой паре должны быть одинаковыми. В последующем блоке маршрутизации выходных потоков CIC-дециматоров происходит сложение (вычитание) компонент для получения комплексного сигнала преобразованной частоты следующим образом:

$$S_1 = \underbrace{I_1 \cos(\omega_1 t)}_{\text{Выходной сигнал гетеродина первого канала обработки}} - \underbrace{Q_1 \sin(\omega_1 t)}_{\text{Выходной сигнал гетеродина второго канала обработки}} + j * (\underbrace{I_1 \sin(\omega_1 t)}_{\text{Выходной сигнал гетеродина первого канала обработки}} + \underbrace{Q_1 \cos(\omega_1 t)}_{\text{Выходной сигнал гетеродина второго канала обработки}})$$

$$S_2 = I_2 \cos(\omega_2 t) - Q_2 \sin(\omega_2 t) + j * (I_2 \sin(\omega_2 t) + Q_2 \cos(\omega_2 t))$$

## 2.3 CIC-децимация

Блок-схема CIC-фильтров-дециматоров приведена на рисунке 2.4. Блок CIC-фильтров-дециматоров состоит из двух каскадов, каждый из которых включает собственно фильтр, блок масштабирования и мультиплексор для выключения соответствующего фильтра.

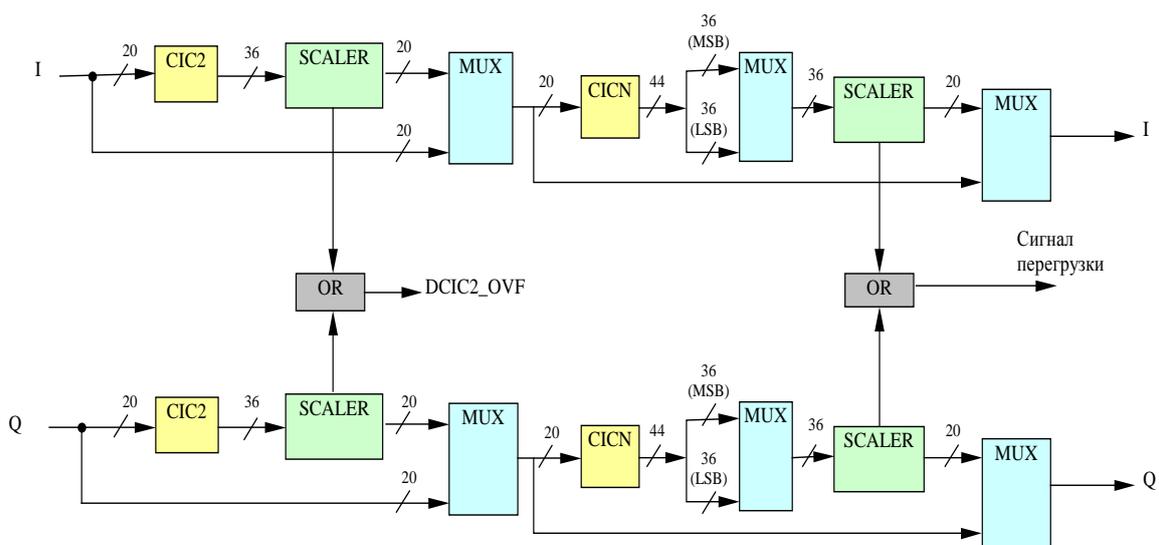


Рисунок 2.4. Блок-схема CIC-фильтров-дециматоров

Первый каскад СІС-децимации организован на СІС-фильтрах второй степени (СІС2). Коэффициент децимации может программно изменяться от 1 до 128. Порядок фильтра СІС2 равен удвоенному коэффициенту децимации. При коэффициенте децимации, равном единице, первый каскад блока СІС-дециматоров может использоваться для дополнительной предварительной фильтрации сигнала. Управление каскадом СІС2 осуществляется с помощью регистра  $RX*_DCIC2$ .

Второй каскад СІС-децимации (СІСN) организован на СІС-фильтрах, степень которых может изменяться от четырех до шести. Коэффициент децимации сигнала находится в пределах:

- в режиме СІС4 - от 1 до 64;
- в режиме СІС5 - от 1 до 27;
- в режиме СІС6 - от 1 до 16.

Порядок фильтра СІСN равен коэффициенту децимации. Управление фильтром осуществляется с помощью регистра  $RX*_DCICN$ .

Блок SCALER, стоящий на выходе фильтров СІС2 и СІСN, позволяет управлять уровнем выходного сигнала с шагом 6 дБ. Одновременно с масштабированием блок SCALER производит округление данных до 20 бит (прибавляется старший отбрасываемый бит) и контроль перегрузки. В случае перегрузки значение выходных данных, в зависимости от знака, устанавливается равным  $7FFF_{16}$  или  $8000_{16}$ , и формируется сигнал перегрузки. Для фильтра СІСN дополнительно используется мультиплексор, который выбирает диапазон масштабирования.

**Правило округления: при округлении остаются 16 младших разрядов. 17-ый отбрасываемый бит прибавляется к результату.**

Частотная характеристика и коэффициент передачи фильтров на низкой частоте определяются следующим образом:

- для СІС2:

$$H(z) = 2^{scl-16} \left[ \frac{1 - z^{-2M}}{1 - z^{-1}} \right]^2$$

(2.3)

$$K_0 = (2 \cdot M)^2 \cdot 2^{scl-16}$$

(2.4)

- для CICN при scl\_mx=0:

$$H(z) = 2^{scl-16} \left[ \frac{1-z^{-M}}{1-z^{-1}} \right]^N$$

(2.5)

$$K_0 = M^N \cdot 2^{scl-16}$$

(2.6)

- для CICN при scl\_mx=1:

$$H(z) = 2^{scl-24} \left[ \frac{1-z^{-M}}{1-z^{-1}} \right]^N$$

(2.7)

$$K_0 = M^N \cdot 2^{scl-24}$$

(2.8)

где:

- scl\_mx, scl – параметры масштабирования;
- M – коэффициент децимации;
- N - степень фильтра (4, 5, 6 для CIC4, CIC5, CIC6 соответственно).

Частота дискретизации сигнала:

- на входе CIC2 равна частоте дискретизации входных отсчетов  $F_S$ ;
- на выходе CIC2 и входе CICN равна  $\left(\frac{F_S}{M_{CIC2}}\right)$ ;
- на выходе CICN равна  $\left(\frac{F_S}{M_{CIC2}M_{CICN}}\right)$ .

Максимальная скорость отсчетов на входе SIC2 и SICN равна тактовой частоте CLK.

Использование SIC-фильтров-дециматоров позволяет реализовать предварительную децимацию сигнала при больших значениях коэффициентов децимации.

На Рисунок 2.5 приведены нормированные АЧХ для SIC-фильтров в различных режимах с коэффициентом децимации равным двум.

На Рисунок 2.6 приведен пример сквозной АЧХ каскадов SIC-децимации при коэффициенте децимации ( $dk$ ) каскада SIC2 равным восьми и коэффициенте децимации каскада SICN равным двум. Каскад SICN включен в режиме SIC6.

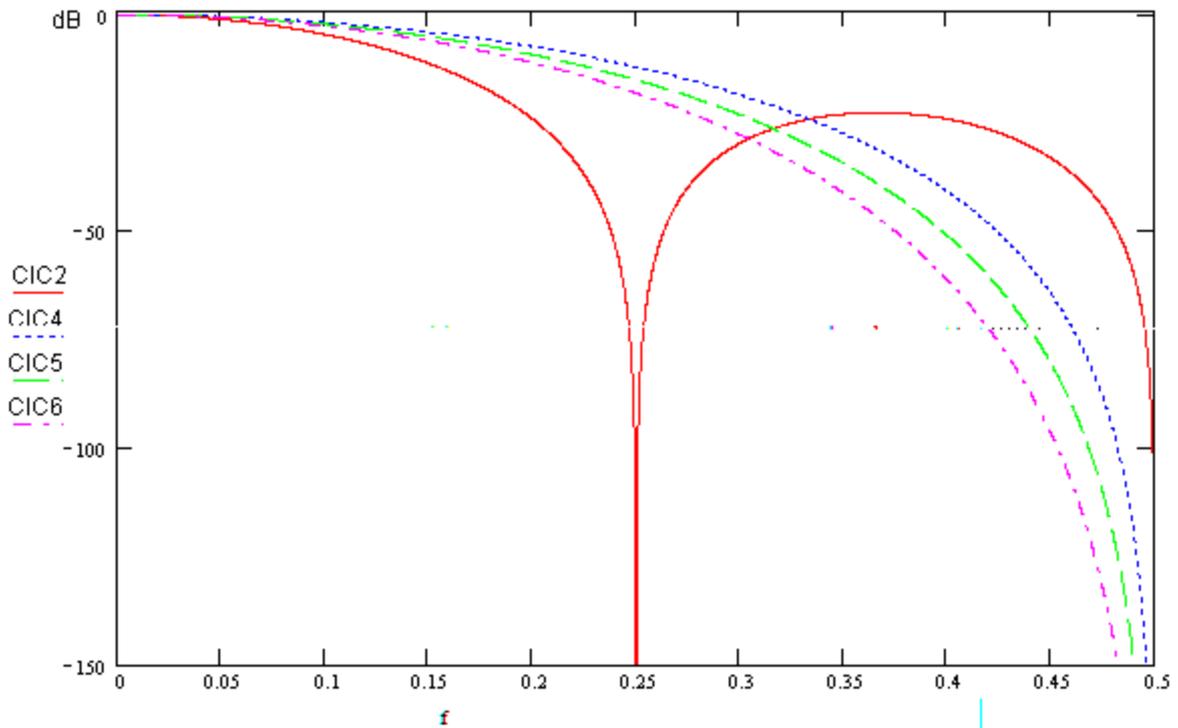


Рисунок 2.5. Нормированные АЧХ фильтров CIC2, CIC4, CIC5 и CIC6 для коэффициента децимации 2

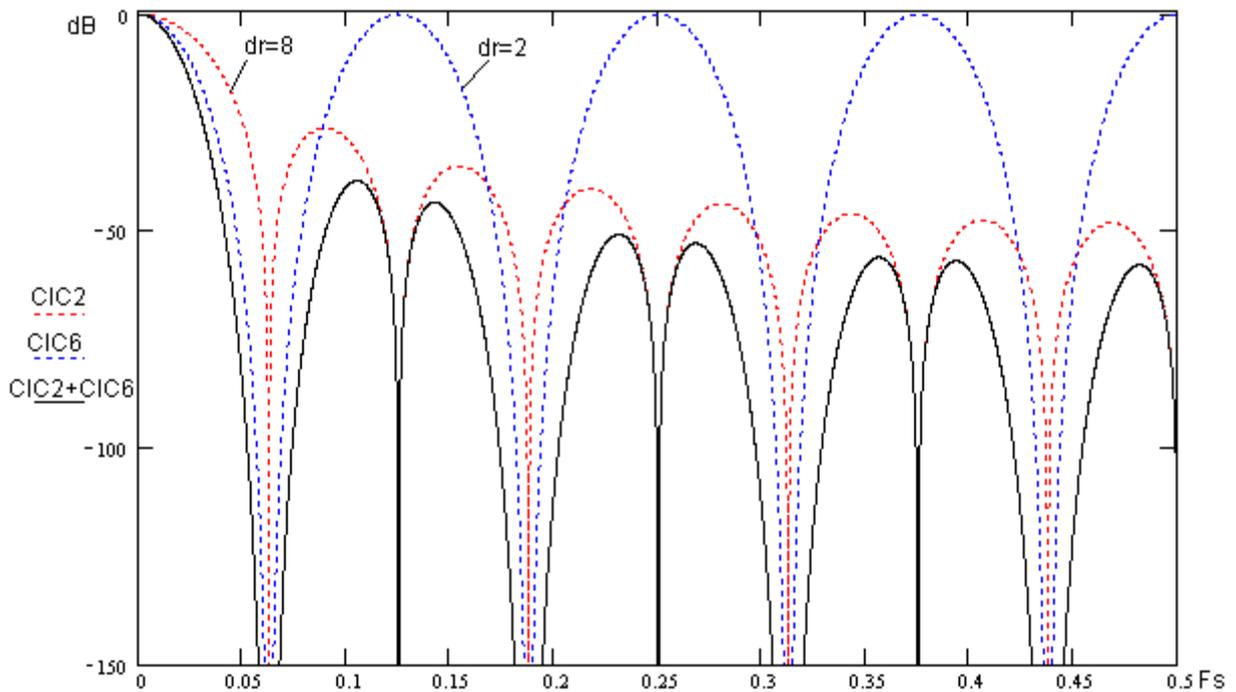


Рисунок 2.6. Пример сквозной АЧХ каскада CIC - фильтра-дециматора

## 2.4 КИХ-фильтр

КИХ-фильтр предназначен для фильтрации сигнала и уменьшения частоты дискретизации сигнала.

Блок-схема программируемых КИХ-фильтров приведена на Рисунок 2.7.

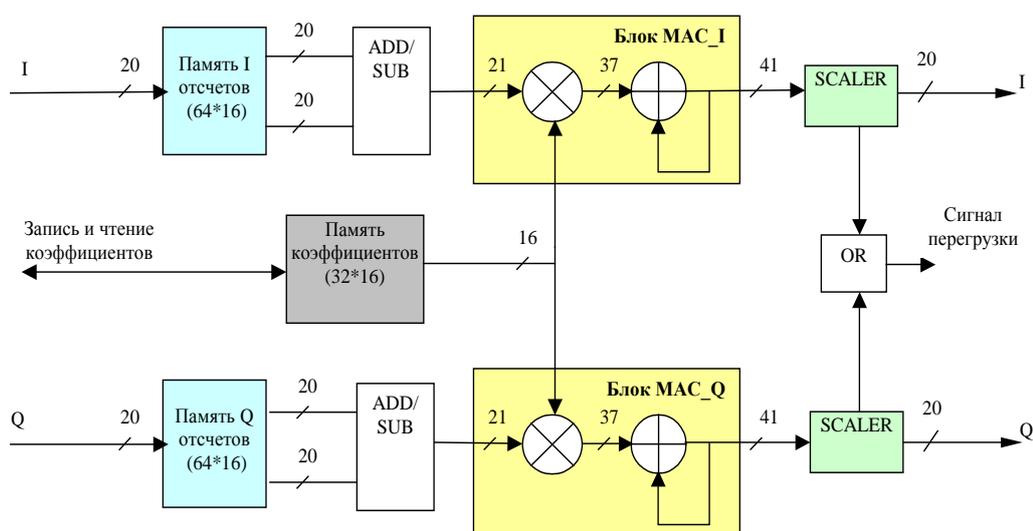


Рисунок 2.7. Блок-схема программируемого КИХ-фильтра

КИХ-фильтр имеет следующие параметры:

- максимальный порядок фильтра равен 64 (порядок фильтра может быть как четный так и нечетный);
- импульсная характеристика фильтра - симметрична или антисимметрична;
- разрядность коэффициентов - 16 бит;
- коэффициент децимации программируется от 1 до 16.

Управление фильтрами осуществляется через регистры  $RX*_DFIR1\_CFG1$ ,  $RX*_DFIR1\_CFG2$ ,  $RX*_DFIR2\_CFG1$ ,  $RX*_DFIR2\_CFG2$ .

Установка коэффициентов выполняется через регистры  $RX*_CF\_DFIR1$ ,  $RX*_CF\_DFIR2$ . Память коэффициентов и данных не определена при включении питания и не очищается по сигналам аппаратного или программного сброса.

Скорость поступления входных данных должна быть согласована с порядком фильтра и быть меньше тактовой частоты CLK в два и более раз (см. выражение (2.9)).

Скорость поступления входных данных определяется следующим выражением

$$F_{S(\max)} = \min \left\{ \frac{F_{CLK}}{2}, \frac{F_{CLK} \cdot M}{CEIL\left(\frac{N_{TAP}}{2}\right)} \right\}$$

(2.9)

где:

- $F_{s(\max)}$  - максимально допустимая частота дискретизации на входе фильтра;
- $F_{CLK}$  - тактовая частота обработки микросхемы 1288ХК1Т;
- $M$  - коэффициент децимации фильтра;
- $N_{TAP}$  - количество коэффициентов фильтра;
- $CEIL$  - округление с избытком.

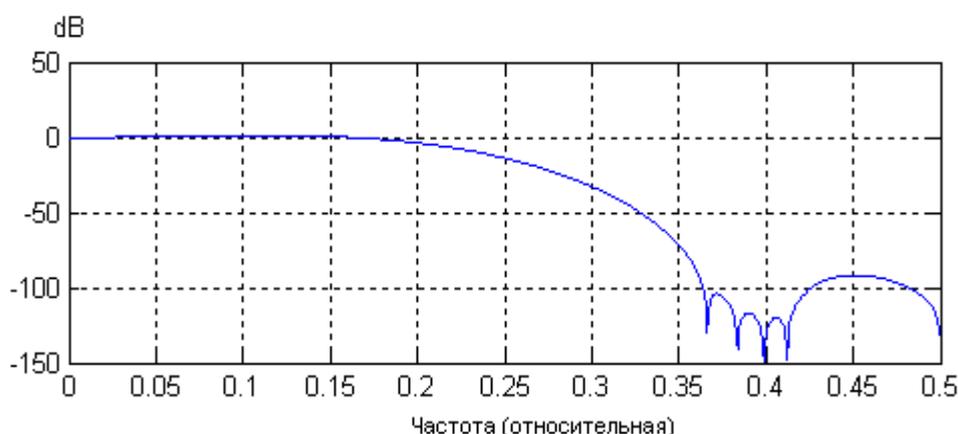
Для симметричного фильтра нечетного порядка «центральный» коэффициент должен быть установлен в регистре как 0,5 своего значения. Под порядком фильтра понимается длина импульсной характеристики  $N_{TAP}$ . Для антисимметричного фильтра нечетного порядка «центральный» коэффициент будет нулевым независимо от установки в регистре.

Приведём пример симметричного фильтра 16 порядка:

- значения коэффициентов фильтра даны в Таблица 2.1;
- АЧХ фильтра показана на Рисунок 2.8.

**Таблица 2.1. Пример реализации КИХ-фильтра**

Номер коэффициента	1	2	3	4	5	6	7	8
Значение коэффициента	194	913	1167	-1609	-5981	-2558	14493	32767



**Рисунок 2.8. Амплитудно-частотная характеристика КИХ-фильтра**

Приведенный в качестве примера фильтр может быть рекомендован для децимации сигнала в два раза с коррекцией искажений CIC-фильтров.

Фильтр содержит блоки масштабирования сигнала SCALER, аналогичные блокам, имеющимся в CIC-дециматоре. С выхода блока умножения с накоплением MAC на вход блока SCALER подаются только старшие 36 разрядов. Блок SCALER производит масштабирование сигнала с ограничением. Масштабирование сигналов обоих квадратурных каналов производится с общим для них значением поля «scl». Выходные сигналы переполнения блоков SCALER объединяются логической функцией «ИЛИ» и, таким образом, образуют выходной сигнал признака переполнения блока DFIR64.

Коэффициент передачи по постоянной составляющей одного каскада КИХ-фильтра рассчитывается по формуле:

$$K = 2^{scl-21} \sum_{i=1}^{N_{TAP}} A_i$$

(2.10)

где

- $N_{TAP}$  - количество коэффициентов фильтра;
- $A_i$  - коэффициенты фильтра.

КИХ-фильтр имеет возможность изменять задержку старта процесса обработки (вычисления первого выходного отсчета фильтра). При значении поля КИХ-фильтра «dly» равным нулю процесс вычисления начинается с первым пришедшим входным отсчетом, в противном случае, процесс вычисления начинается с задержкой на величину содержимого поля «dly». Эта особенность обеспечивает реализацию полифазных фильтров, обладающих большей пропускной способностью и активно используется при режимах с объединением ресурсов каналов.

## 2.5 Выходной умножитель

Комплексный умножитель выходного сигнала RX\_OUT (Рисунок 1.1) позволяет осуществлять плавную регулировку комплексного коэффициента передачи сигнала. Умножитель обеспечивает плавное изменение амплитуды и фазы выходного сигнала, что может быть использовано для улучшения динамического диапазона тракта обработки, построения АРУ или систем ФАР и ААР.

Результирующий сигнал умножителя, записываемый в выходное FIFO (см 2.6), определяется следующим образом:

$$I_{OUT} = I_{IN}GAIN_I - Q_{IN}GAIN_Q$$

(2.11)

$$Q_{OUT} = Q_{IN}GAIN_I + I_{IN}GAIN_Q$$

(2.12)

где:

- $I_{IN}$ ,  $Q_{IN}$  - значение сигнала после фильтров-дециматоров DFIR2;

$GAIN_I$ ,  $GAIN_Q$  - реальная и мнимая части комплексного коэффициента передачи, записанные в регистрах  $RX*_GAIN_I$ ,  $RX*_GAIN_Q$ .

Два 16-битовых значения  $GAIN_I$ ,  $GAIN_Q$  задают значение каждой компоненты комплексного коэффициента в диапазоне от минус ( $2 \cdot 2^{-14}$ ) до плюс ( $2 \cdot 2^{-14}$ ) с шагом  $2^{-14}$ . Используемая кодировка - с дополнением до двух (two's complement).

Примеры значений кодов:

- $4000_{16} = 1,0$ ;
- $2000_{16} = 0,5$ ;
- $0001_{16} = 2^{-14}$ ;
- $0000_{16} = 0$ ;
- $FFFF_{16} = \text{минус } 2^{-14}$ .

Запись в регистры комплексного коэффициента передачи не приводит к непосредственному обновлению внутренних установок гетеродина. Для обновления внутренних значений необходимо записать единицу в бит «sync\_gain» регистра **SYNC**.

После комплексного перемножения 20-битных отсчетов сигнала на 16-битовые коэффициенты разрядность результирующего сигнала ограничивается 16 разрядами с округлением. Суммарный коэффициент передачи комплексного умножителя определяется следующим выражением:

$$K = \frac{1}{16} \sqrt{GAIN_I^2 + GAIN_Q^2}$$

(2.13)

В случае перегрузки комплексного умножителя производится ограничение сигнала и вырабатывается сигнал перегрузки.

## 2.6 Память выходных отсчетов

Результаты обработки представляют собой комплексный сигнал, состоящий из пары 16-разрядных I и Q - компонент. Отсчеты с выходов каналов обработки поступают в память выходных отсчетов (Очередь), реализованную в виде FIFO глубиной 512 комплексных отсчетов.

Для индикации заполненности FIFO выходных отсчетов может использоваться сигнал частичной заполненности PF\_RRn с программируемым порогом и уровнем, задаваемыми регистром  $RX\_FIFO\_THRESH$  и  $RX\_CFG$  соответственно.

В зависимости от режимов работы с объединением каналов порядок упаковки отсчетов в памяти выходных отсчетов следующий:

- в четырехканальном режиме: A1 B1 C1 D1 A2 B2 C2 D2;
- в двухканальном режиме: A1 B1 A2 B2 A3 B3 A4 B4;
- в одноканальном режиме: A1 A2 A3 A4 A5 A6,

где:

- A, B, C, D обозначают логические каналы обработки, а 1,2,3,... – номера отсчетов.

При выключении канала отсчеты от него не поступают. Таким образом, в четырехканальном режиме при выключенном втором канале выходная последовательность упаковки будет: A<sub>1</sub> C<sub>1</sub> D<sub>1</sub> A<sub>2</sub> C<sub>2</sub> D<sub>2</sub> ...

Данные, хранящиеся в памяти выходных отсчетов, могут быть доступны пользователю через параллельный порт P\_PORT или линк-порт (рисунок 1.1). Вывод данных через порты регулируется внутренним сигналом FIFO\_LINK.

При доступе к данным через параллельный порт в 32-разрядном режиме выходные данные представляют собой 32-разрядное слово:

- биты [31:16] - отсчеты компоненты I;
- биты [15:0] - отсчеты компоненты Q.

Последовательность передачи отсчетов соответствует порядку, в котором отсчеты хранятся в FIFO.

В 16 разрядном режиме компонента I передается первой, т.е. порядок выходных данных следующий:

- в четырех канальном режиме: A<sub>1</sub><sup>I</sup> A<sub>1</sub><sup>Q</sup> B<sub>1</sub><sup>I</sup> B<sub>1</sub><sup>Q</sup> C<sub>1</sub><sup>I</sup> C<sub>1</sub><sup>Q</sup> D<sub>1</sub><sup>I</sup> D<sub>1</sub><sup>Q</sup> A<sub>2</sub><sup>I</sup> A<sub>2</sub><sup>Q</sup> B<sub>2</sub><sup>I</sup> B<sub>2</sub><sup>Q</sup> C<sub>2</sub><sup>I</sup> C<sub>2</sub><sup>Q</sup>;
- в двухканальном режиме: A<sub>1</sub><sup>I</sup> A<sub>1</sub><sup>Q</sup> B<sub>1</sub><sup>I</sup> B<sub>1</sub><sup>Q</sup> A<sub>2</sub><sup>I</sup> A<sub>2</sub><sup>Q</sup> B<sub>2</sub><sup>I</sup> B<sub>2</sub><sup>Q</sup> A<sub>3</sub><sup>I</sup> A<sub>3</sub><sup>Q</sup> B<sub>3</sub><sup>I</sup> B<sub>3</sub><sup>Q</sup>;
- в одноканальном режиме: A<sub>1</sub><sup>I</sup> A<sub>1</sub><sup>Q</sup> A<sub>2</sub><sup>I</sup> A<sub>2</sub><sup>Q</sup> A<sub>3</sub><sup>I</sup> A<sub>3</sub><sup>Q</sup> A<sub>4</sub><sup>I</sup> A<sub>4</sub><sup>Q</sup>.

Порядок выдачи данных по линк-порту соответствует порядку выдачи данных в 16-разрядном режиме.

## 2.7 Режимы работы микросхемы 1288ХК1Т

Микросхема 1288ХК1Т обладает возможностью перераспределения вычислительных ресурсов для достижения высокого быстродействия или большего числа каналов обработки. В Таблица 2.2 перечислены поддерживаемые режимы работы 1288ХК1Т.

**Таблица 2.2. Допустимые комбинации режимов работы 1288ХК1Т**

Тип сигнала	Режим работы микросхемы 1288ХК1Т
Действительный сигнал	X4_RH (16 бит)
	X2_RH (16 бит)
	X1_RH (16 бит)
Комплексный сигнал без преобразования частоты	X4_C (8; 16 бит)
	X2_C (8; 16 бит)
	X1_C (8; 16 бит)
Комплексный сигнал с преобразованием частоты	X2_CH (16 бит)
	X1_CH (16 бит)

Принято следующее обозначение режима работы 1288ХК1Т - ХМ\_LН

где:

- М – количество логических каналов обработки (1, 2, 4), определяемое полем mode регистра RX\_CFG;
- L – тип входного сигнала - действительный (R) или комплексный (C). Тип входного сигнала определяется полем «in\_type» регистра RX\_CFG;
- Н – признак наличия операции гетеродирования, определяется полем «in\_type» регистра RX\_CFG.

В Таблица 2.3 приведены режимы работы 1288ХК1Т и соответствующие им коды управления.

**Таблица 2.3. Соответствие режимов работы 1288ХК1Т и кодов управления**

Значение поля «in_type» регистра RX_CFG	Значение поля «mode» регистра RX_CFG			
	00 (четырёх- канальный режим)	01 (двухканальный режим)	10 (одноканальный режим)	11 (резерв)
0 ( действительный сигнал на промежуточной частоте)	X4_RH (16 бит)	X2_RH (16 бит)	X1_RH (16 бит)	-
1 ( резерв )	-	-	-	-
2 ( аналитический сигнал на промежуточной частоте)	-	X2_CH (16 бит)	X1_CH (16 бит)	-
3 ( резерв )	-	-	-	-
4 ( аналитический сигнал на нулевой частоте - 8 бит)	X4_C8 (8 бит)	X2_C8 (8 бит)	X1_C8 (8 бит)	-
5 ( резерв )	-	-	-	-
6 ( аналитический сигнал на нулевой частоте - 16 бит )	X4_C(16 бит)	X2_C (16 бит)	X1_C (16 бит)	-
7 ( резерв )	-	-	-	-

Неподдерживаемые (зарезервированные) режимы отображаются на режим: «mode=00, in\_type=0».

В режиме X4 логические каналы обработки соответствуют «физическим» каналам.

В режимах X2 (два логических канала) объединяются попарно ресурсы первого и второго, третьего и четвертого «физических каналов». При наличии операции гетеродирования используются гетеродины первого и третьего физических каналов для режимов действительных входных данных. При операции гетеродирования комплексных входных данных дополнительно привлекаются гетеродины второго и четвертого физических каналов.

В режимах X1 объединяются все каналы для формирования одного логического канала, при этом используются гетеродин первого канала для действительных данных. Для

гетеродирования комплексных входных данных дополнительно привлекается гетеродин второго физического канала.

При обработке действительного входного сигнала допускаются шесть различных режимов работы.

На Рисунок 2.9 - Рисунок 2.11 приведены диаграммы прохождения сигналов в различных режимах. Входной сигнал – действительный. Серым цветом отмечены блоки, которые не участвуют в обработке.

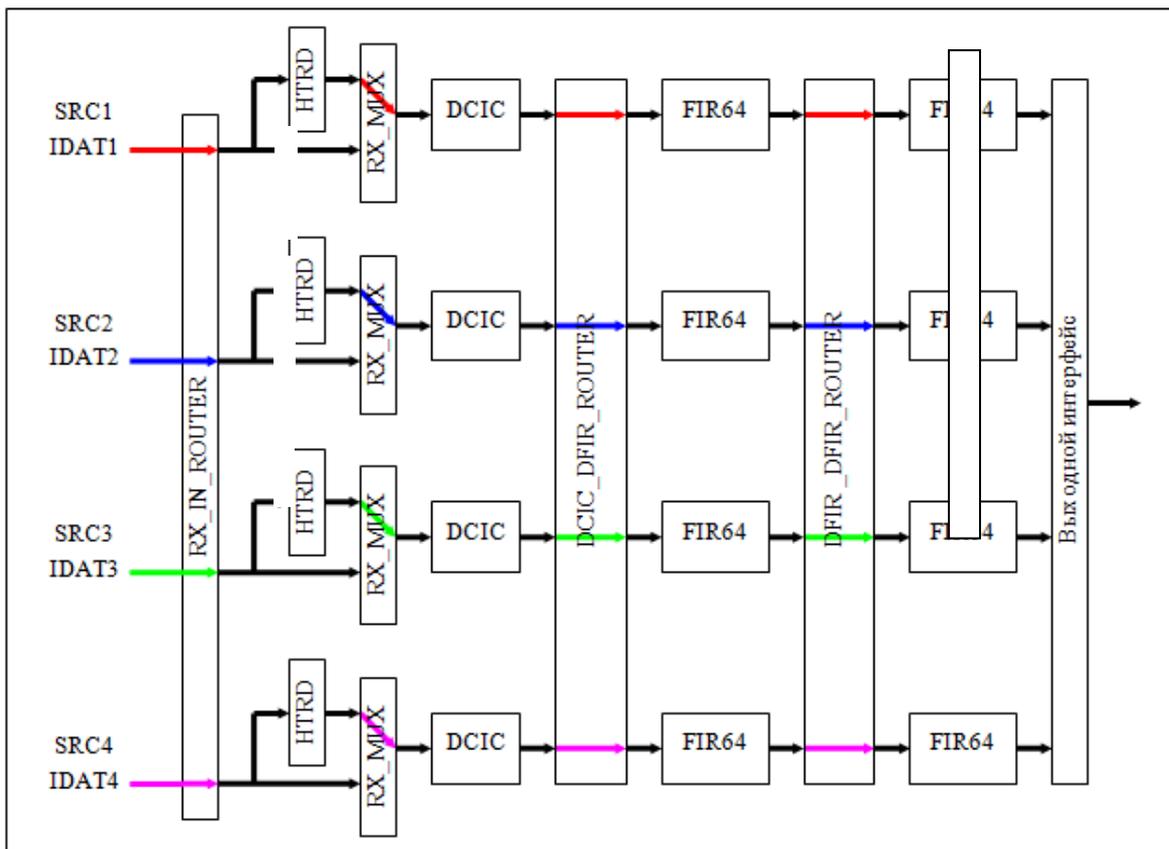


Рисунок 2.9. Режим X4\_RH

В режиме X4\_RH каждый из каналов обработки может быть подключен входным интерфейсом RX\_IN к любому из четырех источников сигнала без ограничений. При этом в режиме X4\_RH может быть от одного до четырех независимых источников сигнала. На Рисунок 2.9 показан частный случай, при котором каждый канал обработки имеет свой независимый источник сигнала. В общем случае, один источник может использоваться для нескольких каналов.

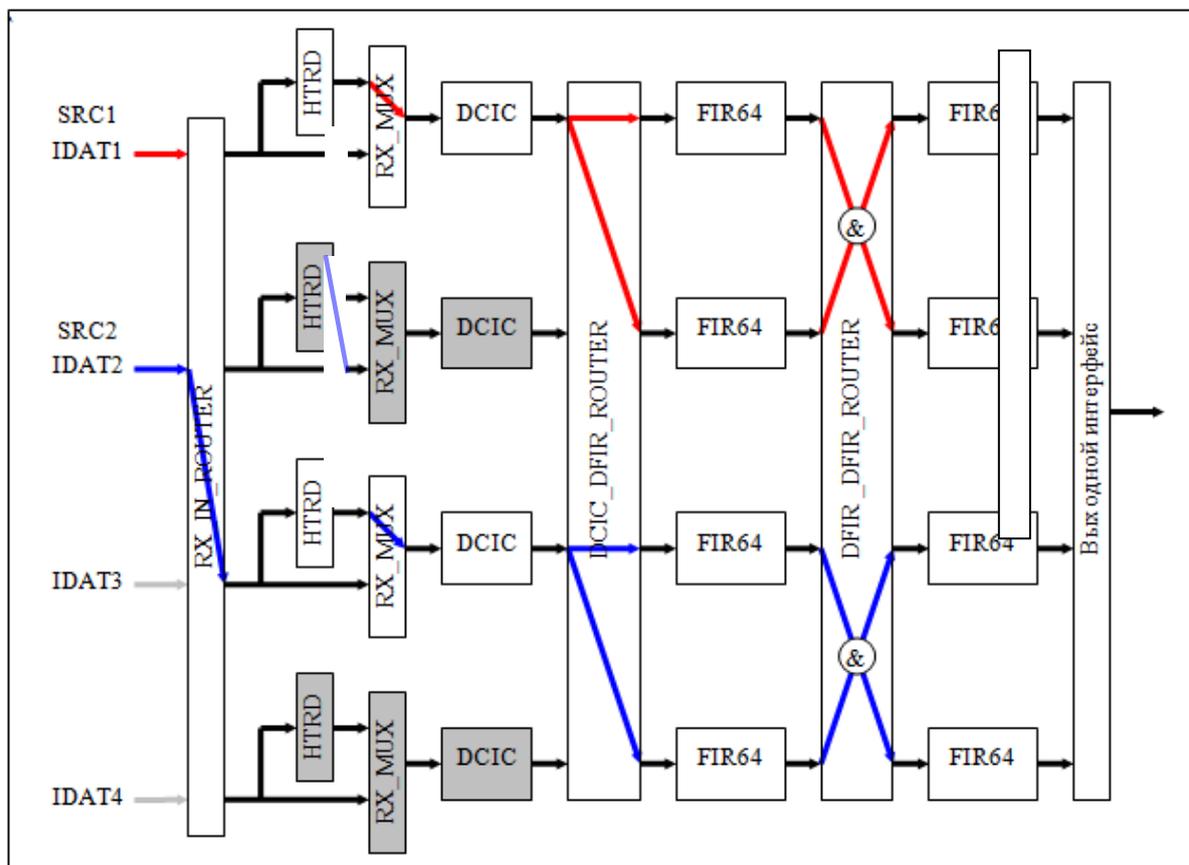
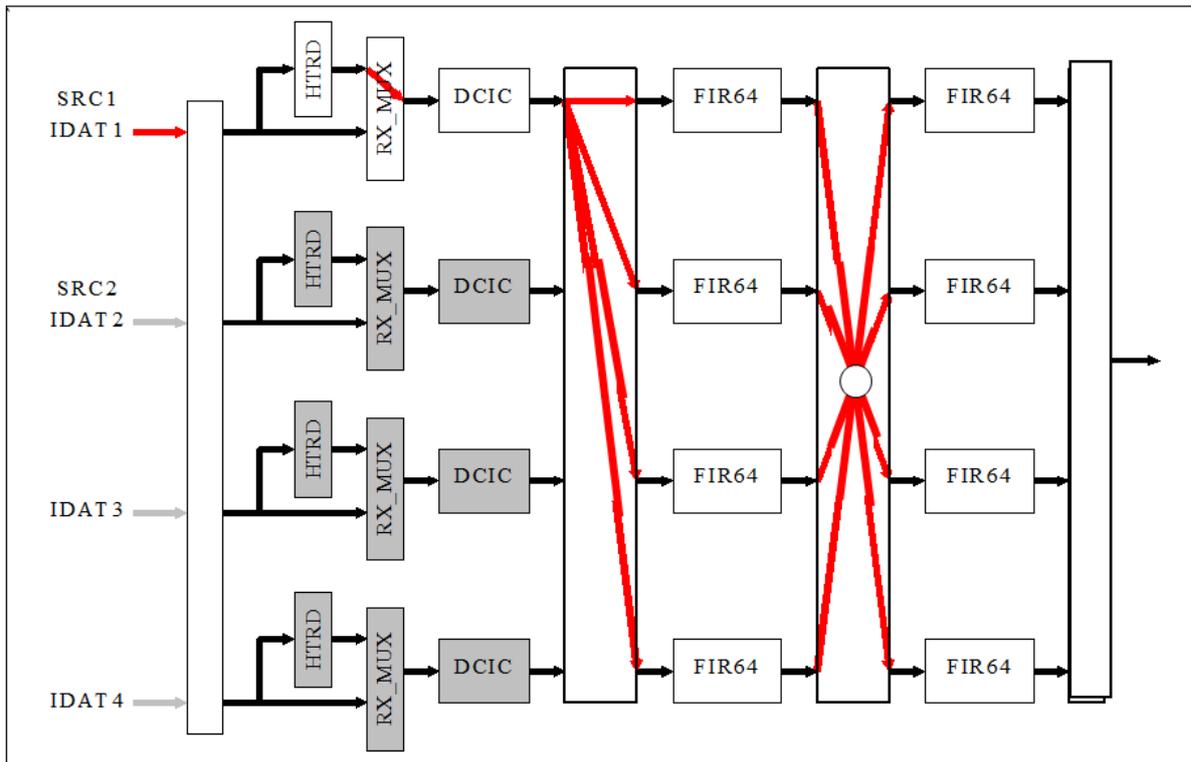


Рисунок 2.10. Режим X2\_RH

Режим X2\_RH относится к режимам с перераспределением ресурсов. Так же, как и в режиме X4\_RH, каналы обработки могут быть подключены к любому из четырех источников. На диаграмме режима X2\_RH (Рисунок 2.10) приведен частный случай, когда два канала обработки имеют собственные источники сигнала. В указанном режиме каналы обработки могут иметь и общий источник сигнала



**Рисунок 2.11. Режим X1\_RH**

Режим X1\_RH (Рисунок 2.11), как и режим X2\_RH, относится к режимам с перераспределением ресурсов. Канал обработки может быть без ограничений подключен к любому из четырёх источников сигнала.

На Рисунок 2.12 – Рисунок 2.13 приведены диаграммы, демонстрирующие особенности режимов с комплексным входным сигналом без гетеродирования - режимы X4\_C8 (8-битовые данные) и X4\_C16 (16-битовые данные). Следует отметить, что в режиме 16-битовых данных можно использовать не более двух независимых источников.

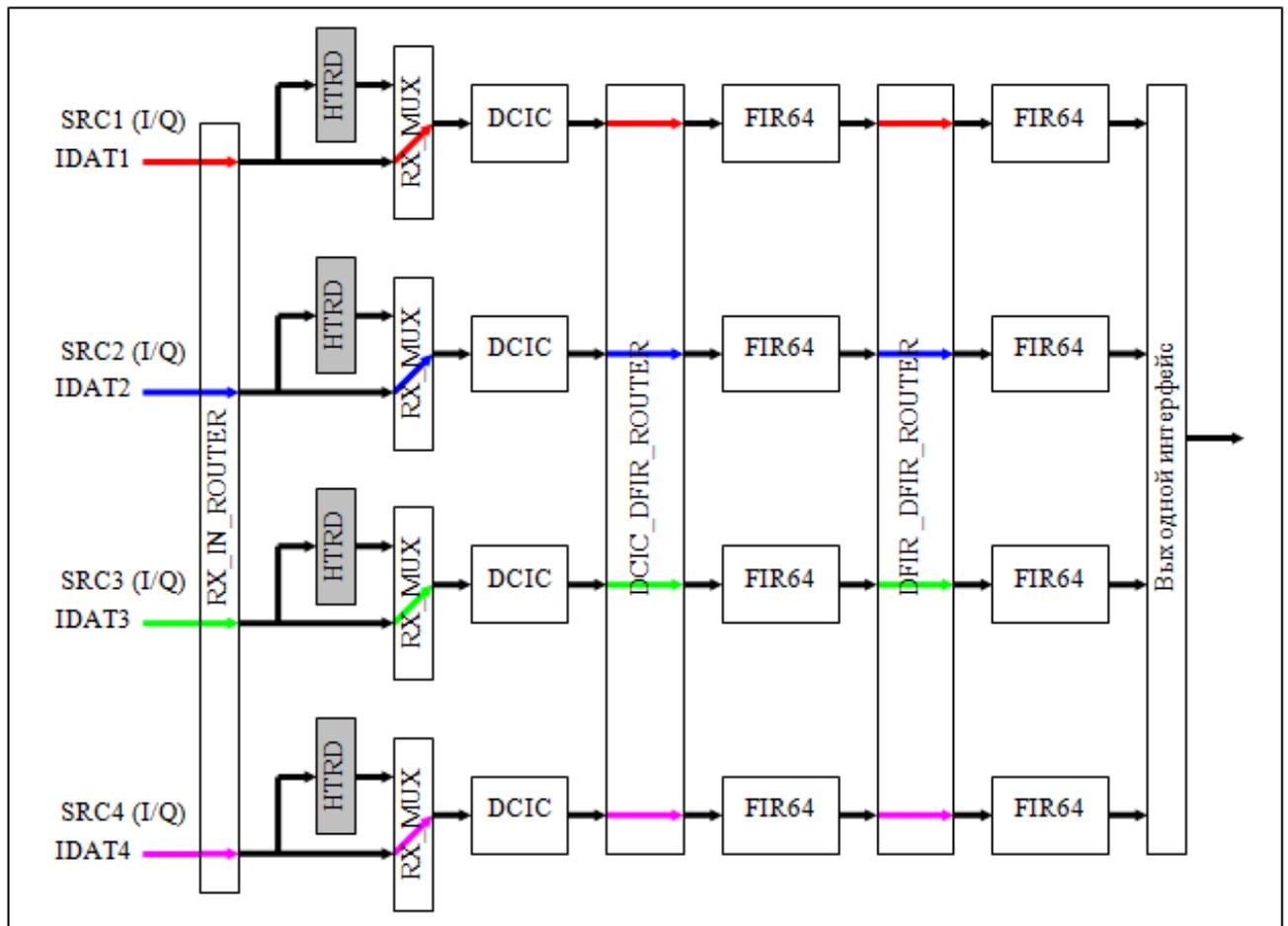
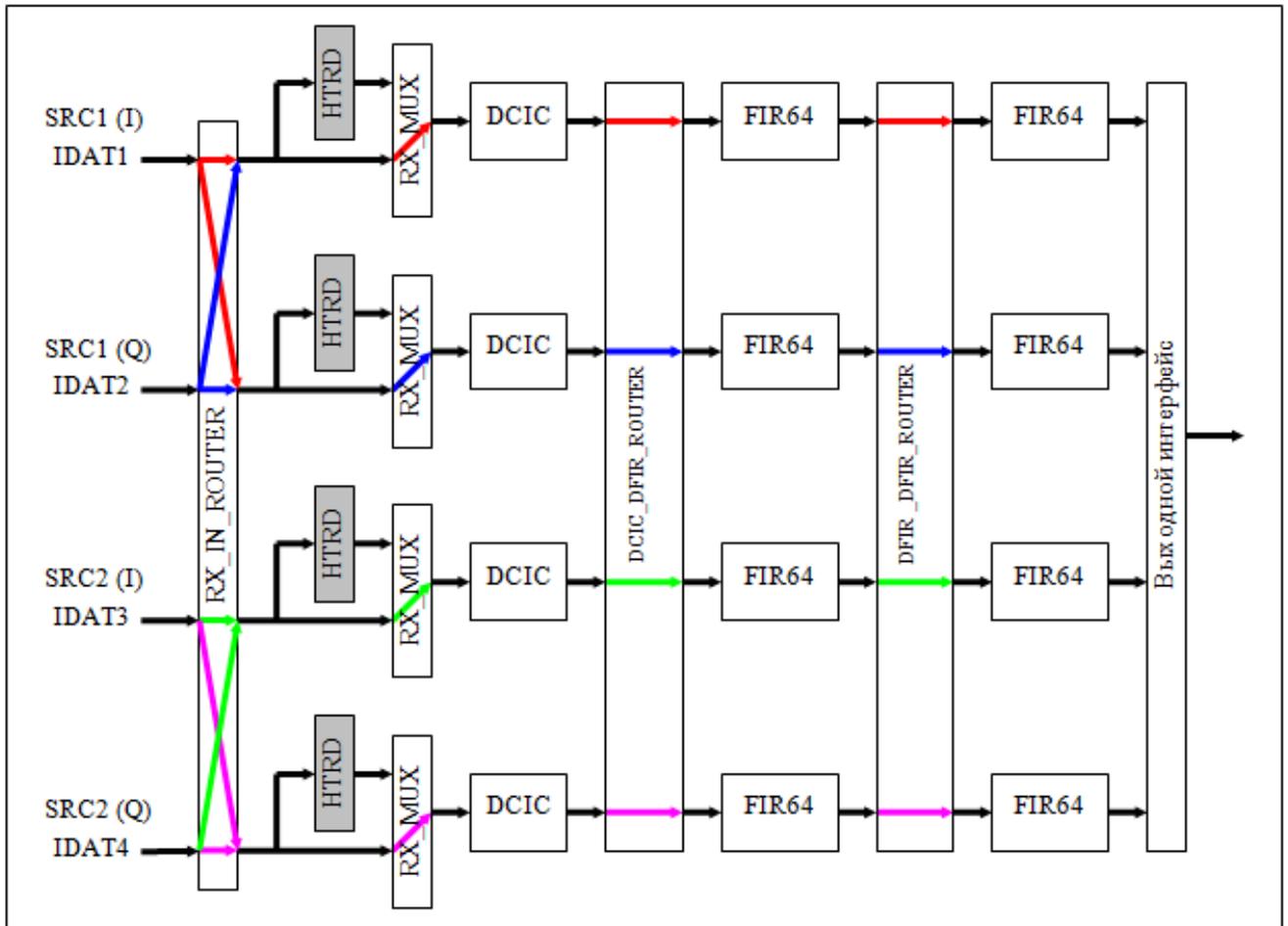


Рисунок 2.12. Режим X4\_C8 (4 независимых источника 8-битовых данных)



**Рисунок 2.13. Режим X4\_C16 ( 2 независимых источника 16-битовых данных )**

Потоки данных в режимах X2\_C8, X1\_C8, X2\_C16 и X1\_C16 аналогичны режимам X2\_RH и X1\_RH.

В режимах комплексного входного сигнала с гетеродинированием для каждого источника данных используются два гетеродина, выходные сигналы которых суммируются в коммутаторах DCIC\_DFIR\_ROUTER. Особенностью этих режимов является возможность обработки только двух (Рисунок 2.14) или одного канала (Рисунок 2.15).

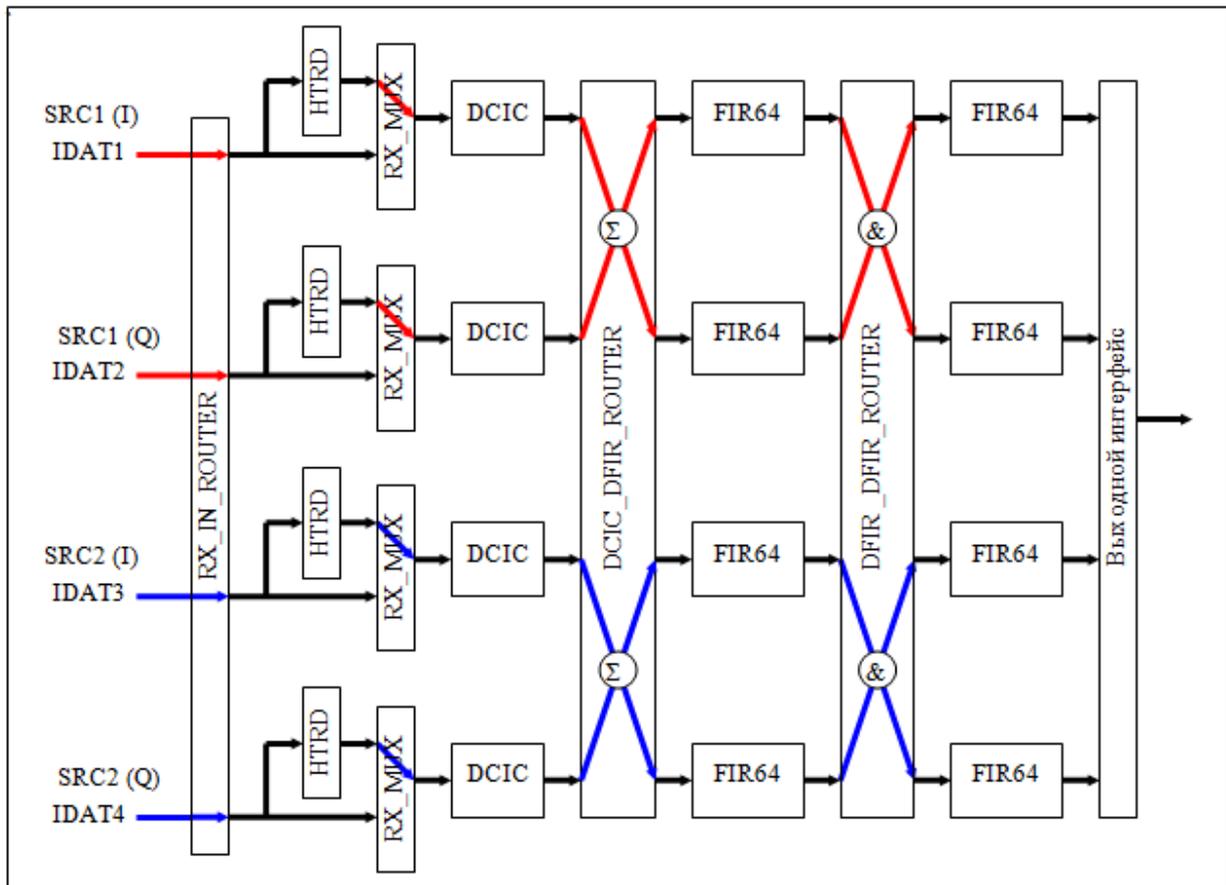
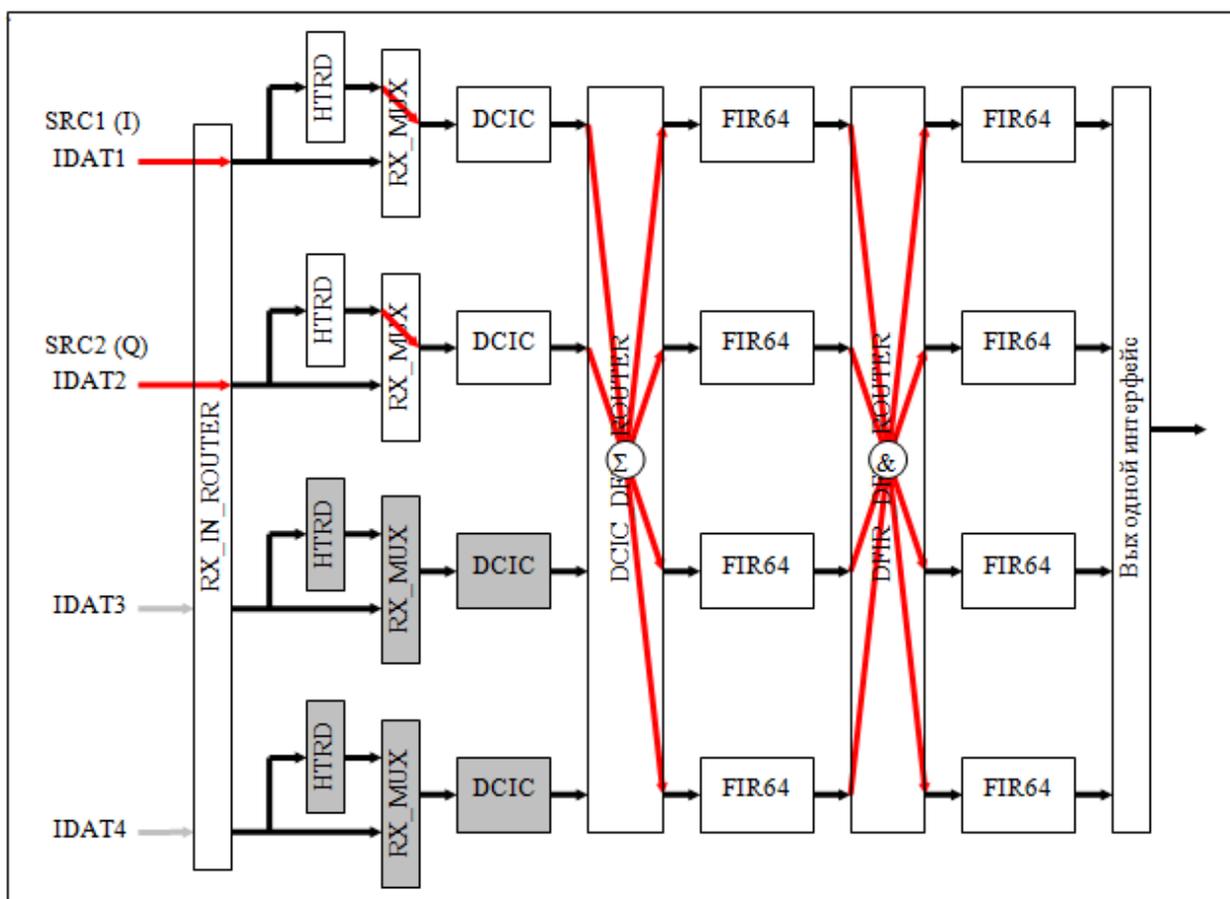


Рисунок 2.14. Режим X2\_CN (гетеродирование с обработкой двух каналов)



**Рисунок 2.15. Режим X1\_CH (гетеродирование с обработкой одного канала)**

На диаграмме режима X2\_CH (Рисунок 2.14) показан частный случай использования двух независимых источников сигнала. Допускается также использование одного общего источника для обоих каналов.

Установка параметров блоков для различных режимов работы микросхемы 1288XK1T.

В любом режиме работы микросхемы 1288XK1T выбор источника сигнала каждого канала обработки задается независимо полем «src» регистров RX\*\_LCFG. Для действительного входного сигнала поддерживается до четырех независимых источников сигнала. Для восьмибитового режима работы при комплексном цифровом входном сигнале также поддерживается до четырех источников сигнала. Для комплексного 16-разрядного входного сигнала поддерживается до двух источников сигнала.

Последовательность данных, приведённых в 2.6, обеспечивается при следующих условиях:

- коэффициенты децимации СИС-фильтров и КИХ-фильтров во всех активных каналах должны быть одинаковыми;
- режимы работы СИС-фильтров во всех активных каналах должны быть одинаковыми;
- параметр «order» КИХ-фильтров должен быть одинаковым во всех активных каналах;
- параметр «dly» КИХ-фильтров должен быть одинаковым во всех активных каналах или возрастать от первого канала к четвертому.

При объединении каналов управляющие регистры объединяемых каналов, включая выбор источника сигнала при гетеродировании комплексного сигнала, должны быть установлены одинаково. Исключение составляют регистры `RX*_DFIR*_CFG1` полем «dly». Устанавливаемое значение в поле «dr» регистров `RX*_DFIR*_CFG1` зависит не только от коэффициента децимации, но и от количества объединяемых каналов. Особенности установки параметров устройств в разных режимах приведены в Таблица 2.4 – Таблица 2.7, а правила установки полей «dly» и «dr» - в Таблица 2.8.

«Физические» каналы обработки могут быть выключены (бит «on» регистров `RX*_LCFG`). Установка выключенных каналов не влияет на работу активных каналов и может иметь произвольные значения. При выключении логического канала, должны быть выключены все «физические» каналы, составляющие этот логический канал (частичное выключение логического канала приводит к искажению выходных данных).

**Таблица 2.4. Особенности установки источников сигнала (поля «src») в зависимости от режима работы микросхемы 1288ХК1Т**

Значение поля «in_type» регистра RX_CFG	X4	X2	X1
0 (действительный сигнал на промежуточной частоте)	Задается полем «src» соответствующего канала	Первый (или второй) логический канал: поле «src» первого (или третьего) канала. Поля «src» второго и четвертого каналов не используются	Задается полем «src» первого канала. Поля «src» второго, третьего, четвертого каналов не используются
1 (резерв)	-	-	-
2 (аналитический сигнал на промежуточной частоте)	-	Первый (или второй) логический канал: I: «src» первого (или третьего) канала; Q: «src» второго (или четвертого) канала	I: «src» первого канала; Q: «src» второго канала. Поля «src» третьего и четвертого каналов не используются
3 (резерв)	-	-	-
4 (аналитический сигнал на нулевой частоте, восемь бит)	Задается полем «src» соответствующего канала	Первый (или второй) логический канал: поле «src» первого (или третьего) канала. Поля «src» второго и четвертого каналов не используются	Задается полем «src» первого канала. Поля «src» второго, третьего, четвертого каналов не используются
5 (резерв)	-	-	-
6 (аналитический сигнал на нулевой частоте, 16 бит)	I: «src» соответствующего канала; Q: «src»+1 соответствующего канала	Первый (или второй) логический канал: I: «src» первого (или третьего) канала; Q: «src» + 1 первого (или третьего) канала. Поля «src» второго и четвертого каналов не используются	I: «src» первого канала; Q: «src»+1 первого канала. Поля src второго, третьего, четвертого каналов не используются
7 (резерв)	-	-	-
Примечание - Установка неиспользуемых полей «src» может быть произвольной.			

**Таблица 2.5. Особенности установки параметров гетеродинов в зависимости от режима работы микросхемы 1288ХК1Т**

Значение поля «in_type» регистра RX_CFG	X4	X2	X1
0 (действительный сигнал на промежуточной частоте)	Используется гетеродин соответствующего канала	В первом (или втором) логическом канале используется гетеродин первого канала. Гетеродины второго и четвертого каналов не используются	Используется гетеродин первого канала. Гетеродины второго, третьего, четвертого каналов не используются
1 (резерв)	-	-	-
2 (аналитический сигнал на промежуточной частоте)	-	В первом (или втором) логическом канале используются первый (или третий) и второй (или четвертый) гетеродины. Параметры в парах каналов (первом и втором) и (третьем и четвертом) должны быть одинаковыми	Используются гетеродины первого и второго каналов. Параметры в первом и во втором каналах должны быть одинаковыми. Гетеродины третьего и четвертого каналов не используются
3 (резерв)	-	-	-
4 (аналитический сигнал на нулевой частоте, восемь бит)	Не используются		
5 (резерв)	-	-	-
6 (аналитический сигнал на нулевой частоте, 16 бит)	Не используются		
7 (резерв)	-	-	-
Примечание - Установка неиспользуемых гетеродинов может быть произвольной.			

**Таблица 2.6. Особенности установки параметров СИС-фильтров в зависимости от режима работы микросхемы 1288ХК1Т**

Значение поля «in_type» регистра RX_CFG	X4	X2	X1
0 (действительный сигнал на промежуточной частоте)	Используется СИС-фильтр соответствующего канала	В первом (или втором) логическом канале используется СИС-фильтр первого (или третьего) канала. СИС-фильтры второго и четвертого каналов не используются	Используется СИС-фильтр первого канала. СИС-фильтры второго, третьего и четвертого каналов не используются
1 (резерв)	-	-	-
2 (аналитический сигнал на промежуточной частоте)	-	В первом (или втором) логическом канале используются СИС-фильтры первого (или третьего) и второго (или четвертого) каналов. Параметры «scl» и «scl_mx» должны быть одинаковыми в парах каналов (первом и втором), (третьем и четвертом)	Используются СИС-фильтры первого и второго каналов. Параметры «scl» и «scl_mx» должны быть одинаковыми в первом и втором каналах. СИС-фильтры третьего и четвертого каналов не используются
3 (резерв)	-	-	-
4 (аналитический сигнал на нулевой частоте, восемь бит)	Используется СИС-фильтр соответствующего канала	В первом (или втором) логическом канале используется СИС-фильтр первого (или третьего) канала. СИС-фильтры второго и четвертого каналов не используются	Используется СИС-фильтр первого канала. СИС-фильтры второго, третьего и четвертого каналов не используются
5 (резерв)	-	-	-
6 (аналитический сигнал на нулевой частоте, 16 бит)	Используется СИС-фильтр соответствующего канала	В первом (или втором) логическом канале используется СИС-фильтр первого (или третьего) канала. СИС-фильтры второго и четвертого каналов не используются	Используется СИС-фильтр первого канала. СИС-фильтры второго, третьего и четвертого каналов не используются
7 (резерв)	-	-	-
<p>Примечания</p> <p>1 Установка неиспользуемых СИС-фильтров может быть произвольной.</p> <p>2 Коэффициент децимации (поле «dfr») и режим (поле «mode») для активных СИС-фильтров должны быть одинаковыми для всех каналов.</p>			

**Таблица 2.7. Особенности установки параметров КИХ-фильтров в зависимости от режима работы микросхемы 1288ХК1Т**

Поле «in_type» регистра RX_CFG	X4	X2	X1
0 (действительный сигнал на промежуточной частоте)	Используются КИХ-фильтры соответствующего канала	Первый логический канал: КИХ-фильтры первого и второго каналов. Второй логический канал: КИХ-фильтры третьего и четвертого каналов. Одинаковая установка в парах каналов (первом, втором) и (третьем, четвертом)	Используются КИХ-фильтры первого, второго, третьего, четвертого. Одинаковая установка во всех каналах
1 (резерв)	-	-	-
2 (аналитический сигнал на промежуточной частоте)	-	Первый логический канал: КИХ-фильтры первого, второго каналов. Второй логический канал: КИХ-фильтры третьего, четвертого каналов. Одинаковая установка в парах каналов (первом и втором) и (третьем и четвертом)	Используются КИХ-фильтры первого, второго, третьего, четвертого каналов. Одинаковая установка во всех каналах
3 (резерв)	-	-	-
4 (аналитический сигнал на нулевой частоте, восемь бит)	Используются КИХ-фильтры соответствующего канала	Первый логический канал: КИХ-фильтры первого, второго каналов. Второй логический канал: КИХ-фильтры третьего, четвертого каналов. Одинаковая установка в парах каналов (первом и втором) и (третьем и четвертом)	Используются КИХ-фильтры первого, второго, третьего каналов. Одинаковая установка во всех каналах
5 (резерв)	-	-	-
6 (аналитический сигнал на нулевой частоте, 16 бит)	Используется КИХ-фильтры соответствующего канала	Первый логический канал: КИХ-фильтры первого и второго каналов. Второй логический канал: КИХ-фильтры третьего и четвертого каналов. Одинаковая установка в парах каналов (первом и втором) и (третьем и четвертом)	Используются КИХ-фильтры первого, второго, третьего, четвертого каналов. Одинаковая установка во всех каналах
7 (резерв)	-	-	-
Примечания			
1. Установка неиспользуемых КИХ-фильтров может быть произвольной.			
2. Коэффициенты децимации активных КИХ-фильтров должны быть одинаковые			

**Таблица 2.8. Установка полей «dly» и «dr» КИХ - фильтров в различных режимах работы микросхемы 1288ХК1Т**

Номер канала	X4		X2		X1	
	dr	dly	dr	dly	dr	dly
1	M - 1	0	(2·M) - 1	0	(4·M) - 1	0
2	M - 1	0	(2·M) - 1	M	(4·M) - 1	M
3	M - 1	0	(2·M) - 1	0	(4·M) - 1	2·M
4	M - 1	0	(2·M) - 1	M	(4·M) - 1	3·M

Примечание - M – требуемый коэффициент децимации КИХ-фильтра.

## 2.8 Инициализация и управление

Микросхема 1288ХК1Т в процессе работы может находиться в одном из четырёх состояний: «Сброс», «Останов», «Обработка», «Очистка».

В состоянии «Сброс» все устройства и регистры управления микросхемы 1288ХК1Т устанавливаются в начальное состояние, за исключением блоков памяти данных и коэффициентов программируемых КИХ-фильтров. По окончании сброса микросхема 1288ХК1Т переходит в состояние «Останов». Состояние «Сброс» может быть инициировано:

- аппаратно - подачей логического «0» на вход регистра RSTn;
- программно - записью значения  $0078_{16}$  в регистр SWRST.

В состоянии «Останов» обработка данных прекращена, но полностью разрешен доступ к регистрам управления и возможно чтение из буфера выходных данных FIFO. В этом состоянии должна проводиться процедура начальной записи управляющих регистров (инициализация микросхемы 1288ХК1Т). Остановка обработки потока данных, например, для перепрограммирования микросхемы 1288ХК1Т или же при отсутствии полезного сигнала, может быть произведена:

- записью «0» в бит START\_STOP регистра SYNC;
- сбросом внешнего сигнала SYNC\_START в «0», при этом микросхема 1288ХК1Т возвращается в состояние «Останов».

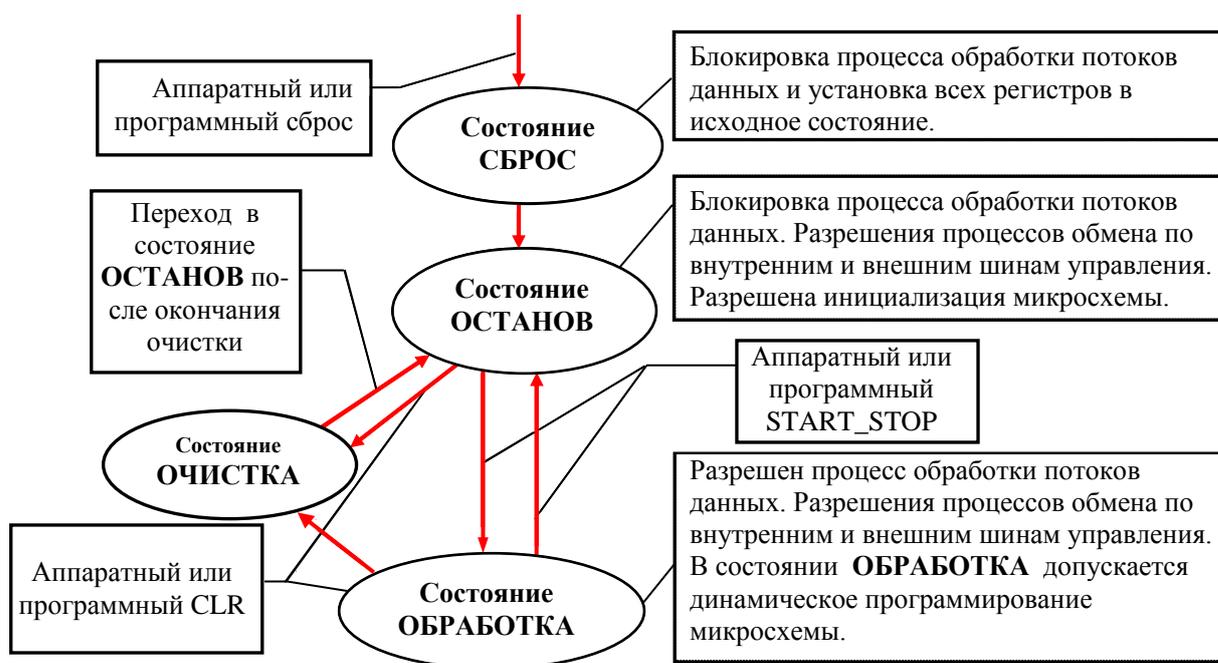
В состоянии «Останов» схемы управления блоков обработки приводятся в начальное состояние, но при этом не происходит очистка регистров и памяти данных трактов обработки. Выходные данные, которые к моменту наступления состояния «Останов» успели попасть в буфер выходных данных FIFO, сохраняются и могут быть считаны, что может быть использовано в радарных системах, работающих в импульсном или квазинепрерывном режиме.

В состоянии «Обработка» производятся операции с данными, при этом доступны управляющие регистры, однако при динамическом изменении параметров будет возникать переходный процесс в сигнале. Длительность переходного процесса зависит от порядков фильтров. Запись «1» в бит START\_STOP регистра SYNC или установка внешнего сигнала SYNC\_START в «1» переводит микросхему 1288ХК1Т в состояние «Обработка».

В состоянии «Очистка» происходит очистка трактов обработки данных, при этом внутренние регистры данных устанавливаются в состояние, соответствующее длительной подаче нулевого сигнала на входы данных, сбрасывается буфер выходных данных FIFO. Очистка может быть произведена записью «1» в бит «clr» регистра SYNC или по сигналу

SYNC\_CLR. Длительность процесса очистки - 128 периодов тактового сигнала обработки CLK. По окончании очистки микросхемы 1288ХК1Т автоматически переходит в состояние «Останов». Переход в состояние «Очистка» возможен также и из рабочего режима. В этом случае по окончании очистки микросхемы 1288ХК1Т также переходит в состояние «Останов». Сброс буфера FIFO без очистки тракта обработки может быть произведен записью «1» в бит «clr\_fifo» регистра SYNC. Время выполнения данной операции значительно меньше, чем время очистки тракта данных.

На Рисунок 2.16 представлена диаграмма состояний, в которых может находиться в процессе работы микросхема 1288ХК1Т.



**Рисунок 2.16. Диаграмма возможных состояний микросхемы 1288XK1T**

Доступ к регистрам управления возможен через параллельный или последовательный порты (Рисунок 1.1). Допускается попеременное использование параллельного и последовательного портов при отсутствии наложения операций чтения-записи. Кроме того, разрешается одновременное управление по последовательному порту и обмен данными по параллельному порту.

Для управления микросхемой 1288XK1T через параллельный порт используется система двойной адресации, т.е. регистры управления размещены во внутреннем адресном пространстве, доступ к которому осуществляется через специальные регистры адреса и данных, расположенных во внешнем адресном пространстве (см. 3.1).

Цикл обращения к регистрам управления в общем случае состоит из обращения к регистру адреса и обращению к регистру данных. Для ускорения процесса инициализации может быть использован режим с автоматическим увеличением содержимого регистра адреса.

Управление микросхемой 1288ХК1Т через последовательный порт осуществляется при помощи 24-разрядных слов. Первые восемь бит определяют тип операции и номер адресуемой микросхемы 1288ХК1Т в системе, следующие 16 бит составляют адрес или данные регистра управления. Обращение к регистру управления в общем случае производится двумя операциями обмена. Первая операция задает адрес регистра управления, к которому будет производиться обращение. Вторая операция - собственно операция обмена данными с регистром. Для ускорения инициализации микросхемы 1288ХК1Т предусмотрена операция записи с автоматическим увеличением адреса.

Порядок записи управляющих регистров не имеет значения. В случае, когда разные каналы имеют идентичные параметры, для ускорения процесса инициализации предусмотрен режим параллельной загрузки: если установлен бит «wr\_all» в регистре RX\_CFG, то запись регистра какого-либо канала приводит к записи аналогичных регистров во всех каналах.

Для обеспечения предусмотренного параллельного управления несколькими микросхемами 1288ХК1Т (до восьми микросхем) сигналы NUM каждой микросхемы задают номер каждой из микросхем 1288ХК1Т. Если пятый (старший) бит внешней шины адреса при обращении установлен в «0», то четвертый, третий и второй биты этого адреса используются для выбора одной из восьми микросхем 1288ХК1Т - в соответствии с установленным кодом NUM. Если же пятый бит внешней шины адреса при обращении установлен в «1», то в цикле записи четвертый, третий и второй биты этого адреса не учитываются, и осуществляется запись во все микросхемы 1288ХК1Т. Аналогичная возможность реализована для последовательного порта управления.

## 2.9 Синхронизация

Для синхронизации нескольких микросхем 1288ХК1Т, работающих совместно, предусмотрены специальные сигналы синхронизации: SYNC\_START, SYNC\_CLR, SYNC\_NCO и SYNC\_GAIN. Могут использоваться следующие две схемы синхронизации:

- на всех микросхемах 1288ХК1Т установлен режим синхронизации исполнительного устройства SLAVE, сигналы синхронизации формируются внешним устройством;
- на одной из микросхем 1288ХК1Т установлен режим синхронизации устройства MASTER, а на остальных – режим SLAVE, при этом, микросхема в режиме MASTER формирует сигналы синхронизации.

Сигналы синхронизации формируются (в режиме MASTER) и принимаются (в режиме SLAVE) в том же временном домене, что и входные данные. Таким образом, если используются режимы выборки по уровню, то сигналы синхронизации будут формироваться и считываться по тактовому сигналу CLK. Привязка сигналов синхронизации к временному домену входных данных позволяет построить системы с детерминированным поведением изменения параметров гетеродина и стартовых процессов в микросхеме 1288XK1T, обеспечив возможность расчета переходного процесса.

Сигналы SYNC\_CLR, SYNC\_NCO и SYNC\_GAIN являются импульсными, т.е. активны в течение одного такта синхронизации. Сигнал SYNC\_START является уровневым:

- уровень логической «1» соответствует состоянию обработки;
- уровень логического «0» – состоянию останова.

В режиме MASTER сигналы синхронизации формируются при записи логической «1» в соответствующий бит регистра SYNC. В режиме SLAVE прием сигналов синхронизации вызывает действия, аналогичные записи логической «1» в соответствующий бит регистра SYNC.

Сигнал SYNC\_START обеспечивает синхронизацию запуска процессов «Обработка» и «Останов». Переход этого сигнала в состояние логической «1» запускает процесс обработки поступающего потока данных, а переход в состояние логического «0» – останавливает его.

Обработка данных начинается с того отсчета данных, для которого впервые было установлено соответствующее значение сигнала SYNC\_START. В гетеродине для первого отсчета данных применяется значение  $\sin/\cos$ , соответствующее нулевому значению аккумулятора фазы и начальному состоянию генератора шума фазы.

При переходе сигнала SYNC\_START в состояние логического «0» микросхема 1288XK1T переходит в состояние «Останов». При этом процесс обработки останавливается, и устройства управления блоками обработки, включая аккумулятор фазы гетеродина и счетчики децимации фильтров, приводятся в начальное состояние (обнуляются). Таким образом, обеспечивается синхронизация работы нескольких микросхем 1288XK1T при последующем запуске процесса «Обработка». Следует отметить, что при останове могут быть потеряны несколько отсчетов входных данных, однако отсчеты выходных данных, уже попавшие в буфер выходных данных FIFO, сохраняются и могут быть считаны.

Синхронизация установки параметров гетеродина детерминирована относительно отсчетов входных данных: «новые» значения фазы и частоты применяются к тому отсчету, который сопровождался сигналом SYNC\_NCO.

Примечание - Применение «нового» значения частоты для какого-либо отсчёта входных данных означает, что «новые» значения приращения фазы и начальной фазы используются для вычисления значения  $\sin/\cos$ , на которое производится комплексное умножение этого отсчета при гетеродировании.

Синхронизация установки параметров комплексного умножителя RX\_OUT (сигнал SYNC\_GAIN синхронизации точного коэффициента усиления) и очистки тракта обработки (сигнал SYNC\_CLR) также привязана к входным отсчетам. Соответствующие соотношения ввиду их сложности не приводятся в настоящем документе. Отметим лишь, что во всех микросхемах 1288XK1T обеспечена одновременная установка параметров умножителя и очистка тракта обработки.

## 2.10 Параллельный порт

### 2.10.1 Общие сведения о параллельном порте

Параллельный порт предназначен для управления работой микросхемы 1288ХК1Т и передачи результатов обработки. Параллельный порт поддерживает несколько стандартов обмена данными:

- Intel ( INM );
- Motorola ( MNM );
- Multicore ( MC );
- SFIFO.

Шина данных параллельного порта может иметь ширину 16 или 32 бит.

В режимах поддержки стандартов обмена Intel, Motorola и Multicore (в зависимости от установки сигнала PSYNC) сигналы параллельного порта могут восприниматься как синхронные или асинхронные с тактовым сигналом параллельного порта PCLK. В синхронном режиме длительность циклов обращения на несколько тактов меньше, чем в асинхронном, однако при этом входные сигналы должны формироваться с учетом времени установки и удержания относительно переднего фронта сигнала PCLK.

Временные диаграммы обменов в различных режимах даны в разделе 5.

Обмен данными в режиме поддержки стандарта INM контролируется сигналами:

- CSn - выборка кристалла;
- RDn (RDn\_RW) - строб чтения;
- WRn (WRn\_DSn) - строб записи.

Сигнал готовности RDY (RDY\_ACKn) формируется микросхемой 1288ХК1Т для информирования внешнего устройства о готовности к обмену. Сигнал RDY асинхронно переводится в состояние логического «0» в начале обмена и возвращается в состояние логической «1» по завершении внутреннего цикла операции.

Обмен данными в режиме поддержки стандарта MNM контролируются сигналами:

- CSn - выборка кристалла;
- RW (RDn\_RW) - выбор операции чтение/запись;
- DSn (WRn\_DSn) - строб данных.

Сигнал подтверждения ACK<sub>n</sub> (RDY\_ACK<sub>n</sub>) формируется микросхемой 1288XK1T для подтверждения завершения операции. ACK<sub>n</sub> устанавливается в состояние логического «0» после выполнения операции и затем асинхронно устанавливается в состояние логической «1» после деактивации сигнала DS<sub>n</sub>.

Обмен данными в режиме поддержки стандарта MC контролируются сигналами:

- CS<sub>n</sub> - выборка кристалла;
- RD<sub>n</sub> (RD<sub>n</sub>\_RW) - строб чтения;
- WR<sub>n</sub> (WR<sub>n</sub>\_DS<sub>n</sub>) - строб записи.

Сигнал подтверждения ACK<sub>n</sub> (RDY\_ACK<sub>n</sub>) формируется микросхемой 1288XK1T для подтверждения завершения операции. ACK<sub>n</sub> устанавливается в состояние логического «0» после выполнения операции и затем асинхронно устанавливается в состояние логической «1» после деактивации сигнала DS<sub>n</sub>.

## 2.10.2 Обмен данными в режиме SFIFO

Режим SFIFO совместим со стандартным интерфейсом синхронного FIFO в режиме FTFW. Следует отметить, что в режиме SFIFO возможен только вывод (чтение) данных. Управление должно осуществляться через последовательный порт (Рисунок 1.1).

Процедуры обмена данными в режиме SFIFO контролируются сигналами:

- CS<sub>n</sub> - управление состоянием шины данных (активное или нет);
- RD<sub>n</sub> (RD<sub>n</sub>\_RW) - разрешение считывания данных;
- RR<sub>n</sub> (PF\_RR<sub>n</sub>) – индикатор наличия данных в буфере выходных данных.

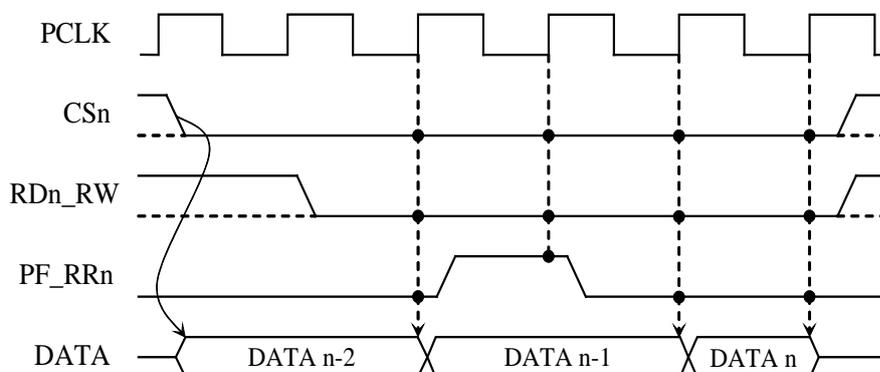
Сигнал CS<sub>n</sub> устанавливается в состояние логического «0» при активном состоянии шины данных (разрешение выхода данных).

Если выходные данные присутствуют в буфере выходных данных, то они сразу выдаются на шину данных, а сигнал RR<sub>n</sub> индицирует их наличие - устанавливается в состояние логического «0».

Считывание данных осуществляется при одновременно активных сигналах RR<sub>n</sub> и RD<sub>n</sub>, т.е. оба этих сигнала должны быть в состоянии логического «0». При считывании на шину данных поступают новые данные или, если их нет, сигнал RR<sub>n</sub> принимает значение

логической «1». После этого новые данные поступают на шину данных одновременно с активизацией сигнала RRn.

Временные диаграммы операции чтения выходных данных через параллельный порт в режиме SFIFO представлены на Рисунок 2.17 .



**Рисунок 2.17. Временная диаграмма операции чтения через параллельный порт в режиме SFIFO**

### 2.10.3 Регистры параллельного порта

Параллельный порт имеет свое адресное пространство (внешнее адресное пространство), содержащее четыре регистра, через которые осуществляется доступ к внутреннему адресному пространству и чтение выходных данных.

В Таблица 2.9 приведены общие сведения о регистрах внешнего адресного пространства.

**Таблица 2.9. Регистры внешнего адресного пространства**

Адрес регистра внешнего адресного пространства	Сигнал сброса	Имя регистра	Назначение регистра внешнего адресного пространства
YX_XX00 <sub>2</sub>	0000	RIA	Регистр адреса внутреннего адресного пространства
YX_XX01 <sub>2</sub>	0000	RID	Регистр данных внутреннего адресного пространства
YX_XX10 <sub>2</sub>	0001	RC	Регистр управления
YX_XX11 <sub>2</sub>	0000	RD	Регистр данных: чтение данных из FIFO каналов

Адрес регистра внешнего адресного пространства	Сигнал сброса	Имя регистра	Назначение регистра внешнего адресного пространства
<p>Примечания</p> <p>1 Если <math>Y=«0»</math>, то значение XXX определяется номером микросхемы, содержащимся во входном сигнале NUM. Если номер микросхемы не совпадает с битами адреса 5:2, то обращение полностью игнорируется, т.е. сигналы данных остаются в третьем состоянии.</p> <p>2 Если <math>Y=«1»</math>, то XXX игнорируется при записи данных, т.е. запись осуществляется независимо от значения входного сигнала NUM. При чтении значение XXX определяется номером микросхемы, содержащимся во входном сигнале NUM. При операции чтения значение Y игнорируется, т.е. считается, что <math>Y=«0»</math>.</p>			

В Таблица 2.10 – Таблица 2.13 приведены сведения о параметрах регистров RIA, RID, RC, RD внешнего адресного пространства.

**Таблица 2.10. Параметры регистра RIA**

Бит	Имя поля	Назначение
31:16	res	Зарезервировано
15:0	adr	Адрес во внутреннем адресном пространстве

**Таблица 2.11. Параметры регистра RID**

Бит	Имя поля	Назначение
31:16	res	Зарезервировано
15:0	data	Данные во внутреннем адресном пространстве по адресу в поле adr

**Таблица 2.12. Параметры регистра RC**

Бит	Имя поля	Назначение
31:16	res	Зарезервировано
15	res	Зарезервировано
14	rx_fifo_pf	Состояние флага частичной заполненности (PF) FIFO каналов приема
13:7	res	Зарезервировано
6	inc	Состояние логической «1» соответствует режиму автоинкремента адреса: после каждого обращения к регистру RID по записи или чтению поле «adr» увеличивается на единицу
5:4	pmode	Состояние выводов PMODE ( только чтение )
3	p32	состояние вывода P32 ( только чтение )
2	no_pwait	Состояние логической «1» соответствует чтению по параллельному порту пустого FIFO каналов приема (не вызывает ожидание, а возвращает значение 8000 <sub>16</sub> ). Это значение не может возникнуть при нормальной работе устройства, поэтому оно может быть использовано как индикатор пустого FIFO
1	psync	Состояние логической «1» соответствует тому, что схемы подавления метастабильности параллельного порта выключены (это уменьшает время доступа к регистрам управления), только чтение
0	a0	В 16-битном режиме и формате данных «16+16» это поле указывает к какой половине регистра RD будет относиться следующее обращение при чтении регистра RD: - состояние логического «0» соответствует тому, что будут использованы младшие 16 бит; - состояние логической «1» соответствует тому, что будут использованы старшие 16 бит. Состояние поля автоматически изменяется при каждом обращении к регистру RD. Сброс данных из FIFO каналов приема происходит при обращении к старшей половине регистра данных. В 32-битном режиме или при использовании формата данных «8+8» это поле не используется

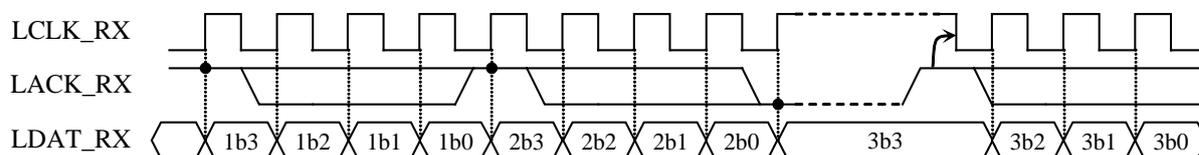
Таблица 2.13. Параметры регистра RD

Бит	Имя поля	Назначение
31:16	datah	Старшая половина регистра данных, недоступна в 16-битном режиме
15:0	datal	Младшая половина регистра данных.

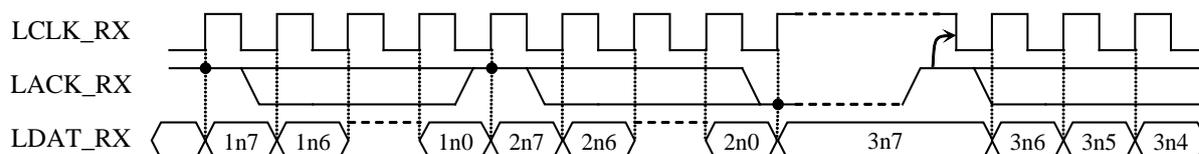
## 2.11 Линк-порт

Линк-порт предназначен для вывода данных (Рисунок 1.1) и совместим с четырех и восьмибитовым линк-портом интегральных схем SHARC и TigerSHARC. Управление портом осуществляется полями link\_on, link\_type и link\_div регистра RX\_LINK. Временные диаграммы работы в разных режимах показаны на Рисунок 2.18– Рисунок 2.19.

В режиме SHARC данные передаются старшим значащим байтом или полубайтом вперед по фронту сигнала LCLK. Формат данных - всегда 32 бита (16+16). Данные передаются блоками по четыре байта (один комплексный отсчет). Передача начинается, если сигнал LACK установлен и имеются данные для передачи. Если при передаче первого байта или полубайта очередного блока сигнал LACK не установлен, то передача приостанавливается с сохранением LCLK в состоянии логической «1». После перехода сигнала LACK в состояние логической «1» передача возобновляется. При отсутствии данных для передачи сигнал LCLK удерживается в состоянии логического «0».



а) передача данных в режиме восьми бит

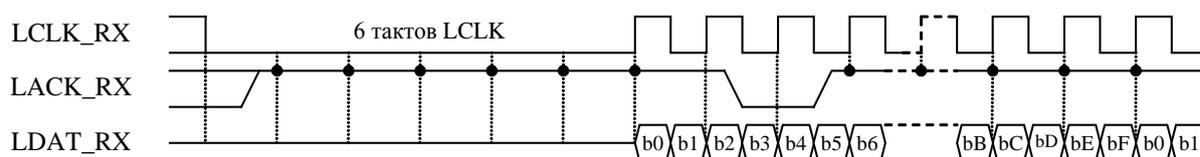


б) передача данных в режиме четырех бит

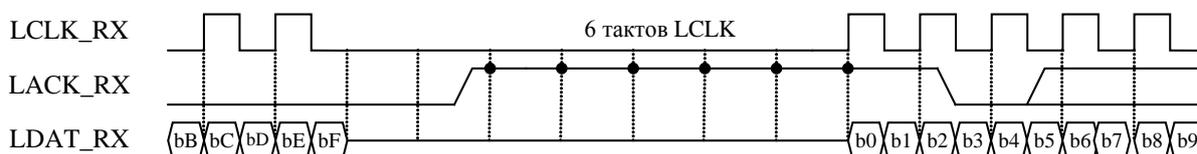
Рисунок 2.18. Передача данных в режиме SHARC

В режиме TigerSHARC данные передаются младшим значащим байтом или полубайтом вперед по фронту и спаду сигнала LCLK. Формат данных - 32 бита (16+16). Данные передаются блоками по 64 байта (16 комплексных отсчетов).

Передача данных начинается в том случае, если сигнал LACK был установлен в течение времени, соответствующего шести тактам сигнала LCLK, а также имеются данные для передачи, причём сигнал LCLK изначально находился в состоянии логического «0». Если к началу передачи первого байта или полубайта очередного блока сигнал LACK не был установлен в течение шести тактов сигнала LCLK (начиная с фронта сигнала LCLK, соответствующего передаче шестого байта), то передача приостанавливается, при этом сигнал LCLK удерживается в состоянии логического «0». Передача возобновляется, если сигнал LACK был установлен в течение времени, соответствующего шести тактам сигнала LCLK. При отсутствии данных для передачи сигнал LCLK удерживается в состоянии логического «0».



**а) начало и продолжение передачи данных**



**б) приостановка и возобновление передачи данных**

**Рисунок 2.19. Передача данных в режиме восьмибитового Tiger SHARC**

## 2.12 Последовательный порт управления

Последовательный порт (рисунок 1.1) позволяет обращаться к регистрам внутреннего адресного пространства (см. 3.1). Совместим с интерфейсом SPI mode 0,3.

Обращение к регистрам внутреннего адресного пространства осуществляется с помощью трехбайтных команд, подаваемых на вход SDI. Признаком начала команды является переход сигнала SCSn в состояние логического «0». Первый байт команды определяет код команды и номер микросхемы 1288XK1T, к которой осуществляется обращение (номер определяется установкой сигналов NUM). Два следующих байта – параметр команды. При сохранении сигнала SCSn в состоянии логического «0» все последующие байты игнорируются. Ранний переход SCSn в состояние логической «1» (раньше, чем были установлены все три байта команды), отменяет выполнение команды.

Команда может возвращать данные во втором и третьем байте по линии SDO. Все остальное время выход SDO удерживается в «третьем» состоянии.

Считывание данных с линии SDI осуществляется по фронту сигнала SCLK. Установка данных на выходе SDO – по спаду сигнала SCLK. Входные и выходные данные передаются старшим значащим битом вперед.

Для работы последовательного порта (SPI) обязательно подать частоту на вывод PCLK.

В Таблица 2.14 приведены сведения о командах последовательного порта управления.

**Таблица 2.14. Команды последовательного порта управления**

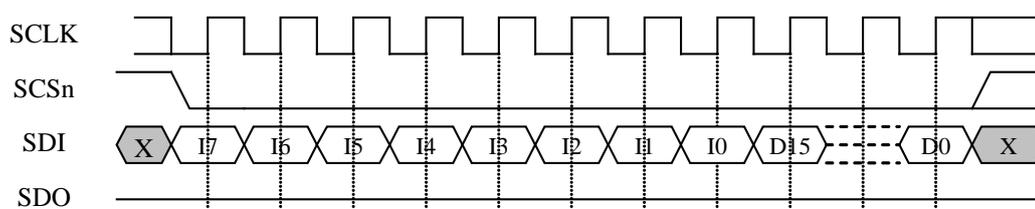
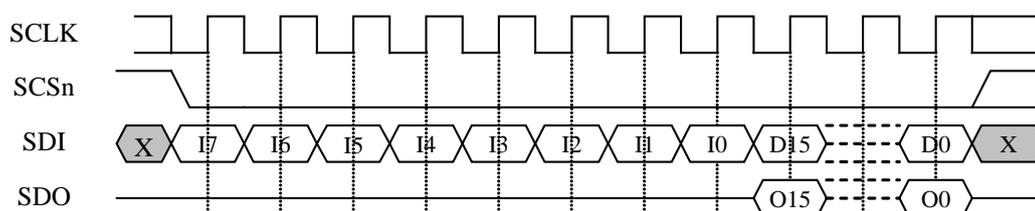
Команда	Код команды	Параметр команды	Назначение команды
SETA	0001yxxx	addr	Установка адреса во внутреннем регистре адреса порта
GETA	10010xxx	0000h	Чтение адреса из внутреннего регистра адреса порта
WR	0010yxxx	data	Запись данных в регистр микросхемы 1288XK1T по ранее установленному адресу
WRI	0011yxxx	data	Запись данных в регистр микросхемы 1288XK1T по ранее установленному адресу с инкрементацией адреса
GETD	10100xxx	0000h	Чтение из внутреннего регистра данных порта (выполнение этой команды после команд WR и WRI возвращает значения данных, записываемых этими командами)
SETAFT	1011yxxx	addr	Установка адреса во внутреннем регистре порта с выборкой значения регистра микросхемы 1288XK1T по этому адресу во внутренний регистр данных порта

Примечания

1 Символом «xxx» обозначен номер выбираемой микросхемы 1288XK1T.

2 Если бит, обозначенный символом «у», находится в состоянии логической «1», то номер игнорируется.

На Рисунок 2.20 показаны временные диаграммы выполнения команды с возвращением и без возвращения значения данных.


**а) выполнение команды последовательного порта без возвращения данных**

**б) выполнение команды последовательного порта с возвращением данных**
**Рисунок 2.20. Диаграммы выполнения команды последовательного порта без возвращения и с возвращением значения данных**

### 3. ПРОГРАММНЫЙ ИНТЕРФЕЙС

#### 3.1 Внутреннее адресное пространство

Внутреннее адресное пространство содержит управляющие и статусные 16-разрядные регистры. Доступ во внутреннее адресное пространство возможен либо через параллельный порт, либо через последовательный порт управления.

В Таблица 3.1 приведены параметры адресного пространства регистров управления микросхемы 1288ХК1Т.

**Таблица 3.1. Адресное пространство регистров управления микросхемы 1288ХК1Т**

Адрес	Сброс	Тип	Адрес	Сброс
0000	0000	v_W	SWRST	Регистр программного сброса
0001	0101	vr_	DEVID	Идентификатор устройства, только чтение
0002	0000	iRw	INT	Флаги прерываний
0003	4400	lrw	INTE	Маска флагов прерываний
0004	0000	v_W	INTR	Регистр сброса прерываний
0005	0000	orW	SYNC	Регистр управления синхронизацией
0008	0000	iRw	ADC_OVF	Регистр флагов перегрузки АЦП, сбрасывается при чтении
0009	0000	orw	ADC_CFG	Регистр управления источниками входных сигналов
0010	0020	orw	RX_CFG	Регистр общей конфигурации каналов приема
0014	0000	orw	RX_FIFO_TH RESH	Порог флага PF - заполненность буфера приемных каналов
0015	0000	orw	RX_LINK	Регистр управления линк-портом приемных каналов
0020: 00BF	XXX X	—	RX1	Регистры первого канала приема
0020	0000	iRw	RX1_OVF	Регистр флагов переполнения, сбрасывается при чтении
0022	8000	orw	RX1_LCFG	Регистр конфигурации отдельного канала
0024	8100	orw	RX1_DCIC2	Регистр конфигурации первой ступени СИС-дециматоров
0025	8F00	orw	RX1_DCICN	Регистр конфигурации второй ступени СИС-дециматоров
0026	1F01	orw	RX1_DFIR1_ CFG1	Регистр конфигурации 1 первого КИХ-фильтра-дециматора
0027	0000	orw	RX1_DFIR1_ CFG2	Регистр конфигурации 2 первого КИХ-фильтра-дециматора
0028	3F00	orw	RX1_DFIR2_ CFG1	Регистр конфигурации 1 второго КИХ-фильтра-дециматора
0029	0000	orw	RX1_DFIR2_ CFG2	Регистр конфигурации 2 второго КИХ-фильтра-дециматора
002A	4000	orw	RX1_GAIN_I	Регистр установки “точного” комплексного коэффициента усиления (I компонента)
002B	0000	orw	RX1_GAIN_ Q	Регистр установки “точного” комплексного коэффициента усиления (Q компонента)
002D	0000	orw	RX1_NCO_P HASE	Регистр начальной фазы гетеродина

Адрес	Сброс	Тип	Адрес	Сброс
002E	0000	orw	RX1_NCO_F RQL	Регистр частоты гетеродина, младшие 16 разрядов
002F	0000	orw	RX1_NCO_F RQH	Регистр частоты гетеродина, старшие 16 разрядов
0040: 007F	XXX X	mem	RX1_CF_DFI R1	Коэффициенты первого DFIR фильтра-дециматора
0080: 00BF	XXX X	mem	RX1_CF_DFI R2	Коэффициенты второго DFIR фильтра-дециматора
0120: 01BF	XXX X	=RX1	RX2	Регистры второго канала приема (аналогично первому каналу)
0220: 02BF	XXX X	=RX1	RX3	Регистры третьего канала приема (аналогично первому каналу)
0320: 03BF	XXX X	=RX1	RX4	Регистры четвертого канала (аналогично первому каналу)
Примечание - Зарезервированные поля и регистры читаются нулями, запись в них игнорируется.				

Начальные значения регистров соответствуют следующей конфигурации микросхемы 1288XK1T:

- режим «X4\_RH» с общим источником сигнала (первый канал);
- выборка по высокому уровню сигнала «ENCODE»;
- коэффициент децимации равен двум для CIC – фильтра второй степени (CIC2);
- для CICN – фильтра:
  - степень фильтра N=5;
  - коэффициент децимации равен 16;
- для КИХ-фильтра-дециматора (DFIR1 ):
  - порядок фильтра равен 32;
  - коэффициент децимации равен двум;
- для КИХ-фильтра-дециматора (DFIR2 ):
  - порядок фильтра равен 64;
  - коэффициент децимации равен единице.

Запись в регистр SWRST числа  $0078_{16}$  вызывает программный сброс, полностью аналогичный аппаратному сбросу. При чтении возвращается в состояние логического «0».

DEVID - регистр идентификатора типа устройства. Этот регистр разрядностью 16 бит доступен только по чтению.

Регистр INT содержат флаги ошибок и важных событий. Наличие установленного флага при соответствующем разрешении в регистре INTE приводит к установке сигнала «IRQ». Регистр доступен для записи, что может быть использован для тестирования программного обеспечения. Запись «1» вызывает установку флага. Запись «0» игнорируется. Для сброса прерываний необходимо использовать регистр INTR. Сведения о регистре INT приведены в Таблица 3.2.

**Таблица 3.2. Регистр INT**

Бит	Имя поля	Назначение
15	res	Зарезервировано
14	rx_fifo_err	Ошибка (переполнение) FIFO каналов приема
13	res	Зарезервировано
12	rx_stop	Произведен останов процесса обработки
11	res	Зарезервировано
10	rx_fifo_pf	Флаг частичной заполненности (PF) FIFO каналов приема
9	res	Зарезервировано
8	adc_ovf	Перегрузка АЦП
7	res	Зарезервировано
6	res	Зарезервировано
5	res	Зарезервировано
4	res	Зарезервировано
3	rx4_ovf	Перегрузка в четвертом канале приема
2	rx3_ovf	Перегрузка в третьем канале приема
1	rx2_ovf	Перегрузка во втором канале приема
0	rx1_ovf	Перегрузка в первом канале приема

Регистр INTR предназначен для сброса флагов прерываний, установленных в регистре INT: запись «1» в какой-либо бит регистра INTR сбрасывает соответствующий бит регистра INT, если он был установлен. Запись «0» игнорируется. При чтении возвращается логический «0». Сведения о регистре INTR приведены в Таблица 3.3.

**Таблица 3.3. Регистр INTR**

Бит	Имя поля	Назначение
15	res	Зарезервировано
14	rx_fifo_err	Ошибка (переполнение) FIFO каналов приема
13	res	Зарезервировано
12	rx_stop	Произведен останов процесса обработки
11	res	Зарезервировано
10	rx_fifo_pf	Флаг частичной заполненности (PF) FIFO каналов приема
9	res	Зарезервировано
8	adc_ovf	Перегрузка АЦП
7	res	Зарезервировано
6	res	Зарезервировано
5	res	Зарезервировано
4	res	Зарезервировано
3	rx4_ovf	Перегрузка в четвертом канале приема
2	rx3_ovf	Перегрузка в третьем канале приема
1	rx2_ovf	Перегрузка во втором канале приема
0	rx1_ovf	Перегрузка в первом канале приема

Регистр INTE содержит маски флагов ошибок и важных событий в полном соответствии с регистром INT. Установленный бит INTE разрешает формирование сигнала IRQ по соответствующему флагу. Сведения о регистре приведены в Таблица 3.4.

**Таблица 3.4. Регистр INTE**

Бит	Имя поля	Назначение
15	res	Зарезервировано
14	rx_fifo_err	Ошибка (переполнение) FIFO каналов приема
13	res	Зарезервировано
12	rx_stop	Произведен останов процесса обработки
11	res	Зарезервировано
10	rx_fifo_pf	Флаг частичной заполненности (PF) FIFO каналов приема
9	res	Зарезервировано
8	adc_ovf	Перегрузка АЦП
7	res	Зарезервировано
6	res	Зарезервировано
5	res	Зарезервировано
4	res	Зарезервировано
3	rx4_ovf	Перегрузка в четвертом канале приема
2	rx3_ovf	Перегрузка в третьем канале приема
1	rx2_ovf	Перегрузка во втором канале приема
0	rx1_ovf	Перегрузка в первом канале приема

В Таблица 3.5 приведены сведения о регистре SYNC

**Таблица 3.5. Регистр SYNC**

Бит	Имя поля	Назначение
15	master_sync	При «1» включается «Master» синхронизации
14:10	res	Зарезервировано
9	fifo_clr	Запись логической «1» вызывает сброс FIFO. После выполнения операции этот бит сбрасывается в состояние логического «0»
8	clr	Запись «1» запускает процесс очистки трактов данных, включая сброс FIFO. Процесс очистки может занимать некоторое время (~130 тактов). После выполнения операции бит сбрасывается в «0». Имеет ту же функцию, что и аппаратный сигнал SYNC_CLR в режиме «Slave». В режиме «Master» дополнительно формирует строб SYNC_CLR. В режиме «Slave» бит устанавливается по сигналу SYNC_CLR и сбрасывается после выполнения очистки
7:3	res	Зарезервировано
2	sync_gain	Синхронизация установки «точного» коэффициента усиления. Запись «1» вызывает применение новых значений «точного» коэффициента усиления. После выполнения операции бит сбрасывается в «0». Имеет ту же функцию, что и аппаратный сигнал SYNC_GAIN в режиме «Slave». В режиме «Master» дополнительно формирует строб синхронной установки коэффициента усиления SYNC_GAIN. В режиме «Slave» бит устанавливается по сигналу SYNC_GAIN и сбрасывается по выполнения операции
1	sync_nco	Бит синхронной установки частоты и фазы гетеродинов всех каналов. Запись «1» вызывает немедленное применение новых значений частоты и фазы гетеродина. После выполнения операции бит сбрасывается «0». Имеет ту же функцию, что и аппаратный сигнал SYNC_NCO в режиме «Slave». В режиме «Master» дополнительно формирует строб синхронной установки гетеродинов SYNC_NCO. В режиме «Slave» бит устанавливается по сигналу SYNC_NCO и сбрасывается по выполнении операции
0	start_stop	Запись «1» переводит микросхему 1288XK1T в состояние обработки сигнала и осуществляет синхронизацию старта нескольких микросхем. Запись «0» переводит микросхему 1288XK1T в состояние останова. Считываемое значение бита индицирует состояние. Имеет ту же функцию, что и аппаратный сигнал SYNC_START в режиме «Slave». В режиме «Master» дополнительно формирует сигнал SYNC_START. В режиме «Slave» бит отображает состояние сигнала SYNC_START

В Таблица 3.6 приведены сведения о регистре ADC\_OVF

**Таблица 3.6. Регистр ADC\_OVF**

Бит	Имя поля	Назначение
15:4	res	Зарезервировано
3	adc4_ovf	Индикатор перегрузки АЦП4
2	adc3_ovf	Индикатор перегрузки АЦП3
1	adc2_ovf	Индикатор перегрузки АЦП2
0	adc1_ovf	Индикатор перегрузки АЦП1

В Таблица 3.7 приведены сведения о регистре ADC\_CFG

**Таблица 3.7. Регистр ADC\_CFG**

Бит	Имя поля	Назначение
15	res	Зарезервировано
14	enc_mode	Должен быть установлен в «0»
13	enc_phase	«0» соответствует тому, что активный уровень – высокий «1» соответствует тому, что активный уровень – низкий
12	enc_dir	Управление источником сигнала ENCODE: «0» соответствует тому, что сигнал ENCODE является входным сигналом; «1» соответствует тому, что сигнал ENCODE формируется в микросхеме 1288ХК1Т и является выходным сигналом
11:8	enc_div	Коэффициент деления выходной тактовой частоты ENCODE: - «0», соответствует коэффициенту деления 1/1; - «1», соответствует коэффициенту деления 1/2; ... - «15», соответствует коэффициенту деления 1/16
7	test	Тестовый бит. Для корректной работы должен быть установлен в «0»
6:4	res	Зарезервировано
3	test	Тестовый бит. Для корректной работы должен быть установлен в «0»
2	test	Тестовый бит. Для корректной работы должен быть установлен в «0»
1	test	Тестовый бит. Для корректной работы должен быть установлен в «0»
0	test	Тестовый бит. Для корректной работы должен быть установлен в «0»

В Таблица 3.8 приведены сведения о регистре RX\_CFG.

**Таблица 3.8. Регистр RX\_CFG**

Бит	Имя поля	Назначение																		
15	wr_all	«1» соответствует одновременной записи во все каналы																		
14:11	res	Зарезервировано																		
10:9	pf_mode	Режимы работы PF: - «0» соответствует тому, что активный - высокий уровень; - «1» соответствует тому, что активный - низкий уровень; - «2» соответствует тому, что активное - положительное переключение; - «3» соответствует тому, что активное - отрицательное переключение																		
8	out_fmt	Формат выходных данных каналов приема: «0» соответствует формату 16+16; «1» соответствует формату 8+8																		
7:6	Mode	Режим работы каналов приема: - «00» - четырехканальный режим; - «01» - двухканальный режим (объединяются каналы 1+2 и 3+4); - «10» - четырехканальный режим(объединяются все каналы); - «11» - резерв																		
5:3	in_type	<table border="1"> <thead> <tr> <th>Режим работы</th> <th>Тип входных данных каналов приема</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>Промежуточная частота, действительные данные</td> </tr> <tr> <td>1</td> <td>Резерв</td> </tr> <tr> <td>2</td> <td>Промежуточная частота, комплексные данные (16 бит)</td> </tr> <tr> <td>3</td> <td>Резерв</td> </tr> <tr> <td>4</td> <td>«Нулевая» частота, комплексные данные (восемь бит)</td> </tr> <tr> <td>5</td> <td>Резерв</td> </tr> <tr> <td>6</td> <td>«Нулевая» частота, комплексные данные (16 бит)</td> </tr> <tr> <td>7</td> <td>Резерв</td> </tr> </tbody> </table> <p>Примечание. В четвертом и шестом режимах гетеродины выключены</p>	Режим работы	Тип входных данных каналов приема	0	Промежуточная частота, действительные данные	1	Резерв	2	Промежуточная частота, комплексные данные (16 бит)	3	Резерв	4	«Нулевая» частота, комплексные данные (восемь бит)	5	Резерв	6	«Нулевая» частота, комплексные данные (16 бит)	7	Резерв
Режим работы	Тип входных данных каналов приема																			
0	Промежуточная частота, действительные данные																			
1	Резерв																			
2	Промежуточная частота, комплексные данные (16 бит)																			
3	Резерв																			
4	«Нулевая» частота, комплексные данные (восемь бит)																			
5	Резерв																			
6	«Нулевая» частота, комплексные данные (16 бит)																			
7	Резерв																			
2	Res	Зарезервировано																		
1:0	in_fmt	<table border="1"> <thead> <tr> <th>Режим работы</th> <th>Формат входных данных каналов приема</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>Двоично-дополнительный (two's complementary)</td> </tr> <tr> <td>1</td> <td>Код со смещением (offset binary)</td> </tr> <tr> <td>3</td> <td>Резерв</td> </tr> <tr> <td>4</td> <td>Резерв</td> </tr> </tbody> </table>	Режим работы	Формат входных данных каналов приема	0	Двоично-дополнительный (two's complementary)	1	Код со смещением (offset binary)	3	Резерв	4	Резерв								
Режим работы	Формат входных данных каналов приема																			
0	Двоично-дополнительный (two's complementary)																			
1	Код со смещением (offset binary)																			
3	Резерв																			
4	Резерв																			

Регистр RX\_FIFO\_THRESH содержит шестнадцатибитовый порог заполненности FIFO каналов приема. Если количество отсчетов в FIFO превышает значение RX\_FIFO\_THRESH, то сигнал PF\_RRn и флаг rx\_fifo\_pf регистров INT и RC устанавливаются в «1».

В Таблица 3.9 приведены сведения о регистре RX\_LINK.

**Таблица 3.9. Регистр RX LINK**

Бит	Имя поля	Назначение	
15:6	Res	Зарезервировано	
5:4	link_div	<b>Режим работы</b>	
		<b>Делитель тактовой частоты линк-порта</b>	
		0	PCLK/2
		1	PCLK/4
		2	PCLK/6
3	PCLK/8		
3	Res	Зарезервировано	
2:1	link_type	<b>Режим работы</b>	
		<b>Делитель тактовой частоты линк-порта</b>	
		0	восьмибитовый SHARC
		1	четыребитовый SHARC
		3	восьмибитовый TigerSHARC
4	Зарезервировано		
0	link_on	«1» соответствует тому, что линк - порт включен	

RX\*\_OVF – регистр флагов переполнения каналов приема. Если установлены соответствующие биты в регистрах INTE и RX\*\_CFG, то установка флага также вызывает прерывание. Сбрасывается при чтении. Регистр доступен для записи, что может быть использовано для тестирования ПО. Запись «1» вызывает установку флага. Запись логического «0» игнорируется.

В Таблица 3.10 приведены сведения о регистре RX\*\_OVF.

**Таблица 3.10. Регистр RX\*\_OVF**

Бит	Имя поля	Назначение
15:5	res	Зарезервировано
4	fgain	Индикатор перегрузки ограничителя разрядности комплексного умножителя
3	dfir2	Индикатор перегрузки ограничителя разрядности второго каскада FIR - децимации
2	dfir1	Индикатор перегрузки ограничителя разрядности каскада FIR - децимации
1	cicn	Индикатор перегрузки ограничителя разрядности второго каскада CIC - децимации
0	cic2	Индикатор перегрузки ограничителя разрядности первого каскада CIC - децимации

В Таблица 3.11 приведены сведения о регистре RX\*\_LCFG.

**Таблица 3.11. Регистр RX\*\_LCFG**

Бит	Имя поля	Назначение
15	on	«1» соответствует тому, что канал включен. Выключение канала вызывает сброс схем управления и уменьшение потребления
14	pdith_en	«1» приводит к включению дизеринга гетеродина
13:10	res	Зарезервировано
9:8	src	Выбор источника сигнала. Для комплексного сигнала: - выбор «src» соответствует компоненте I; - компоненте Q соответствует источник «src+1»
7:5	res	Зарезервировано
4	fgain_inte	Разрешение прерывания от перегрузки ограничителя разрядности комплексного умножителя «z»
3	dfir2_inte	Разрешение прерывания от перегрузки ограничителя разрядности второго каскада FIR - децимации
2	dfir1_inte	Разрешение прерывания от перегрузки ограничителя разрядности первого каскада FIR - децимации
1	cicn_inte	Разрешение прерывания от перегрузки ограничителя разрядности второго каскада CIC - децимации
0	cic2_inte	Разрешение прерывания от перегрузки ограничителя разрядности первого каскада CIC - децимации

В Таблица 3.12 приведены сведения о регистре RX\*\_DCIC2.

**Таблица 3.12. Регистр RX\*\_DCIC2**

Бит	Имя поля	Назначение
15	mode	Биты конфигурации первой ступени CIC дециматора: - «0» соответствует тому, что каскад CIC2 выключен; - «1» соответствует тому, что каскад CIC2 включен
14:8	dr	Коэффициент децимации первой ступени CIC - дециматора: $M = dr + 1$
7:4	res	Зарезервировано
3:0	scl	Регулировка уровня выходного сигнала первой ступени CIC - дециматора. Коэффициент передачи CIC - дециматора на низкой частоте: $(2 \cdot M)^2 \cdot 2^{scl-16}$
Примечание - Поля «mode» и «dr» – общие для всех каналов.		

В Таблица 3.13 приведены сведения о регистре  $RX*_DCICN$ .

**Таблица 3.13. Регистр  $RX*_DCICN$**

Бит	Имя поля	Назначение
15:14	mode	Биты конфигурации второй ступени СІС–дециматора: - «00 <sub>2</sub> » - второй каскад децимации выключен; - «01 <sub>2</sub> » - второй каскад децимации включен в режиме СІС4; - «10 <sub>2</sub> » - второй каскад децимации включен в режиме СІС5; - «11 <sub>2</sub> » - второй каскад децимации включен в режиме СІС6
13:8	dr	Коэффициент децимации второй ступени СІС–дециматора $M = dr + 1$
7:5	res	Зарезервировано
4	scl_mx	Выбор диапазона регулировки уровня выходного сигнала второй ступени СІС–дециматора
3:0	scl	Регулировка уровня выходного сигнала второй ступени СІС–дециматора: - если scl_mx = 0, то коэффициент передачи СІС–дециматора определяется выражением $M^N \cdot 2^{scl-16}$ ; - если scl_mx = 1, то коэффициент передачи СІС–дециматора определяется выражением $M^N \cdot 2^{scl-24}$ , где N – степень фильтра (четыре, пять или шесть в соответствии с значением «mode» )
Примечание - Поля «mode» и «dr» – общие для всех каналов.		

В Таблица 3.14 приведены сведения о регистре  $RX*_DFIR1_CFG1$ .

**Таблица 3.14. Регистр  $RX*_DFIR1_CFG1$**

Бит	Имя поля	Назначение
15	res	Зарезервировано
14	sym	Симметричность: - «0» - симметричный; - «1» - антисимметричный (для старших отсчетов коэффициенты берутся с обратным знаком)
13:8	order	Установка порядка фильтра $N_{tap} = order + 1$
7:4	dly	Установка задержки синхронизации (0:15)
3:0	dr	Установка коэффициента децимации $M = dr + 1$

В Таблица 3.15 приведены сведения о регистре RX\*\_DFIR1\_CFG2.

**Таблица 3.15. Регистр RX\*\_DFIR1\_CFG2**

Бит	Имя поля	Назначение
15:4	res	Зарезервировано
3:0	scl	Регулировка уровня выходного сигнала DFIR1. Коэффициент усиления на выходе DFIR1 равен $2^{\text{scl}-21}$

В Таблица 3.16 приведены сведения о регистре RX\*\_DFIR2\_CFG1.

**Таблица 3.16. Регистр RX\*\_DFIR2\_CFG1**

Бит	Имя поля	Назначение
15	res	Зарезервировано
14	sym	Симметричность: - «0» - симметричный; - «1» - антисимметричный (для старших отсчетов коэффициенты берутся с обратным знаком)
13:8	order	Установка порядка фильтра $N_{\text{tap}} = \text{order} + 1$
7:4	dly	Установка задержки синхронизации (0:15)
3:0	dr	Установка коэффициента децимации $M = \text{dr} + 1$

В Таблица 3.17 приведены сведения о регистре RX\*\_DFIR2\_CFG2.

**Таблица 3.17. Регистр RX\*\_DFIR2\_CFG2**

Бит	Имя поля	Назначение
15:4	res	Зарезервировано
3:0	scl	Регулировка уровня выходного сигнала DFIR2. Коэффициент усиления на выходе DFIR2 равен $2^{\text{scl}-21}$

RX\*\_NCO\_PHASE, RX\*\_NCO\_FRQL, RX\*\_NCO\_FRQH - регистры установки начальной фазы и частоты гетеродина. Запись в регистры не приводит к непосредственному обновлению внутренних установок гетеродина. Для обновления внутренних значений необходимо записать «1» в бит SYNC\_sync\_pco.

Начальная фаза определяется как:

$$\frac{2\pi}{2^{16}} \text{PHASE}, \text{ рад}$$

(3.1)

где:

- PHASE – 16-битовое значение регистра RX1\_NCO\_PHASE.

Частота гетеродина определяется как:

$$\frac{Fin * FRQ}{2^{32}}$$

(3.2)

где:

- $F_{IN}$  – частота поступления входных отсчетов;
- $FRQ$  – 32-битовое значение {RX1\_NCO\_FRQH, RX1\_NCO\_FRQL}.

$RX*_GAIN_I$ ,  $RX*_GAIN_Q$  - регистры установки комплексного коэффициента усиления ( $GAIN_I+j*GAIN_Q$ ). Запись в регистре не приводит к непосредственному обновлению внутренних установок гетеродина. Для обновления внутренних значений необходимо записать «1» в бит  $SYNC\_sync\_gain$ .

Два 16-битовых слова  $GAIN_I$ ,  $GAIN_Q$  задают значение каждой компоненты комплексного коэффициента в диапазоне от минус  $(2 \cdot 2^{-14})$  до  $(2 \cdot 2^{-14})$  с шагом  $2^{-14}$ . Используемая кодировка – дополнение до двух. Примеры значений кодов приведены в 2.5.

В таблице 3.18 приведены сведения о регистре  $RX*_CF\_DFIR1$ .

**Таблица 3.18. Регистр \* \_CF\_DFIR1**

Смещение	Имя регистра	Назначение
+00	cf0h	Коэффициенты отводов 1 и ORDER
+01	res	Зарезервировано
+02	cf1h	Коэффициенты отводов 2 и ORDER-1
+03	res	Зарезервировано
...		
+3E	cf31h	Коэффициенты отводов 32 и ORDER-31
+3F	res	Зарезервировано

Нечетные регистры зарезервированы для расширения разрядности коэффициентов.

При четном порядке фильтра коэффициенты записываются как есть. При нечетном порядке фильтра записываемое значение центрального коэффициента должно быть равно половине значения центрального коэффициента.

Описание регистра  $RX*_CF\_DFIR2$  аналогично описанию регистра  $RX*_CF\_DFIR1$ .

## 4. ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ МИКРОСХЕМЫ 1288ХК1Т

### 4.1 Напряжения питания микросхемы

Номинальные значения напряжений питания:

- $U_{CCP}$  (периферия) - плюс 3,3 В;
- $U_{CCS}$  (ядро) - плюс 2,5 В.

Допустимые отклонения напряжений питания:

- от 3,13 до 3,47 В для  $U_{CCP}$ ;
- от 2,37 до 2,63 В для  $U_{CCS}$ .

### 4.2 Электрические параметры при приемке и поставке

Электрические параметры микросхемы и режимы их измерения приведены в Таблица 4.1 , Таблица 4.2.

**Таблица 4.1. Электрические параметры микросхемы при приемке и поставке**

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма		Температура среды, °С
		не менее	не более	
1 Выходное напряжение низкого уровня, В при: $U_{CCP} = 3,3$ В; $I_{OL} = 4,0$ мА	$U_{OL}$	–	0,4	от минус 60 до плюс 85
2 Выходное напряжение высокого уровня, В при: $U_{CCP} = 3,3$ В; $I_{OH} = 0,4$ мА	$U_{OH}$	2,4	–	
3 Ток потребления источника питания (периферия) $U_{CCP} = 3,3$ В, мА	$I_{CCP}$	–	1	
4 Ток потребления источника питания (ядро) $U_{CCS} = 2,5$ В, мА	$I_{CCS}$	–	10	
5 Динамический ток потребления (периферия), мА при: $U_{CCP} = 3,47$ В; $C_L = 30$ пФ; $f_C = 100$ МГц	$I_{OCCP}$	–	40	

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма		Температура среды, °С
		не менее	не более	
6 Динамический ток потребления (ядро), мА при: $U_{CC3} = 2,63 \text{ В}$ ; $f_C = 100 \text{ МГц}$	$I_{OCC3}$	–	300	
7 Входной ток низкого уровня по выводам SCSn, SCLK, TMS, TDI, SDI, TRSTn, TCK, мкА при: $U_{CCP} = 3,3 \text{ В}$ ; $U_{IL} = 0 \text{ В}$	$I_{IL}$	минус 260	260	
8 Входной ток высокого уровня по выводам SCSn, SCLK, TMS, TDI, SDI, TRSTn, TCK, мкА при: $U_{CCP} = 3,3 \text{ В}$ , $U_{IH} = 3,3 \text{ В}$	$I_{IH}$	минус 260	260	от минус 60 до плюс 85
9 Выходной ток в состоянии «Выключено», мкА при: $U_{CCP} = 3,3 \text{ В}$ , $0 \text{ В} \leq U_O \leq 3,3 \text{ В}$	$I_{OZ}$	минус 10	10	
10 Ток утечки низкого уровня по входам CLK, RSTn, PCLK, RDn_RW, WRn_DSn, CSn, PMODE, PSYNC, ADDR, NUM, P32, LACK, мкА при: $0 \text{ В} \leq U_{IL} \leq 0,8 \text{ В}$	$I_{ILL}$	минус 10	10	
11 Ток утечки высокого уровня по входам CLK, RSTn, PCLK, RDn_RW, WRn_DSn, CSn, PMODE, PSYNC, ADDR, NUM, P32, LACK, мкА при: $2,0 \text{ В} \leq U_{IH} \leq (U_{CCP} + 0,2) \text{ В}$	$I_{ILH}$	минус 10	10	
12 Период следования импульсов тактовых сигналов CLK, нс при: $U_{CCP} = 3,3 \text{ В}$ , $U_{CC3} = 2,5 \text{ В}$	$t_{CLK}$	10	–	
13 Период следования импульсов тактовых сигналов PCLK, нс при: $U_{CCP} = 3,3 \text{ В}$ , $U_{CC3} = 2,5 \text{ В}$	$t_{PCLK}$	10	–	
14 Входная емкость, пФ	$C_I$	–	10	(25 ± 10)
15 Емкость вход/выход, пФ	$C_{I/O}$	–	10	
16 Выходная емкость, пФ	$C_O$	–	15	

### 4.3 Предельно-допустимые и предельные режимы эксплуатации

Предельно-допустимые и предельные режимы эксплуатации микросхемы приведены в Таблица 4.2.

**Таблица 4.2. Предельно-допустимые и предельные электрические режимы эксплуатации**

Наименование параметра	Буквенное обозначение параметра	Предельно-допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
1 Напряжение питания (периферия), В	$U_{CCP}$	3,13	3,47	–	3,9
2 Напряжение питания (ядро), В	$U_{CCC}$	2,35	2,63	–	3,0
3 Входное напряжение низкого уровня, В	$U_{IL}$	0	0,8	- 0,3	–
4 Входное напряжение высокого уровня, В	$U_{IH}$	2	$U_{CCP}+0,2$	–	$U_{CCP}+0,3$
5 Емкость нагрузки, пФ	$C_L$	–	30	–	200

Мощность, рассеиваемая микросхемой – не более 1 Вт.

## 5. ВРЕМЕННЫЕ ПАРАМЕТРЫ МИКРОСХЕМЫ 1288ХК1Т

В Таблица 5.1 представлены временные параметры микросхемы 1288ХК1Т (при  $U_{CCS}=2,5$  В,  $U_{CCP}=3,3$  В,  $C_L=30$  пФ, температуре среды от минус 60 до плюс 85 °С) дополнительно к основным параметрам, приведенным в Таблица 4.1.

**Таблица 5.1. Временные параметры микросхемы 1288ХК1Т**

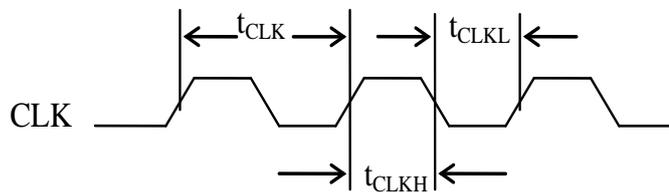
Параметр	Обозначение	Минимальное значение, нс	Типовое значение, нс	Максимальное значение, нс
Период тактового сигнала «CLK»	$t_{CLK}$	10	-	-
Длительность высокого уровня сигнала «CLK»	$T_{CLKHI}$	3,0	-	-
Длительность низкого уровня сигнала «CLK»	$t_{CLKLO}$	3,0	-	-
Период тактового сигнала «PCLK»	$t_{PCLK}$	10	-	-
Длительность высокого уровня сигнала «PCLK»	$t_{PCLKHI}$	3,0	-	-
Длительность низкого уровня сигнала «PCLK»	$t_{PCLKLO}$	3,0	-	-
Период тактового сигнала «ENCODE»	$t_{ENC}$	$2 \cdot t_{CLK} + 3$	-	-
Длительность высокого уровня сигнала «ENCODE»	$t_{ENCH}$	$t_{CLK} + 1$	-	-
Длительность низкого уровня сигнала «ENCODE»	$t_{ENCL}$	$t_{CLK} + 1$	-	-
Длительность сигнала сброса «RSTn»	$t_{RST}$	$4(t_{CLK}/t_{PCLK})$	-	-
Задержка переднего фронта выходного сигнала «ENCODE» относительно переднего фронта сигнала «CLK»	$t_{DENCCLK}$	-	-	7,5
Режим выборки по уровню ENCODE				
Время установки IDAT*, SYNC_* и ENCODE относительно переднего фронта CLK	$t_{SIENC}$	3,0	1,0	-
Время удержания IDAT*, SYNC_* и ENCODE относительно переднего фронта CLK	$t_{HIENC}$	2,0	0,5	-
Задержка сохранения SYNC_* относительно переднего фронта CLK	$t_{VENC SY}$	1,0	-	-
Параллельный порт: PSYNC=1				
Время установки ADDR, CSn, DATA, RDn_RW, WRn_DSn относительно переднего фронта PCLK	$t_{SI PCLK}$	3,0	2,0	-
Время удержания ADDR, CSn, DATA, RDn_RW, WRn_DSn относительно переднего фронта PCLK	$t_{HI PCLK}$	2,0	1,0	-

Параметр	Обозначение	Минимальное значение, нс	Типовое значение, нс	Максимальное значение, нс
Задержка снятия сигнала «ACKn» (RDY_ACKn) относительно сигналов «CSn», «RDn_RW», «WRn_DSn», «ADDR» (режим «Motorola», «MC»)	$t_{DACKnH}$	-	-	7,0
Задержка установки сигнала ACKn (RDY_ACKn) относительно переднего фронта PCLK (режим «Motorola», «MC»)	$t_{DACKnL}$	-	-	7,0
Время формирования данных чтения на шине DATA перед установкой сигнала «RDY» (RDY_ACKn) (режим «Intel», только для чтения)	$t_{DDR DYH}$	$t_{PCLK} - 2$	-	-
Время формирования данных чтения на шине DATA перед установкой сигнала «ACKn» (RDY_ACKn) (режим «Motorola», «MC», только для чтения)	$t_{DDACKnL}$	$t_{PCLK} - 2$	-	-
Задержка выхода из высокоимпедансного состояния шины DATA относительно сигналов «CSn», «RDn_RW», «WRn_DSn», «ADDR» (только для чтения)	$t_{DZD}$	5,5	-	-
Задержка перехода в высокоимпедансное состояние шины DATA относительно сигналов «CSn», «RDn_RW», «WRn_DSn», «ADDR» (только для чтения)	$t_{DDZ}$	-	-	10
Время сохранения данных записи на шине DATA относительно переднего фронта сигнала «RDY» (RDY_ACKn) (режим «Intel», только для записи)	$t_{HRDYD}$	0	-	-
Время сохранения данных записи на шине DATA относительно переднего фронта сигнала «ACKn» (RDY_ACKn) (режим «Motorola», «MC», только для записи)	$t_{HACKnD}$	0	-	-
Время установки сигнала «RDY_ACKn» от начала операции: - чтение регистров RC,RA; - чтение регистра RID; - чтение регистра RD; - запись регистров RC,RA; - запись регистра RID	$t_{SACC}$	-	1· $t_{PCLK}$ 2· $t_{PCLK}$ 2· $t_{PCLK}$ 1· $t_{PCLK}$ 2· $t_{PCLK}$	-

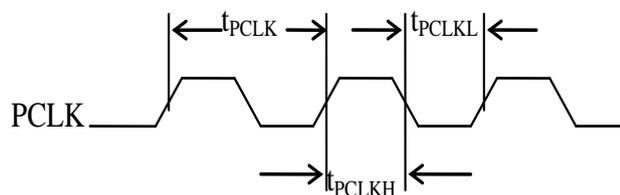
Параметр	Обозначение	Минимальное значение, нс	Типовое значение, нс	Максимальное значение, нс
Параллельный порт: PSYNC=0				
Время установки ADDR, DATA относительно CSn, RDn_RW, WRn_DSн	$t_{SAD}$	3,0	2,0	-
Время удержания ADDR, DATA относительно CSn, RDn_RW, WRn_DSн	$t_{HAD}$	2,0	1,0	-
Задержка снятия сигнала «RDY» (RDY_ACKn) относительно сигналов «CSn», «RDn_RW», «WRn_DSн», «ADDR» (режим «Intel»)	$t_{DRDYL}$	-	-	6,0
Задержка снятия сигнала «ACKn» (RDY_ACKn) относительно сигналов «CSn», «RDn_RW», «WRn_DSн», «ADDR» (режим «Motorola», «MC»)	$t_{DACKnH}$	-	-	6,0
Время формирования данных чтения на шине DATA перед установкой сигнала «RDY» (RDY_ACKn) (режим «Intel», чтение)	$t_{DDR DYH}$	$t_{PCLK} - 2$	-	-
Время формирования данных чтения на шине DATA перед установкой сигнала «ACKn» (RDY_ACKn) (режим «Motorola», «MC», только для чтения)	$t_{DDACKnL}$	$t_{PCLK} - 2$	-	-
Задержка выхода из высокоимпендансного состояния шины DATA относительно сигналов «CSn», «RDn_RW», «WRn_DSн», «ADDR» (только для чтения)	$t_{DZD}$	5,5	-	-
Задержка перехода в высокоимпендансное состояние шины DATA относительно сигналов «CSn», «RDn_RW», «WRn_DSн», «ADDR» (только для чтения)	$t_{DDZ}$	-	-	10
Время сохранения данных записи на шине DATA относительно переднего фронта сигнала «RDY» (RDY_ACKn) (режим «Intel», только для записи)	$t_{HRDYD}$	0	-	-
Время сохранения данных записи на шине DATA относительно переднего фронта сигнала «ACKn» (RDY_ACKn) (режим «Motorola», «MC», только для записи)	$t_{HACD}$	0	-	-

Параметр	Обозначение	Минимальное значение, нс	Типовое значение, нс	Максимальное значение, нс
Время выполнения операции (от активизации стробов записи/чтения до формирования сигнала «RDY_ACKn»): - чтение регистров RC, RA; - чтение регистра RID; - чтение регистра RD; - запись регистров RC, RA; - запись регистра RID.	$t_{AACC}$	-	$4 \cdot t_{PCLK}$ $5 \cdot t_{PCLK}$ $5 \cdot t_{PCLK}$ $4 \cdot t_{PCLK}$ $5 \cdot t_{PCLK}$	-
Время между выполнением операций	$t_{AIDLE}$	-	$t_{PCLK}$	-
Последовательный порт				
Период тактового сигнала «SCLK»	$t_{SCLK}$	$\max(10, t_{PCK})$	-	-
Длительность высокого уровня сигнала «SCLK»	$t_{SCLKHI}$	5,0	-	-
Длительность низкого уровня сигнала «SCLK»	$t_{SCLKLO}$	5,0	-	-
Время установки сигнала «SDI» и «SCSn» относительно переднего фронта SCLK	$t_{SSDI}$	-	-	-
Время удержания сигналов «SDI» и «SCSn» относительно переднего фронта SCLK	$t_{HISCLK}$	2,0	0,5	-
Задержка перехода сигнала «SDO» в высокоимпедансное состояние относительно заднего фронта SCLK	$t_{DSDOZ}$	-	-	5,0
Линк-порт: режимы SHARC				
Задержка формирования сигнала «DATA» относительно переднего фронта LCLK	$t_{DL}$	-	-	3,0
Время установки сигнала «LACK» относительно переднего фронта LCLK	$t_{SLCLK}$	8,5	7,0	-
Линк-порт: режим «TigerSHARC»				
Задержка сохранения сигнала «DATA» относительно переднего/заднего фронта LCLK	$t_{VL\_TS}$	$0,25 \cdot t_{LCLK}$	-	-
Задержка формирования сигнала «DATA» относительно переднего/заднего фронта LCLK	$t_{DL\_TS}$	-	-	$(t_{LCLK} + 10) / 4$
Время установки сигнала «LACK» относительно переднего фронта LCLK	$t_{SL\_TS}$	8,5	-	-
Задержка формирования сигнала «LCLK» относительно PCLK	$t_{DPCLKLCLK}$	-	-	8,5

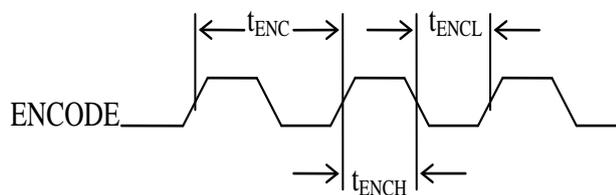
Графики, иллюстрирующие наиболее важные временные параметры микросхемы 1288ХК1Т, приведены на Рисунок 5.1 – Рисунок 5.25.



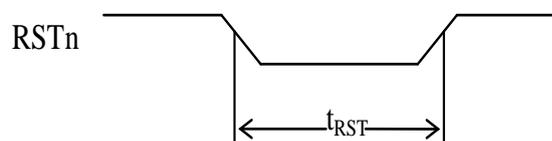
**Рисунок 5.1. Тактовый сигнал «CLK»**



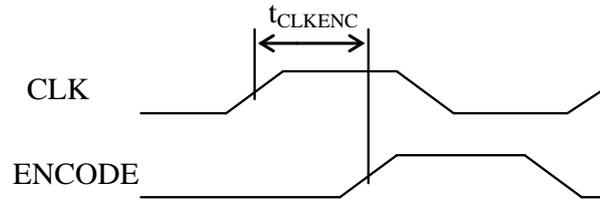
**Рисунок 5.2. Тактовый сигнал «PCLK»**



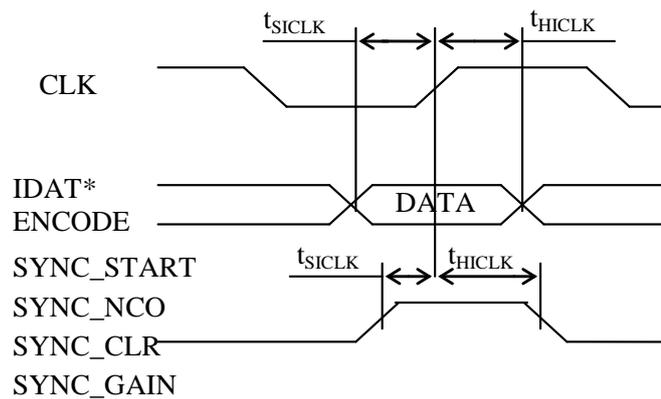
**Рисунок 5.3. Входной тактовый сигнал ENCODE**



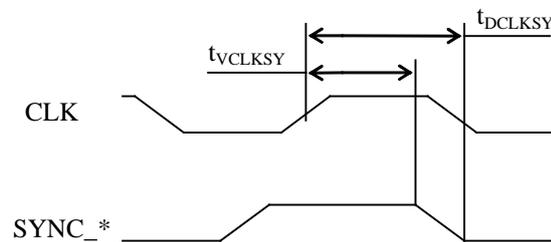
**Рисунок 5.4. Сигнал RESET**



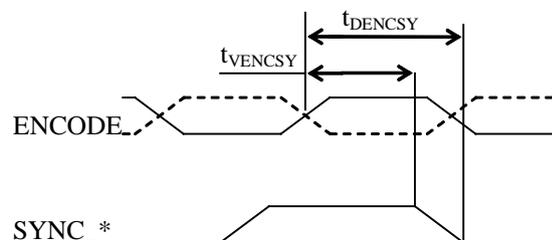
**Рисунок 5.5. Формирование выходного сигнала ENCODE относительно тактового сигнала CLK**



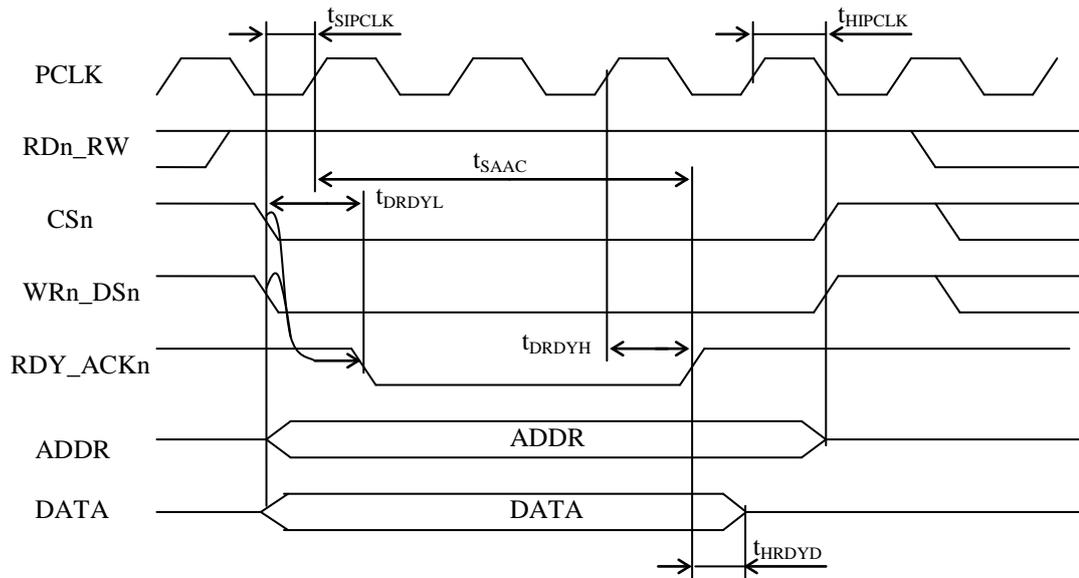
**Рисунок 5.6. Входной интерфейс в режиме выборки по уровню ENCODE**



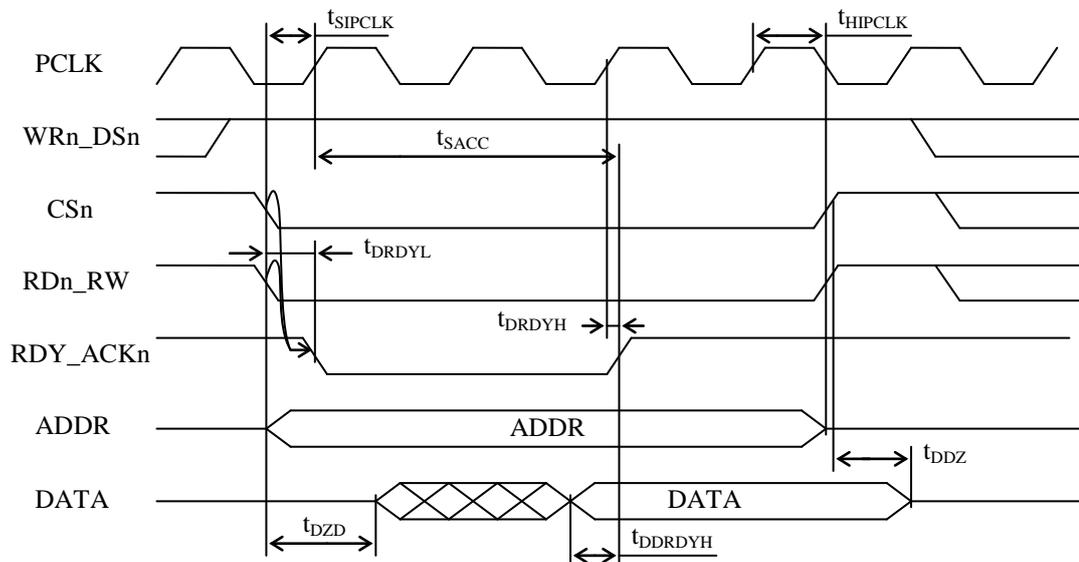
**Рисунок 5.7. Формирование выходов синхронизации SYNC\_\* (режим синхронизации Master) относительно тактового сигнала CLK**



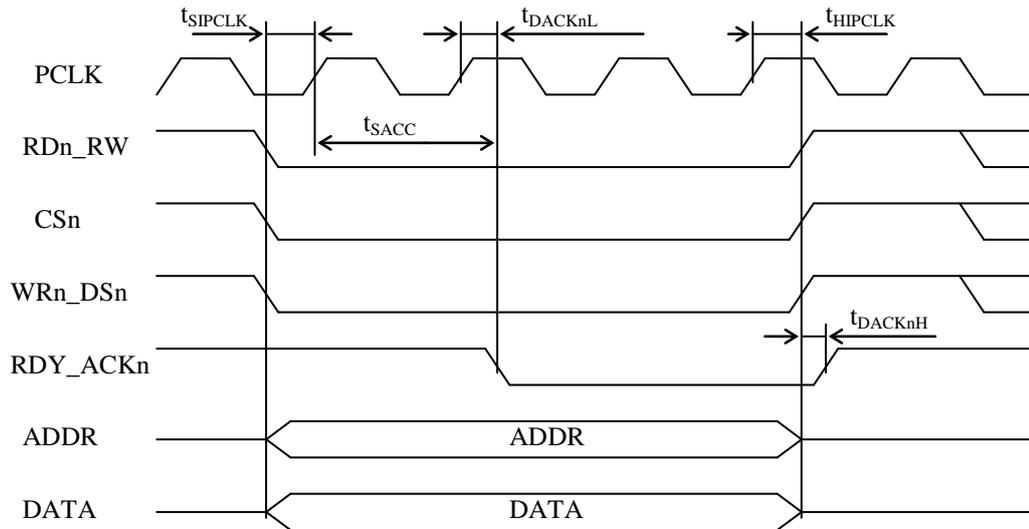
**Рисунок 5.8. Формирование выходов синхронизации SYNC\_\* (режим синхронизации Master) относительно тактового сигнала ENCODE**



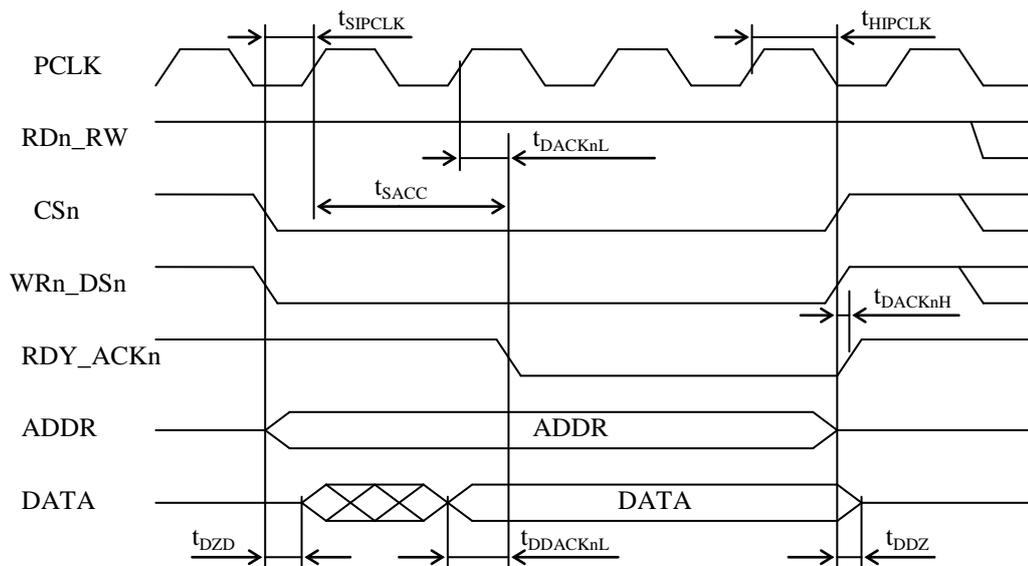
**Рисунок 5.9. Обмен по параллельному порту: запись в режиме Intel, синхронный режим (MODE=0, PSYNC=1)**



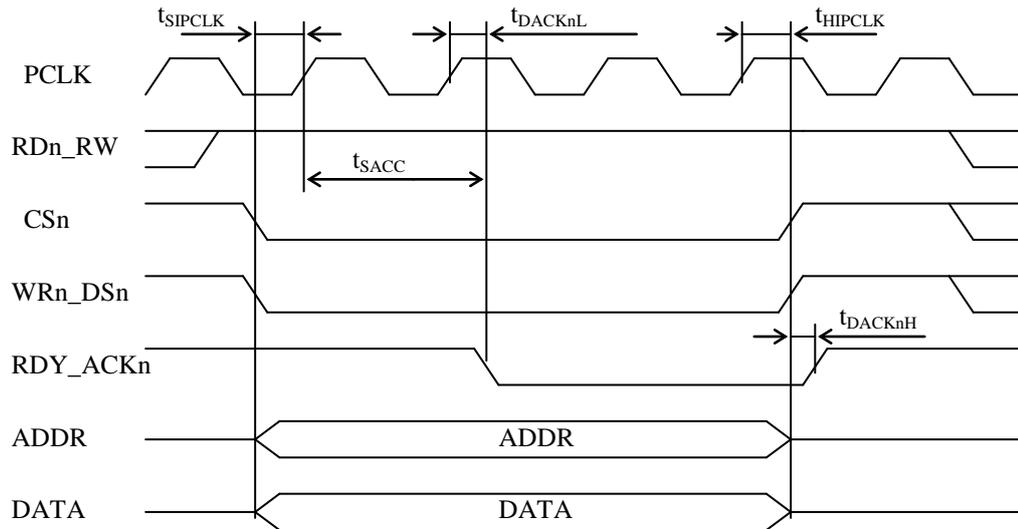
**Рисунок 5.10. Обмен по параллельному порту: чтение в режиме Intel, синхронный режим (MODE=0, PSYNC=1)**



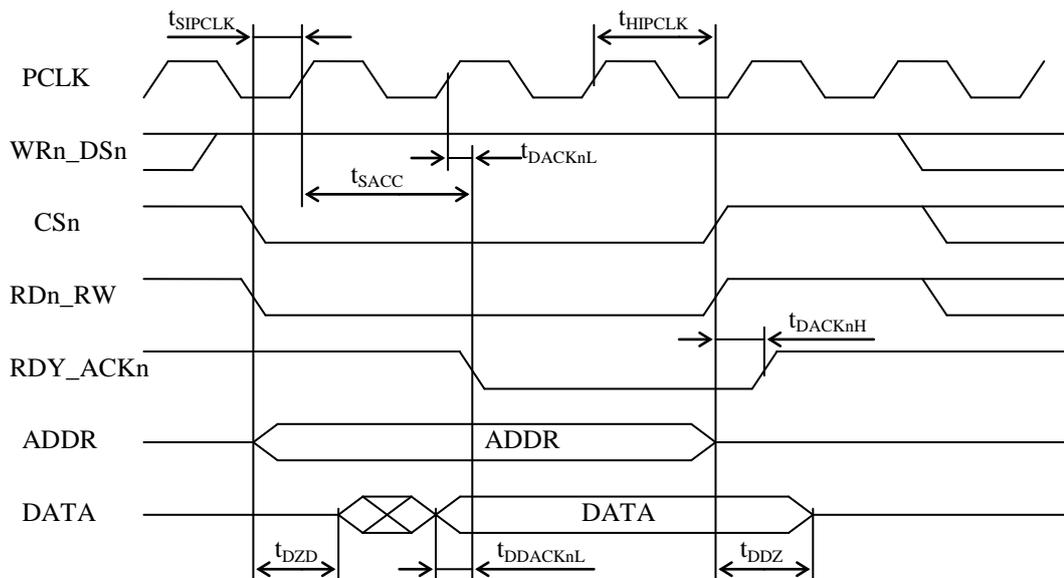
**Рисунок 5.11. Обмен по параллельному порту: запись в режиме Motorola, синхронный режим (MODE=1, PSYNC=1)**



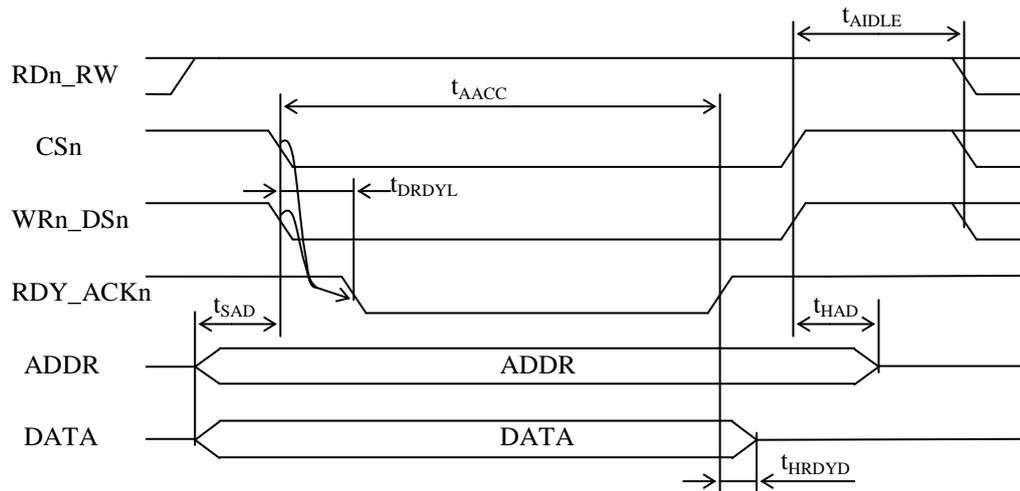
**Рисунок 5.12. Обмен по параллельному порту: чтение в режиме Motorola, синхронный режим (MODE=1, PSYNC=1)**



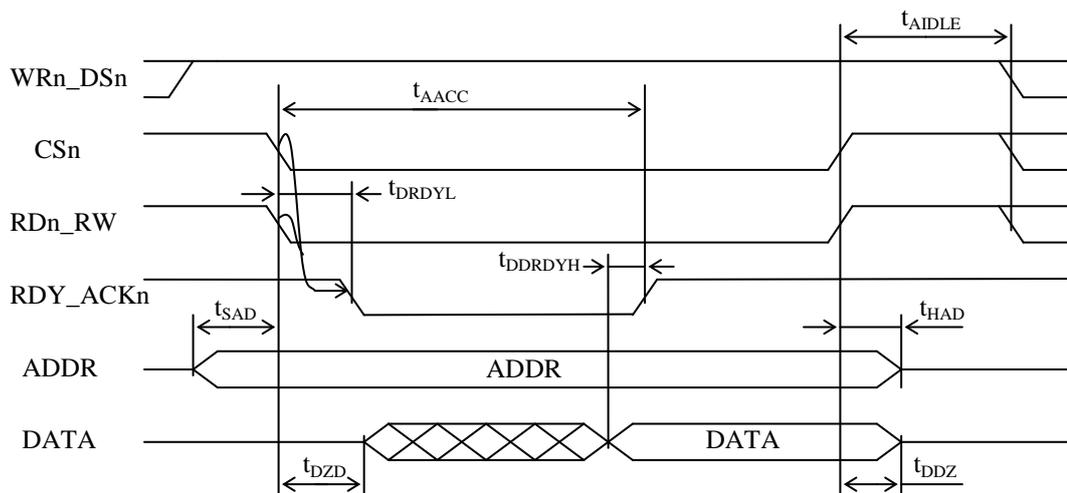
**Рисунок 5.13. Обмен по параллельному порту: запись в режиме Multicore, режим синхронный (MODE=2, PSYNC=1)**



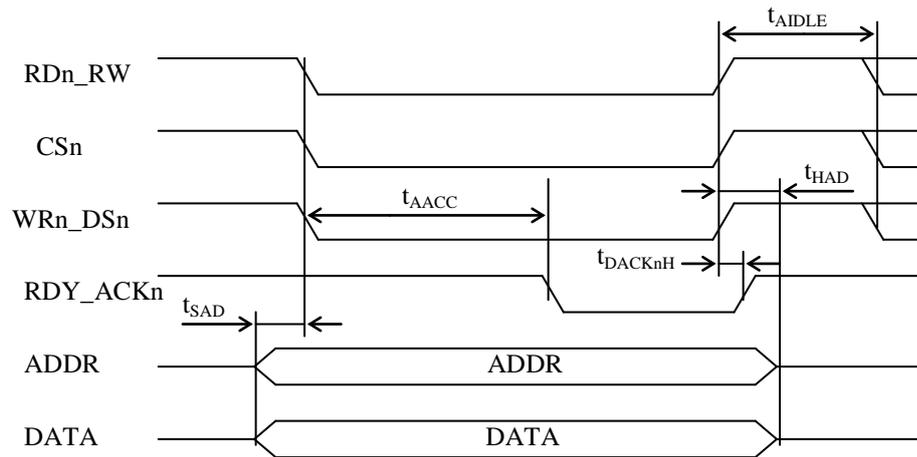
**Рисунок 5.14. Обмен по параллельному порту: чтение в режиме Multicore, синхронный режим (MODE=3, PSYNC=1)**



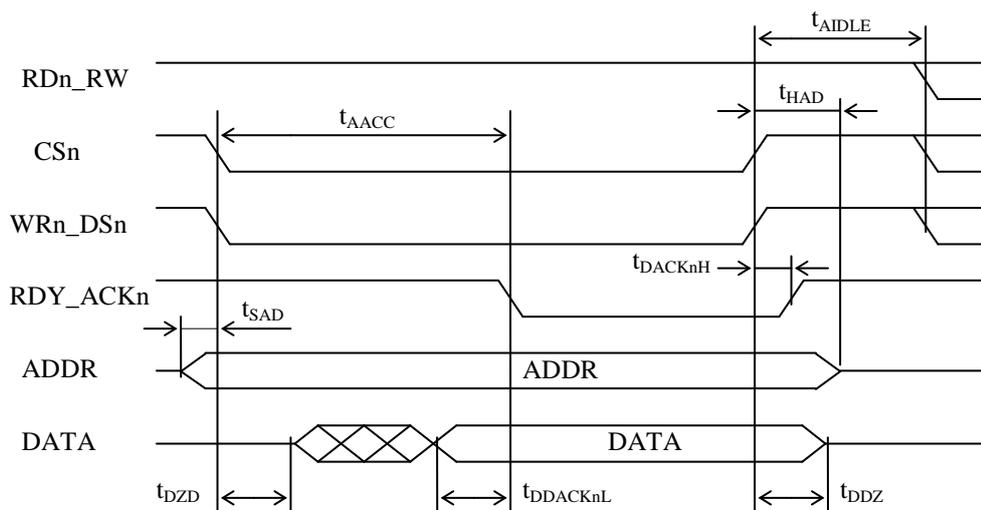
**Рисунок 5.15. Обмен по параллельному порту: запись в режиме Intel, асинхронный режим (MODE=0, PSYNC=0)**



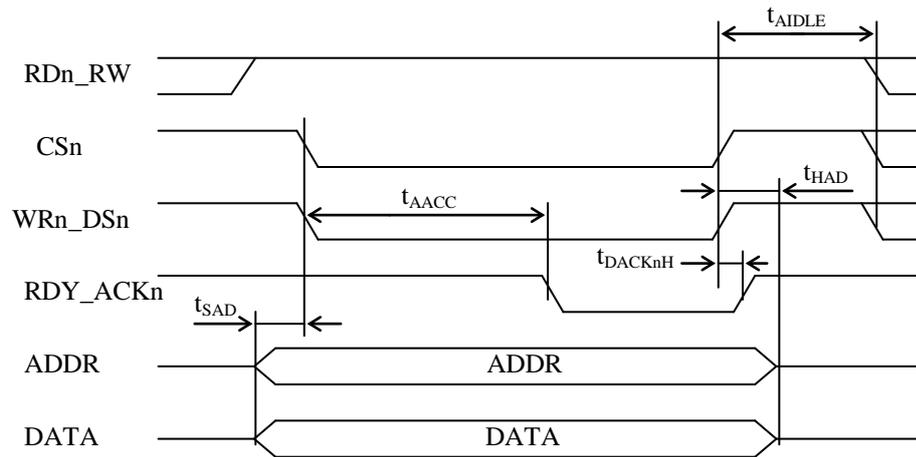
**Рисунок 5.16. Обмен по параллельному порту: чтение в режиме Intel, асинхронный режим (MODE=0, PSYNC=0)**



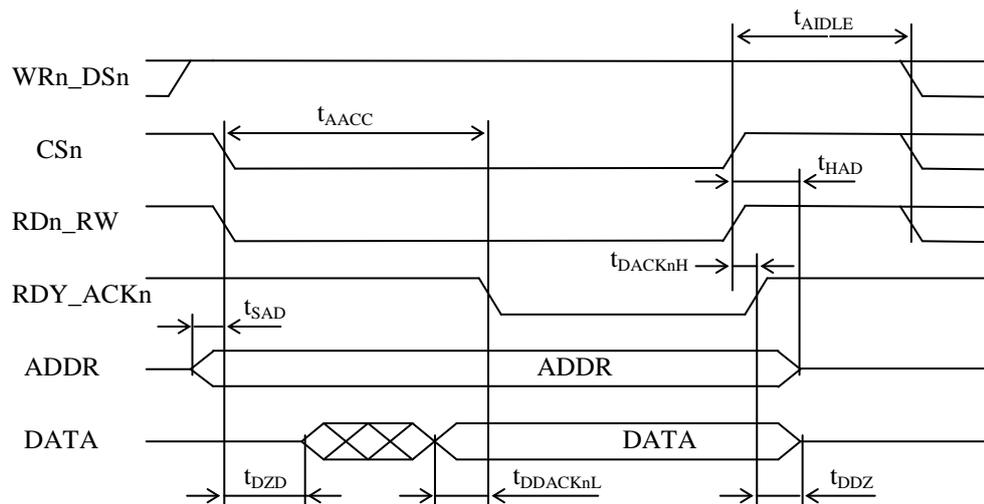
**Рисунок 5.17. Обмен по параллельному порту: запись в режиме Motorola, асинхронный режим (MODE=1, PSYNC=0)**



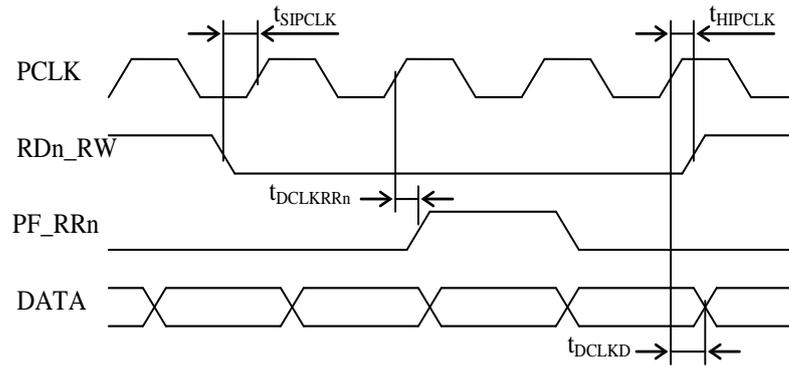
**Рисунок 5.18. Обмен по параллельному порту: запись в режиме Motorola, асинхронный режим (MODE=1, PSYNC=0)**



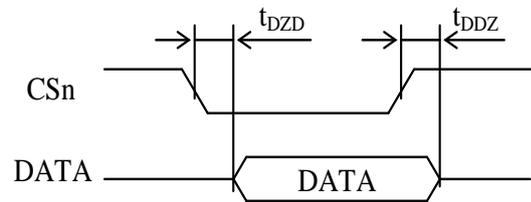
**Рисунок 5.19. Обмен по параллельному порту: запись в режиме Multicore, асинхронный режим (MODE=2, PSYNC=0)**



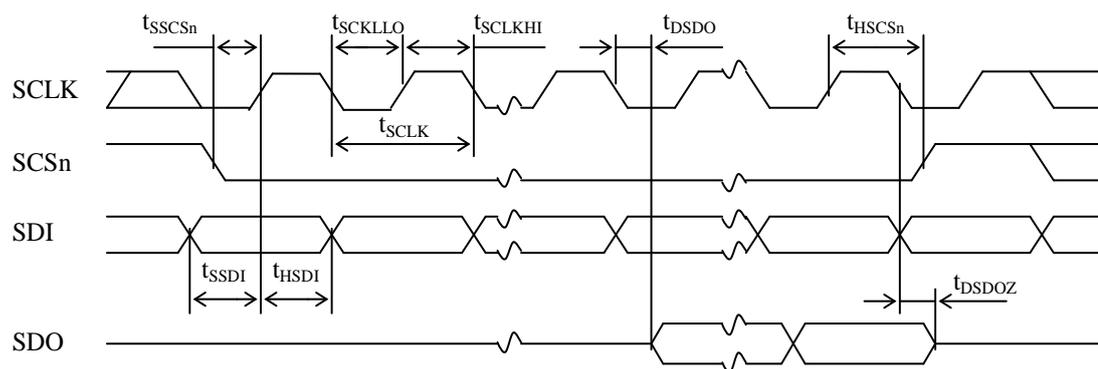
**Рисунок 5.20. Обмен по параллельному порту: чтение в режиме Multicore, асинхронный режим (MODE=2, PSYNC=0)**



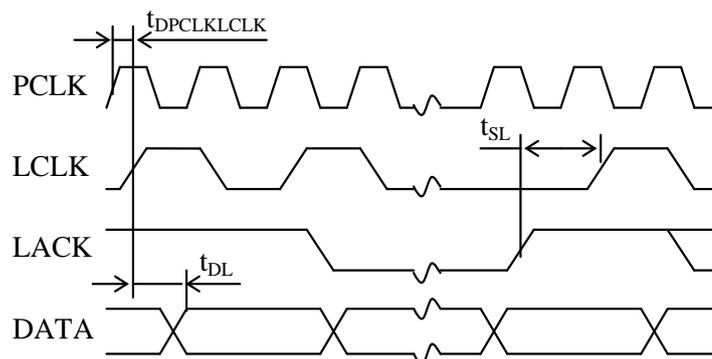
**Рисунок 5.21. Обмен по параллельному порту: чтение в режиме SFIFO (MODE=3, PSYNC=1)**



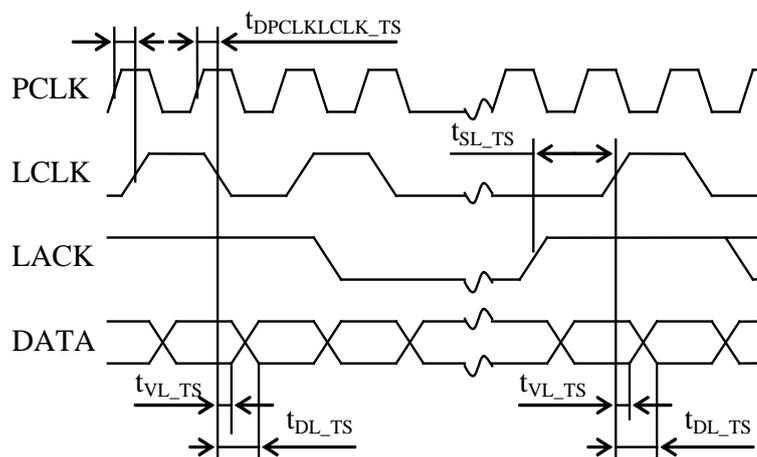
**Рисунок 5.22. Формирование данных чтения на шине DATA относительно сигнала CSn чтение в режиме SFIFO**



**Рисунок 5.23. Временная диаграмма работы последовательного порта**



**Рисунок 5.24. Временная диаграмма работы линк-порта в режиме SHARC-4 и SHARC-8**



**Рисунок 5.25. Временная диаграмма работы линк-порта в режиме TigerSHARC**

## 6. ОПИСАНИЕ ВНЕШНИХ ВЫВОДОВ МИКРОСХЕМЫ 1288ХК1Т

### 6.1 Описание типа выводов

Описание типа выводов микросхемы приведено в Таблица 6.1.

Таблица 6.1. Описание типа выводов микросхемы 1288ХК1Т

Наименование вывода	Тип вывода	Назначение вывода	Количество выводов
PVDD	вывод питания	Питание	7
CVDD	вывод питания		6
GND	общий вывод		19
ENCODE	вход / выход	Сигналы цифрового входа данных	1
IDAT1	вход / выход		16
IDAT2	вход / выход		16
IDAT3	вход / выход		16
IDAT4	вход / выход		16
SYNC_NCO	вход / выход	Сигналы синхронизации	1
SYNC_GAIN	вход / выход		1
SYNC_START	вход / выход		1
SYNC_CLR	вход / выход		1
LCLK	выход	Сигналы линк-порта	1
LACK	вход		1
PCLK	вход	Сигналы параллельного порта	1
DATA	вход / выход		32
ADDR	вход		6
CSn	вход		1
RDn_RW	вход		1
WRn_DS	вход		1
RDY_ACKn	выход		1
PMODE	вход		2
P32	вход		1
PSYNC	вход		1
NUM	вход		3
PF_RRn	выход		1
SCLK	вход		Сигналы последовательного порта
SDI	вход	1	

Наименование вывода	Тип вывода	Назначение вывода	Количество выводов
SCSn	вход	Прочие сигналы	1
SDO	выход с третьим состоянием		1
CLK	вход		1
RSTn	вход		1
IRQ	выход		1
TRSTn	вход		1
TCK	вход		1
TMS	вход		1
TDI	вход		1
TDO	выход		1

## 6.2 Нумерация, тип, обозначение и функциональное назначение выводов

Нумерация, тип, обозначение и функциональное назначение выводов микросхемы приведены в Таблица 6.2.

**Таблица 6.2. Нумерация, тип, обозначение и назначение выводов**

Номер вывода	Тип	Условное обозначение	Назначение
1	G	GND	Общий
2	I/O	IDAT3[7]	Седьмой разряд 16-разрядной шины данных третьего канала
3	I/O	IDAT3[6]	Шестой разряд 16-разрядной шины данных третьего канала
4	I/O	IDAT3[5]	Пятый разряд 16-разрядной шины данных третьего канала
5	I/O	IDAT3[4]	Четвёртый разряд 16-разрядной шины данных третьего канала
6	U	CVDD	Напряжение питания (ядро) $U_{CC3} = 2,5$ В
7	I/O	IDAT3[3]	Третий разряд 16-разрядной шины данных третьего канала
8	I/O	IDAT3[2]	Второй разряд 16-разрядной шины данных третьего канала
9	I/O	IDAT3[1]	Первый разряд 16-разрядной шины данных третьего канала
10	I/O	IDAT3[0]	Нулевой разряд 16-разрядной шины данных третьего канала
11	NU	-	Неиспользуемый вывод
12	NU	-	Неиспользуемый вывод
13	G	GND	Общий
14	I/O	IDAT4[15]	15 разряд 16-разрядной шины данных четвертого канала
15	I/O	IDAT4[14]	14 разряд 16-разрядной шины данных четвертого канала
16	I/O	IDAT4[13]	13 разряд 16-разрядной шины данных четвертого канала
17	I/O	IDAT4[12]	12 разряд 16-разрядной шины данных четвертого канала
18	G	GND	Общий
19	I/O	IDAT4[11]	11 разряд 16-разрядной шины данных четвертого канала
20	I/O	IDAT4[10]	10 разряд 16-разрядной шины данных четвертого канала
21	I/O	IDAT4[9]	Девятый разряд 16-разрядной шины данных четвертого канала
22	I/O	IDAT4[8]	Восьмой разряд 16-разрядной шины данных четвертого канала
23	U	PVDD	Напряжение питания $U_{CCP} = 3,3$ В
24	I/O	IDAT4[7]	Седьмой разряд 16-разрядной шины данных четвертого канала
25	I/O	IDAT4[6]	Шестой разряд 16-разрядной шины данных четвертого канала
26	I/O	IDAT4[5]	Пятый разряд 16-разрядной шины данных четвертого канала
27	I/O	IDAT4[4]	Четвёртый разряд 16-разрядной шины данных четвертого канала
28	U	CVDD	Напряжение питания (ядро) $U_{CC3} = 2,5$ В

Номер вывода	Тип	Условное обозначение	Назначение
29	I/O	IDAT4[3]	Третий разряд 16-разрядной шины данных четвертого канала
30	I/O	IDAT4[2]	Второй разряд 16-разрядной шины данных четвертого канала
31	I/O	IDAT4[1]	Первый разряд 16-разрядной шины данных четвертого канала
32	I/O	IDAT4[0]	Нулевой разряд 16-разрядной шины данных четвертого канала
33	NU	-	Неиспользуемый вывод
34	I/O	ENCODE	Тактовый сигнал преобразования
35	G	GND	Общий
36	I/O	SYNC_GAIN	Сигнал синхронизации точного коэффициента усиления
37	I/O	SYNC_CLR	Сигнал очистки тракта обработки
38	I/O	SYNC_NCO	Сигнал синхронизации записи регистров гетеродинов
39	I/O	SYNC_START	Сигнал синхронизации старта и останова
40	I	CLK	Внутренняя тактовая частота
41	U	PVDD	Напряжение питания $U_{CCP} = 3,3$ В
42	O	SDO	Последовательные данные для передачи из MF01
43	I	SDI	Последовательные данные для передачи из MF01. Сигнал имеет внутреннюю привязку к GND
44	I	SCSn	«Выбор кристалла» последовательного порта. Сигнал имеет внутреннюю привязку к $U_{CCP}$
45	I	SCLK	Тактовый сигнал сопровождения последовательных данных. Сигнал имеет внутреннюю привязку к $U_{CCP}$
46	I	RSTn	Общий сброс, активный-«0»
47	G	GND	Общий
48	I	PCLK	Тактовый сигнал параллельного и последовательного портов
49	O	IRQ	Запрос прерывания, активный-«1»
50	O	PF_RRn	Флаг частичной заполненности FIFO тракта приема; устанавливается в «1», если число отсчетов в FIFO превышает значение порога, установленного в регистре RX_FIFO_THRESH. В режиме SFIFO: готовность данных тракта приема; устанавливается в «0», если на шине данных присутствуют валидные данные
51	NU	-	Неиспользуемый вывод
52	NU	-	Неиспользуемый вывод
53	U	CVDD	Напряжение питания (ядро) $U_{CC} = 2,5$ В
54	O	RDY_ACKn	В режиме Intel: готовность, активный-«1». В режиме Motorola и MC - подтверждение, активный-«0»
55	NU	-	Неиспользуемый вывод

Номер вывода	Тип	Условное обозначение	Назначение
56	I	RDn_RW	В режиме Intel и MC: строб чтения, активный-«0». В режиме Motorola: выбор операции чтение/запись: - «1» - чтение; - «0» - запись. В режиме SFIFO - строб разрешения чтения, активный-«0»
57	I	WRn_DSn	В режиме Intel и MC: строб записи, активный-«0». В режиме Motorola - строб операции чтение/запись, активный-«0». В режиме SFIFO: строб записи, активный-«0»
58	I	CSn	Сигнал выборки кристалла, активный-«0». В режиме SFIFO: разрешение выхода, активный-«0»
59	G	GND	Общий
60	I	PMODE[0]	Нулевой разряд двухразрядной шины PMODE Выбор комбинации управляющих сигналов: - «00» - Intel; - «01» - Motorola; - «10» - MC Multicore; - «11» - SFIFO (синхронное FIFO, режим FWFT)
61	I	PMODE[1]	Первый разряд двухразрядной разрядной шины PMODE Выбор комбинации управляющих сигналов: - «00» - Intel; - «01» - Motorola; - «10» - MC Multicore; - «11» - SFIFO (синхронное FIFO, режим FWFT)
62	I	PSYNC	В режимах Intel, Motorola, и MC: - «0» - сигналы параллельного порта асинхронные с сигналом PCLK; - «1» - сигналы параллельного порта синхронные с сигналом PCLK. В режиме SFIFO не используется
63	I	ADDR[0]	Нулевой разряд шестизрядной шины адреса
64	I	ADDR[1]	Первый разряд шестизрядной шины адреса
65	I	ADDR[2]	Второй разряд шестизрядной шины адреса
66	I	ADDR[3]	Третий разряд шестизрядной шины адреса
67	I	ADDR[4]	Четвёртый разряд шестизрядной шины адреса
68	I	ADDR[5]	Пятый разряд шины адреса
69	NU	-	Неиспользуемый вывод
70	NU	-	Неиспользуемый вывод
71	G	GND	Общий
72	I	NUM[0]	Адресное пространство нулевого массива или нулевой канал для последовательного порта
73	I	NUM[1]	Адресное пространство первого массива или первый канал для последовательного порта
74	I	NUM[2]	Адресное пространство второго массива или второй канал для последовательного порта

Номер вывода	Тип	Условное обозначение	Назначение
75	I	P32	Выбор режима работы параллельного порта: - «0» - 16-разрядная шина данных; - «1» - 32-разрядная шина данных
76	I/O	DATA[0]	Шина нулевого разряда 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
77	I/O	DATA[1]	Первый разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
78	I/O	DATA[2]	Второй разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
79	I/O	DATA[3]	Третий разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
80	U	CVDD	Напряжение питания (ядро) $U_{CC3} = 2,5 \text{ В}$
81	I/O	DATA[4]	Четвёртый разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
82	I/O	DATA[5]	Пятый разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
83	I/O	DATA[6]	Шестой разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
84	I/O	DATA[7]	Седьмой разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
85	G	GND	Общий
86	I/O	DATA[8]	Восьмой разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
87	I/O	DATA[9]	Девятый разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
88	I/O	DATA[10]	10 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
89	I/O	DATA[11]	11 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
90	U	PVDD	Напряжение питания $U_{CCP} = 3,3 \text{ В}$
91	I/O	DATA[12]	12 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
92	I/O	DATA[13]	13 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
93	I/O	DATA[14]	14 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
94	I/O	DATA[15]	15 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
95	G	GND	Общий
96	I/O	DATA[16]	16 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
97	I/O	DATA[17]	17 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)

Номер вывода	Тип	Условное обозначение	Назначение
98	I/O	DATA[18]	18 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
99	I/O	DATA[19]	19 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
100	I/O	DATA[20]	20 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
101	I/O	DATA[21]	21 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
102	U	PVDD	Напряжение питания $U_{CCP} = 3,3 \text{ В}$
103	I/O	DATA[22]	22 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
104	I/O	DATA[23]	23 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
105	U	CVDD	Напряжение питания (ядро) $U_{CCC} = 2,5 \text{ В}$
106	I/O	DATA[24]	24 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
107	I/O	DATA[25]	25 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
108	I/O	DATA[26]	26 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
109	I/O	DATA[27]	27 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
110	G	GND	Общий
111	I/O	DATA[28]	28 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
112	I/O	DATA[29]	29 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
113	I/O	DATA[30]	30 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
114	I/O	DATA[31]	31 разряд 32-разрядной шины данных (старшие восемь бит также используются в линк-порте)
115	G	GND	Общий
116	O	LCLK	Тактовый сигнал сопровождения выходного потока данных (в качестве шины данных используются сигналы DATA[31:24])
117	I	LACK	Сигнал подтверждения приема
118	NU	-	Неиспользуемый вывод
119	NU	-	Неиспользуемый вывод
120	NU	-	Неиспользуемый вывод
121	NU	-	Неиспользуемый вывод
122	NU	-	Неиспользуемый вывод
123	NU	-	Неиспользуемый вывод
124	NU	-	Неиспользуемый вывод

Номер вывода	Тип	Условное обозначение	Назначение
125	NU	-	Неиспользуемый вывод
126	G	GND	Общий
127	I/O	IDAT1[15]	15 разряд 16-разрядной шины данных первого канала
128	I/O	IDAT1[14]	14 разряд 16-разрядной шины данных первого канала
129	I/O	IDAT1[13]	13 разряд 16-разрядной шины данных первого канала
130	I/O	IDAT1[12]	12 разряд 16-разрядной шины данных первого канала
131	I/O	IDAT1[11]	11 разряд 16-разрядной шины данных первого канала
132	I/O	IDAT1[10]	10 разряд 16-разрядной шины данных первого канала
133	I/O	IDAT1[9]	Девятый разряд 16-разрядной шины данных первого канала
134	I/O	IDAT1[8]	Восьмой разряд 16-разрядной шины данных первого канала
135	U	PVDD	Напряжение питания $U_{CCP} = 3,3$ В
136	I/O	IDAT1[7]	Седьмой разряд 16-разрядной шины данных первого канала
137	I/O	IDAT1[6]	Шестой разряд 16-разрядной шины данных первого канала
138	I/O	IDAT1[5]	Пятый разряд 16-разрядной шины данных первого канала
139	I/O	IDAT1[4]	Четвёртый разряд 16-разрядной шины данных первого канала
140	I/O	IDAT1[3]	Третий разряд 16-разрядной шины данных первого канала
141	I/O	IDAT1[2]	Второй разряд 16-разрядной шины данных первого канала
142	U	CVDD	Напряжение питания (ядро) $U_{CCC} = 2,5$ В
143	I/O	IDAT1[1]	Первый разряд 16-разрядной шины данных первого канала
144	I/O	IDAT1[0]	Нулевой разряд 16-разрядной шины данных первого канала
145	NU	-	Неиспользуемый вывод
146	NU	-	Неиспользуемый вывод
147	G	GND	Общий
148	I/O	IDAT2[15]	Цифровая шина 15 разряда 16-разрядной шины данных второго канала
149	I/O	IDAT2[14]	14 разряд 16-разрядной шины данных второго канала
150	I/O	IDAT2[13]	13 разряд 16-разрядной шины данных второго канала
151	I/O	IDAT2[12]	12 разряд 16-разрядной шины данных второго канала
152	G	GND	Общий
153	I/O	IDAT2[11]	11 разряд 16-разрядной шины данных второго канала
154	I/O	IDAT2[10]	10 разряд 16-разрядной шины данных второго канала
155	I/O	IDAT2[9]	Девятый разряд 16-разрядной шины данных второго канала
156	I/O	IDAT2[8]	Восьмой разряд 16-разрядной шины данных второго канала
157	U	PVDD	Напряжение питания $U_{CCP} = 3,3$ В
158	I/O	IDAT2[7]	Седьмой разряд 16-разрядной шины данных второго канала
159	I/O	IDAT2[6]	Шестой разряд 16-разрядной шины данных третьего канала
160	I/O	IDAT2[5]	Пятый разряда 16-разрядной шины данных второго канала

Номер вывода	Тип	Условное обозначение	Назначение
161	I/O	IDAT2[4]	Четвёртый разряд 16-разрядной шины данных второго канала
162	I/O	IDAT2[3]	Третий разряд 16-разрядной шины данных второго канала
163	I/O	IDAT2[2]	Второй разряд 16-разрядной шины данных второго канала
164	I/O	IDAT2[1]	Первый разряд 16-разрядной шины данных второго канала
165	I/O	IDAT2[0]	Нулевой разряд 16-разрядной шины данных второго канала
166	G	GND	Общий
167	NU	-	Неиспользуемый вывод
168	G	GND	Общий
169	NU	-	Неиспользуемый вывод
170	NU	-	Неиспользуемый вывод
171	NU	-	Неиспользуемый вывод
172	NU	-	Неиспользуемый вывод
173	NU	-	Неиспользуемый вывод
174	NU	-	Неиспользуемый вывод
175	NU	-	Неиспользуемый вывод
176	NU	-	Неиспользуемый вывод
177	NU	-	Неиспользуемый вывод
178	NU	-	Неиспользуемый вывод
179	NU	-	Неиспользуемый вывод
180	G	GND	Общий
181	NU	-	Неиспользуемый вывод
182	NU	-	Неиспользуемый вывод
183	NU	-	Неиспользуемый вывод
184	NU	-	Неиспользуемый вывод
185	NU	-	Неиспользуемый вывод
186	NU	-	Неиспользуемый вывод
187	NU	-	Неиспользуемый вывод
188	NU	-	Неиспользуемый вывод
189	NU	-	Неиспользуемый вывод
190	NU	-	Неиспользуемый вывод
191	NU	-	Неиспользуемый вывод
192	G	GND	Общий
193	NU	-	Неиспользуемый вывод
194	G	GND	Общий
195	I/O	IDAT3[15]	15 разряд 16-разрядной шины данных третьего канала
196	I/O	IDAT3[14]	14 разряд 16-разрядной шины данных третьего канала
197	I/O	IDAT3[13]	13 разряд 16-разрядной шины данных третьего канала

Номер вывода	Тип	Условное обозначение	Назначение
198	I/O	IDAT3[12]	12 разряд 16-разрядной шины данных третьего канала
199	I/O	IDAT3[11]	11 разряд 16-разрядной шины данных третьего канала
200	I/O	IDAT3[10]	10 разряд 16-разрядной шины данных третьего канала
201	I/O	IDAT3[9]	9 разряд 16-разрядной шины данных третьего канала
202	I/O	IDAT3[8]	8 разряд 16-разрядной шины данных третьего канала
203	U	PVDD	Напряжение питания $U_{CCP} = 3,3 \text{ В}$
204	I	TRSTn	Сброс JTAG-интерфейса. Если JTAG-интерфейс не используется, этот сигнал должен быть установлен в «0». Сигнал имеет внутреннюю привязку к GND
205	I	TCK	Тактовый сигнал JTAG-интерфейса. Сигнал имеет внутреннюю привязку к GND
206	I	TMS	Выбор режима JTAG-интерфейса. Сигнал имеет внутреннюю привязку к $U_{CCP}$
207	I	TDI	Вход данных JTAG-интерфейса. Сигнал имеет внутреннюю привязку к GND
208	O	TDO	Выход данных JTAG-интерфейса
Примечание - I – вход, O – выход, I/O – вход/выход, U – питание, G – общий, NU – неиспользуемый вывод.			

### 6.3 Расположение выводов микросхемы 1288ХК1Т в корпусе

Расположение выводов микросхемы 1288ХК1Т в корпусе QFP208 показано на Рисунке 6.1.

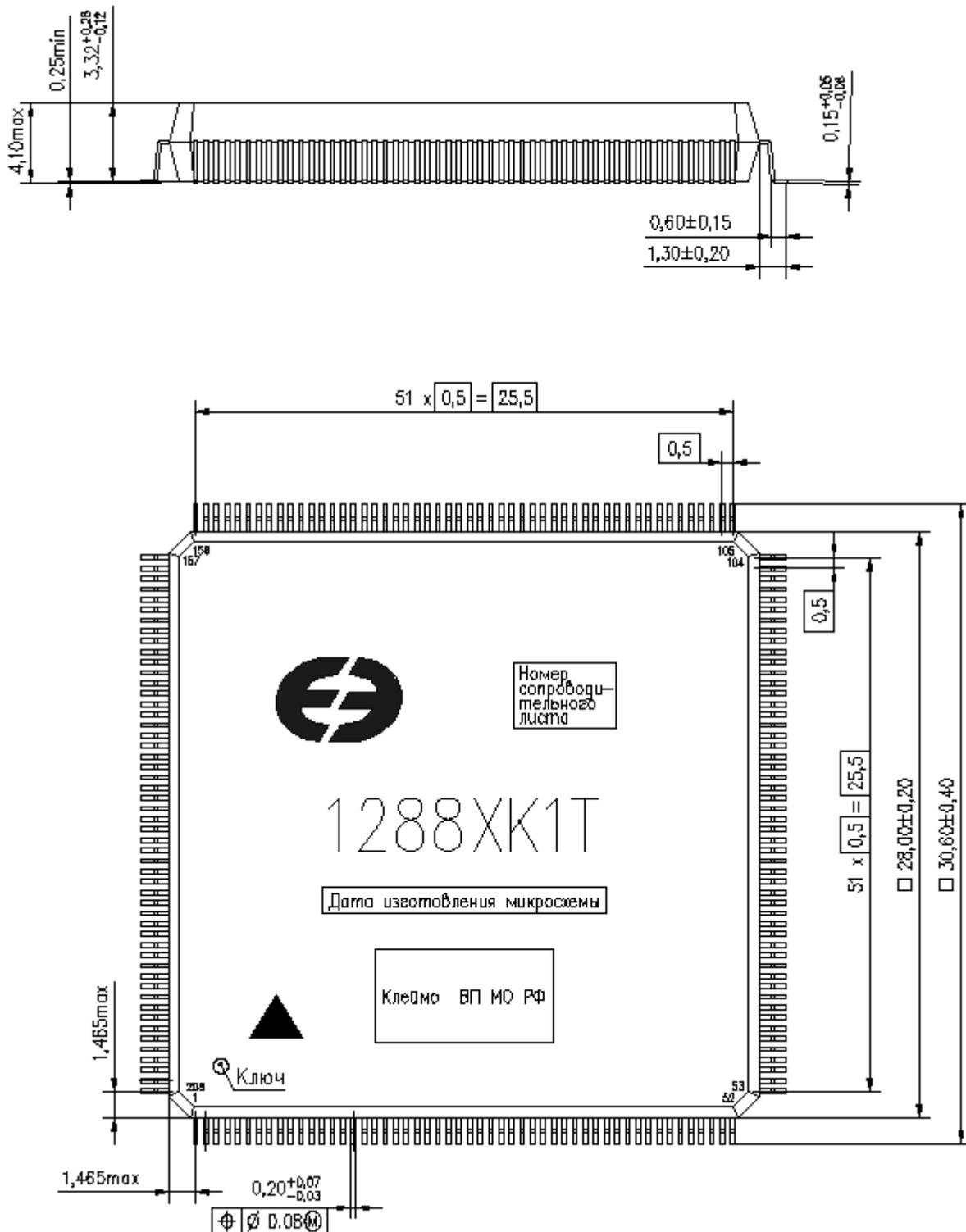


Рисунок 6.1. Расположение выводов микросхемы 1288ХК1Т в корпусе QFP208

## 7. ПЕРЕЧЕНЬ ПРИНЯТЫХ СОКРАЩЕНИЙ

AAP – адаптивная антенная решётка;

APY – автоматическая регулировка усиления;

АЦП – аналого–цифровой преобразователь;

АЧХ – амплитудно-частотная характеристика;

КИХ – конечная импульсная характеристика;

НЧ – низкая частота;

ПЧ – промежуточная частота;

СИС– фильтр - дециматор с постоянными коэффициентами ;

ФАР – фазированная антенная решетка;

BSR – периферийный сканирующий регистр;

DFIR–программируемый КИХ–фильтр дециматор;

FIFO – буфер выходных данных, работающий по принципу «первым вошел - первым вышел»;

FTFW – режим синхронного FIFO – «первый поступил–первый записался»;

GSM, IS-136, IS-95, WCDMA, UMTS – системы сотовой связи;

HOST – устройство управления;

HTDR – цифровой гетеродин;

Intel(INM), Motorola(MNM), Multicore(MC) – стандарты обмена данными;

JTAG – отладочный интерфейс;

LINK – линк-порт;

MASTER – устройство задатчик;

MIMO – технология многоантенной передачи;

MUX – мультиплексор;

ROUTER – коммутатор;

SCALER – блок масштабирования сигналов;

SFDR – динамический диапазон, свободный от помех;

SFIFO – режим «только считывание» устройства FIFO;

SHARC – семейство интегральных схем с общей идеологией;

SYNC – блок синхронизации;

SLAVE – исполнительное устройство;

Smart Antenna – технология самонастраивающихся антенн;

SPI – последовательный порт управления;

TigerSHARC – семейство интегральных схем с общей идеологией.

## 8. ИСТОРИЯ ИЗМЕНЕНИЙ

### 8.1 Изменения от 19.04.2019

- Изменена терминология: «прямой код» заменен «кодом со смещением» в Таблица 3.8 и пункте 2.1.
- Рисунок 2.1 скорректирован в соответствии с отсутствием режима `enc_mode=1`.
- Пункт 2.12, рекомендована подача сигнала на PCLK при работе с последовательным интерфейсом.
- В пункте 2.1 предложение «Выбор режима осуществляется битами «`enc_mode`» и «`enc_phase`» регистра ADC\_CFG (см. п.3.1) заменено на «Выбор режима осуществляется битом «`enc_phase`» регистра ADC\_CFG (см. Таблица 3.7).»
- В Таблица 6.2 обозначено, что PCLK –тактовый сигнал последовательного и параллельного портов.
- Удален рисунок 5.8, так как режима выборки по фронту ENCODE нет.