

29.10.2020



МИКРОСХЕМА ИНТЕГРАЛЬНАЯ 1288НВ015

РУКОВОДСТВО ПОЛЬЗОВАТЕЛЯ



АО НПЦ «ЭЛВИС»

support@elvees.com, www.multicore.ru

ОГЛАВЛЕНИЕ

1. ОСНОВНЫЕ ХАРАКТЕРИСТИКИ	3
2. ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ	4
3. НАЗНАЧЕНИЕ ВЫВОДОВ	6
4. ПОСЛЕДОВАТЕЛЬНЫЙ ИНТЕРФЕЙС	8
4.1 Сигналы	8
4.2 Режимы работы	8
4.3 Команды управления	8
4.4 Выходные данные	10
4.5 Особенности работы интерфейса в режиме SPI-Slave	12
4.6 Особенности работы интерфейса в режиме SPI-Master	13
5. РЕЖИМЫ РАБОТЫ	14
6. РЕГИСТРЫ УПРАВЛЕНИЯ АЦП	15
6.1 SWRST	15
6.2 DEVID	16
6.3 CTR	16

1. ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

- Архитектура: дельта-сигма
- Дифференциальный вход
- Диапазон входного дифференциального сигнала, peak-peak не менее 2.5 В
- Разрядность выходных отсчетов: 24 бит
- Частота оцифровки входного сигнала (F_{si}): от 6 до 12 МГц
- Частота выходных выборок (F_{so}): от 300 до 48000 Гц
- Программируемый коэффициент передискретизации (OSR): от 125 до 40000
- Многокаскадный цифровой фильтр:
 - СИС-фильтр
 - КИХ фильтр - дециматор до 128-го порядка с программируемыми коэффициентами
- Режимы по умолчанию:
 - 1) 300 отсчетов в секунду
 - 2) 3000 отсчетов в секунду
 - 3) 15000 отсчетов в секунду
 - 4) 48000 отсчетов в секунду
- Интерфейсы выходных данных и управления:
 - SPI
 - GPIO
- Возможность группового подключения нескольких микросхем по SPI
- 4 сигнала ввода/вывода общего назначения
- Смещение нуля не более 1мВ
- Ошибка коэффициента передачи не более 0.5%
- Коэффициент подавления синфазной составляющей (CMRR) не менее 75дБ
- Коэффициент подавления пульсаций напряжения питания (PSRR) не менее 65дБ
- Напряжение питания:
 - аналоговое: 3,3 В
 - цифровое: 1.8 В
 - драйверов: 3.3 В
- Потребляемая мощность, не более: 100мВт

2. ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Функциональная диаграмма АЦП приведена на 2.1

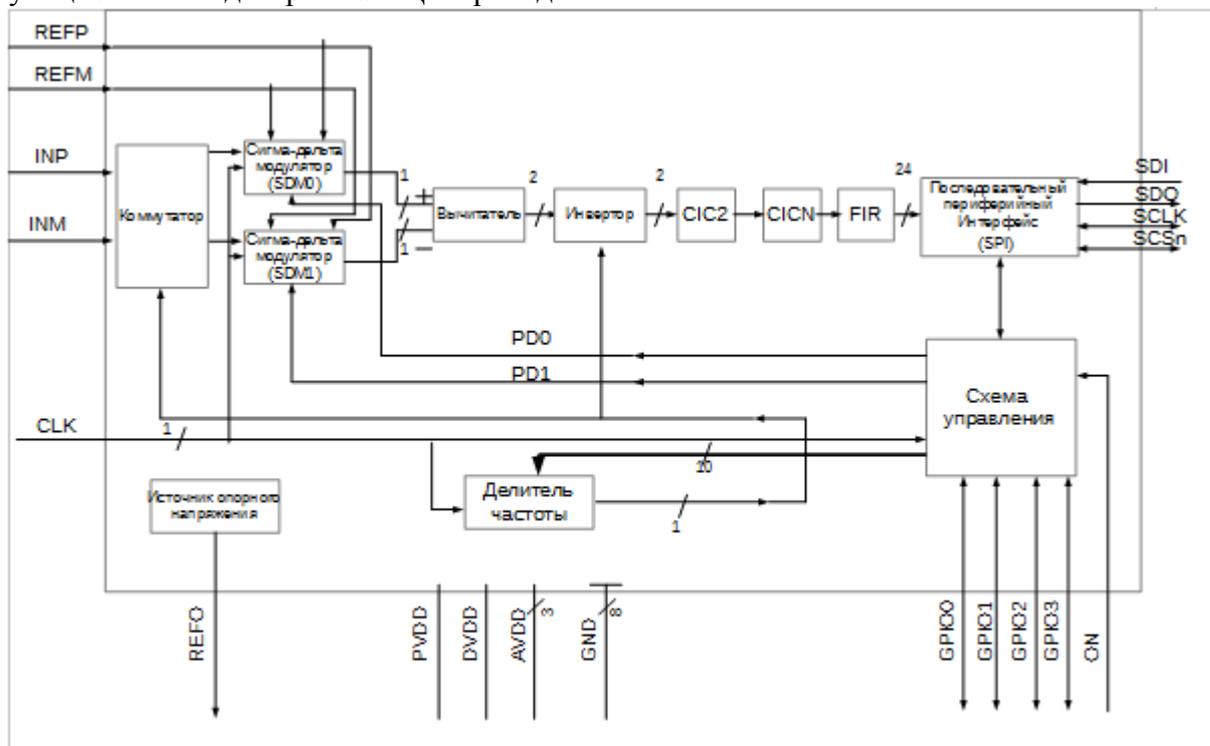


Рисунок 2.1. Функциональная диаграмма АЦП

- Коммутатор входного интерфейса позволяет направлять входные данные в каналы обработки в двух режимах.

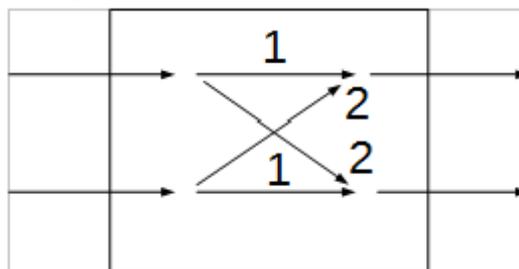


Рисунок 2.2. Режимы работы коммутатора. 1 — первый режим, 2 — второй режим

- SDM0, SDM1 – сигма-дельта модуляторы.
- Вычитатель — производит вычитание из сигнала SDM0 сигнала SDM1.
- Инвертор — меняет полярность входного сигнала, работает на одной частоте с коммутатором.
- Фильтр нижних частот-дециматор.
- Фильтры-дециматоры с фиксированными коэффициентами предназначены для предварительной децимации сигнала. Фильтры построены как фильтры с единичными коэффициентами (CIC – cascaded integrator/comb). Первый каскад CIC-децимации организован на CIC фильтре второй степени (CIC2). Второй каскад

СИС-децимации (СІСН) организован на СІС фильтрах, степень которых может изменяться от четырех до пяти.

- КИХ-фильтр (FIR) предназначен для фильтрации сигнала, уменьшения частоты дискретизации сигнала. Порядок фильтра не выше 128.
- Последовательный периферийный интерфейс (SPI) – может работать в режимах Master и Slave.
- Источник опорного напряжения - для задания величины выходного напряжения.
- Делитель частоты — формирует частоту переключения коммутатора.
- Схема управления – формирует управляющие сигналы для всех блоков микросхемы, а также содержит контроллер сигналов общего назначения GPIO. Микросхема имеет четыре сигнала общего назначения для управления и контроля внешних устройств. Каждый сигнал общего назначения может быть независимо сконфигурирован как вход или выход.

3. НАЗНАЧЕНИЕ ВЫВОДОВ

Назначение выводов АЦП приведено в таблице ниже.

Таблица 3.1. Назначение выводов микросхемы сигма-дельта АЦП

Номер вывода	Наименование	Тип	Описание	Количество
Питание				
7	PVDD	PWR	Напряжение питания (Питание драйверов контроллера) 3.3В	1
15	DVDD	PWR	Напряжение питания (Цифровое питание контроллера) 1.8В	1
4,8,24	AVDD	PWR	Напряжение питания (Аналоговое питание модулятора) 3,3В	3
1,5,11, 12,18,1 9,25,26	GND	GND	Общий	8
Аналоговые				
6	REFO	O	Выход внутреннего источника опорного напряжения	1
2	REFP	I	Вход внешнего источника опорного напряжения	1
3	REFM	I	Вход внешнего источника опорного напряжения	1
28	INP	I	Дифференциальный аналоговый вход	1
27	INM	I	Дифференциальный аналоговый вход	1
Сигналы последовательных интерфейсов				
17	SDO	O	Выход SPI интерфейса	1
16	SDI	I	Вход SPI интерфейса	1
14	SCLK	I/O	Выход или вход CLK SPI интерфейса в зависимости от режима slave/master	1
13	SCSn	I/O	Вход/выход SCSn SPI интерфейса в зависимости от режима slave/master	1
Сигналы интерфейса GPIO				
23	GPIO[0]	I/O	По умолчанию является входом и определяет код режима MODE[0]. Может быть запрограммирован по SPI в режим GPIO[0] (вход или выход), и обратно. Чтобы осталась возможность использовать в качестве GPIO выхода, логический уровень задается внешним резистором 10 кОм. Последнее относится ко всем GPIO.	1
22	GPIO[1]	I/O	По умолчанию является входом и определяет код режима MODE[1]. Может быть запрограммирован по SPI в режим GPIO[1] (вход или выход), и обратно.	1

Номер вывода	Наименование	Тип	Описание	Количество
21	GPIO[2]	I/O	По умолчанию, в режиме SPI_MASTER является входом, в режиме SPI_SLAVE является выходом – индикатором готовности отсчета для считывания по SPI. Может быть запрограммирован по SPI в режим GPIO[2] (вход или выход), и обратно.	1
20	GPIO[3]	I/O	По умолчанию является входом и определяет режим master/slave последовательного порта SPI: 0- MASTER 1-SLAVE Может быть запрограммирован по SPI в режим GPIO[3] (вход или выход), и обратно.	1
Общие сигналы управления				
10	CLK	I	Тактовый сигнал обработки.	1
9	ON	I	Сигнал сброса и перевода в режим пониженного потребления.	1

4. ПОСЛЕДОВАТЕЛЬНЫЙ ИНТЕРФЕЙС

4.1 Сигналы

Последовательный интерфейс микросхемы 1288НВ015 является SPI - совместимым интерфейсом. Интерфейс использует 4 сигнала:

SDI — входные последовательные данные;

SDO — выходные последовательные данные;

SCSn — сигнал выборки микросхемы (активный уровень - 0);

SCK — вход тактовой частоты интерфейса.

4.2 Режимы работы

Последовательный интерфейс позволяет обращаться к регистрам управления и считывать данные из буфера выходных отсчетов. Интерфейс имеет следующие режимы работы:

- SPI-Mster;
- SPI-Slave.

Во данных режимах обмен осуществляется с помощью 32 битных слов. Входные слова для последовательного порта представляют собой команды управления. Выходные слова представляет собой выходные данные. Команды управления считываются со входа SDI по переднему фронту тактового сигнала SCK при наличии активного уровня на сигнале SCSn. Выходные данные выдаются на выход SDO по заднему фронту тактового сигнала SCK также при наличии активного уровня на сигнале SCSn. Команды и данные передаются старшим значимым битом вперед. Команды управления и выходные данные передаются за одну операцию обмена. При этом выходные данные являются ответом на предыдущую команду управления.

Если длина команды управления меньше 32 бит, то команда не выполняется. Если длина команды управления больше 32 бит, то команда выполняется в соответствии с последними 32-мя битами, предыдущие биты игнорируются.

Если микросхема не выбрана (SCSn находится в состоянии “1”), то выход SDO удерживается в высокоимпедансном состоянии.

Обмен с регистрами управления АЦП двухуровневый: команды управления непосредственно обращаются к внутренним регистрам адреса и данных последовательного интерфейса (порта), доступ к регистрам управления АЦП осуществляется посредством этих регистров адреса и данных.

4.3 Команды управления

Команды последовательного интерфейса состоят из 8 битного кода операции и 24 битного параметра. Формат команд приведен в таблице 4.1. Значения параметров: 8-битный адрес

с проверочными разрядами, 16-битные данные с проверочными разрядами. Адрес и данные размещаются в старших разрядах параметра. Проверочные разряды размещаются в оставшихся младших разрядах параметра.

Таблица 4.1. Формат команд управления последовательного интерфейса

Команда	Код	Параметр	Назначение
NOP	0x22		Пустая команда.
SETA	0x37	addr	Установка адреса в регистр адреса порта
WRI	0x68	data	Запись данных в регистр по адресу, установленному в регистре адреса порта, с инкрементацией содержимого регистра адреса порта.
FETCH	0x7D	addr	Выборка значений регистра управления по адресу в регистр данных порта.
SETA_ECC	0x83	addr, check_bits	Установка адреса в регистр адреса порта. Адрес защищен помехоустойчивым кодом.
WRI_ECC	0x96	data, check_bits	Запись данных в регистр по адресу, установленному в регистре адреса порта, с инкрементацией содержимого регистра адреса порта. Данные защищены помехоустойчивым кодом.
FETCH_ECC	0xC9	addr, check_bits	Выборка значений регистра управления по адресу в регистр данных порта. Адрес защищен помехоустойчивым кодом.
GETS	0xDC		Выборка выходного отсчета.

В таблицах 4.2-4.9 представлены форматы команд NOP, SETA, SETA_ECC, WRI, WRI_ECC, FETCH, FETCH_ECC и GETS соответственно.

Таблица 4.2. Формат команды NOP

Код команды								Параметр							
31	30	29	28	27	26	25	24	23	22	...	16	15	14	...	0
0	0	1	0	0	0	1	0	-	-	...	-	-	-	...	-

Таблица 4.3. Формат команды SETA

Код команды								Параметр							
31	30	29	28	27	26	25	24	23	22	...	16	15	14	...	0
0	0	1	1	0	1	1	1	addr[7]	addr[6]	...	addr[0]	-	-	...	-

Таблица 4.4. Формат команды SETA_ECC

Код команды								Параметр							
31	30	29	28	27	26	25	24	23	22	...	16	15	14	...	0
0	0	0	0	0	0	1	1	addr[7]	addr[6]	...	addr[0]	chk[15]	chk[14]	...	chk[0]

Таблица 4.5. Формат команды WRI

Код команды								Параметр							
31	30	29	28	27	26	25	24	23	22	...	16	15	14	...	0
0	1	1	0	1	0	0	0	data[15]	data[14]	...	data[0]	-	-	...	-

Таблица 4.6. Формат команды WRI_ECC

Код команды								Параметр							
31	30	29	28	27	26	25	24	23	22	...	16	15	14	...	0
0	1	1	0	1	0	0	0	data[15]	data[14]	...	data[0]	-	-	...	-

Таблица 4.7. Формат команды FETCH

Код команды								Параметр							
31	30	29	28	27	26	25	24	23	22	...	16	15	14	...	0
0	1	1	1	1	1	0	1	addr[7]	addr[6]	...	addr[0]	-	-	...	-

Таблица 4.8. Формат команды FETCH_ECC

Код команды								Параметр							
31	30	29	28	27	26	25	24	23	22	...	16	15	14	...	0
1	1	0	0	1	0	0	1	addr[7]	addr[6]	...	addr[0]	chk[15]	chk[14]	...	chk[0]

Таблица 4.9. Формат команды GETS

Код команды								Параметр							
31	30	29	28	27	26	25	24	23	22	...	16	15	14	...	0
1	1	0	1	1	1	0	0	-	-	-	...	-	-	-	...

4.4 Выходные данные

Выходные данные команд SETA, SETA_ECC, WRI, WRI_ECC, FETCH, FETCH_ECC состоят из 8 разрядного значения статуса, 16 разрядного значения регистра управления и 8 проверочных разрядов для значения регистра управления. Разряды статуса располагаются в старшем байте ответного слова, далее расположен байт, содержащий проверочные разряды для значения регистра управления, которое расположено в двух младших байтах.

Таблица 4.10. Формат ответного слова для команд SETA, SETA_ECC, WRI, WRI_ECC, FETCH, FETCH_ECC

Статус						Проверочные разряды				Значение регистра управления			
31	30	29	30	...	24	23	22	...	16	15	14	...	0
0	1	status[5]	status[4]	...	status[0]	chk[7]	chk[6]	...	chk[0]	dat a[5]	dat a[4]	...	data [0]

В таблице 4.11 представлен формат поля статуса ответных слов, в которых оно присутствует.

Таблица 4.11. Формат поля статуса

Номер бита	Обозначение бита	Назначение
0	not_empty	Флаг наличия выходных отсчетов в буфере: 0 — буфер выходных отсчетов пуст (нет выходных отсчетов в буфере); 1 — буфер выходных отсчетов не пуст (есть выходные отсчеты в буфере).
1	error	Флаг, указывающий, что предыдущая команда была передана с некорректируемой ошибкой: 0 - ошибок в команде не было либо они были исправлены; 1 - обнаружена некорректируемая ошибка.
2	not_empty	Флаг наличия выходных отсчетов в буфере: 0 — буфер выходных отсчетов пуст (нет выходных отсчетов в буфере); 1 — буфер выходных отсчетов не пуст (есть выходные отсчеты в буфере).
3	error	Флаг, указывающий, что предыдущая команда была передана с некорректируемой ошибкой: 0 - ошибок в команде не было либо они были исправлены; 1 - обнаружена некорректируемая ошибка.
4	not_empty	Флаг наличия выходных отсчетов в буфере: 0 — буфер выходных отсчетов пуст (нет выходных отсчетов в буфере); 1 — буфер выходных отсчетов не пуст (есть выходные отсчеты в буфере).
5	error	Флаг, указывающий, что предыдущая команда была передана с некорректируемой ошибкой: 0 - ошибок в команде не было либо они были исправлены; 1 - обнаружена некорректируемая ошибка.

Выходные данные команд GETS состоят из 24-разрядного значения выходного отсчета и 8 проверочных разрядов. Выходной отсчет расположен в трех старших байтах, проверочные разряды в младшем байте.

Таблица 4.12. Формат ответного слова для команды GETS

Выходной отсчет				Проверочные разряды			
31	30	...	8	7	6	...	0
smpl[23]	smpl[22]	...	smpl[0]	chk[7]	chk[6]	...	chk[0]

Выходные данные команд NOP состоят из 8 разрядного значения статуса, 24 разрядных данных (24 младших бита команды NOP). Разряды статуса располагаются в старшем байте ответного слова, далее расположены данные.

Таблица 4.13. Формат ответного слова для команды NOP

Статус						Данные							
31	30	29	30	...	24	23	22	...	16	15	14	...	0
0	1	status[5]	status[4]	...	status[0]	data[23]	data[22]	...	data[16]	data[15]	data[14]	...	data[0]

4.5 Особенности работы интерфейса в режиме SPI-Slave

В режиме SPI-slave АЦП является ведомым. В этом случае сигналы интерфейса SDI, SCK, SCSn являются для микросхемы входными. Тактовый сигнал SCK может быть асинхронным по отношению к другим тактовым сигналам микросхемы. Выходные отсчеты выдаются по запросу мастера с помощью команды GETS, а значения регистров управления выдаются по запросу мастера с помощью команды FETCH. Скорость выборки выходных отсчетов не связана со скоростью потока данных АЦП. В этом режиме возможны как чтение, так и запись регистров управления.

При активном уровне SCSn порт SPI выглядит как 32-разрядный сдвиговый регистр со входом SDI и выходом SDO. В этом режиме имеется возможность соединять в цепочку неограниченное число микросхем, в том числе микросхемы разного типа. При этом команды (одинаковые или различные) во всех микросхемах будут выполняться синхронно.

Временная диаграмма работы последовательного интерфейса в этом режиме показана на рисунке 4.1.

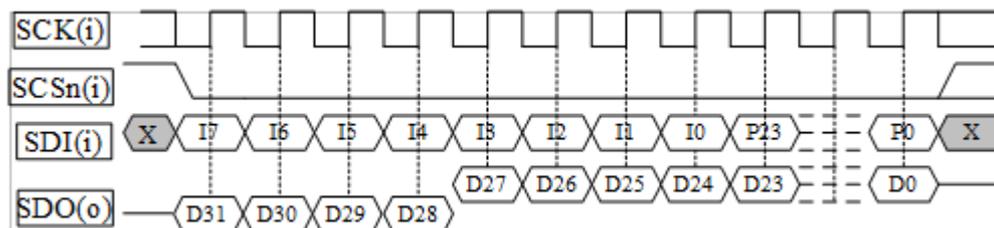


Рисунок 4.1. Временная диаграмма работы последовательного интерфейса в режиме SPI-slave. I – код команды, P – параметр команды, D – значение выходных данных

4.6 Особенности работы интерфейса в режиме SPI-Master

В режиме SPI-Master АЦП формирует сигналы интерфейса SDO, SCLK, SCSn и автоматически осуществляет передачу выходных отсчетов. Период SCLK устанавливается в соответствии с таблицей 4.14.

Таблица 4.14. Режимы SPI по умолчанию

MODE	Частота последовательного интерфейса SCLK, МГц
0	CLK/32
1	CLK/32 скорее всего тут /16
2	CLK/8
3	CLK/2

Период следования отсчетов равен выходной скорости данных АЦП и определяется выбранной по умолчанию конфигурацией. В этом режиме возможна только запись регистров.

Временная диаграмма работы последовательного интерфейса в этом режиме показана на рисунке 4.2.

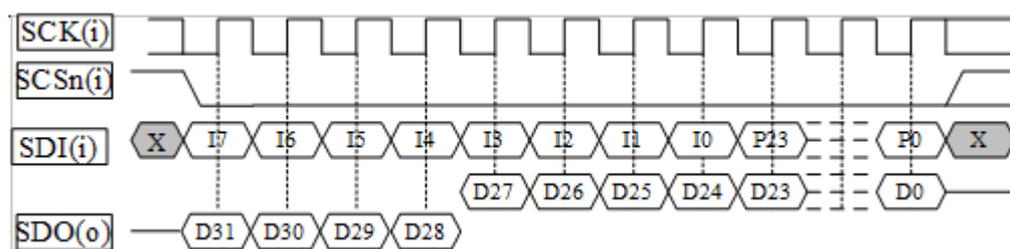


Рисунок 4.2. Временная диаграмма работы последовательного интерфейса в режиме SPI-slave. I – код команды, P – параметр команды, D – значение выходных данных

5. РЕЖИМЫ РАБОТЫ

По умолчанию АЦП имеет четыре режима работы.

При подаче питания и при переходе ON из нулевого состояния в единичные значения регистров конфигурации и коэффициентов PFIR устанавливаются в значения по умолчанию. Включаются оба SDM.

Два младших бита GPIO[1:0] определяют одну из 4 возможных предустановленных конфигураций выходной частоты дискретизации, в которой микросхема будет работать.

Опрос GPIO[1:0] и соответствующее изменение конфигурации происходит по окончании формирования каждого выходного отсчета.

GPIO[3] определяет, является ли АЦП ведущим или ведомым на SPI шине. В случае, если АЦП ведомый, GPIO[2] является индикатором готовности очередного отчета для считывания по SPI.

Ниже перечислены режимы работы по умолчанию.

Таблица 5.1. Режимы работы АЦП

Режим GPIO[1:0]	CTR_cho p_en	CTR_sclk _div	CTR_sdm _on	CTR_vref _on	CTR_vref _hi	CIC1 _scl	CIC1 _dr	CIC2 _scl	CIC2 _dr	FIR2 _MO DE_ mode	FGA IN
00	1	32	1	1	0	12	79	0	0	8'b10 1001 01	'd210 60
01	1	32	1	1	0	12	79	0	0	8'b10 0100 00	'd210 60
10	1	8	1	1	0	12	79	0	0	8'b01 0000 00	'd210 60
11	0	2	1	1	0	11	99	0	0	8'b00 0000 00	'd219 90

6. РЕГИСТРЫ УПРАВЛЕНИЯ АЦП

Таблица 6.1. Внутреннее адресное пространство

ADDR	Тип	Наименование	Сброс в зависимости от GPIO[1:0]	Описание
0x00	W	SWRST	16'b0	SOFT_RESET Регистр программного сброса
0x01	R	DEVID	16'b302	DEV_ID Идентификатор устройства
0x02	R/W	CTR	0: {8'hC0, GPIO[3], 7'h0A} 1: {8'hC0, GPIO[3], 7'h0A} 2: {8'h90, GPIO[3], 7'h0A} 3: {8'h4, GPIO[3], 7'h0A}	Регистр управления
0x03	R/W	CIC1	0: 16'h604F 1: 16'h604F 2: 16'h604F 3: 16'h5863	регистр управления DCIC_4_L
0x04	R/W	CIC2	16'h0	регистр управления DCIC_4_S
0x05	R/W	FIR2_MODE	0: 16'hA5 1: 16'h90 2: 16'h40 3: 16'h0	регистр управления DFIR_4X
0x06	R/W	FGAIN	0: 16'h5244 1: 16'h5244 2: 16'h5244 3: 16'h55E6	FGAIN
0x07	R/W	GPIO_DATA	16'h0	Данные на выход GPIO
0x08	R/W	GPIO_OE	13'b0, GPIO[3], 2'b0	Регистр управления GPIO
0x09	R/W	GPIO_SRC	16'hAA	Выбор данных на выход GPIO
0x0A	R	GPIO_IN		Данные со входа GPIO
0x0B	R	SAMPLE		Входной отсчет
0x20	R/W	ST0PRL	16'h0	Программируемый профиль стадии 0
0x21	R/W	ST0PRH	16'h0	
0x22	R/W	ST1PRL	16'h0	Программируемый профиль стадии 1
0x23	R/W	ST1PRH	16'h0	
0x24	R/W	ST2PRL	16'h0	Программируемый профиль стадии 2
0x25	R/W	ST2PRH	16'h0	
0x26	R/W	ST3PRL	16'h0	Программируемый профиль стадии 3
0x27	R/W	ST3PRH	16'h0	
0x80-0xFF	R/W	FIR_COEFF[0 ... 127]	X	Коэффициенты фильтра DFIR_4X

6.1 SWRST

Запись в регистр числа 16'h78 вызывает программный сброс, полностью аналогичный аппаратному сбросу.

6.2 DEVID

Регистр 16-бит идентификатора типа устройства. Доступен только по чтению.

6.3 CTR

Таблица 6.2

Бит	Имя поля	Назначение
15	chop_en	разрешение сигнала CHOP
14: 9	sclk_div	делитель SCLK
8	res	зарезервировано
7	slave	режим master/slave последовательного порта SPI: 0- MASTER 1-SLAVE
6	res	зарезервировано
5	cfg_src	1-данные с внутренних регистров, 0 — предустановленные режимы MODE
4	res	зарезервировано
3	sdm_on	включение SDM
2	res	зарезервировано
1	vref_on	Включение VREF
0	vref_hi	Уровень напряжения: 0 — низкий, 1- высокий VREF