

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ 1657РУ2У

Техническое описание

Аннотация

Данный документ является предварительным техническим описанием микросхемы 1657РУ2У, представляющей собой КМОП ОЗУ емкостью 16 Мбит с организацией 1Мх16 (2Мх8), стойкое к воздействию специальных факторов, предназначенное для использования в большинстве приложений, требующих повышенную радиационную стойкость.

ОГЛАВЛЕНИЕ

1. Основные особенности.....	4
2. Функциональное описание.....	5
3. Электрические параметры.....	11
4. Корпус	16
5. Рекомендации по разводке микросхемы 1657РУ2У на плате.....	19

1. ОСНОВНЫЕ ОСОБЕННОСТИ

- Тип памяти: статическая асинхронная со встроенной схемой коррекции ошибок
- Организация памяти: 1Мx16, 2Мx8
- Типовое время выборки адреса: 17 нс
- Стойкость по накопленной дозе не менее 300 крад
- Напряжение питания:
 - ядра: 1,2 В
 - периферии: 3,3 В
- Типовая потребляемая мощность:
 - в режиме хранения: 6..12 мВт
 - в активном режиме: 143..155 мВт
- Корпус: металлокерамический, LCC-68

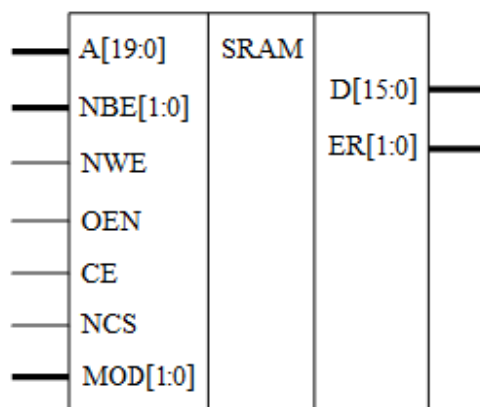


Рисунок 1.1. Условное графическое изображение

2. ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Функциональная диаграмма микросхемы приведена на Рисунок 2.1.

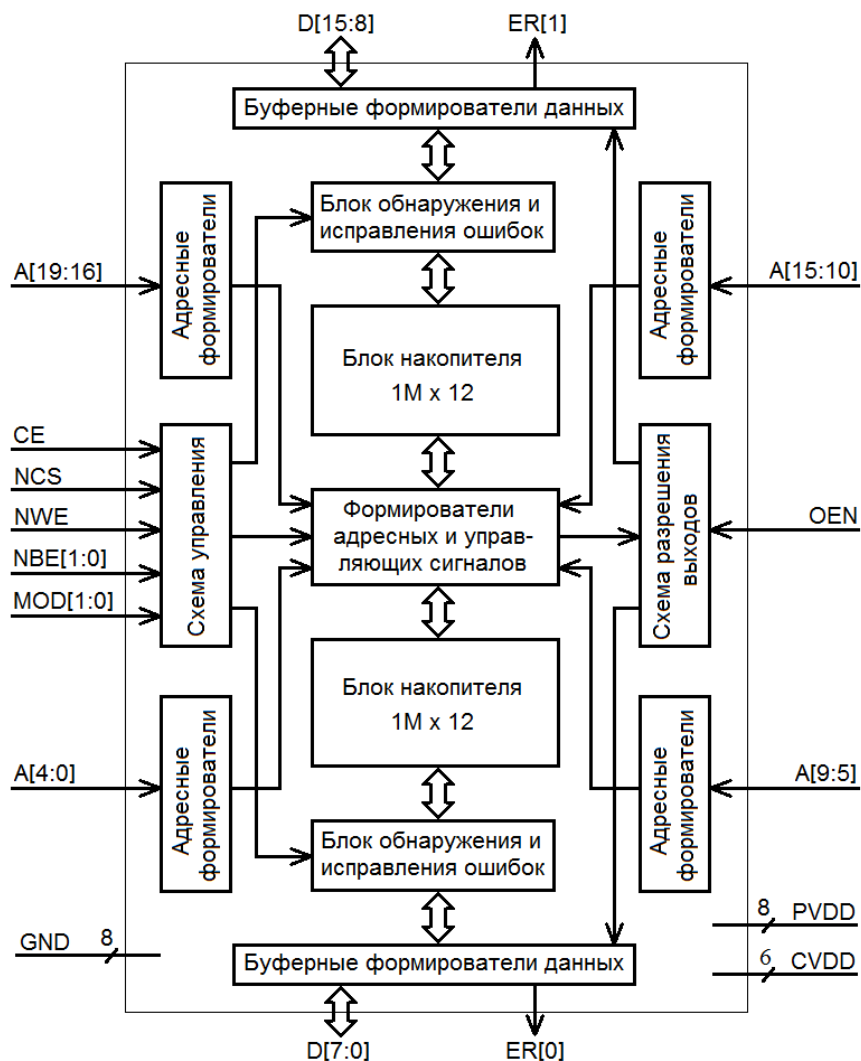


Рисунок 2.1. Функциональная диаграмма микросхемы 1657PY2U

Функциональной особенностью микросхемы является использование кода Хэмминга для обнаружения и исправления ошибок в каждом из байтов 16-разрядного слова, что позволяет использовать микросхему в режиме 2Mx8 с сохранением возможности обнаружения и исправления ошибок в накопителе.

Основным режимом функционирования является 16-разрядный режим 1Mx16. Режим 2Mx8 реализуется на уровне платы путем объединения выводов данных младшего и старшего байтов слова, т.е. соединяются между собой выводы микросхемы D[7:0] с D[15:8]. Кроме этого, объединяются выходы ER[0] и ER[1]. При этом функцию старшего адресного разряда выполняют выходы NBE[1] и NBE[0], совмещающие эту функцию с их основной функцией выбора старшего и младшего байта накопителя. В этом режиме, в отличие от режима 1Mx16, недопустима одновременная подача сигналов NBE[1]=0 и NBE[0]=0, приводящая к одновременной выборке старшего и младшего байтов.

В микросхеме реализована возможность контроля дефектности не только накопителя основных разрядов данных, но также и контрольных разрядов кода Хэмминга. Это достигается с помощью использования дополнительных управляющих входов MOD[1:0], позволяющих включать или отключать кодовую защиту и подключать контрольные разряды к внешним выводам данных.

При появлении ошибки в основном или контрольном разряде младшего (и/или старшего) байта микросхемы появляется сигнал ошибки на выводе ER[0] (и/или ER[1]). Этот сигнал появляется как в режиме с включенной кодовой защитой (MOD[1:0]=00), так и выключенной (MOD[1:0]=01). В режиме проверки контрольных разрядов (MOD[1:0]=10) выходы ER[1:0] не используются. В случае использования байтового режима выходы ER[1] и ER[0] объединяются и формируется один общий сигнал ошибки для старшего и младшего байтов накопителя.

Назначение выводов микросхемы приведено в Таблица 2.1.

Таблица 2.1. Назначение выводов микросхемы 1657PY2У

Имя	Тип	Назначение	Кол-во выводов
A[19:0]	Вход	шина адреса	20
D[15:0]	Вход-выход	шина данных	16
ER[1:0]	Выход с 3-состоянием	признак (флаг) ошибки старшего/младшего байта	2
CE	Вход	разрешение кристалла	1
NBE[1:0]	Вход	выбор байта	2
NCS	Вход	выбор кристалла	1
NWE	Вход	разрешение записи	1
OEN	Вход	разрешение выхода	1
MOD[1:0]	Вход	режим работы: 0 – штатный режим с исправлением ошибок 1 – штатный режим без исправления ошибок 2 – режим доступа к контрольным разрядам (отображаются на младшие биты соответствующих байтов сигналов данных) 3 – резерв	2
CVDD	Питание	питание ядра 1,2В	6
PVDD	Питание	питание периферии 3,3В	8
GND	Общий	земля	8

Таблица 2.2. Таблица состояний микросхемы 1657PY2У

NCS ~CE	NBE	NWE	OEN	MOD	D0-D7	D8-D15	ER0	ER1	Состояние
1	XX	X	X	XX	Z	Z	Z	Z	Хранение
0	00	0	X	0X	Вход	Вход	Z	Z	Запись слова
0	10	0	X	0X	Вход	X	Z	Z	Запись младшего байта
0	01	0	X	0X	X	Вход	Z	Z	Запись старшего байта
0	00	0	X	10	Вход	Вход	Z	Z	Запись слова в режиме проверки контрольных разрядов
0	10	0	X	10	Вход	X	Z	Z	Запись младшего байта в режиме проверки контрольных разрядов
0	01	0	X	10	X	Вход	Z	Z	Запись старшего байта в режиме проверки контрольных разрядов
0	00	1	0	00	Выход	Выход	Выход	Выход	Чтение слова с исправлением ошибок
0	10	1	0	00	Выход	Z	Выход	Z	Чтение младшего байта с исправлением ошибок
0	01	1	0	00	Z	Выход	Z	Выход	Чтение старшего байта с исправлением ошибок
0	00	1	0	01	Выход	Выход	Выход	Выход	Чтение слова без исправления ошибок
0	10	1	0	01	Выход	Z	Выход	Z	Чтение младшего байта без исправления ошибок
0	01	1	0	01	Z	Выход	Z	Выход	Чтение старшего байта без исправления ошибок
0	00	1	0	10	Выход	Выход	X	X	Чтение слова в режиме контроля области кодов коррекции
0	10	1	0	10	Выход	Z	X	Z	Чтение младшего байта в режиме проверки контрольных разрядов
0	01	1	0	10	Z	Выход	Z	X	Чтение старшего байта в режиме проверки контрольных разрядов
0	11	X	X	XX	Z	Z	Z	Z	Нет обращения
0	XX	X	1	XX	Z	Z	Z	Z	Выход выключен

Микросхема поддерживает следующие циклы обращения:

- адресное чтение (чтение по сигналу адреса)
- чтение по сигналу выбора кристалла
- запись по сигналу выбора кристалла
- запись по сигналу разрешения записи
- асинхронная запись (запись по сигналу адреса)

Временные диаграммы циклов приведены на рисунках 2.2-2.7.

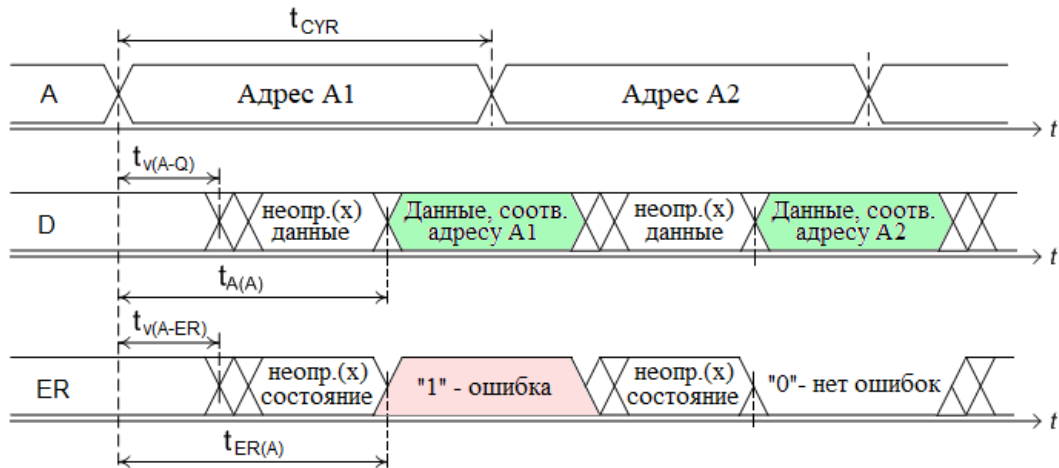


Рисунок 2.2. Адресное чтение ($NCS=0, CE=1, NBE=0, OEN=0, NWE=1, MOD=0/1/2$)

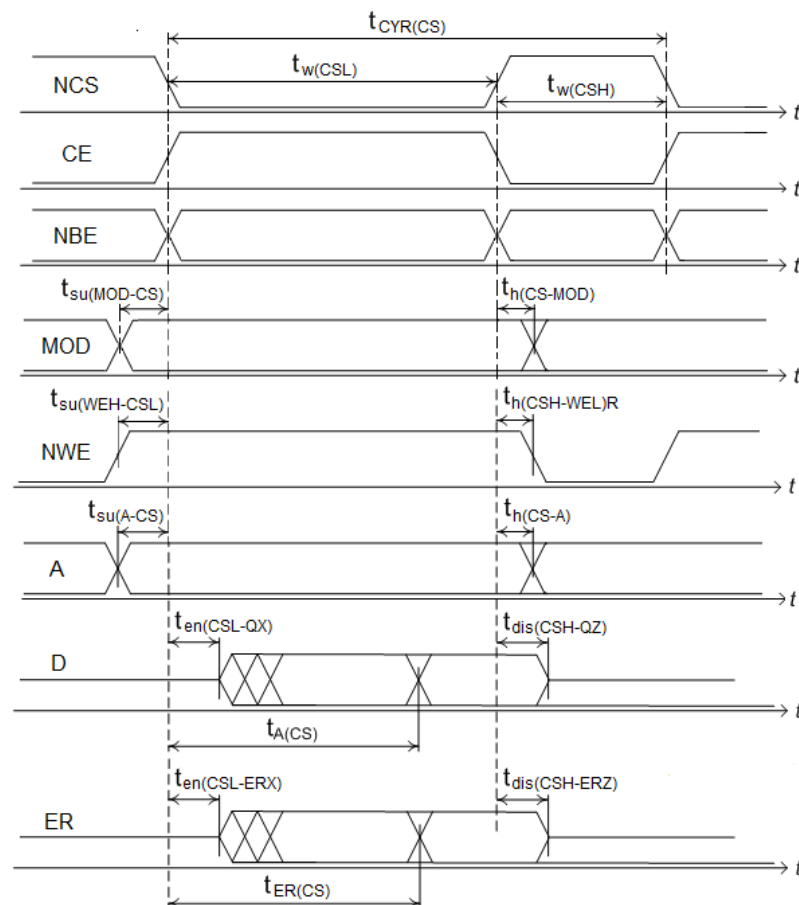


Рисунок 2.3. Чтение по сигналу выбора кристалла ($OEN=0$)

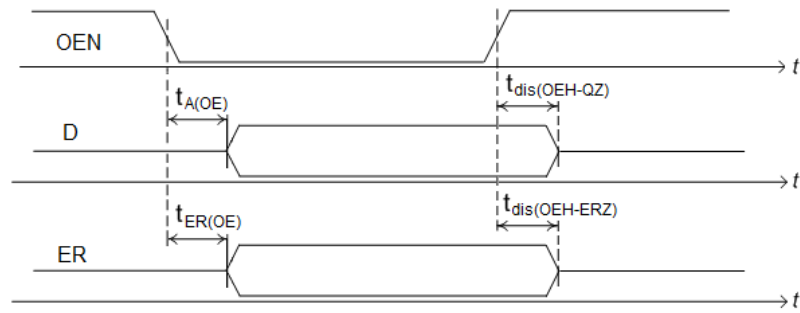


Рисунок 2.4. Разрешение выхода ($NCS=0$, $CE=1$, $NBE=0$, $NWE=1$, $MOD=0/1/2$)

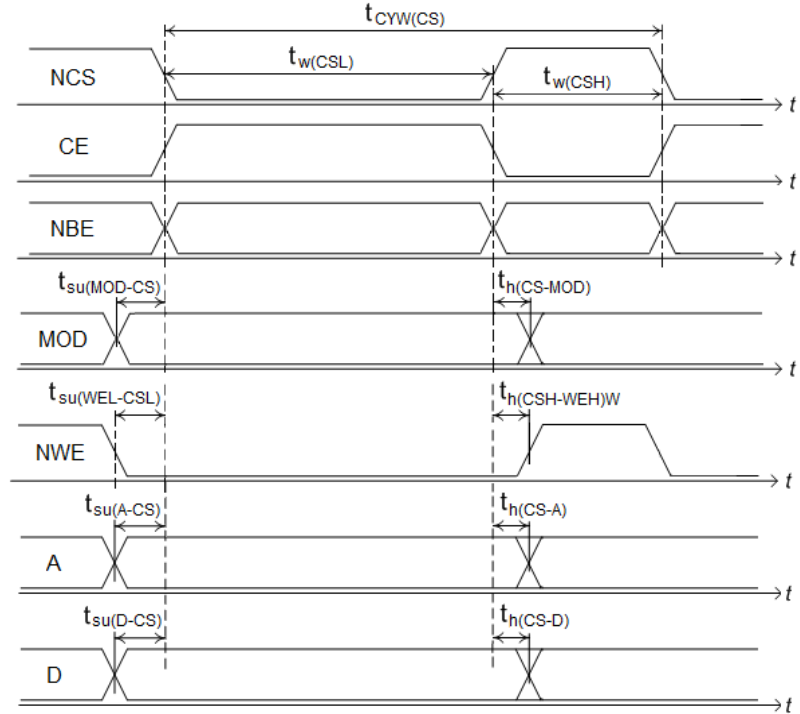


Рисунок 2.5. Запись по сигналу выбора кристалла ($OEN=1$)

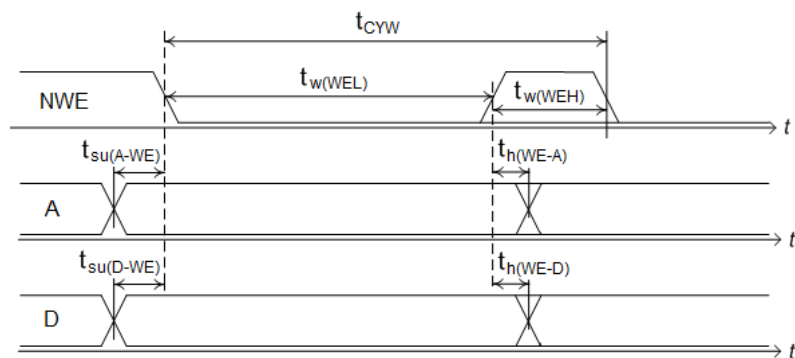


Рисунок 2.6. Запись по сигналу разрешения записи ($NCS=0$, $CE=1$, $NBE=0$, $OEN=1$, $MOD=0/1/2$)

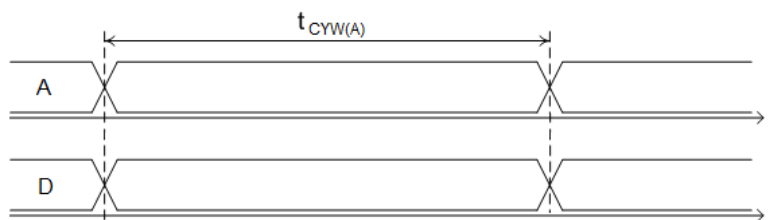


Рисунок 2.7. Запись по сигналу адреса (NWE=0, NCS=0, CE=1, NBE=0, OEN=1, MOD=0/1/2)

При чтении и записи по сигналу выбора кристалла (рисунки 2.3 и 2.5) допускается одновременная подача и снятие управляющих сигналов NCS, CE, NWE, NBE вместе с адресами A и данными D (при максимальном временном сдвиге между этими сигналами не более 3 нс). При этом снятие данных при записи может осуществляться еще до перехода NCS в пассивное состояние, если с момента начала цикла записи прошло более 20 нс, поскольку активный базовый блок памяти не более чем через 20 нс после начала цикла переходит в пассивное состояние для повышения сбоеустойчивости и уменьшения потребляемой мощности.

При записи, управляемой NWE (рисунок 2.6), перед подачей записываемых данных D необходимо обеспечить перевод шины данных в 3-состояние путем подачи сигнала OEN=1 не позже чем за время $t_{dis(OEN-QZ)}=5$ нс перед подачей данных. При этом, как и в случае записи по NCS, снятие записываемых данных может осуществляться еще до снятия сигнала разрешения записи (т.е. до подачи NWE=1), если от момента подачи NWE=0 прошло более 20 нс.

Режим записи по сигналу адреса (Рисунок 2.7) позволяет наиболее быстро (с частотой обращения 40 МГц) проводить заполнение накопителя константой, например, обнуление накопителя, а при фронтах менее 3 нс на адресных входах и входах данных позволяет заполнять накопитель произвольной информацией с одновременной подачей адресов и данных в каждом такте (при максимальном временном сдвиге между входными сигналами не более 3 нс).

3. ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ

Таблица 3.1. Электрические параметры микросхемы 1657PY2У при приемке и поставке (CVDD=1,2±5%, PVDD=3,3±5% В, T=-60..+125°C)

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение	Норма		Температура среды, °C
		не менее	не более	
1 Выходное напряжение низкого уровня, В при $U_{CCS} = 1,14$ В; $U_{CCP} = 3,13$ В; $I_{OL} = 8$ мА	U_{OL}	-	0,4	от минус 60 до +125
2 Выходное напряжение высокого уровня, В при $U_{CCS} = 1,14$ В; $U_{CCP} = 3,13$ В; $I_{OH} =$ минус 4 мА	U_{OH}	2,4	-	
3 Ток утечки высокого уровня на входе, мкА при $U_{CCS} = 1,26$ В; $U_{CCP} = 3,47$ В; $2,0$ В $\leq U_{IH} \leq (U_{CCP} + 0,2)$ В	I_{ILH}	-	100	
4 Ток утечки низкого уровня на входе, мкА при $U_{CCS} = 1,26$ В; $U_{CCP} = 3,47$ В; $-0,2$ В $\leq U_{IL} \leq 0,8$ В	I_{ILL}	минус 100	-	
5 Выходной ток в состоянии «Выключено», мкА при $U_{CCS} = 1,26$ В; $U_{CCP} = 3,47$ В; минус $0,2$ В $\leq U_{OZ} \leq U_{CCP}$	I_{OZ}	минус 100	100	
6 Ток потребления ядра в статическом режиме, мА при $U_{CCS} = 1,26$ В; $U_{CCP} = 3,47$ В;	I_{CCS}	-	150	
7 Ток потребления периферии в статическом режиме, мА при $U_{CCS} = 1,26$ В; $U_{CCP} = 3,47$ В	I_{CCP}	-	10	
8 Ток потребления ядра в динамическом режиме, мА при $U_{CCS} = 1,26$ В; $U_{CCP} = 3,47$ В; $f^* = 30$ МГц	I_{CCCO}	-	200	
9 Ток потребления периферии в динамическом режиме, мА при $U_{CCS} = 1,26$ В; $U_{CCP} = 3,47$ В; $f^* = 30$ МГц; $I_{O}^{**} = 0$ мА	I_{CCPO}	-	20	
10 Время выборки адреса, нс при $U_{CCS} = 1,2$ В $\pm 5\%$; $U_{CCP} = 3,3$ В $\pm 5\%$	$t_{A(A)}$	-	25	
11 Время цикла считывания, нс при $U_{CCS} = 1,2$ В $\pm 5\%$; $U_{CCP} = 3,3$ В $\pm 5\%$	t_{CYR}	33	-	
12 Время цикла записи, нс при $U_{CCS} = 1,2$ В $\pm 5\%$; $U_{CCP} = 3,3$ В $\pm 5\%$	t_{CYW}	33	-	
13 Емкость входа, пФ	C_I	-	10	
14 Емкость входа /выхода, пФ	$C_{I/O}$	-	10	
* - Частота обращения $f_C = 1/T$, где T – время цикла записи (чтения)				
** - $I_O = 0$ мА при чтении обеспечивается с помощью OEN = “1”				

Таблица 3.2. Предельно-допустимые и предельные значения электрических параметров режимов эксплуатации микросхемы

Наименование параметра	Буквенное обозначение параметра	Предельно-допустимый режим		Предельный режим	
		не менее	не более	не менее	Не более
1 Напряжение питания ядра, В	U_{CC3}	1,14	1,26	–	1,8
2 Напряжение питания периферии, В	U_{CCP}	3,13	3,47	–	3,9
3 Входное напряжение высокого уровня, В	U_{IH}	2,0	$U_{CCP} + 0,2$	–	$U_{CCP} + 0,3$
4 Входное напряжение низкого уровня, В	U_{IL}	минус 0,2	0,8	минус 0,3	–
5 Напряжение, подаваемое на выход в состоянии «Выключено», В	U_{OZ}	минус 0,2	3,47	–	–
6 Емкость нагрузки, пФ	C_L	–	50	–	200

Таблица 3.3. Временные параметры микросхемы 1657PY2Y (CVDD=1,2±5%, PVDD=3,3±5% В, T=-60..+125°C)

Наименование параметра и единицы измерения	Буквенное обозначение	Норма	
		не менее	не более
Время выборки адреса	$t_{A(A)}$		25
Время выборки кристалла	$t_{A(CS)}$		25
Время выборки разрешения	$t_{A(OE)}$		12
Время выборки признака ошибки при адресном чтении	$t_{ER(A)}$		25
Время выборки признака ошибки при чтении по сигналу выбора кристалла	$t_{ER(CS)}$		25
Время выборки признака ошибки при чтении по сигналу разрешения	$t_{ER(OE)}$		12
Время сохранения информации на выходе при адресном чтении после изменения сигнала адреса	$t_{v(A-Q)}$	3	
Длительность цикла адресного чтения	t_{CYR}	25	
Длительность цикла чтения по сигналу выбора кристалла NCS/CE/NBE	$t_{CY(CS)}$	33	
Длительность активного уровня сигнала выбора кристалла NCS/CE/NBE	$t_{w(CSL)}$	25	
Длительность неактивного уровня сигнала выбора кристалла	$t_{w(CSH)}$	8	
Время установки сигнала NWE в 1 перед сигналом NCS/CE/NBE	$t_{su(WEH-CSL)}$	0	
Время удержания NWE в 1 после сигнала NCS/CE/NBE	$t_{h(CSH-WEL)R}$	0	
Время запрещения на выходе после сигнала NCS/CE/NBE	$t_{dis(CSH-QZ)}$		8
Время запрещения на выходе после сигнала разрешения выхода	$t_{dis(OEH-QZ)}$		5
Время разрешения на выходе после сигнала NCS/CE/NBE	$t_{en(CSL-QX)}$	3	
Время разрешения на выходе после сигнала разрешения выхода	$t_{en(OEH-QZ)}$	3	
Запись по сигналу выбора кристалла			
Длительность цикла записи по сигналу выбора кристалла NCS/CE/NBE	$t_{CYW(CS)}$	33	
Время установки сигнала NWE в 0 перед сигналом NCS/CE/NBE	$t_{su(WEL-CSL)}$	0	
Время установки сигналов адреса перед сигналом NCS/CE/NBE	$t_{su(A-CS)}$	0	
Время установки данных перед сигналом NCS/CE/NBE	$t_{su(D-CS)}$	0	
Время установки сигнала MOD перед сигналом NCS/CE/NBE	$t_{su(MOD-CS)}$	3	
Время удержания NWE в 0 после сигнала NCS/CE/NBE	$t_{h(CSH-WEH)W}$	0	
Время удержания сигналов адреса после сигнала NCS/CE/NBE	$t_{h(CS-A)}$	0	
Время удержания данных после сигнала NCS/CE/NBE	$t_{h(CS-D)}$	0	
Время удержания сигнала MOD после сигнала NCS/CE/NBE	$t_{h(CS-MOD)}$	0	
Запись по сигналу разрешения записи			
Длительность цикла записи	t_{CYW}	33	

Наименование параметра и единицы измерения	Буквенное обозначение	Норма	
		не менее	не более
Длительность активного уровня сигнала NWE	$t_{w(WEL)}$	20	
Длительность неактивного уровня сигнала NWE	$t_{w(WEH)}$	8	
Время установки сигналов адреса перед сигналом NWE	$t_{su(A-WE)}$	0	
Время установки данных перед сигналом NWE	$t_{su(D-WE)}$	0	
Время установки сигнала MOD перед сигналом NWE	$t_{su(MOD-WE)}$	3	
Время удержания сигналов адреса после сигнала NWE	$t_{h(WE-A)}$	0	
Время удержания данных после сигнала NWE	$t_{h(WE-D)}$	0	
Время удержания сигнала MOD после сигнала NWE	$t_{h(WE-MOD)}$	0	
Запись по сигналу адреса			
Длительность цикла записи	$t_{CYW(A)}$	25	

Таблица 3.4. Значения характеристик специальных факторов микросхемы 1657РУ2У

Вид специальных факторов	Характеристики специальных факторов	Значения характеристик специальных факторов по ГОСТ РВ 20.39.412.2	Примечание
7.И	7.И ₁	4Ус	
	7.И ₆	4Ус	
	7И ₇	4Ус	
	7И ₈	0,001 x 4Ус	
7.С	7.С ₁	4Ус	
	7.С ₄	4Ус	
7.К	7.К ₁ , 7.К ₄	1,5К x 1К	1
	7.К ₉ , 7.К ₁₁		2
	7.К ₁₀	Стойкость по эффектам сбоя с параметрами чувствительности: - пороговая энергия сбоя не менее 12 МэВ; - сечение насыщения не более $3.5 \cdot 10^{-14}$ см ² /бит	3
	7.К ₁₂	Стойкость по эффектам сбоя с параметрами чувствительности: - пороговое значение линейных потерь энергии (ЛПЭ) сбоя не менее 3 МэВ*см ² /мг; - сечение насыщения не более 10^{-6} см ² /бит	
7.К ₁₂	Стойкость к воздействиям по эффекту отказов (тиристорных эффектов): пороговое значение линейных потерь энергии (ЛПЭ) эффекта не менее 60 МэВ*см ² /мг при максимальной температуре 65°С.	4	
Примечания:			
1. При совместном воздействии факторов с характеристиками 7.К1 и 7.К4.			
2. Требования устанавливаются по результатам испытаний опытных образцов микросхемы.			
3. Требования определены для локальных радиационных условий эксплуатации микросхемы с учетом поглощения внешних потоков заряженных частиц пассивной защитой в составе компоновки аппаратуры с эквивалентной массовой толщиной сферической защиты не менее 1,0 г/см ² (по Al). Требования уточняют по результатам испытаний опытных образцов микросхем.			
4. В ходе ОКР отрабатывают методику и определяют показатели стойкости к тиристорным эффектам при максимальной температуре 125°С.			

Время потери работоспособности при воздействии специальных факторов 7.И не более 2 мс.

4. КОРПУС

Микросхема имеет металлокерамический безвыводной корпус LCC-68. Расположение выводов дано в таблице 4.1 и на рисунке 4.1. Чертеж корпуса приведен на Рисунок 4.2.

Таблица 4.1. Нумерация выводов микросхемы 1657PY2Y в корпусе LCC-68

номер	вывод	номер	вывод	номер	вывод	номер	вывод
1	A5	18	A3	35	A16	52	A14
2	ER[0]	19	A2	36	CVDD	53	A13
3	D7	20	PVDD	37	D8	54	PVDD
4	D6	21	A1	38	D9	55	A12
5	PVDD	22	GND	39	PVDD	56	GND
6	GND	23	A0	40	GND	57	A11
7	D5	24	NBE[0]	41	D10	58	A10
8	D4	25	NBE[1]	42	D11	59	MOD[1]
9	CVDD	26	CVDD	43	CVDD	60	CVDD
10	D3	27	NWE	44	D12	61	MOD[0]
11	D2	28	NCS	45	D13	62	OEN
12	GND	29	CE	46	GND	63	A9
13	PVDD	30	GND	47	PVDD	64	GND
14	D1	31	A19	48	D14	65	A8
15	D0	32	PVDD	49	D15	66	PVDD
16	CVDD	33	A18	50	ER[1]	67	A7
17	A4	34	A17	51	A15	68	A6

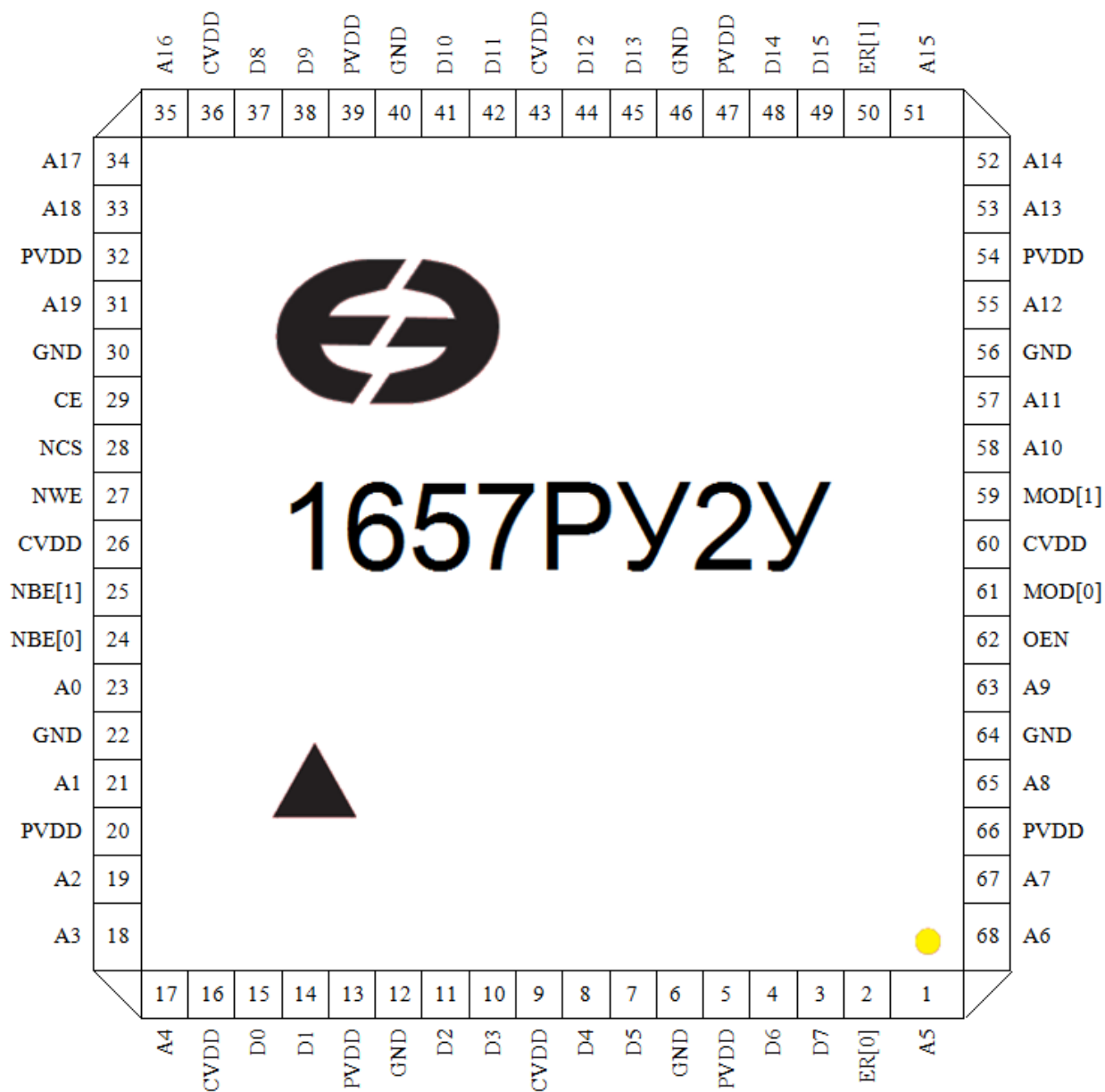


Рисунок 4.1. Расположение выводов микросхемы 1657PY2U в корпусе LCC-68 (вид со стороны маркировки)

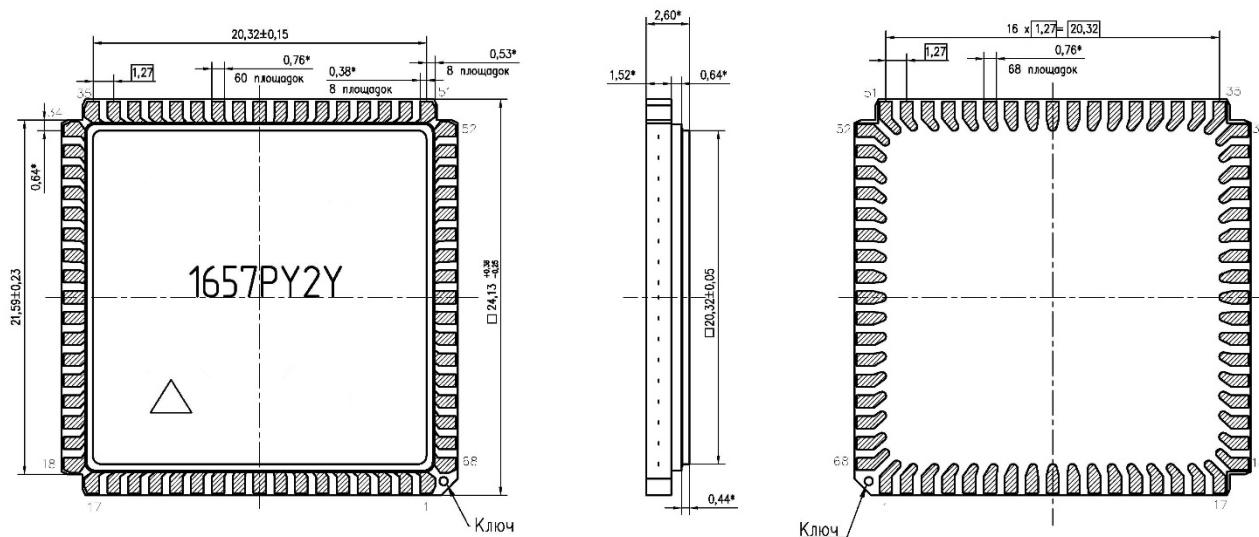


Рисунок 4.2 Габаритные размеры микросхемы 1657PY2Y

5. РЕКОМЕНДАЦИИ ПО РАЗВОДКЕ МИКРОСХЕМЫ 1657РУ2У НА ПЛАТЕ

1. Необходимо применение высокочастотных (с малой индуктивностью) конденсаторов 0,1 мкФ, включенных между общим выводом GND и каждым из выводов питания ядра CVDD и периферии PVDD в непосредственной близости к этим выводам. Кроме того, необходимо подключение двух конденсаторов 10 мкФ – одного между GND и CVDD и другого между GND и PVDD.
2. Разводка шин земли и питания должна обеспечивать минимально возможное сопротивление и индуктивность этих шин. Целесообразно использовать для этих шин отдельные слои платы.
3. Длина сигнальных линий данных D[15:0] и флагов ошибок ER[1:0] должна иметь минимально возможную длину для снижения их индуктивности.