

**МИКРОСХЕМЫ ИНТЕГРАЛЬНЫЕ
1892ВМ12Т, 1892ВМ12АТ**

**РУКОВОДСТВО ПОЛЬЗОВАТЕЛЯ
РАЯЖ.431282.013Д17**

ОГЛАВЛЕНИЕ

1. ВВЕДЕНИЕ	7
1.1 Назначение	7
1.2 Функциональные параметры и возможности	7
1.3 Структурная схема	9
1.4 Инструментальное программное обеспечение	10
1.5 Операционная система для микросхемы	10
2. ЦЕНТРАЛЬНЫЙ ПРОЦЕССОР	11
2.1 Основные характеристики CPU.....	11
2.2 Блок-схема	11
2.3 Составляющие логические блоки	12
2.3.1 Устройство исполнения.....	12
2.3.2 Устройство умножения/деления (MDU).....	12
2.3.3 Системный управляющий сопроцессор	13
2.3.4 Сопроцессор арифметики в формате с плавающей точкой (FPU).....	13
2.3.5 Устройство управления памятью (MMU).....	13
2.3.6 Контроллер кэш.....	13
2.3.7 Устройство шинного интерфейса (BIU – Bus Interface Unit).....	13
2.3.8 ОпCD контроллер.....	13
2.4 КОНВЕЙЕР.....	14
2.4.1 Стадии конвейера.....	14
2.4.2 Операции умножения и деления	15
2.4.3 Задержка выполнения команд перехода (Jump, Branch).....	15
2.4.4 Обходные пути передачи данных (Data bypass)	16
2.4.5 Задержка загрузки данных	17
2.5 СОПРОЦЕССОР АРИФМЕТИКИ В ФОРМАТЕ С ПЛАВАЮЩЕЙ ТОЧКОЙ (FPU).....	18
2.5.1 Введение.....	18
2.5.2 Регистры FPU	18
2.5.3 Исключения FPU.....	24
2.5.4 Время выполнения команд FPU.....	28
2.6 УСТРОЙСТВО УПРАВЛЕНИЯ ПАМЯТЬЮ (MMU).....	29
2.6.1 Введение.....	29
2.6.2 Режимы работы.....	30
2.6.3 Буфер быстрого преобразования адреса (TLB).....	36
2.6.4 Преобразование виртуального адреса в физический в режиме TLB.....	38
2.7 ИСКЛЮЧЕНИЯ.....	43
2.7.1 Условия исключений.....	43
2.7.2 Приоритеты исключений	44
2.7.3 Расположение векторов исключений	44
2.7.4 Обработка общих исключений	45
2.7.5 Исключения.....	46
2.7.6 Алгоритмы обработки исключений.....	51
2.8 РЕГИСТРЫ CPU.....	54
2.8.1 Назначение	54
2.8.2 Обзор регистров CPU.....	54
2.8.3 Регистры CPU.....	55
2.9 КЭШ	69
2.10 КАРТА ПАМЯТИ CPU	70
3. СИСТЕМНОЕ УПРАВЛЕНИЕ	81
3.1 СИСТЕМА СИНХРОНИЗАЦИИ	81
3.1.1 Входы синхронизации и множители частоты	81
3.1.2 Управление работой PLL.....	81
3.1.3 Отключение и включение тактовой частоты.....	82
3.2 КОНТРОЛЛЕР ПРЕРЫВАНИЙ	83
3.3 СИСТЕМНЫЕ РЕГИСТРЫ	87
3.4 ПРОЦЕДУРА НАЧАЛЬНОЙ ЗАГРУЗКИ	87
4. ИНТЕРВАЛЬНЫЙ ТАЙМЕР	88

4.1	НАЗНАЧЕНИЕ	88
4.2	СТРУКТУРНАЯ СХЕМА ИТ	88
4.3	ОПИСАНИЕ РЕГИСТРОВ ИНТЕРВАЛЬНОГО ТАЙМЕРА	89
4.4	ПРОГРАММИРОВАНИЕ ИТ	90
5.	СТОРОЖЕВОЙ ТАЙМЕР	91
5.1	НАЗНАЧЕНИЕ	91
5.2	СТРУКТУРНАЯ СХЕМА	91
5.3	ОПИСАНИЕ РЕГИСТРОВ WDT	92
5.4	ПРОГРАММИРОВАНИЕ WDT	93
6.	КОНТРОЛЛЕР ПРЯМОГО ДОСТУПА В ПАМЯТЬ (DMA)	96
6.1	ПЕРЕЧЕНЬ КАНАЛОВ DMA	96
6.2	ОРГАНИЗАЦИЯ ОБМЕНА ДАННЫМИ В МИКРОСХЕМЕ	96
6.3	КАНАЛЫ DMA ТИПА ПАМЯТЬ-ПАМЯТЬ	97
6.4	КАНАЛЫ DMA ПЕРИФЕРИЙНЫХ ПОРТОВ	102
6.5	ПРОЦЕДУРА САМОИНИЦИАЛИЗАЦИИ	105
6.6	ПРЕРЫВАНИЯ DMA	106
7.	ПОРТ ВНЕШНЕЙ ПАМЯТИ	107
7.1	ОСНОВНЫЕ ХАРАКТЕРИСТИКИ ПОРТА ВНЕШНЕЙ ПАМЯТИ	107
7.2	РЕГИСТРЫ ПОРТА ВНЕШНЕЙ ПАМЯТИ	107
7.2.1	<i>Регистр конфигурации CSCON0</i>	108
7.2.2	<i>Регистр конфигурации CSCON1</i>	109
7.2.3	<i>Регистр конфигурации CSCON2</i>	110
7.2.4	<i>Регистр конфигурации CSCON3</i>	110
7.2.5	<i>Регистр конфигурации CSCON4</i>	111
7.2.6	<i>Регистр конфигурации SDRCON</i>	112
7.2.7	<i>Регистр параметров SDRAM</i>	113
7.2.8	<i>Регистр состояний и управления SDRCSR</i>	114
7.2.9	<i>Регистр параметров и состояний NDFPSR</i>	116
7.2.10	<i>Регистры параметров NAND FLASH</i>	117
7.2.11	<i>Регистр защиты памяти NDFWPR</i>	118
7.2.12	<i>Регистр параметров NOR FLASH NRFTMR</i>	118
7.2.13	<i>Управление обменами с памятью NAND FLASH</i>	119
7.2.14	<i>Регистр CSR_EXT</i>	120
7.2.15	<i>Регистр AERROR_EXT</i>	121
7.3	ВРЕМЕННЫЕ ДИАГРАММЫ ОБМЕНА ДАННЫМИ	121
7.3.1	<i>Общие положения</i>	121
7.3.2	<i>Обмен данными с асинхронной памятью</i>	122
7.3.3	<i>Обмен данными с асинхронной памятью NOR FLASH</i>	126
7.3.4	<i>Обмен данными с синхронной памятью</i>	127
7.3.5	<i>Обмен данными с асинхронной памятью NAND FLASH</i>	132
7.4	РЕКОМЕНДАЦИИ ПО ПОДКЛЮЧЕНИЮ ВНЕШНЕЙ ПАМЯТИ	133
7.4.1	<i>Память типа SDRAM</i>	133
7.4.2	<i>Память типа NOR FLASH</i>	133
8.	УНИВЕРСАЛЬНЫЙ АСИНХРОННЫЙ ПОРТ (UART)	134
8.1	ОБЩИЕ ПОЛОЖЕНИЯ	134
8.2	РЕГИСТРЫ UART	135
8.2.1	<i>Общие положения</i>	135
8.2.2	<i>Регистр LCR</i>	136
8.2.3	<i>Регистр FCR</i>	137
8.2.4	<i>Регистр LSR</i>	137
8.2.5	<i>Регистр IER</i>	138
8.2.6	<i>Регистр IIR</i>	138
8.2.7	<i>Регистр MCR</i>	140
8.2.8	<i>Программируемый генератор скорости обмена</i>	141
8.3	РАБОТА С FIFO ПО ПРЕРЫВАНИЮ	141
8.4	РАБОТА С FIFO ПО ОПРОСУ	142
9.	КОНТРОЛЛЕР ИНТЕРФЕЙСА SPACEWIRE (SWIC)	143

9.1	ОБЩИЕ ПОЛОЖЕНИЯ.....	143
9.2	БЛОК СХЕМА.....	143
9.3	ПРЕРЫВАНИЯ.....	145
9.4	ПЕРЕЧЕНЬ РЕГИСТРОВ SWIC.....	145
9.4.1	Общие положения.....	145
9.5	ОПИСАНИЕ РЕГИСТРОВ SWIC.....	146
9.5.1	Регистр HW_VER.....	146
9.5.2	Регистр STATUS.....	146
9.5.3	Регистр RX_CODE.....	149
9.5.4	Регистр MODE_CR.....	149
9.5.5	Регистр TX_SPEED.....	150
9.5.6	Регистр RX_SPEED.....	152
9.5.7	Регистр TX_CODE.....	152
9.5.8	Регистр CNT_RX_PACK.....	152
9.5.9	Регистр CNT_RX0_PACK.....	152
9.5.10	Регистр ISR_L.....	153
9.5.11	Регистр ISR_H.....	153
9.5.12	Регистр TRUE_TIME.....	153
9.5.13	Регистр TOUT_CODE.....	153
9.5.14	Регистр ISR_tout_L.....	154
9.5.15	Регистр ISR_tout_H.....	154
9.5.16	Регистр LOG_ADDR.....	154
9.6	РАБОТА СО SWIC. ПАКЕТЫ ДАННЫХ, ДЕСКРИПТОРЫ ПАКЕТОВ.....	155
9.6.1	Расположение данных в памяти.....	155
9.6.2	Схема обработки данных процессором.....	155
9.6.3	Прием данных из канала SpaceWire.....	155
9.6.4	Передача данных в канал SpaceWire.....	156
9.6.5	Выравнивание границ пакетов по границам слов.....	158
9.6.6	Формат дескриптора пакета.....	158
9.6.7	Возможность передачи коммуникационного пакета.....	159
9.6.8	Использование симплексного режима.....	160
9.6.9	Маркеры времени.....	161
9.6.10	Коды распределенных прерываний.....	161
9.6.11	Коды подтверждения распределенных прерываний.....	162
9.6.12	Установка скорости передачи данных.....	162
9.6.13	Установление соединения.....	162
9.6.14	Определение скорости приема данных.....	163
10.	КОНТРОЛЛЕР GSWIC.....	164
10.1	ФУНКЦИОНАЛЬНЫЕ ПАРАМЕТРЫ И ВОЗМОЖНОСТИ.....	164
10.2	СТРУКТУРНАЯ СХЕМА.....	164
10.3	ПЕРЕЧЕНЬ РЕГИСТРОВ GSWIC.....	166
10.3.1	Общие положения.....	166
10.4	ОПИСАНИЕ РЕГИСТРОВ GSWIC.....	167
10.4.1	Регистр HW_VER.....	167
10.4.2	Регистр STATUS.....	167
10.4.3	Регистр RX_CODE.....	170
10.4.4	Регистр MODE_CR.....	170
10.4.5	Регистр TX_CONTROL.....	172
10.4.6	Регистр TX_CODE.....	172
10.4.7	Регистр CNT_RX_PACK.....	173
10.4.8	Регистр ISR.....	173
10.4.9	Регистр TRUE_TIME.....	173
10.4.10	Регистр TOUT_CODE.....	174
10.4.11	Регистр ISR_tout.....	174
10.4.12	Регистр LOG_ADDR.....	175
10.4.13	Регистр PMA_STATE.....	175
10.4.14	Регистр PMA_MODE.....	176
10.4.15	Регистр PMA_TX_LB.....	177
10.4.16	Регистр PMA_RX_LB.....	177
10.5	РЕКОМЕНДАЦИИ ПО ПРОГРАММИРОВАНИЮ.....	177
10.5.1	Пакеты данных, дескрипторы пакетов.....	177

10.5.2	Работа с управляющими кодами	182
10.5.3	Установка соединения	184
10.5.4	Разрыв соединения	184
11.	МНОГОФУНКЦИОНАЛЬНЫЙ	185
	БУФЕРИЗИРОВАННЫЙ ПОСЛЕДОВАТЕЛЬНЫЙ ПОРТ (MFBSPP)	185
11.1	ОСОБЕННОСТИ MFBSPP	185
11.1.1	Основные характеристики MFBSPP в режиме I2S	186
11.1.2	Основные характеристики MFBSPP в режиме SPI	187
11.1.3	Основные характеристики MFBSPP в режиме LPORT	188
11.1.4	Основные характеристики MFBSPP в режиме порта ввода-вывода общего назначения ...	188
11.2	ОБЩИЕ СВЕДЕНИЯ ОБ MFBSPP	189
11.2.1	Режимы работы MFBSPP	189
11.2.2	Структурная схема многофункционального буферизированного последовательного порта	190
11.2.3	Назначение выводов порта в различных режимах	192
11.2.4	Перечень регистров MFBSPP	193
11.2.5	Каналы DMA многофункциональных портов MFBSPP	193
11.2.6	Прерывания от каналов DMA MFBSPP	194
11.2.7	Прерывания от MFBSPP	194
11.3	РАБОТА MFBSPP В РЕЖИМЕ I2S	196
11.3.1	Назначение MFBSPP в режиме I2S	196
11.3.2	Регистр управления и состояния CSR_MFBSPP (режим I2S)	197
11.3.3	Регистр управления направлением выводов DIR_MFBSPP (режим I2S)	197
11.3.4	Регистр управления приёмником RCTR (режим I2S)	198
11.3.5	Регистр управления передатчиком TCTR (режим I2S)	200
11.3.6	Регистр состояния приёмника RSR (режим I2S)	202
11.3.7	Регистр состояния передатчика TSR (режим I2S)	203
11.3.8	Регистр управления темпом приёма RCTR_RATE (режим I2S)	204
11.3.9	Регистр управления темпом передачи TCTR_RATE (режим I2S)	204
11.3.10	Псевдорегистр TSTART (режим I2S)	204
11.3.11	Псевдорегистр RSTART (режим I2S)	205
11.3.12	Регистр аварийного управления портом EMERG_MFBSPP (режим I2S)	205
11.3.13	Регистр маски прерываний от порта IMASK (режим I2S)	206
11.3.14	Структурная схема MFBSPP для режима I2S	206
11.3.15	Варианты соединения порта с внешними устройствами	207
11.3.16	Передача данных в режиме I2S	208
11.3.17	Формирование тактовых сигналов приёмника (RCLK) и передатчика (TCLK)	212
11.3.18	Формирование управляющих сигналов приёмника и передатчика в режиме I2S	213
11.3.19	Тракт передачи данных	214
11.3.20	Тракт приёма данных	215
11.3.21	Прерывания от последовательного порта	216
11.4	РАБОТА MFBSPP В РЕЖИМЕ SPI	216
11.4.1	Назначение последовательного порта в режиме SPI	216
11.4.2	Регистр управления и состояния CSR_MFBSPP (режим SPI)	217
11.4.3	Регистр управления направлением выводов DIR_MFBSPP (режим SPI)	218
11.4.4	Регистр управления приёмником RCTR (режим SPI)	219
11.4.5	Регистр управления передатчиком TCTR (режим SPI)	220
11.4.6	Регистр состояния приёмника RSR (режим SPI)	222
11.4.7	Регистр состояния передатчика TSR (режим SPI)	223
11.4.8	Регистр управления темпом приёма RCTR_RATE (режим SPI)	224
11.4.9	Регистр управления темпом передачи TCTR_RATE (режим SPI)	224
11.4.10	Псевдорегистр TSTART (режим SPI)	224
11.4.11	Псевдорегистр RSTART (режим SPI)	225
11.4.12	Регистр аварийного управления портом EMERG_MFBSPP (режим SPI)	225
11.4.13	Регистр маски прерываний от порта IMASK (режим SPI)	226
11.4.14	Структурная схема MFBSPP для режима SPI	227
11.4.15	Варианты соединения порта с внешними устройствами	227
11.4.16	Передача данных в режиме SPI	229
11.4.17	Пример чтения 8 разрядного слова по заданному адресу из ведомого устройства с интерфейсом C-BUS	231
11.4.18	Формирование тактовых сигналов приёмника (RSCK) и передатчика (TSCK)	232
11.4.19	Формирование управляющих сигналов приёмника и передатчика в режиме SPI	233

11.4.20	Тракт передачи данных.....	234
11.4.21	Тракт приёма данных.....	236
11.4.22	Прерывания от последовательного порта.....	237
11.5	РАБОТА MFBSР В РЕЖИМЕ ЛИНКОВОГО ПОРТА (LPORT).....	237
11.5.1	Назначение линкового порта.....	237
11.5.2	Регистр управления и состояния CSR_MFBSР (режим LPORT).....	237
11.5.3	Регистр состояния приёмника RSR (режим LPORT).....	238
11.5.4	Регистр состояния передатчика TSR (режим LPORT).....	239
11.5.5	Регистр аварийного управления портом EMERG_MFBSР (режим LPORT).....	240
11.5.6	Регистр маски прерываний от порта IMASK (режим LPORT).....	241
11.5.7	Структурная схема MFBSР для режима линкового порта.....	242
11.5.8	Соединение с внешними устройствами.....	242
11.5.9	Передача данных по линковому порту.....	243
11.5.10	Прерывания от линковых портов.....	245
11.6	РАБОТА MFBSР В РЕЖИМЕ ПОРТА ВВОДА-ВЫВОДА ОБЩЕГО НАЗНАЧЕНИЯ.....	245
11.6.1	Регистр данных порта ввода вывода GPIO_DR.....	246
11.6.2	Регистр управления направлением выводов DIR_MFBSР.....	246
11.7	РЕКОМЕНДАЦИИ ПО АВАРИЙНОМУ ВЫКЛЮЧЕНИЮ ПЕРЕДАТЧИКА.....	246
12.	ПРИНЦИПЫ КОРРЕКЦИИ ОШИБОК.....	247
13.	ПОРТ JTAG И ВСТРОЕННЫЕ СРЕДСТВА ОТЛАДКИ ПРОГРАММ.....	251
14.	ЭЛЕКТРИЧЕСКИЕ И ВРЕМЕННЫЕ ПАРАМЕТРЫ.....	252
14.1	ЭЛЕКТРОПИТАНИЕ.....	252
14.2	ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ.....	252
14.3	ДИНАМИЧЕСКАЯ ПОТРЕБЛЯЕМАЯ МОЩНОСТЬ.....	253
14.4	ВРЕМЕННЫЕ ПАРАМЕТРЫ.....	254
15.	ОПИСАНИЕ ВНЕШНИХ ВЫВОДОВ.....	255
16.	ИСТОРИЯ ИЗМЕНЕНИЙ.....	261
16.1	19 ФЕВРАЛЯ 2013 Г.....	261
16.2	14 МАЯ 2013 Г.....	261
16.3	20 ИЮНЯ 2013 Г.....	261
16.4	23 АВГУСТА 2013 Г.....	261
16.5	02 СЕНТЯБРЯ 2013 Г.....	261
16.6	06 СЕНТЯБРЯ 2013 Г.....	261
16.7	12 ДЕКАБРЯ 2013 Г.....	261
16.8	30 ДЕКАБРЯ 2013 Г.....	261
16.9	02 АПРЕЛЯ 2014 Г.....	262
16.10	11 АПРЕЛЯ 2014 Г.....	262
16.11	12 ФЕВРАЛЯ 2015 Г.....	262
16.12	14 АПРЕЛЯ 2015 Г.....	262
16.13	14 МАЯ 2015 Г.....	262
16.14	30 СЕНТЯБРЯ 2015 Г.....	262

1. ВВЕДЕНИЕ

Данный документ представляет собой руководство пользователя на микросхемы интегральные микропроцессоров 1892ВМ12Т и 1892ВМ12АТ.

1.1 Назначение

Микросхема интегральная микропроцессора в исполнениях 1892ВМ12Т и 1892ВМ12АТ (далее – микросхема, микропроцессор) спроектирована как однокристалльная «система на кристалле» на базе IP-ядерной (IP-intellectual property) платформы «МУЛЬТИКОР», разработанной в ОАО НПЦ «ЭЛВИС».

Микросхема предназначена для применения в следующих приложениях:

- § Бортовые твердотельные накопители информации объемом до 1 терабайта;
- § Бортовые системы управления с сетевой организацией;
- § Высокоточная обработка данных.

1.2 Функциональные параметры и возможности

Микросхема имеет следующие функциональные параметры и возможности:

- § Центральный процессор (CPU):
 - § Архитектура – MIPS32;
 - § 32-х битные шины передачи адреса и данных;
 - § Кэш команд объемом 16 Кбайт;
 - § Кэш данных объемом 16 Кбайт;
 - § Архитектура привилегированных ресурсов в стиле ядра R4000:
 - § Регистры Count/Compare для прерываний реального времени;
 - § Отдельный вектор обработки исключений по прерываниям;
 - § Программируемое устройство управления памятью:
 - § Два режима работы – с TLB (Translation Lookaside Buffer) и FM (Fixed Mapped);
 - § 16 строк в режиме TLB.
 - § Устройство умножения и деления;
 - § Сопроцессор арифметики в формате с плавающей точкой;
 - § JTAG IEEE 1149.1, встроенные средства отладки программ
 - § Оперативная память центрального процессора (CRAM) объемом 128 Кбайт;
 - § 5 внешних запросов прерывания, в том числе немаскируемое прерывание (NMI).
- § Порт внешней памяти (MPORT):
 - § Шина данных – 32 разряда, шина адреса – 24 разряда;
 - § Встроенный контроллер управления статической асинхронной памятью типа SRAM, FLASH, ROM и синхронной динамической памятью типа SDRAM;
 - § Программное конфигурирование типа блоков памяти и их объема;
 - § Программное задание циклов ожидания при обмене со статической асинхронной памятью;

- § Формирование сигналов выборки 5 блоков внешней памяти;
- § Перевод SDRAM в режим энергосбережения.
- § Периферийные устройства:
 - § Два дуплексных канала по стандарту SpaceWire (ECSS-E-50-12C) с пропускной способностью от 2 до 300 Мбод каждый (SWIC0, SWIC1);
 - § Исполнение 1892BM12T: два дуплексных канала GigaSpaceWire (SpaceFibre) с пропускной способностью от 5 Мбод до 1,25 Гбод каждый (GSWIC0, GSWIC1);
 - § Два многофункциональных буферизированных последовательных порта MFBSPP (Multifunctional Buffered Serial Port). Режимы работы - SPI, I2S, LPORT, GPIO;
 - § Два 4-канальных контроллера прямого доступа (DMA) типа память-память. Поддержка 2-мерной и разрядно-инверсной адресации. Четыре внешних запросов прямого доступа;
 - § Контроллер прерываний;
 - § Два универсальных асинхронных порта (UART) типа 16550;
 - § два универсальных 32-разрядных таймера (IT0, IT1), интервальные/реального времени с тремя источниками входной частоты: CLK, XTI, RTCXTI;
 - § 32-разрядный сторожевой таймер (WDT).
- § Дополнительные возможности и особенности:
 - § Умножители/делители входной частоты на основе узлов фазовой автоподстройки частоты (PLL);
 - § коррекция ошибок внутренней и внешней памяти: исправление однократных ошибок и обнаружение двукратных ошибок по коду Хэмминга
 - § Встроенные средства отладки программ (OnCD) с портом JTAG в соответствии со стандартом IEEE 1149.1;
 - § Режимы энергосбережения;
 - § Поддержка операционной системы Linux;
 - § Керамический корпус типа CQFP-240.

1.3 Структурная схема

Структурная схема микросхемы 1892BM12T приведена на рис. 1.1.

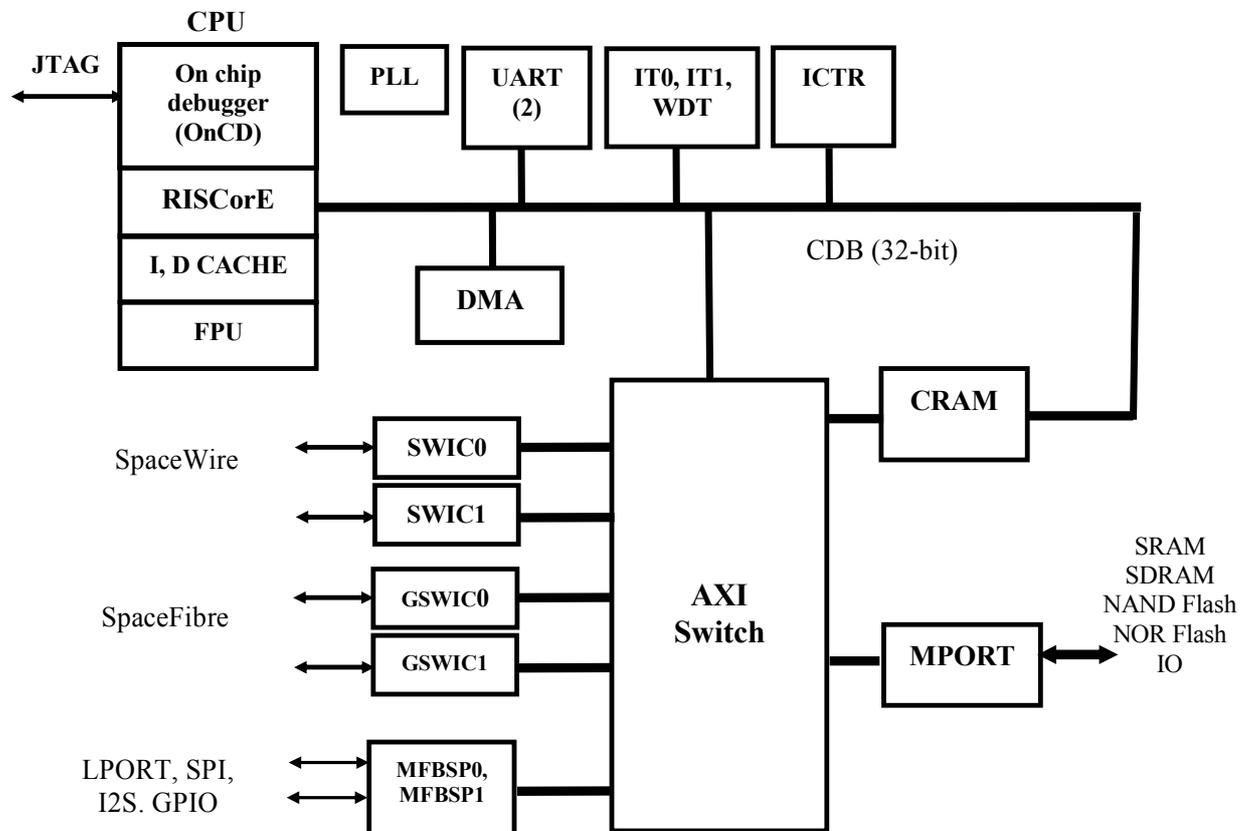


Рисунок 1.1. Структурная схема микропроцессора 1892BM12T

В состав микросхемы 1892BM12T входят следующие основные узлы:

- CPU – центральный процессор на основе RISC-ядра и сопроцессора с плавающей точкой (FPU);
- I, D CACHE – кэш команд и кэш данных CPU;
- CRAM – оперативная память центрального процессора;
- CDB – шина данных CPU;
- MPORT – порт внешней памяти;
- DMA – контроллер прямого доступа в память;
- OnCD – встроенные средства отладки программ;
- AXI Switch - коммутатор;
- PLL – умножители частоты на основе PLL;
- SWIC0, SWIC1 – контроллеры интерфейса SpaceWire;
- GSWIC0, GSWIC1 – контроллеры интерфейса GigaSpaceWire (SpaceFibre);
- MFBSPO – (Multifunctional Buffed Serial Port) многофункциональный буферизированный последовательный порт (SPI, I2S, LPORT, GPIO);
- ICTR – контроллер прерываний;
- UART – универсальный асинхронный порт;
- IT0, IT1 – универсальные таймеры, интервальные/реального времени;

- WDT – сторожевой таймер;
- JTAG – отладочный порт.

Коммутатор обеспечивает передачу данных между любым исполнительным устройством (Slave) и любым задатчиком (Master). При этом процесс передачи данных между любыми парами Slave и Master выполняется параллельно и без конфликтов.

Исполнительными устройствами являются блоки внутренней памяти СRAM или любая внешняя память, доступная через MPORT. Задатчиками могут быть CPU, каналы DMA SWIC, GSWIC, MFBSP, каналы DMA типа память-память.

1.4 Инструментальное программное обеспечение

Для данной микросхемы разработана интегрированная среда проектирования программного обеспечения MCStudio, которая обеспечивает полный цикл разработки и отладки программ. Эта среда функционирует на инструментальной машине IBM PC в среде Windows.

Интегрированная среда проектирования включает:

- § среду разработки программ для CPU;
- § среду отладки программ в исходных текстах, исполняемых на программном симуляторе, и отладчик для работы с платой отладочного модуля для данной микросхемы или целевым устройством. Целевое устройство подключается к персональному компьютеру через эмулятор JTAG;
- § средства программного моделирования;
- § возможность доступа пользователю ко всем инструментам через один интерфейс.

1.5 Операционная система для микросхемы

Linux - свободно распространяемое ядро Unix-подобной операционной системы. Linux обладает всеми свойствами современной Unix-системы, включая полноценную многозадачность, развитую подсистему управления памятью и сетевую подсистему.

Ядро Linux, поставляемое вместе со свободно распространяемыми прикладными и системными программами образует полнофункциональную универсальную операционную систему. Большую часть базовых системных компонент Linux унаследовал от проекта GNU, целью которого является создание свободной микроядерной операционной системы с лицом Unix.

2. ЦЕНТРАЛЬНЫЙ ПРОЦЕССОР

2.1 Основные характеристики CPU

- Архитектура – MIPS32;
- 32-х битные пути передачи адреса и данных;
- Кэш команд объемом 16 Кбайт;
- Кэш данных объемом 16 Кбайт;
- Архитектура привилегированных ресурсов в стиле ядра R4000:
 - Регистры Count/Compare для прерываний реального времени;
 - Отдельный вектор обработки исключений по прерываниям;
- Программируемое устройство управления памятью:
 - Два режима работы – с TLB и Fixed Mapped (FM);
 - 16 строк в режиме TLB;
 - В режиме FM адресные пространства отображаются с использованием битов регистров;
- Устройство умножения и деления;
- Сопроцессором арифметики в формате с плавающей точкой;
- Поддержка отладки JTAG.

2.2 Блок-схема

Блок схема процессорного ядра RISCORE32 приведена на Рисунок 2.1.

Ядро содержит следующие узлы:

- Устройство исполнения (Execution Core);
- Устройство целочисленного умножения и деления (MDU);
- Системный управляющий сопроцессор (CP0);
- Сопроцессор арифметики в формате с плавающей точкой (FPU);
- Устройство управления памятью (MMU – Memory Management Unit);
- Контроллер кэш (Cache Controller);
- Устройство шинного интерфейса (BIU);
- Кэш команд (Instruction Cache);
- Кэш данных (Data Cache);
- Преобразователь виртуального адреса в физический адрес (TLB/FM);
- Средства отладки программ (OnCD – On Chip Debugger) с JTAG портом.

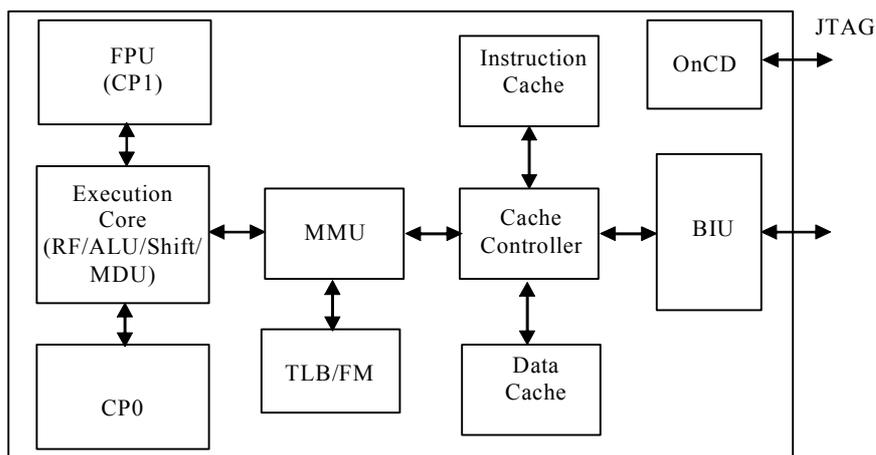


Рисунок 2.1. Блок схема процессорного ядра RISCore32

2.3 Составляющие логические блоки

В следующих подразделах описываются устройства, входящие в состав процессорного ядра.

2.3.1 Устройство исполнения

Входящее в ядро устройство исполнения реализует архитектуру load-store (загрузка-сохранение) с одноктактными операциями арифметического логического устройства (АЛУ) (логические операции, операции сдвига, сложение и вычитание). В ядре имеется тридцать два 32-х битных регистра общего назначения, используемых для скалярных целочисленных операций и вычисления адреса. В регистровом файле есть два порта чтения и один порт записи. Также используются обходные пути передачи данных для минимизации количества остановок конвейера.

В состав устройства исполнения входят:

- 32-х битный сумматор, используемый для вычисления адреса данных;
- Адресное устройство для вычисления адреса следующей команды;
- Логика определения перехода и вычисления адреса перехода;
- Блок выравнивания при загрузке данных;
- Мультиплексоры обходных путей передачи данных для исключения остановок конвейера в тех случаях, когда команды, производящие данные и команды, использующие эти данные, расположены в программе достаточно близко;
- Блок обнаружения Нуля/Единицы для реализации команд CLZ и CLO;
- АЛУ для выполнения побитных операций;
- Сдвигающее устройство и устройство выравнивания при сохранении данных.

2.3.2 Устройство умножения/деления (MDU)

Устройство умножения/деления выполняет соответствующие операции. MDU выполняет операции умножения за 17 тактов, операции умножения с накоплением за 18 тактов, операции деления за 33 такта и операции деления с накоплением за 34 такта. Попытка активизировать следующую команду умножения/деления до завершения выполнения предыдущей, так же как и использование результата этой операции до того, как она закончена, вызывает остановку конвейера. В MDU имеется вывод, определяющий формат операции – знаковый или беззнаковый.

2.3.3 Системный управляющий сопроцессор

Сопроцессор отвечает за преобразование виртуального адреса в физический, протоколы кэш, систему управления исключениями, выбор режима функционирования (Kernel/User) и за разрешение/запрещение прерываний. Конфигурационная информация доступна посредством чтения регистров CP0 (см. раздел 2.7 “Регистры CP0”).

2.3.4 Сопроцессор арифметики в формате с плавающей точкой (FPU)

Сопроцессор арифметики в формате с плавающей точкой выполняет операции в соответствии со стандартом ANSI/IEEE Standard 754-1985, “IEEE Standard for Binary Floating-Point Arithmetic.” Поддерживаются операции, как с одинарной, так и с двойной точностью. Сопроцессор выполняет дополнительные операции, не определенные стандартом. Сопроцессор содержит 16 64-разрядных регистра для хранения операндов с одинарной и двойной точностью. Сопроцессор также содержит регистры управления и состояния, которые обеспечивают обработку исключений в соответствии с требованиями стандарта.

2.3.5 Устройство управления памятью (MMU)

Процессорное ядро содержит устройство управления памятью (MMU), реализующее интерфейс между исполнительным блоком и контроллером кэш. Ядро может работать как в режиме TLB – с 16-строчной, полностью ассоциативной матрицей TLB, так и в режиме FM (Fixed Mapped), когда используются простые преобразования виртуального адреса в физический адрес.

2.3.6 Контроллер кэш

В данной версии процессора реализованы кэш команд и кэш данных, виртуально индексруемые и контролируемые по физическому тэгу типа direct mapped, что позволяет осуществлять доступ к кэш параллельно с преобразованием виртуального адреса в физический. Объем каждой кэш составляет 16 Кбайт.

2.3.7 Устройство шинного интерфейса (BIU – Bus Interface Unit)

Устройство шинного интерфейса управляет внешними интерфейсными сигналами в соответствии со спецификацией шины АНВ (Advanced High-performance Bus) архитектуры АМВА (Advanced Microcontroller Bus Architecture).

2.3.8 OnCD контроллер

В ядре имеется устройство для отладки программ OnCD с портом JTAG.

2.4 Конвейер

В CPU-ядре процессора реализован конвейер, состоящий из пяти стадий и аналогичный конвейеру ядра R3000. Конвейер дает возможность процессору работать на высокой частоте, при этом минимизируется сложность устройства, а также уменьшается стоимость и потребление энергии.

В этой главе содержатся следующие разделы:

- Раздел 2.1, “Стадии работы конвейера”
- Раздел 2.2, “Операции умножения и деления”
- Раздел 2.3, “Задержка выполнения команд перехода”
- Раздел 2.4, “Обходные пути передачи данных (Data bypass)”
- Раздел 2.5, “Задержка загрузки данных”
- Раздел 2.6, “Особые случаи при выполнении команд (Instruction Hazards)”

2.4.1 Стадии конвейера

Конвейер содержит пять стадий:

- Выборка команды (стадия I - Instruction)
- Дешифрация команды (стадия D - Data)
- Исполнение команды (стадия E - Execution)
- Выборка из памяти (стадия M - Memory)
- Обратная запись (стадия W – Write Back)

На Рисунок 2.2 показаны операции, выполняемые RISC-ядром на каждом этапе конвейера.

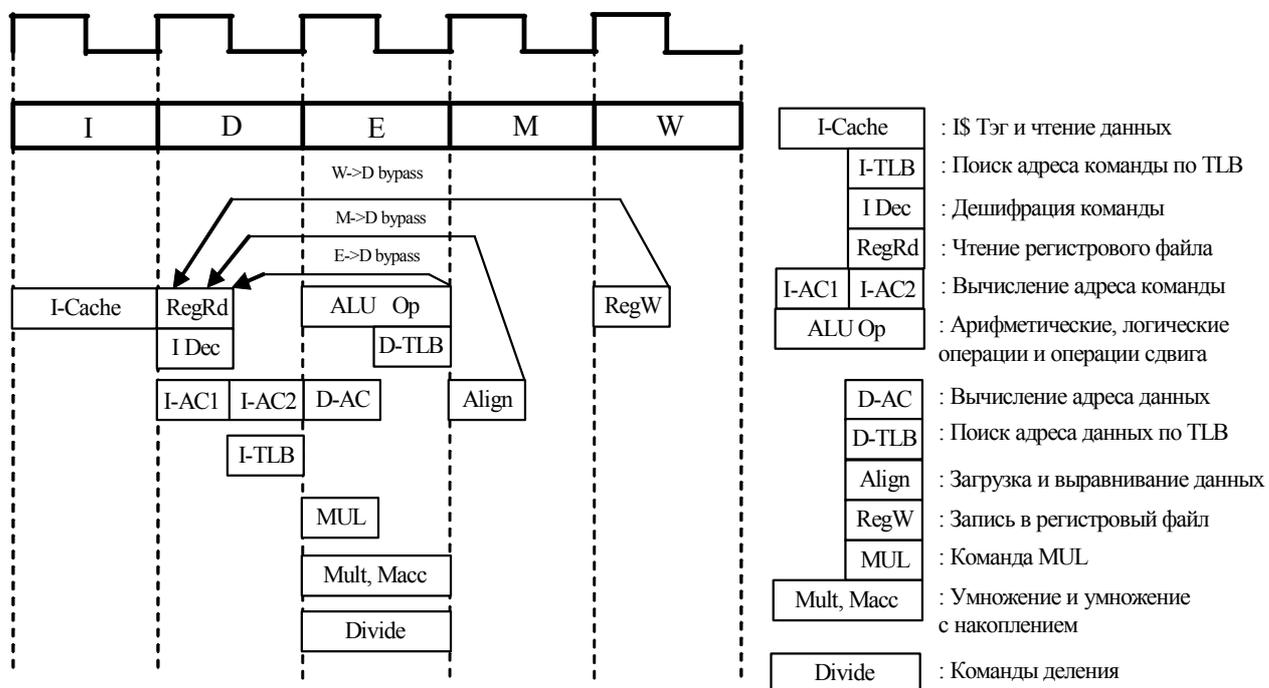


Рисунок 2.2

2.4.1.1 Стадия I: выборка команды

На этой стадии команда выбирается из командного кэш.

2.4.1.2 Стадия D: дешифрация команды

На этой стадии:

- Операнды выбираются из регистрового файла.
- Операнды передаются на эту стадию со стадий E, M и W.
- ALU определяет, выполняется ли условие перехода и вычисляет виртуальный адрес перехода для команд перехода.
- Осуществляется преобразование виртуального адреса в физический адрес.
- Производится поиск адреса команды по TLB и вырабатывается признак hit/miss.
- Командная логика выбирает адрес команды.

2.4.1.3 Стадия E: исполнение

На этой стадии:

- ALU выполняет арифметические или логические операции для команд типа регистр-регистр.
- Производится преобразование виртуального адреса в физический адрес для данных, используемых командами загрузки и сохранения.
- Производится поиск данных по TLB и вырабатывается признак hit/miss.
- Все операции умножения и деления выполняются на этой стадии.

2.4.1.4 Стадия M: выборка из памяти

На этой стадии осуществляется загрузка и выравнивание загруженных данных в границах слова.

2.4.1.5 Стадия W: обратная запись

На этой стадии для команд типа регистр-регистр или для команд загрузки результат записывается обратно в регистровый файл.

2.4.2 Операции умножения и деления

Время выполнения этих операций соответствует 17 тактам для команд умножения и 18 тактам для команд умножения с накоплением, а также 33 тактам для команд деления и 34 тактам для команд деления с накоплением.

2.4.3 Задержка выполнения команд перехода (Jump, Branch)

Конвейер осуществляет выполнение команд перехода с задержкой в один такт. Однотактная задержка является результатом функционирования логики, ответственной за принятие решения о переходе на стадии D конвейера. Эта задержка позволяет использовать адрес перехода, вычисленный на предыдущей стадии, для доступа к команде на следующей D-стадии. Слот задержки перехода (branch delay slot) позволяет отказаться от остановок конвейера при переходе. Вычисление адреса и проверка условия перехода выполняются одновременно на стадии D. Итоговое значение PC (счетчика команд) используется для выборки очередной команды на стадии I, которая является второй командой после перехода. На Рисунок 2.3 показан слот задержки перехода.

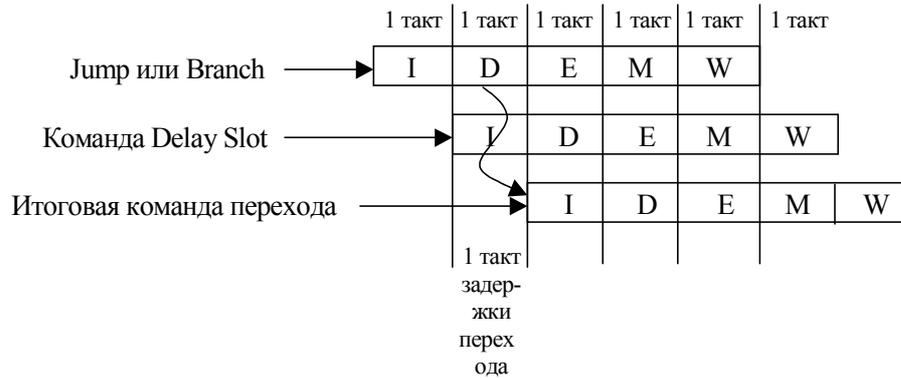


Рисунок 2.3. Слот задержки перехода

2.4.4 Обходные пути передачи данных (Data bypass)

Для большинства команд MIPS32 исходными операндами являются значения, хранящиеся в регистрах общего назначения. Эти операнды выбираются из регистрового файла в первой половине D-стадии. После исполнения на ALU результат, в принципе, готов для использования другими командами. Но запись результата в регистровый файл осуществляется только на стадии W. Это лишает следующую команду возможности использовать результат в течение 3-х циклов, если ее операндом является результат выполнения последней операции, сохраненный в регистровом файле. Для преодоления этой проблемы используются обходные пути передачи данных.

Мультиплексоры обходных путей передачи данных для обоих операндов располагаются между регистровым файлом и ALU (Рисунок 2.4). Они позволяют передавать данные с выхода стадий E, M и W конвейера прямо на стадию D, если один из регистров источника (source) декодируемой команды совпадает с регистром назначения (target) одной из предшествующих команд. Входы мультиплексоров подключены к обходным путям M[®]D и E[®]D, а также W[®]D.

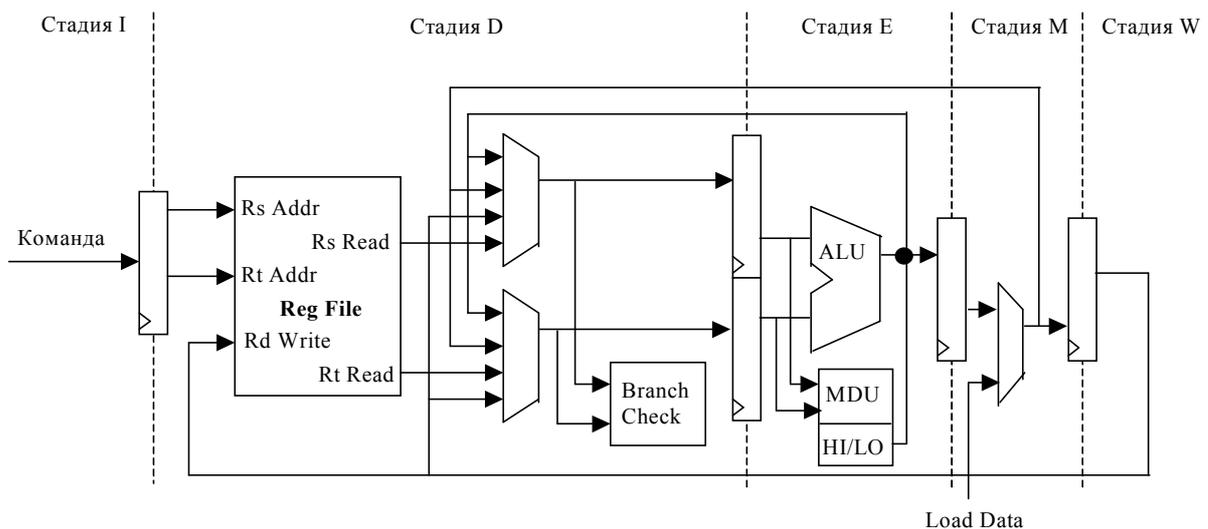


Рисунок 2.4

На Рисунок 2.5 показаны обходные пути передачи данных для команды Add₁, за которой следует команда Sub₂ и затем снова Add₃. Поскольку команда Sub₂ в качестве одного из операндов использует результат операции Add₁, используется обходной путь E[®]D. Следующая команда Add₃ использует результаты обеих предшествующих операций: Add₁ и Sub₂. Так как данные команды Add₁ в это время находятся на стадии M,

используется обходной путь M@D. Кроме того, вновь используется обходной путь E@D для передачи результата операции Sub2 команде Add3.

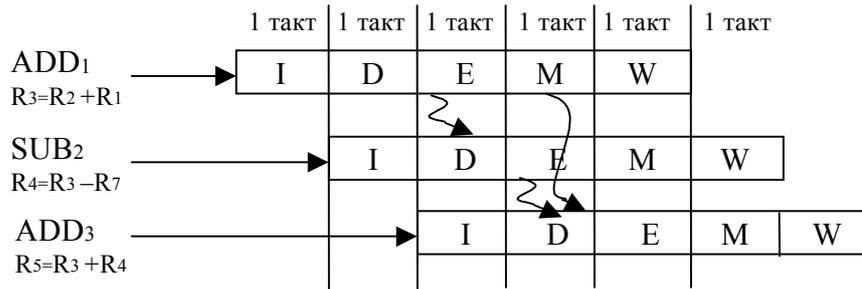


Рисунок 2.5

2.4.5 Задержка загрузки данных

Данные, выбираемые командами загрузки (Load), становятся доступными на конвейере только после выравнивания на стадии M. При этом данные, являющиеся исходными операндами, должны предоставляться командам для обработки уже на стадии D. Поэтому, если сразу за командой загрузки следует команда, для которой один из регистров исходных операндов совпадает с регистром, в который производится загрузка данных, это вызывает приостановку в работе конвейера на стадии D. Эта приостановка осуществляется аппаратной вставкой команды NOP. Во время этой задержки часть конвейера, которая находится дальше стадии D, продолжает продвигаться. Если же команда, использующая загружаемые данные, следует за командой загрузки не сразу, а через одну или через две, то для обеспечения бесперебойной работы конвейера используется один из обходных путей передачи данных: M@D или W@D (Рисунок 2.6).

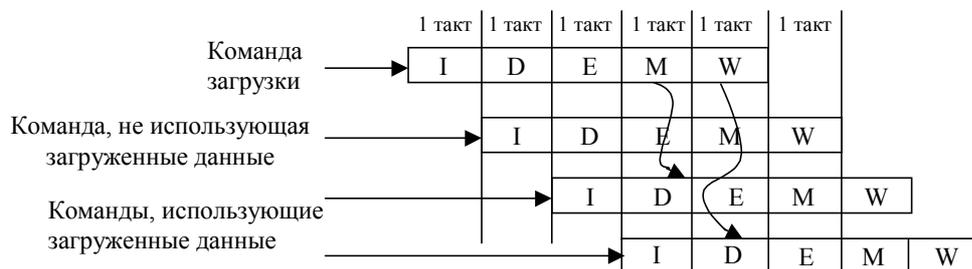


Рисунок 2.6

2.5 Сопроцессор арифметики в формате с плавающей точкой (FPU)

2.5.1 Введение

Сопроцессор арифметики в формате с плавающей точкой выполняет операции в соответствии со стандартом ANSI/IEEE Standard 754-1985, “IEEE Standard for Binary Floating-Point Arithmetic.” Поддерживаются операции, как с одинарной, так и с двойной точностью (single- or double-precision). Сопроцессор выполняет дополнительные операции не определенные стандартом. Сопроцессор содержит 16 64-разрядных регистра для хранения операндов с одинарной и двойной точностью. Сопроцессор также содержит регистры управления и состояния, которые обеспечивают обработку исключений в соответствии с требованиями стандарта.

FPU реализован как сопроцессор CP1.

2.5.2 Регистры FPU

2.5.2.1 Типы регистров

В FPU имеется три типа регистров:

- регистры общего назначения (FGR);
- регистры в формате с плавающей точкой (FPR);
- регистры управления (FCR).

32-разрядные регистры FGR являются прямо адресуемыми. FPU содержит 32 таких регистра.

64-разрядные регистры в формате с плавающей точкой FPR являются логическими и используются для хранения данных в процессе выполнения операций в формате с плавающей точкой. Эти регистры образованы конкатенацией двух соседних регистров FGR. В зависимости от операции, FPR содержит величину с одинарной или двойной точностью.

Регистры управления регистры FCR используются для выбора режима округления, обработки исключений и сохранения состояния.

В Таблица 2.1. приведены регистры управления FPU в порядке возрастания нумерации.

Таблица 2.1. Управляющие регистры FPU

Номер регистра	Название регистра	Функция
0	FIR	Регистр версии и реализации (Implementation and Revision register)
25	FCCR	Регистр кодов условий (Condition Codes register)
26	FEXR	Регистр исключений (Exceptions register)
28	FENR	Регистр разрешения исключений (Enables register)
31	FCSR	Регистр управления и состояния (Control/Status register)

В командах CTC1 и CFC1 регистры FCCR, FEXR и FENR получают доступ к соответствующим частям регистра FCSR, т.е. эти регистры являются отражением соответствующих частей регистра FCSR.

Доступ к регистрам управления FPU не является привилегированным. Любая программа, которая выполняет инструкции с плавающей точкой, имеет доступ к регистрам управления FPU. Доступ к ним осуществляется посредством CTC1 и CFC1 команд.

2.5.2.2 Регистры общего назначения и регистры в формате с плавающей точкой

32 регистра общего назначения (FGR) являются 32-разрядными и могут непосредственно адресоваться. Они используются в операциях в формате с плавающей точкой и индивидуально доступны по командам *move*, *load* и *store*. Перечень регистров FGR приведен в Таблица 2.2.

Таблица 2.2. Регистры FGR и FPR

Номер регистра FGR	Название регистра FGR	Название регистра FPR
0	FGR0	FPR0 (least)
1	FGR1	FPR0 (most)
2	FGR2	FPR2 (least)
3	FGR3	FPR2 (most)
⋮	⋮	⋮
28	FGR28	FPR28 (least)
29	FGR29	FPR28 (most)
30	FGR30	FPR30 (least)
31	FGR31	FPR30 (most)

Регистры в формате с плавающей точкой (FPR) формируются из регистров FGR, посредством их конкатенации. Для адресации этих регистров используется только четный номер. Нечетный номер является недопустимым. В процессе операций с одинарной точностью используется только младшая часть (least) регистра FPR используется.

2.5.2.3 Форматы величин, хранящихся в регистрах FPR

В отличие от процессора целочисленной арифметики, FPU не интерпретирует двоичную кодировку входных операндов и не производит двоичное кодирование результатов каждой операции. Значение, хранящееся в регистре FPR, имеет определенный формат или тип. Этот формат могут использовать только те команды, которые оперируют с ним (этим форматом). Формат может быть неизвестным (не интерпретируемым) либо одним из существующих числовых форматов: формат с плавающей точкой одинарной или двойной точностью, слово или двойное слово с фиксированной точкой.

Числовая величина в регистре FPR всегда установлена, когда она записана в этот регистр:

- при загрузке регистра FPR по команде *load* в регистр записываются двоичные данные, формат которых не интерпретируется.
- команды вычисления в формате с плавающей точкой или команды *move*, формируют в регистре FPR результат формата *fmt*.

Когда регистр FPR с не интерпретируемым значением используется как входной операнд для команды, которая требует значение в формате *fmt* и рассматривает двоичное содержимое как значение в формате *fmt*, значение в регистре FPR изменяется к значению в формате *fmt*. То есть, двоичное содержимое этого регистра не может рассматриваться в другом формате.

Если регистр FPR содержит значение в формате *fmt*, то вычислительные команды не должны использовать этот регистр как входной операнд другого формата. Если такое происходит, то значение в регистре становится неизвестным и результат команды также является неизвестным значением. Использование FPR регистра с неизвестным значением в качестве входного операнда команды приводит к результату, значение которого также неизвестно.

Формат величины, находящейся в регистре FPR, не изменяется, когда происходит чтение этого регистра командой store. Команда store выводит двоичную кодировку в соответствии со значением, содержащимся в регистре FPR. Если значение в регистре FPR неизвестно, то закодированное двоичное значение, выведенное операцией, неопределенно.

2.5.2.4 Управляющие регистры

2.5.2.4.1 Регистр реализации (FIR, CP1 Control Register 0)

Регистр реализации (Floating Point Implementation Register - FIR) - это 32-битный регистр доступный только на чтение. Он содержит информацию, которая определяет возможности FPU, идентификацию FPU и номер версии FPU. На Рисунок 2.7 показан формат регистра FIR, а в Таблица 2.3 описаны поля этого регистра.

31	18	17	16	15	8	7	0
0		D	S	Processor ID		Revision	

Рисунок 2.7. Формат FIR регистра

Таблица 2.3. Описание полей регистра FIR

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
-	31:18	Не используется	0	0
D	17	Указывает, реализованы ли тип данных двойной точности (D) и соответствующие инструкции: 0 - не реализованы 1 - реализованы	R	1
S	16	Указывает, реализованы ли тип данных одинарной точности (S) и соответствующие инструкции: 0 - не реализованы 1 - реализованы	R	1
Processor ID	15:8	Идентификация типа процессора вычислений с плавающей точкой (FPU)	R	0000 0000
Revision	7:0	Номер версии FPU. Это поле позволяет программам различать разные версии одного типа FPU.	R	0000 0000

2.5.2.4.2 Регистр управления и состояния (FCSR, CP1 Control Register 31)

Регистр управления и состояния (Floating Point Control and Status Register - FCSR) – это 32-битный регистр, который управляет работой FPU и содержит информацию о состоянии FPU:

- выбор режима округления для арифметических операций;
- выборочное разрешение исключений при возникновении соответствующих условий исключений;
- управление некоторыми опциями обработки денормализованных чисел;
- сообщает о любых IEEE исключениях произошедших во время последней выполненной команды;
- сообщает о IEEE исключениях произошедших в совокупности выполненных команд;
- показывает код условия, который является результатом команд сравнения.

Доступ к регистру FCSR не является привилегированным. Любая программа, которая имеет доступ к FPU (если он разрешён в регистре Status), может читать из или записы-

вать в регистр *FCSR*. На Рисунок 2.8 представлен формат *FCSR* регистра, в Таблица 2.8 описаны поля этого регистра.

31 25	2 4	23	22-18	17 16 15 14 13 12	11 10 9 8 7	6 5 4 3 2	1 0																
FCC		F S	FC C	0	Cause	Enables	Flags	R M															
7	6	5	4	3	2	1	0	E	V	Z	O	U	I	V	Z	O	U	I	V	Z	O	U	I

Рисунок 2.8. Формат регистра *FCSR*

Таблица 2.4. Описание полей регистра *FCSR*

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
FCC	31:25, 23	Коды условий. Эти биты содержат результат выполнения FPU команд сравнения и используются в командах условных переходов и в командах условных перемещений данных. Какой FCC бит используется точно определено в команде перехода или перемещения.	R/W	Не определено
FS	24	Сброс в ноль. Когда FS=1, денормализованный результат операции сбрасывается в ноль вместо появления исключения “Нереализованная операция” (Unimplemented Operation).	R/W	Не определено
-	22:18	Не используются	0	0
Cause	17:12	Биты причины. Эти биты показывают условия исключений, которые возникают во время выполнения арифметических команд. Бит устанавливается в 1, если соответствующая исключительная ситуация появилась во время выполнения команды и устанавливается в 0 в противоположном случае. По значениям этих бит можно определить какая исключительная ситуация вызвана выполнением предыдущей арифметической команды. Значение каждого бита данного поля представлено в Таблица 2.5.	R/W	Не определено
Enables	11:7	Биты разрешения соответствующего исключения при возникновении любой из пяти IEEE исключительных ситуаций. Исключение происходит в случае, когда соответствующие бит Cause и бит Enables одновременно установлены либо во время выполнения арифметической операции, либо при перемещении нового значения в регистр <i>FCSR</i> или <i>FEXR</i> и <i>FENR</i> по команде <i>move</i> . Заметьте, что бит E в поле Cause не имеет соответствующего бита в поле Enables, так как исключение “Нереализованная Операция” всегда разрешено. Значение каждого бита данного поля представлено в Таблица 2.5.	R/W	Не определено

Flags	6:2	<p>Флаговые биты. Это поле показывает любые исключительные ситуации, вызванные завершившимися командами со времени последнего программного сброса данного поля.</p> <p>Когда при арифметической операции возникает исключительная ситуация, которая не приводит к FPU исключению (соответствующий бит в Enables сброшен), то соответствующий бит (биты) устанавливается в поле Flags. В других ситуациях поле Flags остаётся без изменений. Арифметические операции, которые приводят к возникновению FPU исключения (бит в Enables установлен), не изменяют состояния бит в поле Flags.</p> <p>У этого поля нет аппаратного сброса, оно должно явно сбрасываться программой.</p> <p>Значение каждого бита данного поля представлено в Таблица 2.5.</p>	R/W	Не определено
RM	1:0	<p>Режим округления. Обозначает режим округления, который используется большинством операций в формате с плавающей точкой (некоторые операции используют специфический режим округления).</p> <p>Возможные кодировки этого поля представлены в Таблица 2.6.</p>	R/W	Не определено

Поля FCC, FS, Cause, Enables, Flags и RM в регистрах FCSR, FCCR, FEXR и FENR всегда обозначают правильные состояния. Это означает что, если новое значение поля записывается в FCSR регистр, то это новое значение можно прочитать в соответствующем альтернативном регистре FCCR, FEXR или FENR. И наоборот, записав новое значение поля в альтернативный регистр, его можно прочитать в FCSR регистре.

Таблица 2.5. Описание бит в полях Cause, Enables и Flags

Имя бита	Значение бита
E	Нереализованная операция (Unimplemented Operation) Этот бит существует только в поле Cause
V	Недействительная операция (Invalid Operation)
Z	Деление на ноль (Divide by Zero)
O	Переполнение (Overflow)
U	Потеря значимости (Underflow)
I	Неточность (Inexact)

Таблица 2.6. Описание режимов округления

Кодировка поля RM	Описание
0	RN – округление к ближайшему (round to nearest) Округление результата к ближайшему представимому значению. Когда два представимых значения одинаково близки, результат округляется к значению, чей наименее значащий бит равен 0 (чётный)
1	RTZ – округление к нулю (round towards zero) Округление результата к ближайшему значению, величина (модуль) которого не больше величины результата
2	RP – округление к плюс бесконечности (round towards plus infinity) Округление результата к ближайшему значению не меньшему чем сам результат
3	RM – округление к минус бесконечности (round towards minus infinity) Округление результата к ближайшему значению не большему чем сам результат.

2.5.2.4.3 Регистр кодов условий (FCCR, CP1 Control Register 25)

Регистр кодов условий (Floating Point Condition Codes Register - FCCR) является альтернативным регистром для чтения и записи поля кодов условий FCC, которое также хранится в регистре FCSR. В отличие от FCSR регистра, в регистре FCCR восемь бит поля FCC являются смежными. На Рисунок 2.9 представлен формат *FCSR* регистра, в Таблица 2.7 описаны поля этого регистра.

31	8	7	0						
0000 0000 0000 0000 0000 0000		FCC							
		7	6	5	4	3	2	1	0

Рисунок 2.9. Формат регистра FCCR

Таблица 2.7. Описание полей регистра FCCR

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
-	31:8	Не используются	0	0
FCC	7:0	Коды условий. Эти биты содержат результат выполнения FPU команд сравнения и используются в командах условных переходов и в командах условных перемещений данных. Какой FCC бит используется точно определено в команде перехода или перемещения. См. описание поля FCC в регистре <i>FCSR</i> в Таблица 2.4.	R/W	Не определено

2.5.2.4.4 Регистр исключений (FEXR, CP1 Control Register 26)

Регистр исключений (Floating Point Exceptions Register - FEXR регистр) является альтернативным регистром для чтения и записи полей Cause и Flags, которые также хранятся в регистре FCSR. На Рисунок 2.10 представлен формат *FEXR* регистра, в Таблица 2.8 описаны поля этого регистра.

31	18	17	16	15	14	13	12	11	7	6	5	4	3	2	1	0
0		Cause						0			Flags				0	
		E	V	Z	O	U	I				V	Z	O	U	I	

Рисунок 2.10. Формат регистра FEXR

Таблица 2.8. Описание полей регистра FEXR

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
-	31:18, 11:7, 1:0	Не используются	0	0
Cause	17:12	Биты причины. Эти биты показывают исключительные ситуации, которые возникают во время выполнения FPU арифметических команд. См. описание поля Cause в регистре <i>FCSR</i> в Таблица 2.4.	R/W	Не определено
Flags	6:2	Флаговые биты. Это поле показывает любые исключительные ситуации вызванные завершившимися командами со времени последнего программного сброса данного поля. См. описание поля Flags в регистре <i>FCSR</i> в .	R/W	Не определено

2.5.2.4.5 Регистр разрешения исключений (FENR, CP1 Control Register 28)

Регистр разрешения исключений (Floating Point Enable Register - *FENR регистр*) является альтернативным регистром для чтения и записи полей Enables, FS и RM, которые также хранятся в регистре *FCSR*. На Рисунок 2.11 представлен формат *FENR* регистра, в Таблица 2.9 описаны поля этого регистра.

31	12	11	10	9	8	7	6	3	2	1	0	
0000 0000 0000 0000 0000						Enables			0000	FS	RM	
						V	Z	O	U	I		

Рисунок 2.11. Формат регистра FENR

Таблица 2.9. Описание полей регистра FENR

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
0	31:12, 6:3	Не используется	0	0
Enables	11:7	Биты разрешения соответствующего исключения при возникновении любой из пяти IEEE исключительных ситуаций. См. описание поля Enables в регистре <i>FCSR</i> в Таблица 2.4.	R/W	Не определено
FS	2	Сброс в ноль. Когда FS=1, денормализованный результат операции сбрасывается в ноль вместо появления исключения “Нереализованная операция” (Unimplemented Operation). См. описание поля FS в регистре <i>FCSR</i> в .	R/W	Не определено
RM	1:0	Режим округления. Обозначает режим округления, который используется большинством операций с плавающей точкой. См. описание поля RM в регистре <i>FCSR</i> в .	R/W	Не определено

2.5.3 Исключения FPU

2.5.3.1 Формирование исключения

При возникновении исключения команда, вызвавшая его, а также все последующие команды не выполняются и не изменяют содержимого регистров FGR. При необходимости, после обработки исключения выполнение прерванного потока команд может быть возобновлено.

В поле *Cause* содержатся признаки исключений. Оно обновляется при выполнении каждой арифметической операции в формате с плавающей точкой. Признак устанавливается в 1, если возникает соответствующее условие исключения, иначе он устанавливается в 0.

Исключение возникает каждый раз, если одновременно признак поля *Cause* и соответствующий ему бит *Enable* установлены в 1. Это происходит или во время выполнения операции в формате с плавающей точкой или, при передаче данных в регистр *FCSR* по команде *move*. Бит *Enable* для Unimplemented Operation не существует, то есть исключение по этому условию возникает всегда.

Содержимое поля *Cause* используется в обработчике исключения. Перед выходом из обработчика исключения по операции в формате с плавающей точкой, или перед установкой бит поля *Cause* по команде *move*, необходимо сначала обнулить соответствующий

щие биты *Enable*, для того, чтобы предотвратить повторное возникновение исключения.

Пользовательским программам не доступны биты поля *Cause*. Если эта информация необходима этим программам, то она должна быть доступна им другими путями, а не через регистр *Status*.

Если операция в формате с плавающей точкой устанавливает только неразрешенные биты поля *Cause*, то исключения не происходит, и записывается результат, определяемый стандартом IEEE (см. Таблица 2.10). Когда операция в формате с плавающей точкой не вызывает исключения, программа может контролировать условия исключения, считывая содержимое поля *Cause*.

Поле *Flag* – совокупная накопленная информация по условиям исключений. Команды, которые вызывают исключения, не обновляют биты поля *Flag*. Биты поля *Flag* устанавливаются в 1, если соответствующее условие исключения возникает, иначе биты остаются без изменения. Бита для условия исключения типа *Unimplemented Operation* в этом поле не предусмотрено. В результате выполнения операции в формате с плавающей точкой биты поля *Flag* никогда не сбрасываются, но могут быть установлены или сброшены (обнулены) при записи данных в регистр *FCSR* по команде *move*.

2.5.3.2 Условие исключений

В этом пункте описаны следующие пять условий исключения, определенных стандартом ANSI/IEEE Standard 754-1985:

- исключение по недопустимой операции (*Invalid Operation Exception*);
- исключение при делении на ноль (*Division By Zero Exception*);
- исключение по ложному переполнению (*Underflow Exception*);
- исключение по переполнению (*Overflow Exception*);
- неточное исключение (*Inexact Exception*).

Этот пункт также содержит описание исключения по нереализованной операции (*unimplemented operation*). Оно используется для сообщения о необходимости программной эмуляции команды. Обычно арифметическая операция IEEE может вызывать только одно условие исключения. Единственный случай, когда два исключения могут происходить в то же самое время, это *Inexact With Overflow* и *Inexact With Underflow*.

Под управлением программы, условие исключения IEEE может вызывать прерывание (*trap*) процессора или не вызывать его. Стандарт IEEE определяет результат операции при возникновении условия исключения для случая, когда прерывание процессора по этому исключению не разрешено. Для этого случая результаты операций приведены в Таблица 2.10. При переполнении результат операции зависит от режима округления.

Таблица 2.10. Результаты операций при исключениях

Бит	Описание	Результат операции
V	Invalid Operation	Quiet NaN
Z	Divide by Zero	Properly signed infinity
U	Underflow	Округленный результат (Rounded result)
I	Inexact	Округленный результат. Если это исключение вызвано переполнением (<i>Overflow</i>) при неразрешенном прерывании, то формируется результат с переполнением.

Бит	Описание	Результат операции
0	Overflow	Зависит от режима округления: 0 (RN) – infinity со знаком промежуточного результата; 1 (RZ) – format's infinity со знаком промежуточного результата; 2 (RP) – при положительном переполнении – positive infinity. При отрицательном переполнении - format's most negative infinity; 3 (RM) - при положительном переполнении – format's largest finite number. При отрицательном переполнении – minus infinity.

2.5.3.3 Исключение по недопустимой операции

Это исключение возникает, если один или оба операнда недопустим для выполняемой операции.

Недопустимые операции:

- Один или оба операнда являются NaN (за исключением не арифметических команд MOV.fmt, MOVT.fmt, MOVF.fmt, MOVN.fmt, и MOVZ.fmt);
- Сложение или вычитание: вычитание бесконечных величин, таких как $(+\infty) + (-\infty)$ или $(-\infty) - (-\infty)$;
- Умножение: $0 * \infty$, с любыми знаками;
- Деление: $0/0$ или ∞ / ∞ , с любыми знаками;
- Квадратный корень: операнд меньше чем 0 (-0 является допустимым значением);
- Преобразование числа в формате с плавающей запятой к формату с фиксированной запятой, если возникает переполнение, или значение операнда равно infinity или NaN препятствуют точному представлению данных в необходимом формате;
- Некоторые операции сравнения, в которых один или оба операнда имеют значение QNaN.

2.5.3.4 Исключение при делении на ноль

Это исключение возникает, если делитель равен нулю, а делимое является конечным числом, отличным от нуля. Результат, когда не возникает прерывания, равен бесконечности. Деление $(0/0)$ и $(\infty/0)$ не приводят к исключению. При делении $(0/0)$ возникает исключение по недопустимой операции. Результат $(\infty/0)$ – бесконечность со знаком.

2.5.3.5 *Исключение по ложному переполнению(потеря значимости)*

Два связанных события могут повлиять на возникновение ложного переполнения:

- близость результата к нулю (tininess): создание бесконечно малого результата отличного от нуля находящегося в промежутке между $\pm 2^{E_{\min}}$, который из-за своей малой величины может вызывать впоследствии какое либо другое исключение, например как переполнение при делении;
- потеря точности: экстраординарная потеря точности во время аппроксимации таких малых чисел ненормированными числами.

Стандарт IEEE определяет, что «близость результата к нулю» может быть обнаружена в любой из следующих моментов времени:

- после округления, когда не нулевой результат получен из предположения неограниченности диапазона экспоненты и находится строго между $\pm 2^{E_{\min}}$;
- пред округлением, когда не нулевой результат получен из предположения неограниченности, как диапазона экспоненты, так и точности, и находится строго между $\pm 2^{E_{\min}}$;

В FPU близость результата к нулю обнаруживается после округления.

Стандарт IEEE определяет, что потеря точности может быть получена в результате любого из следующих условий:

- нарушение нормализации (denormalization), когда полученный результат отличается от вычисленного без ограничений диапазона экспоненты;
- неточный результат (inexact result), когда полученный результат отличается от вычисленного без ограничений диапазона экспоненты и точности.

В FPU потеря точности формируется, если получен неточный результат.

Если прерывание процессора при ложном переполнении не разрешено, признак U вырабатывается, когда обнаруживается одновременно и близость к нулю и потеря точности. При этом, результат может быть нулевым, ненормализованным или $2^{E_{\min}}$.

Если прерывание процессора при ложном переполнении разрешено, признак U вырабатывается, когда обнаруживается только близость к нулю, в не зависимости от потери точности.

2.5.3.6 *Исключение при переполнении*

Это исключение возникает, когда величина округленного результата в формате с плавающей запятой (где диапазон экспоненты не ограничен) больше, чем наибольшее конечное число результирующего формата (destination format's largest finite number).

Если прерывание процессора при переполнении не разрешено, результат определяется режимом округления и знаком промежуточного результата.

2.5.3.7 Неточное исключение

Неточное исключение возникает, если:

- округленный результат операции не является точным;
- округленный результат операции вызывает переполнение, а прерывание по переполнению не разрешено.

2.5.3.8 Исключение по нереализованной операции

Это исключения не регламентировано стандартом IEEE. Операции, которые не полностью поддерживаются аппаратурой, вызывают исключение, для того, чтобы программное обеспечение могло выполнить соответствующую операцию.

Для этого условия исключения не предусмотрено разрешающего бита, то есть прерывание процессора возникает всегда. После того, как соответствующее эмулирование будет выполнено, прерванная программа возобновляется.

2.5.4 Время выполнения команд FPU

Время выполнения команд в формате с плавающей точкой приведено в Таблица 2.11.

Таблица 2.11. Время выполнения команд FPU

Команда	Время выполнения, такты
BC1F, BC1T, FLOOR, ROUND, TRUNC	1
CFC1, CTC1, MFC1, MOVF	1
CVT.S, CVT.D, CEIL	2
ABS, ADD, SUB, MULL, NEG	3
SQRT.S/SQRT.D	6/15
DIV.S/DIV.D	11/16

2.6 Устройство управления памятью (MMU)

2.6.1 Введение

Процессорное ядро содержит устройство управления памятью (MMU), реализующее интерфейс между устройством исполнения и контроллером кэш. MMU преобразует виртуальный адрес в физический прежде, чем посылает запрос контроллеру кэш для сравнения тэга или блоку шинного интерфейса для доступа к внешнему запоминающему устройству. Это преобразование является очень полезным свойством функционирования операционных систем при управлении физической памятью таким образом, чтобы в ней размещались несколько процессов, активных в одной и той же области памяти, и может быть даже на одном виртуальном адресе, но обязательно в различных областях физической памяти. Другие свойства MMU - защита зон памяти и определение протокола кэш.

MMU может выполнять преобразование адресов в двух режимах: в режиме TLB и в режиме FM. Режим преобразования определяется битом FM регистра CSR.

В режиме TLB используется полностью ассоциативная таблица преобразования адресов (TLB), имеющая 16 парных строк (entries). Во время преобразования осуществляется поиск соответствия по TLB. Если искомая строка отсутствует, генерируется прерывание.

В режиме FM (Fixed Mapped) работа MMU основана на простом алгоритме, обеспечивающем преобразование виртуального адреса в физический посредством механизма фиксированного отображения. Правила преобразования отличаются для различных областей виртуального адресного пространства (useg/kuseg, kseg0, kseg1, kseg2, kseg3).

На Рисунок 2.12 показано, взаимодействие MMU с процедурой доступа к кэш в режиме TLB, а на Рисунок 2.13 – в режиме FM.

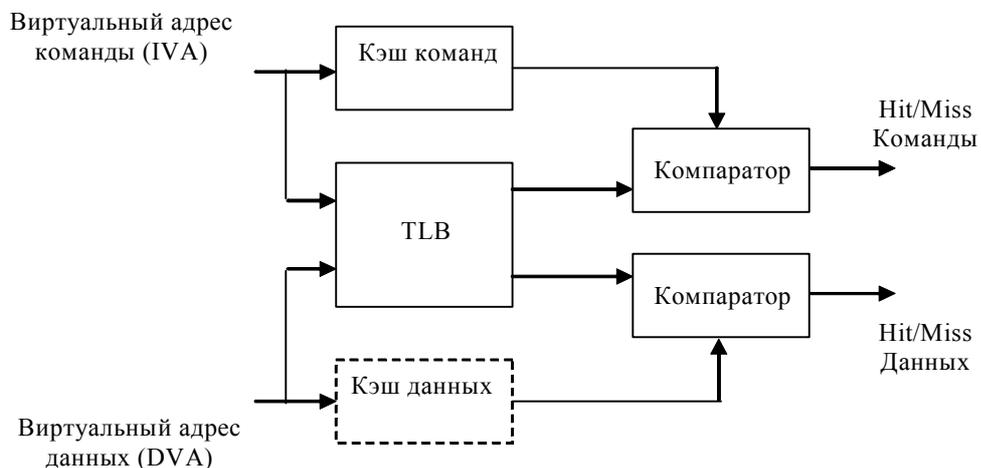


Рисунок 2.12

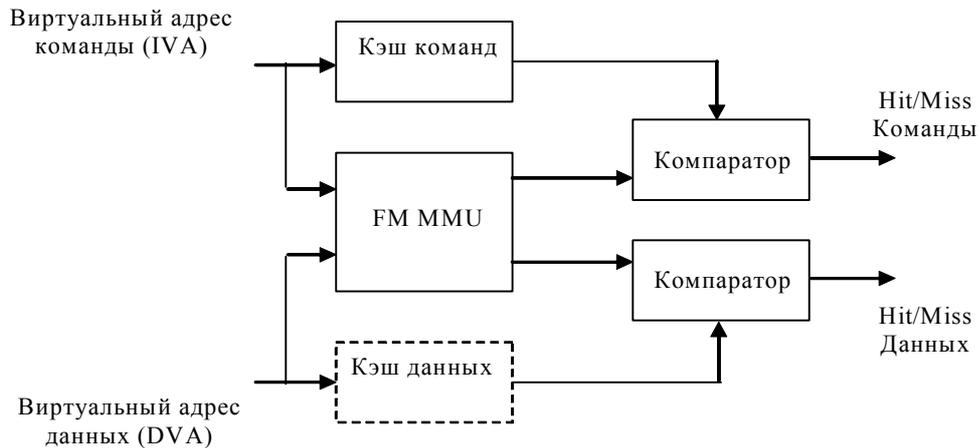


Рисунок 2.13

2.6.2 Режимы работы

Процессорное ядро поддерживает два режима работы:

- Режим User (непривилегированный режим)
- Режим Kernel (привилегированный режим)

Режим User в основном используется для прикладных программ. Режим Kernel обычно используется для обработки исключительных ситуаций и привилегированных функций операционной системы, включая управление сопроцессором CP0 и доступ к устройствам ввода-вывода.

Преобразования, выполняемые MMU, зависят от режима работы процессора.

2.6.2.1 Виртуальные сегменты памяти

Виртуальные сегменты памяти, на которые делится адресное пространство, различаются в зависимости от режима работы процессора. На Рисунок 2.14 показана сегментация для 4 Гбайт (2^{32} байт) виртуального адресного пространства, адресуемого 32-разрядным виртуальным адресом для обоих режимов работы.

Ядро входит в режим Kernel после аппаратного сброса или когда происходит исключение. В режиме Kernel программное обеспечение имеет доступ к полному адресному пространству и ко всем регистрам CP0. В режиме User доступ ограничен подмножеством виртуального адресного пространства (0x0000_0000 - 0x7FFF_FFFF) и запрещен доступ к функциям CP0. В режиме User недоступны виртуальные адреса 0x8000_0000 - 0xFFFF_FFFF и обращение к ним вызывает исключение.

0xFFFF_FFFF		kseg3
0xE000_0000		
0xDFFF_FFFF		kseg2
0xC000_0000		
0xBFFF_FFFF		kseg1
0xA000_0000		
0x9FFF_FFFF		kseg0
0x8000_0000		
0x7FFF_FFFF	useg	kuseg
0x0000_0000		

Рисунок 2.14. Карта виртуальной памяти для режимов User и Kernel

Каждый из сегментов, показанных на Рисунок 2.14, является либо отображаемым (mapped), либо неотображаемым (unmapped). Различие объясняется в следующих двух разделах.

2.6.2.1.1 Неотображаемые сегменты

В неотображаемом сегменте механизмы TLB или FM для преобразования виртуального адреса в физический адрес не используются. Особенно важно иметь неотображаемые сегменты памяти после аппаратного сброса, потому что TLB еще не запрограммировано и не может осуществлять преобразования.

Для неотображаемых сегментов преобразование виртуального адреса в физический является фиксированным.

Все неотображаемые сегменты, за исключением kseg0, никогда не кэшируемы. Кэшируемость kseg0 определяется полем K0 регистра Config CP0.

2.6.2.1.2 Отображаемые сегменты

В отображаемом сегменте для преобразования виртуального адреса в физический адрес используются TLB или FM.

В режиме TLB преобразование отображаемых сегментов имеет постраничную основу. При преобразовании выявляется информация о кэшируемости страницы, а также атрибуты защиты, относящиеся к странице.

Для режима FM отображаемые сегменты имеют закрепленное преобразование виртуального адреса в физический. Кэшируемость сегмента определяется значениями полей K23 и KU регистра Config CP0. При FM-преобразовании невозможна защита сегментов от записи.

2.6.2.2 Режим User

В режиме User доступно однородное виртуальное адресное пространство размером 2 Гбайт (2^{31} байт), называемое сегментом пользователя.

На Рисунок 2.15 показано размещение виртуального адресного пространства режима User.

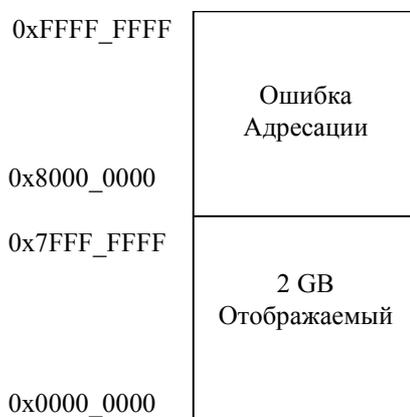


Рисунок 2.15

Сегмент потребителя начинается с адреса 0x0000_0000 и заканчивается адресом 0x7FFF_FFFF. Обращения по всем остальным адресам вызывают прерывания по ошибке адресации.

Процессор находится в режиме User, если в регистре Status CP0 установлены следующие значения разрядов:

- UM = 1
- EXL = 0
- ERL = 0

В Таблица 2.12 приводятся характеристики сегмента useg режима User.

Таблица 2.12

Адрес	Регистр Состояния			Имя сегмента	Диапазон адресов	Размер сегмента
	EXL	ERL	UM			
A(31)=0	0	0	1	useg	0x0000_0000 ® 0x7FFF_FFFF	2GB (2^{31} байт)

Для всех допустимых виртуальных адресов режима User старший значащий бит адреса равен нулю, поскольку в режиме User допустимо обращение только к нижней половине карты виртуальной памяти. Любая попытка обращения по адресу со старшим битом, равным 1, в режиме User вызывает прерывание по ошибке адресации.

В режиме TLB виртуальный адрес перед преобразованием расширяется содержимым 8-разрядного поля ASID, образуя уникальный виртуальный адрес. Кэшируемость ссылки для страницы в этом режиме определяется установкой определенных бит строки TLB.

В режиме FM, область виртуальных адресов 0x0000_0000-0x7FFF_FFFF преобразуется в область физических адресов 0x4000_0000-0xBFFF_FFFF. Кэшируемость задается полем KU регистра Config CP0.

2.6.2.3 Режим Kernel

Процессор находится в режиме Kernel, когда регистр Status CP0 содержит хотя бы одно из следующих значений:

- UM = 0
- ERL = 1
- EXL = 1

Когда обнаруживается исключение, биты EXL или ERL устанавливаются, и процессор входит в режим Kernel. При завершении процедуры обработки исключения обычно выполняется команда возвращения из исключения (ERET). Команда ERET осуществляет переход по PC исключения, очищает ERL и EXL (если ERL=0). В результате возможен возврат процессора в режим User.

Виртуальное адресное пространство режима Kernel разделено на области в соответствии со значением старших битов виртуального адреса, как показано на Рисунок 2.16. Кроме того, в

Таблица 2.13 содержатся характеристики сегментов режима Kernel.

0xFFFF_FFFF	Kernel virtual address space Mapped , 512 MB	kseg3
0xE000_0000		
0xDFFF_FFFF	Kernel virtual address space Mapped, 512 MB	kseg2
0xC000_0000		
0xBFFF_FFFF	Kernel virtual address space Unmapped, Uncached, 512 MB	kseg1
0xA000_0000		
0x9FFF_FFFF	Kernel virtual address space Unmapped, 512 MB	kseg0
0x8000_0000		
0x7FFF_FFFF	Mapped, 2048 MB	kuseg
0x0000_0000		

Рисунок 2.16

Таблица 2.13

Адрес	Регистр Состояния			Имя сегмента	Диапазон адресов	Размер сегмента
	EXL	ERL	UM			
A(31)=0	UM = 0 или EXL=1 или ERL=1			kuseg	0x0000_0000 Ⓜ 0x7FFF_FFFF	2 GB (2^{31})
A(31:29)=100 ₂				kseg0	0x8000_0000 Ⓜ 0x9FFF_FFFF	512 MB (2^{29})
A(31:29)=101 ₂				kseg1	0xA000_0000 Ⓜ 0xBFFF_FFFF	512 MB (2^{29})
A(31:29)=110 ₂				kseg2	0xC000_0000 Ⓜ 0xDFFF_FFFF	512 MB (2^{29})
A(31:29)=111 ₂				kseg3	0xE000_0000 Ⓜ 0xFFFF_FFFF	512 MB (2^{29})

2.6.2.3.1 Режим Kernel, Пространство пользователя (kuseg)

Если старший значащий бит виртуального адреса A[31]=0, то выбирается виртуальное адресное пространство kuseg объемом 2 Гбайт, отображенное на адреса 0x0000_0000 - 0x7FFF_FFFF.

При ERL=0 в режиме TLB виртуальный адрес расширяется 8-битным значением поля ASID для образования уникального виртуального адреса. Кэшируемость определяется полем C строки TLB.

При ERL=0 в режиме FM, область виртуальных адресов 0x0000_0000-0x7FFF_FFFF преобразуется в область физических адресов 0x4000_0000-0xBFFF_FFFF. Кэшируемость задается полем KU регистра Config CP0.

При ERL = 1 в режимах TLB и FM, область адресов пользователя становится неотображаемым и некэшируемым адресным пространством. Виртуальный адрес kuseg соответствует тому же физическому адресу и не включает поле ASID. То есть, область виртуальных адресов kuseg соответствует области физических адресов 0x0000_0000-0x7FFF_FFFF.

2.6.2.3.2 Режим Kernel, пространство 0 режима Kernel (kseg0).

Если в режиме Kernel три старших бита виртуального адреса равны 100₂, выбирается виртуальное адресное пространство kseg0. Это область размером 2^{29} байт (512 MB), которая расположена внутри границ, определяемых адресами 0x8000_0000 и 0x9FFF_FFFF.

Вне зависимости от состояния бита ERL и режима работы ссылки к kseg0 не отображаются, а физический адрес получается вычитанием 0x8000_0000 из виртуального адреса. Кэшируемость сегмента kseg0 определяется значением поля K0 регистра Config CP0.

2.6.2.3.3 Режим Kernel, пространство 1 режима Kernel (kseg1)

Если в режиме Kernel три старших бита виртуального адреса равны 101_2 , выбирается виртуальное адресное пространство kseg1. Это область размером 2^{29} байт (512 MB), которая расположена внутри границ, определяемых адресами 0xA000_0000 и 0xBFFF_FFFF.

Вне зависимости от состояния бита ERL и режима работы ссылки к kseg1 не отображаются, а физический адрес получается вычитанием 0xA000_0000 из виртуального адреса.

2.6.2.3.4 Режим Kernel, пространство 2 режима Kernel (kseg2)

Если в режиме Kernel три старших бита виртуального адреса равны 110_2 , выбирается виртуальное адресное пространство kseg2.

В режиме TLB вне зависимости от состояния бита ERL это виртуальное пространство отображается через TLB и его кэшируемость определяется полем C строки TLB.

В режиме FM вне зависимости от состояния бита ERL это виртуальное пространство зафиксировано в физических адресах 0xC000_0000 - 0xDFFF_FFFF и его кэшируемость определяется полем K23 Регистра Config CP0.

2.6.2.3.5 Режим Kernel, пространство 3 режима Kernel (kseg3)

Если в режиме Kernel три старших бита виртуального адреса равны 111_2 , выбирается 32-разрядное виртуальное адресное пространство kseg3.

В режиме TLB вне зависимости от состояния бита ERL это пространство отображается через TLB и его кэшируемость определяется полем C строки TLB.

В режиме FM вне зависимости от состояния бита ERL это виртуальное пространство зафиксировано в физических адресах 0xE000_0000 - 0xFFFF_FFFF и его кэшируемость определяется полем K23 регистра Config.

2.6.3 Буфер быстрого преобразования адреса (TLB)

В этой главе описывается управление памятью с помощью буфера быстрого преобразования адреса (TLB), которое осуществляется в режиме TLB.

В режиме TLB реализуется полностью ассоциативный буфер быстрого преобразования адреса (TLB), содержащий 16 двойных строк, позволяющих отображать 32 виртуальных страницы в соответствующие физические адреса. TLB организовано в виде 16 парных строк – четных и нечетных, содержащих адреса страниц размером от 4 Кбайт до 16 Мбайт, которые хранятся в 4 Гбайтном физическом адресном пространстве. Задача TLB состоит в преобразовании виртуальных адресов и их соответствующего идентификатора адресного пространства (ASID) в физический адрес памяти. Преобразование выполняется путем сравнения старших разрядов виртуального адреса (вместе с битами поля ASID) с каждой из строк тэговой порции TLB и иначе называется поиском соответствия по TLB (поиском соответствия тэга одной из строк виртуальному адресу на входе TLB).

Буфер TLB организован в виде страничных пар для минимизации общего количества хранящейся информации. Каждая строка тэговой порции соответствует двум физическим строкам данных – строке четных страниц и строке нечетных страниц. Самый старший разряд виртуального адреса, не участвующий в сравнении тэгов, определяет

какая строка из двух строк данных используется. Поскольку размер страницы может варьироваться для каждой пары страниц, определение адресных разрядов, участвующих в сравнении и разряда, задающего четность страницы, должно осуществляться динамически при поиске по TLB.

На Рисунок 2.17 показано содержание одной из 16 двойных строк TLB.

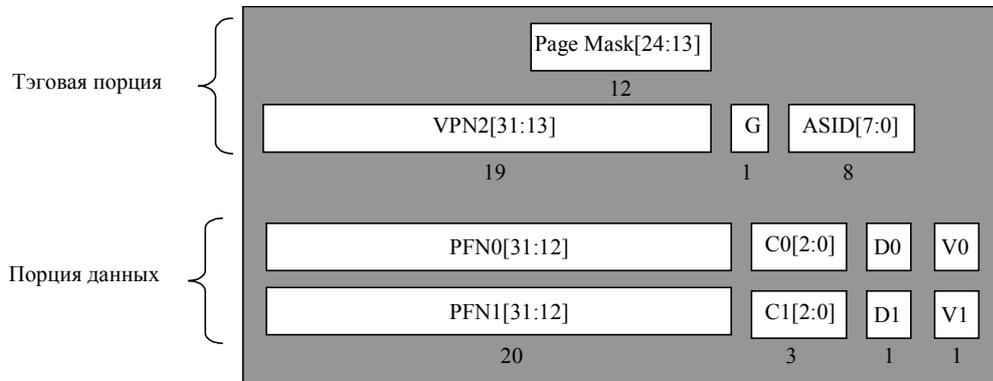


Рисунок 2.17

Описание полей строки TLB приведены в Таблица 2.14.

Таблица 2.14

Название поля	Описание																								
Page Mask[24:13]	<p>Значение маски размера страницы. Определяет размер страницы маскировкой соответствующих разрядов VPN2, и тем самым исключением их из рассмотрения. Также используется для задания адресного разряда, определяющего четность страницы (PFN0-PFN1). См. следующую таблицу:</p> <table border="1"> <thead> <tr> <th>Page Mask[11:0]</th> <th>Размер страницы</th> <th>Бит определения четности</th> </tr> </thead> <tbody> <tr> <td>0000_0000_00_0</td> <td>4 КБ</td> <td>VAddr[12]</td> </tr> <tr> <td>00_0_0000_0_11</td> <td>16 КБ</td> <td>VAddr[14]</td> </tr> <tr> <td>00_0_0000_1111</td> <td>64 КБ</td> <td>VAddr[16]</td> </tr> <tr> <td>0_00_00_1_1111</td> <td>256 КБ</td> <td>VAddr[18]</td> </tr> <tr> <td>0000_1111_1111</td> <td>1 МБ</td> <td>VAddr[20]</td> </tr> <tr> <td>0011_1111_1111</td> <td>4 МБ</td> <td>VAddr[22]</td> </tr> <tr> <td>1111_1111_1111</td> <td>16 МБ</td> <td>VAddr[24]</td> </tr> </tbody> </table> <p>В столбце Page Mask приведены все возможные значения Page Mask. Поскольку каждая пара битов этого поля всегда имеет одинаковое значение, физическая строка в TLB содержит сокращенную версию Page Mask, содержащую только 6 бит. Однако для программы это значение всегда преобразуется в 12-битное.</p> <p>Следует иметь в виду, что при кэшируемых ссылках, страницы размером 4 Кбайт использовать нельзя.</p>	Page Mask[11:0]	Размер страницы	Бит определения четности	0000_0000_00_0	4 КБ	VAddr[12]	00_0_0000_0_11	16 КБ	VAddr[14]	00_0_0000_1111	64 КБ	VAddr[16]	0_00_00_1_1111	256 КБ	VAddr[18]	0000_1111_1111	1 МБ	VAddr[20]	0011_1111_1111	4 МБ	VAddr[22]	1111_1111_1111	16 МБ	VAddr[24]
Page Mask[11:0]	Размер страницы	Бит определения четности																							
0000_0000_00_0	4 КБ	VAddr[12]																							
00_0_0000_0_11	16 КБ	VAddr[14]																							
00_0_0000_1111	64 КБ	VAddr[16]																							
0_00_00_1_1111	256 КБ	VAddr[18]																							
0000_1111_1111	1 МБ	VAddr[20]																							
0011_1111_1111	4 МБ	VAddr[22]																							
1111_1111_1111	16 МБ	VAddr[24]																							
VPN2[31:13]	Виртуальный номер страницы, поделенный на 2. Данное поле содержит старшие разряды виртуального номера страницы. Виртуальный номер разделен на 2 потому, что он соответствует паре страниц TLB. Разряды 31:25 всегда участвуют в сравнении. Участие в сравнении разрядов 24:13 зависит от размера страницы, задаваемого полем Page Mask.																								
G	Бит глобальности. Если он установлен, данная строка является глобальной для всех процессов и подпроцессов, и таким образом, поле ASID исключается из рассмотрения.																								
ASID[7:0]	Идентификатор адресного пространства. Определяет процесс или подпроцесс, с которым ассоциируется данная строка TLB.																								
PFN0[31:12], PFN1[31:12]	Физический номер кадра. Задаёт старшие разряды физического адреса. Для страниц размером более 4 Кбайт используется подмножество этого поля.																								

Название поля	Описание																		
C0[2:0], C1[2:0]	Кэшируемость. Содержит закодированное значение атрибута кэшируемости и определяет должна ли страница помещаться в кэш или нет. Поле кодируется следующим образом:																		
	<table border="1"> <thead> <tr> <th>C[2:0]</th> <th>Атрибуты когерентности</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>001</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>010</td> <td>Некэшируемая страница</td> </tr> <tr> <td>011</td> <td>Кэшируемая страница</td> </tr> <tr> <td>100</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>101</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>110</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>11</td> <td>При записи преобразуется в код 010</td> </tr> </tbody> </table>	C[2:0]	Атрибуты когерентности	000	При записи преобразуется в код 011	001	При записи преобразуется в код 011	010	Некэшируемая страница	011	Кэшируемая страница	100	При записи преобразуется в код 011	101	При записи преобразуется в код 011	110	При записи преобразуется в код 011	11	При записи преобразуется в код 010
	C[2:0]	Атрибуты когерентности																	
	000	При записи преобразуется в код 011																	
	001	При записи преобразуется в код 011																	
	010	Некэшируемая страница																	
	011	Кэшируемая страница																	
	100	При записи преобразуется в код 011																	
	101	При записи преобразуется в код 011																	
110	При записи преобразуется в код 011																		
11	При записи преобразуется в код 010																		
D0, D1	“Dirty” (Грязная страница) – бит разрешения записи. Показывает, что в страницу была сделана запись и/или разрешена запись в данную страницу. Если этот бит установлен, разрешены операции сохранения в данной странице. Если не установлен, сохранения в данной странице будут вызывать исключения модификации.																		
V0, V1	Бит валидности. Показывает, что данная строка TLB и, соответственно, отображение виртуальной страницы, действительны. Если этот бит установлен, то обращения к данной странице разрешены. Если не установлен, то обращения к странице будут вызывать исключения TLB (TLB invalid).																		

Для заполнения строки TLB используются команды TLBWI и TLBWR (см. документ “Процессорное ядро RISCORE32. Система команд”). Перед запуском этих команд нужно обновить некоторые регистры CP0, записав в них значения, которые будут затем помещены в строку TLB.

- Значение Page Mask задается в регистре Page Mask CP0.
- Значения VPN2 и ASID задаются в регистре EntryHi CP0.
- Значения PFN0, C0, D0, V0 и G задаются в регистре EntryLo0 CP0.
- Значения PFN1, C1, D1, V1 и G задаются в регистре EntryLo1 CP0.

Биты глобальности G входят в оба регистра EntryLo0 и EntryLo1. Бит G строки TLB является результатом логической операции “И”, проведенной над битами глобальности из EntryLo0 и EntryLo1. Более подробно эти регистры описаны в разделе 2.7 “Регистры CP0”.

Наличие идентификатора адресного пространства (ASID) дает возможность уменьшить частоту попаданий при поисках по TLB на контекстной основе. Это определяет возможность одновременного существования нескольких процессов как в TLB, так и в кэш команд. Значение ASID хранится в регистре EntryHi и сравнивается со значением ASID каждой строки.

2.6.4 Преобразование виртуального адреса в физический в режиме TLB.

Преобразование виртуального адреса в физический начинается со сравнения полученного виртуального адреса с виртуальными адресами, хранящимися в TLB. Соответствие имеет место, если виртуальный номер страницы (VPN) адреса совпадает с полем VPN строки TLB с учетом маски, хранящейся в этой строке, а также выполняется одно из двух условий:

- Установлен бит глобальности (G) для четных и нечетных страниц в строке TLB;
- Поле ASID виртуального адреса совпадает с полем ASID строки TLB.

Это соответствие называется попаданием TLB. Если не имеется ни одного соответствия, возникает исключение промаха TLB и программному обеспечению дается воз-

возможность пополнить TLB из расположенной в памяти таблицы страниц виртуальных /физических адресов. На Рисунок 2.18 показана логика преобразования виртуального адреса в физический.

На этом рисунке виртуальный адрес расширяется 8-разрядным идентификатором адресного пространства (ASID), который уменьшает частоту попаданий при просмотрах TLB на контекстной основе. Это 8-разрядное поле ASID содержит номер, присвоенный процессу, и хранится в регистре EntryHi CP0.

1. Виртуальный адрес (VA), представленный виртуальным номером страницы (VPN), сравнивается с тэгом из строки TLB (VPN2) с учетом маски (PageMask).
2. Если имеется соответствие, номер страничного кадра (PFN0 или PFN1, в зависимости от значения бита четности – самого старшего бита, не участвующего в сравнении) извлекается и помещается в старшие разряды физического адреса (PA)
3. В младшие разряды физического адреса помещается смещение (Offset), не участвующее в сравнении.

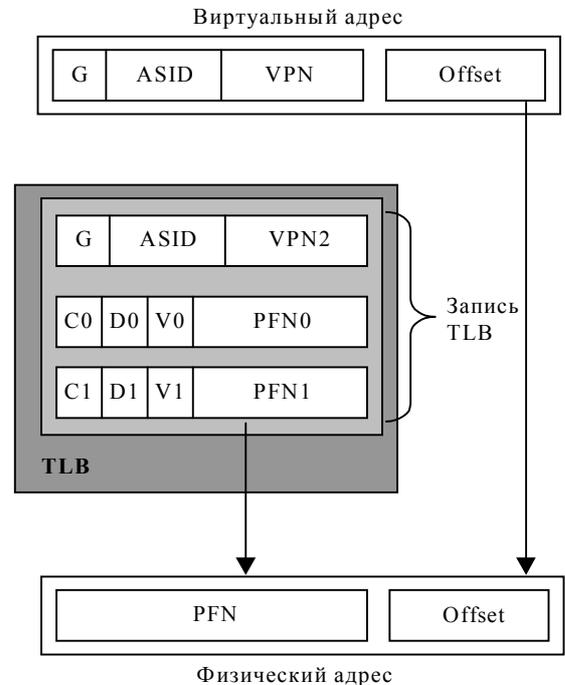


Рисунок 2.18

Когда происходит совпадение виртуальных адресов при поиске по TLB, физический номер кадра (PFN) извлекается из соответствующей физической порции строки TLB и дополняется смещением, взятым из виртуального адреса, формируя, таким образом, физический адрес. Смещение представляет собой адрес в пределах пространства страничного кадра. Как показано на рисунке, смещение не пропускается через TLB.

На Рисунок 2.19 показана блок-схема процесса преобразования адреса. В верхней части рисунка показан виртуальный адрес для страницы размером 4 Кбайт. Ширина поля смещения определяется размером страницы.

В нижней части рисунка показан виртуальный адрес для страницы размером 16 Мбайт.

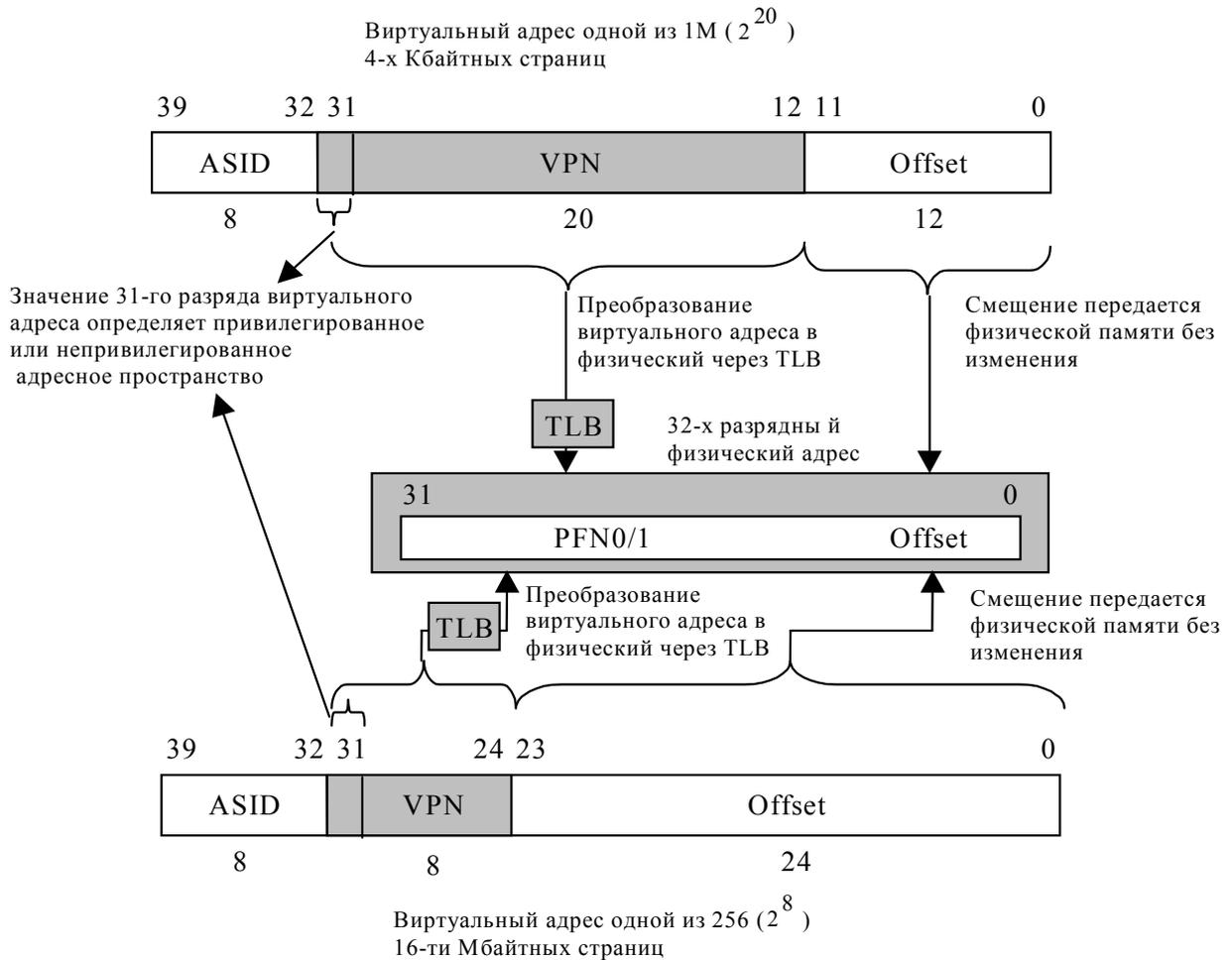


Рисунок 2.19

2.6.4.1 Попадания (*hits*), промахи (*misses*), и множественные попадания (*multiple matches*)

Каждая строка TLB содержит тэг и два поля данных. Если найдено соответствие, старшие разряды виртуального адреса заменяются физическим номером кадра (PFN), хранящимся в соответствующей строке массива данных TLB. Способ разбиения памяти при отображении определяется в терминах TLB-страниц. TLB поддерживает страницы различных размеров в пределах от 4 КБ до 16 МБ с шагом по степеням 4. Если соответствие найдено, но строка является запрещенной (т.е., бит V в поле данных равен 0), вырабатывается исключение TLB Invalid.

Если соответствие не найдено, возникает исключение TLB Refill, и программное обеспечение пополняет TLB из таблицы страниц, находящейся в памяти. На Рисунок 2.20 показан алгоритм преобразования и условия возникновения исключений TLB.

Программное обеспечение может делать записи в конкретные строки TLB или использовать аппаратный механизм записи в случайно выбранные строки. Регистр Random определяет, в какую строку будет сделана запись командой TLBWR. Этот регистр декрементируется на каждом такте продвижения конвейера, возвращаясь к максимальному значению после достижения величины, равной значению регистра Wired. Таким образом, строки TLB, чей номер меньше значения регистра Wired, не затрагиваются командой TLBWR, что позволяет зарезервировать TLB-отображения первостепенной важности.

В режиме TLB также реализован механизм сравнения при записи с целью предотвращения возникновения нескольких соответствий (множественных попаданий). Работает он следующим образом. При выполнении операции записи в TLB, поле VPN2 сравнивается с одноименными полями всех строк TLB. Если будет найдено соответствие, возникнет аппаратно обрабатываемое исключение, которое установит бит TS регистра Status CP0 и прервет эту операцию. Подробно исключения описаны в п. 0. В каждой строке TLB имеется скрытый бит, обнуляемый при аппаратном сбросе. Устанавливается этот бит при записи в данную строку, разрешая просмотр этой строки при поисках соответствий. Поэтому непроинициализированные строки не вызывают неадекватные преобразования адресов.

Замечание: этот скрытый бит инициализации приводит все строки TLB к запрещенному состоянию после аппаратного сброса, что делает ненужной процедуру очистки (flush) TLB. Но для совместимости с другими MIPS – процессорами рекомендуется заполнять значения тэгов уникальными величинами и обнулять бит валидности (V).

Очистить строку TLB (вывести ее из рассмотрения при поиске) можно, записав в нее значение с неотображаемым через TLB адресом.

Смена размера маски или других переменных строки TLB не приводит к исключению, если она не вводит в противоречие данной строки с другими строками. Например, увеличение размера страницы расширением маски в одной строке TLB может привести к перекрытию данной строки с другими строками TLB.

2.6.4.2 Размеры страниц и алгоритм замещения

Для управления общим количеством отображаемого адресного пространства и характеристиками замещения в различных областях памяти ядро обеспечивает два механизма. Первый заключается в том, что размер страницы может быть задан относительно каждой строки TLB, что позволяет отображать страницы размером от 4 Кбайт до 16 Мбайт (по степеням 4). В регистр Page Mask CP0 загружается требуемый размер страницы, который при выполнении операции записи попадает в очередную строку TLB. Таким образом, операционная система может задавать отображения особых назначений. Например, характерный кадровый буфер (frame buffer) может быть отображен на память всего одной строкой TLB.

Второй механизм управляет замещением, когда возникает промах при просмотре TLB. Для выбора строки TLB, в которую будет записано новое отображение, в процессорном ядре предусмотрен алгоритм случайного замещения. Но существует также способ программно предотвратить случайное замещение зарезервированных отображений, количество которых определяется значением регистра Wired CP0. (см. также п. 2.8.3.6).

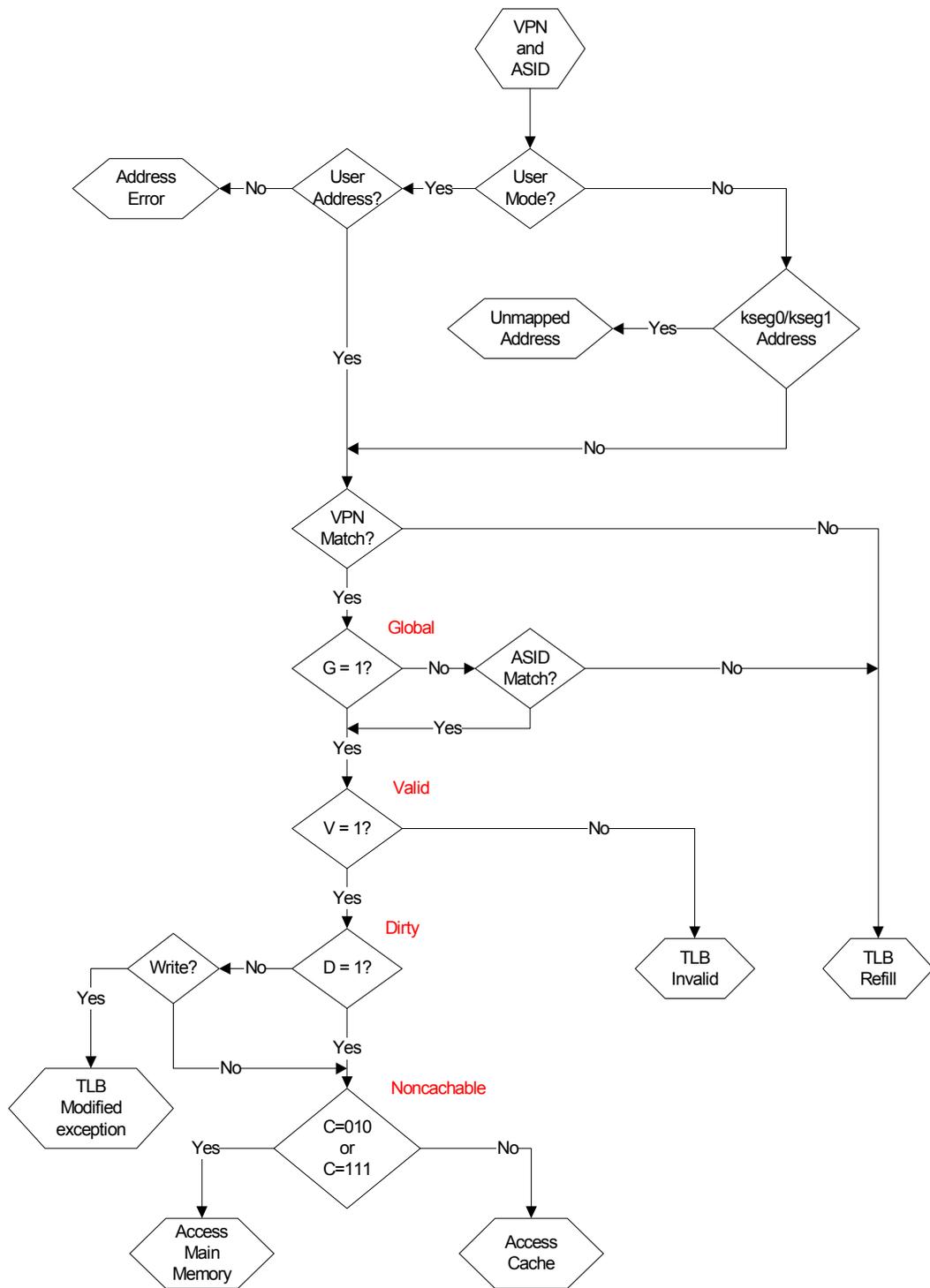


Рисунок 2.20. Алгоритм преобразования адреса через TLB

2.7 Исключения

Процессорное ядро способно принимать исключения от ряда источников, в том числе промах буфера преобразования адресов (TLB), арифметические переполнение, прерывание ввода-вывода, и системные вызовы. Обнаружив одно из этих исключений, CPU приостанавливает нормальную последовательность исполнения команд и процессор входит в режим Kernel.

В режиме Kernel ядро отключает прерывания и вынуждает процессор запустить программу обработчика исключений, расположенную в фиксированных адресах памяти. Обработчик сохраняет контекст процессора – содержимое счетчика команд, текущий режим процессора и статус разрешения прерываний. Таким образом, контекст может быть восстановлен по завершению обработки исключения.

При возникновении исключения в регистр Exception Program Counter (EPC) загружается адрес, начиная с которого исполнение команд может возобновиться после завершения обработки исключения. В регистр EPC помещается адрес команды, вызвавшей исключение или, если команда находилась в слоте задержки перехода, адрес команды перехода, предшествующей слоту задержки. Чтобы различить эти ситуации, программное обеспечение должно проанализировать бит BD (branch delay) в регистре Cause CP0.

2.7.1 Условия исключений

Исключения обрабатываются на стадии M конвейера. Когда исключительная ситуация обнаруживается, команда, находящаяся на стадии M, и все команды, следующие за ней на конвейере, отменяются. Соответственно, все условия остановки конвейера, относящиеся к этой команде, а также условия последующих исключений, которые также могут относиться к ней, игнорируются, поскольку обслуживание приостановок для отмененной команды не приносит выигрыша.

Когда условие исключения обнаруживается на стадии M, процессор заполняет необходимые регистры CP0 значениями, относящимися к состоянию исключения, изменяет счетчик команд (PC) на адрес соответствующего вектора обработки исключения и очищает признаки исключения, относящиеся к более ранним стадиям конвейера.

Такая реализация позволяет завершить исполнение команды, находящейся на стадии W, и запретить завершение последующих команд. Таким образом, значения, сохраненного в регистре EPC (в случае ошибок – в Error PC), достаточно для возобновления исполнения. Это также обеспечивает поступление исключений в соответствии с порядком исполнения команд – команда, вызывающая исключение, может быть уничтожена командой с более поздней стадии конвейера, также вызвавшей исключение.

2.7.2 Приоритеты исключений

В Таблица 2.15. перечислены все возможные исключения со своими относительными приоритетами от высшего к низшему. Некоторые из этих исключений могут случаться одновременно, в этом случае вызывается исключение с наивысшим приоритетом.

Таблица 2.15

Исключение	Описание
Reset	Аппаратный сброс
NMI	Внешнее немаскируемое прерывание и прерывание от таймера WDT (см. табл. 7.2).
TLB_Ri, TLB_Ii	Промех TLB при выборке команды, Попадание в запрещенную страницу TLB (V=0) при выборке команды
AdELi	Ошибка выравнивания адреса при выборке команды; Ссылка на адрес режима Kernel при работе в режиме User при выборке команды
MCheck	Запись в TLB, создающая конфликт с существующей строкой TLB
Sys	Выполнение команды SYSCALL
Bp	Выполнение команды BREAK
CrU	Выполнение команды сопроцессора в режиме User
RI	Выполнение зарезервированной команды
Ov	Переполнение в арифметической команде
Tr	Выполнение trap (когда условие trap истинно)
AdELd	Ошибка выравнивания адреса при загрузке данных; Ссылка на адрес режима Kernel при работе в режиме User при загрузке данных
AdES	Ошибка выравнивания адреса при сохранении данных; Попытка сохранения по адресу Kernel в режиме User
TLB_Rd, TLB_Id	Промех TLB при загрузке данных; Попадание в запрещенную страницу TLB (V=0) при загрузке данных
TLB_M	Сохранение в TLB-странице с D=0
Interrupt	Установка немаскируемых HW или SW - прерываний

2.7.3 Расположение векторов исключений

Векторы исключений аппаратного сброса и NMI всегда находятся по адресу 0xBFC_0000. Адреса всех других исключений являются комбинациями векторных смещений и базового адреса. В Таблица 2.16 приведены базовые адреса как функции исключения и состояния бита BEV Регистра Status. В Таблица 2.17. приведены смещения от базового адреса как функции исключения. В Таблица 2.18 эти две таблицы сведены в одну таблицу, содержащую все возможные адреса векторов исключений как функции состояний, влияющих на выбор этих векторов.

Таблица 2.16

Исключение	Status _{BEV}	
	0	1
Reset, NMI	0xBFC0_0000	
Остальные исключения	0x8000_0000 при TR_CRAM=0 регистра CSR (Таблица 3.9); 0xB800_0000 при TR_CRAM=1 регистра CSR	0xBFC0_0200

Таблица 2.17. Базовые адреса векторов исключений

Исключение	Смещение вектора
TLB Refill, EXL = 0	0x000
Reset, NMI	0x000
Исключения общего характера (General Exeptions)	0x180
Interrupt, Cause _{IV} = 1	0x200

Таблица 2.18. Векторы исключений

Исключение	BEV	EXL	IV	Вектор
Reset, NMI	-	-	-	0xBF00_0000
TLB Refill	0	0	-	0x8000_0000
TLB Refill	0	1	-	0x8000_0180
TLB Refill	1	0	-	0xBF00_0200
TLB Refill	1	1	-	0xBF00_0380
Interrupt	0	0	0	0x8000_0180
Interrupt	0	0	1	0x8000_0200
Interrupt	1	0	0	0xBF00_0380
Interrupt	1	0	1	0xBF00_0400
Остальные	0	-	-	0x8000_0180
Остальные	1	-	-	0xBF00_0380

2.7.4 Обработка общих исключений

Кроме исключений аппаратного сброса и NMI, которые обслуживаются особым образом, обработка всех остальных исключений происходит в соответствии со следующим основным маршрутом:

- Если бит EXL Регистра Состояния (Status) очищен, в регистр EPC загружается значение PC, по которому выполнение программы будет перезапущено, и при необходимости устанавливается бит BD в Регистре Причины (Cause). Если команда не находится в слоте задержки перехода, бит BD в Регистре Причины будет очищен, а в регистр EPC загружается значение, соответствующее текущему PC. Если же команда находится в слоте задержки перехода, бит BD в Регистре Причины устанавливается в “1”, и в EPC загружается значение, равное PC - 4. Если бит EXL в Регистре Состояния установлен, в регистр EPC ничего не загружается, и бит BD в Регистре Причины не модифицируется.
- В поля SE и ExcCode Регистра Причины загружаются значения, соответствующие исключению.
- Устанавливается бит EXL в Регистре Состояния (Status).
- Процессор стартует с вектора исключения.

Значение, загруженное в EPC, представляет собой адрес возврата из исключения и в обычной ситуации программе обработки исключения не требуется его модифицировать. Программе также не нужно просматривать бит BD в Регистре Причины, если не возникает потребность определить действительный адрес команды, вызвавшей исключение.

Operation:

```

if StatusEXL == 0 then
  if InstructionInBranchDelaySlot then
    EPC <= PC - 4
    CauseBD <= 1
  else
    EPC <= PC
    CauseBD <= 0
  endif
  if (ExceptionType == TLBRefill) then
    vectorOffset <= 0x000
  elseif (ExceptionType == Interrupt) and
    (CauseIV == 1) then
    vectorOffset <= 0x200
  else
    vectorOffset <= 0x180
  endif
else
  vectorOffset <= 0x180
endif
else
  vectorOffset <= 0x180
endif
else
  vectorOffset <= 0x180
endif
else
  vectorOffset <= 0x180
endif

```

```

vectorOffset <= 0x180
endif
CauseCE <= FaultingCoprocesorNumber
CauseExcCode <= ExceptionType
StatusEXL <= 1
if (StatusBEV == 1) then
PC <= 0xBFC0_0200 + vectorOffset
else
PC <= 0x8000_0000 + vectorOffset
endif

```

2.7.5 Исключения

В следующих разделах описаны все исключения в порядке, соответствующем табл.2.4.

2.7.5.1 Исключение по аппаратному сбросу (*Reset Exception*)

Это немаскируемое исключение, которое происходит при установке сигнала аппаратного сброса. Когда возникает исключение аппаратного сброса, процессор выполняет полную начальную инициализацию, то есть приводит автоматы к начальному состоянию и переводит процессор в состояние, из которого он может начать запуск команд, находящихся в неэкэшируемой и неотображаемой области. После возникновения исключения аппаратного сброса состояние процессора не определено, за исключением следующего:

- Регистр Random устанавливается в значение, равное количеству строк TLB - 1.
- Регистр Wired устанавливается в 0.
- Регистр Config устанавливается в свое начальное состояние (boot state).
- Поля BEV, TS, NMI и ERL Регистра Status устанавливаются в заданные значения.
- В PC загружается значение 0xBFC0_0000 (виртуальный адрес).

Вектор исключения:

Reset (0xBFC0_0000)

Operation:

```

Random <= TLBEntries - 1
Wired <= 0
Config <= ConfigurationState
StatusBEV <= 1
StatusTS <= 0
StatusNMI <= 0
StatusERL <= 1
PC <= 0xBFC0_0000

```

2.7.5.2 Исключение по немаскируемому прерыванию (*Non Maskable Interrupt – NMI Exception*)

Немаскируемое прерывание возникает по положительному фронту входного сигнала NMI или при срабатывании сторожевого таймера WDT. Исключение NMI происходит только в пределах границ команды, поэтому оно не вызывает сброса или другую переинициализацию аппаратных средств. Состояние кэш, памяти, а также другие состояния процессора остаются неизменными. Значения регистров также сохраняются за исключением следующего:

- Поля BEV, TS, NMI и ERL регистра Status принимают заданные значения.

- В регистр ErrorEPC загружается значение PC - 4, если прерывание произошло на фоне команды в слоте задержки перехода. В противном случае в регистр ErrorEPC загружается значение PC.
- В PC загружается значение 0xBFC0_0000.

Вектор исключения:

Reset (0xBFC0_0000)

Operation:

StatusBEV <= 1

StatusTS <= 0

StatusNMI <= 1

StatusERL <= 1

if InstructionInBranchDelaySlot then

ErrorEPC <= PC - 4

else

ErrorEPC <= PC

endif

PC <= 0xBFC0_0000

2.7.5.3 Исключение по обновлению TLB — выборка команды или доступ к данным (TLB Refill Exception – Instruction Fetch or Data Access)

Исключение TLB Refill происходит во время выборки команды или доступа к данным, если в TLB нет ни одной строки, соответствующей ссылке к отображенному адресному пространству, и бит EXL в регистре Status равен 0.

Значение поля ExcCode регистра Cause:

TLBL: Произошла ссылка по загрузке данных или выборке команды

TLBS: Произошла ссылка по сохранению данных

Дополнительно сохраняемые состояния:

Таблица 2.19

Состояние регистра	Значение
BadVAddr	ошибочный адрес
Context	поле BadVPN2 содержит VA _{31:13} ошибочного адреса
EntryHi	поле VPN2 содержит VA _{31:13} ошибочного адреса; поле ASID содержит ASID отсутствующей ссылки

Вектор исключения:

Вектор TLB Refill (смещение 0x000)

2.7.5.4 Исключение TLB Invalid — выборка команды или доступ к данным (TLB Invalid Exception – Instruction Fetch or Data Access)

Исключение TLB Invalid происходит во время выборки команды или доступа к данным в одном из следующих случаев:

- В TLB нет ни одной строки, соответствующей ссылке к отображенному адресному пространству, и бит EXL в регистре Status равен 1.
- Строка TLB соответствует ссылке к отображенному адресу, но ее бит валидности выключен.

Значение поля ExcCode регистра Cause:

TLBL: Произошла ссылка по загрузке данных или выборке команды

TLBS: Произошла ссылка по сохранению данных

Дополнительно сохраняемые состояния:

Таблица 2.20

Состояние регистра	Значение
BadVAddr	ошибочный адрес
Context	поле BadVPN2 содержит VA _{31:13} ошибочного адреса
EntryHi	поле VPN2 содержит VA _{31:13} ошибочного адреса; поле ASID содержит ASID отсутствующей ссылки

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.7.5.5 Исключение по ошибке адресации — выборка команды / доступ к данным (Address Error Exception – Instruction Fetch / Data Access)

Исключение по ошибке адресации во время доступа к команде или данным возникает при попытке выполнить одно из следующих действий:

- Выбрать команду, загрузить или сохранить слово данных, если они не выровнены в границах слова
- Загрузить или сохранить половину слова, если оно не выровнено в границах половины слова
- Обратиться по адресу пространства Kernel при работе в режиме User

Значение поля ExcCode регистра Cause:

ADEL: Произошла ссылка по загрузке данных или выборке команды

ADES: Произошла ссылка по сохранению данных

Дополнительно сохраняемые состояния:

Таблица 2.21

Состояние регистра	Значение
BadVAddr	ошибочный адрес

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.7.5.6 Исключение по аппаратному контролю (Mcheck – Machine Check Exception)

Данное исключение возникает, если при выполнении команды записи в TLB (TLBWI или TLBWR) обнаруживается, что поле виртуального адреса записываемой строки соответствует такому же полю одной из строк, уже хранящихся в TLB.

При возникновении данной ситуации запись в TLB не выполняется и устанавливается бит TS в регистре Status. Этот бит является статусным и не влияет на функционирование процессорного ядра. Сбрасывается он программно после разрешения данной ситуации, осуществляемого очисткой конфликтных строк в TLB.

Значение поля ExcCode регистра Cause:

Mcheck

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.7.5.7 Исключение исполнения – системный вызов (System Call Exception)

Исключение System Call является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение System Call возникает при исполнении команды SYSCALL.

Значение поля ExcCode регистра Cause:

Sys

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.7.5.8 Исключение исполнения — Breakpoint (Execution Exception – Breakpoint)

Исключение Breakpoint является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение Breakpoint возникает при исполнении команды BREAK.

Значение поля ExcCode регистра Cause:

Вр

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.7.5.9 Исключение исполнения — зарезервированная команда (Execution Exception – Reserved Instruction)

Исключение зарезервированной команды является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение зарезервированной команды вызывается при исполнении команды с неопределенным кодом операции или полем функции.

Значение поля ExcCode регистра Cause:

RI

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.7.5.10 Исключение исполнения — недоступен сопроцессор (Execution Exception – Coprocessor Unusable)

Исключение недоступности сопроцессора является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение недоступности сопроцессора вызывается при попытке исполнения команды сопроцессора CP0 в режиме User.

Значение поля ExcCode регистра Cause:

CpU

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.7.5.11 Исключение исполнения — целочисленное переполнение (Execution Exception – Integer Overflow)

Исключение целочисленного переполнения является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение целочисленного переполнения вызывается, когда выбранные целочисленные команды приводят к переполнению в двоичном коде.

Значение поля ExcCode регистра Cause:

Ov

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.7.5.12 Исключение исполнения — Trap (Execution Exception – Trap)

Исключение Trap является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение Trap вызывается, если условие команды trap истинно (TRUE).

Значение поля ExcCode регистра Cause:

Tr

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.7.5.13 Исключение сохранения в запрещенной области (TLB Modified Exception)

Это исключение возникает при обращении по записи данных к отображенному адресу, если выполняется следующее условие:

- Найденная строка TLB действительна, но страница запрещена для записи.

Значение поля ExcCode регистра Cause:

Mod

Дополнительно сохраняемые состояния:

Таблица 2.22

Состояние регистра	Значение
BadVAddr	Ошибочный адрес
Context	Поля BadVPN2 содержат VA _{31:13} ошибочного адреса
EntryHi	Поле VPN2 содержит VA _{31:13} ошибочного адреса; поле ASID содержит ASID отсутствующей ссылки

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.7.5.14 Исключение прерывания (*Interrupt Exception*)

Исключение прерывания возникает, когда сигнал одного или более разрешенных регистром Status прерываний устанавливается на входе процессора.

Значение поля ExcCode регистра Cause:

Int

Дополнительно сохраняемые состояния:

Таблица 2.23

Состояние регистра	Значение
CauseIp	Указывает код прерывания

Вектор исключения:

Общий Вектор исключения (смещение 0x180), если бит IV регистра Cause равен 0;

Вектор прерывания (смещение 0x200), если бит IV регистра Cause равен 1.

2.7.6 Алгоритмы обработки исключений

В этом разделе приведены алгоритмы обработки следующих исключений:

- Общие исключения;
- Исключения пропуска при поиске по TLB;
- Исключения Reset и NMI;

Исключения аппаратно обрабатываются, а затем программно обслуживаются.

Алгоритмы обработки исключений приведены на Рисунок 2.21, Рисунок 2.22, Рисунок 2.23.

Все исключения кроме Reset, NMI и TLB-miss первого уровня. Прерывания могут быть замаскированы битами IE и IM

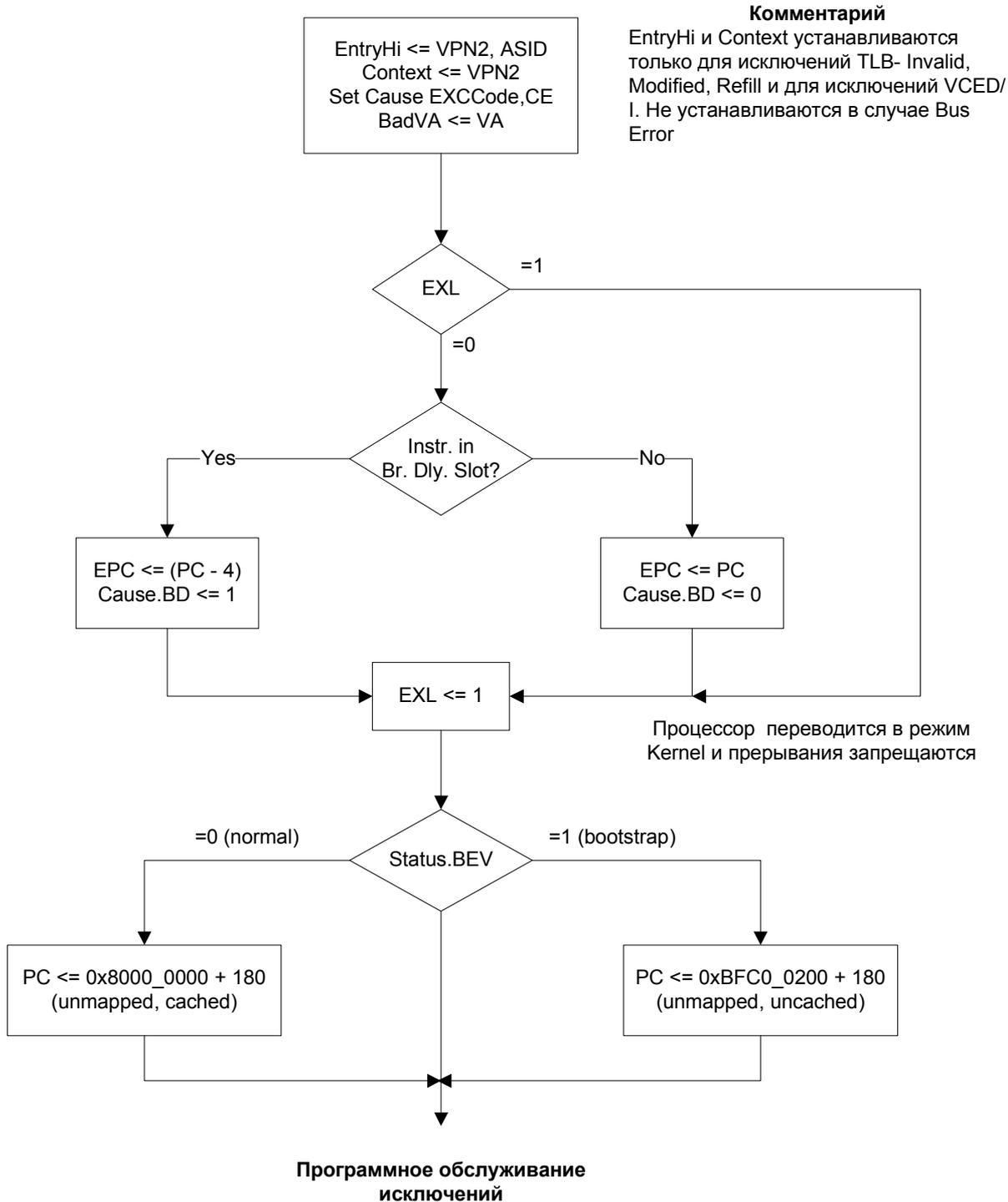


Рисунок 2.21. Обработка общих исключений

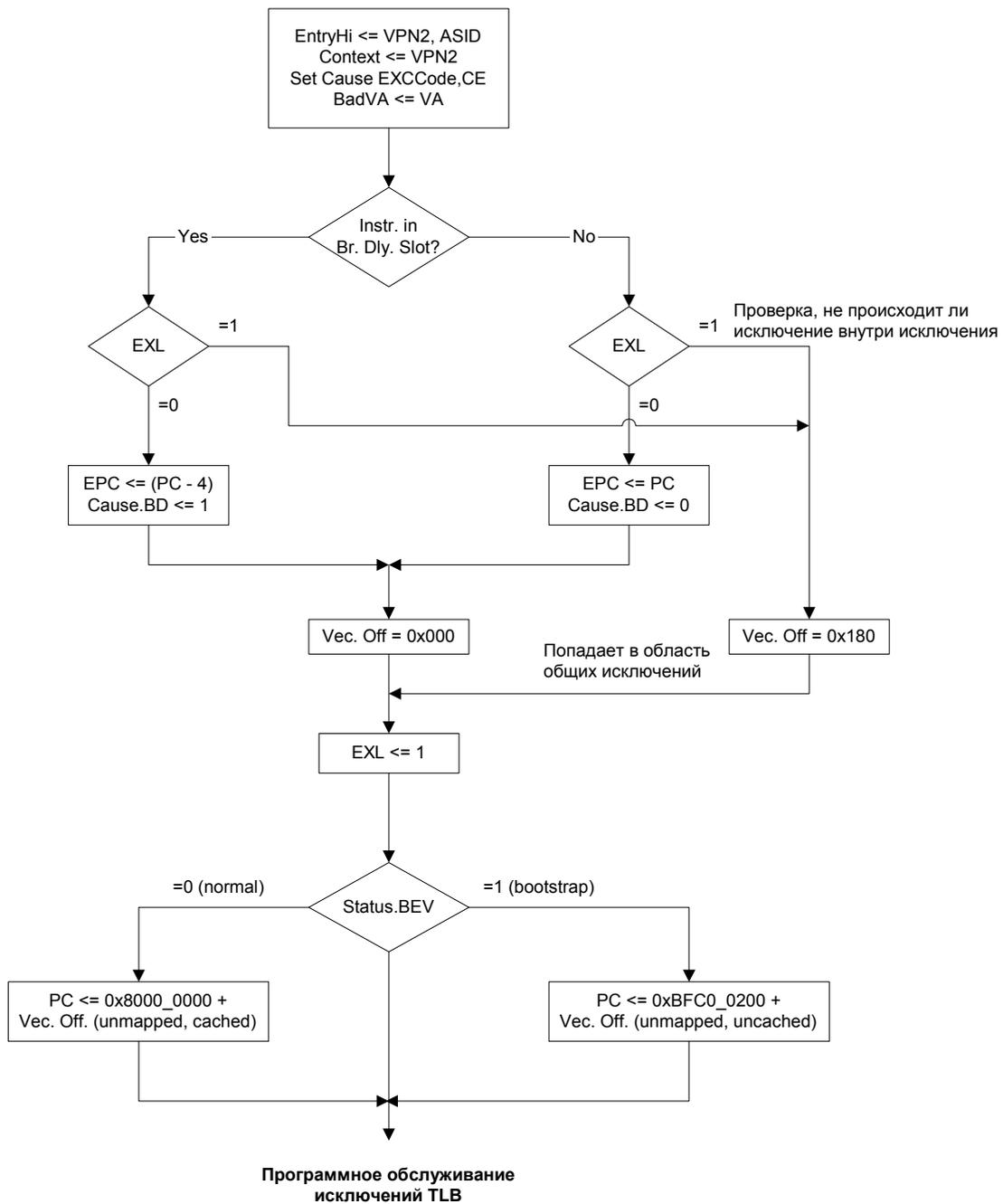


Рисунок 2.22. Обработка исключений TLB Refill и TLB Invalid

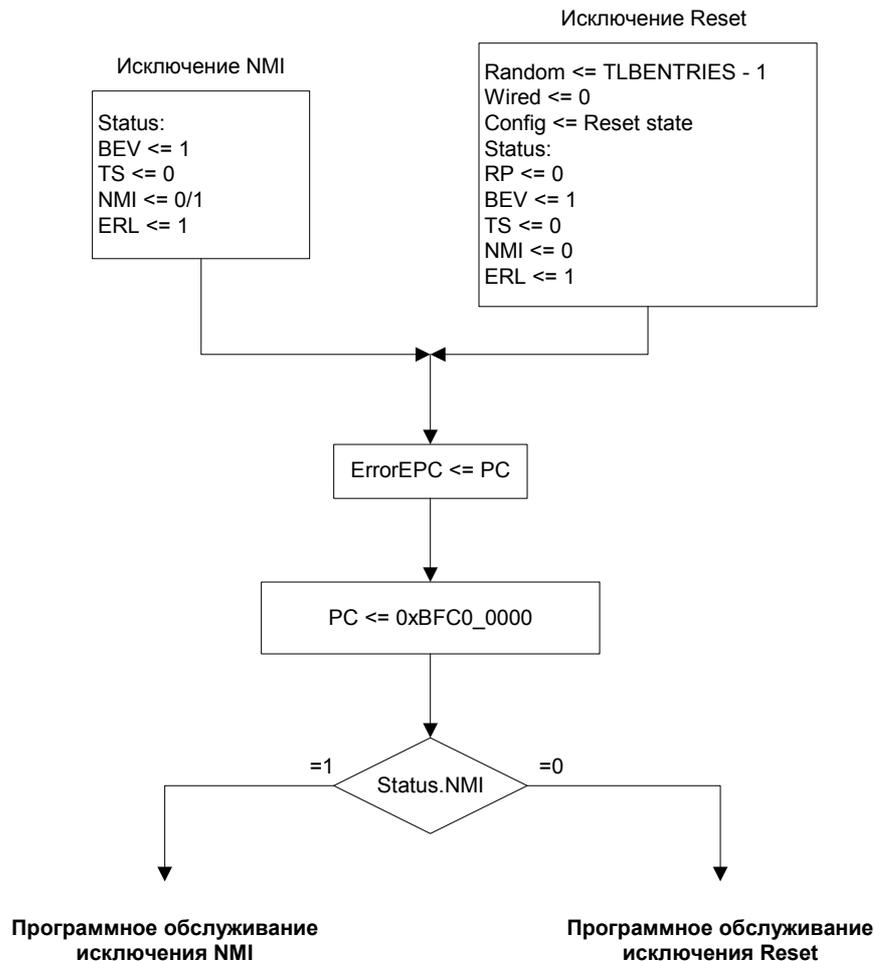


Рисунок 2.23. Обработка исключений Reset и NMI

2.8 Регистры CP0

2.8.1 Назначение

Системный Управляющий Сопроцессор (CP0) обеспечивает регистровый интерфейс с процессорным ядром MIPS32 и поддерживает управление памятью, преобразование адреса, обработку исключений и другие привилегированные операции. Каждому регистру CP0 соответствует определяющий его уникальный номер; этот номер называется *номером регистра*. Например, регистру PageMask соответствует 5-й номер регистра.

После записи нового значения в регистр CP0 (с помощью команды MTC0), его обновление происходит не сразу, а по прошествии периода от 0 и более команд. Этот период называется периодом особой ситуации.

2.8.2 Обзор регистров CP0

В Таблица 2.24 приведены все регистры CP0 в порядке возрастания нумерации. В разделе 5.3 каждый из этих регистров описан отдельно.

Таблица 2.24. Регистры CP0

Номер регистра	Название регистра	Функция
0	Index ¹	Индекс матрицы TLB (режим TLB)
1	Random ¹	Случайным образом сгенерированный индекс для буфера TLB (режим TLB)
2	EntryLo0 ¹	Младшая часть строки TLB для виртуальных страниц с четными номерами (режим TLB)
3	EntryLo1 ¹	Младшая часть строки TLB для виртуальных страниц с нечетными номерами (режим TLB)
4	Context ²	Указатель на строку в таблице страниц памяти (режим TLB)
5	PageMask ¹	Управление переменным размером страниц строк TLB (режим TLB)
6	Wired ¹	Управление количеством закрепленных “привязанных” строк TLB (режим TLB)
7	Reserved	Резерв
8	BadVAddr ²	Содержит адрес, вызвавший последнее связанное с адресацией исключение
9	Count ²	Счетчик процессорных циклов
10	EntryHi ¹	Старшая часть строки TLB (режим TLB)
11	Compare ²	Управление прерыванием таймера
12	Status ²	Состояние и управление процессором
13	Cause ²	Причина последнего исключения
14	EPC ²	Значение счетчика команд во время последнего исключения
15	PRId	Идентификация и ревизия процессора
16	Config/Config1	Конфигурационный регистр
17	LLAddr	Загрузка адреса сопряжения
18-19	Не реализованы	
20-22	Reserved	Резерв
23-24	Не реализованы	
25-27	Reserved	Резерв
28-29	Не реализованы	
30	ErrorEPC ²	Значение счетчика команд при последней ошибке
31	Не реализован	

¹Регистры, используемые при управлении памятью.

²Регистры, используемые при обработке исключений.

2.8.3 Регистры CP0

Регистры CP0 обеспечивают интерфейс между системой команд (ISA) и архитектурой процессора. Каждый регистр, описанный в этом разделе, представлен своим порядковым номером и значением поля select.

Все поля описанных регистров характеризуются свойствами записи / чтения, а также значением после аппаратного сброса. Свойства записи / чтения охарактеризованы в Таблица 2.25.

Таблица 2.25

Свойства записи/чтения	Аппаратная интерпретация	Программная интерпретация
R/W	Поле, в котором все биты программно и аппаратно доступны по записи и чтению. Аппаратное обновление этого поля доступно для программы при чтении программой. Программное обновление этого поля доступно для процессора при чтении процессором. Если значение поля после сброса не определено, программа или процессор должны проинициализировать это поле, чтобы первое чтение возвратило предсказуемое значение.	
R	Поле, значение которого постоянно или обновляется только процессором. Значение поля после начальной установки восстанавливается также при включении питания. Если значение поля не определено после начальной установки, процессор обновляет его только при условиях, определенных при описании поля.	Поле, для которого значение, записанное программой, процессором игнорируется. Программное прочтение этого поля возвращает последнее обновленное процессором значение. Если значение поля не определено после начальной установки, программное прочтение этого поля возвратит непредсказуемое значение кроме тех случаев, когда произошло обновление процессором значения этого поля по возникновению условий, определенных в описании поля условий.
0	Поле, значение которого процессором не обновляется и всегда равно нулю.	Программное чтение всегда возвращает нуль.

2.8.3.1 Регистр Index (Регистр 0 CP0, Select 0).

Регистр Index является 32-х разрядным регистром, доступным для чтения и записи. Он содержит индекс доступа к TLB для команд TLBP, TLBR и TLBWI. Ширина поля индекса зависит от количества строк TLB и равна 4.

Функционирование процессора НЕОПРЕДЕЛЕНО, если в регистр Index записано значение большее или равное количеству строк TLB.

Формат регистра Index

31	30				4	3	0
R				0			Index

Таблица 2.26. Описание полей регистра Index

Поля		Описание	Чтение/запись	Начальное состояние
Имя	Биты			
R	31	Неудачная проба. Устанавливается в 1, если предыдущей командой TLBProbe (TLBP) не было найдено соответствия в TLB.	R	Не определено
0	30:4	При чтении возвращается нуль	0	0
Index	3:0	Индекс строки TLB, к которой относятся команды TLBRead и TLBWrite	R/W	Не определено

2.8.3.2 Регистр Random (Регистр CP0 1, Select 0).

Регистр Random доступен только для чтения, и его значение используется как индекс TLB для команды TLBWR. Ширина поля Random определяется таким же образом, как для регистра Index.

Значение этого регистра изменяется между верхней и нижней границами следующим образом:

- Нижняя граница определяется количеством строк TLB, зарезервированных для использования операционной системой (содержимое регистра Wired). Строка, чей индекс равен значению Wired, является первой из доступных для записи командой TLB Write Random (TLBWR).
- Верхняя граница равна общему количеству строк TLB минус 1.

Регистр Random уменьшается на 1 при продвижении конвейера RISC, возвращаясь к максимальному значению по достижению величины, равной значению регистра Wired.

Процессор инициализирует регистр Random значением, равным верхней границе по возникновению исключения Reset и по записи в регистр Wired.

Формат регистра Random

31	4	3	0
0			Random

Таблица 2.27. Описание полей регистра Random

Поля		Описание	Чтение/ запись	Начальное со- стояние
Имя	Биты			
0	31:4	При чтении возвращается нуль	0	0
Random	3:0	Случайный индекс строки TLB	R	TLB Entries - 1

2.8.3.3 EntryLo0, EntryLo1 (Регистры 2 и 3 CP0, Select 0)

Пара регистров EntryLo действует как интерфейс между TLB и командами TLBR, TLBWI, TLBWR.

В режиме TLB EntryLo0 содержит строки для четных страниц TLB, а EntryLo1 – для нечетных страниц.

После ошибки адресации и возникновения исключений TLB refill, TLB invalid и TLB modified, содержимое регистров EntryLo0 и EntryLo1 не определено.

Формат регистров EntryLo0, EntryLo1

31	30	29	26	25	6	5	3	2	1	0	
R	0				PFN			C	D	V	G

Таблица 2.28. Описание полей регистров EntryLo0 и EntryLo1

Поля		Описание	Чтение/ запись	Начальное со- стояние
Имя	Биты			
R	31:30	Резервные. При чтении возвращается нуль	R	0
0	29:26	При чтении возвращается нуль	R	0
PFN	25:6	Номер страничного кадра. Соответствует битам 31:12 физического адреса.	R/W	Не определено
C	5:3	Атрибут когерентности страницы. См. табл.2.18.	R/W	Не определено
D	2	“Dirty” – бит, разрешающий запись. Указывает на то, что в страницу была сделана запись, и/или страница открыта для записи. Если этот бит равен 1, разрешается сохранение в этой странице. Если он равен 0, сохранение в этой странице вызывает исключение TLB Modified.	R/W	Не определено
V	1	Бит валидности. Указывает, на то, что строка TLB и, соответственно, отображение виртуальной страницы, является действительным. Если этот бит равен 1, доступ к странице разрешается. Если этот бит равен 0, доступ к странице	R/W	Не определено

Поля		Описание	Чтение/	Начальное со-
		вызывает исключение TLB Invalid.		
G	0	Бит глобальности. При записи в TLB битом G в строке TLB становится логическое "И" битов G EntryLo0 и EntryLo1. Если бит G строки TLB равен 1, результат сравнения полей ASID игнорируется при поиске по TLB. При чтении строки TLB биты G EntryLo0 и EntryLo1 отражают состояние бита G TLB.	R/W	Не определено

В Таблица 2.29 приведена кодировка для поля C регистров EntryLo0 и EntryLo1 и полей K0, K23 и KU регистра Config.

Таблица 2.29. Атрибуты когерентности кэш

Значение C[5:3]	Описание
0, 1, 3*, 4, 5, 6	Кэшируемая, некогерентная область
2*, 7	Некэшируемая область
* - Архитектура MIPS32 предусматривает только эти два значения. Остальные значения не используются и отображаются в используемые значения. Например, 0, 1, 4, 5 и 6 отображается в 3, а 7 – в 2.	

2.8.3.4 Регистр Context (Регистр 4 CP0, Select 0)

Регистр Context доступен для чтения и записи, и содержит указатель на строку в матрице PTE (page table entry). Эта матрица является структурой данных операционной системы, в которой содержатся преобразования виртуального адреса в физический. При возникновении промаха TLB, операционная система загружает в TLB недостающее преобразование из матрицы PTE. Регистр Context дублирует часть информации, содержащейся в регистре BadVAddr, но организован таким образом, что операционная система может прямо ссылаться к 8-байтной матрице PTE в памяти.

При возникновении исключения TLB (TLB Refill, TLB Invalid, или TLB Modified) биты VA_{31:13} виртуального адреса записываются в поле BadVPN2 регистра Context. Поле PTEBase записывается и используется операционной системой.

После возникновения исключения ошибки адресации значение поля BadVPN2 регистра Context не определено.

Формат регистра Context

31	23	22	4	3	0
PTEBase		BadVPN2			

Таблица 2.30. Описание полей регистра Context

Поля		Описание	Чтение/запись	Начальное состояние
Имя	Биты			
PTEBase	31:23	Это поле используется операционной системой и обычно содержит значение, позволяющее операционной системе использовать регистр Context в качестве указателя на текущую матрицу PTE в памяти.	R/W	Не определено
BadVPN2	22:4	Это поле заполняется процессором при промахе TLB. Оно содержит биты VA _{31:13} пропущенного виртуального адреса	R	Не определено
0	3:0	При чтении возвращается нуль	0	0

2.8.3.5 Регистр PageMask (Регистр 5 CP0, Select 0)

Регистр PageMask доступен для чтения и записи, и используется для чтения TLB и записи в TLB. Он содержит маску сравнения, которая устанавливает переменную размера страниц для каждой строки TLB, как показано в Таблица 2.32.

Если значение регистра отлично от значений, приведенных в таблице, поведение процессора при поиске по TLB не определено.

Формат регистра PageMask

31	25	24	13	12	0
0	Mask			0	

Таблица 2.31. Описание полей регистра PageMask

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
Mask	24:13	Бит маски, содержащий "1", указывает на то, что соответствующий бит виртуального адреса не должен принимать участие при поиске соответствия по TLB	R/W	Не определено
0	31:25, 12:0	При чтении возвращается нуль	0	0

Таблица 2.32. Таблица возможных значений поля Mask регистра PageMask

Размер страницы	Бит											
	24	23	22	21	20	19	18	17	16	15	14	13
4 Кбайт	0	0	0	0	0	0	0	0	0	0	0	0
16 Кбайт	0	0	0	0	0	0	0	0	0	0	1	1
64 Кбайт	0	0	0	0	0	0	0	0	1	1	1	1
256 Кбайт	0	0	0	0	0	0	1	1	1	1	1	1
1 Мбайт	0	0	0	0	1	1	1	1	1	1	1	1
4 Мбайт	0	0	1	1	1	1	1	1	1	1	1	1
16 Мбайт	1	1	1	1	1	1	1	1	1	1	1	1

2.8.3.6 Регистр Wired (Регистр 6 CP0, Select 0)

Регистр Wired доступен для чтения и записи. Этот регистр определяет границу между случайными и "привязанными" строками TLB, как показано на Рисунок 2.24. Ширина поля Wired определяется так же, как для описанного выше регистра Index. "Привязанные" строки зафиксированы, то есть они не являются удаляемыми и не могут быть перезаписаны командой TLBWR. Эти строки могут быть перезаписаны только командой TLBWI.

Регистр Wired устанавливается в нулевое состояние исключением по аппаратному сбросу (Reset). Запись в регистр Wired вызывает установку регистра Random в значение, равное его верхней границе.

Если значение, записанное в регистр Wired, больше или равно числу строк TLB, операция процессора не определена.

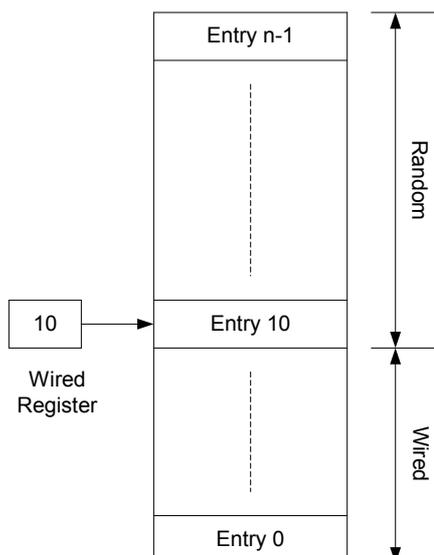


Рисунок 2.24. “Привязанные” и случайные строки TLB

Формат регистра Wired

31	4	3	0
0			Wired

Таблица 2.33. Описание полей регистра Wired

Поля		Описание	Чтение/ запись	Начальное со- стояние
Имя	Биты			
0	31:4	При чтении возвращается нуль	0	0
Wired	3:0	Граница между “привязанными” и случайными строками TLB.	R/W	0

2.8.3.7 Регистр BadVAddr (Регистр 8 CP0, Select 0)

Регистр BadVAddr доступен только для чтения и содержит последний виртуальный адрес, вызвавший одно из следующих исключений:

- Ошибка адреса (AdEL или AdES)
- TLB Refill
- TLB Invalid
- TLB Modified

Формат регистра BadVAddr

31	0
BadVAddr	

Таблица 2.34. Описание полей регистра BadVAddr

Поля		Описание	Чтение/ запись	Начальное со- стояние
Имя	Биты			
BadVAddr	31:0	Виртуальный адрес, вызвавший исключение	R	Не определено

2.8.3.8 Регистр Count (Регистр 9 CP0, Select 0)

Регистр Count действует как таймер, увеличивающий свое значение каждый такт.

Регистр Count может быть записан в функциональных или диагностических целях, включая установку или синхронизацию процессора.

Формат регистра Count

31	0
COUNT	

Таблица 2.35. Описание полей регистра Count

Поля		Описание	Чтение/ запись	Начальное со- стояние
Имя	Биты			
Count	31:0	Счетчик	R/W	Не определено

2.8.3.9 Регистр EntryHi (Регистр 10 CP0, Select 0)

Регистр EntryHi содержит информацию соответствия виртуального адреса, используемая при чтении, записи и операциях доступа к TLB.

При возникновении исключений TLB (TLB Refill, TLB Invalid или TLB Modified) биты VA_{31:13} виртуального адреса записываются в поле VPN2 регистра EntryHi. В поле ASID, которое используется в процессе сравнения при поиске по TLB, программно записывается идентификатор текущего адресного пространства.

Поле VPN2 регистра EntryHi не определено после прерывания по ошибке адресации.

Формат регистра EntryHi

31	VPN2	0	0	ASID
-----------	------	---	----------	------

Таблица 2.36. Описание полей регистра EntryHi

Поля		Описание	Чтение/ запись	Начальное со- стояние
Имя	Биты			
VPN2	31:13	Разряды VA _{31:0} виртуального адреса (виртуальный номер страницы, деленный на 2). Это поле записывается аппаратно при исключении TLB или при чтении TLB, и программно перед записью в TLB.	R/W	Не определено
0	12:8	При чтении возвращается нуль	0	0
ASID	7:0	Идентификатор адресного пространства. Это поле записывается аппаратно при чтении TLB, и программно при установке текущего значения ASID для записи в TLB и для сравнения при поиске по TLB с соответствующими полями ASID в строках TLB.	R/W	Не определено

2.8.3.10 Регистр Compare (Регистр 11 CP0, Select 0)

Регистр Compare действует совместно с регистром Count с целью реализации функции таймера и прерывания по таймеру.

Результат сравнения регистров Count и Compare заведен на 15 разряд регистра Cause. Когда значение регистра Count равняется значению регистра Compare, этот бит имеет единичное состояние. Он остается в этом состоянии, пока в регистр Compare не будет произведена запись.

Для диагностических целей регистр Compare доступен для чтения и записи. Однако при нормальном функционировании регистр Compare используется только для записи. При

записи значения в регистр Compare в качестве побочного эффекта происходит очистка бита прерывания по таймеру.

Формат регистра Compare

31	0
Compare	

Таблица 2.37. Описание полей регистра Compare

Поля		Описание	Чтение/ запись	Начальное со- стояние
Имя	Биты			
Compare	31:0	Период счета таймера	R/W	Не определено

2.8.3.11 Регистр Status (Регистр 12 CP0, Select 0)

Регистр Status (SR) является регистром, доступным для чтения и записи. Он содержит поля рабочего режима, разрешения прерываний и диагностические состояния процессора. Для задания режимов функционирования процессора, поля этого регистра объединяются следующим образом:

Разрешение прерываний: Прерывания разрешаются, когда истинны все следующие условия:

- IE = 1
- EXL = 0
- ERL = 0

Если эти условия выполнены, прерывания разрешаются установкой битов IM.

Рабочие режимы: Процессор всегда находится в одном из двух режимов – Kernel или User. Режим задается установкой следующих битов регистра Status CPU.

- Режим User: UM = 1, EXL = 0, and ERL = 0
- Режим Kernel: UM = 0 или EXL = 1 или ERL = 1

Формат Status регистра

31	28	27	26	23	22	21	20	19	18	16	15	8	7	5	4	3	2	1	0
CU3-CU0	0	0	BEV	TS	0	NMI	0	IM7-IM0	0	UM	0	ERL	EXL	IE					

Таблица 2.38. Описание полей регистра Status

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
CU3-CU0	31:28	Не используются	R/W	Не определено
-	27	Не используется	0	0
-	26:23	При чтении возвращается нуль	0	0
BEV	22	Управление размещением векторов исключения: 0: Нормальный 1: Начальная загрузка	R/W	1
TS	21	TLB-закрытие системы. Этот бит устанавливается, если при выполнении команд TLBWI или TLBWR образуется команда, которая приводит к условию закрытия, если оно разрешено. Программа может записывать в этот разряд только 0, чтобы очистить его, и не может вызвать переход этого бита из 0 в 1.	R/W	0

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
NMI	19	Указывает, что вход в вектор исключения начальной установки был осуществлен по причине возникновения NMI. 0: Не NMI (Аппаратный сброс) 1: NMI Программное обеспечение может записывать в этот бит только 0, чтобы очистить его, и не может записать 1.	R/W	1 для NMI, иначе 0
-	18:16	При чтении возвращается нуль	0	0
IM[7:0]	15:8	Маска прерываний: управление разрешением внешних, внутренних и программных прерываний. Прерывание принимается в случае, если установлен бит IE регистра Status и установлены соответствующие биты как в поле IM[7:0] регистра Status, так и в поле IP[7:0] регистра Cause. 0: Запрос на прерывание не разрешен. 1: Запрос на прерывание разрешен.	R/W	Не определено
-	7:5	При чтении возвращается нуль	0	0
UM	4	Указывает на то, что процессор работает в непривилегированном режиме (User): 0: Процессор работает в привилегированном режиме (Kernel) 1: Процессор работает в непривилегированном режиме (User) Замечание: процессор может также находиться в режиме Kernel, если установлены биты EXL или ERL. Это условие не влияет на состояние бита UM.	R/W	Не определено
-	3	При чтении возвращается нуль	0	0
ERL	2	Уровень ошибки. Устанавливается процессором при возникновении исключений Reset и NMI. 0: Нормальный уровень 1: Уровень ошибки Когда бит ERL установлен: Процессор находится в режиме Kernel. Прерывания запрещены. Команда ERET использует адрес возврата, содержащийся в ErrorPC вместо PC. kuseg используется как неотображаемая и некешируемая область. Это позволяет иметь доступ к главной памяти при ошибках кэш. Поведение процессора не определено, если бит ERL установлен при выполнении кода из useg/kuseg.	R/W	1

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
EXL	1	Уровень Исключения. Устанавливается процессором при возникновении любого исключения, кроме Reset и NMI. 0: Нормальный уровень 1: Уровень исключения Когда бит EXL установлен: Процессор переходит в привилегированный режим (Kernel). Прерывания запрещены. Исключения TLB Refill используют общий вектор исключения вместо вектора TLB Refill. Если происходит другое исключение, EPC не модифицируется.	R/W	Не определено
IE	0	Разрешение Прерывания. 0: Отключает прерывания 1: Разрешает прерываниям	R/W	Не определено

2.8.3.12 Регистр Cause (Регистр 13 CP0, Select 0)

Регистр Cause, в основном, описывает причину последнего исключения. Кроме того, поля регистра управляют запросами на программные прерывания и определяют вектор, которым обрабатываются прерывания. Все поля регистра Cause, за исключением IP[1:0], IV и WP, доступны только для чтения.

Формат регистра Cause

31	30	24	23	22	16	15	10	9	8	7	6	2	1	0
BD	0	IV	0			IP[7:2]	IP[1:0]	0	0	Exc Code		0	0	0

Таблица 2.39. Описание полей регистра Cause

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
BD	31	Указывает на то, что последнее исключение произошло в слоте задержки перехода: 0: Не в слоте задержки 1: В слоте задержки Замечание: бит BD не модифицируется на новом исключении, если установлен бит EXL.	R	Не определено
0	30:24	При чтении возвращается нуль	0	0
IV	23	Указывает, какой вектор используется для обслуживания исключений прерывания – общий или специальный вектор прерываний: 0: Используется общий вектор исключения (0x180) 1: Используется специальный вектор прерываний (0x200)	R/W	Не определено
0	22:16	При чтении возвращается нуль	0	0

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
IP[7:2]	15:10	Указывает, какое прерывание установлено: 15 – COMPARE; 14 – прерывания от MFBSPP1, MFBSPP0, объединенные по ИЛИ; 13 - прерывания по контролю кода Хемминга INT_HmMPORT, INT_HmDCACHE, INT_HmICACHE, INT_HmCRAM объединенные по ИЛИ; 12 - прерывания от GSWIC1, GSWIC0, SWIC1, SWIC0, объединенные по ИЛИ; 11 - прерывания от DMA MEM_CH0, MEM_CH1 объединенные по ИЛИ; 10 - прерывания от IT1, IT0, WDT, UART1, UART0, nIRQ[3:0], объединенные по ИЛИ	R	Не определено
IP[1:0]	9:8	Управляет запросами программных прерываний (посредством записи «1» в данные разряды): 9: Запрос программного прерывания 1; 8: Запрос программного прерывания 0	R/W	Не определено
ID	7	Прерывание от встроенных средств отладки программ (OnCD).	R/W	0
Exc Code	6:2	Код исключения — см. Таблица 2.40		
0	1:0	При чтении возвращается ноль	0	0

Таблица 2.40. Описание поля Exc Code регистра Cause

Значение Exc Code	Мнемоника	Описание
0	Int	Прерывание
1	Mod	TLB-исключение модификации
2	TLBL	TLB-исключение (загрузка или вызов команды)
3	TLBS	TLB-исключение (сохранение)
4	AdEL	Прерывание по ошибке адресации (загрузка или вызов команды)
5	AdES	Прерывание по ошибке адресации (сохранение)
6-7	-	Не используются
8	Sys	Системное исключение
9	Bp	Исключение Breakpoint
10	RI	Исключение зарезервированной команды
11	SpU	Исключение недоступности сопроцессора
12	Ov	Исключение целочисленного переполнения
13	Tr	Исключение Trap
14	-	Не используются
15	FPE	Исключение от сопроцессора арифметики в формате с плавающей точкой (FPU)
16-23	-	Не используются
24	MCheck	Аппаратный контроль
25-31	-	Не используются

2.8.3.13 Регистр EPC (Регистр 14 CP0, Select 0)

Программный счетчик исключения (EPC) является регистром, доступным для чтения и записи. EPC содержит адрес, начиная с которого возобновляется исполнение программы после завершения обработки исключения. Все биты регистра EPC значимы и должны перезаписываться.

Для синхронных (точных) исключений, EPC содержит одно из следующего:

- Виртуальный адрес команды, которая была прямой причиной исключения;

- Виртуальный адрес команды перехода (Branch или Jump), непосредственно предшествующей исключению, если команда, вызвавшая исключение, находится в слоте задержки перехода и установлен бит BD в регистре Cause.

Если установлен бит EXL в регистре Status, процессор не записывает адрес в регистр EPC при возникновении новых исключений. Однако, новое значение можно записать в EPC командой MTC0.

Формат регистра EPC

31	0
EPC	

Таблица 2.41. Описание полей регистра EPC

Поля		Описание	Чтение/ запись	Начальное со- стояние
Имя	Биты			
EPC	31:0	Программный счетчик исключения	R/W	Не определено

2.8.3.14 Регистр PRId (Регистр 15 CP0, Select 0)

Регистр идентификации процессора (PRId) – это 32-х разрядный регистр, доступный только для чтения. Он содержит информацию, идентифицирующую изготовителя, опции изготовителя, идентификацию процессора, и версию процессора.

Формат регистра PRId

31	24 23	16 15	8 7	0
R	Company ID	Processor ID	Revision	

Таблица 2.42. Описание полей регистра PRId

Поля		Описание	Чтение/ запись	Начальное со- стояние
Имя	Биты			
R		При чтении возвращается нуль	R	0
Company ID	23:16	Идентификация компании, которая проектировала или изготовляла процессор.	R	0x0A
Processor ID	15:8	Идентификация типа процессора.	R	0x20
Revision	7:0	Номер версии процессора. Позволяет программам различать разные версии одного типа процессора.	R	0x01

2.8.3.15 Регистр Config (Регистр 16 CP0, Select 0)

Регистр Config определяет различную конфигурационную информацию, а также информацию о возможностях процессора. Большинство полей регистра Config инициализируется аппаратно при выполнении исключения Reset или имеет постоянное значение, и только поле K0 должно быть проинициализировано программно обработчиком исключения Reset.

Формат регистра Config

31	30	28	27	25	24	21	20	19	18	17	16	15	14	13	12	10	9	7	6	3	2	0	
M	K23	KU		0	MDU	R	MM	BM	BE	AT	AR	MT		0	K0								

Таблица 2.43. Описание полей регистра Config

Поля		Описание	Чтение/ запись	Начальное со- стояние
Имя	Биты			
M	31	Этот бит аппаратно устанавливается в высокий уровень, указывая на наличие регистра Config1	R	1
K23	30:28	Это поле управляет кэшируемостью адресных сегментов kseg2 и kseg3 в режиме FM. В режиме TLB не используется. См. табл.2.33.	FM:R/W	FM:010
			TLB:R	TLB:000
KU	27:25	Это поле управляет кэшируемостью адресных сегментов kuseg и useg в режиме FM. В режиме TLB не используется. См. табл.2.33.	FM:R/W	FM:010
			TLB:R	TLB:000
0	24:21	Не используются	0	0
MDU	20	Тип MDU: итеративный умножитель и делитель	R	1
R	19	При чтении возвращается нуль	0	0
MM	18:17	Режим No Merging для 32 bit collapsing write buffer	R	0
BM	16	Тип передачи Burst: последовательный	R	0
BE	15	Режим endian: Little endian	R	0
AT	14:13	Тип архитектуры, реализованной процессором: MIPS32.	R	0
AR	12:10	Номер версии: 1	R	0
MT	9:7	Тип MMU: 1: Стандартный TLB (FM = 0) 3: Фиксированное отображение (FM = 1) 0, 2, 4-7: зарезервированы	R	TLB: 01
				FM: 11
R	6:3	При чтении возвращается нуль	0	0
K0	2:0	Алгоритм когерентности для kseg0, см. Таблица 2.29.	R/W	010

Таблица 2.44. Атрибуты когерентности кэш

Значение C[5:3]	
0, 1, 3*, 4, 5, 6	Кэшируемая, некогерентная область
2*, 7	Некэшируемая область
* - Архитектура MIPS32 предусматривает только эти два значения. Остальные значения не используются и отображаются в используемые значения. Например, 0, 1, 4, 5 и 6 отображаются в 3, а 7 – в 2.	

2.8.3.16 Регистр Config1 (Регистр 16 CP0, Select 1)

Регистр Config1 является дополнением к регистру Config и кодирует дополнительную информацию о возможностях процессора. Все поля регистра Config1 доступны только для чтения.

Формат регистра Config1

31	30	25	24	22	21	19	18	16	15	13	12	10	9	7	6	5	4	3	2	1	0
R	MMUSize	IS	IL	IA	DS	DL	DA	R	PC	WR	CA	EP	FP								

Таблица 2.45. Описание полей Config1 регистра

Поля		Описание	Чтение/ запись	Начальное со- стояние
Имя	Биты			
R	31	При чтении возвращается нуль	0	0
Размер MMU	30:25	Это поле содержит количество строк TLB минус 1. В режиме TLB возвращается код 15 в десятичном формате, в режиме Fixed Mapping – 0.	R	001111 (FM =0)
				000000 (FM =1)
IS	24:22	Количество наборов кэш команд: резервная опция	R	111
IL	21:19	Размер строки кэш команд: 16 байт	R	011
IA	18:16	Тип кэш команд: Direct mapped	R	0
DS	15:13	Нет кэш данных	R	0
DL	12:10	Нет кэш данных	R	0
DA	9:7	Нет кэш данных	R	0
R	6:5	При чтении возвращается нуль	0	0
PC	4	Нет регистра Performance Counter	R	0
WR	3	Нет регистра WATCH	R	0
CA	2	Не реализовано	R	0
EP	1	EJTAG не реализован	R	0
FP	0	Нет плавающей арифметики	R	0

2.8.3.17 Регистр LLAddr – Load Linked Address (Регистр 17 CP0, Select 0)

Регистр LLAddr содержит физический адрес последней команды Load Linked (LL). Этот регистр используется только для диагностических целей.

Формат LLAddr регистра

31	28	27	0
0	Paddr[31:4]		

Таблица 2.46. Описание полей LLAddr регистра

Поля		Описание	Чтение/ запись	Начальное со- стояние
Имя	Биты			
0	31:28	При чтении возвращается нуль	0	0
Paddr[31:4]	27:0	Физический адрес последней команды LL	R	Не определено

2.8.3.18 Регистр ErrorEPC (Регистр 30 CP0, Select 0)

Доступный для чтения и записи, регистр ErrorEPC полностью подобен регистру EPC, но используется при возникновении исключений ошибок. Все биты регистра ErrorEPC значимы и должны перезаписываться. Регистр ErrorEPC также используется для сохранения значения счетчика команд при возникновении исключений Reset и немаскируемого прерывании (NMI).

Регистр ErrorEPC содержит виртуальный адрес, начиная с которого может возобновиться исполнение программы после обработки ошибочной ситуации.

Этот адрес может быть:

- Виртуальным адресом команды, вызвавшей исключение;
- Виртуальным адресом команды перехода (Branch или Jump), непосредственно предшествующей исключению, если команда, вызвавшая ошибку, находится в слоте задержки перехода.

В отличие от регистра EPC, для регистра ErrorEPC не имеется соответствующего признака слота задержки перехода.

Формат регистра ErrorEPC

31	0
ErrorEPC	

Таблица 2.47. Описание полей регистра ErrorEPC

Поля		Описание	Чтение/ запись	Начальное со- стояние
Имя	Биты			
ErrorEPC	31:0	Счетчик команд при исключении ошибки	R/W	Не определен

Регистры WatchLo, WatchHi, Debug, DEPC, TagLo, DataLo, DeSave не реализованы

2.9 Кэш

CPU имеет кэш команд и кэш данных типа direct mapped объемом по 16 Кбайт. Кэш данных работает по протоколу write-through.

Кэш состоит из двух массивов – массива тэгов и массива данных. Кэш индексируется виртуально, поскольку для выбора соответствующей строки в обоих массивах используется виртуальный адрес. Это позволяет осуществлять доступ к кэш параллельно с преобразованием виртуального адреса в физический. Контроль осуществляется по физическому тэгу, так-так массив тэгов содержит физический, а не виртуальный адрес.

На Рисунок 2.25 представлен формат каждой строки массивов тэгов и данных. Тэговая строка содержит 20 старших бита физического адреса (биты [31:12]) и бит валидности.

Строка данных содержит 4 32-х разрядных слова – всего 16 байт. До получения всей строки кэш конвейер останавливается.

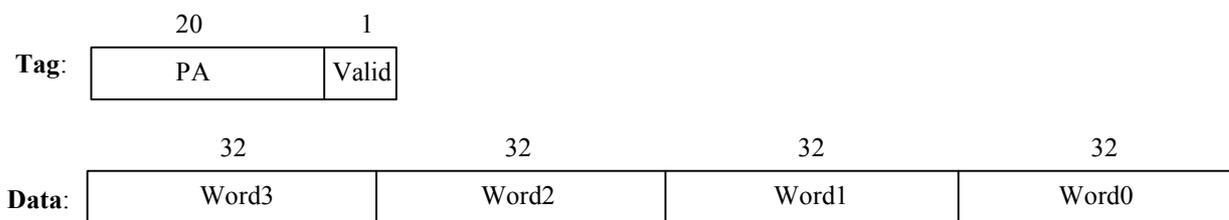


Рисунок 2.25 Формат массива кэш

Кэш имеет только два атрибута кэшируемости. Область может быть либо кэшируемой, либо некэшируемой (см. Таблица 2.44).

2.10 Карта памяти CPU

Карта физической памяти CPU приведена в Таблица 2.48. Здесь и далее, если это не оговорено специально, коды адреса и данных указаны в шестнадцатеричной системе счисления. Объемы областей памяти указаны с учетом ее дальнейшего расширения.

Таблица 2.48. Карта физической памяти CPU

Диапазон адресов	Название области	Объем области, Мбайт
FFFF_FFFF 2000_0000	Внешняя память	3584
1FFF_FFFF 1C00_0000	Внешняя память (как правило, постоянное запоминающее устройство - ПЗУ)	64
1BFF_FFFF 1800_0000	Внутренняя память	64
17FF_FFFF 0000_0000	Внешняя память	384

Внешняя память доступна через порт внешней памяти общего назначения (MPORT).

Для CPU все адресное пространство памяти является 32-разрядным. Память SRAM, а также внешняя память, могут адресоваться с точностью до байта.

Карта внутренней памяти микросхемы приведена в Таблица 2.49.

Таблица 2.49. Карта внутренней памяти

Диапазон адресов	Название области
1BFF_FFFF 1830_0000	Резерв
182F_FFFF 182F_0000	Регистры CPU
182E_FFFF 1802_0000	Резерв
1801_FFFF 1800_0000	Память SRAM

Перечень программно доступных регистров для CPU приведен в Таблица 2.50.

Таблица 2.50

Условное обозначение регистра	Название регистра	Адрес регистра
<u>Регистры DMA MEM_CH0</u>		
CSR_MEM_CH00	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0000
CP_MEM_CH00	Регистр указателя цепочки	182F_0004
IR0_MEM_CH00	Регистр индекса 0	182F_0008
IR1_MEM_CH00	Регистр индекса 1	182F_000C
OR_MEM_CH00	Регистр смещений	182F_0010
Y_MEM_CH00	Регистр параметров направления Y при двухмерной адресации	182F_0014
RUN_MEM_CH00	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH00 На чтение: Регистр управления и состояния канала MEM_CH0 без сброса битов "END" и "DONE"	182F_0018
CSR_MEM_CH01	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0080
CP_MEM_CH01	Регистр указателя цепочки	182F_0084
IR0_MEM_CH01	Регистр индекса 0	182F_0088
IR1_MEM_CH01	Регистр индекса 1	182F_008C
OR_MEM_CH01	Регистр смещений	182F_0090
Y_MEM_CH01	Регистр параметров направления Y при двухмерной адресации канала	182F_0094
RUN_MEM_CH01	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH01 На чтение: Регистр управления и состояния канала MEM_CH1 без сброса битов "END" и "DONE"	182F_0098
CSR_MEM_CH02	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0100
CP_MEM_CH02	Регистр указателя цепочки	182F_0104
IR0_MEM_CH02	Регистр индекса 0	182F_0108
IR1_MEM_CH02	Регистр индекса 1	182F_010C
OR_MEM_CH02	Регистр смещений канала MEM_CH2	182F_0110
Y_MEM_CH02	Регистр параметров направления Y при двухмерной адресации канала MEM_CH2	182F_0114
RUN_MEM_CH02	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH02 На чтение: Регистр управления и состояния канала MEM_CH2 без сброса битов "END" и "DONE"	182F_0118
CSR_MEM_CH03	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0180
CP_MEM_CH03	Регистр указателя цепочки	182F_0184
IR0_MEM_CH03	Регистр индекса 0	182F_0188
IR1_MEM_CH03	Регистр индекса 1	182F_018C
OR_MEM_CH03	Регистр смещений	182F_0190
Y_MEM_CH03	Регистр параметров направления Y при двухмерной адресации	182F_0194
RUN_MEM_CH03	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH03 На чтение: Регистр управления и состояния канала MEM_CH3 без сброса битов "END" и "DONE"	182F_0198
<u>Регистры DMA MEM_CH1</u>		
CSR_MEM_CH10	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0400

Условное обозначение регистра	Название регистра	Адрес регистра
CP_MEM_CH0	Регистр указателя цепочки	182F_0404
IR0_MEM_CH10	Регистр индекса 0	182F_0408
IR1_MEM_CH10	Регистр индекса 1	182F_040C
OR_MEM_CH10	Регистр смещений	182F_0410
Y_MEM_CH10	Регистр параметров направления Y при двухмерной адресации	182F_0414
RUN_MEM_CH10	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH10 На чтение: Регистр управления и состояния канала MEM_CH0 без сброса битов "END" и "DONE"	182F_0418
CSR_MEM_CH11	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0480
CP_MEM_CH11	Регистр указателя цепочки	182F_0484
IR0_MEM_CH11	Регистр индекса 0	182F_0488
IR1_MEM_CH11	Регистр индекса 1	182F_048C
OR_MEM_CH11	Регистр смещений	182F_0490
Y_MEM_CH11	Регистр параметров направления Y при двухмерной адресации канала	182F_0494
RUN_MEM_CH11	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH11 На чтение: Регистр управления и состояния канала MEM_CH1 без сброса битов "END" и "DONE"	182F_0498
CSR_MEM_CH12	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0500
CP_MEM_CH12	Регистр указателя цепочки	182F_0504
IR0_MEM_CH12	Регистр индекса 0	182F_0508
IR1_MEM_CH12	Регистр индекса 1	182F_050C
OR_MEM_CH12	Регистр смещений канала MEM_CH2	182F_0510
Y_MEM_CH12	Регистр параметров направления Y при двухмерной адресации канала MEM_CH2	182F_0514
RUN_MEM_CH12	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH12 На чтение: Регистр управления и состояния канала MEM_CH2 без сброса битов "END" и "DONE"	182F_0518
CSR_MEM_CH13	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0580
CP_MEM_CH13	Регистр указателя цепочки	182F_0584
IR0_MEM_CH13	Регистр индекса 0	182F_0588
IR1_MEM_CH13	Регистр индекса 1	182F_058C
OR_MEM_CH13	Регистр смещений	182F_0590
Y_MEM_CH13	Регистр параметров направления Y при двухмерной адресации	182F_0594
RUN_MEM_CH13	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH13 На чтение: Регистр управления и состояния канала MEM_CH3 без сброса битов "END" и "DONE"	182F_0598
Регистры DMA MFBSP_TX_CH0		
CSR_MFBSP_TX_CH0	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_8800
CP_MFBSP_TX_CH0	Регистр указателя цепочки	182F_8804
IR_MFBSP_TX_CH0	Регистр индекса	182F_8808
RUN_MFBSP_TX_CH0	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_880C

Условное обозначение регистра	Название регистра	Адрес регистра
<u>Регистры DMA MFBSP_RX_CH0</u>		
CSR_MFBSP_RX_CH0	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_8840
CP_MFBSP_RX_CH0	Регистр указателя цепочки	182F_8844
IR_MFBSP_RX_CH0	Регистр индекса	182F_8848
RUN_MFBSP_RX_CH0	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_884C
<u>Регистры DMA MFBSP_TX_CH1</u>		
CSR_MFBSP_TX_CH1	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_9800
CP_MFBSP_TX_CH1	Регистр указателя цепочки	182F_9804
IR_MFBSP_TX_CH1	Регистр индекса	182F_9808
RUN_MFBSP_TX_CH1	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_980C
<u>Регистры DMA MFBSP_RX_CH1</u>		
CSR_MFBSP_RX_CH1	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_9840
CP_MFBSP_RX_CH1	Регистр указателя цепочки	182F_9844
IR_MFBSP_RX_CH1	Регистр индекса	182F_9848
RUN_MFBSP_RX_CH1	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_984C
<u>Регистры DMA SWIC0</u>		
Канал записи в память дескрипторов принимаемых пакетов		
CSR_SWIC_RX_DES0	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_C800
CP_SWIC_RX_DES0	Регистр указателя цепочки	182F_C804
IR_SWIC_RX_DES0	Регистр индекса	182F_C808
RUN_SWIC_RX_DES0	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_C80C
Канал записи в память принимаемых слов данных		
CSR_SWIC_RX_DAT0	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_C840
CP_SWIC_RX_DAT0	Регистр указателя цепочки	182F_C844
IR_SWIC_RX_DAT0	Регистр индекса	182F_C848
RUN_SWIC_RX_DAT0	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_C84C
Канал чтения из памяти дескрипторов передаваемых пакетов		
CSR_SWIC_TX_DES0	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_C880
CP_SWIC_TX_DES0	Регистр указателя цепочки	182F_C884
IR_SWIC_TX_DES0	Регистр индекса	182F_C888
RUN_SWIC_TX_DES0	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_C88C

Условное обозначение регистра	Название регистра	Адрес регистра
<u>Канал чтения из памяти передаваемых слов данных</u>		
CSR_SWIC_TX_DAT0	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_C8C0
CP_SWIC_TX_DAT0	Регистр указателя цепочки	182F_C8C4
IR_SWIC_TX_DAT0	Регистр индекса	182F_C8C8
RUN_SWIC_TX_DAT0	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_C8CC
<u>Регистры DMA SWIC1</u>		
<u>Канал записи в память дескрипторов принимаемых пакетов</u>		
CSR_SWIC_RX_DES1	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_D800
CP_SWIC_RX_DES1	Регистр указателя цепочки	182F_D804
IR_SWIC_RX_DES1	Регистр индекса	182F_D808
RUN_SWIC_RX_DES1	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_D80C
<u>Канал записи в память принимаемых слов данных</u>		
CSR_SWIC_RX_DAT1	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_D840
CP_SWIC_RX_DAT1	Регистр указателя цепочки	182F_D844
IR_SWIC_RX_DAT1	Регистр индекса	182F_D848
RUN_SWIC_RX_DAT1	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_D84C
<u>Канал чтения из памяти дескрипторов передаваемых пакетов</u>		
CSR_SWIC_TX_DES1	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_D880
CP_SWIC_TX_DES1	Регистр указателя цепочки	182F_D884
IR_SWIC_TX_DES1	Регистр индекса	182F_D888
RUN_SWIC_TX_DES1	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_D88C
<u>Канал чтения из памяти передаваемых слов данных</u>		
CSR_SWIC_TX_DAT1	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_D8C0
CP_SWIC_TX_DAT1	Регистр указателя цепочки	182F_D8C4
IR_SWIC_TX_DAT1	Регистр индекса	182F_D8C8
RUN_SWIC_TX_DAT1	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_D8CC
<u>Регистры DMA GSW_RX_DES_CH0</u>		
CSR_GSW_RX_DES0	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_E800
CP_GSW_RX_DES0	Регистр указателя цепочки	182F_E804
IR_GSW_RX_DES0	Регистр индекса	182F_E808
RUN_GSW_RX_DES0	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_E80C
<u>Регистры DMA GSW_RX_DAT_CH0</u>		

Условное обозначение регистра	Название регистра	Адрес регистра
CSR_GSW_RX_DAT0	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_E840
CP_GSW_RX_DAT0	Регистр указателя цепочки	182F_E844
IR_GSW_RX_DAT0	Регистр индекса	182F_E848
RUN_GSW_RX_DAT0	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_E84C
<u>Регистры DMA GSW_TX_DES_CH0</u>		
CSR_GSW_TX_DES0	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_E880
CP_GSW_TX_DES0	Регистр указателя цепочки	182F_E884
IR_GSW_TX_DES0	Регистр индекса	182F_E888
RUN_GSW_TX_DES0	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_E88C
<u>Регистры DMA GSW_TX_DAT_CH0</u>		
CSR_GSW_TX_DAT0	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_E8C0
CP_GSW_TX_DAT0	Регистр указателя цепочки	182F_E8C4
IR_GSW_TX_DAT0	Регистр индекса	182F_E8C8
<u>Регистры DMA GSW_RX_DES_CH1</u>		
CSR_GSW_RX_DES1	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_F800
CP_GSW_RX_DES1	Регистр указателя цепочки	182F_F804
IR_GSW_RX_DES1	Регистр индекса	182F_F808
RUN_GSW_RX_DES1	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_F80C
<u>Регистры DMA GSW_RX_DAT_CH1</u>		
CSR_GSW_RX_DAT1	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_F840
CP_GSW_RX_DAT1	Регистр указателя цепочки	182F_F844
IR_GSW_RX_DAT1	Регистр индекса	182F_F848
RUN_GSW_RX_DAT1	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_F84C
<u>Регистры DMA GSW_TX_DES_CH1</u>		
CSR_GSW_TX_DES1	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_F880
CP_GSW_TX_DES1	Регистр указателя цепочки	182F_F884
IR_GSW_TX_DES1	Регистр индекса	182F_F888
RUN_GSW_TX_DES1	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_F88C
<u>Регистры DMA GSW_TX_DAT_CH1</u>		
CSR_GSW_TX_DAT1	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_F8C0

Условное обозначение регистра	Название регистра	Адрес регистра
CP_GSW_TX_DAT1	Регистр указателя цепочки	182F_F8C4
IR_GSW_TX_DAT1	Регистр индекса	182F_F8C8
RUN_GSW_TX_DAT1	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_F8CC
<u>Регистры контроллера SWIC0</u>		
HW_VER0	Регистр аппаратной версии контроллера	182F_C000
STATUS0	Регистр состояния	182F_C004
RX_CODE0	Регистр принятого управляющего символа	182F_C008
MODE_CR0	Регистр управления режимом работы	182F_C00C
TX_SPEED0	Регистр управления скоростью передачи	182F_C010
TX_CODE0	Регистр передаваемого управляющего символа	182F_C014
RX_SPEED0	Регистр измерителя скорости приема	182F_C018
CNT_RX0_PACK0	Регистр счетчика принятых пакетов нулевой длины	182F_C01C
CNT_RX_PACK0	Регистр счетчика принятых пакетов ненулевой длины	182F_C020
ISR_L0	Регистр кодов распределенных прерываний (младшая часть)	182F_C024
ISR_H0	Регистр кодов распределенных прерываний (старшая часть)	182F_C028
TRUE_TIME0	Регистр достоверного маркера времени	182F_C02C
TOUT_CODE0	Регистр размера таймаутов	182F_C030
ISR_tout_L0	Младшие разряды регистра флагов таймаутов ISR	182F_C034
ISR_tout_H0	Старшие разряды регистра флагов таймаутов ISR	182F_C038
LOG_ADDR0	Регистр логического адреса	182F_C03C
<u>Регистры контроллера SWIC1</u>		
HW_VER1	Регистр аппаратной версии контроллера	182F_D000
STATUS1	Регистр состояния	182F_D004
RX_CODE1	Регистр принятого управляющего символа	182F_D008
MODE_CR1	Регистр управления режимом работы	182F_D00C
TX_SPEED1	Регистр управления скоростью передачи	182F_D010
TX_CODE1	Регистр передаваемого управляющего символа	182F_D014
RX_SPEED1	Регистр измерителя скорости приема	182F_D018
CNT_RX0_PACK1	Регистр счетчика принятых пакетов нулевой длины	182F_D01C
CNT_RX_PACK1	Регистр счетчика принятых пакетов ненулевой длины	182F_D020
ISR_L1	Регистр кодов распределенных прерываний (младшая часть)	182F_D024
ISR_H1	Регистр кодов распределенных прерываний (старшая часть)	182F_D028
TRUE_TIME1	Регистр достоверного маркера времени	182F_D02C
TOUT_CODE1	Регистр размера таймаутов	182F_D030
ISR_tout_L1	Младшие разряды регистра флагов таймаутов ISR	182F_D034
ISR_tout_H1	Старшие разряды регистра флагов таймаутов ISR	182F_D038
LOG_ADDR1	Регистр логического адреса	182F_D03C
<u>Регистры контроллера GSWIC0</u>		
HW_VER	Номер версии контроллера	182F_E000
STATUS	Регистр состояния	182F_E004
RX_CODE	Регистр управляющего символа, принятого из сети (маркера времени, кода распределенного прерывания, кода подтверждения распределенного прерывания или кода CC11 – управляющего кода SpaceWire, назначение которого в текущей версии стандарта не определено)	182F_E008
MODE_CR	Регистр режима работы	182F_E00C
TX_CONTROL	Регистр управления параметрами передачи	182F_E010
TX_CODE	Регистр управляющего символа (маркера времени, кода	182F_E014

Условное обозначение регистра	Название регистра	Адрес регистра
	распределенного прерывания, кода подтверждения, кода CC11) для передачи в сеть	
CNT_RX_PACK	Регистр счетчика принятых пакетов ненулевой длины	182F_E020
ISR_L	Младшие разряды регистра ISR (Interrupt Status Register)	182F_E024
ISR_H	Старшие разряды регистра ISR (Interrupt Status Register)	182F_E028
TRUE_TIME	Регистр, содержащий значение последнего правильного маркера времени	182F_E02C
TOUT_CODE	Регистр размера таймаутов	182F_E030
ISR_tout_L	Младшие разряды регистра флагов таймаутов ISR	182F_E034
ISR_tout_H	Старшие разряды регистра флагов таймаутов ISR	182F_E038
LOG_ADDR	Регистр логического адреса	182F_E03C
PMA_STATUS	Регистр состояния PMA	182F_E040
PMA_MODE	Регистр режима PMA	182F_E044
PMA_TX_LB	Регистр режима LOOPBACK PMA_TX	182F_E080
PMA_RX_LB	Регистр режима LOOPBACK PMA_RX	182F_E084
<u>Регистры контроллера GSWIC1</u>		
HW_VER	Номер версии контроллера	182F_F000
STATUS	Регистр состояния	182F_F004
RX_CODE	Регистр управляющего символа, принятого из сети (маркера времени, кода распределенного прерывания, кода подтверждения распределенного прерывания или кода CC11 – управляющего кода SpaceWire, назначение которого в текущей версии стандарта не определено)	182F_F008
MODE_CR	Регистр режима работы	182F_F00C
TX_CONTROL	Регистр управления параметрами передачи	182F_F010
TX_CODE	Регистр управляющего символа (маркера времени, кода распределенного прерывания, кода подтверждения, кода CC11) для передачи в сеть	182F_F014
CNT_RX_PACK	Регистр счетчика принятых пакетов ненулевой длины	182F_F020
ISR_L	Младшие разряды регистра ISR (Interrupt Status Register)	182F_F024
ISR_H	Старшие разряды регистра ISR (Interrupt Status Register)	182F_F028
TRUE_TIME	Регистр, содержащий значение последнего правильного маркера времени	182F_F02C
TOUT_CODE	Регистр размера таймаутов	182F_F030
ISR_tout_L	Младшие разряды регистра флагов таймаутов ISR	182F_F034
ISR_tout_H	Старшие разряды регистра флагов таймаутов ISR	182F_F038
LOG_ADDR	Регистр логического адреса	182F_F03C
PMA_STATUS	Регистр состояния PMA	182F_F040
PMA_MODE	Регистр режима PMA	182F_F044
PMA_TX_LB	Регистр режима LOOPBACK PMA_TX	182F_F080
PMA_RX_LB	Регистр режима LOOPBACK PMA_RX	182F_F084
<u>Регистры MFBSP0</u>		
TX_MFBSP0	Буфер передачи данных	182F_8000
RX_MFBSP0	Буфер приёма данных	182F_8000
CSR_MFBSP0	Регистр управления и состояния	182F_8004
DIR_MFBSP0	Регистр управления направлением выводов порта ввода-вывода	182F_8008
GPIO_DR0	Регистр данных порта ввода-вывода	182F_800C
TCTR0	Регистр управления передатчиком	182F_8010
RCTR0	Регистр управления приёмником	182F_8014
TSR0	Регистр состояния передатчика	182F_8018
RSR0	Регистр состояния приёмника	182F_801C
TCTR_RATE0	Регистр управления темпом передачи данных	182F_8020
RCTR_RATE0	Регистр управления темпом приёма данных	182F_8024
TSTART0	псевдорегистр ten – запуск/останов передатчика без изменения настроек передатчика	182F_8028

Условное обозначение регистра	Название регистра	Адрес регистра
RSTART0	псевдорегистр gen – запуск/останов приемника без изменения настроек приемника	182F_802C
EMERG_MFBSP0	Регистр аварийного управления портом	182F_8030
IMASK_MFBSP0	Регистр маски прерываний от порта	182F_8034
<u>Регистры MFBSP1</u>		
TX_MFBSP1	Буфер передачи данных	182F_9000
RX_MFBSP1	Буфер приёма данных	182F_9000
CSR_MFBSP1	Регистр управления и состояния	182F_9004
DIR_MFBSP1	Регистр управления направлением выводов порта ввода-вывода	182F_9008
GPIO_DR1	Регистр данных порта ввода-вывода	182F_900C
TCTR1	Регистр управления передатчиком	182F_9010
RCTR1	Регистр управления приёмником	182F_9014
TSR1	Регистр состояния передатчика	182F_9018
RSR1	Регистр состояния приёмника	182F_901C
TCTR_RATE1	Регистр управления темпом передачи данных	182F_9020
RCTR_RATE1	Регистр управления темпом приёма данных	182F_9024
TSTART1	псевдорегистр gen – запуск/останов передатчика без изменения настроек передатчика	182F_9028
RSTART1	псевдорегистр gen – запуск/останов приемника без изменения настроек приемника	182F_902C
EMERG_MFBSP1	Регистр аварийного управления портом	182F_9030
<u>Регистры UART0</u>		
RBR	Приемный буферный регистр	182F_3000
THR	Передающий буферный регистр	182F_3000
IER	Регистр разрешения прерываний	182F_3004
IIR	Регистр идентификации прерывания	182F_3008
FCR	Регистр управления FIFO	182F_3008
LCR	Регистр управления линией	182F_300C
MCR	Регистр управления модемом	182F_3010
LSR	Регистр состояния линии	182F_3014
SPR	Регистр Scratch Pad	182F_301C
DLL	Регистр делителя младший	182F_3000
DLM	Регистр делителя старший	182F_3004
SCLR	Регистр предделителя (scaler)	182F_3014
<u>Регистры UART1</u>		
RBR	Приемный буферный регистр	182F_3400
THR	Передающий буферный регистр	182F_3400
IER	Регистр разрешения прерываний	182F_3404
IIR	Регистр идентификации прерывания	182F_3408
FCR	Регистр управления FIFO	182F_3408
LCR	Регистр управления линией	182F_340C
MCR	Регистр управления модемом	182F_3410
LSR	Регистр состояния линии	182F_3414
SPR	Регистр Scratch Pad	182F_341C
DLL	Регистр делителя младший	182F_3400
DLM	Регистр делителя старший	182F_3404
SCLR	Регистр предделителя (scaler)	182F_3414
<u>Регистры ITO</u>		
ITCSR	Регистр управления	182F_5020
ITPERIOD	Регистр периода работы таймера	182F_5024
ITCOUNT	Регистр счетчика	182F_5028

Условное обозначение регистра	Название регистра	Адрес регистра
ITSCALE	Регистр предделителя	182F_502C
<u>Регистры WDT</u>		
WTCSR	Регистр управления	182F_5010
WTPERIOD	Регистр периода работы таймера	182F_5014
WTCOUNT	Регистр счетчика	182F_5018
WTSCALE	Регистр предделителя	182F_501C
<u>Регистры IT1</u>		
ITCSR	Регистр управления	182F_5000
ITPERIOD	Регистр периода работы таймера	182F_5004
ITCOUNT	Регистр счетчика	182F_5008
ITSCALE	Регистр предделителя	182F_500C
<u>Регистры MPORT</u>		
CSCON0	Регистр конфигурации блока внешней памяти, подключаемого к выводу nCS[0]	182F_1000
CSCON1	Регистр конфигурации блока внешней памяти, подключаемого к выводу nCS[1]	182F_1004
CSCON2	Регистр конфигурации блока внешней памяти, подключаемого к выводу nCS[2]	182F_1008
CSCON3	Регистр конфигурации блока внешней памяти, подключаемого к выводу nCS[3]	182F_100C
CSCON4	Регистр конфигурации внешней памяти, не вошедшей в блоки памяти, определяемые регистрами CSCON3 - CSCON0	182F_1010
SDRCON	Регистр конфигурации типа SDRAM	182F_1014
SDRTMR	Регистр временных параметров памяти типа SDRAM	182F_1018
SDRCSR	Регистр управления режимами памяти типа SDRAM	182F_101C
CSR_EXT	Регистр управления режимами контроля внешней памяти	182F_1024
AERROR_EXT	Регистр ошибок внешней памяти	182F_1028
NRFTMR	Регистр параметров NOR FLASH	182F_102C
NDFPSR	Регистр параметров и состояния памяти NAND FLASH	182F_1030
NDFTMW	Регистр параметров записи NAND FLASH	182F_1034
NDFTMR	Регистр параметров чтения NAND FLASH	182F_1038
NDFWPR	Регистр защиты памяти NAND FLASH	182F_103C
<u>Системные регистры</u>		
CR_PLL	Регистр управления PLL	182F_4000
CLK_EN	Регистр управления отключением частоты от устройств	182F_4004
CSR	Регистр управления и состояния	182F_4008
MASKR0	Регистр маски прерываний из регистра QSTR0	182F-4010
QSTR0	Регистр запросов прерываний от IT0, IT1, WDT, UART0, UART1, nIRQ[3:0]	182F-4014
MASKR1	Регистр маски прерываний из регистра QSTR1	182F-4018
QSTR1	Регистр запросов прерываний от каналов DMA MEM_CH0, MEM_CH1	182F-401C
MASKR2	Регистр маски прерываний из регистра QSTR2	182F-4020
QSTR2	Регистр запросов прерываний от GSWIC0, GSWIC1, SWIC0, SWIC1	182F-4024
MASKR3	Регистр маски прерываний из регистра QSTR3	182F-4028
QSTR3	Регистр запросов прерываний от контроля кодом Хэмминга	182F-402C
MASKR4	Регистр маски прерываний из регистра QSTR4	182F-4038
QSTR4	Регистр запросов прерываний от MFBSP0, MFBSP1	182F-403C
IRQM	Регистр управления режимом приема внешних прерываний nIRQ[3:0]	182F-4030

Условное обозначение регистра	Название регистра	Адрес регистра
<u>Регистры контроля Хэммингом внутренней памяти</u>		
CSR_CRAM0A	Регистр управления и состояния CRAM0A	182F_4400
AERROR_CRAM0A	FIFO ошибочных адресов CRAM0A	182F_4404
CSR_CRAM0B	Регистр управления и состояния CRAM0B	182F_4408
AERROR_CRAM0B	FIFO ошибочных адресов CRAM0B	182F_440C
CSR_CRAM1A	Регистр управления и состояния CRAM1A	182F_4410
AERROR_CRAM1A	FIFO ошибочных адресов CRAM1A	182F_4414
CSR_CRAM1B	Регистр управления и состояния CRAM1B	182F_4418
AERROR_CRAM1B	FIFO ошибочных адресов CRAM1B	182F_441C
CSR_CRAM2A	Регистр управления и состояния CRAM2A	182F_4420
AERROR_CRAM2A	FIFO ошибочных адресов CRAM2A	182F_4424
CSR_CRAM2B	Регистр управления и состояния CRAM2B	182F_4428
AERROR_CRAM2B	FIFO ошибочных адресов CRAM2B	182F_442C
CSR_CRAM3A	Регистр управления и состояния CRAM3A	182F_4430
AERROR_CRAM3A	FIFO ошибочных адресов CRAM3A	182F_4434
CSR_CRAM3B	Регистр управления и состояния CRAM3B	182F_4438
AERROR_CRAM3B	FIFO ошибочных адресов CRAM3B	182F_443C
CSR_ICACHE	Регистр управления и состояния ICACHE	182F_4800
AERROR_ICACHE	FIFO ошибочных адресов ICACHE	182F_4804
CSR_DCACHE	Регистр управления и состояния DCACHE	182F_4C00
AERROR_DCACHE	FIFO ошибочных адресов DCACHE	182F_4C04

3. СИСТЕМНОЕ УПРАВЛЕНИЕ

3.1 Система синхронизации

3.1.1 Входы синхронизации и умножители частоты

Микросхема имеет следующие входы синхронизации:

- ХТІ - частота 10 МГц для синхронизации всех умножителей частоты микросхемы;
- RTCХТІ - частота 32 КГц для таймера реального времени;
- ХТІ125 – частота 125 МГц для синхронизации приемопередатчиков GSWIC (частота передачи кодовых групп).

Для синхронизации работы узлов микросхемы используются умножители частоты на основе схемы фазовой автоподстройки частоты (PLL). Имеются следующие умножители частоты:

- PLL_CORE – генерирует тактовую частоту для работы CPU, UART, IT, WDT, коммутатора AXI, системной части всех устройств микросхемы;
- PLL_MPORT – генерирует тактовую частоту для работы входных и выходных каскадов MPORT, а также для формирования выходной тактовой частоты SCLK для работы памяти типа SDRAM, подключенной к MPORT;
- PLL_TX_SWIC0, PLL_TX_SWIC1 – формирует тактовую частоту для передачи последовательного кода из контроллеров SWIC0, SWIC1 соответственно, в сеть SpaceWire.

Частота, поступающая на вход, ХТІ делится на 2 и далее поступает на входы всех PLL.

3.1.2 Управление работой PLL

Управление работой PLL осуществляется при помощи регистра CR_PLL, формат которого приведен в Таблица 3.1.

Таблица 3.1. Формат регистра CR_PLL

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	-	Не используется	-	0
15	PLL_MPORT_EN	Режим работы PLL_MPORT: 1 - PLL_MPORT включена; 0 – PLL_MPORT выключена. На ее выход поступает частота ХТІ, деленная на 2	-	0
14:8	SEL_PLL_MPORT[6:0]	Коэффициент умножения/деления входной частоты PLL_MPORT (частота ХТІ, деленная на 2): 00 – 1/16; 01 – 1; 02 – 2; 03 – 3; ... 7E – 126; 7F – 127.	R/W	1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7	PLL_CORE_EN	Режим работы PLL_CORE: 1 - PLL_CORE включена; 0 – PLL_CORE выключена. На ее выход поступает частота XTI, деленная на 2	-	0
6:0	SEL_PLL_CORE[6:0]	Коэффициент умножения/деления входной частоты PLL_CORE (частота XTI, деленная на 2): 00 – 1/16; 01 – 1 02 – 2; 03 – 3; ... 7E – 126; 7F – 127.	R/W	1

Номерация разрядов всех регистров соответствует нумерации разрядов памяти CPU. Если разряды регистров доступны только по записи или не используются (резерв), то при чтении из них считываются нули. Если разряды регистров доступны только по чтению или не используются, то при записи в них необходимо указывать нули.

3.1.3 Отключение и включение тактовой частоты

В данной микросхеме имеется два режима энергосбережения:

- уменьшение тактовой частоты работы устройств;
- отключение тактовой частоты работы устройств.

Уменьшение тактовой частоты устройств выполняется при записи необходимого кода в поле SEL_PLL регистра CR_PLL. При этом значение тактовой частоты изменится через время не более чем 2 мс.

Отключение тактовой частоты от устройств выполняется при помощи регистра CLK_EN, формат которого приведен в Таблица 3.2.

Таблица 3.2. Формат регистра CLK_EN

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:28	-	Не используется	-	0
27:26	CLKEN_GSWIC[1:0]	Управление включением тактовой частоты GSWIC[1:0], поступающей от PLL_CORE: 1 – частота включена; 0 – частота выключена	R/W	0
25:24	CLKEN_SWIC[1:0]	Управление включением тактовой частоты SWIC[1:0], поступающей от PLL_CORE: 1 – частота включена; 0 – частота выключена	R/W	0
23:14	-	Не используется	-	0
13:12	CLKEN_DMA[1:0]	Управление включением тактовой частоты DMA MEM_CH[1:0], поступающей от PLL_CORE: 1 – частота включена; 0 – частота выключена	R/W	0
11:10	-	Не используется	-	0
9:8	CLKEN_MFBSP[1:0]	Управление включением тактовой частоты MFBSP[1:0], поступающей от PLL_CORE: 1 – частота включена; 0 – частота выключена	R/W	0
7:1	-	Не используется	-	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
0	CLKEN_CORE	Управление включением тактовой частоты, поступающей от PLL_CORE и PLL_MPORT: 1 – частота включена; 0 – частота выключена. Частота включается по любому внешнему прерыванию	R/W	1

При CLKEN_CORE = 1:

- частота от PLL_CORE всегда поступает на CPU, UART, IT0, IT1, WDT, коммутатор AXI Switch и системную часть всех устройств микросхемы;
- частота от PLL_MPORT поступает на MPORT и формируется выходная частота SCLK;
- частота от PLL_CORE поступающая на DMA, MFBSP, SWIC, GSWIC, может быть отключена, при помощи соответствующего разряда регистра CLK_EN.

Устройство, входная частота которого отключается, должно быть в неактивном состоянии. Все передачи данных, выполняемые им, должны быть завершены.

Отключение внутренней тактовой частоты ядра микросхемы, должно выполняться следующим образом:

- программа CPU должна выполняться из кэш программ или из внутренней памяти CRAM;
- DMA, все контроллеры и порты переводятся в неактивное состояние. Все передачи данных должны быть завершены;
- записать 1 в разряд SREF регистра SDRCSR MPORT. По данной операции SDRAM переводится в режим саморегенерации;
- произвести запись 0 в разряд CLKEN_CORE регистра CLK_EN. По этой операции внутренняя тактовая частота ядра микросхемы отключается. За этой командой должна стоять команда NOP.

Включение внутренней тактовой частоты осуществляется по любому внешнему прерыванию nIRQ[3:0] или NMI. Обработка исключения по данным прерываниям в этом случае должна выполняться следующим образом:

- записать 1 в разряд EXIT регистра SDRCSR MPORT. По данной операции SDRAM выводится из режима саморегенерации;
- выполнить 10 команд NOP.

3.2 Контроллер прерываний

Все сигналы внутренних и внешних прерываний поступают на входы псевдорегистров. Эти регистры не имеют элементов памяти и доступны только по чтению.

Каждый разряд регистров QSTR содержит запрос прерывания от внутренних узлов микросхемы и от внешних сигналов прерывания nIRQ[3:0] в не зависимости от состояния соответствующих разрядов регистров MASKR:

0 – нет запроса;

1 – есть запрос.

Сигналы внутренних прерываний формируются в соответствующих устройствах при выполнении определенных условий. В процессе обслуживания прерывания необходимо проанализировать состояние устройства для определения причины его возникновения. Сброс прерывания осуществляется в момент исключения причины возникновения дан-

ного прерывания. Например, прерывание от LPORT сбрасывается при записи данных в буфер LTx или при чтении данных из буфера LRx.

Все незамаскированные прерывания объединяются по «или» и поступают в поле IP[7:2] регистр Cause CPU.

Исходное состояние регистров QSTR – нули.

Каждое внутреннее прерывание можно замаскировать. Для этого имеются регистры маски MASKR0 – MASK4 форматы которых аналогичны форматам соответствующих регистров QSTR0 – QSTR4. Исходное состояние регистров маски – нули (все прерывания запрещены). Регистры маски доступны по записи и чтению.

Форматы регистров QSTR приведены в Таблица 3.3 - Таблица 3.7.

Таблица 3.3. Формат регистра QSTR0

Номер разряда	Условное обозначение прерывания	Название прерывания
31:23	-	Не используется
22	IT1	Прерывание от таймера IT1
21	IT0	Прерывание от таймера IT0
20	WDT	Прерывание от таймера WDT
19:6	-	Не используется
5	UART1	Прерывание от UART1
4	UART0	Прерывание от UART0
3	IRQ3	Внешнее прерывание nIRQ[3]
2	IRQ2	Внешнее прерывание nIRQ[2]
1	IRQ1	Внешнее прерывание nIRQ[1]
0	IRQ0	Внешнее прерывание nIRQ[0]

Таблица 3.4. Формат регистра QSTR1

Номер разряда	Условное обозначение прерывания	Название прерывания
31:12	-	Не используется
11	MEM_CH13	Прерывание от канала DMA MEM_CH13
	...	
8	MEM_CH10	Прерывание от канала DMA MEM_CH10
7:4	-	Не используется
3	MEM_CH03	Прерывание от канала DMA MEM_CH03
	...	
0	MEM_CH00	Прерывание от канала DMA MEM_CH00

Таблица 3.5. Формат регистра QSTR2

Номер разряда	Условное обозначение прерывания	Название прерывания
31	GSW_TX_DAT_CH1	Прерывание от канала DMA GSW_TX_DAT_CH1
30	GSW_TX_DES_CH1	Прерывание от канала DMA GSW_TX_DES_CH1
29	GSW_RX_DAT_CH1	Прерывание от канала DMA GSW_RX_DAT_CH1
28	GSW_RX_DES_CH1	Прерывание от канала DMA GSW_RX_DES_CH1
27	-	Не используется
26	GSW_TIME1	Прерывание GSWIC1 – получен маркер времени/распределенное прерывание
25	GSW_ERR1	Прерывание GSWIC1 – ошибка в канале
24	GSW_LINK1	Прерывание GSWIC1 – установлено соединение
23	GSW_TX_DAT_CH0	Прерывание от канала DMA GSW_TX_DAT_CH0
22	GSW_TX_DES_CH0	Прерывание от канала DMA GSW_TX_DES_CH0
21	GSW_RX_DAT_CH0	Прерывание от канала DMA GSW_RX_DAT_CH0
20	GSW_RX_DES_CH0	Прерывание от канала DMA GSW_RX_DES_CH0

Номер разряда	Условное обозначение прерывания	Название прерывания
19	-	Не используется
18	GSW_TIME0	Прерывание GSWIC0 – получен маркер времени/распределенное прерывание
17	GSW_ERR0	Прерывание GSWIC0 – ошибка в канале
16	GSW_LINK0	Прерывание GSWIC0– установлено соединение
15	SW_TX_DAT_CH1	Прерывание от канала DMA SW_TX_DAT_CH1
14	SW_TX_DES_CH1	Прерывание от канала DMA SW_TX_DES_CH1
13	SW_RX_DAT_CH1	Прерывание от канала DMA SW_RX_DAT_CH1
12	SW_RX_DES_CH1	Прерывание от канала DMA SW_RX_DES_CH1
11	-	Не используется
10	SW_TIME1	Прерывание SWIC1 – получен маркер времени/распределенное прерывание
9	SW_ERR1	Прерывание SWIC1 – ошибка в канале
8	SW_LINK1	Прерывание SWIC1– установлено соединение
7	SW_TX_DAT_CH0	Прерывание от канала DMA SW_TX_DAT_CH0
6	SW_TX_DES_CH0	Прерывание от канала DMA SW_TX_DES_CH0
5	SW_RX_DAT_CH0	Прерывание от канала DMA SW_RX_DAT_CH0
4	SW_RX_DES_CH0	Прерывание от канала DMA SW_RX_DES_CH0
3	-	Не используется
2	SW_TIME0	Прерывание SWIC0 – получен маркер времени/распределенное прерывание
1	SW_ERR0	Прерывание SWIC0 – ошибка в канале
0	SW_LINK0	Прерывание SWIC0– установлено соединение

Таблица 3.6. Формат регистра QSTR3

Номер разряда	Условное обозначение прерывания	Название прерывания
31:8	-	Не используется
7	INT_HmMPORT	Прерывание по контролю кода Хемминга внешней памяти
6	-	Не используется
5	INT_HmDCACHE	Прерывание по контролю кода Хемминга DCACHE
4	INT_HmICACHE	Прерывание по контролю кода Хемминга ICACHE
3:0	INT_HmCRAM	Прерывания по контролю кода Хемминга CRAM[3:0]

Таблица 3.7. Формат регистра QSTR4

Номер разряда	Условное обозначение прерывания	Название прерывания
31:14	-	Не используется
13	MFBSPP_RX_CH1	Прерывание от канала DMA порта MFBSPP0 при приеме данных
12	MFBSPP_TX_CH1	Прерывание от канала DMA порта MFBSPP0 при передаче данных
11	-	Не используется
10	MFBSPP_TXBUF1	Формируется, если порт MFBSPP1 включен на передачу данных (в одном из режимов), а число 64-х разрядных слов, находящихся в буфере передачи меньше, либо равно TLEV (TLEV устанавливается в регистре состояния передатчика TSR)
9	MFBSPP_RXBUF1	Формируется, если порт MFBSPP1 включен на прием данных (в одном из режимов), а число 64-х разрядных слов в буфере приёма больше чем RLEV (RLEV устанавливается в регистре состояния приёмника RSR)
8	SRQ1	Запрос обслуживания от порта MFBSPP1. Формируется, если порт выключен (LEN=0, SPI_I2S_EN=0), а на выводах LACK или LCLK присутствует сигнал высокого уровня
7:6	-	Не используется
5	MFBSPP_RX_CH0	Прерывание от канала DMA порта MFBSPP0 при приеме данных
4	MFBSPP_TX_CH0	Прерывание от канала DMA порта MFBSPP0 при передаче данных

Номер разряда	Условное обозначение прерывания	Название прерывания
3	-	Не используется
2	MF BSP_TXBUF0	Формируется, если порт MF BSP0 включен на передачу данных (в одном из режимов), а число 64-х разрядных слов, находящихся в буфере передачи меньше, либо равно TLEV (TLEV устанавливается в регистре состояния передатчика TSR)
1	MF BSP_RXBUF0	Формируется, если порт MF BSP0 включен на прием данных (в одном из режимов), а число 64-х разрядных слов в буфере приёма больше чем RLEV (RLEV устанавливается в регистре состояния приёмника RSR)
0	SRQ0	Запрос обслуживания от порта MF BSP0. Формируется, если порт выключен (LEN=0, SPI_I2S_EN=0), а на выводах LACK или LCLK присутствует сигнал высокого уровня

Для управления режимом приема внешних прерываний nIRQ[3:0] имеется регистр IRQM, формат которого приведен в Таблица 3.8.

Таблица 3.8. Формат регистра IRQM

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:12	-	Резерв	-	0
11:8	IRQ_MODE	Режим приема внешних прерываний nIRQ[3:0]: 0 - потенциальные сигналы, активный низкий уровень; 1 - прерывание формируется при переходе состояния входного сигнала с высокого уровня на низкий уровень. Прерывание запоминается на регистре. Регистр обнуляется при помощи разрядов IRQ_NULL	R/W	0
7:4	-	Резерв	-	0
3:0	IRQ_NULL	Обнуление запомненных прерываний при IRQ_MODE = 1. Прерывания nIRQ[3:0] обнуляются при записи 1 в разряды [3:0] соответственно.	RW1C	0

3.3 Системные регистры

Формат регистра управления и состояния CSR приведен в Таблица 3.9.

Таблица 3.9

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:15	-	Не используется	-	0
14	FLUSH_D	При записи 1 в данный разряд кэш данных CPU останавливается в исходное состояние, то есть ее содержимое девальдируется. Эта процедура может использоваться для обеспечения когерентности кэш при работе DMA.	W	0
13	-	Не используется	-	0
12	FLUSH_I	При записи 1 в данный разряд кэш команд CPU останавливается в исходное состояние, то есть ее содержимое девальдируется. Эта процедура может использоваться для обеспечения когерентности кэш при работе DMA.	W	0
11	TST_CACHE	Режим работы кэш программ и кэш данных: 0 – нормальный режим; 1 – режим тестирования. Используется только при технологическом тестировании кэш программ. Пользователям устанавливать этот режим запрещено	R/W	0
10:2	-	Не используется	-	0
1	TR_CRAM	Режим размещения векторов прерываний при BEV = 0 (регистр Status CPU): 0 – вектора прерываний размещаются во внешней памяти (базовый адрес 0x80000000); 1 – вектора прерываний размещаются во внутренней памяти CRAM (базовый адрес 0xB8000000)	RW	0
0	FM	Режим преобразования виртуальных адресов CPU в физические адреса: 0 – с использованием TLB; 1 – Fixed Mapped (FM).	RW	1

3.4 Процедура начальной загрузки

По сигналу nRST (низкий уровень) все устройства микросхемы устанавливаются в исходное состояние. После его снятия (высокий уровень), дальнейшие действия определяются состоянием сигналов на входах микросхемы BOOT[1:0].

При BOOT[1:0]=10 начальная загрузка выполняется из внешней памяти типа NAND Flash. При этом в память CRAM из NAND Flash загружается 64 32-разрядных слова, начиная с адреса 0x1800_0000. Затем CPU стартует с этого адреса. Разрядность памяти NAND Flash определяется внешним выводом FW. К выводу nCS[3] может быть подключен 32-разрядный блок памяти.

При BOOT[1:0]=11 начальная загрузка выполняется из внешней памяти Flash, подключенной к шине SPI MFBSP0. При этом в память CRAM из Flash загружается 64 32-разрядных слова, начиная с адреса 0x1800_0000. Затем CPU стартует с этого адреса. К выводу nCS[3] может быть подключен 32-разрядный блок памяти.

Программа начальной загрузки должна обеспечивать конфигурирование всех устройств микросхемы.

4. ИНТЕРВАЛЬНЫЙ ТАЙМЕР

4.1 Назначение

Интервальный таймер (ИТ) предназначен для выработки периодических прерываний на основе деления тактовой частоты CPU либо внешней тактовой частоты – XTI или RTCXTI. Основные характеристики таймера:

- Число разрядов делителя – 32;
- Число разрядов предделителя – 8;
- Программное управление стартом и остановкой таймера;
- Доступ ко всем регистрам обеспечивается в любой момент времени.

В микропроцессоре имеется два интервальных таймера ИТ0, ИТ1.

4.2 Структурная схема ИТ

Структурная схема ИТ представлена на Рисунок 4.1.

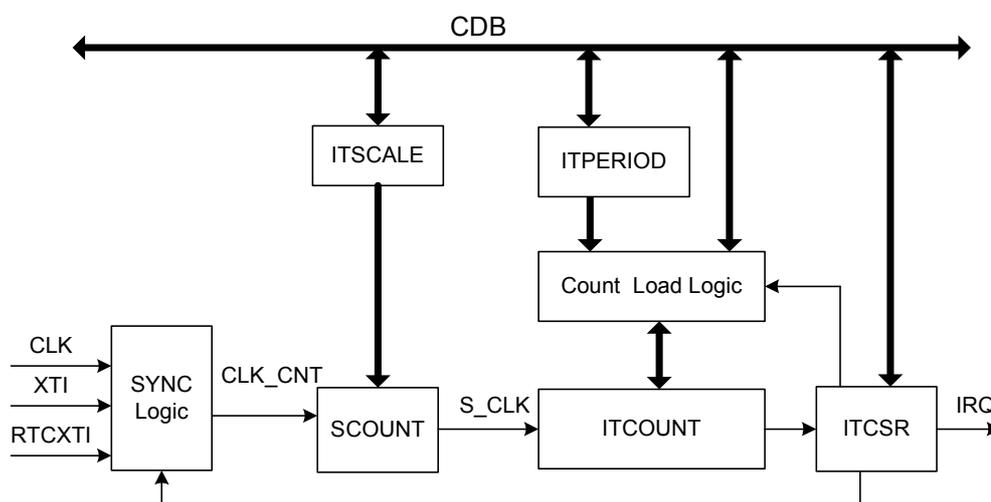


Рисунок 4.1. Структурная схема ИТ

В состав таймера входят следующие основные узлы:

- ИТCSR - регистр управления и состояния;
- ИTCOUNT - счетчик основного делителя;
- ITPERIOD - регистр периода основного делителя;
- ITSCALE - регистр предделителя;
- SCOUNT – счетчик предделителя;
- SYNC Logic – логика синхронизации частот;
- Count Load Logic - логика загрузки счетчика основного делителя;

На структурной схеме интервального таймера использованы следующие обозначения:

- CDB – шина данных CPU;
- CLK – тактовая частота работы CPU;
- XTI – внешняя тактовая частота;
- RTCXTI – внешняя тактовая частота;
- CLK_CNT – выходная частота логики синхронизации;
- S_CLK – выходная частота предделителя;

- IRQ – запрос на прерывание от таймера реального времени.

На вход интервального таймера поступает тактовая частота CPU и внешние тактовые частоты: XTI, RTCXTI. Для правильной работы таймера должны выполняться соотношения:

$f_{XTI} \leq \frac{f_{CLK}}{4}$, $f_{RTCXTI} \leq \frac{f_{CLK}}{4}$, где f_{XTI} , f_{RTCXTI} и f_{CLK} значения частот XTI, RTCXTI и CLK соответственно. Как правило, RTCXTI имеет частоту 32,768 кГц.

4.3 Описание регистров интервального таймера

В Таблица 4.1 приведен перечень программно-доступных регистров ИТ.

Таблица 4.1. Перечень регистров ИТ

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние
ITCSR[4:0]	Регистр управления и состояния	W/R	0
ITPERIOD[31:0]	Регистр периода	W/R	FFFF_FFFF
ITCOUNT[31:0]	Регистр счетчика основного делителя частоты	W/R	0000_0000
ITSCALE[7:0]	Регистр предделителя частоты	W/R	0000

Формат регистра ITCSR приведен в Таблица 4.2.

Таблица 4.2. Формат регистра ITCSR

Номер разряда	Условное обозначение	Описание
0	EN	Разрешение работы таймера: 0 – запрещение работы (неактивное состояние таймера); 1 – разрешение работы (активное состояние таймера).
1	INT	Признак срабатывания таймера. Состояние данного разряда транслируется в биты IT0 или IT1 регистра QSTR0. Сбрасывается при записи нуля в этот разряд.
2	TICK	Бит тестирования регистра счетчика ITCOUNT и регистра предделителя IRTSCALE. При записи 1 в бит TICK декрементируется значение счетчика IRTCOUNT и предделителя IRTSCALE. Поле доступно только по записи.
4:3	CLK_SEL	Задаёт тактовую частоту от которой работает ИТ: 00 – CLK – тактовая частота CPU; 01 – XTI – внешняя тактовая частота; 10 – RTCXTI – внешняя тактовая частота;

8-разрядный регистр ITSCALE используется для задания коэффициента предделения тактовой частоты CLK_CNT, которая поступает на вход счетчика SCOUNT.

32-разрядные регистр ITPERIOD используется для задания периода работы основного делителя.

32-разрядный счетчик основного делителя частоты ITCOUNT работает в режиме декремента. На вход этого счетчика поступает частота (S_CLK) с выхода счетчика предделителя.

Если $ITPERIOD = 0000_7FFF$, $ITSCALE = 0000$, при этом в регистре $ITCSR$ задана работа от внешней частоты $RTCXTI$ ($ITCSR[4:3]=10$), а частота $RTCXTI = 32,768$ кГц, то интервальный таймер формирует прерывание каждую секунду.

4.4 Программирование IT

Перед началом работы с таймером необходимо задать источник тактовой частоты в регистре $ITCSR[4:3]=CLK_SEL$. Затем необходимо загрузить значение периода в регистр $ITPERIOD$ и значение коэффициента деления частоты в регистр $ITSCALE$.

Для активизации таймера необходимо в бит EN регистра $ITCSR$ записать 1. В момент этой записи содержимое регистров $ITSCALE$ и $ITPERIOD$ переписывается в счетчики $SCOUNT$ и $ITCOUNT$ соответственно. После этого оба счетчика начинают работать в режиме декремента. При этом делитель работает от частоты CLK_CNT , а счетчик $ITCOUNT$ – от частоты S_CLK , формируемой делителем.

Когда оба счетчика $SCOUNT$ и $ITCOUNT$ достигают нулевого состояния, в регистре $ITCSR$ устанавливается бит INT и формируется запрос на прерывание, а содержимое регистров $ITSCALE$ и $ITPERIOD$ снова переписывается в счетчики $SCOUNT$ и $ITCOUNT$ соответственно. Далее таймер работает аналогичным образом.

Запрос на прерывание формируется каждые $\{(irtperiod + 1) * (irtscale + 1)\}$ тактов CLK_CNT , где $irtperiod$ и $irtscale$ – содержимое регистров $ITPERIOD$ и $ITSCALE$ соответственно.

При необходимости, в любой момент времени в регистры $ITCOUNT$ и $ITPERIOD$ можно произвести запись новых данных и тем самым изменить значение обрабатываемого временного интервала.

5. СТОРОЖЕВОЙ ТАЙМЕР

5.1 Назначение

Сторожевой таймер (WDT) предназначен для:

- вывода системы из зависания, если программное обеспечение заиклилось и не формирует соответствующих управляющих воздействий;
- выработки прерываний на основе деления тактовой частоты CPU.

Основные характеристики таймера:

- число разрядов основного делителя – 32;
- число разрядов предделителя – 8;
- программное управление стартом и остановкой таймера;
- два режима работы: режим сторожевого таймера (WDM) и режим интервального таймера (ITM);
- два режима отработки временных интервалов: однократный и периодический;
- доступ ко всем регистрам обеспечивается в любой момент времени.

5.2 Структурная схема

Структурная схема сторожевого таймера приведена на Рисунок 5.1.

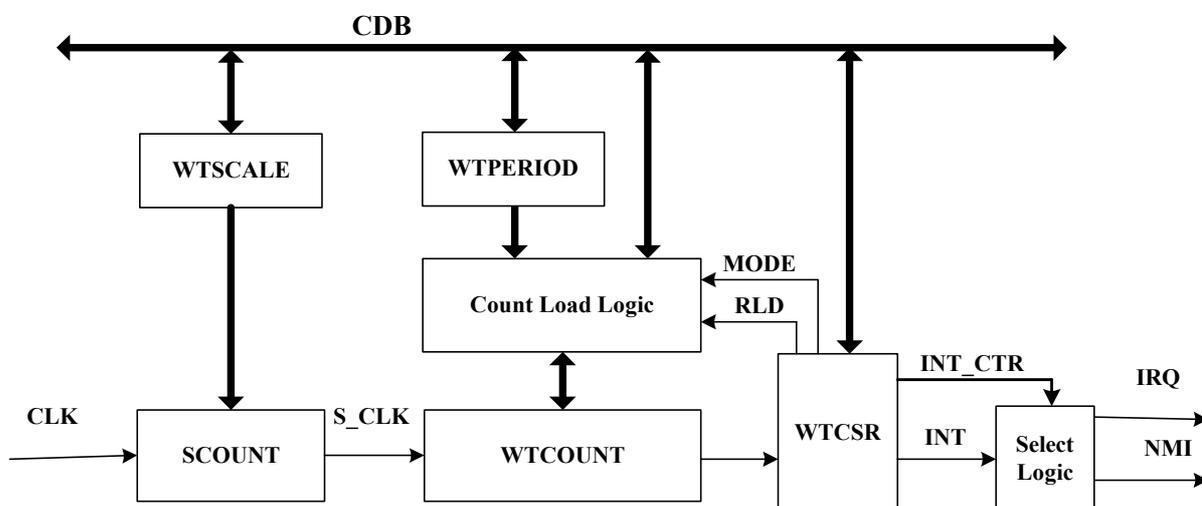


Рисунок 5.1. Структурная схема сторожевого таймера.

В состав сторожевого таймера входят следующие основные узлы:

- WTCSR - регистр управления и состояния;
- WTCOUNT - счетчик основного делителя;
- WTPERIOD - регистр периода основного делителя;
- WTSCALE - регистр предделителя;
- SCOUNT – счетчик предделителя;
- Count Load Logic - логика загрузки счетчика основного делителя.

На структурной схеме интервального таймера использованы следующие обозначения:

- CDB – шина данных CPU;
- CLK – тактовая частота работы CPU;
- S_CLK – выходная частота предделителя;
- IRQ – запрос на прерывание от интервального таймера;
- NMI – немаскируемое прерывание.

5.3 Описание регистров WDT

В таблице 5.1 приведен перечень программно-доступных регистров WDT.

Таблица 5.1. Перечень программно-доступных регистров WDT

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние
WTCSR[14:0]	Регистр управления и состояния	W/R	0000
WTPERIOD[31:0]	Регистр периода	W/R – в неактивном состоянии; R – в активном состоянии.	FFFF_FFFF
WTCOUNT[31:0]	Регистр счетчика основного делителя частоты	W/R – в неактивном состоянии; R – в активном состоянии.	0000_0000
WTSCALE[15:0]	Регистр предделителя частоты	W/R – в неактивном состоянии; R – в активном состоянии.	0000

8-разрядный регистр WTSCALE используется для задания коэффициента предделения тактовой частоты CPU (CLK), которая поступает на вход счетчика SCOUNT.

32-разрядные регистр WTPERIOD используется для задания периода работы основного делителя.

32-разрядный счетчик основного делителя частоты WTCOUNT работает в режиме декремента. На вход этого счетчика поступает частота S_CLK с выхода счетчика предделителя.

Формат регистра WTCSR приведен в Таблица 5.2.

Таблица 5.2. Формат регистра WTCSR

Номер разряда	Условное обозначение	Описание
7: 0	KEY	<p>Поле для записи ключей.</p> <p>Запись в это поле последовательности кодов A0 (ключ KEY1) и F5 (ключ KEY2) приводит к переключению таймера из режима сторожевого таймера (WDM) в режим интервального таймера (ITM).</p> <p>Поле доступно по чтению и записи.</p> <p>Поле доступно по записи только в режиме WDM: когда EN=1 или когда таймер находится в состоянии Timeout.</p> <p>Сбрасывается в ноль при переводе таймера из режима ITM в режим WDM.</p> <p>Значение в исходном состоянии – 0.</p>
8	EN	<p>Разрешение работы таймера:</p> <p>0 – запрещение работы (неактивное состояние таймера);</p> <p>1 – разрешение работы (активное состояние таймера).</p> <p>Доступен по чтению и записи. Запись нуля в этот бит при работе таймера в режиме WDM не имеет эффекта.</p> <p>Значение в исходном состоянии – 0.</p>
9	INT	<p>Признак срабатывания таймера.</p> <p>В зависимости от содержимого поля INT_CTR состояние данного разряда транслируется или в бит WDT регистра QSTR0, или в немаскируемое прерывание (NMI).</p> <p>Сбрасывается при записи нуля в этот разряд, а также при переводе таймера из режима ITM в режим WDM.</p> <p>Доступен по чтению и записи в режиме ITM и только по чтению в режиме WDM.</p> <p>Значение в исходном состоянии – 0.</p>
10	MODE	<p>Режим работы таймера:</p> <p>0 – режим сторожевого таймера (WDM);</p> <p>1 – режим обычного таймера (ITM).</p> <p>Доступен по чтению и записи при EN=0 и только по чтению при EN=1.</p> <p>Значение в исходном состоянии – 0.</p>
11	RLD	<p>Бит управления перезагрузкой SCOUNT и WTCOUNT при работе в режиме ITM:</p> <p>0 – таймер однократно обрабатывает временной интервал и останавливается;</p> <p>1 – таймер обрабатывает заданный временной интервал периодически.</p> <p>После обработки очередного временного интервала содержимое WTSCALE и WTPERIOD загружается в SCOUNT и WTCOUNT соответственно.</p> <p>Доступен по чтению и записи при EN=0 и только по чтению при EN=1.</p> <p>Значение в исходном состоянии – 0.</p>
13: 12	INT_CTR	<p>Управления типом прерывания, которое формируется таймером WDT:</p> <p>00 – прерывание не формируется;</p> <p>01 – обычное прерывание (QSTR0[20]). Как правило, используется в режиме ITM;</p> <p>10 – немаскируемое прерывание (NMI). Как правило, используется в режиме WDM.</p> <p>11 – прерывание не формируется. Формируется внешний сигнал WDT (см. табл. 15.3).</p> <p>Поле доступно по чтению и записи при EN=0 и только по чтению при EN=1.</p> <p>Значение в исходном состоянии – 0.</p>

5.4 Программирование WDT

Диаграмма состояний WDT приведена на Рисунок 5.2.

В исходном состоянии WDT находится в режиме сторожевого таймера. Для перевода его в режим интервального таймера необходимо записать 1 в бит MODE регистра WTCSR. Следует отметить, что смена режима работы таймера посредством записи в бит MODE возможна, если таймер не активен (EN=0).

Перед началом работы с таймером WDT необходимо загрузить значение периода в регистр WTPERIOD и значение коэффициента предделения частоты в регистр WTSCALE.

Для активизации таймера необходимо в бит EN регистра WTCSR записать 1. В момент этой записи содержимое регистров WTSCALE и WTPERIOD переписывается в счетчики SCOUNT и WTCOUNT соответственно. После этого оба счетчика начинают работать в режиме декремента. При этом предделитель работает от частоты CLK, а счетчик WTCOUNT – от частоты S_CLK, формируемой предделителем.

После активизации таймера, WTCOUNT, WTPERIOD, WTSCALE, а также поля INT_CTR, MODE, RLD регистра WTCSR, становятся не доступными по записи.

Сторожевой таймер в режиме WDM необходимо периодически обслуживать. То есть, если он был активизирован в режиме WDM, то для того, чтобы не возникло состояния Timeout необходимо периодически выполнять следующую последовательность действий:

- переключить таймер из режима WDM в режим ITM посредством последовательной записи в поле KEY регистра WTCSR кодов A0 и F5;
- остановить таймер посредством записи 0 в бит EN регистра WTCSR;
- установить MODE=0;

Если вслед за значением A0 в поле KEY будет записано значение ¹ F5, то таймер перейдет в состояние Timeout.

Если после активизации таймера в режиме WDM, он не будет переведен в режим ITM, то, когда оба счетчика SCOUNT и WTCOUNT достигнут нулевого значения, таймер перейдет в состояние Timeout.

В состоянии Timeout таймер формирует признак INT и останавливается, а запись в какой-либо из его регистров блокируется. Для вывода WDT из состояния Timeout необходимо его переключить в режим ITM посредством последовательной записи в поле KEY регистра WTCSR кодов A0 и F5.

При переключении таймера из неактивного состояния в режиме ITM в режим WDM путем записи 0 в поле MODE регистра WTCSR происходит обнуление полей KEY и INT.

При работе таймера в режиме ITM при RLD=0 он однократно обрабатывает заданный временной интервал, устанавливает INT=1 и останавливается (когда оба счетчика SCOUNT и WTCOUNT достигают нулевого состояния). Если RLD=1, то каждый раз после достижения счетчиками нулевого состояния и установки INT=1, происходит перезагрузка значений периода и коэффициента предделения частоты. То есть, таймер обрабатывает заданный временной интервал периодически до тех пор, пока он не будет остановлен.

Запрос на прерывание формируется каждые $\{(wtperiod + 1) * (wt scale + 1)\}$ тактов работы CPU, где wtperiod и wt scale – содержимое регистров WTPERIOD и WTSCALE соответственно.

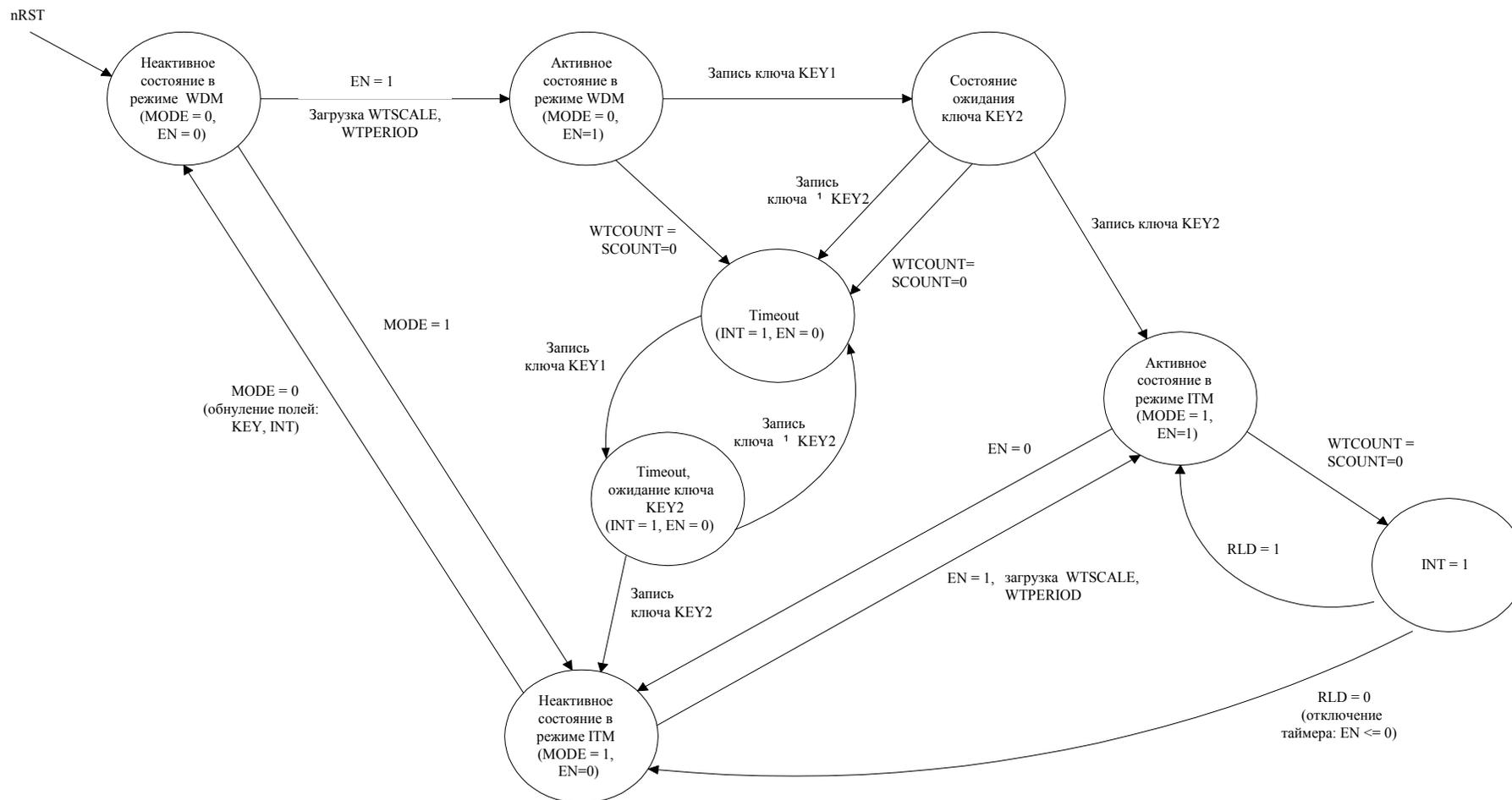


Рисунок 5.2. Диаграмма состояний WDT

6. КОНТРОЛЛЕР ПРЯМОГО ДОСТУПА В ПАМЯТЬ (DMA)

6.1 Перечень каналов DMA

Контроллер DMA микросхемы имеет 28 каналов. Перечень каналов приведен в Таблица 6.1.

Таблица 6.1. Перечень каналов DMA

Условное обозначение канала	Назначение канала
GSW_TX_DAT_CH0	Передача данных из памяти в GSWIC0
GSW_TX_DES_CH0	Передача дескрипторов из памяти в GSWIC0
GSW_RX_DAT_CH0	Передача данных из GSWIC0 в память
GSW_RX_DES_CH0	Передача дескрипторов из GSWIC0 в память
GSW_TX_DAT_CH1	Передача данных из памяти в GSWIC0
GSW_TX_DES_CH1	Передача дескрипторов из памяти в GSWIC0
GSW_RX_DAT_CH1	Передача данных из GSWIC0 в память
GSW_RX_DES_CH1	Передача дескрипторов из GSWIC0 в память
SW_TX_DAT_CH0	Передача данных из памяти в SWIC0
SW_TX_DES_CH0	Передача дескрипторов из памяти в SWIC0
SW_RX_DAT_CH0	Передача данных из SWIC0 в память
SW_RX_DES_CH0	Передача дескрипторов из SWIC0 в память
SW_TX_DAT_CH1	Передача данных из памяти в SWIC1
SW_TX_DES_CH1	Передача дескрипторов из памяти в SWIC1
SW_RX_DAT_CH1	Передача данных из SWIC1 в память
SW_RX_DES_CH1	Передача дескрипторов из SWIC1 в память
MFBSR_RX_CH1	Прием данных из MFBSR1 в память
MFBSR_TX_CH1	Передача данных из памяти в MFBSR1
MFBSR_RX_CH0	Прием данных из MFBSR0 в память
MFBSR_TX_CH0	Передача данных из памяти в MFBSR0
MEM_CH10 – MEM_CH13	Обмен данными типа память-память
MEM_CH00 – MEM_CH03	Обмен данными типа память-память

Памятью могут быть СРАМ и внешняя память, доступная через МРОРТ.

Если при работе DMA изменяется программный код в памяти, то когерентность кэш CPU аппаратно не обеспечивается. В этом случае для обеспечения когерентности используется бит FLUSH в системном регистре CSR.

6.2 Организация обмена данными в микросхеме

Для передачи данных в микросхеме имеются: шина CDB (CPU Data Bus) и коммутатор AXI Switch (см. Рисунок 1.1).

CPU без конфликтов с DMA обменивается данными с памятью СРАМ, с системными регистрами (CSR, MASKR, QSTR и т.д.), а также с регистрами устройств IT0, IT1, WDT, DMA, MPORT, MFBSR, UART, SWIC, GSWIC.

Коммутатор обеспечивает передачу данных между любым исполнительным устройством (Slave) и любым задатчиком (Master). Исполнительными устройствами являются

блоки внутренней памяти SRAM или любая внешняя память, доступная через MPORT. Задатчиками могут быть CPU или каналы DMA.

Процесс передачи данных между любыми парами Slave↔Master выполняется параллельно и без конфликтов. Конфликт между задатчиками возникает, если они через коммутатор пытаются обменяться данными с одним и тем же исполнительным устройством.

6.3 Каналы DMA типа память-память

В микросхеме имеется два DMA по 4 каналов MEM_CH каждый, которые обеспечивают обмен данными между двумя областями любых блоков памяти (внутренней или внешней).

Для управления работой каждого канала MEM_CH имеются следующие регистры:

- * регистр управления и состояния – CSR_MEM_CH;
- * регистры индекса (физический адрес памяти) - IR0, IR1;
- * регистры смещения - OR, Y;
- * регистр начального физического адреса блока параметров DMA передачи для выполнения процедуры самоинициализации (CP);
- * псевдорегистр управления состоянием бита RUN регистра CSR (RUN_MEM_CH).

Исходное состояние регистров CSR_MEM_CH: разряды 15:0 – нули, а состояние разрядов 31:16 не определено. Исходное состояние остальных регистров не определено.

Формат регистров CSR_MEM_CH этих каналов приведен в Таблица 6.2.

Таблица 6.2. Формат регистра управления и состояния каналов MEM_CH

Номер разряда	Условное обозначение	Назначение
0	RUN	Состояние работы канала DMA: 0 – состояние останова; 1 – состояние обмена данными. Устанавливается в 1 при записи 1 в этот разряд. Устанавливается в 0: при записи 0 в этот разряд и после окончания передачи данных, оставшихся в канале; при завершении передачи блока данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
1	DIR	Направление обмена данными: 0 – память по IR0 => память по IR1; 1 – память по IR1 => память по IR0.
5:2	WN	Пакет данных, который передается по коммутатору AXI Switch за одно предоставление прямого доступа: 0 – 1 слово; F – 16 слов. Посредством этого параметра можно плавно изменять приоритет каналов DMA относительно CPU, DSP и относительно друг друга

Номер разряда	Условное обозначение	Назначение
6	EN64	<p>Формат передаваемых данных по коммутатору AXI Switch:</p> <p>0 – 32 разряда; 1 – 64 разряда.</p> <p>При передаче 32-разрядными словами: WCX – число 32-разрядных слов; адрес в IR0, IR1 должен быть выровнен по границе 32-разрядного слова.</p> <p>При передаче 64-разрядными словами: WCX – число 64-разрядных слов; адрес в IR0, IR1 должен быть выровнен по границе 64-разрядного слова</p>
7	START_DSP	<p>Разрешение запуска работы DSP-ядра (перевод из состояния STOP в состояние RUN) после завершения передачи блока данных:</p> <p>0 – запуск запрещен; 1 – запуск разрешен.</p>
8	MODE	<p>Режим модификации адреса регистра IR0</p> <p>0 – линейный режим; 1 – режим с обратным переносом.</p>
9	2D	<p>Режим модификации адреса регистра IR1:</p> <p>0 – одномерный режим; 1 – двухмерный режим.</p>
10	MASK	<p>Маска внешнего запроса прямого доступа nDMAR:</p> <p>0 – запрос запрещен; 1 – запрос разрешен.</p> <p>Если разряд равен нулю, то канал работает только под управлением бита RUN. Если разряд равен 1, то для инициализации канала необходимо также наличие запроса nDMAR (низкий уровень).</p>
11	-	Не используется
12	CHEN	<p>Разрешение выполнения очередной процедуры самоинициализации:</p> <p>0 – выполнение очередной процедуры самоинициализации запрещено; 1 – выполнение очередной процедуры самоинициализации разрешено.</p> <p>Используется только при обмене цепочкой блоков данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации</p>
13	IM	<p>Маска разрешение установки признака END:</p> <p>0 – установки признака запрещено; 1 – установки признака разрешено.</p> <p>Используется только при обмене цепочкой блоков данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации</p>
14	END	<p>Признак завершения передачи блока данных. Устанавливается в 1 при завершении передачи блока данных (при IM=1). Устанавливается в 0 при чтении содержимого этого регистра. Доступен по записи и чтению.</p>

Номер разряда	Условное обозначение	Назначение
15	DONE	Признак завершения передачи блока данных. Устанавливается в 1 при завершении передачи блока данных при CHEN=0 (CHEN=1 может быть только при использовании процедуры самоинициализации). Устанавливается в 0 при чтении содержимого этого регистра
31:16	WCX	Число слов данных, которые должен передать канал DMA при одномерной адресации (блок данных). Число слов в строке при двухмерной адресации. Количество передаваемых слов = WCX + 1. Содержимое этого поля уменьшается на длину пакета данных, переданного каналом DMA

Все разряды регистра CSR_MEM_CH доступны по записи и чтению.

Состоянием разряда 0 регистра CSR_MEM_CH можно управлять, используя адрес псевдорегистра RUN. При этом остальные разряды этого регистра не изменяются. Эта процедура может быть использована для временной приостановки канала DMA. При чтении по адресу псевдорегистра RUN считывается содержимое регистра CSR_MEM_CH без сброса битов END и DONE.

32-разрядные регистры индекса IR0, IR1 содержат начальные физические адреса источника и приемника данных (или, наоборот, в зависимости от содержимого разряда DIR регистра CSR_MEM_CH) памяти микросхемы. В зависимости от содержимого разряда EN64 адреса в этих регистрах должны быть выровнены по границе 32 или 64-разрядного слова.

Формат регистра смещения OR приведен в Таблица 6.3.

Таблица 6.3. Формат регистра индекса и смещения каналов MEM_CH

Номер разряда	Условное обозначение	Назначение
15:0	OR0	Смещение (приращение) адреса для индексного регистра IR0 после передачи каждого слова данных
31:16	OR1	Смещение (приращение) адреса для индексного регистра IR1 после передачи каждого слова данных

Модификация индексного регистра IR0 при помощи смещения OR0 обеспечивается в режимах с прямым или обратным переносами. Режим с обратным переносом используется при реализации алгоритма быстрого преобразования Фурье (БПФ). Модификация индексного регистра IR1 при помощи смещения OR1 обеспечивается только в режиме с прямым переносом.

В режиме модификации индексного регистра с прямым переносом смещение, задаваемое полями OR0, OR1, рассматривается как число со знаком в диапазоне -32768 до $+32767$ слов данных (32 или 64-разрядных). Алгоритм модификации адреса с прямым переносом:

for (x = 0; x < WCX; x++) { пересылка по адресу IR0;

модификация адреса для 64-х разрядного обмена: $IR0 = IR0 + \{ \{13\{OR0[15]\} \}, OR0, 000 \};$

модификация адреса для 32-х разрядного обмена: $IR0 = IR0 + \{ \{14\{OR0[15]\} \}, OR0, 00 \}$;

пересылка по адресу IR1;

модификация адреса для 64-х разрядного обмена: $IR1 = IR1 + \{ \{13\{OR1[15]\} \}, OR1, 000 \}$;

модификация адреса для 32-х разрядного обмена: $IR1 = IR1 + \{ \{14\{OR1[15]\} \}, OR1, 00 \}$;

}

В режиме модификации индексного регистра с обратным переносом смещение, задаваемое полем OR0, имеет диапазон от 0 до +65535. Модификация адреса в этом случае выполняется с распространением переноса в обратном направлении – от старших разрядов к младшим. Операция модификации адреса с обратным переносом эквивалентна последовательному выполнению следующих процедур:

- 16-разрядное смещение OR0 дополняется до 32 разрядов: со стороны младших – двумя или тремя нулями, (для 32 или 64-разрядного обменов соответственно, а со стороны старших разрядов – четырнадцатью или тринадцатью нулями, для 32 и 64-разрядного обменов соответственно);
- изменение на обратный порядок следования разрядов в регистрах адреса и смещения. При этом старший бит становится младшим;
- модификация адреса посредством операции сложения с прямым переносом;
- восстановление первоначального порядка следования разрядов регистра адреса.

Модификацию адреса с обратным переносом можно описать при помощи следующих выражений:

$IR0 [0:31] = IR0[0:31] + \{000, OR0[0:15], 00000000000000\}$ – для 64-разрядного обмена;

$IR0 [0:31] = IR0[0:31] + \{00, OR0[0:15], 00000000000000\}$ – для 32-разрядного обмена.

Канал MEM_CN обеспечивают передачу двумерных массивов (матриц $W[m;n]$). При этом, память (внутренняя или внешняя) адресуется в двухмерном режиме. Для этого имеется 32-разрядный регистр Y, формат которого приведен в Таблица 6.4.

Таблица 6.4. Формат регистра Y

Номер разряда	Условное обозначение	Назначение
15:0	OY	Смещение (приращение) адреса памяти в 32-разрядных словах по направлению Y. Используется только при двухмерной адресации.
31:16	WCY	Число строк по Y направлению. Используется только при двухмерной адресации. Количество передаваемых строк = WCY + 1.

При двухмерном режиме адресации поле WCX регистра CSR содержит число слов в строке (X направление), а поле WCY регистра Y содержит число строк (Y направление). Пересылка каждого слова данных осуществляется по индексному регистру IR1 с его последующей инкрементацией на величину, соответствующую содержимому поля OR1 регистра OR (X направление) или поля OY регистра Y. Двухмерная адресация выполняется следующим образом:

Содержимое счетчика WCX сохраняется в буферном регистре;

1 цикл. Индексный регистр внешней памяти модифицируется с использованием смещения OR1. Счетчик WCX декрементируется. Если он равен 0, то переход ко второму циклу.

2 цикл. Состояние счетчика WCX восстанавливается из буферного регистра. Индексный регистр внешней памяти модифицируется с использованием смещения OY. Счетчик WCY декрементируется. Если он не равен 0, то переход к первому циклу. Если он равен 0, то работа канала завершается.

Функционально двумерная адресация эквивалентна следующему двойному циклу (реализуется только по IR1, OR1):

```
for ( y = 0; y <= WCY; y++ ) {
    for ( x = 0; x < WCX; x++ ) { пересылка по адресу IR1
                                        для 64-х разрядного обмена :
IR1 = IR1 + {{13{OR1[15]}},OR1,3'h0};
                                        для 32-х разрядного обмена :
IR1 = IR1 + {{14{OR1[15]}},OR1,2'h0}
                                        };
    пересылка по адресу IR1
        для 64-х разрядного обмена : IR1 = IR1 +
{{13{ORY[15]}},ORY,3'h0};
        для 32-х разрядного обмена : IR1 = IR1 +
{{14{ORY[15]}},ORY,2'h0};
    };
}
//общее кол-во пересылок (WCX=1)*(WCY+1)
```

Микросхема имеет 4 внешних сигналов запроса прямого доступа nDMAR[7:0]. Эти сигналы поступают на каналы DMA MEM_CH следующим образом:

nDMAR[0] - на каналы MEM_CH00, MEN_CH10;

nDMAR[1] - на каналы MEM_CH01, MEN_CH11;

nDMAR[2] - на каналы MEM_CH02, MEN_CH12;

nDMAR[3] - на каналы MEM_CH03, MEN_CH13;

То есть, один сигнал запроса может запустить сразу два канала DMA MEM_CH, если они настроены для работы в этом режиме.

Для настройки работы канала DMA MEM_CH по внешним запросам необходимо в регистре CSR_MEM_CH установить: MASK=1, RUN=1. Внешнее устройство необходимо активизировать на формирование сигналов nDMAR, только после настройки соответствующего канала DMA MEM_CH.

По каждому переходу сигнала nDMAR из 1 в 0 канал DMA MEM_CH выполняет процедуру передачи одного пакета слов данных размером в соответствии с полем WN регистра CSR_MEM_CH. Очередной сигнал запроса прямого доступа запрещается подавать до окончания процесса передачи предыдущего пакета слов данных.

Необходимо иметь в виду, что факт перехода сигнала nDMAR из 1 в 0 запоминается в DMA только при RUN=1, MASK=1. При выполнении любой операции записи в регистр CSR_MEM_CH, сбрасывается запомненный в DMA факт перехода сигнала nDMAR из 1 в 0, если он не был принят к исполнению к этому моменту.

6.4 Каналы DMA периферийных портов

Для обслуживания портов MFBSP, GSWIC, SWIC имеются следующие каналы DMA: MFBSP_TX_CH1, MFBSP_RX_CH1, MFBSP_TX_CH0, MFBSP_RX_CH0, GSWIC_TX_DAT_CH0, GSWIC_TX_DES_CH0, GSWIC_RX_DAT_CH0, GSWIC_RX_DES_CH0, GSWIC_TX_DAT_CH1, GSWIC_TX_DES_CH1, GSWIC_RX_DAT_CH1, GSWIC_RX_DES_CH1, SWIC_TX_DES_CH0, SWIC_TX_DAT_CH0, SWIC_RX_DES_CH0, SWIC_RX_DAT_CH0, SWIC_TX_DES_CH1, SWIC_TX_DAT_CH1, SWIC_RX_DES_CH1, SWIC_RX_DAT_CH1.

Для управления работой каналы DMA портов содержат следующие регистры:

- § регистр управления и состояния (CSR);
- § регистр индекса (физический адрес памяти) (IR);
- § регистр начального адреса блока параметров DMA передачи для сомоинициализации (CP);
- § псевдорегистр управления состоянием бита RUN регистра CSR.

Исходное состояние регистров CSR: разряды 15:0 – нули, а состояние разрядов 31:16 не определено. Исходное состояние остальных регистров не определено.

Каналы DMA портов передают данные по коммутатору AXI Switch 64-разрядными словами.

32-разрядный индексный регистр IR содержат физический адрес внутренней или внешней памяти. После передачи каждого слова данных к индексу IR прибавляется смещение на одно 64-х разрядное слово.

Памятью могут быть SRAM, внешняя память, доступная через MPORT.

Формат регистров управления и состояния CSR каналов DMA этих портов приведен в Таблица 6.5.

Таблица 6.5. Формат регистров управления и состояния DMA портов

Номер разряда	Условное обозначение	Назначение
0	RUN	Состояние работы канала DMA: 0 – состояние останова; 1 – состояние обмена данными. Устанавливается в 1 при записи 1 в этот разряд. Устанавливается в 0: при завершении передачи блока данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
1	-	Не используется
5:2	WN	Число слов данных (пачка), которое передается за одно предоставление прямого доступа: 0 – 1 слово, F – 16 слов. Посредством этого параметра можно плавно изменять приоритет каналов DMA относительно других устройств и относительно друг друга
11:6	-	Не используется
12	CHEN	Разрешение выполнения очередной процедуры самоинициализации: 0 – выполнение очередной процедуры самоинициализации запрещено; 1 – выполнение очередной процедуры самоинициализации разрешено. Используется только при обмене цепочкой блоков данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
13	IM	Маска разрешение установки признака END: 0 – установки признака запрещено; 1 – установки признака разрешено. Используется только при обмене цепочкой блоков данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
14	END	Признак завершения передачи блока данных. Устанавливается в 1 при завершении передачи блока данных (при IM=1). Устанавливается в 0 при чтении содержимого этого регистра.
15	DONE	Признак завершения передачи блока данных. Устанавливается в 1 при завершении передачи блока данных при CHEN=0 (CHEN=1 может быть только при использовании процедуры самоинициализации). Устанавливается в 0 при чтении содержимого этого регистра

Номер разряда	Условное обозначение	Назначение
31:16	WCX	<p>Кроме EMAC_CH: число 64-разрядных слов данных, которые должен передать канал DMA (блок данных); количество передаваемых слов: $WCX + 1$; содержимое этого поля уменьшается на 1 после передачи каналом DMA очередного слова данных.</p> <p>Для EMAC_CH: число байт данных, которое должен передать канал DMA (блок данных); количество передаваемых байт: $WCX + 1$; содержимое этого поля уменьшается на число переданных байт данных. Исходное состояние поля не определено.</p>

Все разряды регистра CSR доступны по записи и чтению.

Бит RUN может быть использован для остановки работы канала DMA портов. Для этого в любой момент времени в него необходимо записать 0. Эта процедура возможна, если длина массива данных, указанного в канале DMA порта, равна длине массива данных, который порт передаст (например, MFBSP). Для продолжения работы в бит RUN необходимо записать 1.

Если порт прекратил обмен данными по внешней причине, то длина массива данных, указанного в канале DMA порта, будет не равна длине массива данных, который порт действительно передаст. В этом случае для остановки работы порта и его канала DMA необходимо использовать следующие алгоритмы.

Алгоритм остановки MFBSP и его канала DMA:

1. Остановить MFBSP, для чего в регистр CSR_MFBSP необходимо записать 0.
2. Выполнить операцию записи 0 в бит RUN регистра CSR соответствующего канала DMA MFBSP (при этом, бит RUN может в 0 не установиться).
3. Установить в 1 бит RX_DBG (TX_DBG) регистра EMERG_MFBSP.
4. Дождаться установки в 0 бита RUN регистра CSR соответствующего канала DMA MFBSP.
5. Установить в 0 бит RX_DBG (TX_DBG) регистра EMERG_MFBSP.

Алгоритм остановки SWIC и его каналов DMA:

1. Выполнить операцию записи 0 в биты RUN регистров CSR каналов DMA SWIC (канал записи в память дескрипторов принимаемых пакетов, канал записи в память принимаемых слов данных, канал чтения из памяти дескрипторов передаваемых пакетов, канал чтения из памяти передаваемых слов данных).
2. Установить в регистре MODE_CR SWIC в 1 биты Link_disable (остановка работы SWIC) и RDY_MODE.
3. Дождаться установки в 0 битов RUN регистров CSR каналов DMA SWIC.
4. Установить в регистре MODE_CR SWIC в 0 бит RDY_MODE.

Следует отметить, что при выполнении этого алгоритма «хвост» передаваемых данных из порта теряется, а в «хвосте» приемного буфера данные будут недостоверны.

Состоянием разряда 0 регистра CSR можно управлять, используя адрес псевдорегистра RUN. При этом остальные разряды этого регистра не изменяются. Эта процедура может быть использована для временной приостановки канала DMA. При чтении по адре-

су псевдорегистра RUN считывается содержимое регистра CSR без сброса битов END и DONE.

6.5 Процедура самоинициализации

Все каналы DMA могут выполнять процедуру самоинициализации (выполнение цепочки передач DMA).

Для выполнения самоинициализации в каналах DMA имеется 32-разрядный регистр CP, в котором хранится физический начальный адрес блока параметров очередного DMA обмена. Младшие три разряда регистра CP игнорируются (адреса выровнены по границе 64-разрядного слова). Младший (нулевой разряд) регистра CP используется для старта режима самоинициализации. Эти параметры при самоинициализации аппаратно загружаются в 64-разрядном формате в соответствующие регистры канала DMA. Процедура этой загрузки ничем не отличается от обычного DMA обмена. Блок параметров может размещаться в любой памяти микросхемы.

Если необходимо продолжить цепочку команд, то необходимо указать CHEN=1. В режиме самоинициализации при записи параметров в регистр CSR биты END и DONE недоступны.

Для запуска работы канала DMA в режиме с самоинициализацией необходимо в регистр CP записать адрес первого блока параметров DMA передачи. При этом 0 разряд записываемых данных должен содержать 1 (признак пуска самоинициализации). В результате этого, соответствующий канал загрузит в свои регистры параметры DMA передачи и начнет обмен данными.

После окончания передачи блока данных бит END в регистре CSR устанавливается в единичное состояние, если бит IM = 1 - выдается прерывание. По окончании передачи блока данных также проверяется состояние бита CHEN. Если он равен 1, то будет загружен следующий блок параметров DMA передачи и т.д. В противном случае цепочка DMA обменов закончится и в регистре CSR бит DONE установится в единичное состояние и выдается прерывание.

Параметры для самоинициализации каналов DMA MEM_CH размещаются в памяти в трех последовательных 64-разрядных словах, следующим образом (в порядке возрастания адресов):

$$\begin{array}{l} 63 \text{-----} 0 \\ \{ \text{IR}_{132}, \text{IR}_{032} \}; \\ \{ \{ \text{WCY}_{16}, \text{ORY}_{16} \}, \{ \text{OR}_{116}, \text{OR}_{016} \} \}; \\ \{ \text{CSR}_{32}, \text{CP}_{32} \}. \end{array}$$

Параметры для самоинициализации каналов DMA портов размещаются в памяти в двух последовательных 64-разрядных словах, следующим образом (в порядке возрастания адресов):

$$\begin{array}{l} 63 \text{-----} 0 \\ \{ \text{IR}_{32}, \text{---}_{32} \}; \\ \{ \text{CSR}_{32}, \text{CP}_{32} \}. \end{array}$$

При необходимости каналы DMA могут инициализироваться программно. Для этого CPU должен загрузить все необходимые регистры индекса и смещения, а затем регистр CSR. При загрузке регистра CSR бит RUN необходимо установить в единичное состояние. Следует отметить, что бит RUN может быть использован для приостановки канала

DMA. Для этого в любой момент времени в него необходимо записать 0. Для продолжения работы соответственно в бит RUN необходимо записать 1. Бит RUN может быть использован также для приостановки выполнения цепочки, если при загрузке очередных параметров он будет равен 0. Для продолжения выполнения цепочки в бит RUN необходимо записать 1. Для удобства организации обмена только с битом RUN имеется специальный регистр.

6.6 Прерывания DMA

Канал DMA формирует прерывание в соответствующем регистре QSTR (при условии, если установлены соответствующие биты в регистре MASKR и в поле IM[12:10] регистра STATUS CPU) при единичном состоянии битов DONE или END.

Обнуление битов DONE и END (и снятие соответствующего прерывания) выполняется посредством чтения содержимого регистра CSR или записью в эти биты нулей.

7. ПОРТ ВНЕШНЕЙ ПАМЯТИ

7.1 Основные характеристики порта внешней памяти

Порт внешней памяти общего назначения (MPORT) позволяет организовать обмен данными с широким набором устройств памяти и периферии. Внешний интерфейс MPORT обеспечивает подключение без дополнительной логики статической памяти (SRAM), динамической памяти SDRAM, EPROM, NOR Flash 16 или 32 разряда (например, типа M58PR512LE, M58PR001LE, M58LR128KT, M58LR128KB, M58LR256KT, M58LR256KB) и NAND Flash 8 или 16 разрядов (например, типа MT29F4G08AAC, MT29F4G16AAC, MT29F4G08ABC, MT29F4G16ABC, MT29F8G08EAC) с асинхронным интерфейсом.

MPORT имеет следующие основные характеристики:

- шина данных внешней памяти – 32 разряда;
- шина адреса внешней памяти – 24 разряда;
- формирование сигналов выборки 5 блоков внешней памяти;
- программное конфигурирование типа, разрядности и объема блока памяти;
- управление длительностью циклов чтения и записи памяти;
- защита памяти модифицированным кодом Хэмминга.

Обмен данными между задатчиком (CPU, DMA) и внешней памятью регламентируется регистрами MPORT и следующими параметрами передачи данных:

- начальный адрес передачи (32 разрядный физический адрес внешней памяти);
- направление передачи (чтение/запись внешней памяти);
- формат данных передачи (32-разрядное/64-разрядное слово);
- размер передачи (количество слов в передаче).

7.2 Регистры порта внешней памяти

Перечень регистров MPORT приведен в Таблица 7.1.

Таблица 7.1. Регистры контроллера внешней памяти

Условное обозначение регистра	Название регистра
CSCON0	Регистр конфигурации 0
CSCON1	Регистр конфигурации 1
CSCON2	Регистр конфигурации 2
CSCON3	Регистр конфигурации 3
CSCON4	Регистр конфигурации 4
SDRCON	Регистр конфигурации памяти типа SDRAM.
SDRTMR	Регистр параметров SDRAM
SDRCSR	Регистр управления и состояния SDRAM
CSR_EXT	Регистр управления режимами контроля внешней памяти
AERROR_EXT	Регистр ошибок внешней памяти
NRFTMR	Регистр параметров NOR FLASH
NDFPSR	Регистр параметров и состояния памяти NAND FLASH
NDFTMW	Регистр параметров записи NAND FLASH
NDFTMR	Регистр параметров чтения NAND FLASH
NDFWPR	Регистр защиты памяти NAND FLASH

При описании полей и значений регистров используются обозначения:

- R – только чтение;
- W1 – пуск операции, реальная запись не производится;
- RW – чтение и запись;
- RW1 – Чтение, пуск операции;
- [i] – номер разряда;
- i:j – неразрывная группа разрядов, i –старший разряд группы, j –младший;
- 0x – далее следует шестнадцатеричный код;
- SCLK– частота SDRAM.

Термины и обозначения временных параметров и команд управления SDRAM соответствуют стандарту JESD79C.

Термины и обозначения временных параметров и команд управления NAND FLASH соответствуют протоколу ONFI 2.1.

7.2.1 Регистр конфигурации CSCON0

Регистр CSCON0 предназначен для конфигурирования блока внешней памяти, подключаемого к выводу nCS[0].

Формат регистра приведен в Таблица 7.2.

Таблица 7.2. Назначение разрядов регистра CSCON0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	-	Резерв	R	0
23	Fx16	Разрядность блока, если он сконфигурирован как память NAND FLASH: 0 – 8 разрядов; 1 – 16 разрядов	RW	0
22:21	T	Тип памяти блока памяти: 00 – асинхронная без ожидания сигнала ACK; 10 – асинхронная с ожиданием сигнала ACK; 01– синхронная динамическая 11 – асинхронная NAND FLASH	RW	0
20	E	Разрешение формирования сигнала nCS[0]: 0 – запрещено; 1 – разрешено	RW	0
19:16	WS	Число тактов ожидания при обращении к блоку памяти, если он сконфигурирован как асинхронная память	RW	0xF
15:8	CSBA	Разряды 31:24 базового адреса блока памяти. Младшие разряды базового адреса равны нулю	RW	0
7:0	CSMASK	Разряды маски 31:24 при определении базового адреса блока памяти. Младшие разряды маски равны нулю	RW	0

Сигнал nCS[0] формируется, если при E =1 выполнено условие $PHA[31:24] \& CSMASK = CSBA$, где PHA – 32-разрядный физический адрес.

Если это условие выполнено, но E =0, то обмен будет произведен с блоком внешней памяти, подключенным к выводу nCS[4].

Минимальный размер блока – 16 Мбайт (при CSMASK = 0xFF). Для увеличения размера блока в младшие разряды поля CSMASK необходимо записать соответствующее число нулей. Например, для блока размером в 128 Мбайт, разряды 2:0 CSMASK должны быть равны нулю.

Регистры CSCON должны быть сконфигурированы таким образом, чтобы определяемые ими блоки памяти занимали уникальные адресные пространства. Если эти пространства перекрываются, то результат обмена данными будет непредсказуем.

В поле WS регистров CSCON задается количество тактов ожидания в тактах частоты SCLK, которое необходимо добавить в цикл шины при обращении к асинхронной внешней памяти. При аппаратном сбросе микропроцессора в поле WS всех регистров CSCON устанавливается значение 0xF (15 тактов). При WS = 0 цикл шины составляет 2 такта SCLK.

Внешнее управление длительностью цикла обмена данными MPORT с асинхронной памятью осуществляется сигналом ACK. Сигнал ACK позволяет вставлять такты ожидания непосредственно в начатый цикл обмена данными. Количество вставленных тактов ожидания равно максимальному количеству дополнительных тактов, заданных полем WS и сигналом ACK.

7.2.2 Регистр конфигурации CSCON1

Регистр CSCON1 предназначен для конфигурирования блока внешней памяти, подключаемого к выводу nCS[1].

Формат регистра приведен в Таблица 7.3.

Таблица 7.3. Назначение разрядов регистра CSCON1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	-	Резерв	R	0
23	Fx16	Разрядность блока, если он сконфигурирован как память NAND FLASH: 0 – 8 разрядов; 1 – 16 разрядов	RW	0
22:21	T	Тип памяти блока памяти: 00 – асинхронная без ожидания сигнала ACK; 10 – асинхронная с ожиданием сигнала ACK; 01 – синхронная динамическая 11 – асинхронная NAND FLASH	RW	0
20	E	Разрешение формирования сигнала nCS[1]: 0 – запрещено; 1 – разрешено	RW	0
19:16	WS	Число тактов ожидания при обращении к блоку памяти, если он сконфигурирован как асинхронная память.	RW	0xF
15:8	CSBA	Разряды 31:24 базового адреса блока памяти. Младшие разряды базового адреса равны нулю	RW	0
7:0	CSMASK	Разряды маски 31:24 при определении базового адреса блока. Младшие разряды маски равны нулю	RW	0

7.2.3 Регистр конфигурации CSCON2

Регистр CSCON2 предназначен для конфигурирования блока внешней памяти, подключаемого к выводу nCS[2].

Формат регистра приведен в Таблица 7.4.

Таблица 7.4. Назначение разрядов регистра CSCON2

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	-	Резерв.	R	0
23	Fx16	Разрядность блока, если он сконфигурирован как память NAND FLASH: 0 – 8 разрядов; 1 – 16 разрядов. Если BOOT = 2, то при записи в этом разряде устанавливается значение внешнего вывода FW	RW	0
22:21	T	Тип памяти блока памяти: 00 – асинхронная без ожидания сигнала ACK; 10 – асинхронная с ожиданием сигнала ACK; 01,11 – асинхронная NAND FLASH.	RW	0
20	E	Разрешение формирования сигнала nCS[2]: 0 – запрещено; 1 – разрешено	RW	0
19:16	WS	Число тактов ожидания при обращении к блоку памяти, если он сконфигурирован как асинхронная память	RW	0xF
15:8	CSBA	Разряды 31:24 базового адреса блока памяти. Младшие разряды базового адреса равны нулю	RW	0
7:0	CSMASK	Разряды маски 31:24 при определении базового адреса блока. Младшие разряды маски равны нулю	RW	0

Память, подключаемая к выводу nCS[2], может быть асинхронной или NAND FLASH.

7.2.4 Регистр конфигурации CSCON3

Регистр CSCON3 предназначен для конфигурирования блока памяти, подключаемого к выводу nCS[3].

Формат регистра приведен в Таблица 7.5.

Таблица 7.5. Назначение разрядов регистра CSCON3

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	OVER	Признак того, что при обмене данными с любым блоком асинхронной памяти, сконфигурированном на ожидание сигнала ACK, этот сигнал не был установлен в течение 256 периодов частоты SCLK	RW	0
30:29	-	Резерв	R	0
28	-	Резерв	RW	0
27:26	-	Резерв	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
25:24	BOOT	Состояние сигналов на одноименных входах микропроцессора. Они определяют источник данных при начальной загрузке программ микропроцессора после снятия сигнала nRST: 00 – загрузка производится из 32-разрядного блока памяти, подключенного к выводу nCS[3]; 01 – загрузка производится из блока памяти NOR FLASH, подключенного к выводу nCS[3]. Разрядность блока определяется внешним выводом FW; 10 – загрузка производится из блока памяти NAND FLASH, подключенного к выводу nCS[2]. Разрядность блока определяется состоянием входного сигнала FW. При этом к выводу nCS[3] может быть подключен 32-разрядный блок памяти 11 – загрузка производится из порта SPI MFBSPO. При этом к выводу nCS[3] может быть подключен 32-разрядный блок асинхронной памяти	R	-
23	FW	Порт входного сигнала FW. Определяет разрядность блока при BOOT = 01: 0 – 32 разряда; 1 – 16 разрядов.	R	-
22	-	Резерв	R	0
21:20	ADDR	Используются при программной записи данных в 16-разрядную память NOR FLASH: при выполнении команды Store Word на линии адреса A[1:0] микропроцессора выдается содержимое поля ADDR[1:0] соответственно	RW	0
19:16	WS	Число тактов ожидания при обращении к памяти блока, если он сконфигурирован как асинхронная память (BOOT = 0,2,3)	RW	0
15:0	-	Резерв	R	0

Область памяти, определяемая регистром CSCON3, размещается в диапазоне физических адресов от 0x1C00_0000 до 0x1FFF_FFFF (64 Мбайт).

Доступ к данному блоку памяти всегда разрешен. При обмене данными с этим блоком сигнал ACK безразличен.

Как правило, к выводу nCS[3] подключается блок памяти программ, реализованный на NOR FLASH, PROM, EEPROM и т.д. Разрядность этого блока, в зависимости от состояния сигналов на выводах микросхемы BOOT и FW может быть 16 или 32.

16-разрядная память NOR FLASH подключается к выводам D[15:0] микропроцессора. Шину адреса A[24:1] к этой памяти необходимо подключать, начиная с 1 разряда (к 32-разрядной памяти адрес подключается, начиная со 2 разряда). Запись данных в 16-разрядную память выполняется в соответствии с рекомендациями п. 7.4.2.

Признак OVER формируется, если в соответствующем регистре CSCON биты T=10, а от памяти не поступил сигнал ACK в течение 256 тактов SCLK. В этом случае операция обмена данными заканчивается обычным образом, за исключением того, что считываемые данные не определены, а записываемые данные теряются. Состояние бита OVER не влияет на выполнение последующих операций обмена данными.

7.2.5 Регистр конфигурации CSCON4

Регистр CSCON4 предназначен для конфигурирования внешней памяти, не вошедшей в блоки памяти, определяемые регистрами CSCON3 - CSCON0.

Данный блок памяти подключается к выводу nCS[4].

Формат регистра приведен в Таблица 7.6.

Таблица 7.6. Назначение разрядов регистра C5CON4

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:20	-	Резерв	R	0
19:16	WS	Число тактов ожидания при обращении к памяти блока	RW	0xF
15:0	-	Резерв	R	0

Память данного блока может быть только асинхронной разрядности 32. Доступ к данному блоку памяти всегда разрешен. При обмене данными с этим блоком сигнал АСК безразличен.

7.2.6 Регистр конфигурации SDRCON

Регистр SDRCON предназначен для программирования конфигурационных параметров синхронной памяти SDRAM или Mobile SDRAM.

Формат регистра приведен в Таблица 7.7.

Таблица 7.7. Формат регистра SDRCON

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	Резерв	R	0
29:16	tRFR	Период регенерации SDRAM в тактах частоты SCLK	RW	0
15:13	-	Резерв	RW	0
12	-	Резерв	RW	0
11:10	-	Резерв	RW	0
8:9	-	Резерв	RW	0
7	-	Резерв	RW	0
6:4	CL	Задержка данных при чтении (CAS latency): 010 – 2 такта SCLK; 011 – 3 такта SCLK. Остальные значения этого поля – резерв	RW	0
3	-	Резерв	R	0
2:0	PS	Размер страницы микросхем SDRAM, подключенных к MPORT: 100– 256; 000 – 512; 001 – 1024; 010 – 2048; 011 – 4096. Остальные значения этого поля – резерв. Число банков SDRAM – 4	RW	0

Память данного типа может быть размещена только в блоках памяти, подключенных к выводам nCS[0] или/и nCS[1].

Преобразование 32 разрядного физического адреса в адрес памяти SDRAM при различных значениях параметра PS представлено в таблицах 7.8-7.10. Разряды физического адреса в таблицах обозначены строчными буквами “а”.

Таблица 7.8. Отображение адреса строки

PS	Адрес SDRAM												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
000	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13
001	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14
010	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15
011	a28	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16
100	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12

Таблица 7.9. Отображение адреса столбца

PS	Адрес SDRAM												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
000	0	0	0	0	a10	a9	a8	a7	a6	a5	a4	a3	a2
001	0	0	0	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2
010	0	a12	0	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2
011	a13	a12	0	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2
100	0	0	0	0	0	a9	a8	a7	a6	a5	a4	a3	a2

Таблица 7.10. Отображение адреса банка

PS	Адрес банка SDRAM	
	BA1	BA0
000	a12	a11
001	a13	a12
010	a14	a13
011	a15	a14
100	a11	a10

Период регенерации должен определяться индивидуально для используемой конфигурации памяти. Например, при тактовой частоте SCLK 200 МГц для обеспечения 8 192 цикловой регенерации за 64 мс необходимо в поле tRFR записать код 0x61A, что соответствует 7, 81 мкс на строку.

7.2.7 Регистр параметров SDRAM

Регистр SDRTMR предназначен для задания интервалов (в тактах частоты SCLK) между различными командами SDRAM. Формат регистра приведен в Таблица 7.11.

Таблица 7.11. Формат регистра SDRTMR

Номер разряда	Условное обозначение параметра	Назначение	Доступ	Исходное состояние
31:28	-	Резерв	R	0
27:24	tRC	Минимальный период команд Active для одного и того же банка	RW	0
23:20	tRFC	Минимальный период команд Refresh	RW	0
19:16	tRAS	Минимальная задержка между командами Active и Precharge	RW	0
15:14	-	Резерв	R	0
13:12	-	Резерв	RW	0
11:10	-	Резерв	R	0
9:8	tRCD	Минимальная задержка между командами Active и Read/Write	RW	0
7:6	-	Резерв	R	0
5:4	tRP	Минимальный период команд Precharge	RW	0
3:2	-	Резерв	R	0
1:0	tWR	Минимальная задержка между записью данных и командой Precharge (Write recovery)	RW	0

Значения 0, 1, ..., n параметра в таблице соответствуют интервалу в 1, 2, ..., n+1 тактов. Например, значение 0xF параметра tRFC задает интервал 16 тактов между командами Refresh, а значение 0 – интервал в один такт.

При вычислении параметров в соответствии с рабочей частотой и со спецификацией используемой памяти, полученные значения необходимо округлять до ближайшего меньшего целого. Например, если в спецификации указано время tRCD = 20 нс, то при частоте SCLK 133 МГц (период 7.5 нс) минимальный интервал в 2.7 такта нужно округлить до 2 и в поле tRCD регистра SDR TMR записать код 0x2.

7.2.8 Регистр состояний и управления SDRCSR

Регистр SDRCSR предназначен для запуска команд изменения режимов SDRAM и индикации их исполнения.

Формат регистра SDRCSR приведен в Таблица 7.12.

Таблица 7.12. Формат регистра SDRCSR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:5	-	Резерв.	R	0
4	EXIT	При записи 1 в данный разряд MPORT выполняет последовательность команд вывода SDRAM из режимов саморегенерации и пониженного потребления. При чтении - признак выполнения команды выхода SDRAM из указанных режимов: устанавливается в 1 после завершения команды; сбрасывается при записи любой команды	RW1	0
3	PWDN	При записи 1 в данный разряд MPORT переводит SDRAM в режим пониженного потребления. При чтении - признак окончания данной команды: устанавливается в 1 после завершения команды; сбрасывается записью команды EXIT	RW1	0
2	SREF	При записи 1 в данный разряд MPORT переводит SDRAM в режим саморегенерации. При чтении - признак окончания данной команды: устанавливается в 1 после завершения команды; сбрасывается записью команды EXIT	RW1	0
1	AREF	При записи 1 в данный разряд MPORT выполняет команду авторегенерации SDRAM. При чтении - признак окончания команды авторегенерации: устанавливается в 1 после завершения данной команды; сбрасывается при записи любой команды	RW1	0
0	INIT	При записи 1 в данный разряд MPORT выполняет инициализацию SDRAM с параметрами: Burst Length – 1; Burst Type – Sequential; CAS Latency – поле CL регистра SDRCON; Operation Mode – Standart Operation; WB – Single Location Access. При чтении - признак окончания команды инициализации: устанавливается в 1 после завершения данной команды; сбрасывается при записи любой команды	RW1	0

Команды кодируются унитарным кодом в разрядах 5:0. Запись других кодов или запись новой команды до завершения предыдущей игнорируются. Выражение “Запись 1 в

данный разряд” в графе «Назначение» означает запись унитарного кода с единицей в данном разряде.

При запуске любой команды изменения режимов MPORT ожидает завершения текущего обмена (в том числе аппаратное выполнение Auto Refresh), приостанавливает выполнение очередного обмена с SDRAM и выполняет необходимую последовательность команд SDRAM. Во время исполнения команды значение регистра SDRCSR - 0

По команде INIT выполняется последовательность команд инициализации:

- Precharge;
- Пауза tRP, Refresh
- Пауза tRFC, Refresh
- Пауза tRFC, Load Mode Register;
- Пауза tMRD, установка индикатора INIT;

Длительность выполнения команды INIT составляет ~30 тактов SCLK. Пауза tMRD - 4 такта SCLK. До выполнения начальной инициализации необходимо записать все параметры в регистры SDRCON и SDRTMR.

По команде AREF MPORT выполняет:

- Precharge;
- пауза tRP;
- Refresh;
- пауза tRFC, установка индикатора AREF;

При выполнении программной регенерации в режиме “burst” необходимо перед выполнением очередной команды авторегенерации убедиться в завершении предыдущей проверкой установки индикатора AREF.

По команде PWDN MPORT выполняет:

- Precharge;
- Пауза 1 такт SCLK;
- Сброс СKE, NOP;
- Пауза tRFC, установка индикатора PWDN .

После выполнения данной команды память находится в режиме “precharge power down”.

В этом состоянии MPORT не контролирует выполнение интервала tREFC, поэтому для сохранения информации необходимо чередовать команды PWDN и EXIT с периодичностью tRFR.

По команде SREF MPORT выполняет:

- Precharge;
- Пауза tRP;
- Сброс СKE, Refresh;
- Пауза tRFC, установка индикатора SREF.

После выполнения команд PWDN и SREF MPORT находится в состоянии ожидания команды EXIT или INIT и игнорирует другие команды изменения режимов SDRAM .

По команде EXIT контроллер устанавливает СKE и, после паузы tXSNR(или 2такта SCLK при выходе из режима PWDN) , выполняет AREF и устанавливает индикатор EXIT. $tXSNR = tRFC + 6$ тактов SCLK.

MPORT игнорирует команду EXIT при сброшенных индикаторах PDP, PWDN и SREF.

7.2.9 Регистр параметров и состояний NDFPSR

Регистр NDFPSR определяет параметры и состояние блоков памяти NAND FLASH, подключенных к MPORT

Формат регистра NDFPSR приведен в таблице 7.13.

Таблица 7.13. Формат регистра NDFPSR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:28	tRR	Минимальная задержка между переключением сигнала готовности NAND FLASH из низкого уровня в высокий уровень и следующей операцией чтения	RW	0
27:26	-	Резерв	R	0
25:24	BOOT	Порт одноименных входных сигналов	R	-
23	FW	Порт входного сигнала FW	R	-
22:18	-	Резерв	R	0
17	RB2	Порт входного сигнала RB2	R	-
16	RB	Порт входного сигнала RB	R	-
15:8	tCCS	Минимальная задержка между командой изменения адреса столбца и следующей операцией с NAND FLASH	RW	2
7:4	tWW	Минимальная задержка между изменением режима защиты памяти и следующей операцией запись	RW	2
3:2	-	Резерв	R	0
1	TRB2	Признак переключения входного сигнала RB2: Устанавливается в '1' при переключении RB2 из низкого уровня в высокий уровень; Устанавливается в '0' при чтении данного регистра	R	0
0	TRB	Признак переключения входного сигнала RB: Устанавливается в '1' при переключении RB из низкого уровня в высокий уровень; Устанавливается в '0' при чтении данного регистра	R	0

При BOOT = 2 вход RB2 микропроцессора должен быть соединен с выходом R/B блока памяти NAND FLASH, подключенной к выводу nCS[2], а выход nWP2 микропроцессора – с входом WP# этого блока. В остальных случаях программирование nWP, nWP2 и анализ RB, RB2 необходимо проводить с учётом схемы соединения блоков памяти NAND FLASH с микропроцессором.

При использовании нескольких блоков памяти NAND FLASH, один из них должен быть подключен к выводу nCS[2].

Неиспользуемые входы RB2, RB необходимо подключить к источнику питания.

7.2.10 Регистры параметров NAND FLASH

Регистры NDFTMW и NDFTMR предназначены для программирования интервалов между различными командами NAND FLASH (в тактах частоты SCLK).

Форматы регистров NDFTMW и NDFTMR приведены в таблицах 7.14 и 7.15 соответственно.

Значения 0, 1, ..., n параметра в таблицах соответствуют интервалу в 1, 2, ..., n+1 тактов.

Таблица 7.14. Формат регистра NDFTMW

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	tRHW	Минимальная задержка между последним циклом чтения и началом цикла записи	RW	02
23:16	tADL	Минимальная задержка между последней фазой адреса и записью данных	RW	02
15:13	tCS	Длительность предустановки nCS в цикле записи	RW	0
12:8	tWC	Длительность цикла сигнала nWEF	RW	0
7:4	tWH	Длительность удержания высокого уровня сигнала nWEF в цикле записи	RW	0
3:0	tWP	Длительность низкого уровня сигнала nWEF	RW	0

Таблица 7.15. Формат регистра NDFTMR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	tWHR	Минимальная задержка между последним циклом записи и чтением данных	RW	0
23:20	tCHZ	Максимальная задержка между установкой высокого уровня сигнала nCS и переходом шины данных памяти в высокоимпедансное состояние после цикла чтения	RW	0
19:16	tREA	Готовность данных после установки низкого уровня сигнала nREF в цикле чтения	RW	0
15:13	tCEA	Готовность данных после установки низкого уровня сигнала nCS в цикле чтения	RW	0
12:8	tRCF	Длительность цикла сигнала nREF	RW	0
7:4	tREN	Длительность удержания высокого уровня сигнала nREF	RW	0
3:0	tRPF	Длительность низкого уровня сигнала nREF	RW	0

7.2.11 Регистр защиты памяти NDFWPR

Регистр NDFWPR предназначен для управления внешними выводами nWP и nWP2.

Формат регистра NDFWPR приведен в Таблица 7.16.

Таблица 7.16. Формат регистра NDFWPR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:2	-	Резерв	R	0
1	WP2	Порт выходного сигнала nWP2: 1 – на выводе nWP2 устанавливается низкий уровень сигнала (защита памяти включена); 0 – на выводе nWP2 устанавливается высокий уровень сигнала (защита памяти отключена)	RW	1
0	WP	Порт выходного сигнала nWP: 1 – на выводе nWP устанавливается низкий уровень сигнала (защита памяти включена); 0 – на выводе nWP устанавливается высокий уровень сигнала (защита памяти отключена)	RW	1

При изменении режима защиты памяти следует руководствоваться рекомендациями производителя. Так, при использовании микросхем MT29F8G08ABABA, необходимо дождаться завершения очередной командной последовательности (command sequence), проверить готовность памяти и записать в регистр NDFWPR требуемый режим защиты памяти.

Необходимую паузу tWW MPORT контролирует аппаратно.

7.2.12 Регистр параметров NOR FLASH NRFTMR

Регистр NRFTMR предназначен для программирования интервалов между различными командами NOR FLASH (в тактах частоты SCLK).

Формат регистра NRFTMR приведен в Таблица 7.17.

Таблица 7.17. Формат регистра NRFTMR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	tWHQV	Минимальная задержка между переключением сигнала nWE из низкого уровня в высокий уровень и готовностью данных при последующем чтении данных	RW	0
23:20	tWLWH	Длительность низкого уровня сигнала nWE в цикле записи	RW	0
19:16	tHWWL	Длительность высокого уровня сигнала nWE в цикле записи	RW	0
15:13	tGHQZ	Максимальная задержка между установкой высокого уровня сигнала nRD и переходом шины данных памяти в высокоимпедансное состояние после цикла чтения	RW	0
12:8	tAVAV1	Минимальная задержка между изменением адреса и готовностью данных при чтении второго и последующих слов страницы	RW	0
7:4	tAVAV	Длительность низкого уровня сигнала nRD при чтении одного слова или минимальная задержка между изменением адреса и готовностью данных при чтении первого слова страницы	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
3:0	FPS	Размер страницы микросхем NOR FLASH, подключенных к MPORT: 0 – 4 слова; 1 – 8 слов; 2 – 16 слов; 3 – 32 слов. Остальные значения этого поля – резерв	RW	0

Значения 0, 1, ..., n параметра tAVAV соответствуют интервалу в 2, 3, ..., n+2 тактов.

Для остальных параметров значения 0, 1, ..., n соответствуют интервалу в 1, 2, ..., n+1 тактов. Если в спецификации микросхемы NOR FLASH используется параметр tWHGL, то tWHQV необходимо выбрать так, чтобы tWHGL = tWHQV – tAVAV.

7.2.13 Управление обменами с памятью NAND FLASH

Управление обменами с NAND FLASH осуществляется командами Load Word, Store Word процессора CPU, командой MOVE процессора DSP или контроллером DMA. Разряды физического адреса 22:20 (CMD) определяют тип командной последовательности для NAND FLASH, а разряды 17:16 (BN) – длину последовательности в байтах.

Перечень команд управления представлен в Таблица 7.18. и Таблица 7.19.

Таблица 7.18. Команды управления записью в память NAND FLASH

CMD	BN	Выполняемая последовательность команд
0	-	При передаче 32-разрядного слова в 8-разрядную память выполняется 4 цикла записи данных (Data Input). По шине D[7:0] последовательно передаются байты данных с номерами 0, 1, 2, 3. При передаче 32-разрядного слова в 16-разрядную память выполняется 2 цикла записи данных. По шине D[15:0] последовательно передаются младшее и старшее полу-слово данных. При передаче 64-разрядного слова выполняется 8 циклов записи данных для 8-разрядной памяти и 4 цикла для 16-разрядной памяти
1	0	Выполняется цикл записи команды (Command Latch Cycle). По шине D[7:0] передается младший байт данных
	1	Выполняется цикл записи команды и цикл записи адреса (Address Latch Cycle). По шине D[7:0] последовательно передаются нулевой и первый байты данных
	2	Выполняется цикл записи команды и два цикла записи адреса. По шине D[7:0] последовательно передаются нулевой, первый и второй байты данных
	3	Выполняется цикл записи команды и три цикла записи адреса. По шине D[7:0] последовательно передаются байты данных с номерами 0, 1, 2, 3
2	0	Выполняется цикл записи адреса. По шине D[7:0] передаётся нулевой байт данных
	1	Выполняется два цикла записи адреса. По шине D[7:0] последовательно передаются нулевой и первый байты данных
	2	Выполняется три цикла записи адреса. По шине D[7:0] последовательно передаются байты данных с номерами 0, 1, 2
	3	Выполняется четыре цикла записи адреса. По шине D[7:0] последовательно передаются байты данных с номерами 0, 1, 2, 3
3	0	Выполняется цикл записи команды. По шине D[7:0] передается младший байт данных
	1	Выполняется цикл записи адреса и цикл записи команды. По шине D[7:0] последовательно передаются нулевой (адрес) и первый (команда) байты данных
	2	Выполняется два цикла записи адреса и цикл записи команды. По шине D[7:0] последовательно передаются нулевой, первый и второй байты данных
	3	Выполняется три цикла записи адреса и цикл записи команды. По шине D[7:0] последовательно передаются байты данных с номерами 0, 1, 2, 3

CMD	BN	Выполняемая последовательность команд
4	-	Данная операция используется для передачи служебных байтов в 16-разрядную память, например, при выполнении операции SET FEATUTES для микросхемы MT29F8G16ABABA. При передаче 32- разрядного слова выполняется 4 цикла записи данных: по шине D[7:0] последовательно передаются байты данных с номерами 0, 1, 2, 3. При передаче 64- разрядного слова выполняется 8 циклов записи данных.

Операции записи с CMD = 1,2,3 определены только при передаче 32- разрядного слова.

Запись с CMD = 1,2,3 в 64-разрядном формате запрещена

Таблица 7.19. Команды управления чтением памяти NAND FLASH

CMD	BN	Выполняемая последовательность команд
0	-	При чтении 32- разрядного слова из 8 – разрядной NAND FLASH выполняется 4 цикла чтения данных (Data Output). При чтении 32 - разрядного слова из 16 - разрядной NAND FLASH выполняется 2 цикла чтения данных. При чтении 64 - разрядного слова выполняется 8 циклов чтения данных для 8 - разрядной памяти и 4 цикла для 16 - разрядной памяти. Данная операция выполняется при высоком уровне сигнала готовности NAND FLASH с контролем интервала tRR.
1,2,3	-	Данная операция используется для чтения байтовой информации из 16 - разрядной памяти NAND FLASH, например, при выполнении операции READ ID. При передаче 32- разрядного слова выполняется 4 цикла чтения байта. При передаче 64- разрядного слова выполняется 8 циклов чтения байта. Данная операция выполняется при высоком уровне сигнала готовности NAND FLASH с контролем интервала tRR.
4	-	Данная операция используется для чтения байта состояния памяти NAND FLASH при выполнении операции READ STATUS. При передаче 32- разрядного слова выполняется 4 цикла чтения байта. При передаче 64- разрядного слова выполняется 8 циклов чтения байта. Данная операция выполняется при любом уровне сигнала готовности NAND FLASH без контроля интервала tRR.

7.2.14 Регистр CSR_EXT

Регистр CSR_EXT предназначен для управления режимами контроля и коррекции памяти модифицированным кодом Хэмминга.

Формат регистра приведен в Таблица 7.20.

Таблица 7.20. Формат регистра CSR_EXT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	Cnt_SERR	Счетчик одиночных ошибок. При значении 0xFF останавливается	WR	0
23:16	Num_SERR	Допустимый порог одиночных ошибок	WR	0xFF
15:8	Cnt_DERR	Счетчик двойных ошибок. При значении 0xFF останавливается	WR	0
7:5	-	Резерв	R	0
4	ROM	Признак отключения контроля по Хеммингу асинхронной памяти, подключенной к выводу nCS[3]: 0 – контроль включен; 1 – контроль выключен	WR	1
3	RMW	Разрешение операции чтение-модификация-запись в режиме без коррекции ошибок: 0 – запрещено; 1 – разрешено	WR	0
2	NEMPTY	Признак наличия данных в FIFO ошибочных адресов. Обнуляется при записи в регистр AERROR_EXT		0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
1:0	MODE	Режим работы памяти: 00 - режим без коррекции ошибок. Обмен данными выполняется только с блоком данных памяти; 01 - режим с коррекцией ошибок. В обмене данными участвуют блок данных и блок контрольных разрядов; 10 - режим тестирования блока контрольных разрядов. Обмен данными выполняется только с блоком контрольных разрядов; 11 - резерв	WR	0

В режиме MODE = 01 или в режиме MODE = 00 при RMW = 1 байтовая запись выполняется операцией “чтение-модификация-запись”. При выполнении операции “чтение-модификация-запись” в режиме MODE = 01 ошибки фазы чтения исправляются и фиксируются в FIFO ошибочных адресов.

При ROM=0 операции с асинхронной памятью выполняются в соответствии с установленным значением поля MODE.

При ROM=1 операции с асинхронной памятью, подключенной к выводу nCS[3], выполняются только с блоком данных памяти независимо от значения поля MODE.

При ROM=1 MPORT выполняет запись в асинхронную память, подключенную к выводу nCS[3], в режиме программирования независимо от значения поля MODE. Рекомендации по программированию представлены в разделе 7.4.2.

Состояние признака ROM не влияет на выполнение операций с динамической памятью.

В режиме MODE = 01 при Cnt_DERR > 0 или Cnt_SERR > Num_SERR формируется прерывание INT_Hm MPORT поступающее на одноименный вход регистра QSTR_Hm.

Прерывание сбрасывается по следующим условиям:

- при записи Cnt_DERR = 0 и Cnt_SERR = 0;
- при записи Cnt_DERR = 0, если Cnt_SERR ≤ Num_SERR;
- при записи Cnt_SERR = 0 или Num_SERR = 255, если Cnt_DERR = 0.

7.2.15 Регистр AERROR_EXT

Регистр AERROR_EXT предназначен для фиксации и локализации ошибок фазы чтения в режиме MODE = 01. Регистр доступен для чтения при установленном признаке NEMPTY регистра CSR_EXT. При NEMPTY = 0 состояние регистра неопределено. При записи значение регистра не изменяется.

Формат регистра приведен в Таблица 7.21.

Таблица 7.21. Формат регистра AERROR_EXT

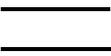
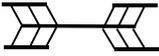
Номер разряда	Условное обозначение	Назначение
1:0	Code_ERR	Код ошибки: 01 – одиночная ошибка 10 – двойная ошибка 11 – ошибка в контрольном разряде общей четности
31:2	ADDR_ERR	Разряды 31:2 физического адреса памяти, при чтении из которой обнаружена ошибка

7.3 Временные диаграммы обмена данными

7.3.1 Общие положения

При описании временных диаграмм используются условные обозначения в соответствии с Таблица 7.22.

Таблица 7.22. Условные обозначения

Условное обозначение	Описание
	Стабильное значение
	Возможное значение
	область изменения из «0» в «1»
	область изменения из «1» в «0»
	Достоверное значение
	Для входов: Не воспринимается, допустимо любое переключение Для выходов: состояние не определено
	Переключение выхода из (в) высокоимпедансное состояние (центральная линия)
	Повторение сигнала в течение неопределенного времени
T_i	<i>i</i> = 1, 2, ... фаза обмена на временной диаграмме
n	Число дополнительных тактов ожидания, задаваемых полем WS регистров CSCON
w	Число тактов ожидания поступления высокого уровня сигнала ACK
nCS_x	Один из пяти сигналов nCS[4:0]
TS	Интервал времени длиной в один такт SCLK

7.3.2 Обмен данными с асинхронной памятью

Временные диаграммы записи данных в асинхронную память приведены на Рисунок 7.1. - Рисунок 7.3.

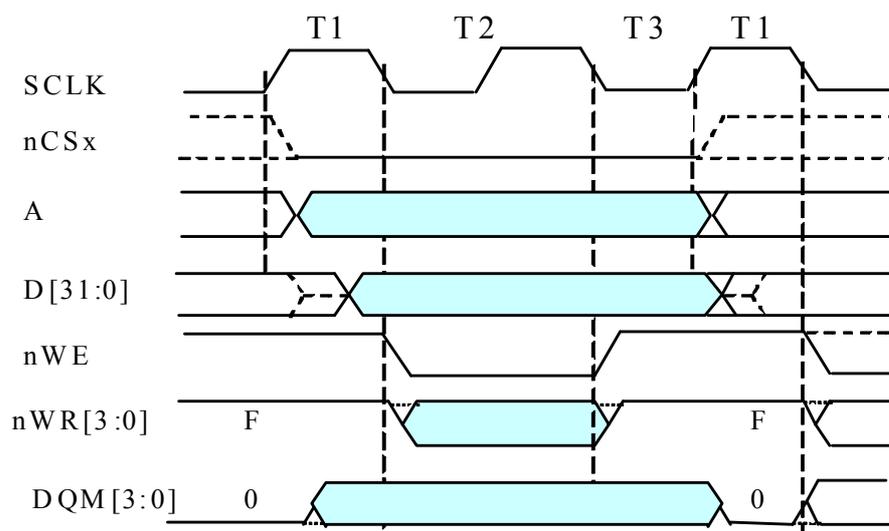


Рисунок 7.1. Запись в асинхронную память без дополнительных тактов ожидания.

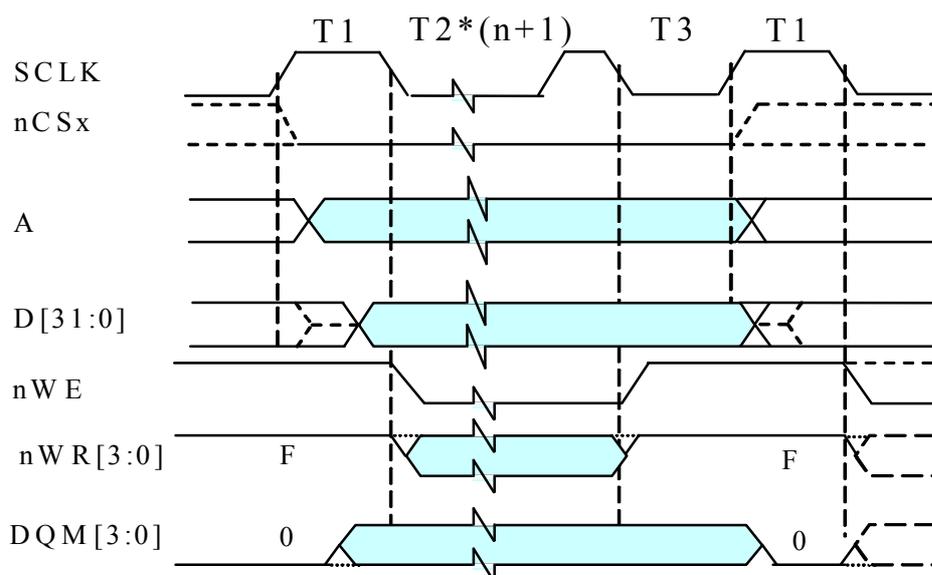


Рисунок 7.2. Запись в асинхронную память с n дополнительными тактами ожидания.

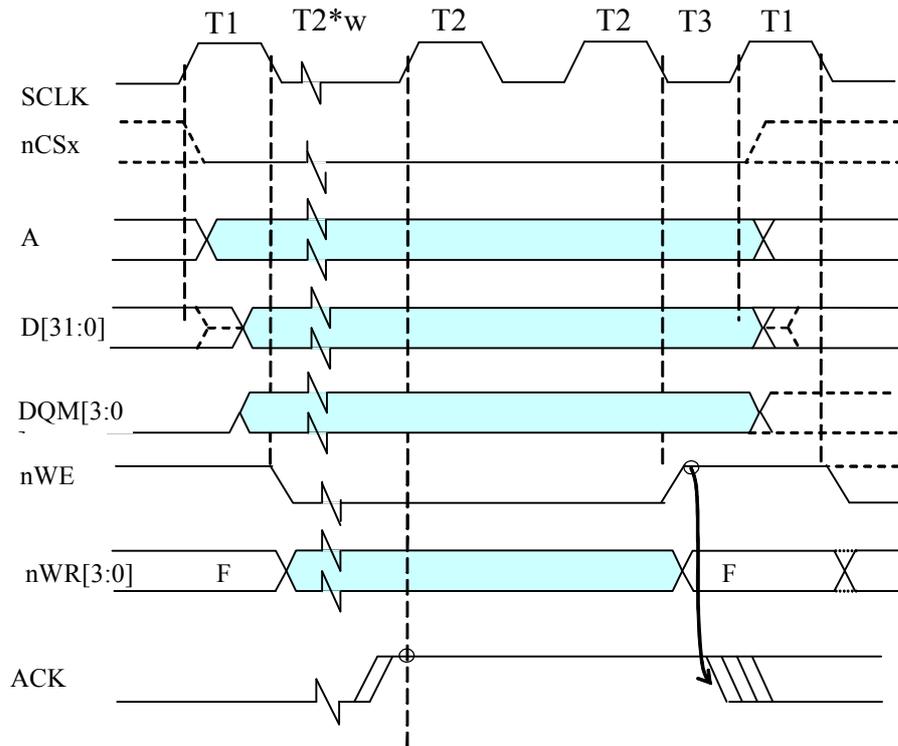


Рисунок 7.3. Запись в асинхронную память с ожиданием сигнала ACK.

Временные диаграммы чтения данных из асинхронной памяти приведены на Рисунок 7.4. - Рисунок 7.6.

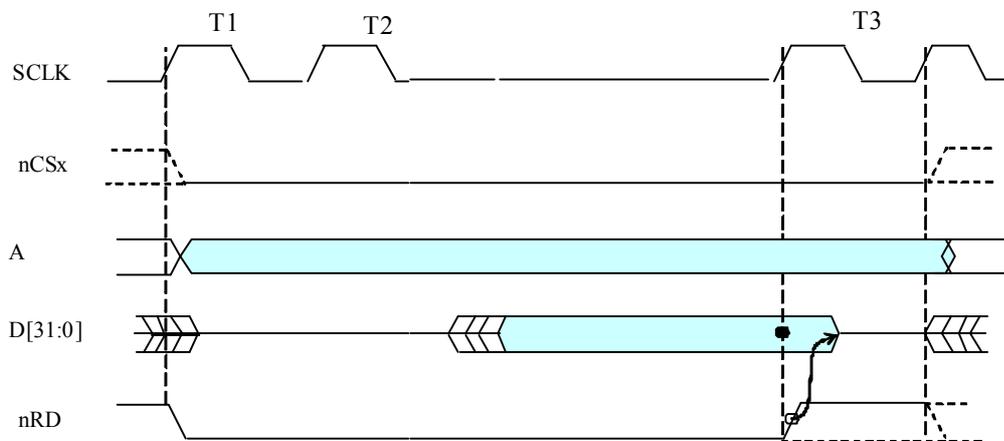


Рисунок 7.4. Чтение асинхронной памяти без дополнительных тактов ожидания.

Следует отметить, что при чтении подряд нескольких слов данных из одного и того же банка асинхронной памяти сигнал nRD может не переходить в состояние 1 (выборка команд CPU, выполнение процедуры Refill, выполнение подряд нескольких команд LW из кэшируемой области, чтение данных по DMA и т.д.).

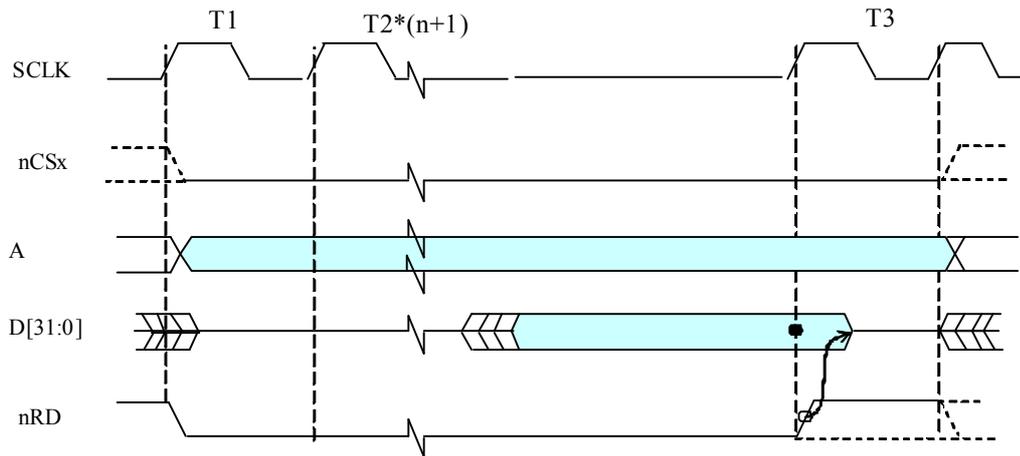


Рисунок 7.5. Чтение асинхронной памяти с n дополнительными тактами ожидания.

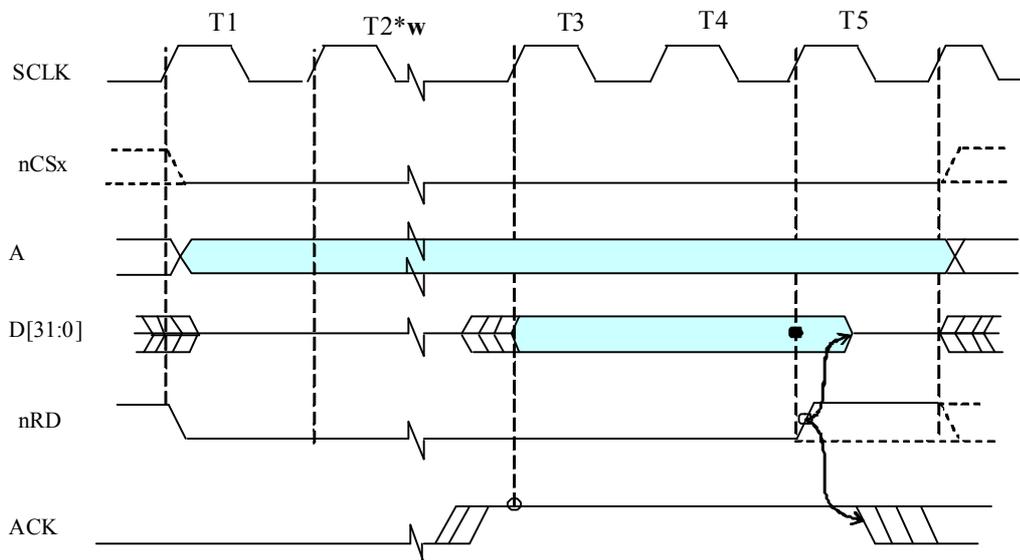


Рисунок 7.6. Чтение данных из асинхронной памяти с ожиданием сигнала ACK.

Если CPU выполняет программу из кэшируемой области внешней памяти, то загрузка строки кэш (процедура Refill) выполняются посредством чтения четырех 32-разрядных слов в режиме burst. Адрес, по которому начинается burst, выровнен по 16-байтной границе. На Рисунок 7.7. приведена временная диаграмма выполнения процедуры Refill из 32-разрядной асинхронной памяти при $FW = 0$.

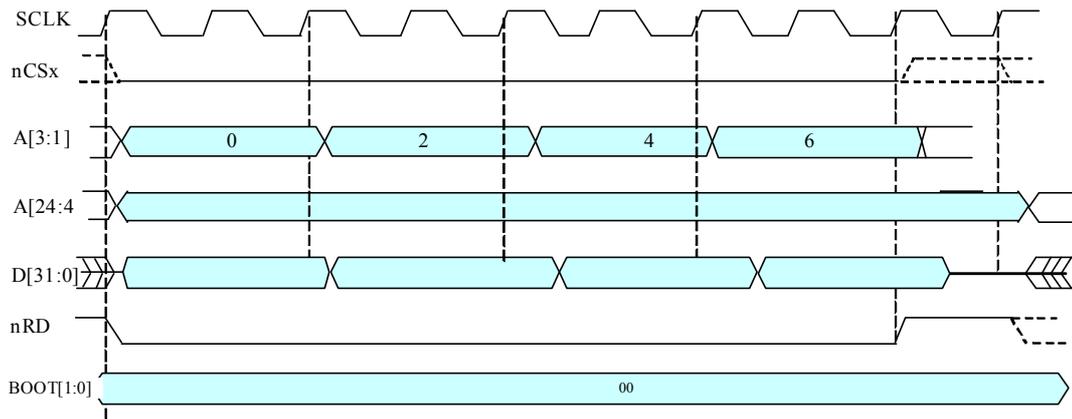


Рисунок 7.7. Выполнение процедуры Refill из 32-разрядной асинхронной памяти ($n = 0$).

7.3.3 Обмен данными с асинхронной памятью NOR FLASH

При $BOOT = 01$, в блоке внешней памяти, подключенному к сигналу выборки памяти $nCS[3]$, размещается постоянное запоминающее устройство (ПЗУ), реализованное на NOR FLASH. В зависимости от состояния выводов микросхемы FW блок внешней памяти NOR FLASH может быть 16- или 32-разрядным. На Рисунок 7.8. приведена временная диаграммы записи и чтения 32-разрядного слова из NOR FLASH при $BOOT = 01$, $FW=0$.

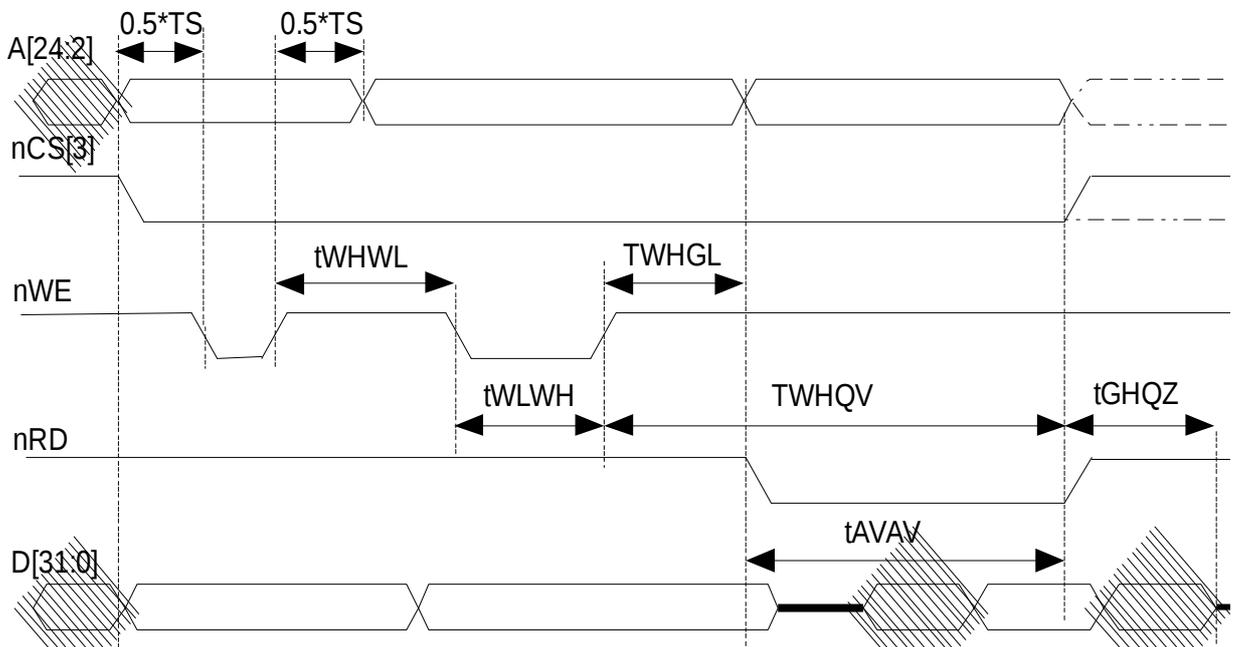


Рисунок 7.8. Запись и чтение 32-разрядного слова из NOR FLASH при $FW=0$.

На Рисунок 1.9 приведена временная диаграмма выполнения процедуры Refill из NOR FLASH при $BOOT = 01$, $FW=1$.

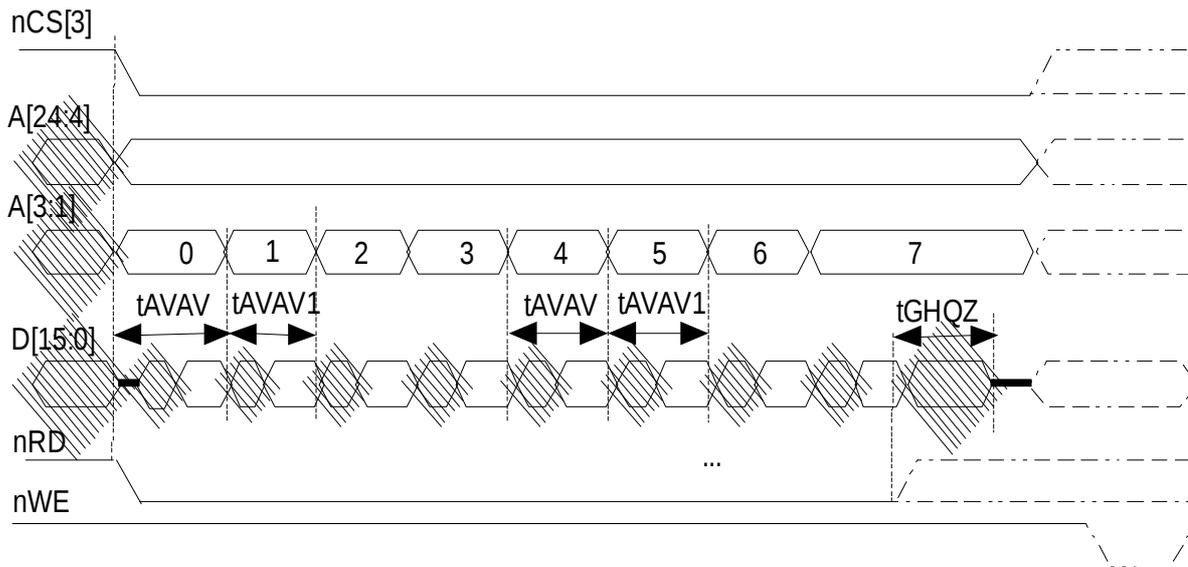


Рисунок 7.9. Выполнение процедуры Refill из NOR FLASH при FW=1, FPS =0 .

7.3.4 Обмен данными с синхронной памятью

Временные диаграммы с синхронной памятью приведены на Рисунок 7.10. - Рисунок 7.16. . Временные диаграммы инициализации и регенерации SDRAM приведены Рисунок 7.17. и Рисунок 7.18. соответственно.

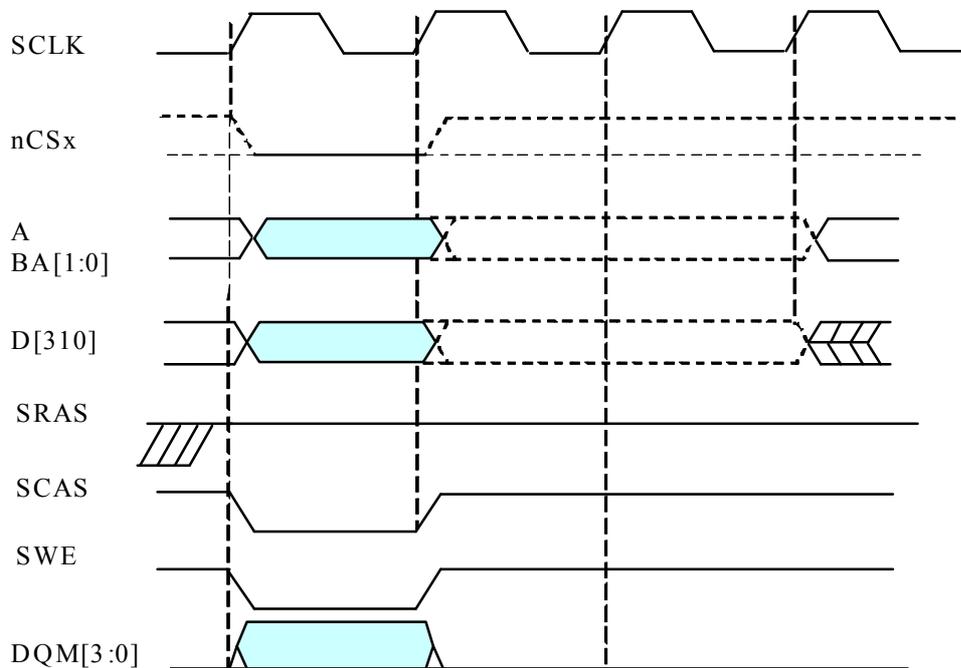


Рисунок 7.10. Запись одного слова данных в SDRAM.

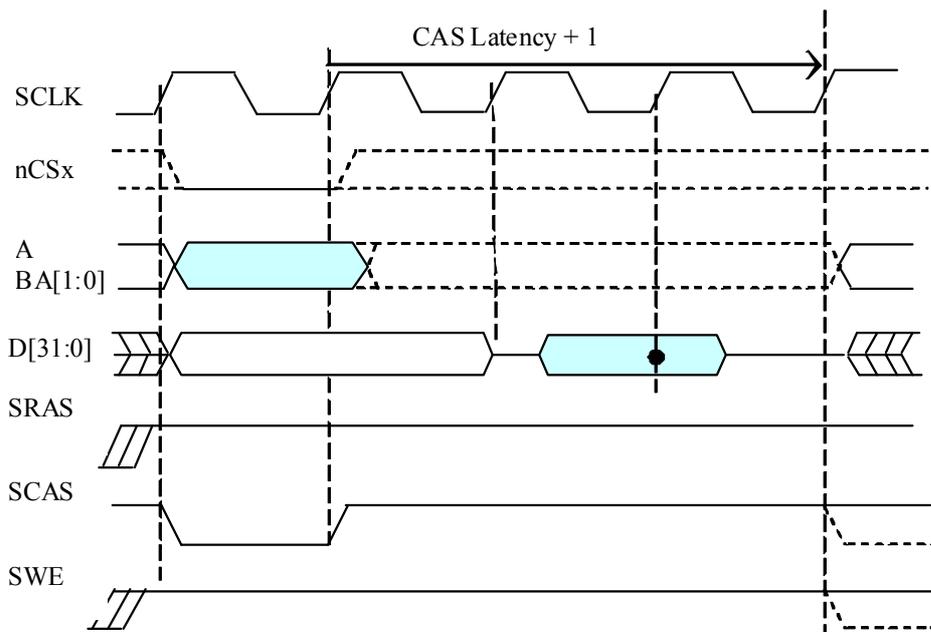


Рисунок 7.11. Чтение одного слова данных из SDRAM.

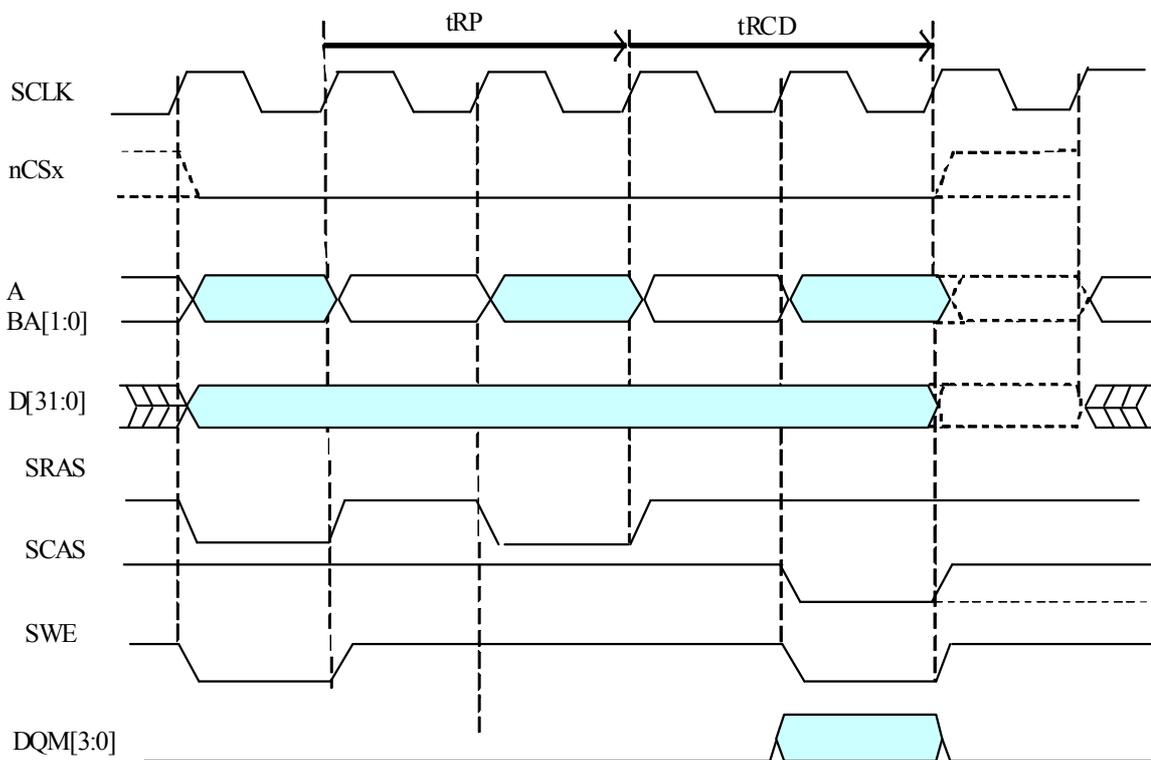


Рисунок 7.12. Запись одного слова данных в SDRAM с деактивизацией строки

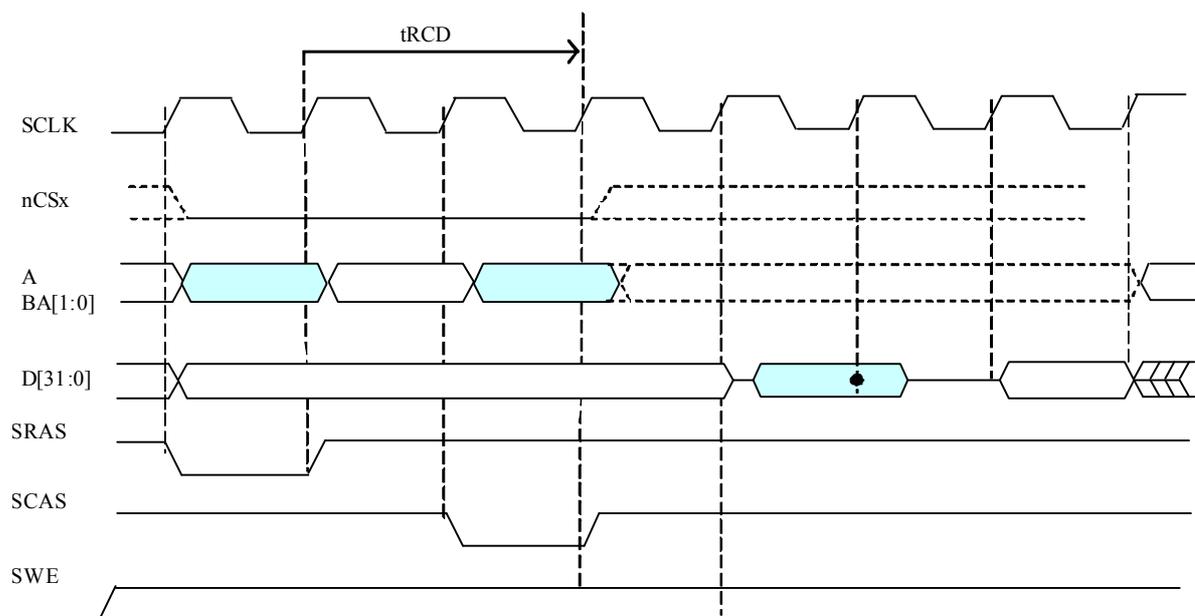


Рисунок 7.13. Чтение одного слова данных из SDRAM с активизацией строки

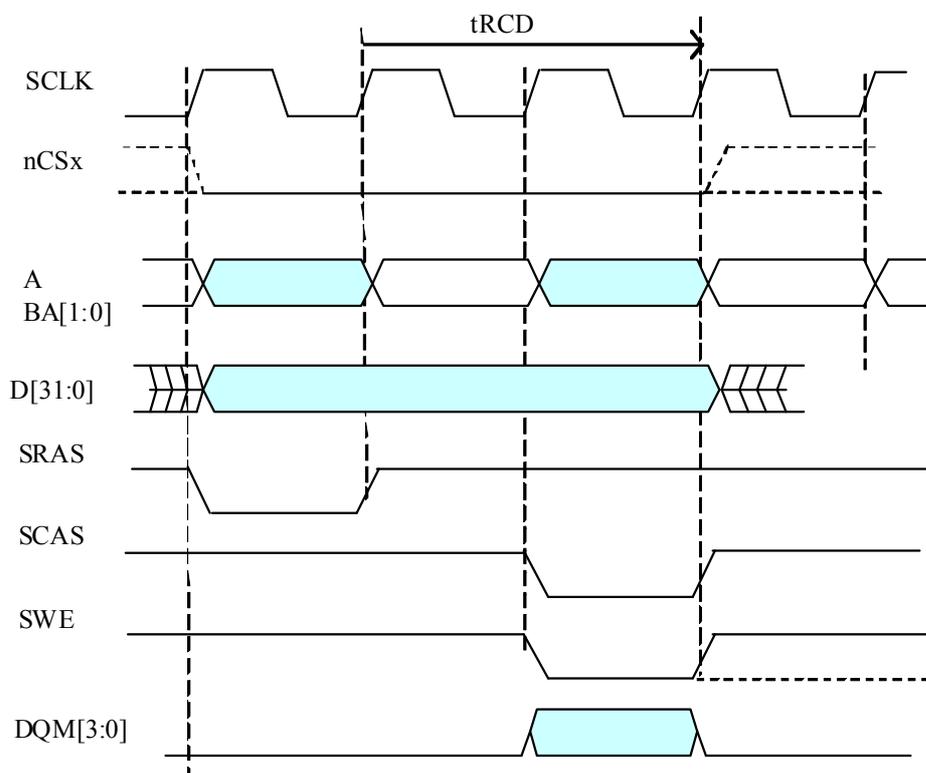


Рисунок 7.14. Запись одного слова данных в SDRAM с активизацией строки

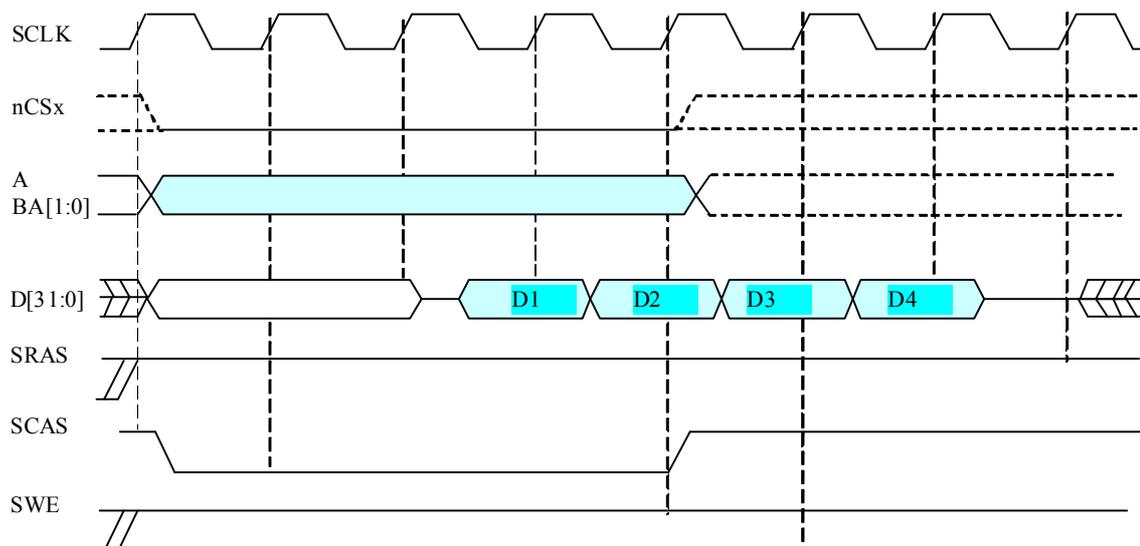


Рисунок 7.15. Чтение 4-х слов данных из SDRAM в режиме “burst”.

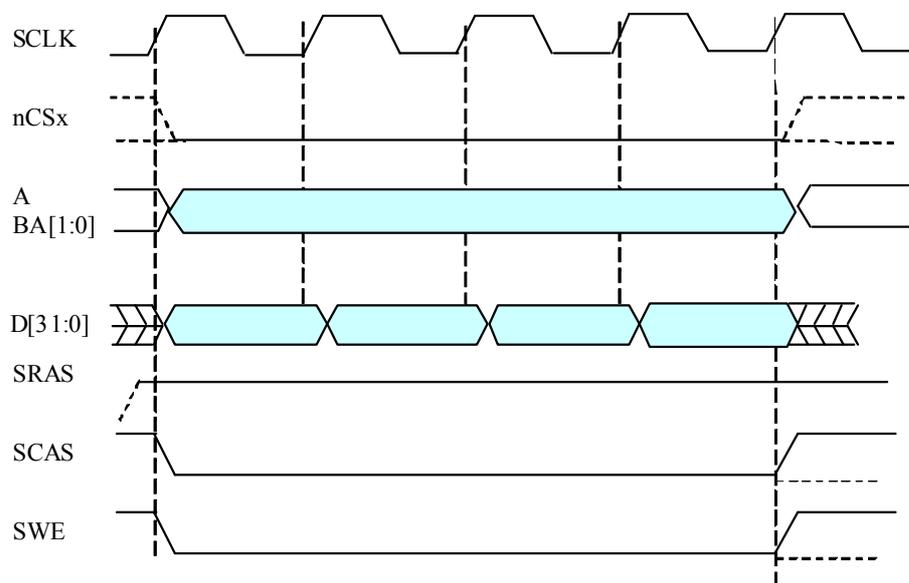


Рисунок 7.16. Запись 4-х слов данных в SDRAM в режиме “burst”

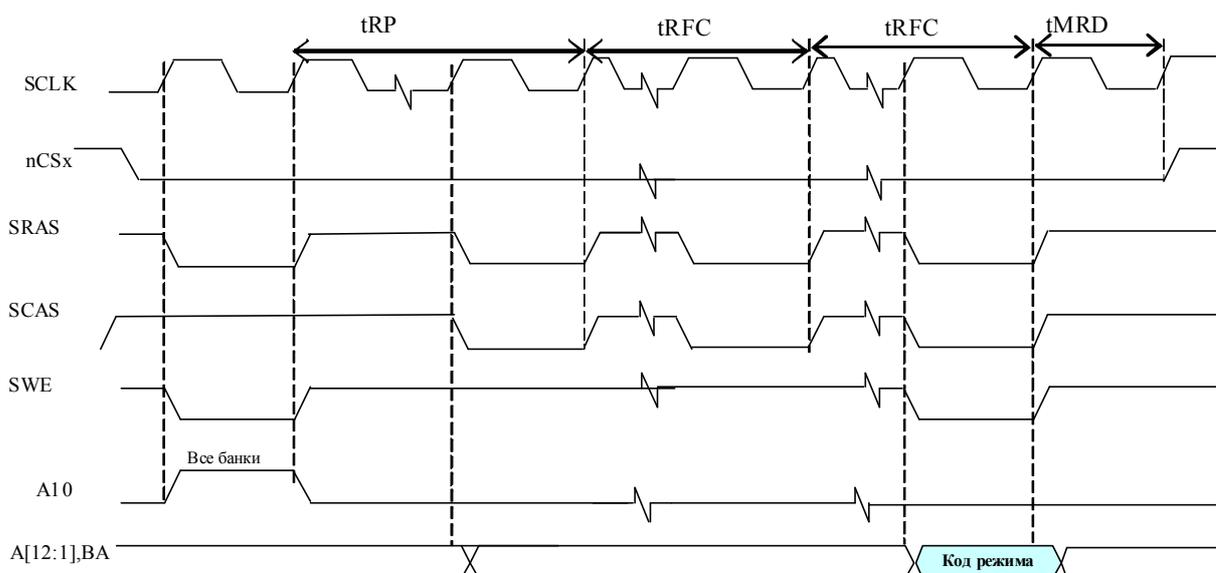


Рисунок 7.17. Инициализация SDRAM.

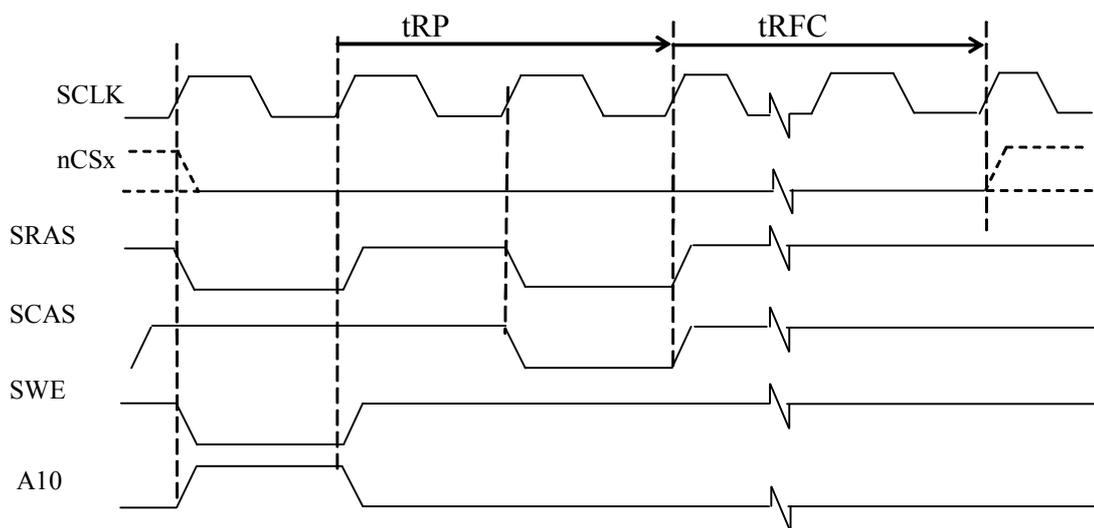


Рисунок 7.18. Регенерация SDRAM.

7.3.5 Обмен данными с асинхронной памятью NAND FLASH

Временные диаграммы с асинхронной памятью NAND FLASH приведены на Рисунок 7.19. -Рисунок 7.20.

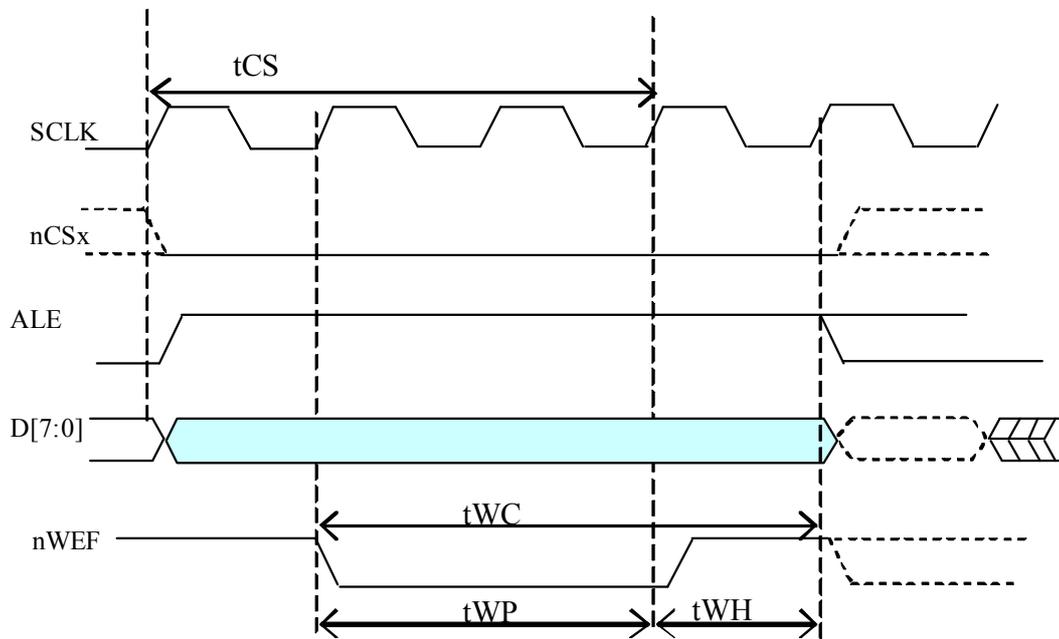


Рисунок 7.19. Цикл записи одного байта адреса в NAND FLASH

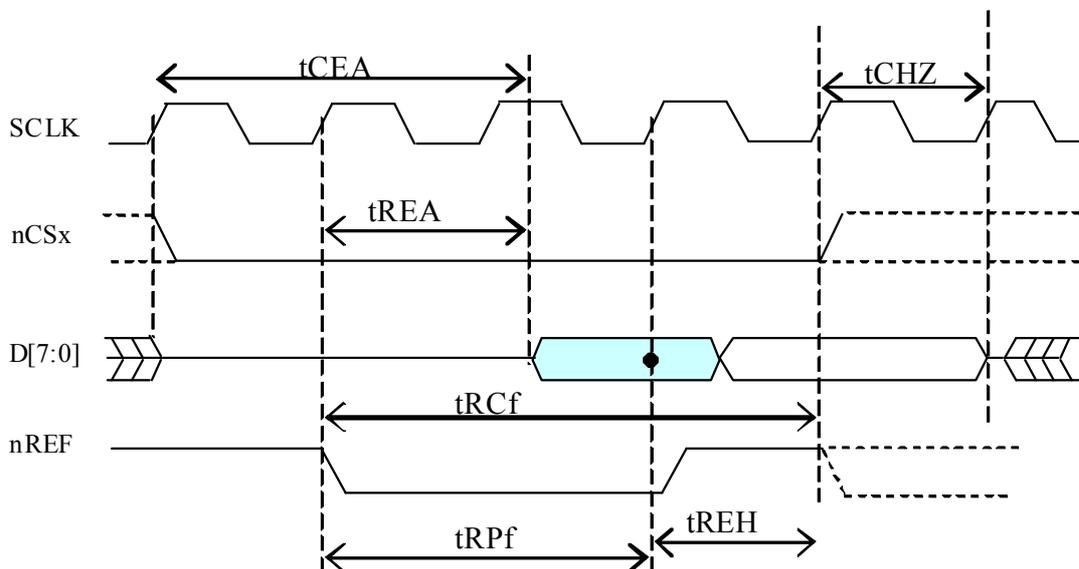


Рисунок 7.20. Цикл чтения одного байта данных из NAND FLASH

7.4 Рекомендации по подключению внешней памяти

7.4.1 Память типа SDRAM

Выводы адреса микросхем типа SDRAM подключаются к выводам шины адреса порта внешней памяти следующим образом:

- номер банка SDRAM – к выводам BA[1:0];
- адрес A[12:0] SDRAM – к выводам A[14:13], A10, A[11:2] соответственно.

7.4.2 Память типа NOR FLASH

К микропроцессору можно подключать 32-разрядную или 16-разрядную память типа NOR FLASH.

Память NOR FLASH подключается только к сигналу выборки памяти nCS[3]. При этом входы BOOT микропроцессора необходимо установить в состояние 01. Адресная шина микропроцессора подключается к 16-разрядной памяти NOR FLASH, начиная с 1 разряда (к 32-разрядной памяти адрес подключается, начиная со 2 разряда). Вывод nWE микропроцессора необходимо подключить к входу разрешения записи памяти.

При использовании 16-разрядной памяти NOR FLASH возможны следующие варианты ее программирования:

- Микросхемы этой памяти программируются на программаторе и потом распаиваются на плату или устанавливаются в контактирующее устройство.
- Микросхемы этой памяти программируются на плате программно с использованием команды Store Half Word. В этом случае MPORT выдает на вывод A[1] адрес полуслова. При использовании команды Store Word MPORT выдает на A[1] состояние, заданное полем ADDR[1] регистра CSCON3.
- Микросхемы этой памяти программируются на плате через порт JTAG микропроцессора. В этом случае запись в память производится командой Store Word, поэтому перед каждой записью необходимо устанавливать в разрядах 21:20 регистра CSCON3 необходимое значение адреса полуслова. Для процесса программирования через порт JTAG необходим специальный драйвер, который не входит в состав MC Studio.

8. УНИВЕРСАЛЬНЫЙ АСИНХРОННЫЙ ПОРТ (UART)

8.1 Общие положения

Универсальный асинхронный порт (далее UART) имеет следующие характеристики:

- по архитектуре совместим с UART 16550;
- частота приема и передачи данных – от 50 до 1 Мбод;
- FIFO для приема и передачи данных имеют объем по 16 байт;
- полностью программируемые параметры последовательного интерфейса: длина символа от 5 до 8 бит; генерация и обнаружение бита четности; генерация стопового бита длиной 1, 1.5 или 2 бита;
- диагностический режим внутренней петли;
- эмуляция символьных ошибок;
- функция управления модемом (CTS, RTS, DSR, DTR, RI, DCD).

В микросхеме МСТ-03Т имеется два UART. Структурная схема порта UART приведена на Рисунок 8.1.

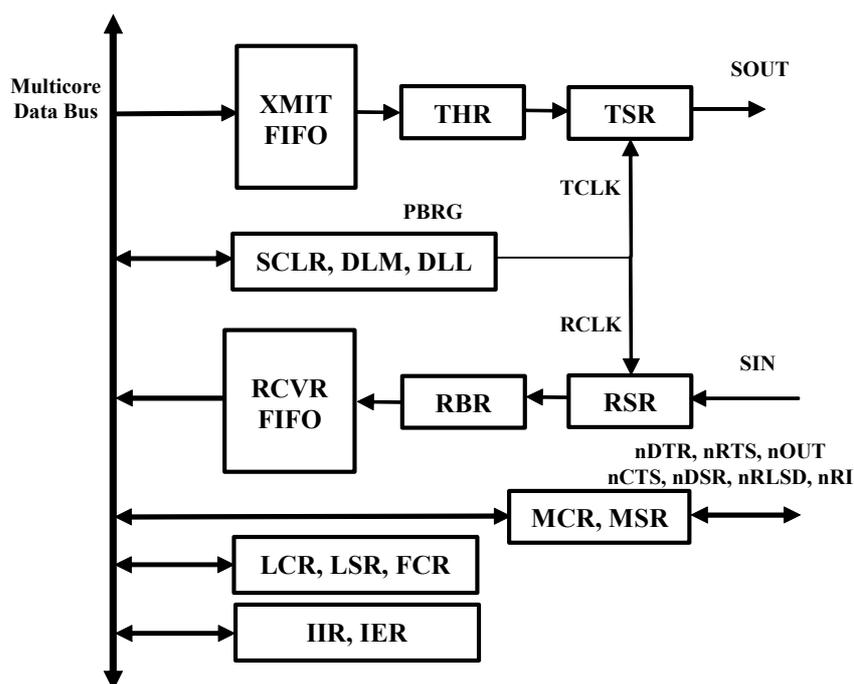


Рисунок 8.1. Структурная схема UART.

Передаваемые данные записываются в регистр THR, а затем аппаратно переписываются в передающий сдвигающий регистр (TSR), если он пуст. После этого в регистр THR могут быть записаны следующие данные.

После приема данных в приемный сдвигающий регистр (RSR) данные переписываются в регистр RBR, если он не занят.

Назначение внешних выводов UART приведено в Таблица 8.1.

Таблица 8.1. Внешние выводы UART

Название вывода	Тип вывода	Описание
SIN	I	Вход последовательных данных
SOUT	O	Выход последовательных данных
nDTR	O	Готовность UART к установлению связи (Data Terminal Ready)
nRTS	O	Готовность UART к обмену данными (Request To Send)
nOUT1	O	Выход общего назначения
nOUT2	O	Выход общего назначения
nCTS	I	Готовность модема к обмену данными (Clear To Send)
nDSR	I	Готовность модема к установлению связи (Data Set Ready)
nDCD	I	Признак обнаружения модемом несущей частоты (Receiver Line Signal Detect)
nRI	I	Признак обнаружения модемом телефонного звонка (Ring Indicator)

8.2 Регистры UART

8.2.1 Общие положения

Перечень регистров UART приведен в Таблица 8.2.

Таблица 8.2. Перечень регистров UART

Условное обозначение регистра	Название регистра	Смещение	Доступ (R-чтение, W-запись)
RBR	Приемный буферный регистр	0 (DLAB=0)	R
THR	Передающий буферный регистр	0 (DLAB=0)	W
IER	Регистр разрешения прерываний	1 (DLAB=0)	R/W
IIR	Регистр идентификации прерывания	2	R
FCR	Регистр управления FIFO	2	W
LCR	Регистр управления линией	3	R/W
MCR	Регистр управления модемом	4	R/W
LSR	Регистр состояния линии	5	R
SPR	Регистр Scratch Pad	7	R/W
DLL	Регистр делителя младший	0 (DLAB=1)	R/W
DLM	Регистр делителя старший	1 (DLAB=1)	R/W
SCLR	Регистр предделителя (scaler)	5	W

8.2.2 Регистр LCR

Формат регистра LCR приведен в Таблица 8.3.

Таблица 8.3. Формат регистра LCR

Номер бита	Условное обозначение	Назначение
1:0	WLS (Word Length Select)	Количество бит данных в передаваемом символе: 00 -5 бит, 01 -6 бит, 10 -7 бит, 11 -8 бит.
2	STB (Number Stop Bits)	Количество стоп-бит: 0 - 1 стоп-бит, 1 - 2 стоп-бита (для 5-битного символа стоп-бит имеет длину 1,5 бита). Приемник анализирует только первый стоп бит.
3	PEN (Parity Enable)	Разрешение генерации (передатчик) или проверки (приемник) контрольного бита: 1 – контрольный бит (паритет или постоянный) разрешен, 0 – запрещен.
4	EPS (Even Parity Select)	Выбор типа контроля (при PEN=1): 0 – нечетность, 1 – четность.
5	STP (Stick Parity)	Принудительное формирование бита паритета: 0 – контрольный бит генерируется в соответствии с паритетом выводимого символа, 1 – постоянное значение контрольного бита: при EPS=1 - нулевое, при EPS=0 – единичное.
6	SBC (Set Break Control)	Формирование обрыва линии: 0 – нормальная работа; 1 – на выходе SOUT устанавливается низкий уровень (Spacing level). Это влияет только на выход SOUT, а не на логику передачи символа.
7	DLAB (Divisor Latch Access bit)	Управление доступом к регистрам: 0 – разрешен доступ к регистрам RBR, THR, IER; 1 – разрешен доступ к регистрам DLL, DLM

Исходное состояние регистра LCR – нули.

Бит SBC используется как признак «Внимание» для приемного терминала, подключенному к выходу UART. Для того чтобы не было передано ошибочного символа при использовании бита SBC, необходимо выполнять следующую последовательность действий:

- Загрузить в регистр THR все нули по признаку THRE=1;
- Установить SBC=1 по следующему THRE=1;
- Дождаться TEMT=1.

Для восстановления нормальной передачи необходимо установить SBC=0.

8.2.3 Регистр FCR

Формат регистра FCR приведен в Таблица 8.4.

Таблица 8.4. Формат регистра FCR

Номер бита	Условное обозначение	Назначение
0	FEWO (FIFO Enable)	Разрешение работы XMIT и RCVR FIFO: 0 – символьный режим; 1 – режим FIFO. При изменении состояния этого бита, данные из FIFO, не удаляются. Запись в биты RFR, TFR, RFTL выполняется, если FEWO=1.
1	RFR (Receiver FIFO Reset)	Установка RCVR FIFO в исходное состояние. Регистр RSR не обнуляется. После записи 1 в этот бит он автоматически сбрасывается.
2	TFR (Transmitter FIFO Reset)	Установка XMIT FIFO в исходное состояние. Регистр TSR не обнуляется. После записи 1 в этот бит он автоматически сбрасывается.
5:3	-	Резерв
7:6	RFTL (RCVR FIFO Trigger Level)	Порог заполнения RCVR FIFO (в байтах), при котором формируется прерывание: 00 – 1; 01 – 4; 10 – 8; 11 – 14.

Исходное состояние регистра FCR – нули.

8.2.4 Регистр LSR

Формат регистра LSR приведен в Таблица 8.5.

Таблица 8.5. Формат регистра LSR

Номер бита	Условное обозначение	Назначение
0	RDR (Receiver Data Ready)	Готовность данных. Устанавливается после приема символа данных и передачи его в регистр RBR или FIFO. Сбрасывается после чтения регистра RBR (в символьном режиме) или чтения всего содержимого RCVR FIFO (в режиме FIFO)
1	OE (Overrun Error)	Ошибка переполнения. Устанавливается, если содержимое регистра RBR не было прочитано, в сдвигающий регистр принят следующий символ и начат прием очередного символа. При этом новый символ записывается в сдвигающий регистр вместо старого. В режиме FIFO устанавливается, если после перехода порогового (trigger) уровня FIFO заполнено до конца, во входной сдвигающий регистр полностью принят следующий символ и начат прием очередного символа. При этом в FIFO ничего не передается. Бит сбрасывается при чтении содержимого регистра LSR.
2	PE (Parity Error)	Ошибка контрольного бита (паритета или фиксированного). В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. Бит сбрасывается при чтении содержимого регистра LSR.

Номер бита	Условное обозначение	Назначение
3	FE (Framing Error)	Ошибка кадра. Устанавливается, если стоп-бит равен нулю (Spacing level). В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. После этой ошибки UART пересинхронизируется. Бит сбрасывается при чтении содержимого регистра LSR.
4	BI (Break Interrupt)	Обрыв линии. Устанавливается, если вход приема данных находится в состоянии 0 (Spacing level) не менее чем время передачи всего символа. В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. При возникновении этой ситуации, в FIFO загружается только один нулевой символ. Прием следующих символов разрешается после того, как вход приема данных перейдет в единичное состояние (Marking state) и будет принят действительный стартовый бит. Бит сбрасывается при чтении содержимого регистра LSR.
5	THRE (Transmitter Holding Register Empty)	Передающий буферный регистр пуст. Показывает, что UART готов принять следующий символ для передачи. Устанавливается, когда содержимое регистра THR передается в передающий сдвигающий регистр. Одновременно с этим генерируется прерывание THREI, если оно разрешено. Бит сбрасывается при записи символа в регистр THR. В режиме FIFO этот бит устанавливается, когда XMIT FIFO пусто, и сбрасывается, если в XMIT FIFO записывается хотя бы один символ.
6	TEMT (Transmitter Empty)	Передатчик пуст. Устанавливается, если регистры THR и TSR пусты. Имеет нулевое состояние, если хотя бы один из регистров THR и TSR не пуст. В режиме FIFO этот бит устанавливается, если нет символов ни в XMIT FIFO, ни в регистре TSR.
7	EIRF (Error in RCVR FIFO)	Наличие хотя бы одного признака ошибки в FIFO. В символьном режиме этот бит всегда равен нулю. Бит сбрасывается при чтении содержимого регистра LSR, если в FIFO нет больше признаков ошибок.

Исходное состояние бит THRE, TEMT – 1, остальных – 0.

Установка бит OE, PE, FE, BI приводит к формированию прерывания по состоянию входа приема данных (Receiver Line Status Interrupt), если это прерывание разрешено.

8.2.5 Регистр IER

Формат регистра IER приведен в Таблица 8.6. Исходное состояние регистра IER – нули.

Таблица 8.6. Формат регистра IER

Номер бита	Условное обозначение	Назначение
0	ERBI	Разрешение прерывания по наличию принятых данных (RDAI), а также по таймауту (CTI)
1	ETBEI	Разрешение прерывания по отсутствию данных в регистре THR (THREI)
2	ERLSI	Разрешение прерывания по статусу приема данных (RLSI)
3	EMSI	Разрешение прерывания по статусу модема (MSI)
7:4	-	Резерв

8.2.6 Регистр IIR

Формат регистра IIR приведен в Таблица 8.7.

Таблица 8.7. Формат регистра ИР

Номер бита	Условное обозначение	Назначение
0	IP (Interrupt Pending)	Признак наличия прерывания: 0 – есть прерывание; 1 – нет прерывания.
3:1	IID[2:0]	Код идентификации прерывания в соответствии с Таблица 8.8.
5:4	-	Резерв
7:6	FE	Признак разрешения работы RCVR и XMIT FIFO

Исходное состояние бита IP – 1, остальных – 0.

Таблица 8.8. Идентификация прерываний

Код поля ID[2:0]	Уровень приоритета (1 – наивысший)	Тип прерывания	Причина прерывания	Условие сброса прерывания
011	1	Статус приема данных (RLSI – Receiver Line Status Interrupt)	OE - Overrun Error; PE - Parity Error; FE - Framing Error; BI - Break Interrupt.	Чтение содержимого регистра LSR. Чтение из FIFO символа, по которому сформировано это прерывание. Обнуление FIFO.
010	2	Наличие принятых данных (RDAI – Received Data Available Interrupt)	Наличие данных в регистре RBR или достижение заданного порога FIFO	Чтение содержимого регистра RBR. Считывание данных из FIFO до уровня ниже порогового.
110	2	Таймаут (CTI – Character Timeout Interrupt)	С момента приема последнего символа в RCVR FIFO прошло время, равное длительности передачи 4-х символов и не было ни чтения FIFO, ни приема очередного символа.	Чтение содержимого регистра RBR. Прием очередного символа. Сброс FIFO.
001	3	Регистр THR пуст (THREI – Transmitter Holding Register Empty Interrupt)	Регистр THR пуст	Чтение содержимого регистра IIR, если источником прерывания является это условие. Запись символа в регистр THR
000	4	Статус модема (MSI – Modem Status Interrupt)	Изменение состояния сигналов на входах порта nCTS, nDSR, nRI, nDCD	Чтение содержимого регистра MSR.

8.2.7 Регистр MCR

Формат регистра MCR приведен в Таблица 8.9.

Таблица 8.9. Формат регистра MCR

Номер бита	Условное Обозначение	Назначение
0:3	-	Не используется
4	LOOP	Режим петли. Используется для тестирования UART. При установке этого бита в 1 выполняется следующее: На выходе SOUT UART устанавливается высокий уровень; Вход SIN UART отключается от внешнего вывода; Выход регистра TSR подключается к входу регистра RSR; В режиме петли передаваемые данные немедленно принимаются. В режиме петли все прерывания формируются как обычно.
7:5	-	Не используется

Исходное состояние регистра MCR – нули.

8.2.8 Программируемый генератор скорости обмена

В UART имеется программируемый генератор скорости обмена данными (PBRG – Programmable Baud Rate Generator). Он состоит из 8-разрядного предделителя и 16-разрядного основного делителя частоты. На вход предделителя поступает системная тактовая частота CLK, на которой работает CPU, UART и другие устройства. Выходная частота предделителя поступает на вход основного делителя. Выходная частота генератора PBRG в 16 раз больше частоты обмена последовательными данными.

Значение частоты на выходе предделителя равно $CLK/(SCLR + 1)$. Коэффициент деления основного делителя задается 16-разрядным регистром, который является конкатенацией регистров DLM и DLL.

Период частот передачи и приема (TCLK и RCLK) UART вычисляется по формуле:

$CLK/(SCLR + 1) / ((\text{конкатенация содержимого регистров DLM и DLL}) * 16)$. Минимальная величина, которая может быть записана в регистры {DLM, DLL}, равна 1.

Исходное состояние регистров DLL, DLM, SCLR – нули.

8.3 Работа с FIFO по прерыванию

Если установлен режим работы с FIFO (EFWO=1 в регистре FCR) и разрешены прерывания по приему (бит ERI=1 в регистре IER), то в процессе приема:

- формируется прерывание, если число символов в RCVR FIFO достигло запрограммируемого порога. Это прерывание сбрасывается, если при чтении из FIFO число символов оставшихся в нем, станет меньше запрограммируемого порога;
- одновременно с этим в регистре IIR устанавливается индикатор наличия принятых данных RDAI. Индикатор обнуляется, при чтении из FIFO до снижения запрограммируемого порога;
- может возникнуть прерывание по статусу приема данных (RLSI), приоритет которого выше, чем RDA;
- бит RDR в регистре LSR устанавливается в момент передачи символа из регистра RSR в RCVR FIFO. Этот бит обнуляется при считывании из FIFO всех символов данных.

Если установлен режим работы с FIFO (EFWO=1 в регистре FCR) и разрешены прерывания по приему (ERI=1 в регистре IER), то генерируется прерывание по таймауту, если с момента приема последнего символа в RCVR FIFO прошло время, равное длительности передачи 4-х символов и за это время не было:

- ни чтения RCVR FIFO;
- ни приема в RCVR FIFO очередного символа.

При 12-битном символе и скорости передачи 300 бод, прерывание по этой причине возникнет через 160 мс.

При возникновении прерывания по таймауту оно обнуляется при считывании символа из RCVR FIFO. При этом обнуляется и таймер, генерирующий данное прерывание. Если прерывание по таймауту не возникло, то таймер таймаута обнуляется при приеме нового символа или при считывании символа из RCVR FIFO.

Если установлен режим работы с FIFO (EFWO=1 в регистре FCR) и разрешены прерывания по передаче данных (бит ETI=1 в регистре IER), то генерируется прерывание по передаче следующим образом:

- формируется прерывание THREI, если XMIT FIFO пусто. Это прерывание обнуляется, как только выполняется запись символа в регистр THR (при приеме данного прерывания в XMIT FIFO можно записать от 1 до 16 символов);
- индикатор TEMT в регистре LSR установится в единичное состояние через время равное длительности одного символа минус последний стоп бит, после установки THRE=1. Первое прерывание по передаче (если оно разрешено) формируется немедленно после установки FEWO=1.

8.4 Работа с FIFO по опросу

Если установлен режим работы с FIFO (EFWO=1 в регистре FCR) и запрещены прерывания, то обмен данными выполняется по опросу, а управление FIFO приема и передачи (RCVR, XMIT) выполняется раздельно.

В этом режиме опрос состояния RCVR и XMIT FIFO осуществляется программно, посредством считывания содержимого регистра LSR:

- бит RDR=1, пока есть данные в RCVR FIFO;
- биты OE, PE, FE, VI указывают на ошибки. Эти ошибки обрабатываются так же, как и при работе по прерыванию;
- бит THRE=1, если XMIT FIFO пусто;
- бит TEMT=1, если в XMIT FIFO и TSR нет данных.

При работе по опросу нет индикации таймаута и факта достижения порога RCVR FIFO. Однако оба RCVR и XMIT FIFO могут хранить символы данных.

9. КОНТРОЛЛЕР ИНТЕРФЕЙСА SpaceWire (SWIC)

9.1 Общие положения

Контроллер интерфейса SpaceWire (далее по тексту SWIC – Space Wire Interface Controller) предназначен для обеспечения аппаратной поддержки функций внутрисистемных коммуникаций с использованием протокола SpaceWire.

В микропроцессоре имеется два контроллера SWIC: SWIC0 и SWIC1.

Основные особенности контроллера:

- Контроллер разработан в соответствии с международным стандартом ECSS-E-50-12C;
- Обеспечивает функционирование одного дуплексного канала связи со скоростью от 2 до 300 Мбит/с в каждую сторону;
- Реализация контроллера охватывает уровни стека протоколов SpaceWire, от сигнального до сетевого (частично) уровня;
- Аппаратное детектирование ошибок связи: рассоединение, ошибки четности;
- Встроенные LVDS приемопередатчики в соответствии со стандартом стандарта ANSI/TIA/EIA-644(LVDS);
- Встроенные в приемник LVDS резисторы-терминаторы;
- Четыре канала DMA (два канала данных и два канала дескрипторов пакетов);
- Обмен данными через DMA с памятью словами по 64 бита.

9.2 Блок схема

Структура контроллера коммуникационного канала по стандарту SpaceWire приведена на Рисунок 9.1.. Основой контроллера является Link Interface (см. Figure 8-1 стандарта ECSS-E-50-12C), реализующий функции кодера/декодера SpaceWire. Кодер/декодер SpaceWire через драйверы LVDS подключен к физическим линиям связи.

Контроллер канала SW взаимодействует с центральным процессором через шину АНВ (работа с программно-доступными регистрами контроллера) и FIFO-подобный интерфейс с DMA (прием/передача пакетов данных). Для взаимодействия с внутренней памятью используются блоки DMA, поддерживающие интерфейс буферов. На шине CDB SWIC представлен интерфейсом ведомого устройства.

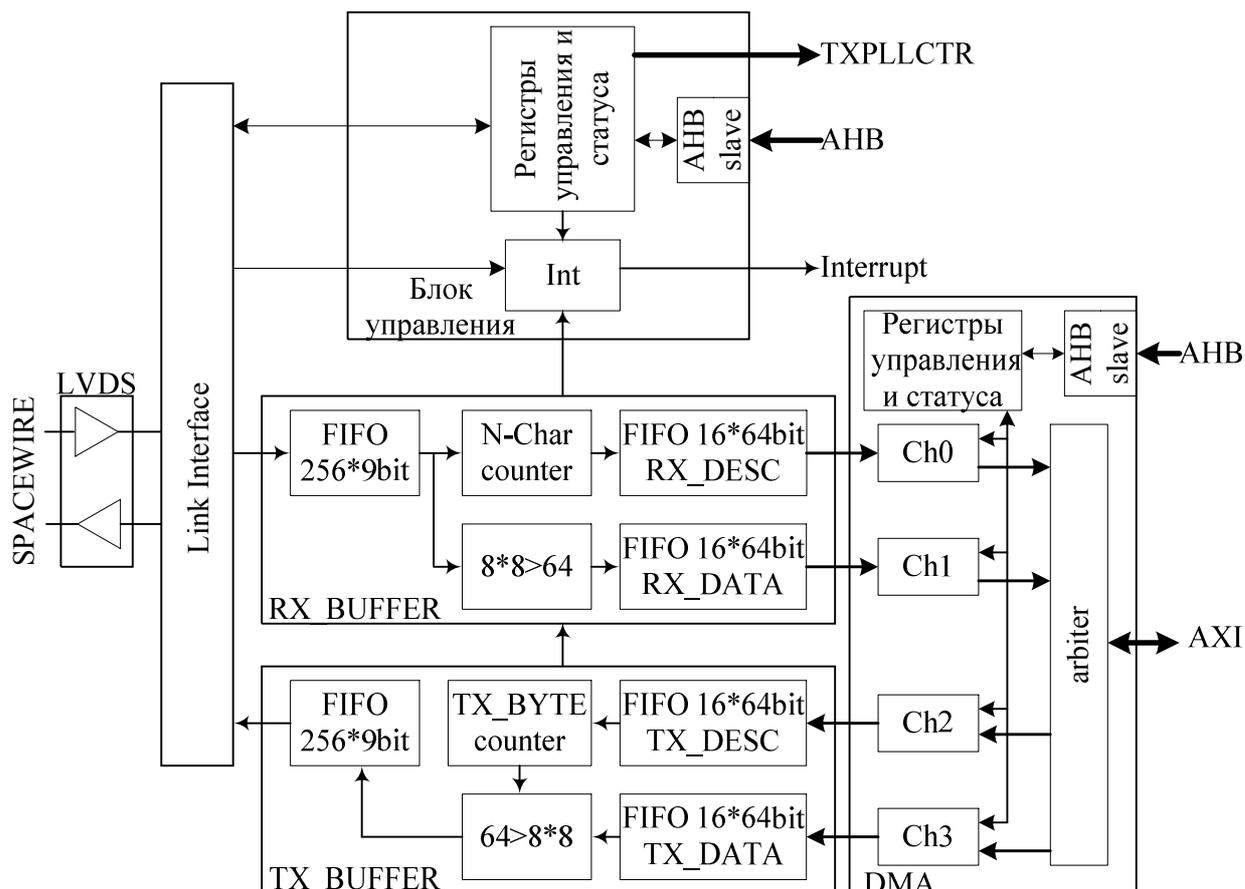


Рисунок 9.1. Структурная схема SWIC

Блок управления по командам центрального процессора задает режимы работы приемопередатчика SpaceWire (Link Interface). В этом блоке содержатся программно управляемый регистр, содержащий коэффициент скорости передачи данных, и доступный программному обеспечению на чтение регистр, в который записывается коэффициент скорости приема данных. Передача управляющих кодов; контроль состояние последнего полученного извне маркера времени, кода распределенного прерывания и кода подтверждения производится через соответствующие регистры блока управления.

Блок формирования прерываний INT формирует необходимые прерывания по состоянию Link Interface.

Буфер приема RX_BUFFER имеет конвейерную организацию и состоит из двух ступеней. Сначала в FIFO_256*9bit буферизируются восьмиразрядные данные, принимаемые от Link Interface. Девятый служебный разряд несет информацию о признаке символа данных N-Char или символе конца пакета EOP. Затем в блоке преобразования формируются 64-разрядные слова данных и поступают в FIFO RX_DATA. Дескриптор пакета формируется в счетчике N-Char_counter. При поступлении символа данных N-Char счетчик увеличивается на 1, при поступлении символа конца пакета значение счетчика переписывается в выходной буфер RX_DESC, а сам счетчик сбрасывается в 0.

В буфер передачи TX_BUFFER с помощью канала передаваемых данных DMA записываются 64-разрядные слова данных. Содержимое пакетов и их дескрипторы буферизируются в двух FIFO TX_DATA и TX_DESC соответственно. Данные из буфера передачи в Link Interface поступают побайтно через FIFO 256*9bit. Преобразование 64-хразрядных слов в байты осуществляется в блоке преобразования под управлением счетчика

TX_BYTE counter. В счетчик заносится размер пакета из дескриптора передаваемого пакета. После передачи каждого байта этот счетчик уменьшается на 1. По достижении счетчиком значения 0, в поток передаваемых данных вставляется символ конца пакета EOP, а в счетчик заносится размер следующего передаваемого пакета из следующего дескриптора.

Буферы приема-передачи предназначены для согласования скоростей передачи данных между коммутатором AXI Switch и каналом SpaceWire.

9.3 Прерывания

Контроллер SWIC формирует три прерывания, описание которых сведено в Таблица 9.1.

Таблица 9.1. Источники прерываний в SWIC

Условное обозначение	Причина	Примечание
LINK	Соединение установлено	В регистре STATUS указана причина прерывания - CONNECTED
ERR	Обнаружена ошибка в канале связи	В регистре STATUS указана причина прерывания: DC_ERR; P_ERR; ESC_ERR; CREDIT_ERR
TIME	Получен управляющий код	В регистре STATUS указана причина прерывания: принят маркер времени (GOT_TIME); принят код распределенного прерывания (GOT_INT); принят код подтверждения (GOT_ACK); принят управляющий код C[7..6]=01 (при включенном режиме 5-и разрядных распределенных прерываний), (CC_01); принят управляющий код C[7..6]=11 (CC_11); истекло время ожидания таймаута приема кода распределенного прерывания (регистр ISR_tout)

9.4 Перечень регистров SWIC

9.4.1 Общие положения

Перечень программно-доступных регистров контроллера SWIC приведен в Таблица 9.2.

Таблица 9.2. Перечень регистров блока SWIC

Условное обозначение регистра	Название регистра	Тип доступа
HW_VER	Номер версии контроллера	RD
STATUS	Регистр состояния	WRC/RD
RX_CODE	Регистр управляющего символа, принятого из сети (маркера времени, кода распределенного прерывания или кода подтверждения распределенного прерывания)	RD
MODE_CR	Регистр режима работы	WR
TX_SPEED	Регистр коэффициента скорости передачи	WR
TX_CODE	Регистр управляющего символа (маркера времени, кода распределенного прерывания, кода подтверждения) для передачи в сеть	WR
RX_SPEED	Регистр скорости приема данных в канале SpaceWire.	RD

Условное обозначение регистра	Название регистра	Тип доступа
CNT_RX_PACK	Регистр счетчика принятых пакетов ненулевой длины	RD/WR
CNT_RX0_PACK	Регистр счетчика принятых пакетов нулевой длины (идущих подряд символов концов пакетов)	RD/WR
ISR_L	Младшие разряды регистра ISR	RD/WR
ISR_H	Старшие разряды регистра ISR	RD/WR
TRUE_TIME	Регистр достоверного маркера времени	RD
TOUT_CODE	Регистр размера таймаутов	RD/WR
ISR_tout_L	Младшие разряды регистра флагов таймаутов ISR	RD/WR
ISR_tout_H	Старшие разряды регистра флагов таймаутов ISR	RD/WR
LOG_ADDR	Регистр логического адреса	RD/WR

9.5 Описание регистров SWIC

9.5.1 Регистр HW_VER

Регистр номера версии SWIC. При чтении этого регистра выводится номер версии аппаратной реализации SWIC. В аппаратная версия SWIC – “0x0000 0003”.

Таблица 9.3 Назначение разрядов регистра HW_VER

Номер разряда	Условное обозначение	Описание
31:0	HW_VER	Номер версии SWIC

9.5.2 Регистр STATUS

Регистр состояния блока SWIC предназначен для оперативного контроля состояния фазы работы контроллера. Регистр доступен как на чтение, так и на запись. Заполнение регистра выполняется побитно по сигналам от Link Interface, блока приема данных из канала SpaceWire, блока передачи данных в канал SpaceWire. Назначение разрядов регистра приведено в Таблица 9.4.

Таблица 9.4. Назначение разрядов регистра STATUS

Номер разряда	Условное обозначение	Описание
0	DC_ERR	Признак ошибки разъединения (DisconnectError): "1" – Ошибка произошла "0" – Нет ошибки (после сигнала сброса) Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания ERR посредством записи 1 в этот разряд. Исходное состояние «0».
1	P_ERR	Признак ошибки четности: "1" – Ошибка произошла "0" – Нет ошибки (после сигнала сброса) Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания ERR посредством записи 1 в этот разряд. Исходное состояние «0».
2	ESC_ERR	Признак ошибки в ESC последовательности: "1" – Ошибка произошла "0" – Нет ошибки (после сигнала сброса) Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания ERR посредством записи 1 в этот разряд. Исходное состояние «0».
3	CREDIT_ERR	Признак ошибки кредитования: "1" – Ошибка произошла "0" – Нет ошибки (после сигнала сброса) Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания ERR посредством записи 1 в этот разряд. Исходное состояние «0».
4	-	Не используется
5 - 7	LINK_STATE	Состояние блока Link interface (см. Figure. 8-2 стандарта ECSS-E-50-12C): 000 - Error Reset (исходное состояние); 001 - Error Wait; 010 – Ready; 011 – Started; 100 – Connecting; 101 – Run. Исходное состояние «000».
8	RX_BUF_FULL	Состояние буфера приема: "1" – буфер полон; "0" – в буфере есть свободное место (после сигнала сброса). Исходное состояние - «0»
9	RX_BUF_EMPTY	Буфер приема пуст "1" – Пуст (после сигнала сброса) "0" – В буфере есть данные. Исходное состояние «1».
10	TX_BUF_FULL	Состояние буфера передачи: "1" – буфер полон; "0" – в буфере есть свободное место (после сигнала сброса). Исходное состояние - «0»
11	TX_BUF_EMPTY	Буфер передачи пуст "1" – Пуст (после сигнала сброса) "0" – В буфере есть данные. Исходное состояние «1».

Номер разряда	Условное обозначение	Описание
12	GOT_FIRST_BIT	Состояние принятого первого бита из канала "1" – бит принят "0" – приемный канал не активен (не было изменений фронтов din/sin после последнего сброса макроячейки по сбросу или в связи с ошибкой) Запись "1" в этот бит сбрасывает прерывание INT_LINK, если оно было установлено, но не изменяет состояние GOT_FIRST_BIT. Исходное состояние «0».
13	CONNECTED	Соединение установлено (LINK_STATE=5). Исходное состояние «0».
14	GOT_TIME	Принят маркер времени из сети "1" – Принят маркер времени "0" – Марке времени не принят (после сигнала сброса) Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания TIME посредством записи 1 в этот разряд. Исходное состояние «0».
15	GOT_INT	Принят код распределенного прерывания из сети "1" – Принят код распределенного прерывания времени "0" – Код распределенного прерывания не принят (после сигнала сброса) Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания TIME посредством записи 1 в этот разряд. Исходное состояние «0».
16	GOT_ACK	Принят код подтверждения из сети "1" – Принят код подтверждения "0" – код подтверждения не принят (после сигнала сброса) Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания TIME посредством записи 1 в этот разряд. Исходное состояние «0».
17	FL_CONTROL	Если данный флаг сброшен в 0, SWIC готов к отправке управляющего кода (маркера времени, кода распределенного прерывания, кода подтверждения). Если управляющий код записывается в SWIC при установленном флаге, его передача в сеть не гарантируется. Исходное состояние «0».
18	LINK	Признак прерывания LINK (соединение установлено). Устанавливается, если оно не замаскировано в регистре режима. Сбрасывается при сбросе соответствующего прерывания. Исходное состояние «0».
19	ERR	Признак прерывания ERR (обнаружена ошибка в канале). Устанавливается, если оно не замаскировано в регистре режима. Сбрасывается при сбросе соответствующего прерывания. Исходное состояние «0».
20	TIME	Признак прерывания TIME (получен управляющий код). Устанавливается, если оно не замаскировано в регистре режима. Сбрасывается при сбросе соответствующего прерывания. Исходное состояние «0».
21	CC_11	Признак принятия управляющего кода C[7..6]=11 "1" – Принят упр. код "0" – Упр. код не принят (после сигнала сброса) Запись "1" в этот разряд сбрасывает этот разряд в "0". Исходное состояние «0».
22	CC_01	Признак принятия управляющего кода C[7..6]=01 "1" – Принят упр. код "0" – Упр. код не принят (после сигнала сброса) Запись "1" в этот разряд сбрасывает этот разряд в "0". Исходное состояние «0».
23..29	-	Резерв
30	S_LVDS_RX	Значение линии LVDS Sin при MODE_CR[29]=1.
31	D_LVDS_RX	Значение линии LVDS Din при MODE_CR[29]=1

9.5.3 Регистр RX_CODE

Регистр принятого из сети управляющего кода. Назначение разрядов регистра приведено в Таблица 9.5. Исходное состояние регистра не определено.

Таблица 9.5. Назначение разрядов регистра RX_CODE

Номер разряда	Условное обозначение	Описание
7:0	TIME_CODE	Значение маркера времени, принятого из сети последним
15:8	INT_CODE	Значение кода распределенного прерывания, принятого из сети последним
23:16	ACK_CODE	Значение кода подтверждения, принятого из сети последним
31:24	CC_11	Значение кода C[7..6]=11 принятого из сети последним

9.5.4 Регистр MODE_CR

Регистр режима работы. Назначение разрядов регистра приведено в Таблица 9.6.

Таблица 9.6. Назначение разрядов регистра MODE_CR

Номер разряда	Условное обозначение	Назначение
0	LinkDisabled	Установка LinkDisabled для блока Link Interface
1	AutoStart	Установка Autostart для блока Link Interface
2	LinkStart	Установка LinkStart для блока Link Interface
3	-	Не используется
4	-	Не используется
5	LINK_RST	Сброс Link Interface
6	RDY_MODE	Режим формирования признака готовности обмена данными с DMA SWIC: 0 – штатный режим работы. Признак готовности SWIC формирует аппаратно; 1 – признак готовности установлен в 1. Используется для приведение DMA SWIC в исходное состояние, если: произошло разъединение; необходимо программно остановить SWIC и его DMA
7	-	Не используется
8	TEST_TYPE	Тип режима работы ('0' – рабочий, '1' – тестовый)
9	TX_SINGLE	Включение режима Single на передачу
10	RX_SINGLE	Включение режима Single на прием
11	LVDS_Loopback	Loopback (перед LVDS)
12	CODEC_Loopback	Loopback (перед кодеком)
13	LINK_Loopback	Loopback (перед Link Interface)
14	COEFF_10_wr	Разрешение модификации регистра коэффициента для подсчета таймаутов
15	AUTO_SPEED	Если этот бит установлен в 1, то при разрыве соединения коэффициент скорости передачи будет автоматически устанавливаться на 10МГц, а при установке соединения автоматически переходит на базовое значение скорости
16	dIRQ_regime	Режим передачи/приема кодов распределенных прерываний. Если этот бит установлен в 0, то используются 6-и битные коды распределенных прерываний, если в 1 – то используются 5-и битные коды распределенных прерываний
17	-	Не используется
18	LINK_MASK	Маска прерывания LINK: 1 - значение прерывания LINK отображается в регистрах STATUS и QSTR2; 0 – не отображается

Номер разряда	Условное обозначение	Назначение
19	ERR_MASK	Маска прерывания ERR: 1 - значение прерывания LINK отображается в регистрах STATUS и QSTR2; 0 – не отображается
20	TIME_MASK	Маска прерывания TIME: 1 - значение прерывания LINK отображается в регистрах STATUS и QSTR2; 0 – не отображается
21	CTR	Если этот бит установлен в 1, то установка соединения выполняется без ожидания таймаутов (используется в отладочном режиме)
22	TCode_mask	Маска формирования прерывания TIME при получении тайм-кода (маркера времени): 0 – прерывание не устанавливается; 1 – прерывание устанавливается
23	INT_mask	Маска формирования прерывания TIME при получении кода распределенного прерывания или кода подтверждения: 0 – прерывание не устанавливается; 1 – прерывание устанавливается
24	CC_11_mask	Маска формирования прерывания TIME управляющего кода C[7..6]=11: 0 – прерывание не устанавливается; 1 – прерывание устанавливается
25	CC_01_mask	Маска формирования прерывания TIME при получении управляющего кода C[7..6]=01 (dirQ_regime=1): 0 – прерывание не устанавливается; 1 – прерывание устанавливается
26	INT_tout_mask	Маска формирования прерывания TIME по факту таймаута получения кода подтверждения: 0 – прерывание не устанавливается; 1 – прерывание устанавливается
28:27	INT_tout_allow	Разрешение контроля таймаутов получения кодов подтверждения: 00 – контроль таймаутов запрещен 01 – выполняется контроль таймаутов и установка флагов истечения таймаутов 10 – выполняется контроль таймаутов, установка флагов истечения таймаутов и отправка кода подтверждения в сеть
29	LVDS_mode	Режим LVDS – если этот бит установлен в 0 – штатный режим работы, на выходные драйверы LVDS подаются сигналы от передатчика, разряды регистра STATUS[31:30] равны «0»; 1 – тестовый режим работы, на Sout, Dout LVDS подаются значения из разрядов 30, 31 регистра MODE_CR, в регистр STATUS[31:30] отображаются входные линии Sin и Din LVDS.
30	S_LVDS_TX	Значение для передачи на линию Sout LVDS
31	D_LVDS_TX	Значение для передачи на линию Dout LVDS

После того, как в результате разрешения AutoStart или LinkStart блок Link Interface установил соединение (при LinkDisabled='0'), буфер передачи в сеть начинает принимать данные из DMA. Если DMA передал все данные, то далее в сеть передаются символы NULL. Соединение при этом не прекращается. Соединение прекращается, если процессор осуществляет запись единицы в бит LinkDisabled.

9.5.5 Регистр TX_SPEED

Регистр коэффициентов скорости передачи. В разряды 9:0 записывается коэффициент, который передается на TXPLL при полностью программном управлении скоростью передачи. При использовании автоматического перехода на 10 МГц при разрыве соединения, ко-

эффицент, записанный в разряды 9:0 устанавливается, когда соединение установлено. При разрыве соединения в этом режиме автоматически устанавливается коэффициент, записанный в разряды 19:10, он должен соответствовать скорости передачи 10 МГц.

В разряды 28:20 этого регистра записывается значение коэффициента для подсчета таймаутов установки соединения (6,4 мкс и 12,8 мкс). Значение данного коэффициента зависит от тактовой частоты работы CPU (см. п.3.1), на которой осуществляется подсчет таймаутов. Значение после сброса для этого регистра – 0x0A, что соответствует тактовой частоте CPU 100 МГц.

Запись нового значения в этот регистр возможно только, если бит COEFF_10_wt (14) регистра MODE_CR (режима) установлен в 1.

Таблица 9.7. Назначение разрядов регистра TX SPEED

Номер разряда	Условное обозначение	Назначение
7:0	TX_SPEED	Определяет скорость передачи данных (в режиме авто установки скорости используется как базовое значение после установки соединения) по формуле: (TX_SPEED * XTI/2) Мбит/с. Содержимое поля TX_SPEED может иметь значение от 0x01 до 0x3C
8	PLL_TX_EN	Управление работой PLL_TX_SWIC: 1 – работа разрешена; 0 – работа запрещена. PLL_TX_SWIC находится в режиме пониженного энергопотребления
9	LVDS_EN	Управление работой приемопередатчиков LVDS SWIC: 1 – работа разрешена; 0 – работа запрещена. LVDS SWIC находятся в режиме пониженного энергопотребления
17:10	TX_SPEED_10	Определяет скорость передачи данных при установке соединения (в режиме авто установки скорости). Должен быть записан код 0x02
18	PLL_TX_EN_10	Управление работой PLL_TX_SWIC: 1 – работа разрешена; 0 – работа запрещена. PLL_TX_SWIC находится в режиме пониженного энергопотребления. Состояния разрядов 8 и 18 этого регистра должны быть одинаковыми
19	LVDS_EN_10	Управление работой приемопередатчиков LVDS SWIC: 1 – работа разрешена; 0 – работа запрещена. LVDS SWIC находятся в режиме пониженного энергопотребления. Состояния разрядов 9 и 19 этого регистра должны быть одинаковыми
28:20	COEFF_10	Значение коэффициента для подсчета таймаутов установки соединения. Содержимое этого поля должно быть целым от деления тактовой частоты работы CPU (CLK) на 10: 0x05 - при CLK = 50 или 55 МГц; 0x0A - при CLK = 100 или 105 МГц; ... 0x14 - при CLK = 200 или 205 МГц и т.д.
31..29	-	Резерв

9.5.6 Регистр *RX_SPEED*

Назначение разрядов регистра *RX_SPEED* приведено в Таблица 9.8.

Таблица 9.8. Назначение разрядов регистра *RX_SPEED*

Номер разряда	Условное обозначение	Назначение
31:8	-	Не используется
7:0	<i>RX_SPEED</i>	Скорость приема данных из канала связи SpaceWire равна ($RX_SPEED * 8 * FCLK / 1024$) Мбит/с, где <i>FCLK</i> - тактовая частота работы CPU (<i>CLK</i>). Например, если <i>RX_SPEED</i> =128 (десятичное), а <i>FCLK</i> =100 МГц, то скорость приема данных равна 100 Мбит/с

Исходное состояние регистра – нули.

9.5.7 Регистр *TX_CODE*

Регистр управляющего кода для передачи в канал. Сразу же после записи в этот регистр начинается передача управляющего символа в Link Interface и далее в канал.

Таблица 9.9. Назначение разрядов регистра *TX_CODE*

Номер разряда	Условное обозначение	Описание
5:0	<i>CODE_VAL</i>	Значение управляющего кода для отправки в сеть
7:6	<i>CODE_TYPE</i>	Тип управляющего кода для отправки в сеть: 00 – код времени; 01 – код прерывания; 10 – код подтверждения прерывания.
31:8	-	Резерв

9.5.8 Регистр *CNT_RX_PACK*

Регистр счетчика принятых пакетов. Значение регистра увеличивается на 1 каждый раз, когда из DS макроячейки прочитывается символ конца пакета, если ему предшествовал один или более символ данных. Исходное состояние регистра «0».

При записи, значение регистра обнуляется. Процессор может обнулить содержимое этого регистра для того, чтобы начать счет пакетов заново. Рекомендуется выполнять сброс регистра каждый раз при выполнении новой настройки DMA для передачи данных в сеть.

Таблица 9.10. Назначение разрядов регистра *CNT_RX_PACK*

Номер разряда	Условное обозначение	Описание
31:0	<i>CNT</i>	Число принятых пакетов

9.5.9 Регистр *CNT_RX0_PACK*

Регистр счетчика принятых пустых пакетов. Значение регистра увеличивается на 1 каждый раз, когда из DS макроячейки прочитывается символ конца пакета, если ему не предшествовал хотя бы один символ данных. Исходное состояние регистра «0».

При записи, значение регистра обнуляется. Процессор может обнулить содержимое этого регистра для того, чтобы начать счет пакетов заново. Рекомендуется выполнять сброс регистра каждый раз при выполнении новой настройки DMA для передачи данных в сеть.

Таблица 9.11 Назначение разрядов регистра *CNT_RX0_PACK*

Номер разряда	Условное обозначение	Описание
31:0	<i>CNT</i>	Число принятых пустых пакетов

9.5.10 Регистр *ISR_L*

В этот регистр отображается младшая (31..0) часть регистра ISR. Регистр ISR содержит информацию о принятых и отправленных кодах распределенных прерываний и подтверждения. Если из сети получено распределенное прерывание, то бит регистра ISR, соответствующий номеру распределенного прерывания устанавливается в 1 (если он уже не был установлен в 1). Аналогично, если в регистр TX_CODE осуществляется запись кода распределенного прерывания, соответствующий бит регистра ISR устанавливается в 1.

Если из сети получен код подтверждения, то бит регистра ISR, соответствующий номеру кода подтверждения устанавливается в 0 (если он уже не был установлен в 0). Аналогично, если в регистр TX_CODE осуществляется запись кода подтверждения, соответствующий бит регистра ISR устанавливается в 0.

Необходимость данного регистра связана с тем, что коды распределенных прерываний и коды подтверждения могут приход из сети очень часто, быстрее, чем процессор может среагировать на очередное прерывание и прочесть код. Если даже в регистре RX_CODE код распределенного прерывания или код подтверждения будет перезаписан следующим, информация о нем не будет утрачена – она сохранится в регистре ISR.

Существует возможность программного сброса отдельных битов ISR. Для этого необходимо записать в соответствующие биты 1. (Если в бит записывается значение 0, то его значение не меняется)

Таблица 9.12. Назначение разрядов регистра *ISR_L*

Номер разряда	Условное обозначение	Описание
31:0	ISR_L	Младшая часть регистра ISR

9.5.11 Регистр *ISR_H*

В этот регистр отображается старшая [63:32] часть регистра ISR.

Таблица 9.13. Назначение разрядов регистра *ISR_H*

Номер разряда	Условное обозначение	Описание
31:0	ISR_H	Старшая часть регистра ISR

9.5.12 Регистр *TRUE_TIME*

В этот регистр записывается значение последнего правильного маркера времени, в отличие от разрядов 5:0 регистра RX_CODE, в котором регистрируются все принятые маркеры времени. Назначение разрядов регистра приведено в Таблица 9.14. Исходное состояние регистра «0».

Таблица 9.14. Назначение разрядов регистра *TRUE_TIME*

Номер разряда	Условное обозначение	Описание
5:0	TRUE_TIME	Значение последнего правильного маркера времени
31:6	Не используется	

9.5.13 Регистр *TOUT_CODE*

В этот регистр записываются значение периода для глобального счетчика таймаутов (в количестве тактов локальной частоты) и максимальные значения локальных счетчиков таймаутов ожидания кодов подтверждения распределенных прерываний. Отдельный ло-

кальный счетчик таймаутов соответствует каждому разряду ISR. Если в SWIC поступает код распределенного прерывания, то запускается соответствующий ему счетчик локальных таймаутов. Он декрементируется каждый раз при завершении очередного периода счета глобального счетчика таймаутов.

Таблица 9.15. Назначение разрядов регистра TOUT_CODE

Номер разряда	Условное обозначение	Описание
15..0	GLOB_COU	Значение периода глобального счетчика (задается в тактах локальной частоты)
20..16	LOC_COU1	Значение таймаута ожидания кода подтверждения (на код прерывания, отправленный процессором через SWIC)
25..21	LOC_COU2	Значение таймаута ожидания кода подтверждения (на код прерывания, принятый из сети)
31:26	Не используется	

9.5.14 Регистр ISR_tout_L

В этот регистр отображается младшая (31..0) часть регистра флагов ISR_tout. Если в регистре ISR регистрируется код распределенного прерывания, то для него запускается счет таймаута (каждому разряду ISR соответствует отдельный счетчик). В зависимости от того, был ли код распределенного прерывания принят из сети или отправлен процессором, начальное значение счетчика устанавливается в LOC_TOUT1 или LOC_TOUT2. (значение счетчика декрементируется каждый раз, когда глобальный счетчик досчитывает до определенного для него максимального значения). Если за время счета из сети не поступает соответствующий код подтверждения, то соответствующий разряд регистра ISR_tout устанавливается в 1. Для того чтобы его сбросить, необходимо записать в этот разряд регистра ISR_tout 1. (При записи в бит значения 0, его значение не меняется).

Таблица 9.16 Назначение разрядов регистра ISR_tout_L

Номер разряда	Условное обозначение	Описание
31:0	ISR_tout_L	Младшая часть регистра ISR_tout

9.5.15 Регистр ISR_tout_H

В этот регистр отображается старшая (63..32) часть регистра ISR_tout.

Таблица 9.17 Назначение разрядов регистра ISR_tout_H

Номер разряда	Условное обозначение	Описание
31:0	ISR_tout_H	Старшая часть регистра ISR_tout

После сброса содержит значение «0».

9.5.16 Регистр LOG_ADDR

В этом регистре хранится значение логического адреса, добавляемого к пакету по умолчанию, если установлен соответствующий режим. Длина логического адреса может быть от одного до 4 байтов, она определяется значением дескриптора пакета.

Таблица 9.18 Назначение разрядов регистра LOG_ADDR

Номер разряда	Условное обозначение	Описание
31:0	LOG_ADDR	Значение логического адреса.

9.6 Работа со SWIC. Пакеты данных, дескрипторы пакетов.

В этой главе описывается формирование пакетов данных в памяти для передачи в канал, формат пакетов данных, дескрипторов, передача данных из памяти в канал SpaceWire, прием данных из канала SpaceWire в память, интерпретирование принятых данных, системные сообщения.

9.6.1 Расположение данных в памяти.

Рассмотрим пример (см. Рисунок 9.4.) представления данных в системной памяти, если для данных выделен один сегмент памяти. Пусть в системную память из канала SpaceWire было записано 3 пакета. Первый пакет имеет размер 10 байт и заканчивается символом EOP. Второй пакет имеет размер 8 байт и заканчивается символом EEP. Третий пакет имеет размер 11 байт и заканчивается символом EOP. Собственно пакеты хранятся в сегменте памяти, выделенном процессором для записи данных. Для выравнивания по границам 64-х разрядных слов, первый и третий пакет дополнены двумя и одним байтом соответственно.

Дескрипторы хранятся в сегменте памяти, выделенном процессором для записи дескрипторов. В дескрипторах указаны размеры пакетов в байтах – 0Ah, 08h и 0Bh соответственно. В дескрипторах хранится так же информация о типе конца пакета. В разряд 31 дескриптора записывается 1, что указывает процессору на то, что дескриптор заполнен действительными данными.

9.6.2 Схема обработки данных процессором

В данном примере пакеты могут быть обработаны процессором в соответствии со следующей схемой. Процессор прочитывает первое слово из блока, выделенного для дескрипторов – первый дескриптор. По дескриптору он определяет тип конца пакета, в соответствии с этим решает, как его обрабатывать. По дескриптору он определяет действительный размер пакета и извлекает данные, относящиеся к пакету 1. Для того чтобы вычислить начальный адрес второго пакета к начальному адресу блока данных добавляется размер первого пакета и выполняется округление до границы ближайшего слова. После того, как первый пакет полностью обработан, процессор прочитывает дескриптор второго пакета. Обработка остальных пакетов выполняется аналогично. Процесс обработки очереди пакетов заканчивается, когда 31 разряд очередного дескриптора равен 0.

9.6.3 Прием данных из канала SpaceWire.

Маршрут принимаемых данных и схема их обработки приведены на Рисунок 9.2..

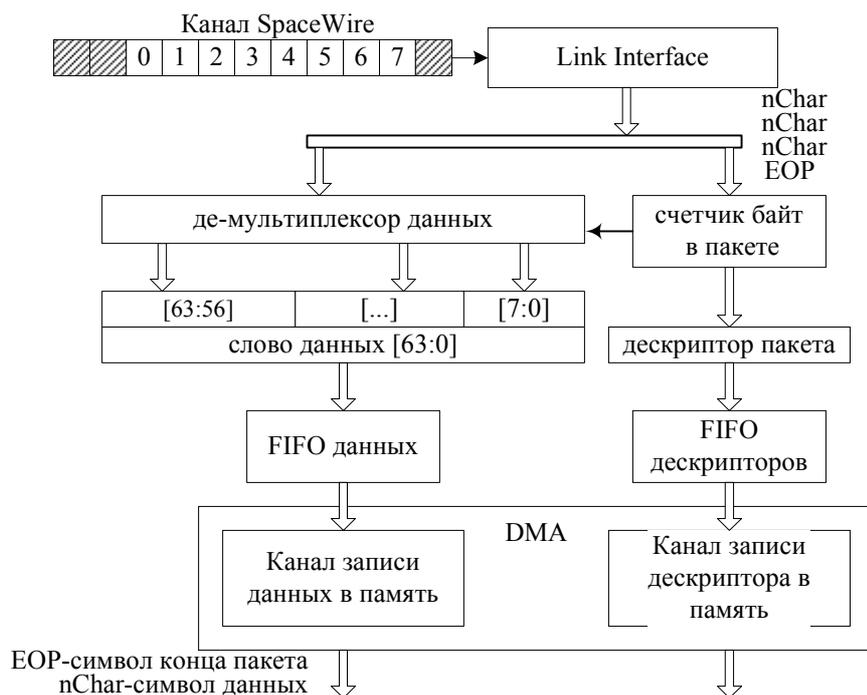


Рисунок 9.2. Схема приема данных из канала SpaceWire

Из канала SpaceWire в Link Interface символы данных поступают последовательно (побитно). Link Interface выделяет из последовательности приходящих символов символы данных и символы концов пакетов и передает их в блок приема. По каналу SpaceWire байты данных передаются младшими разрядами вперед.

Передача всех разрядов символа (9 разрядов, из них 8 используется для представления собственно байта данных, девятый бит является дополнительным и указывает, является ли этот байт символом данных nChar или символом конца пакета EOP) от Link Interface в блок приема осуществляется в параллельном коде.

Подсчет числа символов nChar и формирование дескриптора при приеме символа конца пакета осуществляется в счетчике байт в пакете.

В блоке приема из байтов данных формируются слова разрядности 64. При формировании слов первый поступивший байт размещается в разрядах 7:0, второй – в разрядах 15:8, третий – в разрядах 23:16, четвертый – в разрядах 31:24 и т.д. Распределение символов данных по разрядам слова данных производится по счетчику байт.

Для того чтобы сократить загрузку процессора в ходе последующей обработки пакетов данных, в этом блоке выполняется выравнивание границ пакетов по границам слов и формирование дескрипторов пакетов, позволяющих процессору распознать границы отдельных пакетов.

Собственно пакеты данных и дескрипторы пакетов могут храниться в различных областях памяти. Местоположение этих областей в памяти определяется процессором при настройке каналов DMA. Дескрипторы пакетов записываются в память друг за другом и логически организованы в очередь.

9.6.4 Передача данных в канал SpaceWire

Процесс передачи пакетов данных из системной памяти в канал через контроллер, а также преобразование форматов данных показаны на Рисунок 9.3..

Пакеты данных загружаются из системной памяти в буфер передачи через каналы DMA чтения данных из памяти и чтения дескриптора из памяти.

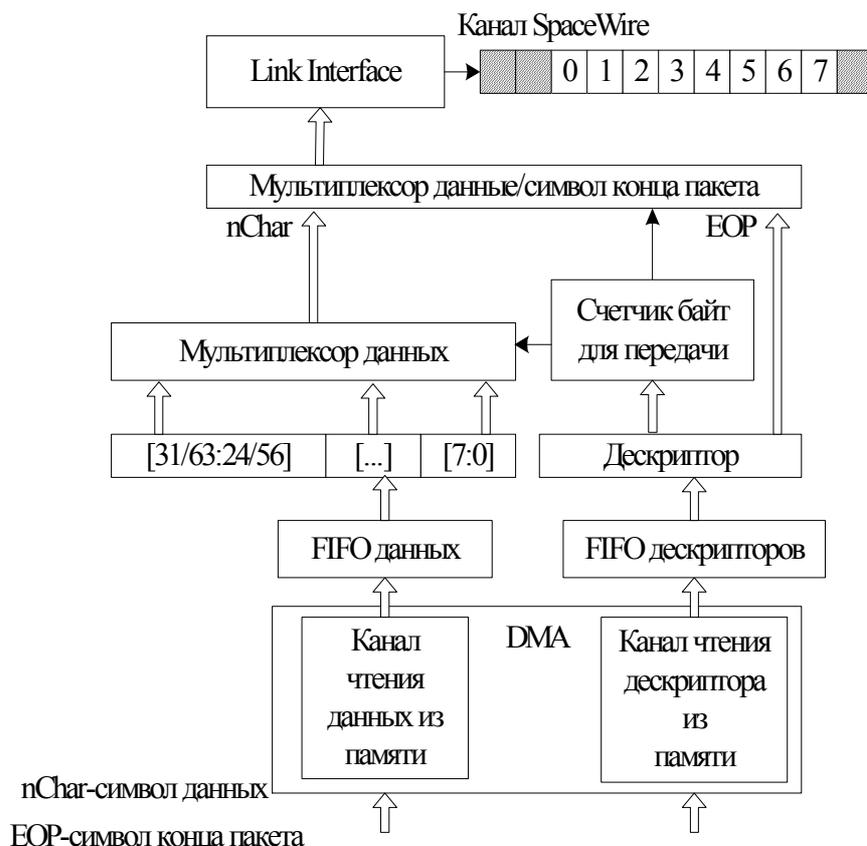


Рисунок 9.3. Передача данных из системной памяти в канал SpaceWire

Блок передачи разбивает слова на отдельные байты. При этом из последовательности байтов в соответствии с информацией, содержащейся в дескрипторе, удаляются “лишние” байты – байты, добавленные для выравнивания пакетов по границам слов, и вставляются символы концов пакетов EOP или EEP. Если в канал SpaceWire передаются пакеты, сгенерированные в данном узле, то предполагается, что они всегда должны заканчиваться символом EOP. Однако пакеты могут проходить через данный процессорный модуль транзитом. В этом случае они могут заканчиваться символом EEP. Коды маркеров EOP или EEP формируются контроллером аппаратно, на основании кодов дескриптора пакета на передачу (разряды 29:30 дескриптора пакета). Сами дескрипторы пакетов на передачу в сеть из основной памяти формируются программно.

Распаковка 64-разрядного слова в последовательность из 8 байт при передаче из контроллера выполняется по правилу, согласованному с правилом упаковки байтов при приеме данных из канала в контроллер.

Блок передачи вначале передает в Link Interface байт данных, находящийся в разрядах 7:0 слова, затем байт, находящийся в разрядах 15:8, затем байт, находящийся в разрядах 23:15, затем байт из разрядов 31:24 и т.д. 64-разрядного слова.

Символы данных и концов пакетов передаются блоком передачи в блок Link Interface. Link Interface преобразует полученные символы в соответствии с алгоритмом DS кодирования и передает их в канал. Символы передаются младшими разрядами вперед.

9.6.5 Выравнивание границ пакетов по границам слов

Рассмотрим выравнивание пакетов данных на примере Рисунок 9.4.. Если очередное слово данных сформировано не полностью (действительными данными заполнены один, два или три байта слова), а следующий символ в последовательности – символ конца пакета, то заполнение данного слова прекращается. Первый символ следующего пакета будет записан в первый байт нового слова. Действительный размер пакета в байтах записывается в дескриптор пакета. Это позволяет процессору при обработке пакета исключить из рассмотрения “лишние” байты – байты, добавленные для выравнивания пакетов по границам слов. В дескриптор заносится также информация о типе конца пакета (нормальный конец пакета – EOP, или признак завершения пакета с ошибкой – EEP).

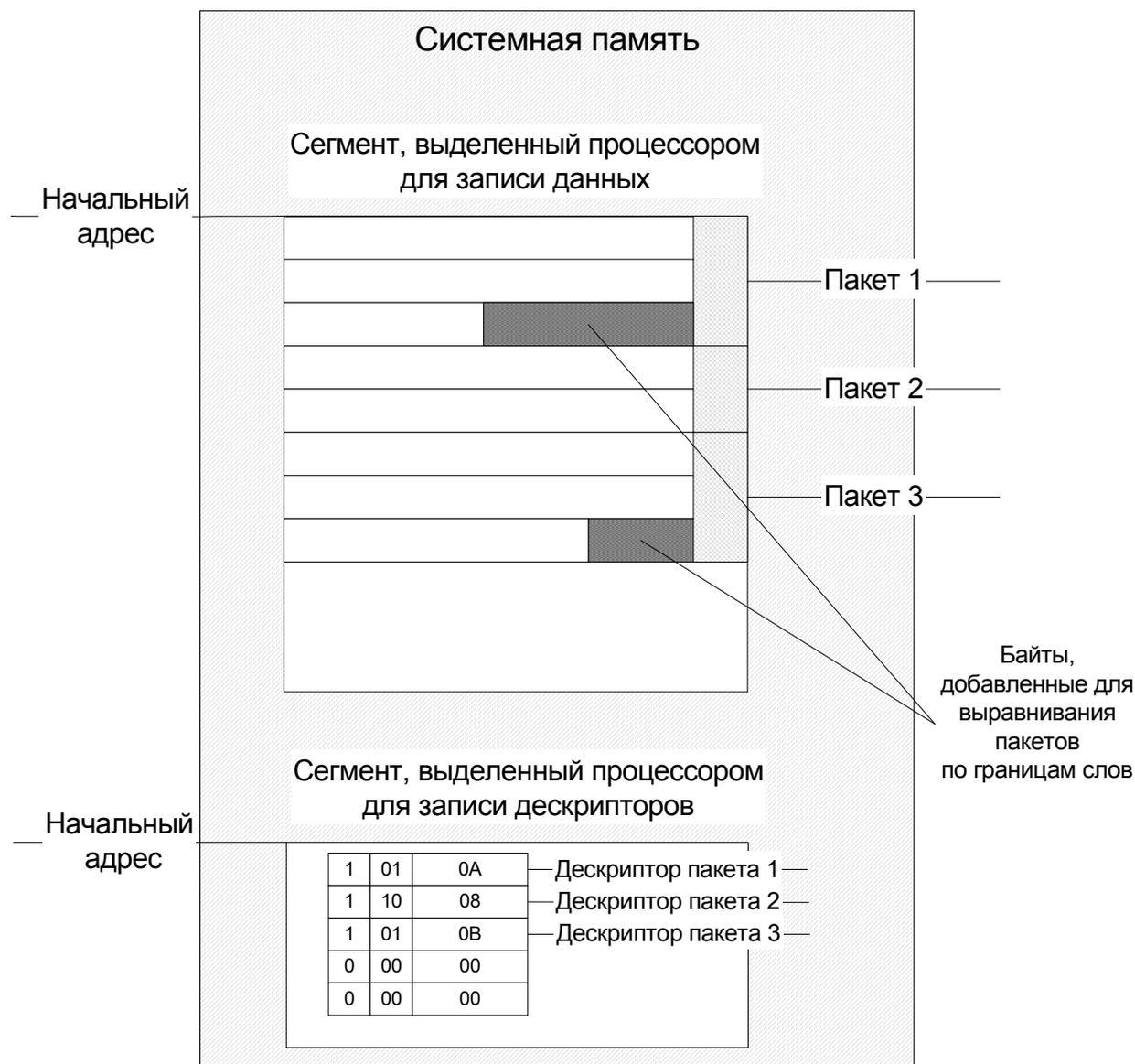


Рисунок 9.4. Представление данных в памяти (пример)

9.6.6 Формат дескриптора пакета

Дескриптор пакета имеет следующую структуру:

[63:32] – не используются;

[31] – признак заполнения дескриптора действительными данными. Бит учитывается только при приеме пакетов (позволяет процессору идентифицировать конец очереди дескрипторов в памяти). При передаче пакетов этот бит не учитывается (DMA вычитывает всю область дескрипторов, заданную процессором). До запуска приема, все 31-е биты дескрипторов области приема должны быть обнулены программно; DMA не обнуляет 31-е биты не принятых дескрипторов, DMA только записывает '1' в 31-е биты принятых дескрипторов;

[30:29] – тип конца пакета:

00 – передавать данные пакета из памяти и не вставлять конец пакета

01 – EOP;

10 – EEP.

11 – передавать данные пакета из регистра LOG_ADDR и не вставлять конец пакета

[28:25] – не используется «0b0000»;

[24:0] – размер пакета в байтах.

При использовании 64-разрядной версии SWIC биты [63:32] не используются и на приеме могут содержать случайные значения.

Тип конца пакета 00 рекомендуется использовать для того, чтобы формировать заголовки пакетов, используемые для маршрутизации при передаче пакетов через сеть, отдельно от собственно передаваемых данных. Заголовок пакета может включать в себя произвольное количество байтов (не кратное 4). Оформление такого заголовка как отдельного пакета позволяет избежать выравнивания собственно передаваемых данных при длине заголовка не кратной 4. В дальнейшем будем называть заголовок пакета, оформленный как отдельный пакет, коммуникационным пакетом.

Слова данных из буфера приема передаются в канал DMA записи данных в память. Дескрипторы из блока приема передаются в канал DMA записи дескриптора в память. Блок DMA записывает данные и дескрипторы в системную память в соответствии с настройками, выполненными процессором (через регистры DMASWIC).

Процессор для канала записи дескрипторов в память определяет начальный адрес блока памяти и размер блока памяти. Для записи собственно пакетов данных в память может быть задан один блок памяти (так же, как и для канала записи дескриптора в память) или последовательность блоков памяти, физически расположенных в разных местах памяти.

9.6.7 Возможность передачи коммуникационного пакета

Дескриптор пакета в битах [30:29] содержит информацию о типе передаваемого пакета. Пакет может иметь нормальное окончание (EOP, код 01), ошибочное окончание (EEP, код 10), конец пакета может отсутствовать (00), и пакет может иметь тип *коммуникационного пакета* LOG_ADDR (11).

Если конец пакета отсутствует (код 00), то после передачи всех байт данных пакета, соответствующего дескриптору с битами [30:29]=00, конец пакета SpaceWire не посылается в канал. Эта возможность используется, чтобы слить два пакета в один. Например, первый пакет может иметь статус коммуникационного, второй - содержать передаваемые данные. Дескриптор первого пакета в этом случае должен содержать длину коммуникационного пакета. Второй, замыкающий, пакет (пакет данных) должен содержать действительное значение числа байт в основном блоке данных, и тип пакета 01 или 10 (т.е. так же как при стандартной передаче данных). Описанная возможность позволяет отдельно формиро-

вать данные для коммуникационного пакета и данные основного пакета. При этом оба пакета располагаются друг за другом, каждому соответствует свой дескриптор, и данные пакетов выровнены по длине 64-разрядных слов.

Для тех случаев, когда программист предпочитает иметь заранее сформированный коммуникационный пакет, который бы вставлялся перед передаваемым пакетом данных из памяти, предусмотрен режим передачи коммуникационного пакета из регистра LOG_ADDR. В этом случае нет необходимости формировать коммуникационный пакет для каждого пакета данных. Программисту следует записать в регистр LOG_ADDRS данные коммуникационного пакета (максимум - 4 байта) и сформировать для него дескриптор по описанной выше схеме (в области дескрипторов на передачу, перед дескрипторами данных, для которых требуется вставка коммуникационного пакета LOG_ADDR). Всегда, встречая дескриптор с кодом 11, SWIC передает число байт, указанное в этом дескрипторе, из регистра LOG_ADDR, а не из памяти. После передачи данных из этого регистра в канал не высылаются конца пакета, таким образом, пакет из регистра сольется с данными следующего пакета.

В обоих случаях (при передаче пакета с дескриптором 11 или 00) при слиянии пакетов на приемной стороне будет принят пакет длиной, равной сумме длин переданных пакетов, первому из которых соответствовал дескриптор 11 или 00.

Передача подряд нескольких пакетов с дескрипторами 11 и 00 допустима, при этом все переданные пакеты с этими дескрипторами - сольются в один пакет на приемной стороне. После пакетов с идентификаторами 11 или 00 обязательно должен следовать пакет с идентификатором EOP или EEP.

9.6.8 Использование симплексного режима

Блок SWIC позволяет осуществлять передачу данных в симплексном режиме. В этом режиме предусмотрено две возможности – передача в симплексном режиме и прием в симплексном режиме. При этом в симплексном режиме передающая сторона не получает информации о состоянии приемной стороны, например, передающая сторона не способна определить возникла ли ошибка на приемной стороне, и не может принять решение о перезапуске канала. Для гарантированного перезапуска (в случае разрыва связи на приемной стороне) используется механизм автоматического снижения передающей частоты и посылки в канал символов NULL, один из которых должен быть определен на приемной стороне как первый NULL. Далее в автоматическом режиме скорость снова может быть поднята.

Рассмотрим работу блоков приема и передачи в симплексном режиме подробнее.

При работе в симплексном режиме на прием (установка $MODE_CR[10]=1$) блок приема работает так же как в обычном режиме. Он должен принять первый символ NULL на скорости 10 Мбит/с как в начале работы блока, так и при разрыве связи.

При активизации возможности передачи данных в симплексном режиме (установка $MODE_CR[9]=1$) блок SWIC осуществляет запуск канала без участия приемника. Блок начинает передачу символов NULL на скорости 10 Мбит/с в течение 12.8 мкс. Затем устанавливается скорость из регистра скорости передачи и в канал передаются данные без участия системы кредитования по стандарту SpaceWire. Считается, что блок может посылать неограниченное число данных в канал. Через предустановленный интервал времени примерно 100 мкс блок автоматически снижает скорость до 10 Мбит/с на время 12.8 мкс и передает только символы NULL. Эта схема при работе в симплексном режиме на передачу повторяется циклически.

Кратковременный переход на низкую скорость позволяет установить связь с приемной стороной, если на ней по каким-то причинам произошел разрыв связи. 12.8 мкс достаточно чтобы в канале передачи появился как минимум один символ NULL, который приемное устройство обязано трактовать как первый NULL и установить прием данных по симплексному каналу SpaceWire.

Блок SWIC может быть настроен одновременно на работу в симплексном режиме сразу по обоим каналам – приема и передачи. При этом два канала приема и передачи будут работать независимо (т.е. принимаемые данные никоим образом не влияют на работу передающего устройства).

Если настроен на симплексный режим только один из каналов – приема или передачи, то работа второго канала блокируется. Т.о. при работе в симплексном режиме канала приема передатчик выдает в канал низкие уровни сигналов DOUT и SOUT. При работе в симплексном режиме только канала передачи работа приемника автоматически запрещается.

9.6.9 Маркеры времени

Маркеры времени - системная функция стандарта SpaceWire. Они предназначены для синхронизации системных часов взаимодействующих систем.

При передаче данных маркеры времени имеют наивысший приоритет. Маркер времени записывается в регистр TX_CODE. Этот же регистр используется и для передачи в сеть кодов распределенных прерываний и кодов подтверждения. После записи Link Interface дожидается окончания передачи символа данных или служебного символа и начинает передачу маркера времени, после окончания передачи маркера времени продолжается передача потока данных. Для того, чтобы не произошло утраты управляющего символа в результате перезаписи его в регистре TX_CODE следующим управляющим символом до передачи в сеть необходимо программно отслеживать значение бита [17] (FL_CONTROL) регистра состояния. Если этот бит установлен в 0, то SWIC готов к передаче следующего управляющего символа. Если в момент записи в регистр TX_CODE нового значения этот бит был установлен в 1, то существует вероятность того, что предыдущий управляющий код не будет передан в сеть.

В канале приема маркер времени выделяется из потока данных и при безошибочном приеме заносится в регистр RX_CODE (разряды 7 - 0) с выставлением соответствующего прерывания, если маркер времени является корректным. Корректным признается маркер времени на 1 больше, чем предыдущий, если предыдущий маркер времени имел значение меньше 63. Если предыдущий маркер времени имел значение 63, то следующий корректный маркер времени должен иметь значение 0. Если маркер времени не является корректным, то его значение так же заносится в соответствующие разряды регистра RX_CODE, однако, прерывание для процессора в данном случае не устанавливается. В начале работы устройства или после сброса маркер времени со значением 1 рассматривается как корректный.

9.6.10 Коды распределенных прерываний

Коды распределенных прерываний являются расширением стандарта SpaceWire. Механизм передачи кодов распределенных прерываний в сеть аналогичен механизму передачи маркеров времени.

При приеме кода распределенного прерывания из сети выполняются следующие действия.

Если соответствующий коду распределенного прерывания разряд регистра ISR установлен в 1, то данное прерывание игнорируется (никаких действий не выполняется). Если со-

ответствующий разряд регистра установлен в 0, то в него записывается 1 и код распределенного прерывания записывается в разряды [15:8] регистра RX_CODE. В этом случае устанавливается прерывание.

9.6.11 Коды подтверждения распределенных прерываний

Коды подтверждения распределенных прерываний являются расширением стандарта SpaceWire. Механизм передачи кодов подтверждения в сеть аналогичен механизму передачи маркеров времени.

При приеме кода подтверждения прерывания из сети выполняются следующие действия. Если соответствующий коду подтверждения разряд регистра ISR установлен в 0, то данный код игнорируется (никаких действий не выполняется). Если соответствующий разряд регистра установлен в 1, то в него записывается 0 и код записывается в разряды [23:16] регистра RX_CODE. В этом случае устанавливается прерывание.

9.6.12 Установка скорости передачи данных

Управление скоростью передачи осуществляется посредством регистра TX_SPEED.

Если не установлен режим автоматического контроля скорости (разряд AUTO_SPEED регистра управления MODE_CR), то установка скорости передачи осуществляется путем записи коэффициента скорости в разряды 9:0 регистра TX_SPEED. Этот коэффициент напрямую передается в TX_PLL. До установки соединения в эти разряды должен быть записан коэффициент, соответствующий скорости передачи 10 Мбит/с. После установки соединения в эти разряды регистра могут быть записаны другие значения (соответствующие скорости передачи от 2 до 400 МГц, в соответствии со стандартом SpaceWire). Если происходит разрыв соединения, то в этот регистр снова необходимо записать коэффициент, соответствующий 10 Мбит/с.

Если установлен режим автоматического контроля скорости, то до установки соединения на TX_PLL подается коэффициент TX_SPEED_10 из разрядов 19:10 регистра TX_SPEED. Он должен соответствовать 10 Мбит/с. После установки соединения на TX_PLL будет подаваться коэффициент из разрядов 9:0 регистра TX_SPEED. В эти разряды регистра могут быть записаны значения соответствующие скорости передачи от 2 до 400 МГц. При разрыве соединения переход на коэффициент TX_SPEED_10 выполняется автоматически, при повторной установке соединения переход на TX_SPEED так же выполняется автоматически.

9.6.13 Установление соединения

Для разрешения процесса установки соединения необходимо записать лог "0" в разряд LinkDisabled и "1" в разряд LinkStart регистра режима работы MODE_CR – для запуска канала, WORK_TYPE = "1".

Критерием успешного установления соединения является прохождение прерывания INT_LINK и отсутствие прерывания INT_ERR.

После обнаружения прерывания INT_LINK, необходимо считать регистр STATUS и проверить биты DC_ERR, P_ERR, ESC_ERR, CREDIT_ERR на равенство «0». Бит CONNECTED должен быть равен «1». При выполнении этих условий - соединение с удаленной системой установлено.

Для активации функции автоматического восстановления соединения после обрыва связи дополнительно в разряд AutoStart записывается «1». В этом случае после рассоединения из-за ошибок будет выставлено прерывание INT_ERR и система будет производить по-

вторное установление соединения. Однако следует учитывать что повторное соединение на скорости выше 10 Мбит/с не предусмотрено стандартом SpaceWire, вследствие этого при обнаружении рассоединения необходимо снова установить скорость передачи равной 10 Мбит/с.

9.6.14 Определение скорости приема данных

Оценка скорости приема выполняется при разрешенной работе канала и установленном соединении. Скорость приема данных отображается в регистре RX_SPEED[9:0]. После установления соединения скорость должна составлять 10 ± 1 Мбит/с при этом регистр RX_SPEED[9:0] будет равен $0x0000000A \pm 1$ МЗР. Разряды регистра с 8 по 31 не используются и при чтении содержат 0

10. КОНТРОЛЛЕР GSWIC

10.1 Функциональные параметры и возможности

Контроллер GSWIC предназначен для использования в исполнении 1892BM12T и имеет следующие функциональные параметры и возможности:

- Реализует стек протоколов в соответствии с международным стандартом ECSS-E-50-12 (SpaceWire) - от символьного до сетевого (частично);
- Физический уровень реализован в соответствии со стандартом RapidIO Interconnect Specification V1.2 Part VI: Physical Layer 1x/4x LP-Serial Specification (только 1x);
- дуплексный режим приема и передачи данных;
- скорость приема и передачи данных – от 5 до 1250 Мбод;
- аппаратное детектирование ошибок связи: рассоединение, ошибки четности;
- четыре канала DMA (два канала данных и два канала дескрипторов пакетов);
- обмен данными с памятью через DMA словами по 64 бита;
- три линии прерываний.

10.2 Структурная схема

Структурная схема контроллера GSWIC приведена на Рисунок 10.1.

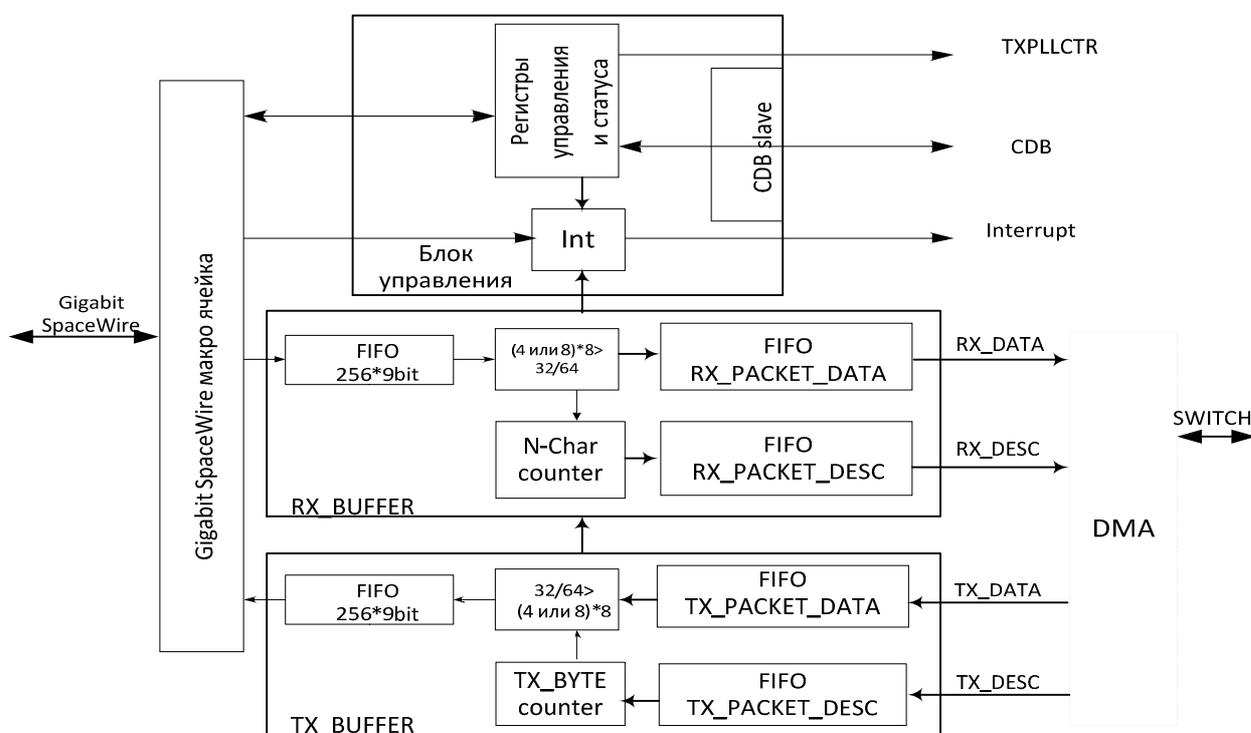


Рисунок 10.1. Структурная схема контроллера

Основой контроллера является Gigabit SpaceWire макро ячейка, реализующая функции кодера/декодера SpaceWire с помощью 8b/10b кодирования. Gigabit SpaceWire макро ячейка к физическим линиям связи интерфейса Gigabit SpaceWire подключается через PMA (Physical Media Attachment): PMA_TX (передатчик) и PMA_RX (приемник).

Контроллер канала GSWIC взаимодействует с CPU через шину CDB (работа с программно-доступными регистрами контроллера) и FIFO-подобный интерфейс с DMA (прием/передача пакетов данных).

В состав GSWIC входят следующие компоненты:

- Gigabit SpaceWire макро ячейка - контроллер канального интерфейса Gigabit SpaceWire;

- RX_BUFFER – блок буферизации данных, принимаемых из сети:

- FIFO256*9bit – блок первичной буферизации;

- FIFO RX_PACKET_DATA – блок пакетов данных, принимаемых из сети;

- FIFO RX_PACKET_DESC – блок дескрипторов пакетов данных, принимаемых из сети;

- Nchar_counter – счетчик принятых символов данных;

- $\langle(4 \text{ или } 8) * 8 \rangle 32/64$ - блок преобразования разрядности слов.

- TX_BUFFER – блок буферизации данных, передаваемых в сеть:

- FIFO TX_PACKET_DATA – блок пакетов данных, передаваемых в сеть;

- FIFO TX_PACKET_DESC – блок дескрипторов пакетов данных, передаваемых в сеть;

- byte_counter – счетчик переданных байтов данных;

- $32/64 \langle(4 \text{ или } 8) * 8 \rangle$ - блок преобразования разрядности слов.

- Блок управления;

- регистры управления и статуса;

- int – блок формирования сигналов прерываний;

- CDB slave – интерфейс ведомого устройства на шине CDB (control data bus).

GSWIC имеет следующие интерфейсы:

- Gigabit SpaceWire – последовательный интерфейс для подключения к сети Gigabit SpaceWire;

- CDB - интерфейс ведомого устройства для подключения к шине Control Data Bus;

- группа интерфейсов RX_DATA, RX_DESC, TX_DATA, TX_DESC для подключения к блоку DMA обеспечивающему интерфейс с коммутатором SWITCH;

- interrupt – интерфейс прерываний.

Блок управления по командам центрального процессора задает режимы работы Gigabit SpaceWire макроячейкой. Передача управляющих кодов, контроль состояния последнего полученного извне маркера времени, кода распределенного прерывания, кода подтверждения и кода CC11 производится через соответствующие регистры блока управления.

Код СС11 представляет собой управляющий код SpaceWire назначение которого и правила использования в текущей версии стандарта не определены. Данный код имеет следующий формат:

- T7, T6 - флаги управляющего кода, должны быть установлены в значение «11»;
- T5-T0 - Значение управляющего кода.

Блок формирования прерываний Int, расположенный в блоке управления, формирует необходимые прерывания по состоянию Gigabit Spacewire макроячейки.

Буфер приема RX_BUFFER имеет конвейерную организацию и состоит из двух ступеней. Сначала в FIFO_256*9bit буферизируются восьмиразрядные данные, принимаемые от Gigabit Spacewire макроячейки. Девятый служебный разряд несет информацию о признаке символа данных N-Char или символе конца пакета EOP. Затем в блоке преобразования формируются 32/64-разрядные слова данных и поступают в FIFO RX_PACKET_DATA. Дескриптор пакета формируется в счетчике N-Char_counter. При поступлении символа данных N-Char счетчик увеличивается на 1, при поступлении символа конца пакета значение счетчика переписывается в выходной буфер RX_PACKET_DESC, а сам счетчик сбрасывается в 0.

В буфер передачи TX_BUFFER с помощью канала передаваемых данных DMA записываются 32/64-разрядные слова данных. Содержимое пакетов и их дескрипторы буферизируются в двух FIFO TX_PACKET_DATA и TX_PACKET_DESC соответственно. Данные из буфера передачи в Gigabit SpaceWire макро ячейку выдаются побайтно через FIFO 256*9bit. Преобразование 32/64-хразрядных слов в байты осуществляется в блоке преобразования под управлением счетчика TX_BYTE counter. В счетчик заносится размер пакета из дескриптора передаваемого пакета. После передачи каждого байта этот счетчик уменьшается на 1. По достижении счетчиком значения 0, в поток передаваемых данных вставляется символ конца пакета EOP, а в счетчик заносится размер следующего передаваемого пакета из следующего дескриптора.

К GSWIC подключены четыре канала DMA:

§ канал дескрипторов передаваемых пакетов;

§ канал данных передаваемых пакетов;

§ канал дескрипторов принимаемых пакетов;

§ канал данных принимаемых пакетов.

10.3 Перечень регистров GSWIC

10.3.1 Общие положения

Перечень программно-доступных регистров контроллера GSWIC приведен в таблице 10.1. Все регистры - 32-разрядные.

При описании полей и значений регистров используются обозначения:

- R – только чтение;
- RW – чтение и запись;
- W – только запись.

Таблица 10.1. Перечень программно-доступных регистров GSWIC

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние
HW_VER	Номер версии контроллера	R	0x00000003
STATUS	Регистр состояния	RW	0x00000000
RX_CODE	Регистр управляющего символа, принятого из сети (маркера времени, кода распределенного прерывания, кода подтверждения распределенного прерывания или кода CC11 – управляющего кода SpaceWire, назначение которого в текущей версии стандарта не определено)	R	0x00000000
MODE_CR	Регистр режима работы	W	0x00000000
TX_CONTROL	Регистр управления параметрами передачи	W	0x00001008
TX_CODE	Регистр управляющего символа (маркера времени, кода распределенного прерывания, кода подтверждения, кода CC11) для передачи в сеть	W	0x00000000
CNT_RX_PACK	Регистр счетчика принятых пакетов ненулевой длины	RW	0x00000000
ISR_L	Младшие разряды регистра ISR (Interrupt Status Register)	RW	0x00000000
ISR_H	Старшие разряды регистра ISR (Interrupt Status Register)	RW	0x00000000
TRUE_TIME	Регистр, содержащий значение последнего правильного маркера времени	R	0x00000000
TOUT_CODE	Регистр размера таймаутов	RW	0x00000000
ISR_tout_L	Младшие разряды регистра флагов таймаутов ISR	RW	0x00000000
ISR_tout_H	Старшие разряды регистра флагов таймаутов ISR	RW	0x00000000
LOG_ADDR	Регистр логического адреса	RW	0x00000000
PMA_STATE	Регистр состояния PMA	RW	0x00000000
PMA_MODE	Регистр режима PMA	RW	0x003842c0
PMA_TX_LB	Регистр режима LOOPBACK PMA_TX	RW	0x00000000
PMA_RX_LB	Регистр режима LOOPBACK PMA_RX	RW	0x00000000

10.4 Описание регистров GSWIC

10.4.1 Регистр HW_VER

Регистр HW_VER содержит код номера версии контроллер - 0x00000004.

10.4.2 Регистр STATUS

Регистр STATUS предназначен для оперативного контроля состояния фаз работы контроллера. Регистр доступен как на чтение, так и на запись. Формат регистра STATUS приведен в Таблица 10.2.

Таблица 10.2. Назначение разрядов регистра STATUS

Номер разряда	Условное обозначение	Назначение
0	DC_ERR	Признак ошибки разъединения (Disconnect Error): "1" – ошибка произошла; "0" – нет ошибки. Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания ERR посредством записи 1 в этот разряд.
1	P_ERR	Признак ошибки кодирования 8b/10b: "1" – ошибка произошла; "0" – нет ошибки. Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания ERR посредством записи 1 в этот разряд.
2	-	Не используется
3	CREDIT_ERR	Признак ошибки кредитования: "1" – ошибка произошла; "0" – нет ошибки. Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания ERR посредством записи 1 в этот разряд.
4	-	Не используется
5 - 7	STATE	Состояние Gigabit SpaceWire макро ячейки: "000" – ErrorReset; "001" – ErrorWait; "010" – Ready; "011" – Started; "100" – Connecting; "101" – Run
8	-	Не используется
9	RX_BUF_EMPTY	Состояние буфера приема: "1" – буфер пуст; "0" – в буфере есть данные
10	-	Не используется
11	TX_BUF_EMPTY	Состояние буфера передачи: "1" – буфер пуст; "0" – в буфере есть данные
12	GOT_FIRST_BIT	Запись "1" в этот бит сбрасывает прерывание INT_LINK, если оно было установлено, но не изменяет состояние GOT_FIRST_BIT
13	CONNECTED	"1" - Соединение установлено (DS_STATE=5); "0" - Соединение установлено (DS_STATE≠5)
14	GOT_TIME	Принят маркер времени из сети: "1" – принят маркер времени; "0" – Маркер времени не принят. Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания CCODE посредством записи 1 в этот разряд
15	GOT_INT	Принят код распределенного прерывания из сети: "1" – принят код распределенного прерывания времени; "0" – код распределенного прерывания не принят. Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания TOME посредством записи 1 в этот разряд

Номер разряда	Условное обозначение	Назначение
16	GOT_ACK	Принят код подтверждения из сети: "1" – принят код подтверждения; "0" – код подтверждения не принят. Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания TIME посредством записи 1 в этот разряд
17	FL_CONTROL	Признак готовности к передаче нового управляющего кода: "0" – готов; "1" – не готов. Контроллер занят передачей управляющего кода в канал
18	LINK	Признак прерывания при установке соединения (контроллер находится в состоянии RUN). Формируется при установке в единичное состояние бита GOT_FIRST_BIT. Сбрасывается при записи «1» в бит GOT_FIRST_BIT. Это прерывание может маскироваться при помощи регистра режима MODE_CR
19	ERR	Признак прерывания по разрыву соединения (контроллер выходит из состояния RUN). Формируется при единичном состоянии любого бита: DC_ERR, P_ERR, CREDIT_ERR. Сбрасывается при записи «1» в биты DC_ERR, P_ERR, CREDIT_ERR. Это прерывание может маскироваться при помощи регистра режима MODE_CR
20	TIME	Признак прерывания по факту приема управляющего кода. Формируется при единичном состоянии любого бита: GOT_TIME, GOT_INT, GOT_ACK, CC_01, CC_11, или если истекло время ожидания таймаута приема кода распределенного прерывания (см. регистр ISR_tout). Сбрасывается при записи «1» в биты GOT_TIME, GOT_INT, GOT_ACK, CC_01, CC_11 или (если данное прерывание установилось по факту истечения таймаута) необходимо сбросить в 0 разряды регистров ISR_tout_L и ISR_tout_H, установленные в 1 (для этого необходимо в них записать 1). Это прерывание (в том числе отдельно по каждой причине его возникновения) может маскироваться при помощи регистра режима MODE_CR
21	CC_11	Признак принятия управляющего кода C[7..6]=11: "1" – принят управляющий код; "0" – управляющий код не принят. Запись "1" в этот разряд сбрасывает его в "0"
22	CC_01	Признак принятия управляющего кода C[7..6]=01 (данный разряд используется только в режиме 5-и битных кодов распределенных прерываний и подтверждений): "1" – принят управляющий код; "0" – управляющий код не принят. Запись "1" в этот разряд сбрасывает этот разряд в "0"
23	COMMADET	Состояние выхода PMA_RX COMMA_DET (признак принятия из сети символа Comma). Запись "1" в этот разряд сбрасывает его в "0"
24	COMMADET_S	Данный разряд устанавливается в 1, если сигнал на выходе PMA_RX COMMA_DET переходит из 0 в 1. Запись "1" в этот разряд сбрасывает его в "0"
25:31	-	Не используется

10.4.3 Регистр RX_CODE

Регистр RX_CODE предназначен для хранения принятого из сети управляющего кода. Формат регистра RX_CODE приведен в Таблица 10.3.

Таблица 10.3. Назначение разрядов регистра RX_CODE

Номер разряда	Условное обозначение	Назначение
7:0	TIME_CODE	Значение маркера времени, принятого из сети последним (C[7..6]=00)
15:8	C01_CODE	Значение кода (разряды C[7..6]=01), принятого из сети последним. Это код распределенного прерывания, если используется режим 6-и битных кодов распределенных прерываний. Это код C01, если используется режим 5-и битных кодов распределенных прерываний
23:16	C10_CODE	Значение кода (разряды C[7..6]=10), принятого из сети последним. Это код подтверждения, если используется режим 6-и битных кодов распределенных прерываний или используется режим 5-и битных кодов распределенных прерываний и C[5]=1. Это код распределенного прерывания, если используется режим 5-и битных кодов распределенных прерываний и C[5]=0
31:24	C11_CODE	Значение кода C11 (разряды C[7..6]=11) принятого из сети последним

10.4.4 Регистр MODE_CR

Регистр MODE_CR предназначен для задания режима работы контроллера. Формат регистра MODE_CR приведен в Таблица 10.4.

Таблица 10.4. Назначение разрядов регистра MODE_CR

Номер разряда	Условное обозначение	Назначение
0	LinkDisabled	Запрещение работы GSWIC: 1 – запрещение работы; 0 – разрешение работы
1	AutoStart	Разрешение автоматического перехода GSWIC из состояния Ready в состояние Started по приему первого символа NULL: 1 – разрешение перехода; 0 – запрещение перехода
2	LinkStart	Разрешение автоматического перехода GSWIC в состояние Started: 1 – разрешение перехода; 0 – запрещение перехода
3:4	-	Не используется
5	DSM_RST	Сброс Gigabit SpaceWire макроячейки
6	SWCORE_RST	Программный сброс контроллера (буферы приема и передачи)
7	-	Не используется
8	TEST_TYPE	Тип режима работы: 0 – рабочий; 1 – тестовый
9:11	-	Не используется
12	CODEC_Loopback	Режим Loopback (перед кодеком)
13	GSW_Loopback	Режим Loopback (перед Gigabit SpaceWire макроячейкой)
14	COEFF_10_WR	Разрешение модификации регистра коэффициента для подсчета таймаутов
15	-	Не используется
16	dirQ_regime	Режим передачи/приема кодов распределенных прерываний. Если этот бит установлен в 0, то используются 6-и битные коды распределенных прерываний, если в 1 – то используются 5-и битные коды распределенных прерываний

Номер разряда	Условное обозначение	Назначение
17	-	Не используется
18	LINK_MASK	Маска прерывания LINK. Если значение маски установлено в 1, то значение прерывания отображается в регистр STATUS. Если значение 0, значение прерывания не отображается в регистр STATUS
19	ERR_MASK	Маска прерывания ERR. Если значение маски установлено в 1, то значение прерывания отображается в регистр STATUS. Если значение 0, значение прерывания не отображается в регистр STATUS
20	TIME_MASK	Маска прерывания TIME. Если значение маски установлено в 1, то значение прерывания отображается в регистр STATUS. Если значение 0, значение прерывания не отображается в регистр STATUS
21	CTR	Если этот бит установлен в 1, то установка соединения выполняется без ожидания таймаутов (используется в отладочном режиме)
22	TCODE_MASK	Если этот разряд установлен в 0, то прерывание TIME при получении тайм-кода не устанавливается
23	INT_MASK	Если этот разряд установлен в 0, то прерывание TIME при получении кода распределенного прерывания или кода подтверждения не устанавливается
24	CC_11_MASK	Если этот разряд установлен в 0, то прерывание TIME при получении управляющего кода C[7..6]=11 не устанавливается
25	CC_01_MASK	Если этот разряд установлен в 0, то прерывание TIME при получении управляющего кода C[7..6]=01 (dIRQ_regime=1) не устанавливается
26	INT_TOUT_MASK	Если этот разряд установлен в 0, то прерывание TIME по факту таймаута получения кода подтверждения не устанавливается
28:27	INT_TOUT_ALLOW	Разрешение контроля таймаутов получения кодов подтверждения: 00 – контроль таймаутов запрещен; 01 – выполняется контроль таймаутов и установка флагов истечения таймаутов; 10 – выполняется контроль таймаутов, установка флагов истечения таймаутов и отправка кода подтверждения в сеть
31:29	-	Не используется

После того, как в результате разрешения AutoStart или LinkStart установлено соединение (при LinkDisabled=0), буфер передачи в сеть начинает принимать данные из DMA. Если DMA передал все данные, то далее в сеть передаются символы NULL. Соединение при этом не прекращается. Соединение прекращается, если процессор осуществляет запись единицы в бит LinkDisabled.

10.4.5 Регистр TX_CONTROL

Регистр TX_CONTROL предназначен для управления параметрами передачи. Формат регистра TX_CONTROL приведен в Таблица 10.5.

Таблица 10.5. Назначение разрядов регистра TX_CONTROL

Номер разряда	Условное обозначение	Назначение
5:0	KOEFF_COMMA	Определяет частоту передачи символов COMMA. Значение по умолчанию «001000». Данное число обозначает количество байт данных и К-символов, умноженное на 8, после которых в сеть будет отослан символ COMMA
7:6	-	Не используется
8	PWDn_TX	Управление включением PMA_TX. Если данный разряд установлен в “1”, то PMA_TX включен
9	PWDn_RX	Управление включением PMA_RX. Если данный разряд установлен в “1”, то PMA_RX включен
13:10	DC_COU	Коэффициент, задающий максимально допустимый интервал времени, между последовательными поступлениями из сети символов COMMA. Значение по умолчанию «0100». Данное число, умноженное на 64, дает количество данных и К-символов, в течение которого должен прийти символ COMMA
19..14	-	Не используется
28:20	COEFF_10	Значение коэффициента для подсчета таймаутов установки соединения. В это поле записывается значение коэффициента для подсчета таймаутов установки соединения (6,4 мкс и 12,8 мкс). Значение данного коэффициента зависит от локальной частоты (на которой осуществляется подсчет таймаутов). Значение после сброса для этого регистра “0x0A”, что соответствует локальной частоте 100 МГц. Запись нового значения в этот регистр возможно только, если бит COEFF_10_WR (14) регистра MODE_CR (режима) установлен в 1
31..29	-	Не используется

10.4.6 Регистр TX_CODE

Регистр TX_CODE предназначен передачи в канал управляющих кодов. Формат регистра TX_CODE приведен в Таблица 10.6.

Таблица 10.6. Назначение разрядов регистра TX_CODE

Номер разряда	Условное обозначение	Назначение
5:0	CODE_VAL	Значение управляющего кода для отправки в сеть
7:6	CODE_TYPE	Тип управляющего кода для отправки в сеть (00 – код времени, 01 – код прерывания, 10 – код подтверждения прерывания, 11 – код CC11)
31:8	-	Не используется

Сразу же после записи в этот регистр начинается передача управляющего кода в сеть. Перед записью в регистр TX_CODE необходимо проверить бит FL_CONTROL регистра STATUS. Если данный бит находится в состоянии 1, то контроллер GSWIC занят передачей предыдущего управляющего кода и нужно подождать, когда этот бит сбросится в 0.

10.4.7 Регистр CNT_RX_PACK

Регистр CNT_RX_PACK выводит содержимое счетчика принятых пакетов. Формат регистра CNT_RX_PACK приведен в Таблица 10.7.

Таблица 10.7. Назначение разрядов регистра CNT_RX_PACK

Номер разряда	Условное обозначение	Назначение
31:0	CNT	Число принятых пакетов

Значение регистра увеличивается на 1 каждый раз, когда из сети поступает символ конца пакета, если ему предшествовал хотя бы один символ данных.

При записи (любым значением), значение регистра обнуляется. Процессор может обнулить содержимое этого регистра для того, чтобы начать счет пакетов заново.

10.4.8 Регистр ISR

Регистр ISR содержит информацию о принятых и отправленных кодах распределенных прерываний и подтверждения. Регистр ISR состоит из младшей ISR_L и старшей ISR_H частей. Формат регистров ISR_L и ISR_H приведен в Таблица 10.8, Таблица 10.9.

Таблица 10.8. Назначение разрядов регистра ISR_L

Номер разряда	Условное обозначение	Назначение
31:0	ISR_L	Младшая часть регистра ISR

Таблица 10.9. Назначение разрядов регистра ISR_H

Номер разряда	Условное обозначение	Назначение
31:0	ISR_H	Старшая часть регистра ISR

Если из сети получено распределенное прерывание, то бит регистра ISR, соответствующий номеру распределенного прерывания устанавливается в 1 (если он уже не был установлен в 1). Аналогично, если в регистр TX_CODE осуществляется запись кода распределенного прерывания, соответствующий бит регистра ISR устанавливается в 1.

Если из сети получен код подтверждения, то бит регистра ISR, соответствующий номеру кода подтверждения, устанавливается в 0 (если он уже не был установлен в 0). Аналогично, если в регистр TX_CODE осуществляется запись кода подтверждения, соответствующий бит регистра ISR устанавливается в 0.

Необходимость данного регистра связана с тем, что коды распределенных прерываний и коды подтверждения могут приходиться из сети очень часто, быстрее, чем процессор может среагировать на очередное прерывание и прочитать код. Если даже в регистре RX_CODE код распределенного прерывания или код подтверждения будет перезаписан следующим, информация о нем не будет утрачена – она сохранится в регистре ISR.

Существует возможность программного сброса отдельных битов ISR. Для этого необходимо записать в соответствующие биты 1. (Если в бит записывается значение 0, то его значение не меняется).

10.4.9 Регистр TRUE_TIME

В регистр TRUE_TIME записывается значение последнего правильного маркера времени, в отличие от разрядов 5:0 регистра RX_CODE, в котором регистрируются все принятые маркеры времени. Формат регистра TRUE_TIME приведен в Таблица 10.10.

Таблица 10.10. Назначение разрядов регистра TRUE_TIME

Номер разряда	Условное обозначение	Назначение
5:0	TRUE_TIME	Значение последнего правильного маркера времени

10.4.10 Регистр TOUT_CODE

Формат регистра TOUT_CODE приведен в Таблица 10.11.

Таблица 10.11. Назначение разрядов регистра TOUT_CODE

Номер разряда	Условное обозначение	Назначение
15..0	GLOB_TOUT	Значение периода глобального счетчика (задается в тактах локальной частоты)
20..16	LOC_TOUT1	Значение таймаута ожидания кода подтверждения (на код прерывания, отправленный процессором через GSWIC)
25..21	LOC_TOUT2	Значение таймаута ожидания кода подтверждения (на код прерывания, принятый из сети)

В регистр TOUT_CODE записываются значение периода для глобального счетчика таймаутов (в количестве тактов локальной частоты) и максимальные значения локальных счетчиков таймаутов ожидания кодов подтверждения распределенных прерываний. При этом не важно откуда придут ожидаемые коды подтверждения прерывания – из сети или от процессора.

Отдельный локальный счетчик таймаутов соответствует каждому разряду ISR. Если в GSWIC поступает код распределенного прерывания, то запускается соответствующий ему счетчик локальных таймаутов. Он декрементируется каждый раз при завершении очередного периода счета глобального счетчика таймаутов.

Счетчик глобального периода постоянно уменьшается аппаратурой по модулю GLOB_COU и не сбрасывается в момент записи значений таймаутов LOC_COU1 и LOC_COU2. Таким образом, точность таймаута составляет $[-GLOB_COU+1 \dots 0]$ тактов. Например, при GLOB_COU=100 и LOC_COU1=10 таймаут сработает после того, как будет отсчитано от 901 до 1000 тактов.

При записи в GLOB_COU нового значения, сначала будет отсчитан до конца уже идущий период со старым значением GLOB_COU, а следующие периоды будут считаться с новым значением GLOB_COU.

10.4.11 Регистр ISR_tout

Регистр ISR_tout состоит из младшей ISR_tout_L и старшей ISR_tout_H частей. Формат регистров ISR_tout_L и ISR_tout_H приведен в таблицах 10.12, 10.13 соответственно.

Таблица 10.12. Назначение разрядов регистра ISR_tout_L

Номер разряда	Условное обозначение	Назначение
31:0	ISR_tout_L	Младшая часть регистра ISR_tout

Таблица 10.13 Назначение разрядов регистра ISR_tout_H

Номер разряда	Условное обозначение	Назначение
31:0	ISR_tout_H	Старшая часть регистра ISR_tout

Если в регистре ISR регистрируется код распределенного прерывания, то для него запускается счет таймаута (каждому разряду ISR соответствует отдельный счетчик). В зависимости от того, был ли код распределенного прерывания принят из сети или отправлен процессором начальное значение счетчика устанавливается в LOC_TOUT1 или LOC_TOUT2. (значение счетчика декрементируется каждый раз, когда глобальный счетчик досчитывает до определенного для него максимального значения). Если за время счета из сети не поступает соответствующий код подтверждения, то соответствующий разряд

регистра ISR_tout устанавливается в 1. Для того, чтобы его сбросить, необходимо записать в этот разряд регистра ISR_tout 1. (При записи в бит значения 0, его значение не меняется).

Особенности настройки счётчиков таймаутов приведены в п. 10.4.10.

10.4.12 Регистр LOG_ADDR

Регистр LOG_ADDR предназначен для хранения логического адреса, добавляемого к пакету по умолчанию, если установлен соответствующий режим (см. 10.5.1.1). Длина логического адреса может быть от одного до 4 байтов, она определяется значением дескриптора пакета. Формат регистра LOG_ADDR приведен в Таблица 10.14.

Таблица 10.14. Назначение разрядов регистра LOG_ADDR

Номер разряда	Условное обозначение	Назначение
31:0	LOG_ADDR	Значение логического адреса.

10.4.13 Регистр PMA_STATE

В этом регистре хранится информация о текущем состоянии PMA_RX и PMA_TX.

Формат регистра PMA_STATE приведен в Таблица 10.15.

Таблица 10.15. Назначение разрядов регистра PMA_STATE

Номер разряда	Условное обозначение	Назначение
3:0	RX_ALIGN_STATE	Содержит число (от 0 до 9) полных периодов внутренней тактовой частоты PMA_RX, на которое сдвинулась несущая частота принимаемого кода после окончания выравнивания по символу СОММА
5:4	RX_LOCK	Состояние блока PMA_RX по захвату частоты принимаемого кода: 0 - захват частоты; 1 - обнаружение (грубый захват) частоты; 2 - нет захвата частоты
6	RX_ALIGN_ERROR	Признак обнаружения ошибки при выравнивании символов: 1 - ошибка обнаружена; 0 - ошибка не обнаружена
7	RX_OVR	Признак переполнения выходного регистра PMA_RX: 1 - есть переполнение; 0 - нет переполнения
8	-	Не используется
9	TX_UNR	Признак недозагрузки входного буфера PMA_TX: 1 - буфер недозагружен; 0 - буфер загружен
31..10	-	Не используется

10.4.14 Регистр PMA_MODE

В этом регистре хранится информация о режиме работы PMA_RX и PMA_TX.

Формат регистра PMA_MODE приведен в Таблица 10.16.

Таблица 10.16 Назначение разрядов регистра PMA_MODE

Номер разряда	Условное обозначение	Назначение
6:0	PMA_RX_SPEED	Скорость приема данных: 0x1 - 5 Мбод, 0x2 – 10 Мбод; 0x3 – 15 Мбод; ... 0x19 – 125 Мбод 0x20 - 312,5 Мбод; 0x40 - 625 Мбод; 0x60 - 1250 Мбод. Поля PMA_RX_SPEED и PMA_TX_SPEED должны иметь одинаковое содержимое
8:7	RX_ALIGN_MODE	Режим выравнивания символов при приеме: 0 – выравнивание не выполняется; 1 – выравнивание по каждому символу COMMA; 2– выравнивание по первому символу COMMA
9	EN_PMA_RX	Признак разрешения приема данных в выходной регистр PMA_RX: 1 - прием разрешен; 0 - прием запрещен
11:10	RX_CDR_MODE	Разрешение сравнения несущей частоты принимаемого кода с частотой ХТ1125: 0 – после захвата фазы принимаемого кода никаких действий не выполняется; 1 - после захвата фазы принимаемого кода выполняется сравнение его несущей частоты с ХТ1125, и в случае их расхождения больше чем на 3% выполняется переключение работы PLL PMA_RX на работу от ХТ1125
13:12	-	Не используется
20:14	PMA_TX_SPEED	Скорость передачи данных: 0x1 - 5 Мбод, 0x2 – 10 Мбод; 0x3 – 15 Мбод; ... 0x19 – 125 Мбод 0x20 - 312,5 Мбод; 0x40 - 625 Мбод; 0x60 - 1250 Мбод
21	EN_PMA_TX	Признак разрешения приема данных во входной регистр PMA_TX: 1 - прием разрешен; 0 - прием запрещен
31..22	-	Не используется

10.4.15 Регистр PMA_TX_LB

Формат регистра PMA_TX_LB приведен в Таблица 10.17.

Таблица 10.17. Назначение разрядов регистра PMA_TX_LB

Номер разряда	Условное обозначение	Назначение
14:0	-	Не используется
15	TX_LB_EN	В PMA_TX включен режим LOOPBACK: 1 – режим LOOPBACK включен; 0 – режим LOOPBACK выключен. Штатная работа PMA_TX. Биты RX_LB_EN и TX_LB_EN в регистрах PMA_RX_LB и PMA_TX_LB должны иметь одинаковое состояние
31:16	-	Не используется

10.4.16 Регистр PMA_RX_LB

Формат регистра PMA_RX_LB приведен в Таблица 10.18.

Таблица 10.18. Назначение разрядов регистра PMA_RX_LB

Номер разряда	Условное обозначение	Назначение
14:0	-	Не используется
15	RX_LB_EN	В PMA_RX включен режим LOOPBACK: 1 – режим LOOPBACK включен; 0 – режим LOOPBACK выключен. Штатная работа PMA_RX. Биты RX_LB_EN и TX_LB_EN в регистрах PMA_RX_LB и PMA_TX_LB должны иметь одинаковое состояние
31:16	-	Не используется

10.5 Рекомендации по программированию

10.5.1 Пакеты данных, дескрипторы пакетов

В этой главе описывается формирование пакетов данных в памяти для передачи в сеть, формат пакетов данных, дескрипторов, передача данных из памяти в сеть, прием данных из сети в память, интерпретирование принятых данных, системные сообщения.

10.5.1.1 Формат дескриптора пакета

Дескриптор пакета имеет следующую структуру:

63:32 – не используется. Состояние этих разрядов не определено.

31 – признак заполнения дескриптора действительными данными. Бит учитывается только при приеме пакетов (позволяет процессору идентифицировать конец очереди дескрипторов в памяти). При передаче пакетов этот бит не учитывается (DMA вычитывает всю область дескрипторов, заданную процессором). До запуска приема, все 31-е биты дескрипторов области приема должны быть обнулены программно; DMA не обнуляет 31-е биты не принятых дескрипторов, DMA только записывает '1' в 31-е биты принятых дескрипторов.

30:29 – тип конца пакета:

00 – передавать данные пакета из регистра LOG_ADDR и не вставлять конец пакета;

01 – EOP;

10 – EEP;

11 – передавать данные пакета из памяти и не вставлять конец пакета;

28:25 – не используется (0000)

24:0 – размер пакета в байтах.

Тип конца пакета 00 рекомендуется использовать для того, чтобы формировать заголовки пакетов, используемые для маршрутизации при передаче пакетов через сеть, отдельно от собственно передаваемых данных. Заголовок пакета может включать в себя от 1 до 4 байт. Оформление такого заголовка как отдельного пакета позволяет избежать выравнивания собственно передаваемых данных при длине заголовка не кратной размеру слова. В дальнейшем будем называть заголовок пакета, оформленный как отдельный пакет, коммуникационным пакетом.

Тип конца пакета 11 рекомендуется использовать для того, чтобы формировать заголовки пакетов большего, чем 4 байта, размера или непрерывные потоки данных (пакеты неограниченной длины). В дальнейшем будем называть такой пакет, оформленный как отдельный пакет без маркера конца пакета, коммуникационным пакетом.

10.5.1.2 Расположение данных в памяти

Рассмотрим пример (см. Рисунок 10.2) представления данных в памяти. Пусть в память из сети было записано 3 пакета. Первый пакет имеет размер 10 байт и заканчивается символом EOP. Второй пакет имеет размер 8 байт и заканчивается символом EEP. Третий пакет имеет размер 11 байт и заканчивается символом EOP. Первый и третий пакеты дополнены шестью и пятью байтами соответственно, для выравнивания по границам 64-разрядных слов.

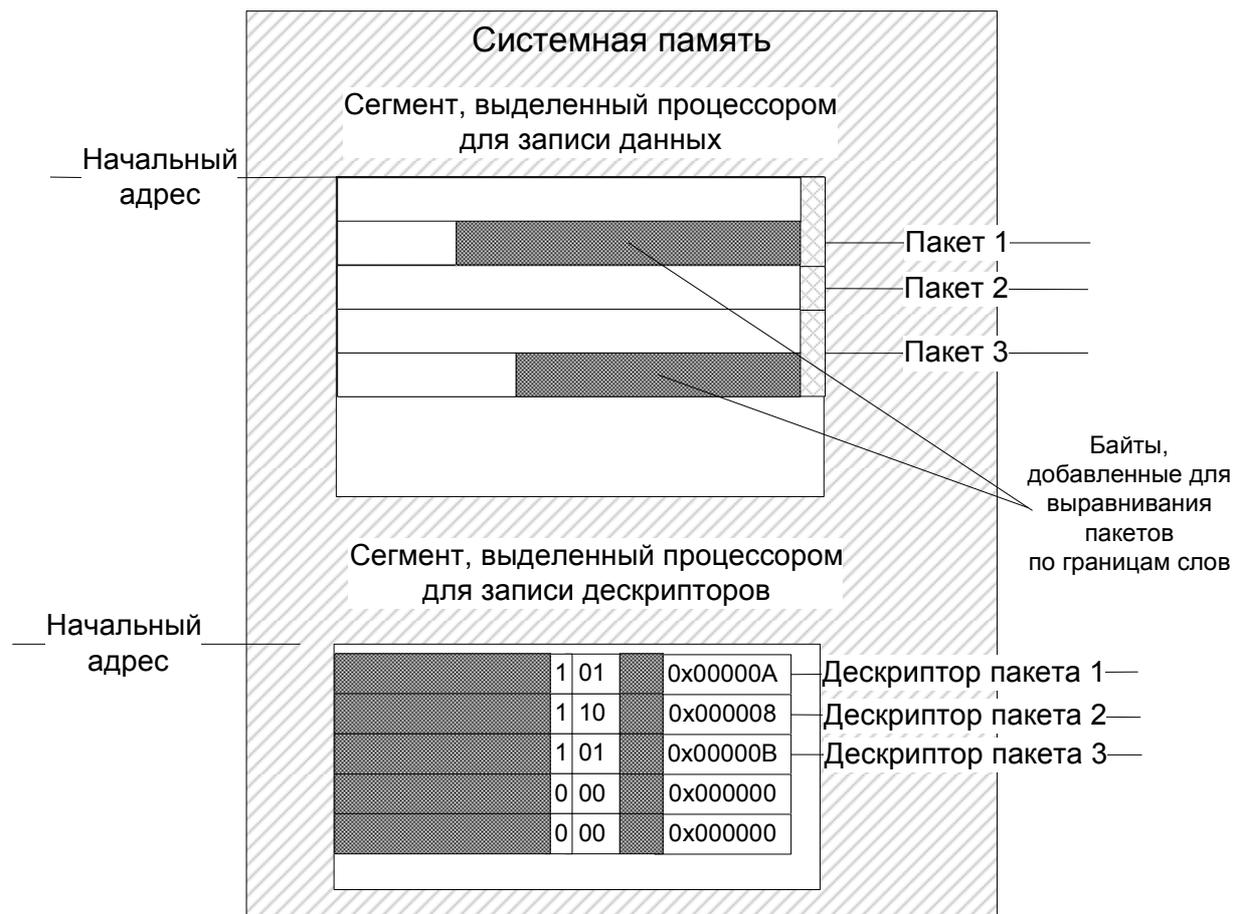


Рисунок 10.2. Представление данных в 64-разрядной памяти (пример)

Дескрипторы хранятся в памяти, выделенном процессором для записи дескрипторов. В дескрипторе указаны размеры пакетов в байтах – 0xA, 0x8 и 0xB соответственно. В дескрипторах хранится так же информация о типе конца пакета. В разряд 31 дескриптора записывается 1, что указывает процессору на то, что дескриптор заполнен действительными данными.

10.5.1.3 Схема обработки данных процессором

В данном примере пакеты могут быть обработаны процессором в соответствии со следующей схемой. Процессор прочитывает первое слово из блока, выделенного для дескрипторов – первый дескриптор. По дескриптору он определяет тип конца пакета, в соответствии с этим решает, как его обрабатывать. По дескриптору он определяет действительный размер пакета и извлекает данные, относящиеся к пакету 1. Для того чтобы вычислить начальный адрес второго пакета к начальному адресу блока данных добавляется размер первого пакета и выполняется округление до границы ближайшего слова. После того, как первый пакет полностью обработан, процессор прочитывает дескриптор второго пакета. Обработка остальных пакетов выполняется аналогично. Процесс обработки очереди пакетов заканчивается, когда 31 разряд очередного дескриптора равен 0.

10.5.1.4 Прием данных из канала

Маршрут принимаемых данных и схема их обработки приведены на Рисунок 10.3.

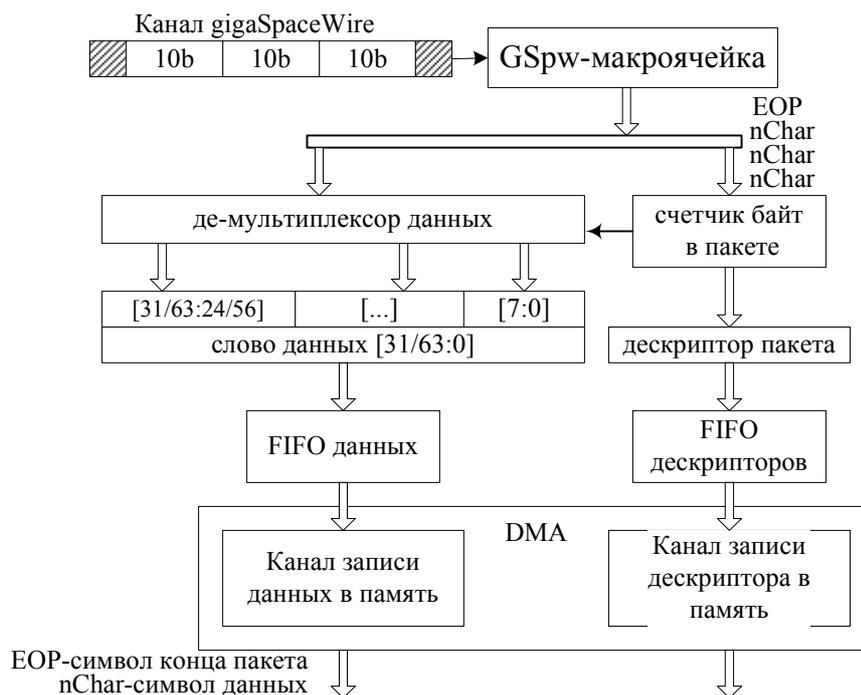


Рисунок 10.3. Схема приема данных из канала SpaceWire (пример)

Из канала gigaSpaceWire в GSpw-макрослойку символы данных поступают последовательно (побитно). GSpw-макрослойка выделяет из последовательности приходящих символов символы данных и символы концов пакетов, и передает их в блок приема.

Передача всех разрядов символа (9 разрядов, из них 8 используется для представления собственно байта данных, девятый бит является дополнительным и указывает, является ли этот байт символом данных nChar или символом конца пакета EOP) от GSpw-макрослойки в блок приема осуществляется в параллельном коде.

Подсчет числа символов nChar и формирование дескриптора при приеме символа конца пакета осуществляется в счетчике байт в пакете.

В блоке приема из байтов данных формируются 32-разрядные слова. При формировании слов первый поступивший байт размещается в разрядах 7:0, второй – в разрядах 15:8, третий – в разрядах 23:16, четвертый – в разрядах 31:24 и т.д. Распределение символов данных по разрядам слова данных производится по счетчику байт.

Для того чтобы сократить загрузку процессора в ходе последующей обработки пакетов данных, в этом блоке выполняется выравнивание границ пакетов по границам 64-разрядных слов и формирование дескрипторов пакетов, позволяющих процессору распознать границы отдельных пакетов.

Собственно пакеты данных и дескрипторы пакетов могут храниться в различных областях памяти. Местоположение этих областей в памяти определяется процессором при настройке каналов DMA. Дескрипторы пакетов записываются в память друг за другом и логически организованы в очередь.

Слова данных из буфера приема передаются в канал DMA записи данных в память. Дескрипторы из блока приема передаются в канал DMA записи дескриптора в память. Блок DMA записывает данные и дескрипторы в память в соответствии с настройками, выполненными процессором.

Процессор для канала записи дескрипторов в память определяет начальный адрес блока памяти и размер блока памяти. Для записи собственно пакетов данных в память может быть задан один блок памяти (так же, как и для канала записи дескриптора в память) или последовательность блоков памяти, физически расположенных в разных местах памяти.

10.5.1.5 Передача данных в канал сети

Процесс передачи пакетов данных из памяти в канал через контроллер, а также преобразование форматов данных показаны на Рисунок 10.4.

Пакеты данных загружаются из памяти в буфер передачи через каналы DMA чтения данных из памяти и чтения дескриптора из памяти.

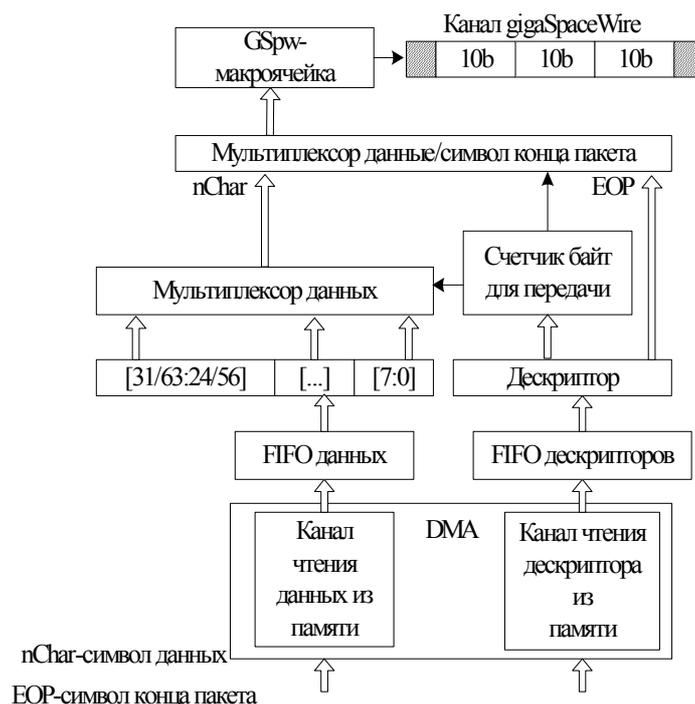


Рисунок 10.4. Передача данных из системной памяти в канал gigaSpaceWire

Блок передачи разбивает слова на отдельные байты. При этом из последовательности байтов в соответствии с информацией, содержащейся в дескрипторе, удаляются “лишние” байты – байты, добавленные для выравнивания пакетов по границам слов, и вставляются символы концов пакетов EOP или EEP. Если в канал gigaSpaceWire передаются пакеты, сгенерированные в данном узле, то предполагается, что они всегда должны заканчиваться символом EOP. Однако пакеты могут проходить через данный процессорный модуль транзитом. В этом случае они могут заканчиваться символом EEP. Коды маркеров EOP или EEP формируются контроллером аппаратно, на основании кодов дескриптора пакета на передачу (разряды 29:30 дескриптора пакета). Сами дескрипторы пакетов на передачу в сеть из памяти формируются программно.

Распаковка 64-разрядного слова в последовательность из 8 байт при передаче из контроллера выполняется по правилу, согласованному с правилом упаковки байтов при приеме данных из канала в контроллер.

Блок передачи вначале передает в сеть байт данных, находящийся в разрядах 7:0 слова, затем байт, находящийся в разрядах 15:8, затем байт, находящийся в разрядах 23:15, затем байт из разрядов 31:24 и т.д.

Символы данных и концов пакетов передаются блоком передачи в сеть младшими разрядами вперед.

10.5.2 Работа с управляющими кодами

10.5.2.1 Маркеры времени

Маркеры времени – системная функция стандарта SpaceWire. Они предназначены для синхронизации системных часов взаимодействующих систем.

При передаче данных маркеры времени имеют наивысший приоритет. Маркер времени записывается в регистр TX_CODE (этот же регистр используется и для передачи в сеть кодов распределенных прерываний, кодов подтверждения прерываний и кодов CC11). После записи Gigabit SpaceWire макро ячейка дожидается окончания передачи символа данных или служебного символа и начинает передачу маркера времени, после окончания передачи маркера времени продолжается передача потока данных. Для того, чтобы не произошло утраты управляющего символа в результате перезаписи его в регистре TX_CODE следующим управляющим символом до передачи в сеть необходимо программно отслеживать значение бита FL_CONTROL регистра STATUS. Если этот бит установлен в 0, то GSWIC готов к передаче следующего управляющего символа.

В канале приема маркер времени выделяется из потока данных и при безошибочном приеме заносится в регистр RX_CODE (разряды 7:0) с выставлением соответствующего прерывания, если маркер времени является корректным. Корректным признается маркер времени на 1 больше, чем предыдущий, если предыдущий маркер времени имел значение меньше 63. Если предыдущий маркер времени имел значение 63, то следующий корректный маркер времени должен иметь значение 0. Если маркер времени не является корректным, то его значение так же заносится в соответствующие разряды регистра RX_CODE, однако, прерывание для процессора в данном случае не устанавливается. В начале работы устройства или после сброса маркер времени со значением 1 рассматривается как корректный.

Значение последнего корректного маркера времени хранится в регистре TRUE_TIME.

10.5.2.2 Коды распределенных прерываний и подтверждений

Коды распределенных прерываний и подтверждений являются расширением стандарта SpaceWire. Механизм передачи кодов распределенных прерываний и подтверждений в сеть аналогичен механизму передачи маркеров времени.

В GSWIC поддерживается два режима работы с кодами распределенных прерываний – режим 5-и разрядных кодов и режим 6-и разрядных кодов. В режиме 5-и разрядных кодов распределенных прерываний используются следующие кодировки:

100xxxxx – коды распределенных прерываний

101xxxxx – коды подтверждений

Младшие 5 разрядов кода – номер распределенного прерывания или подтверждения

В режиме 6-и разрядных кодов распределенных прерываний используются следующие кодировки:

01xxxxxx – коды распределенных прерываний

10xxxxxx – коды подтверждений

Младшие 6 разрядов кода – номер распределенного прерывания или подтверждения

При передаче коды распределенных прерываний и подтверждений имеют приоритет, следующий после маркеров времени. Код распределенного прерывания/подтверждения, который необходимо передать в сеть, записывается в регистр TX_CODE. Отправка кода распределенного прерывания в канал происходит, только если соответствующий разряд регистра ISR равен 0 (после отправки этот бит устанавливается в 1). Отправка кода подтверждения прерывания в канал происходит, только если соответствующий разряд регистра ISR равен 1 (после отправки этот бит устанавливается в 0).

При приеме кода распределенного прерывания или подтверждения из сети выполняются следующие действия.

Данный код записывается в соответствующее поле регистра RX_CODE.

Если данный код является кодом распределенного прерывания и соответствующий ему разряд регистра ISR установлен в 0, то в него записывается 1 и может быть выставлено прерывание INT_CC CODE. Если же соответствующий разряд ISR установлен в 1, то данное распределенное прерывание игнорируется (никаких действий не выполняется).

Если данный код является кодом подтверждения и соответствующий ему разряд регистра ISR установлен в 1, то в него записывается 0 и может быть выставлено прерывание INT_CC CODE. Если же соответствующий разряд ISR установлен в 0, то данное подтверждение игнорируется (никаких действий не выполняется).

GSWIC может выполнять так же функции администрирования по отношению к выбранным пользователем кодам распределенных прерываний и подтверждений. Данные функции предназначены для устранения блокировок прохождения по сети кодов распределенных прерываний и подтверждений вследствие того, что коды, которые рассылались ранее, были утрачены вследствие сбоев или отказов в сети SpaceWire. Для поддержки этих функций в GSWIC предусмотрен механизм таймаутов.

Функции администрирования могут выполняться в двух режимах. В первом режиме, если по истечении времени таймаута после того, как разряд регистра ISR был установлен в 1, не поступил код подтверждения, выставляется прерывание INT_CC CODE. Во втором режиме, если по истечении времени таймаута после того, как разряд регистра ISR был установлен в 1, не поступил код подтверждения, соответствующий разряд ISR сбрасывается в 0 и в сеть автоматически отправляется соответствующий код подтверждения. Во втором случае по истечении времени таймаута так же может быть выставлено прерывание INT_CC CODE. Для задания нужного режима используется поле INT_Tout_allow регистра MODE_CR. По умолчанию данное поле установлено в значение 00 – функции администрирования кодов распределенных прерываний отключены, установка данного поля в значение 01 соответствует первому режиму администрирования, установка данного поля в значение 10 соответствует второму режиму администрирования.

Для того, чтобы включить механизм таймаутов, необходимо задать размер таймаутов (см. Регистр TOUT_CODE).

В регистре ISR_tout_L, ISR_tout_H разряды, соответствующие распределенным прерываниям, для которых истек таймаут ожидания, устанавливаются в 1. Для того, чтобы сбросить значение разряда, в него необходимо записать 1.

10.5.2.3 Управляющие коды, назначение которых не определено стандартом

К управляющим кодам, назначение которых на данный момент не определено стандартом, относятся коды C11 ($C[7..6]=11$) и при использовании 5-и битных кодов распределенных прерываний коды C01 ($C[7..6]=01$).

Для того, чтобы отправить такой код в сеть, необходимо записать его значение в регистр TX_CODE. Процесс отправки данного управляющего кода аналогичен процессу отправки маркера времени.

При приеме такого кода из сети он регистрируется в регистре RX_CODE (код C11 записывается в поле C11_CODE, код C01 записывается в поле C01_CODE). По факту приема управляющего кода может быть установлено прерывание INT_CCODE.

10.5.3 Установка соединения

Для разрешения процесса установки соединения необходимо записать лог "0" в разряд LinkDisabled и "1" в разряд LinkStart регистра режима работы MODE_CR – для запуска канала, (бит режима отладки CTR регистра MODE_CR при этом должен быть установлен в 0).

Критерием успешного установления соединения является: либо прохождение прерывания INT_LINK и отсутствие прерывания INT_ERR либо нахождение Gigabit SpaceWire макро ячейки в состоянии Run (в регистре STATUS поле DS_STATE=5).

После обнаружения прерывания INT_LINK, необходимо считать регистр STATUS и проверить биты DC_ERR, P_ERR, ESC_ERR, CREDIT_ERR на равенство «0». Бит CONNECTED должен быть равен «1». При выполнении этих условий - соединение с сетью установлено.

Для активации функции пассивной установки соединения необходимо записать лог "0" в разряды LinkDisabled и LinkStart, и "1" в разряд AutoStart. В этом случае GSWIC будет ждать приёма первого NULL маркера. После приёма первого NULL маркера будет начата процедура установки соединения.

Бит COMMA_EN в регистре TX_CONTROL должен быть установлен в 1.

10.5.4 Разрыв соединения

Возможны три случая разрыва соединения - по ошибке в канале сети, потери синхронизации в канале сети или принудительно.

Для завершения соединения принудительно необходимо записать лог "1" в разряд LinkDisabled режима работы MODE_CR.

В обоих случаях канал перестает работать. При принудительной остановке канала в соседнем устройстве сети возникнет ошибки рассоединения.

При остановке работы канала может наблюдаться разрыв передаваемого пакета. Если в момент разрыва соединения передатчиком передавался пакет, то остаток пакета, который не передан, будет отброшен до конца пакета.

При остановке работы канала может наблюдаться разрыв принимаемого пакета. Если в момент разрыва соединения приемник принимал пакет, то пакет завершается принудительно вставкой символа EEP в месте разрыва.

11. МНОГОФУНКЦИОНАЛЬНЫЙ БУФЕРИЗИРОВАННЫЙ ПОСЛЕДОВАТЕЛЬНЫЙ ПОРТ (MFBSP)

11.1 Особенности MFBSP

Многофункциональный буферизированный последовательный порт (MFBSP) позволяет вести обмен параллельно-последовательным кодом с другими микросхемами по линковому интерфейсу (LPORT), либо обмениваться аудиоданными и управляющей информацией с внешними устройствами по последовательным интерфейсам в дуплексном режиме, с возможностью независимой настройки приёмника и передатчика. Гибкость последовательного порта позволяет организовывать передачу с широким спектром внешних устройств. Дополнительно порт позволяет организовывать обмен данными с внешними устройствами, используя входы-выходы общего назначения. На Рисунке 0.1 изображен MFBSP с двумя каналами DMA (на приём и передачу) в составе микропроцессора. По каналу DMA направления передачи осуществляется передача данных внешнему устройству, подключенному к микропроцессору через MFBSP. По каналу DMA направления приёма осуществляется приём данных из внешнего устройства, подключенного к микропроцессору через MFBSP.

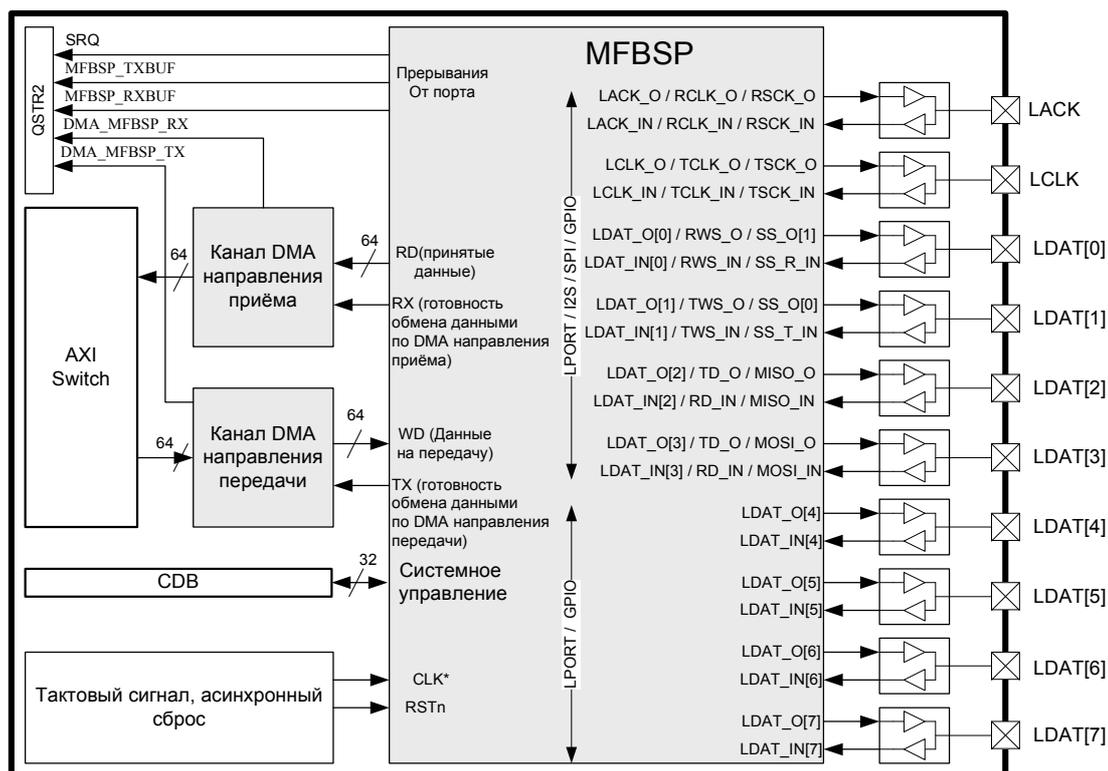


Рисунок 0.1. MFBSP в составе микропроцессора

MFBSP использует системный тактовый сигнал CPU (CLK), при этом на MFBSP0 тактовый сигнал CLK подается постоянно, когда включен тактовый сигнал CPU, что позволяет реализовать режим начальной загрузки через MFBSP0. Для MFBSP1, MFBSP2, MFBSP3 и DMA MFBSP есть возможность программно включать и выключать подачу тактового сигнала

11.1.1 Основные характеристики MFBSP в режиме I2S

В режиме I2S порт позволяет вести дуплексный обмен последовательными данными с внешними устройствами, используя следующие форматы передачи данных: Left-Justified, Right-Justified (при программной предобработке данных), DSP, I2S, FSB (Fast Serial Bus используемый в микросхеме CMX981;

Ограничение использования формата I2S: приемник MFBSP, в текущей версии порта, в режиме ведомого устройства не позволяет принимать слова от передатчика, если число тактов между фронтами сигнала выбора канала меньше чем $RWORDLEN+1$ (разрядность передаваемых слов меньше, чем установленная разрядность принимаемых передатчиком слов).

Приёмник и передатчик:

Поддерживается независимая настройка передатчика и приёмника, что позволяет организовать одновременные передачу и прием последовательных данных по разным последовательным интерфейсам и на различных частотах;

Возможен перевод приёмника в зависимый от передатчика режим (когда приемник использует тактовый и контрольный сигналы передатчика), что позволяет задействовать меньшее количество выводов;

Направление любого вывода задается программно, что заметно повышает гибкость при использовании порта;

Тактовые и управляющие сигналы как приемника, так и передатчика можно формировать аппаратными средствами порта MFBSP, либо принимать их от внешнего устройства;

Темп передачи данных:

Передача данных в режиме I2S может вестись на частотах от $CLK/2$ до $CLK/(2*2^{10})$ (где CLK – тактовая частота, подаваемая на порт со стороны системы);

Частоту контрольного сигнала (TWS/RWS) можно задавать в пределах от $ICLK/2$ до $ICLK/(2*2^{16})$, где ICLK – рабочая частота интерфейса (TCLK для передатчика и RCLK для приемника);

Приём и передача данных:

Порт позволяет принимать и передавать слова длиной от 2-х до 32-х бит, как младшим, так и старшим битом вперед;

В режиме I2S поддерживается режим паковки/распаковки 32-х разрядного слова в два 16-ти разрядных с автоматическим определением левого/правого канала;

Специальная логика обмена позволяет обнулять или дополнять старшим разрядом избыточные биты при чтении принятых слов длиной меньше 32 в обычном режиме и длиной меньше 16 в режиме паковки;

Порт поддерживает приём и передачу данных фреймами с синхронизацией начала каждого фрейма. Число слов в одном фрейме может быть выбрано в пределах от 1 до 64;

Буферы приёма и передачи:

Используется буферизация в направлении передачи на 18 32-разрядных слов;

Используется буферизация в направлении приёма на 18 32-разрядных слов;

Доступ к буферам приёма и передачи возможен как в 32-х разрядном режиме (обмен данными непосредственно с CPU), так и в 64-х разрядном режиме с использованием каналов DMA;

Степень заполнения буфера передачи, при которой инициируется загрузка данных в порт с помощью DMA, регулируется программно;

Для каждого порта MFBSP предусмотрено два независимых канала DMA на приём и на передачу.

11.1.2 Основные характеристики MFBSP в режиме SPI

В режиме SPI порт позволяет вести дуплексный обмен последовательными данными с внешними устройствами, порт поддерживает 4 формата передачи SPI (для всех сочетаний CPOL и CPHA по спецификации Motorola), при этом возможна передача данных как по стандарту Microwire (SDO, SDI), так и по стандарту Motorola (MOSI, MISO), а также по интерфейсу C-BUS (аналог SPI);

Приёмник и передатчик:

Поддерживается независимая настройка передатчика и приёмника, что позволяет организовать одновременные передачу и прием последовательных данных по различным последовательным интерфейсам и на различных частотах;

Возможен перевод приёмника в зависимый от передатчика режим (когда приемник использует тактовый и контрольный сигналы передатчика), что позволяет задействовать меньшее количество выводов;

Направление любого вывода задается программно, что заметно повышает гибкость при использовании порта;

Шина выбора ведомых устройств:

Тактовые сигналы и сигналы шины выбора ведомых устройств можно формировать аппаратными средствами порта MFBSP, программно управлять шиной выбора ведомых устройств, либо принимать тактовые сигналы и сигнал выбора ведомого от внешнего устройства;

В режиме ведущего устройства портом используется двухразрядная шина выбора ведомых устройств, что позволяет параллельно подключать до двух ведомых SPI устройств;

В режиме ведомого устройства возможен независимый выбор внешним устройством приёмника и передатчика MFBSP;

Темп передачи данных:

Передача данных в режиме SPI может вестись на частотах от $CLK/2$ до $CLK/(2*2^{10})$ (где CLK – тактовая частота, подаваемая на порт со стороны системы);

Приём и передача данных:

Порт позволяет принимать и передавать слова длиной от 2-х до 32-х бит, как младшим, так и старшим битом вперед;

Специальная логика обмена позволяет обнулять или дополнять старшим разрядом избыточные биты при чтении принятых слов длиной меньше 32 бит;

Порт позволяет вести обмен данными в режиме автоматического формирования сигналов выбора ведомого, с возможностью передачи от 1 до 64 слов без изменения уровня сигнала выбора ведомого;

Буферы приёма и передачи:

Используется буферизация в направлении передачи на 18 32-разрядных слов;

Используется буферизация в направлении приёма на 18 32-разрядных слов;

Доступ к буферам приёма и передачи возможен как в 32-х разрядном режиме (обмен данными непосредственно с CPU), так и в 64-х разрядном режиме с использованием каналов DMA;

Степень заполнения буфера передачи, при которой инициируется загрузка данных в порт с помощью DMA, регулируется программно;

Для каждого порта MFBSPP предусмотрено два независимых канала DMA на приём и на передачу;

В данной реализации порта существует ограничение на выбор направления выводов в режиме SPI: тактовый и управляющий сигналы в режиме SPI должны быть либо оба заданы как вход, либо оба заданы как выход;

В данной реализации порта не предусмотрена возможность соединения нескольких микропроцессоров по цепочке с использованием SPI интерфейса. микропроцессор может только управлять загрузкой последовательных данных в другие ведомые устройства, соединенные по цепочке.

11.1.3 Основные характеристики MFBSPP в режиме LPORT

В режиме LPORT порт позволяет вести обмен с внешними устройствами по линковому интерфейсу (совместимому с ADSP21160 LINK PORT).

Приёмник и передатчик:

В режиме LPORT MFBSPP может работать либо только как передатчик, либо только как приёмник (передача данных в одном направлении);

Темп передачи данных:

Передача данных по интерфейсу LPORT может вестись на частотах от CLK/32 до CLK/2 (где CLK – тактовая частота, подаваемая на порт со стороны системы). Максимальная частота передачи данных – 50 МГц;

Приём и передача данных:

По параллельно-последовательному интерфейсу LPORT возможна передача данных как тетрадами, так и байтами;

Буферы приёма и передачи:

Используется буферизация в направлении передачи на 16 32-разрядных слов;

Используется буферизация в направлении приёма на 18 32-разрядных слов;

Доступ к буферам приёма и передачи возможен как в 32-х разрядном режиме (обмен данными непосредственно с CPU), так и в 64-х разрядном режиме с использованием каналов DMA;

Степень заполнения буфера передачи, при которой инициируется загрузка данных в порт с помощью DMA, регулируется программно.

В зависимости от выбранного направления порта используется либо канал DMA направления приёма, либо канал DMA направления передачи.

11.1.4 Основные характеристики MFBSPP в режиме порта ввода-вывода общего назначения

В режиме порта ввода-вывода общего назначения все 10 выводов порта могут использоваться как входы выходы общего назначения;

Направление каждого вывода задаётся программно;

В режиме последовательного порта(режимы SPI или I2S) 4 незадействованных в передаче последовательных данных вывода MFBSP (LDAT[7:4]) могут быть использованы в качестве вводов-выводов общего назначения.

11.2 Общие сведения об MFBSP

11.2.1 Режимы работы MFBSP

Многофункциональный порт MFBSP может быть использован как порт ввода-вывода общего назначения, как линковый порт (LPORT), либо как последовательный порт. В случае если MFBSP используется как последовательный порт, приёмник и передатчик могут настраиваться независимо. Как приёмник, так и передатчик MFBSP могут работать в режиме SPI либо в режиме I2S. Таким образом, для MFBSP существует 6 различных режимов работы, которые задаются битами LEN и SPI_I2S_EN регистра CSR_MFBSP, битом TMODE регистра TCTR и битом RMODE регистра RCTR. Режимы работы MFBSP и задающие их сочетания значений управляющих бит приведены в Таблица 0.1.

Таблица 0.1. Режимы работы MFBSP

№	Значение бит, задающих режим				Режим работы MFBSP
	LEN	SPI I2S EN	TMODE	RMODE	
1	0	0	x	x	Порт ввода-вывода общего назначения
2	1	0	x	x	Линковый порт(LPORT)
3	0	1	0	0	Последовательный порт Передатчик – I2S Приёмник – I2S
4	0	1	0	1	Последовательный порт Передатчик – I2S Приёмник – SPI
5	0	1	1	0	Последовательный порт Передатчик – SPI Приёмник – I2S
6	0	1	1	1	Последовательный порт Передатчик – SPI Приёмник – SPI

Более подробное описание функциональных особенностей порта для режима I2S приведено в параграфе 11.3

Более подробное описание функциональных особенностей порта для режима SPI приведено в параграфе 11.4

Более подробное описание функциональных особенностей порта для режима LPORT приведено в параграфе 11.5

Более подробное описание функциональных особенностей порта для режима порта ввода-вывода общего назначения приведено в параграфе 11.6

11.2.2 Структурная схема многофункционального буферизированного последовательного порта

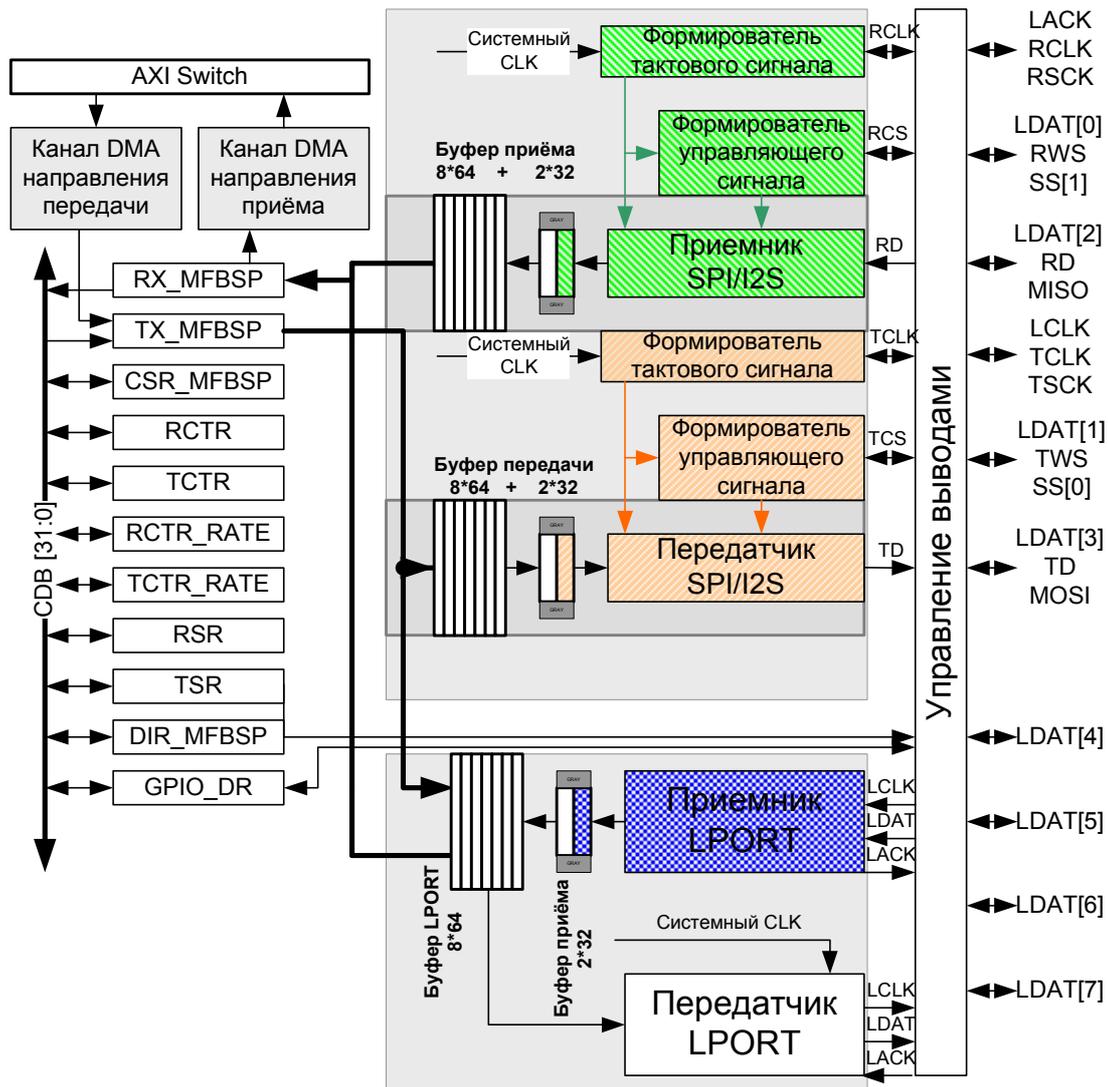


Рисунок 0.2 Структурная схема MFBSP (Защищена патентом РФ №2360282 от 27 июня 2009 года)

На Рисунок 0.1 показан MFBSP в составе микропроцессора. Порт поддерживает дуплексный обмен последовательными данными, поэтому для каждого MFBSP предусмотрено два канала DMA – один на приём и один на передачу. Каждый из внешних выводов порта двунаправленный, направление каждого вывода задается независимо.

На Рисунок 0.2 представлена более подробная структурная схема MFBSP.

В состав совмещенного контроллера входят два основных блока: контроллер LPORT и контроллер SPI/I2S. Включение контроллера LPORT производится установкой бита LEN, регистра CSR_MFBSP в 1, включение контроллера SPI_I2S производится установкой бита SPI_I2S_EN, регистра CSR_MFBSP в 1 (Таблица 0.1). Одновременная работа блоков LPORT и SPI/I2S и соответственно установка бит LEN и SPI_I2S_EN в 1 не допускается.

В состав контроллера SPI/I2S входят приёмник, передатчик, буфер приёма и буфер передачи. Приёмник и передатчик могут работать одновременно и независимо. Приёмник осуществляет синхронный приём последовательного кода с внешнего вывода схемы и запись принятых данных в буфер приёма. Передатчик осуществляет чтение данных из буфера передачи и синхронную выдачу их последовательным кодом на внешний вывод схе-

мы. Запись передаваемых данных в буфер передачи осуществляется при записи по адресу псевдорегистра TX_MFBSP (доступ со стороны CPU или DMA направления передачи), чтение принятых данных из буфера приёма осуществляется при чтении по адресу псевдорегистра RX_MFBSP (доступ со стороны CPU или DMA направления приёма).

Последовательным портом при обмене данными используется только 6 выводов LCLK, LACK, LDAT[3:0]. Если порт работает в режиме SPI/I2S, выходы LDAT[4:7] могут использоваться как входы-выводы общего назначения.

В состав контроллера LPORT входят приёмник, передатчик и буфер LPORT. В зависимости от направления обмена данными работает либо приёмник, либо передатчик. В зависимости от направления обмена данными буфер LPORT выполняет функции либо буфера приёма, либо буфера передачи. Приёмник осуществляет синхронный приём параллельно-последовательного кода с внешних выводов схемы и запись принятых данных в буфер LPORT. Передатчик осуществляет чтение данных из буфера LPORT и синхронную выдачу их параллельно последовательным кодом на внешние выводы схемы. Запись передаваемых данных в буфер LPORT осуществляется при записи по адресу псевдорегистра TX_MFBSP (доступ со стороны CPU или DMA направления передачи), чтение принятых данных из буфера LPORT осуществляется при чтении по адресу псевдорегистра RX_MFBSP (доступ со стороны CPU или DMA направления приёма).

LPORT при обмене данными использует выходы LCLK, LACK, LDAT[7:0].

MFBSPS использует системный тактовый сигнал CPU (CLK), при этом на MFBSP0 тактовый сигнал CLK подается постоянно, когда включен тактовый сигнал CPU, что позволяет реализовать режим начальной загрузки через MFBSP0. Для MFBSP1, MFBSP2, MFBSP3 и DMA MFBSP есть возможность программно включать и выключать подачу тактового сигнала

Включение частоты портов происходит не моментально, поэтому чтение из регистров или запись в регистры MFBSP сразу после команды включения частоты MFBSP может привести к ошибкам. Чтобы убедиться, что обращение к регистрам происходит после фактического включения частоты необходимо прочитать регистр CLK_EN и провести с прочитанными данными любые действия, например:

```
sw r26, CLK_EN //включение частоты  
lw r26, CLK_EN //чтение состояния CLK_EN  
or r26, r26 //обработка прочитанных данных
```

При отключенной частоте MFBSP чтение и запись в регистры MFBSP1-MFBSP3 не допускается.

11.2.3 Назначение выводов порта в различных режимах

Таблица 0.2 содержит наименования выводов порта для каждого из режимов – LPORT, SPI, I2S. Таблица 0.3 содержит информацию о назначении каждого вывода в различных режимах.

Таблица 0.2. Обозначение выводов порта для различных режимов работы

LPORT	I2S	SPI
LDAT[7]	-	-
LDAT[6]	-	-
LDAT[5]	-	-
LDAT[4]	-	-
LDAT[3]	TD	MOSI
LDAT[2]	RD	MISO
LDAT[1]	TWS	SS[0]
LDAT[0]	RWS	SS[1]
LCLK	TCLK	TSCK
LACK	RCLK	RSCK

Таблица 0.3. Назначение выводов порта в различных режимах

Наименование вывода	Режим работы порта	Направление вывода	Назначение вывода
LDAT[7:0]	LPORT	IO	Внешняя шина данных LPORT.
LCLK	LPORT	IO	Тактовый сигнал LPORT
LACK	LPORT	IO	Подтверждение готовности приема
TD	I2S	IO	Передаваемые последовательные данные
RD	I2S	IO	Принимаемые последовательные данные
TCLK	I2S	IO	Тактовый сигнал передатчика I2S
RCLK	I2S	IO	Тактовый сигнал приемника I2S
TWS	I2S	IO	Сигнал выбора канала для передаваемых данных
RWS	I2S	IO	Сигнал выбора канала для принимаемых данных
MOSI	SPI	IO	Вывод последовательных данных. Направление вывода определяется программно
MISO	SPI	IO	Вывод последовательных данных. Направление вывода определяется программно
TSCK	SPI	IO	Тактовый сигнал передатчика SPI
RSCK	SPI	IO	Тактовый сигнал приемника SPI
SS [0]	SPI	IO	<i>В режиме ведущего:</i> Сигнал выбора устройства 0. <i>В режиме ведомого:</i> сигнал выбора ведомого. Низкий уровень на входе SS[0] обозначает, что передатчику MFBSP необходимо выдавать последовательные данные (если приёмник MFBSP находится в зависимом от передатчика режиме, то активизируется и приёмник).

Наименование вывода	Режим работы порта	Направление вывода	Назначение вывода
SS [1]	SPI	IO	<p><i>В режиме ведущего:</i> Если приёмник в зависимом от передатчика режиме - сигнал выбора устройства 1. Если передатчик в независимом от приёмника режиме – сигнал выбора приёмником устройства 0.</p> <p><i>В режиме ведомого:</i> Сигнал выбора ведомого. Только в случае когда приёмник в независимом от передатчика режиме. Низкий уровень на входе SS[1] означает, что приёмнику MFBSPP необходимо принимать последовательные данные.</p>

11.2.4 Перечень регистров MFBSPP

Таблица 0.4 содержит перечень регистров многофункционального порта.

Таблица 0.4. Перечень регистров многофункционального буферизованного порта

Условное обозначение регистра	Название регистра	Доступ
TX_MFBSPP	Буфер передачи данных	W
RX_MFBSPP	Буфер приёма данных	R
CSR_MFBSPP	Регистр управления и состояния	RW
DIR_MFBSPP	Регистр управления направлением выводов порта ввода-вывода	RW
GPIO_DR	Регистр данных порта ввода-вывода	RW
TCTR	Регистр управления передатчиком	RW
RCTR	Регистр управления приёмником	RW
TSR	Регистр состояния передатчика	RW
RSR	Регистр состояния приёмника	RW
TCTR_RATE	Регистр управления темпом передачи данных	RW
RCTR_RATE	Регистр управления темпом приёма данных	RW
TSTART	псевдорегистр <i>ten</i> – запуск/останов передатчика без изменения настроек передатчика	RW
RSTART	псевдорегистр <i>ren</i> – запуск/останов приемника без изменения настроек приемника	RW
EMERG_MFBSPP	Регистр аварийного управления портом	RW
IMASK_MFBSPP	Регистр маски прерываний от порта	RW

11.2.5 Каналы DMA многофункциональных портов MFBSPP

Для каждого порта предусмотрено два канала DMA – один для приема данных, другой для передачи данных.

По каналу DMA направления передачи осуществляется передача данных внешнему устройству, подключенному к микропроцессору через MFBSPP. По каналу DMA направления приёма осуществляется приём данных из внешнего устройства, подключенного к микропроцессору через MFBSPP.

При обмене данными через MFBSPP с использованием DMA максимальный размер пачки составляет 8 64-разрядных слов. Если значение бит *WN* в контрольном регистре DMA превосходит максимальный размер пачки, то *WN* автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

По умолчанию при работе передатчика с DMA заполнение буфера передачи происходит до тех пор, пока буфер в состоянии принять очередную пачку, размером *WN*. Однако име-

ется возможность программно регулировать степень заполнения буфера передачи, путем установки бит TBES, регистра TSR. В этом случае значение выражения TBES+1 – задает эффективный размер буфера передачи. Передача очередной пачки происходит только в случае, если при записи этой пачки в буфер передачи число 64 разрядных слов в буфере передачи не превысит TBES+1. При попытке передать пачку со значением $WN > TBES$, значение WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

По умолчанию при работе приёмника с DMA, считывание данных из буфера приёма происходит если в буфере чтения содержится число слов большее, либо равное размеру пачки (WN). Степень заполнения буфера приёма, при которой начинается откачка данных с помощью DMA регулируется установкой значения WN соответствующего канала DMA.

11.2.6 Прерывания от каналов DMA MFBSР

Бит DMA_MFBSP_RX, регистра QSTR2, устанавливается, если есть прерывание от соответствующего порту канала DMA направления приёма.

Бит DMA_MFBSP_TX, регистра QSTR2, устанавливается, если есть прерывание от соответствующего порту канала DMA направления передачи.

Если соответствующий канал DMA разрешен, то прерывания от канала DMA формируются по завершению передачи или приема всего блока данных.

11.2.7 Прерывания от MFBSР

Бит MFBSР_TXBUF, регистра QSTR2, устанавливается в случае, если число 64-х разрядных слов, находящихся в буфере передачи, меньше, либо равно пороговому значению TLEV, задаваемому в регистре TSR (Рисунок 0.3.). Для установки бита MFBSР_TXBUF также необходимо, чтобы линковый порт был включен на передачу (LEN=1 и LTRAN=1) либо включен передатчик SPI/I2S (SPI_I2S_EN=1, TEN=1) и разрешена установка прерывания MFBSР_TXBUF по условию превышения порога (TX_LEV_IRQ_EN). MFBSР_TXBUF также устанавливается в случае, если имела место ошибка передачи TERR и разрешена установка прерывания MFBSР_TXBUF при ошибке передачи (чтение из пустого буфера передачи) : TX_ERR_IRQ_EN.

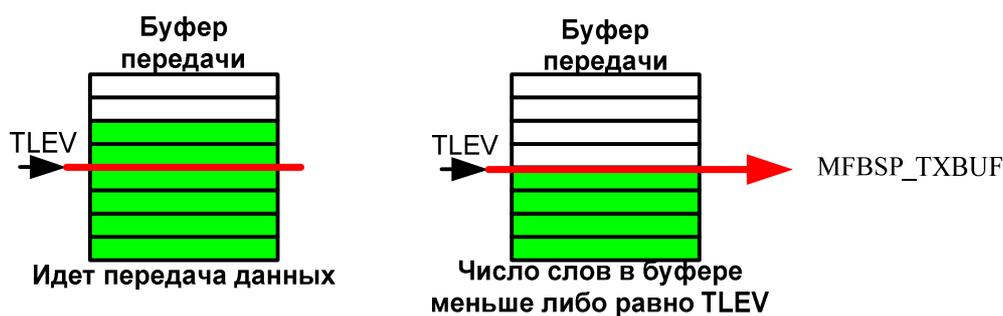


Рисунок 0.3. Назначение бит TLEV, регистра TSR

MFBSР_TXBUF может формироваться в двух режимах: с автоматическим сбросом при чтении регистра TSR и без автоматического сброса при чтении TSR. Данный режим определяется состоянием бита TXBUF_R_EN, регистра IMASK_MFBSP.

В случае если выбран режим без автоматического сброса прерывание установлено всегда, когда имеет место превышение уровня TLEV. В случае если установлен режим с автоматическим сбросом управление битом MFBSР_TXBUF осуществляется следующим образом: прерывание MFBSР_TXBUF автоматически сбрасывается, если число 64-х разрядных

слов, находящихся в буфере передачи, становится больше порогового значения TLEV и при этом во время передачи не возникало ошибки (TERR = 0). Даже если описанное условие не выполнено, прерывание можно программно сбросить, прочитав регистр TSR. В этом случае прерывание сбросится и запомнится текущее значение слов в буфере передачи. Если число слов в буфере передачи начнет уменьшаться или произойдет ошибка передачи, то прерывание снова установится. Увеличение числа слов в буфере передачи не приведет к установке прерывания, даже, если число слов в буфере ниже порога TLEV (Рисунок 0.4.).

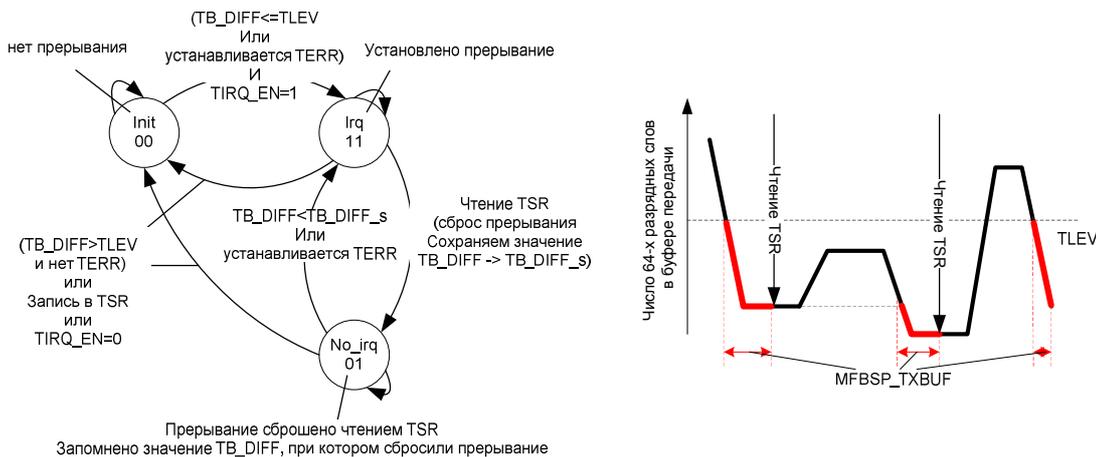


Рисунок 0.4. Механизм установки и сброса прерывания MFBSB_TXBUF. На рисунке TIRQ_EN = (LEN & LTRAN || TEN & SPI_I2S_EN)

Бит MFBSB_RXBUF, регистра QSTR2, устанавливается в случае, если число 64-х разрядных слов в буфере приёма больше чем пороговое значение RLEV, задаваемое в регистре RSR (Рисунок 0.5). Для установки бита MFBSB_RXBUF также необходимо, чтобы линковый порт был включен на приём (LEN=1 и LTRAN=0) либо включен приёмник SPI/I2S (SPI_I2S_EN=1, REN=1) и разрешена установка прерывания MFBSB_RXBUF по условию превышения порога прерывания (TX_LEV_IRQ_EN). MFBSB_RXBUF также устанавливается в случае, если имела место ошибка приёма RERR и разрешена установка прерывания MFBSB_RXBUF при ошибке передачи (запись в полный буфер приёма) : RX_ERR_IRQ_EN.

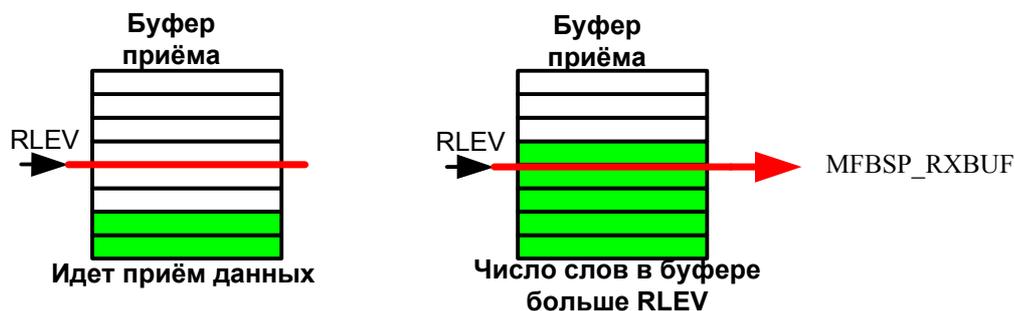


Рисунок 0.5. Назначение бит RLEV, регистра RSR

MFBSB_RXBUF может формироваться в двух режимах: с автоматическим сбросом при чтении регистра RSR и без автоматического сброса при чтении RSR. Данный режим определяется состоянием бита RXBUF_R_EN, регистра IMASK_MFBSB.

В случае если выбран режим без автоматического сброса прерывание установлено всегда, когда имеет место превышение уровня RLEV. В случае если установлен режим с автоматическим сбросом управление битом MFBSB_RXBUF осуществляется следующим обра-

зом: прерывание MFBSR_RXBUF автоматически сбрасывается, если число 64-х разрядных слов, находящихся в буфере приёма, становится меньше порогового значения RLEV и при этом во время приёма не возникало ошибки (RERR = 0). Даже если описанное условие не выполнено, прерывание можно программно сбросить, прочитав регистр RSR. В этом случае прерывание сбросится и запомнится текущее значение слов в буфере чтения. Если число слов в буфере чтения начнет увеличиваться, то прерывание снова установится. Уменьшение числа слов в буфере чтения не приведет к установке прерывания, даже, если превышен порог RLEV (Рисунок 0.6.).

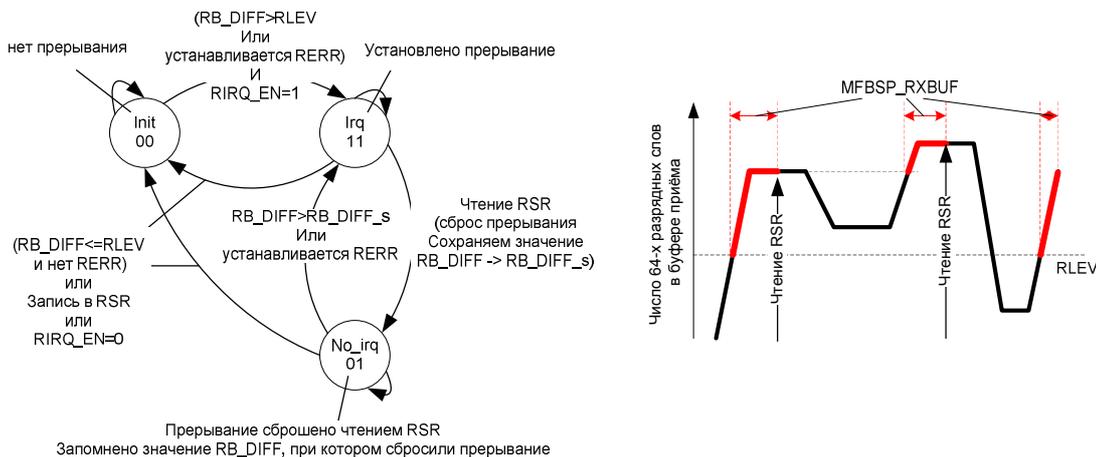


Рисунок 0.6. Механизм установки и сброса прерывания MFBSR_RXBUF. На рисунке $RIRQ_EN = (LEN \& !LTRAN \parallel REN \& SPI_I2S_EN)$

Бит SRQ, регистра QSTR2, формируется при запросе на обслуживание, если порт MFBSR выключен ($LEN=0$, $SPI_I2S_EN=0$) и на выводах LACK или LCLK высокий уровень, при условии, что разрешено прерывание по запросу на обслуживание ($LPT_IRQ_EN=1$).

11.3 Работа MFBSR в режиме I2S

11.3.1 Назначение MFBSR в режиме I2S

Режим I2S буферизированного последовательного порта предназначен для организации дуплексного обмена аудиоданными с внешними устройствами последовательным кодом.

Порт в режиме I2S позволяет одновременно передавать и принимать последовательные данные. Приемник и передатчик контроллера настраиваются независимо, при этом возможен перевод приёмника в зависимое от передатчика состояние.

Порт поддерживает передачу аудиоданных в формате I2S, с поочередной передачей левого и правого каналов, а также передачу данных фреймами от 1 до 64 слов в каждом фрейме.

Поддерживается независимое задание направления каждого из выводов порта, осуществляемое установкой соответствующих бит регистра DIR_MFBSR.

Ограничение использования формата I2S: приемник MFBSR, в текущей версии порта, в режиме ведомого устройства не позволяет принимать слова от передатчика, если число тактов между фронтами сигнала выбора канала меньше чем $RWORDLEN+1$ (разрядность передаваемых слов меньше, чем установленная разрядность принимаемых передатчиком слов).

11.3.2 Регистр управления и состояния CSR_MFBSP (режим I2S)

Регистр CSR_MFBSP (Таблица 0.5) используется для включения режима последовательного порта и разрешения прерываний от MFBSP.

Таблица 0.5. Назначение разрядов регистра CSR_MFBSP в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:15	-	Резерв	-	0
14:11	-	В режиме I2S не используется	-	0
10	-	Резерв	-	0
9	SPI_I2S_EN	Включение режима SPI/I2S: 0 – Работа в режиме LPORT 1 – Работа в режиме SPI/I2S	RW	0
8:5	-	В режиме I2S не используется	-	0
4:3	LSTAT	Состояние буфера: При LTRAN = 0 показывает состояние буфера приёма При LTRAN = 1 показывает состояние буфера передачи 00 – буфер пуст; 10 – буфер не пуст; 11 – буфер полон.	R	0
2	-	В режиме I2S не используется	-	0
1	LTRAN	Назначение бит LSTAT: 0 - LSTAT отображает состояние буфера приёма 1 - LSTAT отображает состояние буфера передачи	RW	0
0	LEN	В режиме I2S должен быть установлен в 0	RW	0

11.3.3 Регистр управления направлением выводов DIR_MFBSP (режим I2S)

Регистр управления направлением выводов DIR_MFBSP (Таблица 0.6) предназначен для индивидуальной настройки направления каждого вывода последовательного порта.

Таблица 0.6. Назначение разрядов регистра DIR_MFBSP в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
9:6	-	Не используется в режиме I2S	-	0
5	TD_DIR	Направление вывода TD: 0 – TD – вход (при RD_DIR = 1 последовательные данные принимаются со входа TD) 1 – TD – выход (TD – является выходом для передачи последовательных данных)	RW	0
4	RD_DIR	Направление вывода RD: 0 – RD – вход (последовательные данные принимаются со входа RD) 1 – RD – выход (RD – является выходом для передачи последовательных данных)	RW	0
3	TCS_DIR	Направление вывода TWS: 0 – TWS – вход (Сигнал выбора слова TWS принимается от внешнего источника) 1 – TWS – выход (Сигнал выбора слова TWS формируется передатчиком)	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
2	RCS_DIR	Направление вывода RWS: 0 – RWS – вход (Сигнал выбора слова RWS принимается от внешнего источника) 1 – RWS – выход (Сигнал выбора слова RWS формируется приёмником)	RW	0
1	TCLK_DIR	Направление вывода TCLK: 0 – TCLK – вход (тактовый сигнал TCLK принимается от внешнего источника) 1 – TCLK – выход (тактовый сигнал TCLK формируется передатчиком)	RW	0
0	RCLK_DIR	Направление вывода RCLK: 0 – RCLK – вход (тактовый сигнал RCLK принимается от внешнего источника) 1 – RCLK – выход (тактовый сигнал RCLK формируется приёмником)	RW	0

примечание: при RD_DIR = 0 и TD_DIR = 0 данные снимаются с RD, при RD_DIR = 1 и TD_DIR = 1 на TD и RD выдаются одинаковые данные с передатчика.

11.3.4 Регистр управления приёмником RCTR (режим I2S)

Таблица 0.7. Назначение разрядов регистра RCTR в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	Резерв	-	0
29	RCS_CONT	Включение непрерывного формирования сигнала RWS: 0 – RWS – Формируется если буфер приёма не полон. По заполнении буфера приёма формирование сигнала RWS прекращается. 1 – RWS – формируется непрерывно, если установлен бит REN	RW	0
28	RCLK_CONT	Включение непрерывного формирования сигнала RCLK: 0 – RCLK – формируется только во время приема (пока буфер приёма не полон). Если буфер приёма полон – сигнал не формируется 1 – RCLK – формируется непрерывно, если установлен бит REN	RW	0
27	RSWAP	Порядок упаковки в 32 разрядное слово, перед записью в буфер приёма: 0 – левый канал пишется в старшие 16 разрядов 1 – левый канал пишется в младшие 16 разрядов (Используется в режиме с включенным паковщиком)	RW	0
26	RSIGN	Значение заполнителя: Если длина принимаемого слова меньше 32 при отключенном паковщике или меньше 16 при включенном паковщике, то неиспользуемые биты принятого слова заполняются При RSIGN = 0 нулями При RSIGN = 1 значением старшего разряда в принятом слове	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
25	RPACK	Включение режима паковки: 0 – режим паковки выключен. Данные, принятые по каждому из каналов пишутся отдельным 32-разрядным словом в буфер приёма 1 – режим паковки включен. Данные, принятые по левому и правому каналу пакуются в 32-х разрядное слово. При этом разрядность принимаемых слов не должна превышать 16.	RW	0
24:20	RWORDLEN	Длина принимаемого слова: Число бит в принимаемом слове равно RWORDLEN + 1. RWORDLEN должно быть больше 0.	RW	5'b0
19	RMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW RW	1
18	RCSNEG	Полярность управляющего сигнала приёмника: При RDSPMODE=0: RCSNEG = 0 – левый канал принимается при высоком уровне RWS RCSNEG = 1 – левый канал принимается при низком уровне RWS каждый фронт контрольного сигнала является активным и инициирует приём нового слова. При RDSPMODE=1: задаёт полярность активного фронта: RCSNEG = 0 - передний фронт активный; RCSNEG = 1 - задний фронт активный;	RW	0
17:12	RWORDCNT	Число слов во фрейме: Определяет число принимаемых в течении одного фрейма слов. Число принимаемых слов равно RWORDCNT + 1. Число бит, принимаемых в пределах одного фрейма, равно (RWORDCNT + 1)*(RWORDLEN+1) При RPACK = 1 обязательно RWORDCNT = 0	RW	0
11	RDEL	Задержка начала приёма данных на такт: 0 – захват бит принимаемого слова начинается по первому после активного фронта управляющего сигнала RWS фронту приёма такового сигнала RCLK (используется для передачи в форматах Left-Justified и Right-Justified) 1 – захват бит принимаемого слова начинается по второму после активного фронта управляющего сигнала RWS фронту приёма такового сигнала RCLK (используется для передачи в формате I2S)	RW	0
10	RNEG	Полярность тактового сигнала приёмника: Задаёт исходное состояние вывода RCLK и фронт, по которому осуществляется захват данных приёмником (фронт приёма) 0 – захват данных по заднему фронту RCLK. 1 – захват данных по переднему фронту RCLK. Исходное состояние RCLK = RNEG.	RW	0
9	RDSPMODE	Формат передачи данных: 0 – передача в формате I2S 1 – передача в формате DSP	RW	0
8:4	-	Резерв	-	0
3	RCS_CP	Дублирование сигнала TWS: 0 – выходы TWS и RWS независимы 1 – сигнал RWS, идущий на блок приёмника, дублирует TWS	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
2	RCLK_CP	Дублирование TCLK: 0 – выходы TCLK и RCLK независимы 1 – сигнал RCLK, идущий на блок приёмника, дублирует TCLK	RW	0
1	RMODE	Режим работы приёмника: 0 – режим I2S 1 – режим SPI	RW	0
0	REN	Разрешение работы приёмника: 0 – приемник выключен 1 – приемник включен	RW	0

11.3.5 Регистр управления передатчиком TCTR (режим I2S)

Таблица 0.8. Назначение разрядов регистра TCTR в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	В режиме I2S не используется	-	0
29	TCS_CONT	Включение непрерывного формирования сигнала TWS: 0 – TWS – формируется только если буфер передачи не пуст. После передачи последнего слова из буфера передачи формирование сигнала TWS прекращается 1 – TWS – формируется непрерывно, если установлен бит TEN	RW	0
28	TCLK_CONT	Включение непрерывного формирования сигнала TCLK: 0 – TCLK – формируется только во время передачи. Если буфер передачи пуст – сигнал не формируется 1 – TCLK – формируется непрерывно, если установлен бит TEN	RW	0
27	TSWAP	Порядок распаковки 32-х разрядного слова: Определяет порядок распаковки из 32 разрядного слова 0 – в левый канал передаются старшие 16 разрядов 1 – в левый канал передаются младшие 16 разрядов (Используется в режиме с включенным распаковщиком)	RW	0
26	-	Резерв	-	0
25	TPACK	Включение режима распаковки: 0 – режим распаковки выключен. Каждое слово из буфера передачи используется для одной передачи по одному каналу 1 – режим распаковки включен. Слово из буфера передачи передается двумя посылками (по левому и правому каналу). При этом разрядность передаваемых слов не должна превышать 16 бит	RW	0
24:20	TWORDLEN	Длина передаваемого слова: Число бит в передаваемом слове равно TWORDLEN + 1. TWORDLEN должно быть больше 0.	RW	5'b0
19	TMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW	1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
18	TCSNEG	Полярность управляющего сигнала передатчика: При TDSPMODE=0: TCSNEG = 0 – Левый канал передаётся с высоким уровнем TWS TCSNEG = 1 – Левый канал передаётся с низким уровнем TWS каждый фронт контрольного сигнала является активным и инициирует передачу нового слова. При TDSPMODE=1: задаёт полярность активного фронта: TCSNEG = 0 –передний фронт активный; TCSNEG = 1 –задний фронт активный;	RW	0
17:12	TWORDCNT	Число слов во фрейме: Определяет число передаваемых в течении одного фрейма слов. Число передаваемых слов равно TWORDCNT + 1. Число бит, передаваемых в пределах одного фрейма, равно (TWORDCNT + 1)*(TWORDLEN+1) При TPACK=1 обязательно TWORDCNT=0	RW	0
11	TDEL	Задержка начала передачи данных на такт: 0 – выдача первого бита передаваемого слова начинается по первому после активного фронта управляющего сигнала TWS фронту выдачи такового сигнала TCLK (используется для передачи в форматах Left-Justified и Right-Justified) 1 – выдача первого бита передаваемого слова начинается по второму после активного фронта управляющего сигнала TWS фронту выдачи такового сигнала TCLK (используется для передачи в формате I2S)	RW	0
10	TNEG	Полярность тактового сигнала передатчика: Задаёт исходное состояние вывода TCLK и фронт, по которому осуществляется выдача данных передатчиком (фронт выдачи) 0 – выдача данных по переднему фронту TCLK. 1 – выдача данных по заднему фронту TCLK. Исходное состояние TCLK = TNEG.	RW	0
9	TDSPMODE	Формат передачи данных: 0 – передача в формате I2S 1 – передача в формате DSP	RW	0
8:4	-	Резерв	-	0
3	-	В режиме I2S не используется	-	0
2	TD_ZER_EN	Обнуление избыточных бит передаваемого слова: 0 – Если длина слова меньше размеров окна, отведенного под передачу слова, после передачи всех бит слова на внешней шине данных остаётся значение нулевого бита передаваемого слова. 1 – Если длина слова меньше размеров окна, отведенного под передачу слова, после передачи всех бит слова на внешнюю шину данных подаётся 0, вплоть до начала передачи следующего слова. ВНИМАНИЕ! Режим с включенным обнулением избыточных бит при передаче слова корректно функционирует только при условии, что частота последовательного порта TCLK <= CLK/4, где CLK – рабочая частота подаваемая на порт, со стороны системы.	RW	0
1	TMODE	Режим работы передатчика: 0 – режим I2S 1 – режим SPI	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
0	TEN	Разрешение работы передатчика: 0 – передатчик выключен 1 – передатчик включен	RW	0

11.3.6 Регистр состояния приёмника RSR (режим I2S)

Таблица 0.9. Назначение разрядов регистра RSR в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	RB_DIFF	Количество принятых 64-разрядных слов в буфере приёма (max 8).	R	0
23:19	-	Резерв	-	0
18:16	RLEV	Порог прерывания от буфера приёма: Прерывание формируется если число принятых 64-х разрядных слов больше RLEV	RW	7
15:11	-	Резерв	-	0
10	RXBUF	Результирующее прерывание MFBSP_RXBUF	R	0
9	RXBUF_D	Прерывание MFBSP_RXBUF без механизма автоматического сброса при чтении RSR	R	0
8	RXBUF_R	Прерывание MFBSP_RXBUF с механизмом автоматического сброса при чтении RSR	R	0
7	RRUN	Идёт приём: 0 – приёмник в состоянии ожидания 1 – идёт приём очередного слова	R	0
6	RERR	Ошибка передачи: 0 – приём проходил в штатном режиме 1 - была запись в полный буфер приёма (потеря данных). Флаг сбрасывается записью 0 в 6-й разряд регистра RSR.	RW	0
5	RSBF	Буфер пересинхронизации в направлении приёма полон: 0 – буфер пересинхронизации в направлении приёма не полон 1 – буфер пересинхронизации в направлении приёма полон	R	0
4	RSBE	Буфер пересинхронизации в направлении приёма пуст: 0 – буфер пересинхронизации в направлении приёма не пуст 1 – буфер пересинхронизации в направлении приёма пуст	R	1
3	RBHL	Достигнут порог прерывания в буфере приёма: 1 – число 64-х разрядных слов в буфере приёма больше чем задано в RLEV 0 – число 64-х разрядных слов в буфере приёма меньше либо равно RLEV	R	0
2	RBHF	Буфер приёма полон на половину или более: 1 – буфер приёма заполнен на половину или больше (из буфера приёма можно считать как минимум 4 слова) 0 – буфер приёма заполнен меньше чем на половину	R	0
1	RBF	Буфер приёма полон: 0 – буфер приёма не полон 1 – буфер приёма полон	R	0
0	RBE	Буфер приёма пуст: 0 – буфер приёма не пуст 1 – буфер приёма пуст	R	1

11.3.7 Регистр состояния передатчика TSR (режим I2S)

Таблица 0.10. Назначение разрядов регистра TSR в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	TB_DIFF	Количество свободных 64-разрядных позиций в буфере передачи (в буфер передачи можно записать еще TB_DIFF 64-разрядных слов).	R	8
23	-	Резерв	-	0
22:20	TBES	Эффективный размер буфера передачи Актуален только для режима работы с DMA. Значение TBES+1 – определяет максимальный объем буфера передачи. Т.е. в режиме работы с DMA буфер передачи не может быть заполнен больше, чем на TBES+1 64 разрядных слов.	RW	7
19	-	Резерв	-	0
18:16	TLEV	Порог прерывания от буфера передачи: Прерывание формируется если число 64-х разрядных слов в буфере передачи меньше либо равно TLEV. В режиме передачи данных с использованием DMA определяет степень заполнения буфера передачи, при которой происходит запись в буфер очередной пачки данных	RW	0
15:11	-	Резерв	-	0
10	TXBUF	Результирующее прерывание MFBSP_TXBUF	R	0
9	TXBUF_D	Прерывание MFBSP_TXBUF без механизма автоматического сброса при чтении TSR	R	0
8	TXBUF_R	Прерывание MFBSP_TXBUF с механизмом автоматического сброса при чтении TSR	R	0
7	TRUN	Идёт передача: 0 – передатчик в состоянии ожидания 1 – идёт передача очередного слова	R	0
6	TERR	Ошибка передачи: 0 – передача проходила в штатном режиме 1 - было чтение из пустого буфера передачи (передача некорректных данных). Флаг сбрасывается записью 0 в 6-й разряд регистра TSR.	RW	0
5	TSBF	Буфер пересинхронизации в направлении передачи полон: 0 – буфер пересинхронизации в направлении передачи не полон 1 – буфер пересинхронизации в направлении передачи полон	R	0
4	TSBE	Буфер пересинхронизации в направлении передачи пуст: 0 – буфер пересинхронизации в направлении передачи не пуст 1 – буфер пересинхронизации в направлении передачи пуст	R	1
3	TBLL	Достигнут порог прерывания в буфере передачи: 1 – число 64-х разрядных слов в буфере передачи меньше либо равно TLEV 0 – число 64-х разрядных слов в буфере передачи больше TLEV	R	1
2	TBHF	Буфер передачи заполнен на половину или более: 1 – буфер передачи заполнен на половину или больше 0 – буфер передачи заполнен меньше чем на половину (в буфер передачи можно записать еще как минимум 4 слова)	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
1	TBF	Буфер передачи полон: 0 – буфер передачи не полон 1 – буфер передачи полон	R	0
0	TBE	Буфер передачи пуст: 0 – буфер передачи не пуст 1 – буфер передачи пуст	R	1

11.3.8 Регистр управления темпом приёма RCTR_RATE (режим I2S)

Таблица 0.11. Назначение разрядов регистра RCTR_RATE в режиме I2S

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
31:16	RCS_RATE	Делитель частоты управляющего сигнала приёмника: Задаёт частоту управляющего сигнала приёмника, определяемую, как $RCLK/((RCS_RATE+1)*2)$, где RCLK – частота тактового сигнала приёмника RCS_RATE обязательно должно быть больше либо равно $(RWORDLEN+1)*(RWORDCNT+1)-1$	RW	0
15:12	-	В режиме I2S не используется	-	0
11:10	-	Резерв	-	0
9:0	RCLK_RATE	Делитель частоты приёмника: В случае, если частота формируется самим приёмником, определяет частоту приёмника $RCLK = CLK/((RCLK_RATE+1)*2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0

11.3.9 Регистр управления темпом передачи TCTR_RATE (режим I2S)

Таблица 0.12. Назначение разрядов регистра TCTR_RATE в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	TCS_RATE	Делитель частоты управляющего сигнала передатчика: Задаёт частоту управляющего сигнала передатчика, определяемую как $TCLK/((TCS_RATE+1)*2)$, где TCLK – частота тактового сигнала передатчика. TCS_RATE обязательно должно быть больше либо равно $(TWORDLEN+1)*(TWORDCNT+1)-1$	RW	0
15:12	-	В режиме I2S не используется	-	0
11:10	-	Резерв	-	0
9:0	TCLK_RATE	Делитель частоты передатчика: В случае, если частота формируется самим передатчиком, определяет частоту передатчика $TCLK = CLK/((TCLK_RATE+1)*2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0

11.3.10 Псевдорегистр TSTART (режим I2S)

Таблица 0.13. Назначение разрядов регистра TSTART в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Резерв	-	0
0	TEN	Разрешение работы передатчика: 0 – передатчик выключен 1 – передатчик включен Доступ к полю TEN регистра TCTR без изменения настроек TCTR	RW	0

11.3.11 Псевдорегистр RSTART (режим I2S)

Таблица 0.14. Назначение разрядов регистра RSTART в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Резерв	-	0
0	REN	Разрешение работы передатчика: 0 – приемник выключен 1 – приемник включен Доступ к полю REN регистра RCTR без изменения настроек RCTR	RW	0

11.3.12 Регистр аварийного управления портом EMERG_MFBSP (режим I2S)

Таблица 0.15. Назначение разрядов регистра EMERG_MFBSP в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Резерв	-	0
5	RX_DBG	Программное управление признаком готовности приема данных из DMA в MFBSP: 0 – штатный режим работы. Признак готовности формируется MFBSP аппаратно; 1 – признак готовности установлен в 1. Используется для приведения DMA в исходное состояние, если: устройство подключенное к MFBSP передало в него меньший объем данных, по сравнению с тем, что указано в DMA; необходимо программно остановить прием данных в MFBSP	RW	0
4	TX_DBG	Программное управление признаком готовности передачи данных из MFBSP в DMA: 0 – штатный режим работы. Признак готовности формируется MFBSP аппаратно; 1 – признак готовности установлен в 1. Используется для приведения DMA в исходное состояние, если: устройство подключенное к MFBSP приняло из него меньший объем данных, по сравнению с тем, что указано в DMA; необходимо программно остановить передачу данных из MFBSP	RW	0
3	-	Резерв	-	0
2	RST_RXBUF	Сброс буфера приема последовательного порта и буфера пересинхронизации направления приема. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
1	RST_TXBUF	Сброс буфера передачи последовательного порта и буфера пересинхронизации направления передачи. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
0	RST_LPTBUF	Сброс буфера линкового порта и буфера пересинхронизации направления приёма. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0

11.3.13 Регистр маски прерываний от порта IMASK (режим I2S)

Таблица 0.16. Назначение разрядов регистра IMASK в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:15	-	Резерв	-	0
14	RXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSR_RXBUF 0 – прерывание не сбрасывается при чтении RSR 1 – прерывание сбрасывается при чтении RSR	RW	1
13	RX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера приема 0 – прерывание MFBSR_RXBUF не будет устанавливаться при превышении порога RLEV 1 - прерывание MFBSR_RXBUF будет устанавливаться при превышении порога RLEV	RW	1
12	RX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSR_RXBUF не будет устанавливаться при переполнении буфера приема 1 - прерывание MFBSR_RXBUF будет устанавливаться при переполнении буфера приема	RW	1
11:7	-	Резерв	-	0
6	TXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSR_TXBUF 0 – прерывание не сбрасывается при чтении TSR 1 – прерывание сбрасывается при чтении TSR	RW	1
5	TX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера передачи 0 – прерывание MFBSR_TXBUF не будет устанавливаться, если число слов в буфере передачи меньше порога TLEV 1 - прерывание MFBSR_TXBUF будет устанавливаться, если число слов в буфере передачи меньше порога TLEV	RW	1
4	TX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSR_TXBUF не будет устанавливаться при чтении из пустого буфера передачи 1 - прерывание MFBSR_TXBUF будет устанавливаться при чтении из пустого буфера передачи	RW	1
3:1	-	Резерв	-	0
0	LPT_IRQ_EN	Разрешение прерывания по запросу на обслуживание 0 – SRQ запрещено 1 – SRQ разрешено	RW	1

11.3.14 Структурная схема MFBSR для режима I2S

На Рисунок 0.7 представлена структурная схема MFBSR для режима I2S.

Включение режима I2S производится установкой бит LEN=0, SPI_I2S_EN=1, регистра CSR_MFBSR и TMODE = 0 регистра TCTR для передатчика, RMODE = 0 регистра RCTR для приёмника.

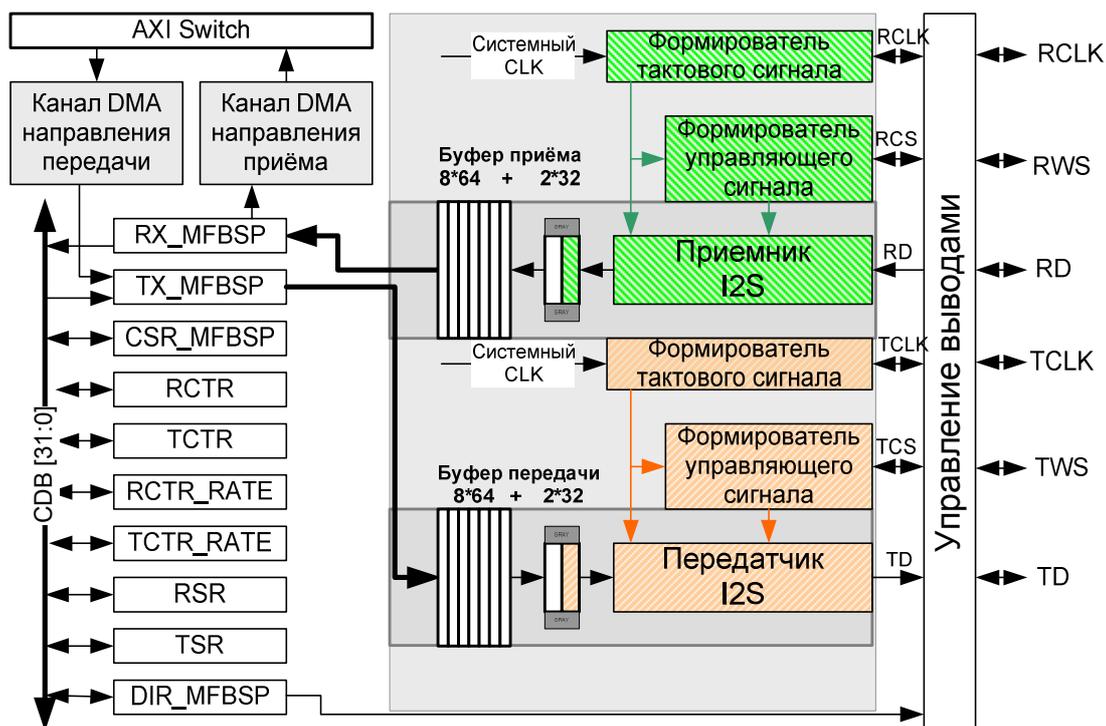


Рисунок 0.7. Структурная схема MFBSP для режима I2S

11.3.15 Варианты соединения порта с внешними устройствами

Программно управляя направлением выводов последовательного порта (см. описание регистра DIR_MFBSP) можно организовать множество вариантов соединения схемы с внешними устройствами через MFBSP (Рисунок 0.8, Рисунок 0.9, Рисунок 0.10).

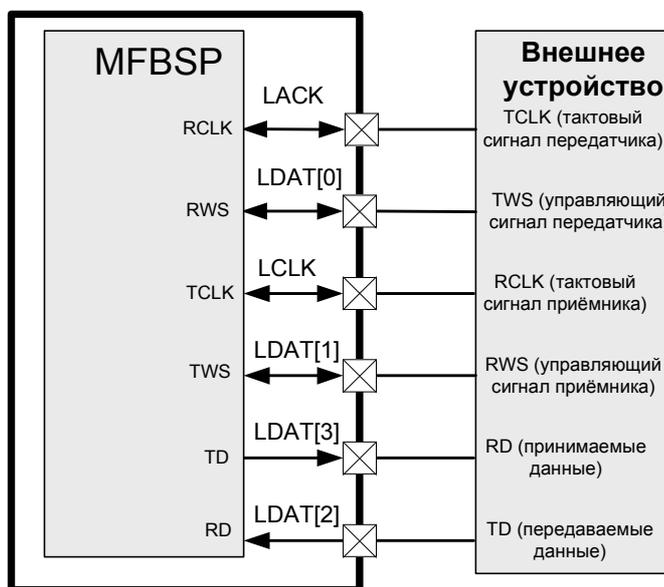


Рисунок 0.8. Соединение двух устройств по интерфейсу I2S в дуплексном режиме. Приёмник и передатчик независимые (задействовано 6 внешних выводов). Направление выводов TCLK, TWS, RCLK и RWS может быть произвольным в зависимости от требований внешнего устройства (режим №3 по Таблица 0.1)

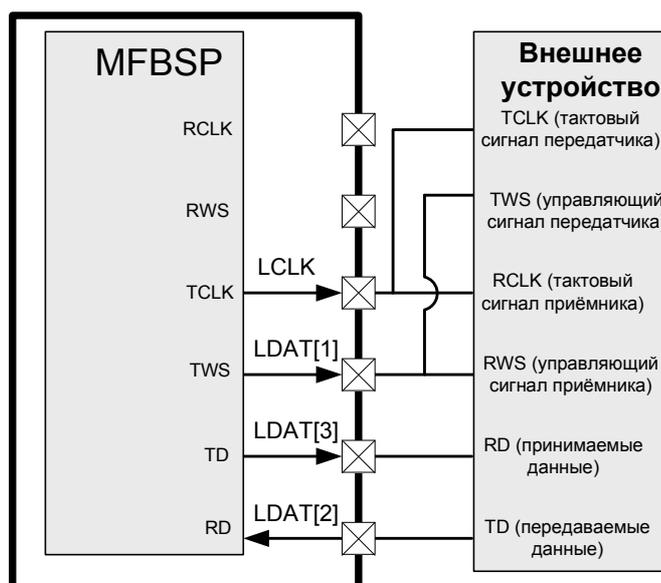


Рисунок 0.9. Соединение двух устройств по интерфейсу I2S в дуплексном режиме. Приёмник в зависимом от передатчика режиме (задействовано 4 внешних вывода) (режим №3 по Таблица 0.1)

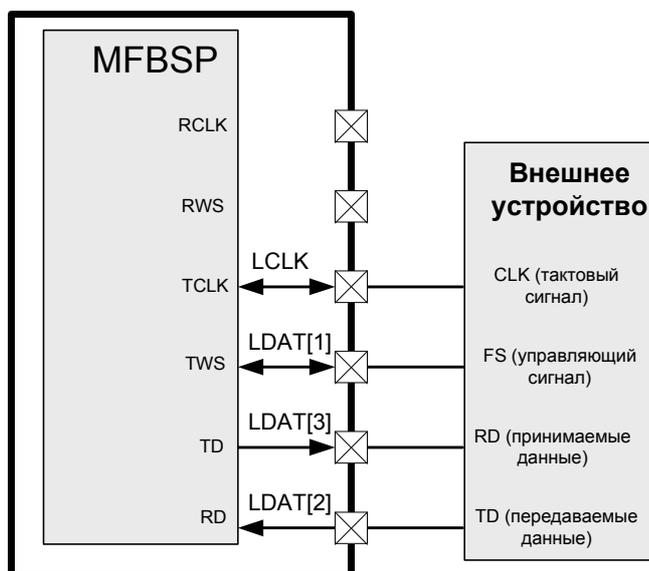


Рисунок 0.10 Соединение двух устройств по интерфейсу I2S в дуплексном режиме. Приёмник в зависимом от передатчика режиме (задействовано 4 внешних вывода). Как приёмником, так и передатчиком используются тактовый и управляющий сигналы с выводов TCLK и TWS. Направление выводов TCLK и TWS может быть произвольным в зависимости от требований внешнего устройства (режим №3 по Таблица 0.1)

11.3.16 Передача данных в режиме I2S

В режиме I2S возможна передача аудио данных с использованием сигнала выбора канала (бит (T/R)DSPMODE = 0). При этом программно задаётся полярность тактового сигнала, полярность управляющего сигнала и наличие задержки выдачи данных относительно фронта управляющего сигнала (см. описание регистров TCTR и RCTR). На Рисунок 0.11. представлены временные диаграммы для данного режима.

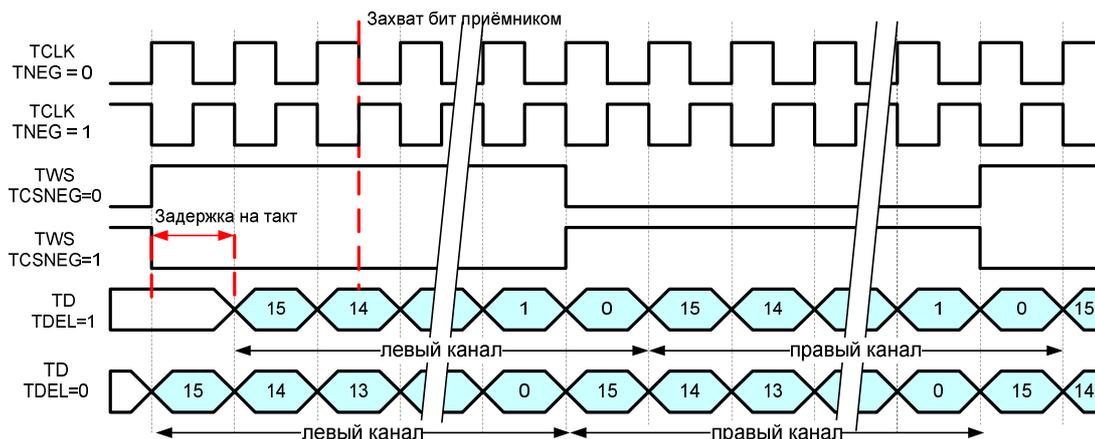


Рисунок 0.11. Передача в режиме I2S (формат I2S) $TMODE = 0$, $TDSPMODE=0$, $TMBF = 1$, $TCS_RATE = TWORDLEN = 15$ диаграммы тактового сигнала TCLK представлены для различных значений TNEG, диаграммы управляющего сигнала TWS представлены для различных значений TCSNEG, диаграммы для последовательных данных представлены для различных значений TDEL

В режиме I2S (бит (T/R)MODE = 0) также возможна передача последовательных слов с использованием сигнала синхронизации фрейма (бит (T/R)DSPMODE = 1). При этом программно задаётся полярность тактового сигнала, полярность активного фронта управляющего сигнала и наличие задержки выдачи данных относительно фронта управляющего сигнала (Рисунок 0.12).

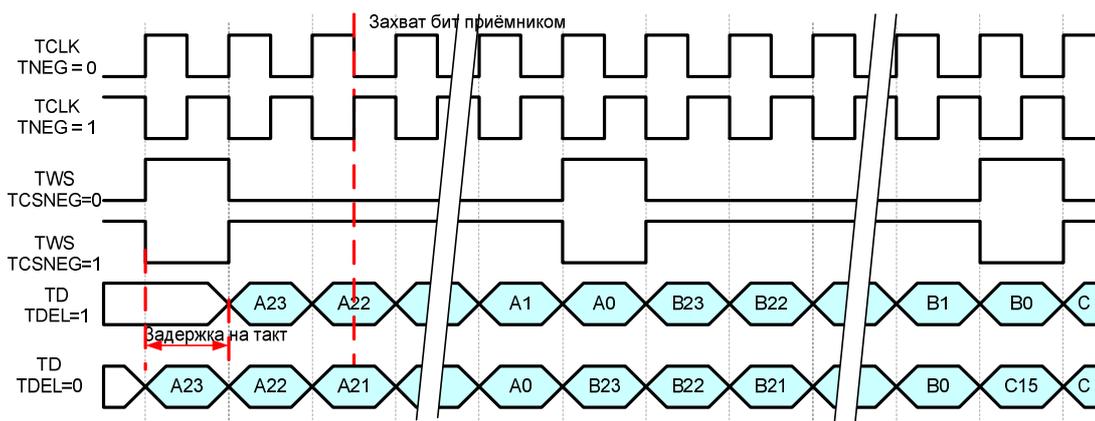


Рисунок 0.12. Передача в режиме I2S (формат DSP) $TMODE = 0$, $TDSPMODE=1$, $TMBF = 1$, $TCS_RATE = TWORDLEN = 23$ диаграммы тактового сигнала TCLK представлены для различных значений TNEG, диаграммы управляющего сигнала TWS представлены для различных значений TCSNEG, диаграммы для последовательных данных представлены для различных значений TDEL

Если управляющий сигнал формируется логикой MFBS (вывод (T/R)WS – сконфигурирован как выход), то частота управляющего сигнала (либо частота импульсов синхронизации в формате DSP) может задаваться программно от $ICLK/2$ до $ICLK/(2*2^{16})$, где ICLK – рабочая частота интерфейса TCLK для передатчика и RCLK для приемника (см. описание регистров TCTR_RATE и RCTR_RATE). Временные диаграммы для данного случая представлены на Рисунок 0.13.

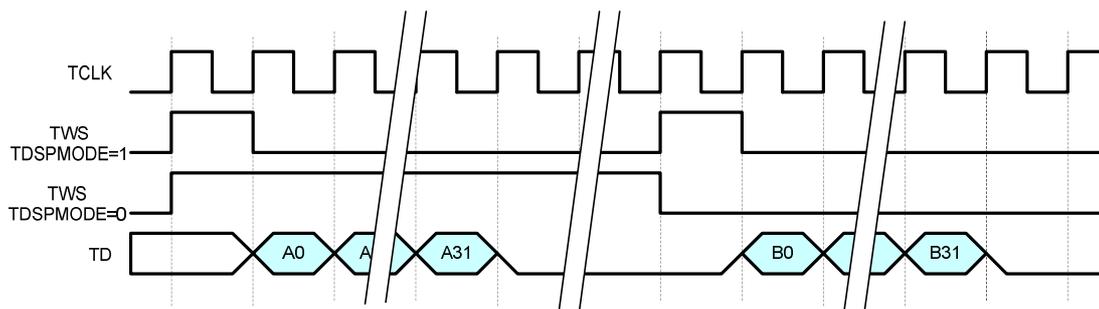


Рисунок 0.13. Передача в режиме I2S TMODE = 0, TMBF = 0, TWORDLEN = 31, TCS_RATE > TWORDLEN, TNEG = 0, TCSNEG = 0, TDEL = 1. Диаграммы управляющего сигнала TWS представлены для различных значений TDSPMODE

MFBSPP позволяет передавать от 1 до 64 слов в пределах одного фрейма (Рисунок 0.15). В этом случае с приходом сигнала синхронизации фрейма начинается передача первого слова, с передачей последнего бита первого слова из буфера передачи сразу считывается следующее слово и в следующем такте начинают передаваться биты очередного слова и так до тех пор, пока не будет передано число слов равное TWORDCNT+1. По окончании передачи последнего слова фрейма, порт ожидает очередного сигнала синхронизации фрейма. Сигнал синхронизации пришедший в момент, когда передача слов фрейма еще не закончилась игнорируется. Буфер передачи может вместить максимум 18 32-х разрядных слов, если в пределах фрейма передается больше 18 слов необходимо следить за тем, что бы буфер передачи был не пуст (при включенном канале DMA это происходит автоматически). Приемник MFBSPP аналогичным образом может принимать от 1 до 64-х слов в пределах одного фрейма.

В режиме I2S, при (T/R)MODE = 0, (T/R)DSPMODE = 0) выполняется автоматическая синхронизация принимаемых и передаваемых данных таким образом, что первое слово переданное передатчиком будет передано в левый канал, а первое слово принятое приемником будет принято из левого канала (Рисунок 0.14).

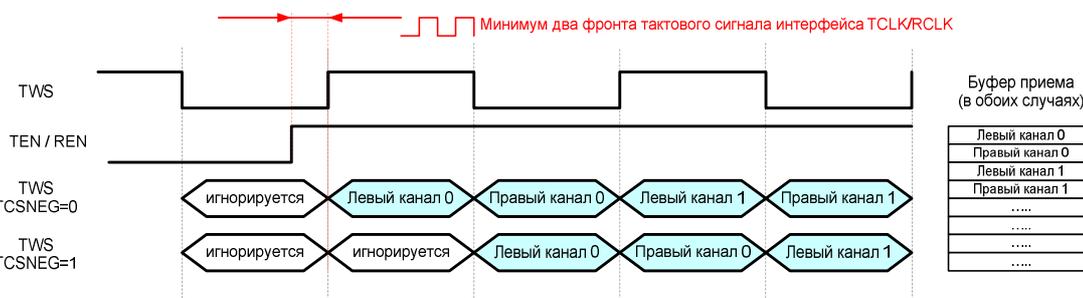


Рисунок 0.14. Синхронизация передаваемых и принимаемых данных по каналам (левый/правый) в режиме I2S после включения приемника или передатчика для различных значений TCSNEG

При работе порта в режиме I2S ((T/R)MODE = 0), в случае если используется управляющий сигнал, формируемый внешним устройством (порт в режиме ведомого), то, как для передатчика, так и для приемника после первого включения порта (TEN/REN=1), перед первым фронтом сигнала выбора слова / фрейм селекта (TWS) необходима подача как минимум двух импульсов тактового сигнала, необходимых для целей синхронизации. В противном случае первый импульс управляющего сигнала может быть проигнорирован (передача начнется со следующего активного фронта управляющего сигнала).

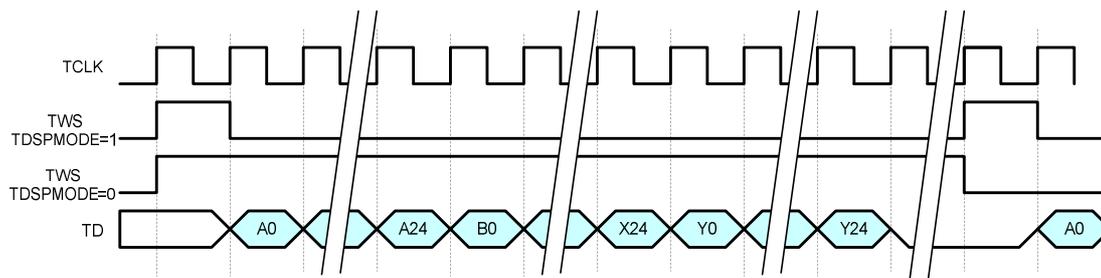


Рисунок 0.15. Передача в режиме I2S TMODE = 0, TMBF = 0, TWORDLEN = 24, TWORDCNT=Y-1, TCS_RATE+1>(TWORDLEN+1)*(TWORDCNT+1), TNEG = 0, TCSNEG=0, TDEL = 1. Диаграммы управляющего сигнала TWS представлены для различных значений TDSPMODE

В режиме I2S (только в формате I2S (T/R)DSPMODE=0) предусмотрен режим паковщика / распаковщика. В этом режиме 32 разрядные слова из буфера передачи автоматически разбиваются на 2 16-ти разрядных слова и передаются по разным каналам. Соответственно для приёмника два принятых по разным каналам слова группируются в одно 32-х разрядное слово, которое записывается в буфер приёма. В данном режиме длина передаваемого или принимаемого слова может быть в пределах от 2 до 16 бит. Порядок выдачи разбитого слова и порядок сборки определяется битами TCSNEG, TSWAP, RCSNEG, RSWAP. Данный режим возможен только при передаче одного слова во фрейме (TWORDCNT=RWORDCNT=0).

Пример настроек для передачи по интерфейсу FSB (CMX981): TMODE = RMODE = 0, TDSPMODE = RDSPMODE = 1, TMBF = RMBF = 1, TNEG = RNEG = 1, TDEL = RDEL = 1, TCSNEG = RCSNEG = 0, TCS_RATE >= TWORDLEN, RCS_RATE >= RWORDLEN. Приемник при этом должен быть независим от передатчика, т.е. RCS_CP = 0. Если шиной используется один тактовый сигнал для приема и передачи необходимо установить RCLK_CP в 1, в этом случае приемником будет использоваться тактовый сигнал передатчика.

11.3.17 Формирование тактовых сигналов приёмника (RCLK) и передатчика (TCLK)

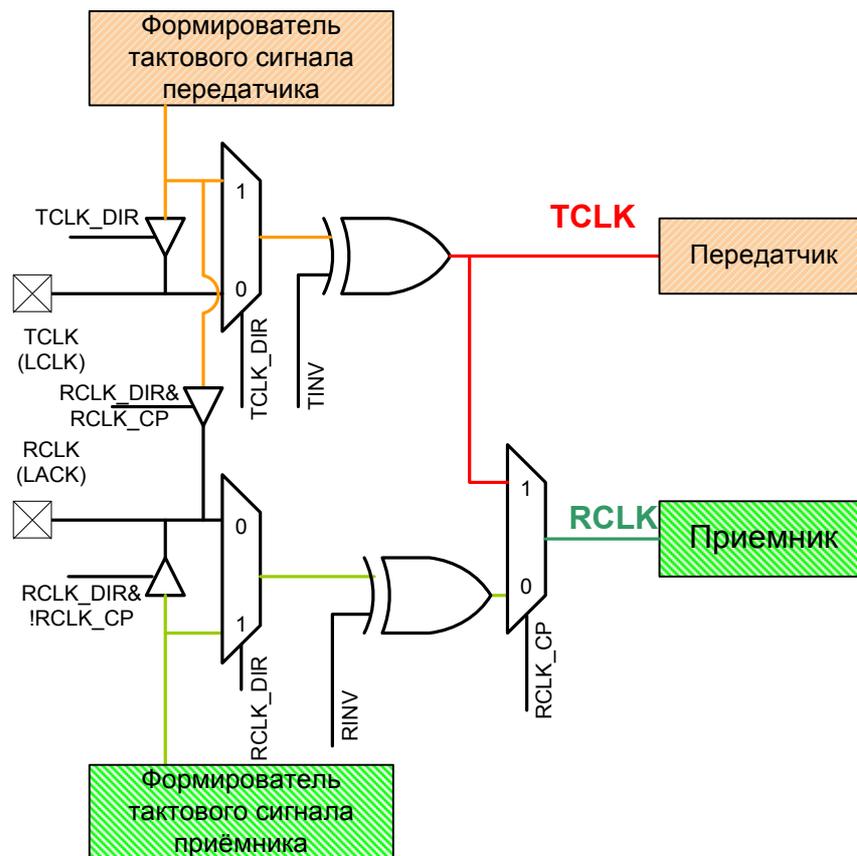


Рисунок 0.16. Схема формирования тактовых сигналов приёмника и передатчика в режиме I2S

На Рисунок 0.16 представлена схема формирования тактовых сигналов приёмника и передатчика в режиме I2S.

В зависимости от значения бита TCLK_DIR, тактовый сигнал передатчика TCLK может как формироваться самим передатчиком, так приниматься с внешнего вывода. В зависимости от значений бит TMODE, TNEG и TDEL тактовый сигнал либо передается передатчику без изменений, либо инвертируется.

В зависимости от значения бита RCLK_DIR, тактовый сигнал приёмника RCLK может как формироваться самим приёмником, так приниматься с внешнего вывода. В зависимости от значений бит RMODE, RNEG и RDEL тактовый сигнал либо передается приёмнику без изменений, либо инвертируется.

Если бит RCLK_CP установлен в 1, то тактовый сигнал приёмника копирует тактовый сигнал передатчика. Для корректной работы устройства в этом случае настройки полярности тактового сигнала приёмника и передатчика должны совпадать (TNEG=RNEG, TDEL=RDEL).

При RCLK_CP = 1 тактовый сигнал передатчика передается на внешний вывод приёмника, только если передатчик сам формирует тактовый сигнал и вывод тактового сигнала приёмника сконфигурирован как выход (TCLK_DIR=1, RCLK_DIR=1).

Если биты RCLK_CONT=1 и RCLK_DIR=1 то RCLK формируется непрерывно, пока установлен бит REN. Если RCLK_CONT=0 и RCLK_DIR=1 то RCLK формируется только

до момента заполнения буфера приёма. Если $RCLK_DIR=0$, то $RCLK$ принимается с внешнего вывода схемы.

Если биты $TCLK_CONT=1$ и $TCLK_DIR=1$ то $TCLK$ формируется непрерывно, пока установлен бит TEN . Если $TCLK_CONT=0$ и $TCLK_DIR=1$ то $TCLK$ формируется только в процессе передачи очередного слова. Если $TCLK_DIR=0$, то $TCLK$ принимается с внешнего вывода схемы.

11.3.18 Формирование управляющих сигналов приёмника и передатчика в режиме I2S

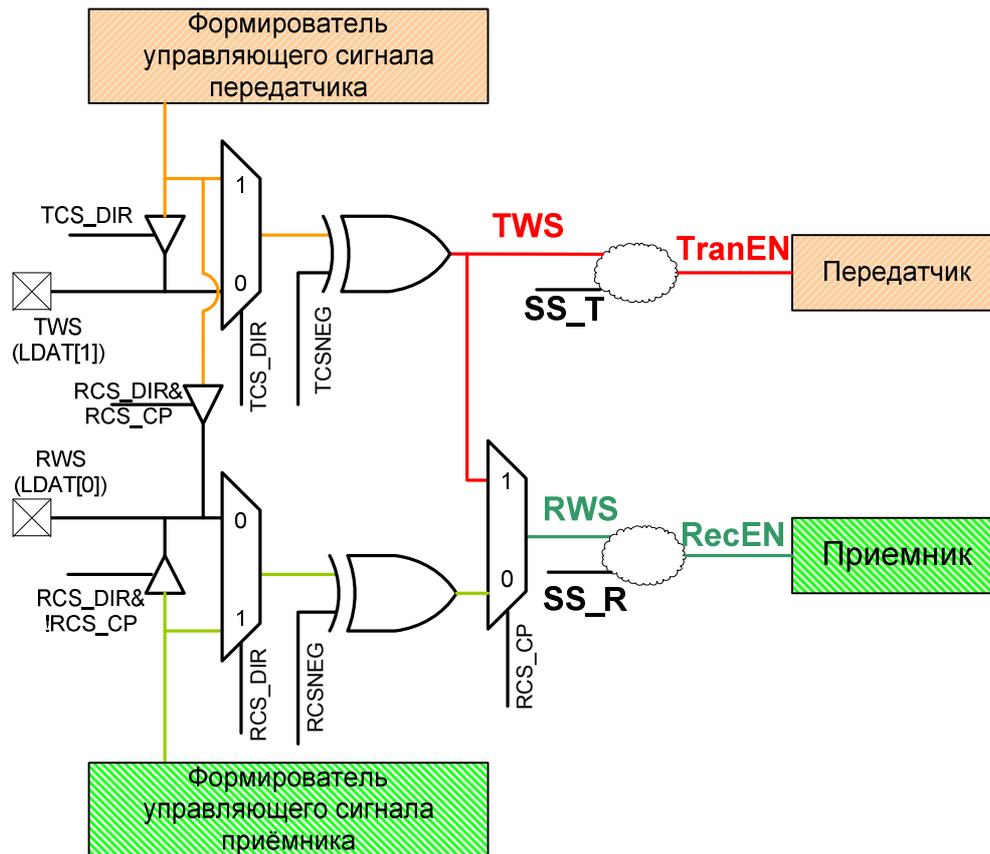


Рисунок 0.17. Схема формирования управляющих сигналов в режиме I2S

На Рисунок 0.17 представлена схема формирования управляющих сигналов в режиме I2S.

В зависимости от значения бита TCS_DIR , задающего направление вывода TWS , управляющий сигнал передатчика TWS может как формироваться самим передатчиком, так приниматься с внешнего вывода. В зависимости от значения бита $TCSNEG$ управляющий сигнал либо передаётся передатчику без изменений, либо инвертируется.

В зависимости от значения бита RCS_DIR , задающего направление вывода RWS , управляющий сигнал приёмника $RCLK$ может как формироваться самим приёмником, так приниматься с внешнего вывода. В зависимости от значения бита $RCSNEG$ управляющий сигнал либо передаётся приёмнику без изменений, либо инвертируется.

Если бит RCS_CP установлен в 1, то управляющий сигнал приёмника копирует управляющий сигнал передатчика. Для корректной работы устройства в этом случае настройки полярности управляющего сигнала приёмника и передатчика должны совпадать ($TCSNEG=RCSNEG$).

При $RCS_CP = 1$ управляющий сигнал передатчика передаётся на внешний вывод приёмника, только если передатчик сам формирует управляющий сигнал и вывод управляющего сигнала приёмника сконфигурирован как выход ($TCS_DIR=1$, $RCS_DIR=1$).

Если направление вывода RWS задано как выход и $RCS_CONT=0$, то управляющий сигнал RWS формируется до тех пор, пока не заполнится буфер приёма, если $RCS_CONT=1$ то, RWS формируется непрерывно, пока установлен бит REN. Если направление вывода задано как вход, управляющий сигнал RWS принимается от внешнего устройства. Если установлен бит RCS_CP , RWS копирует TWS, независимо от направления вывода.

Если направление вывода TWS задано как выход и $TCS_CONT=0$, то управляющий сигнал TWS формируется только во время передачи очередного слова, если $TCS_CONT=1$ TWS формируется непрерывно, пока установлен бит TEN. Если направление вывода задано как вход, управляющий сигнал TWS принимается от внешнего устройства.

11.3.19 Тракт передачи данных

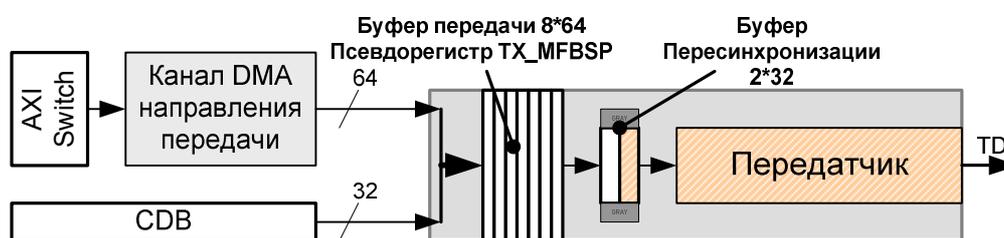


Рисунок 0.18. Тракт передачи данных для режима I2S

На Рисунок 0.18 представлен тракт передачи данных для режима I2S.

Что бы инициировать передачу данных по последовательному порту необходимо включить последовательный порт ($SPI_I2S_EN=1$) и передатчик ($TEN=1$), после чего либо начать производить запись передаваемых 32-х разрядных слов в буфер передачи по адресу псевдорегистра TX_MFBSP, либо включить канал DMA в направления передачи для соответствующего порта (в этом случае обмен данными с портом будет вестись 64-х разрядными словами).

Данные записанные в буфер передачи автоматически перемещаются в буфер пересинхронизации направления передачи, если он не полон. Запись в буфер пересинхронизации направления передачи осуществляется на системной частоте CLK, чтение из буфера пересинхронизации осуществляется на частоте передатчика TCLK. Как только в буфере пересинхронизации оказалось хотя бы одно слово, передатчиком инициируется передача. Передатчиком производится последовательная выдача бит очередного 32-х разрядного слова до тех пор, пока число переданных бит не достигнет $TWORDLEN+1$, после чего производится считывание очередного слова из буфера пересинхронизации. По мере передачи слов в освобождающийся буфер пересинхронизации перемещается слово из буфера передачи. После выборки последнего слова из буфера передачи (буфер передачи пуст) в буфере пересинхронизации остаётся еще два слова. Фактическое окончание передачи можно идентифицировать по состоянию буфера пересинхронизации, либо считав бит TRUN регистра TSR.

Если управляющий сигнал формируется передатчиком, то при считывании последнего слова из буфера пересинхронизации передача останавливается. Передача продолжится только после того как в буфер пересинхронизации снова начнут поступать данные.

Если передатчик использует внешнюю частоту и внешний управляющий сигнал, в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя

частота передатчика, однако ее должно быть достаточно для того, что бы успеть переместить очередное слово в буфер пересинхронизации (за время передачи одного слова должно быть хотя бы три импульса системной частоты CLK). Если внешний управляющий сигнал инициировал передачу слова при пустом буфере пересинхронизации устанавливается флаг ошибки передачи (TERR), в этом случае передается ошибочное слово. Если управляющий сигнал формируется самим передатчиком, системная частота может быть много меньше частоты передатчика, однако это скажется на скорости передачи данных.

Установка бита TERR в процессе передачи говорит о том, что порт произвел попытку чтения из пустого буфера передачи. Это значит, что передатчиком было передано некорректное слово.

В направлении передачи порт обладает буферизацией на 18 32-х разрядных слов. В случае передачи данных посредством DMA запись блоков данных в буфер передачи происходит до тех пор, пока буфер готов принять очередной блок, размер которого определяется битами WN, регистра CSR соответствующего канала DMA.

Степень заполнения буфера можно программно регулировать, используя биты TBES. В этом случае значение выражения $TBES+1$ – задает эффективный размер буфера передачи. Передача очередной пачки происходит только в случае, если при записи этой пачки в буфер передачи число 64 разрядных слов в буфере передачи не превысит $TBES+1$. При попытке передать пачку со значением $WN > TBES$, значение WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

Так, при $WN=0$ и $TBES=0$ очередное 64-х разрядное слово будет подкачиваться в буфер передачи только если он пуст. В этом случае по окончании работы DMA в момент прерывания от соответствующего канала передатчику останется передать ещё 4 32-х разрядных слова (два 32-х разрядных слова в буфере пересинхронизации и одно 64-х разрядное слово в буфере передачи).

Установка бита SPI_I2S_EN в 0 приведет к программному сбросу передатчика, и все данные находящиеся в буфере передачи будут утеряны.

11.3.20 Тракт приёма данных

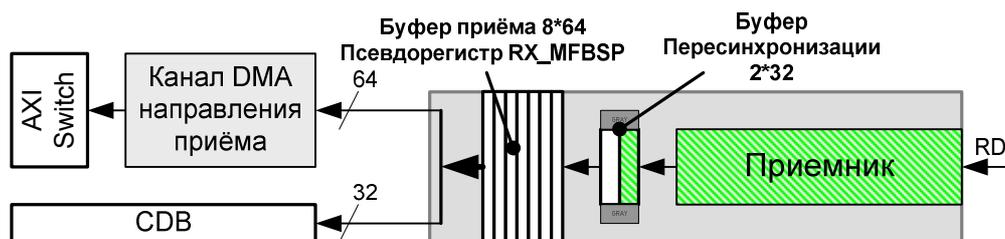


Рисунок 0.19. Тракт приёма данных в режиме I2S

На Рисунок 0.19 представлен тракт передачи данных для режима I2S.

Что бы перевести приёмник в режим готовности необходимо включить последовательный порт ($SPI_I2S_EN=1$) и приёмник ($REN=1$), после чего либо начать ожидание появления прочитанных данных в буфере приёма, либо включить канал DMA в направления приёма для соответствующего порта.

Приёмник принимает последовательные биты, поступающие с внешнего вывода до тех пор, пока число принятых бит не достигнет значения $RWORDLEN+1$. После этого принятое 32-х разрядное слово (если $RWORDLEN < 31$ незадействованные биты обнуляются) перемещается в буфер пересинхронизации. Запись в буфер пересинхронизации направления приёма осуществляется на частоте приёмника RCLK, чтение из буфера пересинхрони-

зации осуществляется на системной частоте CLK. Из буфера пересинхронизации принятое слово автоматически перемещается в буфер приёма, если он не полон. Если в буфере приёма есть хотя бы одно 32-х разрядное слово, то принятые 32-х разрядные слова можно считывать, обращаясь по адресу псевдорегистра RX_MFBSP. Принимать данные можно также включив соответствующий порту канал DMA направления приёма (в этом случае обмен данными с портом осуществляется 64-х разрядными словами).

Если приёмник использует внешнюю частоту, то в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота приёмника, однако ее должно быть достаточно для того, что бы успеть переместить очередное слово из буфера пересинхронизации (за время приёма одного слова должно быть хотя бы три импульса системной частоты CLK). Если при заполненном буфере пересинхронизации приёмником был произведен приём очередного слова и инициирована попытка записи в буфер пересинхронизации устанавливается флаг ошибки приёма (RERR), а последнее принятое слово теряется.

Установка бита RERR в процессе передачи говорит о том, что порт произвел попытку записи в полный буфер приёма. Это значит, что принятое слово было потеряно.

В направлении приёма порт обладает буферизацией на 18 32-х разрядных слов. В случае приёма данных посредством DMA чтение блоков данных из буфера приёма происходит до тех пор, пока в буфере приёма достаточно слов для чтения очередного блока, размер которого определяется битами WN, регистра CSR соответствующего канала DMA. DMA обмены возможны только 64 разрядными словами, таким образом, если было принято нечетное количество 32-х разрядных слов, после окончания работы DMA необходимо прочитать оставшееся слово, обратившись к псевдорегистру RX_MFBSP.

Установка бита SPI_I2S_EN в 0 приведет к программному сбросу приёмника и все данные находящиеся в буфере приёма будут утеряны.

11.3.21 Прерывания от последовательного порта

Прерывание MFBSP_RXBUF устанавливается, в случае если включен приемник (I2S_SPI_EN=1, REN = 1) и в буфер приёма записано количество слов большее, чем установлено уровнем прерывания RLEV, либо произошла ошибка приема (RERR = 1).

Прерывание MFBSP_TXBUF устанавливается, в случае если включен передатчик (I2S_SPI_EN=1, REN = 1) и в буфере передачи осталось количество слов меньшее, либо равное чем установлено уровнем прерывания TLEV, либо произошла ошибка передачи (TERR = 1).

11.4 Работа MFBSP в режиме SPI

11.4.1 Назначение последовательного порта в режиме SPI

Режим SPI буферизированного последовательного порта предназначен для организации дуплексного обмена последовательными данными с внешними устройствами.

Порт в режиме SPI позволяет одновременно передавать и принимать последовательные данные. Приемник и передатчик контроллера могут настраиваются независимо, при этом возможен перевод приёмника в зависимое от передатчика состояние.

Поддерживается независимое задание направления каждого из выводов порта, осуществляемое установкой соответствующих бит регистра DIR_MFBSP. Однако для режима SPI имеется ограничение: направление выводов тактового сигнала и сигнала выбора ведомого должно совпадать.

В режиме ведущего устройства к MFBSP параллельно может быть подключено до двух ведомых SPI устройств.

Формирование сигнала выбора ведомого возможно как в автоматическом так и в программном режиме. В автоматическом режиме после передачи каждой группы слов (число слов в группе может принимать значения от 1 до 64) сигнал выбора ведомого возвращается в высокое состояние. При программном управлении сигналами выбора ведомого данные сигналы изменяются посредством записи в контрольный регистр передатчика.

В данной реализации порта существует ограничение на выбор направления выводов в режиме SPI: тактовый и управляющий сигналы в режиме SPI должны быть либо оба заданы как вход, либо оба заданы как выход;

В данной реализации порта не предусмотрена возможность соединения нескольких микропроцессоров по цепочке с использованием SPI интерфейса. Микропроцессор может только управлять загрузкой последовательных данных в другие ведомые устройства, соединенные по цепочке.

В данной реализации порта в режиме ведомого устройства сигнал выбора ведомого предварительно пересинхронизируется на внутреннюю частоту порта, поэтому для устойчивой работы порта в режиме ведомого SPI устройства уровень сигнала SS, если необходима его установка в 1 между передачами, должен удерживаться как минимум два периода внутренней частоты CLK. Поэтому, если приемник работает в зависимом от передатчика режиме (RCS_CP=1, RCLK_CP=1), передатчик работает на максимальной частоте (TCLK_RATE=0) и формирует сигнал SS в автоматическом режиме (SS_DO=0, TCS_DIR=1), необходимо установить значение TSS_RATE>=1 чтобы удерживать сигнал SS в высоком уровне как минимум два периода внутренней частоты CLK.

11.4.2 Регистр управления и состояния CSR_MFBSP (режим SPI)

Регистр CSR_MFBSP (Таблица 0.17) используется для включения режима последовательного порта и разрешения прерываний от MFBSP.

Таблица 0.17. Назначение разрядов регистра CSR_MFBSP в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:15	-	Резерв	-	0
14:11	-	В режиме SPI не используется	-	0
10	-	Резерв	-	0
9	SPI_I2S_EN	Включение режима SPI/I2S: 0 – Работа в режиме LPORT 1 – Работа в режиме SPI/I2S	RW	0
8:5	-	В режиме I2S не используется	-	0
4:3	LSTAT	Состояние буфера: При LTRAN = 0 показывает состояние буфера приёма При LTRAN = 1 показывает состояние буфера передачи 00 – буфер пуст; 10 – буфер не пуст; 11 – буфер полон.	R	0
2	-	В режиме I2S не используется	-	0
1	LTRAN	Назначение бит LSTAT: 0 - LSTAT отображает состояние буфера приёма 1 - LSTAT отображает состояние буфера передачи	RW	0
0	LEN	В режиме SPI должен быть установлен в 0	RW	0

11.4.3 Регистр управления направлением выводов DIR_MFBSP (режим SPI)

Регистр управления направлением выводов DIR_MFBSP (Таблица 0.18) предназначен для индивидуальной настройки направления каждого вывода последовательного порта.

Таблица 0.18. Назначение разрядов регистра DIR_MFBSP в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
9:6	-	В режиме SPI не используется	-	0
5	TD_DIR	Направление вывода MOSI: 0 – MOSI – вход (при RD_DIR = 1 последовательные данные принимаются со входа MOSI - эквивалент SDI) 1 – MOSI - выход (MOSI – является выходом для передачи последовательных данных и является эквивалентом SDO)	RW	0
4	RD_DIR	Направление вывода MISO: 0 – MISO – вход (последовательные данные принимаются со входа MISO - эквивалент SDI) 1 – MISO - выход (MISO – является выходом для передачи последовательных данных и является эквивалентом SDO)	RW	0
3	TCS_DIR	Направление вывода SS[0]: 0 – SS[0] – вход (управляющий сигнал для передатчика снимается с вывода SS[0]) 1 – SS[0] - выход, управляющий сигнал формируется передатчиком	RW	0
2	RCS_DIR	Направление вывода SS[1]: 0 – SS[1] – вход (управляющий сигнал для приёмника снимается с вывода SS[1]) 1 – SS[1] - выход, в этом случае на SS[1] в зависимости от состояния бита RCS_CP подаются управляющие сигналы, формируемые либо приёмником, либо передатчиком	RW	0
1	TCLK_DIR	Направление вывода TSCK: 0 – TSCK – вход (тактовый сигнал TSCK принимается от внешнего источника) 1 – TSCK – выход (тактовый сигнал TSCK формируется передатчиком)	RW	0
0	RCLK_DIR	Направление вывода RSCK: 0 – RSCK – вход (тактовый сигнал RSCK принимается от внешнего источника) 1 – RSCK – выход (тактовый сигнал RSCK формируется приёмником)	RW	0

примечание: при RD_DIR = 0 и TD_DIR = 0 данные снимаются с MISO,

при RD_DIR = 1 и TD_DIR = 1 на MOSI и MISO выдаются одинаковые данные с передатчика.

11.4.4 Регистр управления приёмником RCTR (режим SPI)

Таблица 0.19. Назначение разрядов регистра RCTR в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	Резерв	-	0
29	-	В режиме SPI не используется	-	0
28	-	В режиме SPI не используется	-	0
27	-	В режиме SPI не используется	-	0
26	RSIGN	Значение заполнителя: Если длина принимаемого слова меньше 32 при отключенном пакковщике или меньше 16 при включенном пакковщике, то неиспользуемые биты принятого слова заполняются При RSIGN = 0 нулями При RSIGN = 1 значением старшего разряда в принятом слове	RW	0
25	RPACK	В режиме SPI обязательно RPACK=0.	RW	0
24:20	RWORDLEN	Длина принимаемого слова: Число бит в принимаемом слове равно RWORDLEN + 1. RWORDLEN должно быть больше 0.	RW	5'b0
19	RMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW RW	1
18	-	В режиме SPI не используется	-	0
17:12	RWORDCNT	Число слов во фрейме: Определяет число принимаемых в течении одного фрейма слов. Число принимаемых слов равно RWORDCNT + 1. Число бит, принимаемых в пределах одного фрейма, равно (RWORDCNT + 1)*(RWORDLEN+1) Во время приёма фрейма состояние сигнала выбора ведомого не меняется.	RW	0
11	RDEL	Задержка начала приёма данных на пол такта: (Эквивалентно CPHA в спецификации Motorola). Задаёт фронт, по которому производится захват данных приёмником (фронт приёма). Ниже приведено соответствие полярности фронта приёма значениям бит RNEG, RDEL: RNEG = 0, RDEL = 0 – захват по переднему фронту RSCK RNEG = 0, RDEL = 1 – захват по заднему фронту RSCK RNEG = 1, RDEL = 0 – захват по заднему фронту RSCK RNEG = 1, RDEL = 1 – захват по переднему фронту RSCK	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
10	RNEG	Полярность тактового сигнала приёмника: (эквивалентно CPOL в спецификации Motorola). Задаёт исходное состояние вывода RSCK и фронт, по которому производится захват данных приёмником (фронт приёма). Ниже приведено соответствие полярности фронта приёма значениям бит RNEG, RDEL: RNEG = 0, RDEL = 0 – захват по переднему фронту RSCK RNEG = 0, RDEL = 1 – захват по заднему фронту RSCK RNEG = 1, RDEL = 0 – захват по заднему фронту RSCK RNEG = 1, RDEL = 1 – захват по переднему фронту RSCK Исходное состояние RSCK = RNEG.	RW	0
9	-	В режиме SPI не используется	-	0
8:4	-	резерв	-	0
3	RCS_CP	Управление сигналом выбора ведомого приёмника: 0 – сигнал SS[1] принимается приёмником с внешнего вывода или формируется самим приёмником. 1 – сигнал SS[1] формируется передатчиком и является сигналом выбора ведомого устройства 1. Приёмник осуществляет приём данных синхронно с передатчиком. (в этом случае RCLK_CP должно быть так же в 1).	RW	0
2	RCLK_CP	Дублирование сигнала RSCK: 0 – RSCK формируется или принимается независимо от передатчика 1 – RSCK приёмника дублирует TSCK передатчика (в этом случае RCS_CP должно быть так же в 1).	RW	0
1	RMODE	Режим работы приёмника: 0 – режим I2S 1 – режим SPI	RW	0
0	REN	Разрешение работы приёмника: 0 – приемник выключен 1 – приемник включен	RW	0

11.4.5 Регистр управления передатчиком TCTR (режим SPI)

Таблица 0.20. Назначение разрядов регистра TCTR в режиме SPI

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
31	SS[1]	биты управления шиной Slave Select: Позволяют выбрать одно из двух подключенных ведомых устройств. При SS_DO = 0 установка соответствующего бита SS в 1 означает выбор ведомого устройства, с которым будет производиться обмен данными При SS_DO = 1 значения бит SS передаются на выводы SS напрямую	RW	0
30	SS[0]		RW	0
29	-	В режиме SPI не используется	-	0
28	-	В режиме SPI не используется	-	0
27	-	В режиме SPI не используется	-	0
26	-	Резерв	-	0
25	TPACK	В режиме SPI обязательно TPACK=0.	RW	0
24:20	TWORDLEN	Длина передаваемого слова: Число бит в передаваемом слове равно TWORDLEN + 1. TWORDLEN должно быть больше 0.	RW	5'b0

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
19	TMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW	1
18	-	В режиме SPI не используется	-	0
17:12	TWORDCNT	Число слов во фрейме: Определяет число передаваемых в течении одного фрейма слов. Число передаваемых слов равно TWORDCNT + 1. Число бит, передаваемых в пределах одного фрейма, равно (TWORDCNT + 1)*(TWORDLEN+1) Во время передачи фрейма состояние сигнала выбора ведомого не меняется.	RW	0
11	TDEL	Задержка начала передачи данных на пол такта: (Эквивалентно CPHA в спецификации Motorola). Задаёт фронт, по которому производится выдача данных передатчиком (фронт выдачи). Ниже приведено соответствие полярности фронта выдачи значениям бит TNEG, TDEL: TNEG = 0, TDEL = 0 – выдача по заднему фронту TSCK TNEG = 0, TDEL = 1 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 0 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 1 – выдача по заднему фронту TSCK	RW	0
10	TNEG	Полярность тактового сигнала передатчика: (эквивалентно CPOL в спецификации Motorola). Задаёт исходное состояние вывода TSCK и фронт, по которому производится выдача данных передатчиком (фронт выдачи). Ниже приведено соответствие полярности фронта выдачи значениям бит TNEG, TDEL: TNEG = 0, TDEL = 0 – выдача по заднему фронту TSCK TNEG = 0, TDEL = 1 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 0 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 1 – выдача по заднему фронту TSCK Исходное состояние TSCK = TNEG.	RW	0
9	-	В режиме SPI не используется	-	0
8:4	-	резерв	-	0
3	SS_DO	управление выводами SS: 0 – управление выводами SS производится в автоматическом режиме. С началом передачи вывод SS, для которого соответствующий бит SS, регистра TCRT установлен в 1 переводится в низкое состояние, с окончанием передачи вывод SS переводится в высокое состояние. Если соответствующий выводу бит SS установлен в 0 вывод SS всегда находится в высоком состоянии. 1 – значения бит SS напрямую передаются на внешние выводы. В этом случае необходимо программное управление шиной SS в процессе передачи	RW	0
2	-	В режиме SPI не используется	-	0
1	TMODE	Режим работы передатчика: 0 – режим I2S 1 – режим SPI	RW	0
0	TEN	Разрешение работы передатчика: 0 – приемник выключен 1 – приемник включен	RW	0

11.4.6 Регистр состояния приёмника RSR (режим SPI)

Таблица 0.21. Назначение разрядов регистра RSR в режиме SPI

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	RB_DIFF	Количество принятых 64-разрядных слов в буфере приёма (max 8).	R	0
23:19	-	Резерв	-	0
18:16	RLEV	Порог прерывания от буфера приёма: Прерывание формируется если число принятых 64-х разрядных слов больше RLEV	RW	7
15:11	-	Резерв	-	0
10	RXBUF	Результирующее прерывание MFBSP_RXBUF	R	0
9	RXBUF_D	Прерывание MFBSP_RXBUF без механизма автоматического сброса при чтении RSR	R	0
8	RXBUF_R	Прерывание MFBSP_RXBUF с механизмом автоматического сброса при чтении RSR	R	0
7	RRUN	Идёт приём: 0 – приёмник в состоянии ожидания 1 – идёт приём очередного слова	R	0
6	RERR	Ошибка передачи: 0 – приём проходил в штатном режиме 1 - была запись в полный буфер приёма (потеря данных). Флаг сбрасывается записью 0 в 6-й разряд регистра RSR.	RW	0
5	RSBF	Буфер пересинхронизации в направлении приёма полон: 0 – буфер пересинхронизации в направлении приёма не полон 1 – буфер пересинхронизации в направлении приёма полон	R	0
4	RSBE	Буфер пересинхронизации в направлении приёма пуст: 0 – буфер пересинхронизации в направлении приёма не пуст 1 – буфер пересинхронизации в направлении приёма пуст	R	1
3	RBHL	Достигнут порог прерывания в буфере приёма: 1 – число 64-х разрядных слов в буфере приёма больше чем задано в RLEV 0 – число 64-х разрядных слов в буфере приёма меньше либо равно RLEV	R	0
2	RBHF	Буфер приёма полон на половину или более: 1 – буфер приёма заполнен на половину или больше (из буфера приёма можно считать как минимум 4 слова) 0 – буфер приёма заполнен меньше чем на половину	R	0
1	RBF	Буфер приёма полон: 0 – буфер приёма не полон 1 – буфер приёма полон	R	0
0	RBE	Буфер приёма пуст: 0 – буфер приёма не пуст 1 – буфер приёма пуст	R	1

11.4.7 Регистр состояния передатчика TSR (режим SPI)

Таблица 0.22. Назначение разрядов регистра TSR в режиме SPI

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	TB_DIFF	Количество свободных 64-разрядных позиций в буфере передачи (в буфер передачи можно записать еще TB_DIFF 64-разрядных слов).	R	8
23	-	Резерв	-	0
22:20	TBES	Эффективный размер буфера передачи Актуален только для режима работы с DMA. Значение TBES+1 – определяет максимальный объем буфера передачи. Т.е. в режиме работы с DMA буфер передачи не может быть заполнен больше, чем на TBES+1 64 разрядных слов.	RW	7
19	-	Резерв	-	0
18:16	TLEV	Порог прерывания от буфера передачи: Прерывание формируется если число 64-х разрядных слов в буфере передачи меньше либо равно TLEV. В режиме передачи данных с использованием DMA определяет степень заполнения буфера передачи, при которой происходит запись в буфер очередной пачки данных	RW	0
15:11	-	Резерв	-	0
10	TXBUF	Результирующее прерывание MFBSP_TXBUF	R	0
9	TXBUF_D	Прерывание MFBSP_TXBUF без механизма автоматического сброса при чтении TSR	R	0
8	TXBUF_R	Прерывание MFBSP_TXBUF с механизмом автоматического сброса при чтении TSR	R	0
7	TRUN	Идёт передача: 0 – передатчик в состоянии ожидания 1 – идёт передача очередного слова	R	0
6	TERR	Ошибка передачи: 0 – передача проходила в штатном режиме 1 - было чтение из пустого буфера передачи (передача некорректных данных). Флаг сбрасывается записью 0 в 6-й разряд регистра TSR.	RW	0
5	TSBF	Буфер пересинхронизации в направлении передачи полон: 0 – буфер пересинхронизации в направлении передачи не полон 1 – буфер пересинхронизации в направлении передачи полон	R	0
4	TSBE	Буфер пересинхронизации в направлении передачи пуст: 0 – буфер пересинхронизации в направлении передачи не пуст 1 – буфер пересинхронизации в направлении передачи пуст	R	1
3	TBLL	Достигнут порог прерывания в буфере передачи: 1 – число 64-х разрядных слов в буфере передачи меньше либо равно TLEV 0 – число 64-х разрядных слов в буфере передачи больше TLEV	R	1

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
2	TBNF	Буфер передачи заполнен на половину или более: 1 – буфер передачи заполнен на половину или больше 0 – буфер передачи заполнен меньше чем на половину (в буфер передачи можно записать еще как минимум 4 слова)	R	0
1	TBF	Буфер передачи полон: 0 – буфер передачи не полон 1 – буфер передачи полон	R	0
0	TBE	Буфер передачи пуст: 0 – буфер передачи не пуст 1 – буфер передачи пуст	R	1

11.4.8 Регистр управления темпом приёма RCTR_RATE (режим SPI)

Таблица 0.23. Назначение разрядов регистра RCTR_RATE в режиме SPI

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
31:16	-	В режиме SPI не используется	-	0
15:12	RSS_RATE	Если сигнал SS формируется приёмником, то задает время удержания сигнала SS в высоком уровне между передачами слов. Время удержания SS определяется как $TRCLK/2*(RSS_RATE+1)$, где TRCLK период тактового сигнала RCLK	RW	0
11:10	-	Резерв	-	0
9:0	RCLK_RATE	Делитель частоты приёмника: В случае, если частота формируется самим приёмником, определяет частоту приёмника $RSCCK = CLK/((RCLK_RATE+1)*2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0

11.4.9 Регистр управления темпом передачи TCTR_RATE (режим SPI)

Таблица 0.24. Назначение разрядов регистра TCTR_RATE в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	-	В режиме SPI не используется	-	0
15:12	TSS_RATE	Если сигнал SS формируется передатчиком, то задает время удержания сигнала SS в высоком уровне между передачами слов. Время удержания SS определяется как $TTCLK/2*(TSS_RATE+1)$, где TTCLK период тактового сигнала TCLK	RW	0
11:10	-	Резерв	-	0
9:0	TCLK_RATE	Делитель частоты передатчика: В случае, если частота формируется самим передатчиком, определяет частоту передатчика $TSCK = CLK/((TCLK_RATE+1)*2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0

11.4.10 Псевдорегистр TSTART (режим SPI)

Таблица 0.25. Назначение разрядов регистра TSTART в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Резерв	-	0
0	TEN	Разрешение работы передатчика: 0 – передатчик выключен 1 – передатчик включен Доступ к полю TEN регистра TCTR без изменения настроек TCTR	RW	0

11.4.11 Псевдорегистр RSTART (режим SPI)

Таблица 0.26. Назначение разрядов регистра RSTART в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Резерв	-	0
0	REN	Разрешение работы передатчика: 0 – приемник выключен 1 – приемник включен Доступ к полю REN регистра RCTR без изменения настроек RCTR	RW	0

11.4.12 Регистр аварийного управления портом EMERG_MFBSP (режим SPI)

Таблица 0.27. Назначение разрядов регистра EMERG_MFBSP в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Резерв	-	0
5	RX_DBG	Программное управление признаком готовности приема данных из DMA в MFBSP: 0 – штатный режим работы. Признак готовности формируется MFBSP аппаратно; 1 – признак готовности установлен в 1. Используется для приведения DMA в исходное состояние, если: устройство подключенное к MFBSP передало в него меньший объем данных, по сравнению с тем, что указано в DMA; необходимо программно остановить прием данных в MFBSP	RW	0
4	TX_DBG	Программное управление признаком готовности передачи данных из MFBSP в DMA: 0 – штатный режим работы. Признак готовности формируется MFBSP аппаратно; 1 – признак готовности установлен в 1. Используется для приведения DMA в исходное состояние, если: устройство подключенное к MFBSP приняло из него меньший объем данных, по сравнению с тем, что указано в DMA; необходимо программно остановить передачу данных из MFBSP	RW	0
3	-	Резерв	-	0
2	RST_RXBUF	Сброс буфера приема последовательного порта и буфера пересинхронизации направления приема. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
1	RST_TXBUF	Сброс буфера передачи последовательного порта и буфера пересинхронизации направления передачи. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
0	RST_LPTBUF	Сброс буфера линкового порта и буфера пересинхронизации направления приёма. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0

11.4.13 Регистр маски прерываний от порта IMASK (режим SPI)

Таблица 0.28. Назначение разрядов регистра IMASK в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:15	-	Резерв	-	0
14	RXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSR_RXBUF 0 – прерывание не сбрасывается при чтении RSR 1 – прерывание сбрасывается при чтении RSR	RW	1
13	RX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера приема 0 – прерывание MFBSR_RXBUF не будет устанавливаться при превышении порога RLEV 1 - прерывание MFBSR_RXBUF будет устанавливаться при превышении порога RLEV	RW	1
12	RX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSR_RXBUF не будет устанавливаться при переполнении буфера приема 1 - прерывание MFBSR_RXBUF будет устанавливаться при переполнении буфера приема	RW	1
11:7	-	Резерв	-	0
6	TXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSR_TXBUF 0 – прерывание не сбрасывается при чтении TSR 1 – прерывание сбрасывается при чтении TSR	RW	1
5	TX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера передачи 0 – прерывание MFBSR_TXBUF не будет устанавливаться, если число слов в буфере передачи меньше порога TLEV 1 - прерывание MFBSR_TXBUF будет устанавливаться, если число слов в буфере передачи меньше порога TLEV	RW	1
4	TX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSR_TXBUF не будет устанавливаться при чтении из пустого буфера передачи 1 - прерывание MFBSR_TXBUF будет устанавливаться при чтении из пустого буфера передачи	RW	1
3:1	-	Резерв	-	0
0	LPT_IRQ_EN	Разрешение прерывания по запросу на обслуживание 0 – SRQ запрещено 1 – SRQ разрешено	RW	1

11.4.14 Структурная схема MFBSP для режима SPI

На Рисунок 0.20. представлена структурная схема MFBSP для режима SPI.

Включение режима SPI производится установкой бит $LEN=0$, $SPI_I2S_EN=1$, $TMODE = 1$ (для передатчика), $RMODE = 1$ (для приёмника).

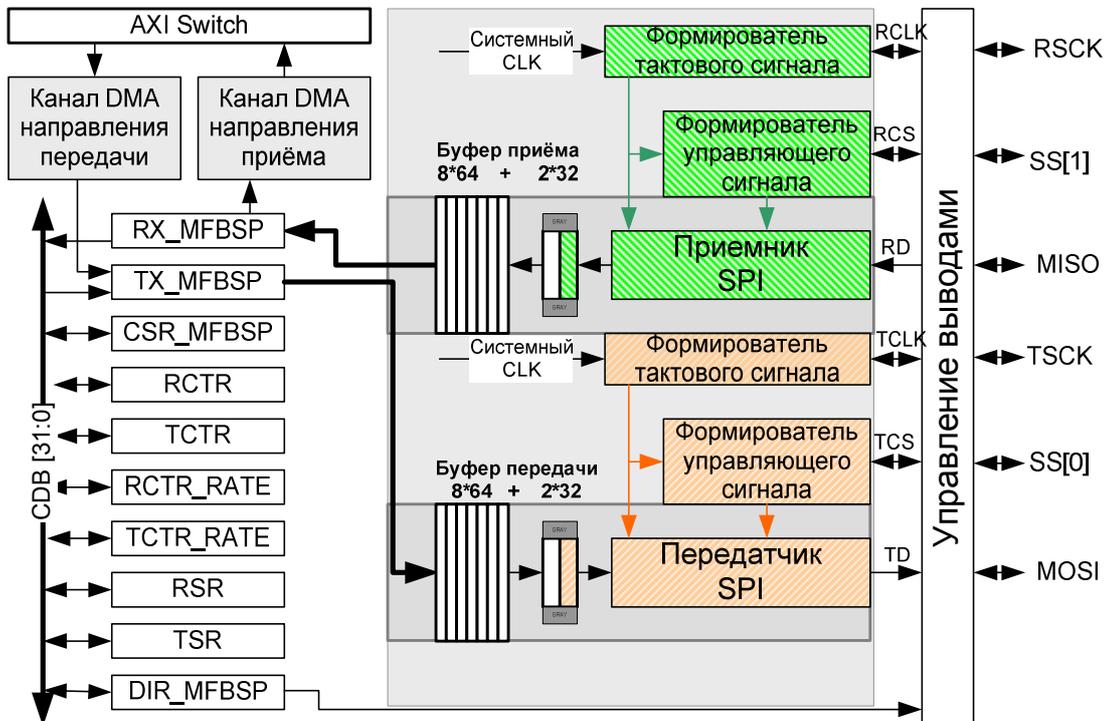


Рисунок 0.20. Структурная схема MFBSP для режима SPI

11.4.15 Варианты соединения порта с внешними устройствами

Программно управляя направлением выводов последовательного порта (см. описание регистра DIR_MFBSP) можно организовать множество вариантов соединения схемы с внешними устройствами через MFBSP (Рисунок 0.21, Рисунок 0.22, Рисунок 0.23).

MFBSP позволяет подключить два ведомых SPI устройства. Выбор ведомого устройства с которым будет производиться обмен осуществляется битами SS , регистра $TCTR$. Если настройки двух устройств совпадают (для обоих ведомых значения $TNEG$, $TDEL$, $TWORDLEN$ одинаковы) тогда перед для смены ведомого устройства достаточно изменить значение бит SS . Если настройки двух ведомых различаются, то для смены ведомого необходимо сначала выключить MFBSP ($spi_i2s_en=0$, $len=0$), и только после этого записать новые настройки в регистры $TCTR$ и $RCTR$.

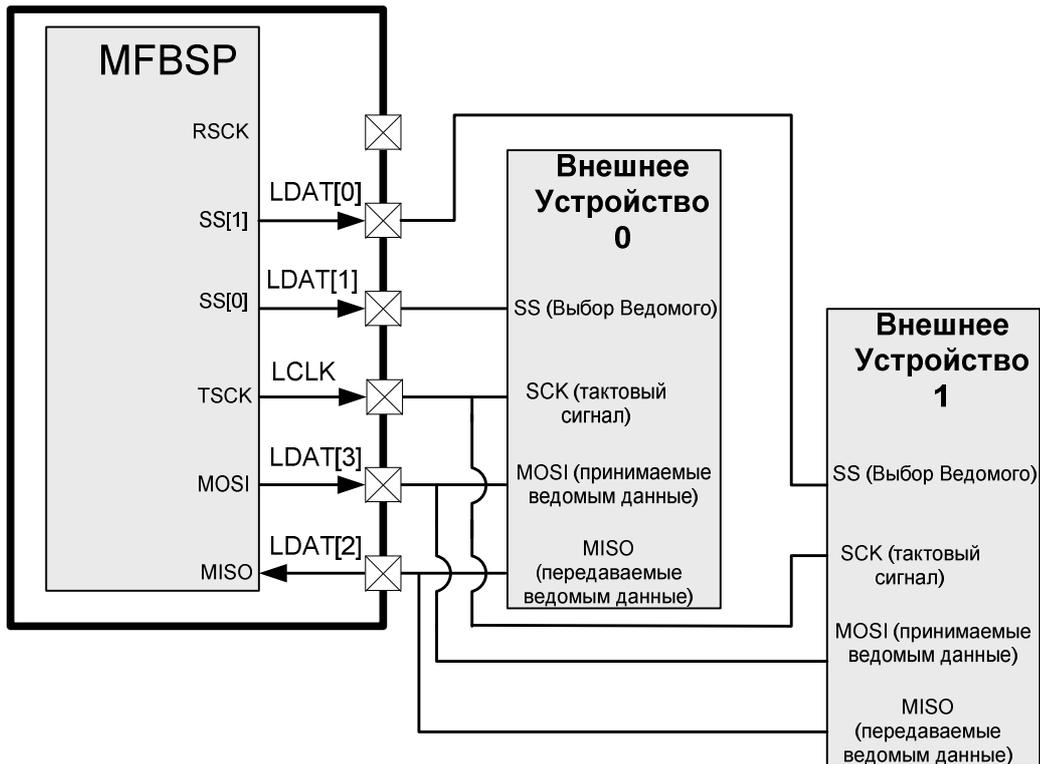


Рисунок 0.21. Подключение к MFBSP двух ведомых устройств по интерфейсу SPI. Приёмник в зависимости от передатчика режиме (режим №6 по Таблица 0.1)

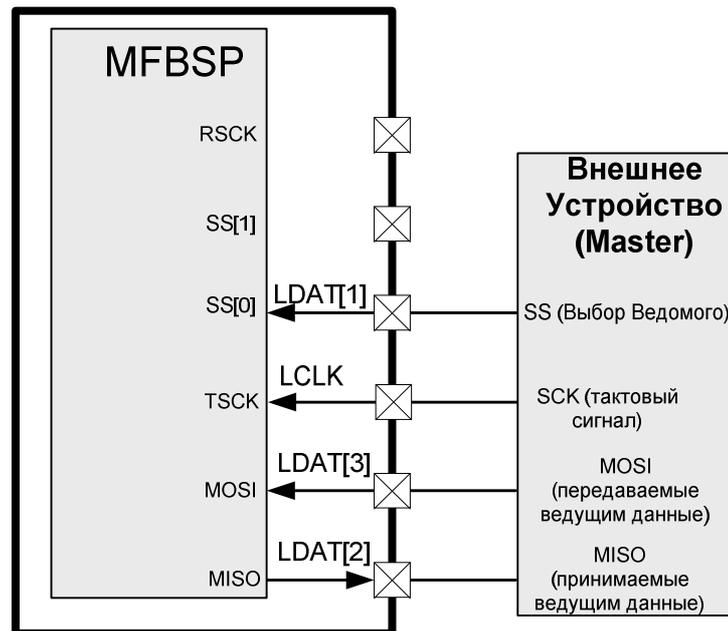


Рисунок 0.22. Подключение MFBSP по интерфейсу SPI к внешнему ведущему устройству. Приёмник в зависимости от передатчика режиме (режим №6 по Таблица 0.1)

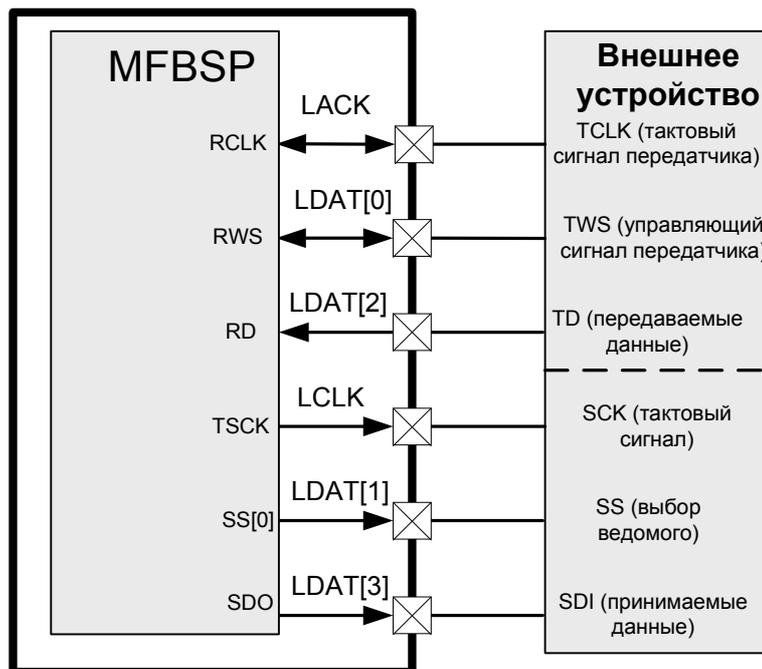


Рисунок 0.23. Организация передачи управляющих данных по интерфейсу SPI и приёма аудиоданных по интерфейсу I2S ((режим №5 по Таблица 0.1))

11.4.16 Передача данных в режиме SPI

В режиме SPI возможна передача данных при четырёх сочетаниях бит TDEL и TNEG (Рисунок 0.24. , Рисунок 0.25.). При этом TNEG – задает начальное состояние вывода TCLK и полярность фронта, по которому производится чтение. TDEL задает смещение передаваемых данных на пол фазы. Значения RNEG и RDEL приёмника должны соответствовать TNEG и TDEL передатчика. После аппаратного сброса SS_DO=0, в этом случае управление сигналом выбора ведомого производится в автоматическом режиме.

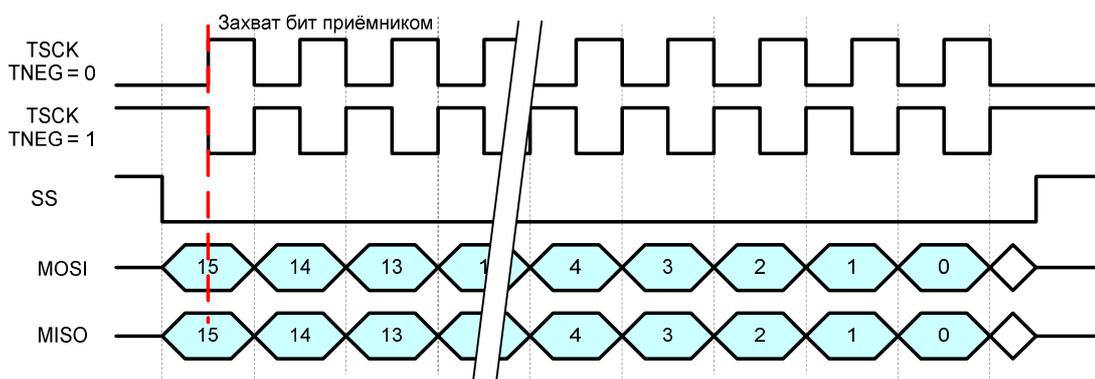


Рисунок 0.24. Передача одного слова в режиме SPI с автоматической генерацией управляющего сигнала TMODE = 1, TMBF = 1, TDEL = 0, SS_DO = 0. Диаграммы тактового сигнала TSCk представлены для различных значений TNEG

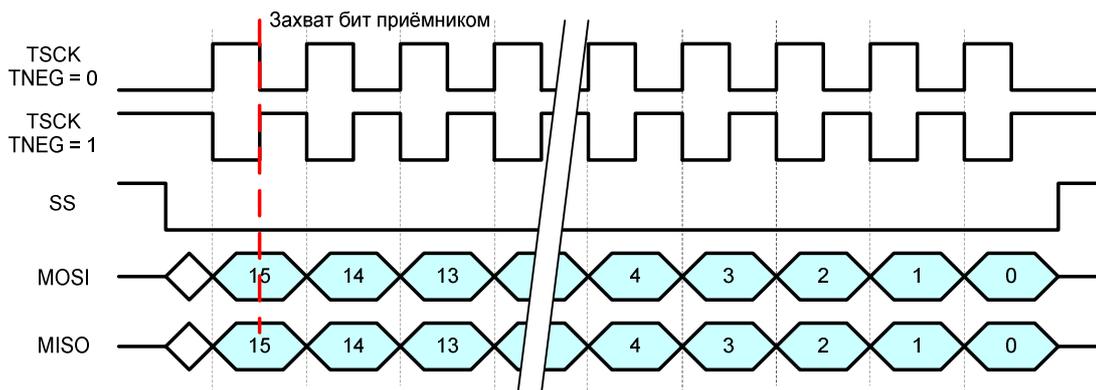


Рисунок 0.25. Передача одного слова в режиме SPI с автоматической генерацией управляющего сигнала $TMODE = 1$, $TMBF = 1$, $TDEL = 1$, $SS_DO = 0$. Диаграммы тактового сигнала TCK представлены для различных значений TNEG

Что бы передать несколько слов без изменения уровня на внешнем выводе SS можно использовать программное управление внешним выводом SS, в этом случае SS_DO необходимо установить в 1, программно установить вывод SS в 0, записать передаваемые данные в буфер передачи (или включить канал DMA на передачу), дождаться фактического окончания передачи (бит TRUN регистра TSR сбрасывается в 0), после чего программно установить вывод SS в 1 (Рисунок 0.26).

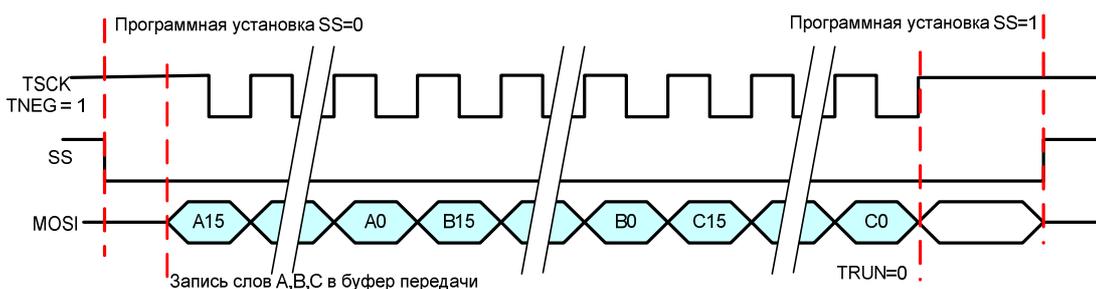


Рисунок 0.26. Передача трёх слов в режиме SPI с программным управлением сигналом SS, $TMODE = 1$, $TMBF = 1$, $TDEL = 0$, $TNEG = 0$, $SS_DO = 1$

В режиме SPI также имеется возможность программно регулировать количество слов, которое будет передано без изменения уровня сигнала SS (Рисунок 0.27). Количество слов может быть задано в пределах от 1 до 64 и определяются битом $TWORDCNT$. Буфер передачи может вместить максимум 18 32-х разрядных слов, если в пределах фрейма передаётся больше 18 слов необходимо следить за тем, что бы буфер передачи был не пуст (при включенном канале DMA это происходит автоматически).

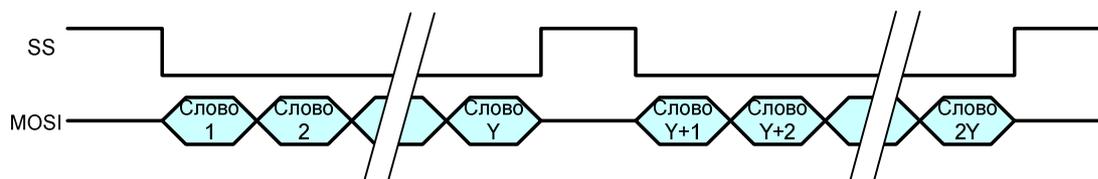


Рисунок 0.27. Передача в режиме SPI, $TWORDCNT=Y-1$

В режиме ведомого устройства сигнал выбора ведомого предварительно пересинхронизируется на внутреннюю частоту порта, поэтому для устойчивой работы порта в режиме ведомого SPI устройства уровень сигнала SS, если необходима его установка в 1 между передачами, должен удерживаться как минимум два периода внутренней частоты CLK.

Непосредственно к тактовому сигналу TSCK данное ограничение не применяется, т.е. частота TSCK может быть больше CLK.

Когда MFBSP работает в режиме ведущего SPI устройства, время удержания сигнала SS при автоматическом формировании данного сигнала может регулироваться программно. В этом случае время между последним фронтом тактового сигнала для последней пересылки и установкой сигнала SS в 1 равно времени между установкой и сбросом сигнала SS и равно времени между сбросом сигнала SS первым фронтом тактового сигнала для новой пересылки. Это время определяется как $TSS = (TSS_RATE + 1) * TTCLK / 2$, где $TTCLK$ – период тактового сигнала, генерируемого портом для последовательной передачи данных. Если необходимо формировать сигнал SS средствами приёмника – то для этих целей используется поле RSS_RATE (Рисунок 0.28).

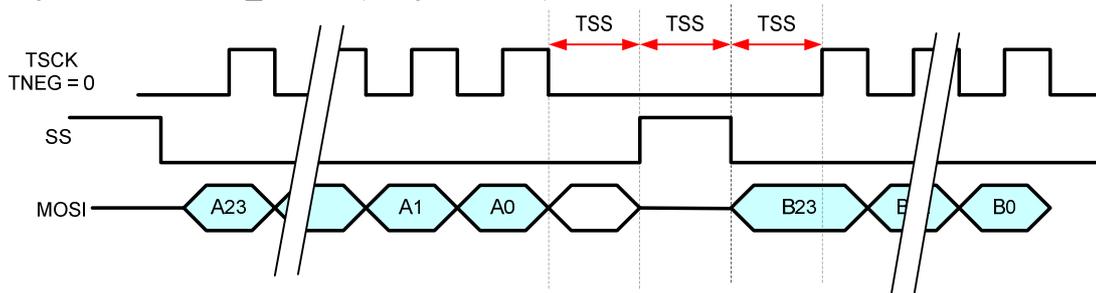


Рисунок 0.28. Управление временем удержания сигнала SS в высоком уровне между передачами, на картинке $TNEG = 0$, $TDEL = 0$, $TMBF = 1$, $TWORDLEN = 23$, $TSS_RATE = 1$

11.4.17 Пример чтения 8 разрядного слова по заданному адресу из ведомого устройства с интерфейсом C-BUS

Для чтения слова по указанному адресу по интерфейсу C-BUS необходима передача двух 8ми битных слов.

Для организации такого чтения необходимо записать соответствующий ведомому устройству бит SS, регистра TCTR, 1;

Перевести порт в режим SPI ($LEN = 0$, $SPI_I2S_EN = 1$, $RMODE = 1$, $TMODE = 1$);

Настроить приемник и передатчик: $TDEL = RDEL = 0$; $TNEG = RNEG = 0$; $TWORDLEN = RWORDLEN = 5'h0F$; $RCLK_CP = 1$; $RCS_CP = 1$, $SS_DO = 0$;

Включить приемник и передатчик $REN = 1$, $TEN = 1$;

Записать в регистр TX_MFBSP 32-х разрядное слово, содержащее во втором байте 7ми разрядный адрес и бит \bar{WR} , значение младшего байта не важно.

Ожидаем до тех пор, пока в буфер приёма не будет записано принятое слово ($RSR[0]$ сбрасывается в 0)

В прочитанном по адресу RX_MFBSP 32-х разрядном слове, младшие 8 бит – слово, прочитанное из ведомого устройства.

На Рисунок 0.29 представлены временные диаграммы для передачи по интерфейсу CBUS.

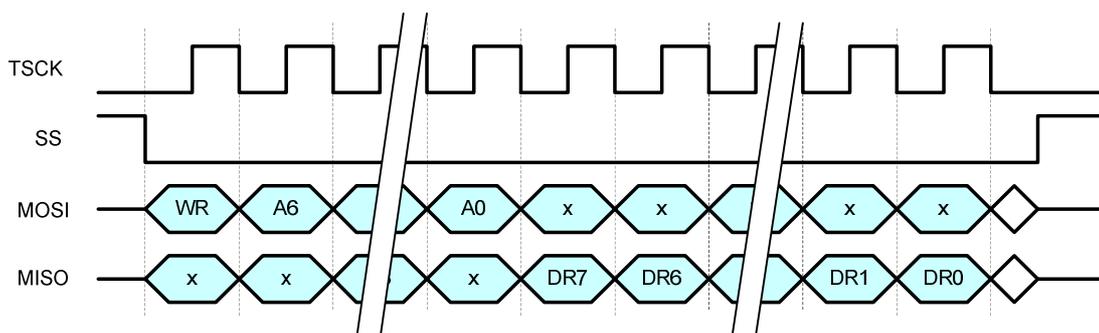


Рисунок 0.29. Пример чтения 8-ми разрядного слова из ведомого устройства (интерфейс C-BUS)

11.4.18 Формирование тактовых сигналов приёмника (RSCK) и передатчика (TSCK)

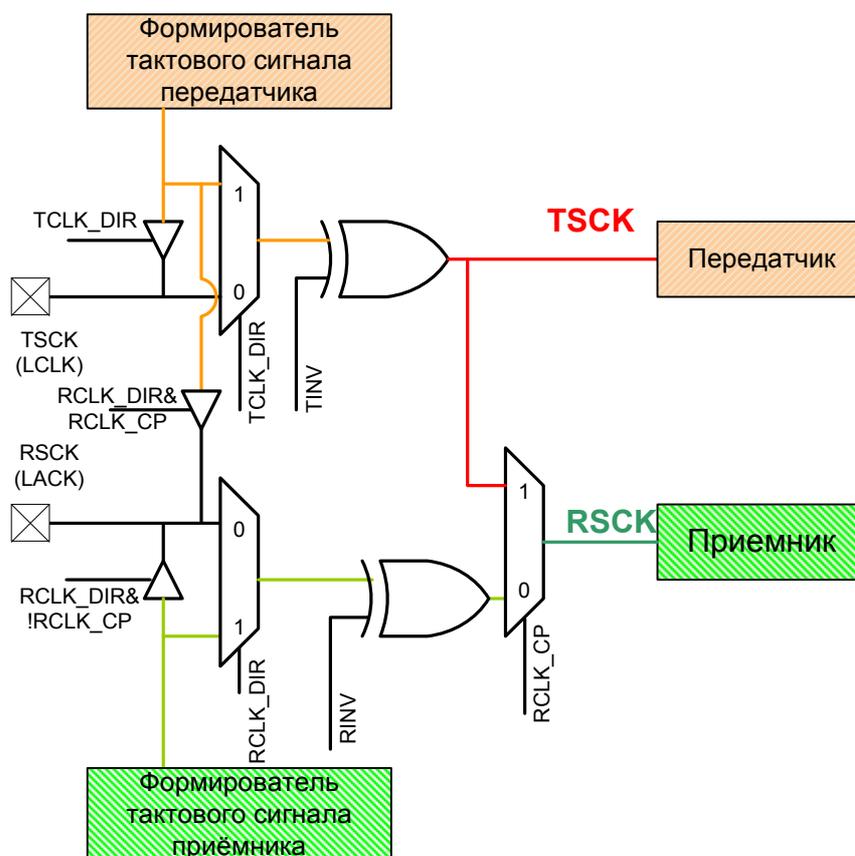


Рисунок 0.30. Схема формирования тактовых сигналов приёмника и передатчика в режиме SPI

На Рисунок 0.30 представлена схема формирования тактовых сигналов приёмника и передатчика в режиме SPI.

В зависимости от значения бита TCLK_DIR, тактовый сигнал передатчика TSCK может как формироваться самим передатчиком, так приниматься с внешнего вывода. В зависимости от значений бит TMODE, TNEG и TDEL тактовый сигнал либо передается передатчику без изменений, либо инвертируется.

В зависимости от значения бита RCLK_DIR, тактовый сигнал приёмника RSCK может как формироваться самим приёмником, так приниматься с внешнего вывода. В зависимости от значений бит RMODE, RNEG и RDEL тактовый сигнал либо передается приёмнику без изменений, либо инвертируется.

Если бит $RCLK_CP$ установлен в 1, то тактовый сигнал приёмника копирует тактовый сигнал передатчика. Для корректной работы устройства в этом случае настройки полярности тактового сигнала приёмника и передатчика должны совпадать ($TNEG=RNEG$, $TDEL=RDEL$).

При $RCLK_CP = 1$ тактовый сигнал передатчика передаётся на внешний вывод приёмника, только если передатчик сам формирует тактовый сигнал и вывод тактового сигнала приёмника сконфигурирован как выход ($TCLK_DIR=1$, $RCLK_DIR=1$).

11.4.19 Формирование управляющих сигналов приёмника и передатчика в режиме SPI

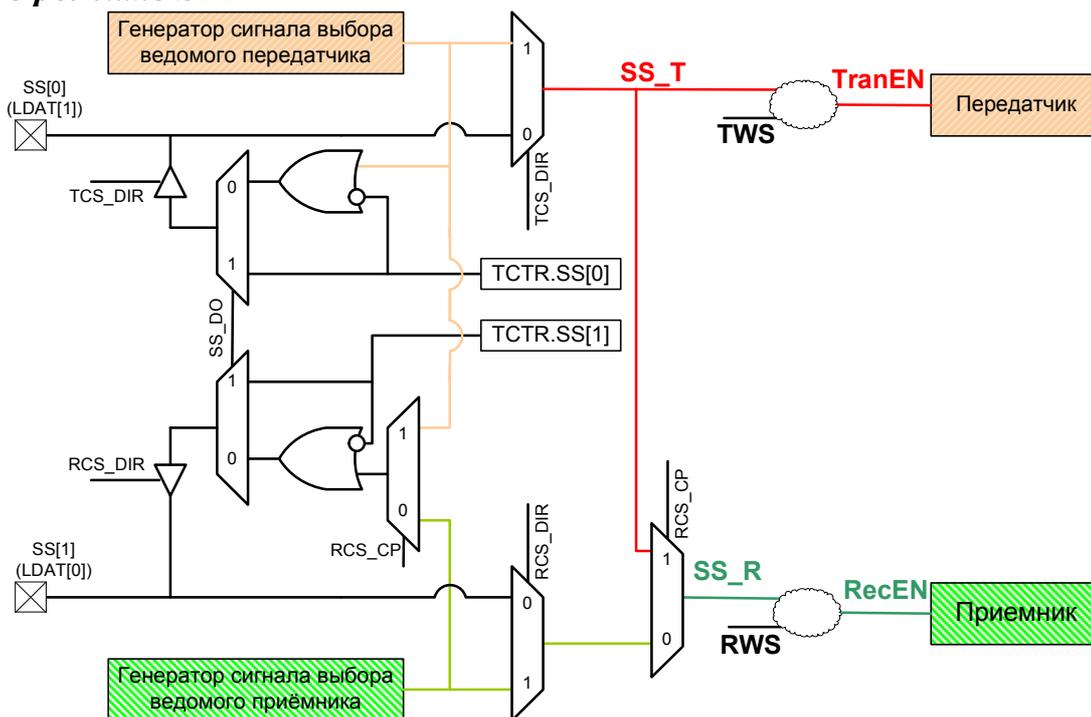


Рисунок 0.31. Схема формирования управляющих сигналов в режиме SPI

На Рисунок 0.31 представлена схема формирования управляющих сигналов в режиме SPI.

SS – шина выбора ведомого устройства. Низкий уровень сигнала SS, поданный на ведомое устройство означает, что данное устройство выбрано и с приходом тактового сигнала SCK должно начать обмен данными с ведущим устройством.

MFBSР с зависимым от передатчика приёмником в режиме ведущего позволяет параллельно подключать до двух ведомых устройств по шине SPI и формировать сигналы выбора ведомого устройства как в автоматическом режиме, так и программно.

MFBSР с зависимым от передатчика приёмником может работать как ведомое SPI устройство, управляемое внешним сигналом $SS[0]$ и внешней тактовой частотой $TSCK$, обеспечивая обмен данными в дуплексном режиме.

MFBSР позволяет организовать независимый приём и передачу данных по интерфейсу SPI. В этом случае $SS[0]$ – управляющий сигнал передатчика, $SS[1]$ – управляющий сигнал приёмника.

При $TCS_DIR = 1$ передатчик SPI формирует сигнал выбора ведомого, $SS[0]$ - выход. В автоматическом ($SS_DO=0$) режиме формирования управляющего сигнала перед началом передачи очередного слова сигнал выбора ведомого переводится в низкий уровень, а по

окончании передачи слова сигнал выбора ведомого снова переводится в высокий уровень. Изменение уровня на выводе SS[0] происходит только в случае, если соответствующий бит SS[0] регистра TCTR установлен в 1. Если приёмник в зависимом от передатчика режиме ($RCS_CP = 1$) и SS[1] сконфигурирован как выход ($RCS_DIR=1$), то вывод SS[1] используется как сигнал выбора дополнительного ведомого устройства. Изменение уровня на выводе SS[1] происходит только, в случае, если соответствующий бит SS[1] регистра TCTR установлен в 1. В случае программного управления шиной SS ($SS_DO = 1$) значения бит SS[1:0] контрольного регистра TCTR передаются непосредственно на выводы SS[1:0].

Если приёмник в зависимом от передатчика режиме ($RCS_CP=1$) и вывод SS[0] сконфигурирован как вход ($TCS_DIR = 0$), тогда MFBSB работает в режиме дуплексного ведомого SPI устройства. Сигнал выбора ведомого принимается с внешнего вывода SS[0] и используется как приёмником, так и передатчиком.

Если приёмник работает в независимом от передатчика режиме ($RCS_CP=0$), то в режиме ведущего, когда вывод SS[1] сконфигурирован как выход ($RCS_DIR=1$) формируемый приёмником сигнал выбора ведомого направляется на вывод SS[1]. При автоматическом формировании управляющего сигнала ($SS_DO = 0$) перед началом приёма очередного слова сигнал SS[1] автоматически переводится в низкий уровень и переводится в высокий уровень по окончании приёма каждого слова. В режиме ведущего устройства приём слов приёмником ведётся до заполнения буфера приёма. В режиме ведомого устройства, когда вывод SS[1] сконфигурирован как вход ($RCS_DIR=0$) независимый приёмник ($RCS_CP=0$) принимает сигнал выбора ведомого с вывода SS[1].

В режиме SPI направление выводов тактового сигнала и управляющего сигнала должно строго совпадать. Т.е. $TCLK_DIR=TCS_DIR$. В случае если приёмник работает независимо от передатчика, то $RCLK_DIR=RCS_DIR$.

11.4.20 Тракт передачи данных

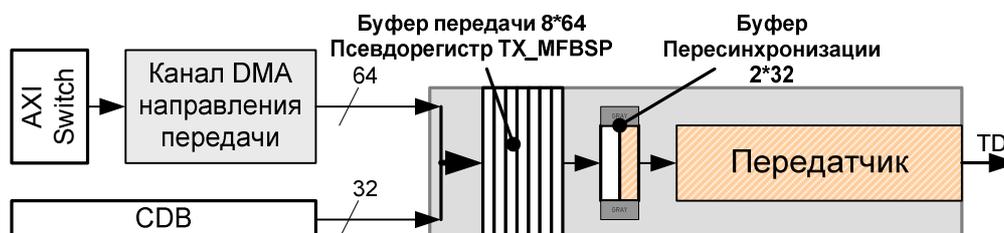


Рисунок 0.32. Тракт передачи данных в режиме SPI

На Рисунок 0.32 представлен тракт передачи данных в режиме SPI.

Что бы инициировать передачу данных по последовательному порту необходимо включить последовательный порт ($SPI_I2S_EN=1$) и передатчик ($TEN=1$), после чего либо начать производить запись передаваемых 32-х разрядных слов в буфер передачи по адресу псевдорегистра TX_MFBSP, либо включить канал DMA в направления передачи для соответствующего порта (в этом случае обмен данными с портом будет вестись 64-х разрядными словами).

Данные записанные в буфер передачи автоматически перемещаются в буфер пересинхронизации направления передачи, если он не полон. Запись в буфер пересинхронизации направления передачи осуществляется на системной частоте CLK, чтение из буфера пересинхронизации осуществляется на частоте передатчика TCLK. Как только в буфере пересинхронизации оказалось хотя бы одно слово передатчиком инициируется передача. Передатчиком производится последовательная выдача бит очередного 32-х разрядного слова

до тех пор, пока число переданных бит не достигнет $TWORDLEN+1$, после чего производится считывание очередного слова из буфера пересинхронизации. По мере передачи слов в освобождающийся буфер пересинхронизации перемещается слово из буфера передачи. После выборки последнего слова из буфера передачи (буфер передачи пуст) в буфере пересинхронизации остаётся еще два слова. Фактическое окончание передачи можно идентифицировать по состоянию буфера пересинхронизации, либо считав бит TRUN регистра TSR.

Если управляющий сигнал формируется передатчиком, то при считывании последнего слова из буфера пересинхронизации передача останавливается. Передача продолжится только после того как в буфер пересинхронизации снова начнут поступать данные.

Если передатчик использует внешнюю частоту и внешний управляющий сигнал, в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота передатчика, однако ее должно быть достаточно для того, что бы успеть переместить очередное слово в буфер пересинхронизации (за время передачи одного слова должно быть хотя бы три импульса системной частоты CLK). Если внешний управляющий сигнал инициировал передачу слова при пустом буфере пересинхронизации устанавливается флаг ошибки передачи (TERR), в этом случае передаётся ошибочное слово. Если управляющий сигнал формируется самим передатчиком, системная частота может быть много меньше частоты передатчика, однако это скажется на скорости передачи данных.

Установка бита TERR в процессе передачи говорит о том, что порт произвел попытку чтения из пустого буфера передачи. Это значит, что передатчиком было передано некорректное слово.

В направлении передачи порт обладает буферизацией на 18 32-х разрядных слов. В случае передачи данных посредством DMA запись блоков данных в буфер передачи происходит до тех пор, пока буфер готов принять очередной блок, размер которого определяется битами WN, регистра CSR соответствующего канала DMA.

Степень заполнения буфера можно программно регулировать, используя биты TBES. В этом случае значение выражения $TBES+1$ – задает эффективный размер буфера передачи. Передача очередной пачки происходит только в случае, если при записи этой пачки в буфер передачи число 64 разрядных слов в буфере передачи не превысит $TBES+1$. При попытке передать пачку со значением $WN > TBES$, значение WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

Так, при $WN=0$ и $TBES=0$ очередное 64-х разрядное слово будет подкачиваться в буфер передачи только если он пуст. В этом случае по окончании работы DMA в момент прерывания от соответствующего канала передатчику останется передать ещё 4 32-х разрядных слова (два 32-х разрядных слова в буфере пересинхронизации и одно 64-х разрядное слово в буфере передачи).

Установка бита SPI_I2S_EN в 0 приведет к программному сбросу передатчика, и все данные находящиеся в буфере передачи будут утеряны.

11.4.21 Тракт приёма данных

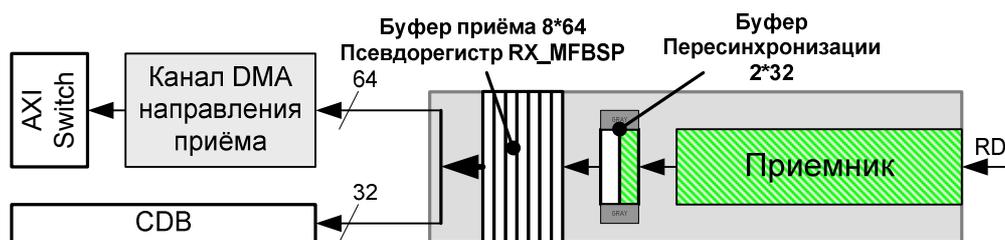


Рисунок 0.33. Тракт приёма данных в режиме SPI

На Рисунок 0.33 представлен тракт приёма данных в режиме SPI.

Что бы перевести приёмник в режим готовности необходимо включить последовательный порт ($SPI_I2S_EN=1$) и приёмник ($REN=1$), после чего либо начать ожидание появления прочитанных данных в буфере приёма, либо включить канал DMA в направления приёма для соответствующего порта.

Приёмник принимает последовательные биты, поступающие с внешнего вывода до тех пор, пока число принятых бит не достигнет значения $RWORDLEN+1$. После этого принятое 32-х разрядное слово (если $RWORDLEN < 31$ незадействованные биты обнуляются) перемещается в буфер пересинхронизации. Запись в буфер пересинхронизации направления приёма осуществляется на частоте приёмника $RCLK$, чтение из буфера пересинхронизации осуществляется на системной частоте CLK . Из буфера пересинхронизации принятое слово автоматически перемещается в буфер приёма, если он не полон. Если в буфере приёма есть хотя бы одно 32-х разрядное слово, то принятые 32-х разрядные слова можно считывать, обращаясь по адресу псевдорегистра RX_MFBSP . Принимать данные можно также включив соответствующий порту канал DMA направления приёма (в этом случае обмен данными с портом осуществляется 64-х разрядными словами).

Если приёмник использует внешнюю частоту, то в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота приёмника, однако ее должно быть достаточно для того, что бы успеть переместить очередное слово из буфера пересинхронизации (за время приёма одного слова должно быть хотя бы три импульса системной частоты CLK). Если при заполненном буфере пересинхронизации приёмником был произведен приём очередного слова и инициирована попытка записи в буфер пересинхронизации устанавливается флаг ошибки приёма ($RERR$), а последнее принятое слово теряется.

Установка бита $RERR$ в процессе передачи говорит о том, что порт произвел попытку записи в полный буфер приёма. Это значит, что принятое слово было потеряно.

В направлении приёма порт обладает буферизацией на 18 32-х разрядных слов. В случае приёма данных посредством DMA чтение блоков данных из буфера приёма происходит до тех пор, пока в буфере приёма достаточно слов для чтения очередного блока, размер которого определяется битами WN , регистра CSR соответствующего канала DMA. DMA обмены возможны только 64 разрядными словами, таким образом, если было принято нечетное количество 32-х разрядных слов, после окончания работы DMA необходимо прочитать оставшееся слово, обратившись к псевдорегистру RX_MFBSP .

Установка бита SPI_I2S_EN в 0 приведет к программному сбросу приёмника и все данные находящиеся в буфере приёма будут утеряны.

11.4.22 Прерывания от последовательного порта

Прерывание MFBSP_RXBUF устанавливается, в случае если включен приемник (I2S_SPI_EN=1, REN = 1) и в буфер приёма записано количество слов большее, чем установлено уровнем прерывания RLEV, либо произошла ошибка приема (RERR = 1).

Прерывание MFBSP_TXBUF устанавливается, в случае если включен передатчик (I2S_SPI_EN=1, REN = 1) и в буфере передачи осталось количество слов меньшее, либо равное чем установлено уровнем прерывания TLEV, либо произошла ошибка передачи (TERR = 1).

11.5 Работа MFBSP в режиме линкового порта (LPORT)

11.5.1 Назначение линкового порта

Линковый порт предназначен для обмена данными между различными микросхемами последовательно-параллельным кодом.

Порт может передавать 32-х разрядные слова частями по 4 бита за 8 пересылок, либо частями по 8 бит за 4 пересылки, выбор одного из этих режимов осуществляется установкой бита LDW, регистра CSR_MFBSP.

11.5.2 Регистр управления и состояния CSR_MFBSP (режим LPORT)

Таблица 0.29. Назначение разрядов регистра CSR_MFBSP в режиме LPORT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:17	-	Резерв	RW	0
16	-	Резерв	RW	0
15	-	Резерв	RW	0
14:11	LCLK_RATE [4:1]	Делитель частоты LPORT: $LCLK = CLK / (2 * (LCLK_RATE + 1))$	RW	0
10	-	Резерв	RW	0
9	SPI_I2S_EN	В режиме LPORT должен быть установлен в 0	RW	0
8	SRQ_RX	Признак запроса обслуживания на прием данных	R	0
7	SRQ_TX	Признак запроса обслуживания на передачу данных	R	0
6	LDW	Разрядность внешней шины данных: 0 - 4-разряда (32-разрядное слово передается за 8 посылок); 1 - 8-разряда (32-разрядное слово передается за 4 посылки).	RW	0
5	LRERR	Ошибка приема данных: 0 – приняты все биты данных; 1 – приняты не все биты данных.	R	0
4:3	LSTAT	Состояние буфера: При LTRAN = 0 показывает состояние буфера приёма При LTRAN = 1 показывает состояние буфера передачи 00 – буфер пуст; 10 – буфер не пуст; 11 – буфер полон.	R	0
2	LCLK_RATE[0]	Делитель частоты LPORT:	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
		$LCLK = CLK / (2 * (LCLK_RATE + 1))$		
1	LTRAN	Режим работы порта: 0 – приемник; 1 – передатчик.	RW	0
0	LEN	Разрешение работы порта: 0 – все выходы порта находятся в высокоимпедансном состоянии; 1 – порт работает в соответствии с состоянием бита LTRAN.	RW	0

Биты LSTAT, LRERR сбрасываются при LEN=0.

11.5.3 Регистр состояния приёмника RSR (режим LPORT)

Таблица 0.30. Назначение разрядов регистра RSR в режиме LPORT

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	RB_DIFF	Количество принятых 64-разрядных слов в буфере приёма (max 8).	R	0
23:19	-	Резерв	-	0
18:16	RLEV	Порог прерывания от буфера приёма: Прерывание формируется если число принятых 64-х разрядных слов больше RLEV	RW	7
15:11	-	Резерв	-	0
10	RXBUF	Результирующее прерывание MFBSP_RXBUF	R	0
9	RXBUF_D	Прерывание MFBSP_RXBUF без механизма автоматического сброса при чтении RSR	R	0
8	RXBUF_R	Прерывание MFBSP_RXBUF с механизмом автоматического сброса при чтении RSR	R	0
7	-	В режиме LPORT не используется	R	0
6	-	В режиме LPORT не используется	R	0
5	RSBF	Буфер пересинхронизации в направлении приёма полон: 0 – буфер пересинхронизации в направлении приёма не полон 1 – буфер пересинхронизации в направлении приёма полон	R	0
4	RSBE	Буфер пересинхронизации в направлении приёма пуст: 0 – буфер пересинхронизации в направлении приёма не пуст 1 – буфер пересинхронизации в направлении приёма пуст	R	1
3	RBHL	Достигнут порог прерывания в буфере приёма: 1 – число 64-х разрядных слов в буфере приёма больше чем задано в RLEV 0 – число 64-х разрядных слов в буфере приёма меньше либо равно RLEV	R	0
2	RBHF	Буфер приёма полон на половину или более: 1 – буфер приёма заполнен на половину или больше (из буфера приёма можно считать как минимум 4 слова) 0 – буфер приёма заполнен меньше чем на половину	R	0
1	RBF	Буфер приёма полон: 0 – буфер приёма не полон 1 – буфер приёма полон	R	0
0	RBE	Буфер приёма пуст: 0 – буфер приёма не пуст 1 – буфер приёма пуст	R	1

11.5.4 Регистр состояния передатчика TSR (режим LPORT)

Таблица 0.31. Назначение разрядов регистра TSR в режиме LPORT

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	TB_DIFF	Количество свободных 64-разрядных позиций в буфере передачи (в буфер передачи можно записать еще TB_DIFF 64-разрядных слов).	R	8
23	-	Резерв	-	0
22:20	TBES	Эффективный размер буфера передачи Актуален только для режима работы с DMA. Значение TBES+1 – определяет максимальный объем буфера передачи. Т.е. в режиме работы с DMA буфер передачи не может быть заполнен больше, чем на TBES+1 64 разрядных слов.	RW	7
19	-	Резерв	-	0
18:16	TLEV	Порог прерывания от буфера передачи: Прерывание формируется если число 64-х разрядных слов в буфере передачи меньше либо равно TLEV. В режиме передачи данных с использованием DMA определяет степень заполнения буфера передачи, при которой происходит запись в буфер очередной пачки данных	RW	0
15:11	-	Резерв	-	0
10	TXBUF	Результирующее прерывание MFBSP_TXBUF	R	0
9	TXBUF_D	Прерывание MFBSP_TXBUF без механизма автоматического сброса при чтении TSR	R	0
8	TXBUF_R	Прерывание MFBSP_TXBUF с механизмом автоматического сброса при чтении TSR	R	0
7	-	В режиме LPORT не используется	R	0
6	-	В режиме LPORT не используется	RW	0
5	-	В режиме LPORT не используется	R	0
4	-	В режиме LPORT не используется	R	0
3	TBLL	Достигнут порог прерывания в буфере передачи: 1 – число 64-х разрядных слов в буфере передачи меньше либо равно TLEV 0 – число 64-х разрядных слов в буфере передачи больше TLEV	R	1
2	TBNF	Буфер передачи заполнен на половину или более: 1 – буфер передачи заполнен на половину или больше 0 – буфер передачи заполнен меньше чем на половину (в буфер передачи можно записать еще как минимум 4 слова)	R	0
1	TBF	Буфер передачи полон: 0 – буфер передачи не полон 1 – буфер передачи полон	R	0
0	TBE	Буфер передачи пуст: 0 – буфер передачи не пуст 1 – буфер передачи пуст	R	1

11.5.5 Регистр аварийного управления портом EMERG_MFBSP (режим LPORT)

Таблица 0.32. Назначение разрядов регистра EMERG_MFBSP в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Резерв	-	0
5	RX_DBG	Программное управление признаком готовности приема данных из DMA в MFBSP: 0 – штатный режим работы. Признак готовности формируется MFBSP аппаратно; 1 – признак готовности установлен в 1. Используется для приведения DMA в исходное состояние, если: устройство подключенное к MFBSP передало в него меньший объем данных, по сравнению с тем, что указано в DMA; необходимо программно остановить прием данных в MFBSP	RW	0
4	TX_DBG	Программное управление признаком готовности передачи данных из MFBSP в DMA: 0 – штатный режим работы. Признак готовности формируется MFBSP аппаратно; 1 – признак готовности установлен в 1. Используется для приведения DMA в исходное состояние, если: устройство подключенное к MFBSP приняло из него меньший объем данных, по сравнению с тем, что указано в DMA; необходимо программно остановить передачу данных из MFBSP	RW	0
3	-	Резерв	-	0
2	RST_RXBUF	Сброс буфера приема последовательного порта и буфера пересинхронизации направления приема. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
1	RST_TXBUF	Сброс буфера передачи последовательного порта и буфера пересинхронизации направления передачи. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
0	RST_LPTBUF	Сброс буфера линкового порта и буфера пересинхронизации направления приёма. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0

11.5.6 Регистр маски прерываний от порта IMASK (режим LPORT)

Таблица 0.33. Назначение разрядов регистра IMASK в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:15	-	Резерв	-	0
14	RXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSR_RXBUF 0 – прерывание не сбрасывается при чтении RSR 1 – прерывание сбрасывается при чтении RSR	RW	1
13	RX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера приема 0 – прерывание MFBSR_RXBUF не будет устанавливаться при превышении порога RLEV 1 – прерывание MFBSR_RXBUF будет устанавливаться при превышении порога RLEV	RW	1
12	RX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSR_RXBUF не будет устанавливаться при переполнении буфера приема 1 – прерывание MFBSR_RXBUF будет устанавливаться при переполнении буфера приема	RW	1
11:7	-	Резерв	-	0
6	TXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSR_TXBUF 0 – прерывание не сбрасывается при чтении TSR 1 – прерывание сбрасывается при чтении TSR	RW	1
5	TX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера передачи 0 – прерывание MFBSR_TXBUF не будет устанавливаться, если число слов в буфере передачи меньше порога TLEV 1 – прерывание MFBSR_TXBUF будет устанавливаться, если число слов в буфере передачи меньше порога TLEV	RW	1
4	TX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSR_TXBUF не будет устанавливаться при чтении из пустого буфера передачи 1 – прерывание MFBSR_TXBUF будет устанавливаться при чтении из пустого буфера передачи	RW	1
3:1	-	Резерв	-	0
0	LPT_IRQ_EN	Разрешение прерывания по запросу на обслуживание 0 – SRQ запрещено 1 – SRQ разрешено	RW	1

11.5.7 Структурная схема MFBSP для режима линкового порта

На Рисунок 0.34. представлена структурная схема MFBSP для режима линкового порта.

Включение линкового порта происходит при установке бита LEN в 1 и бита SPI_I2S_EN в 0.

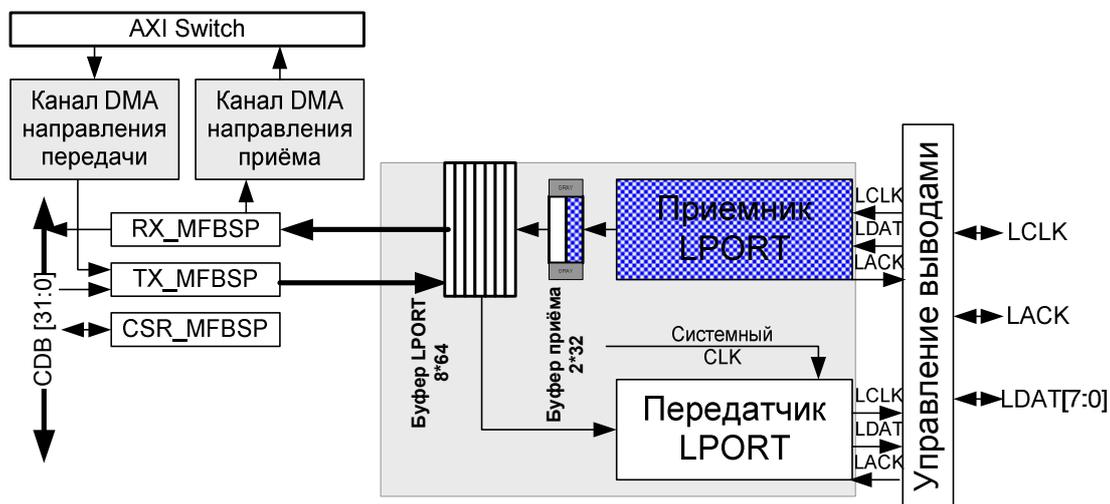


Рисунок 0.34. Структурная схема MFBSP для режима LPORT.

11.5.8 Соединение с внешними устройствами

На Рисунок 0.35 и Рисунок 0.36 представлены варианты соединения MFBSP с внешними устройствами в режиме линкового порта.

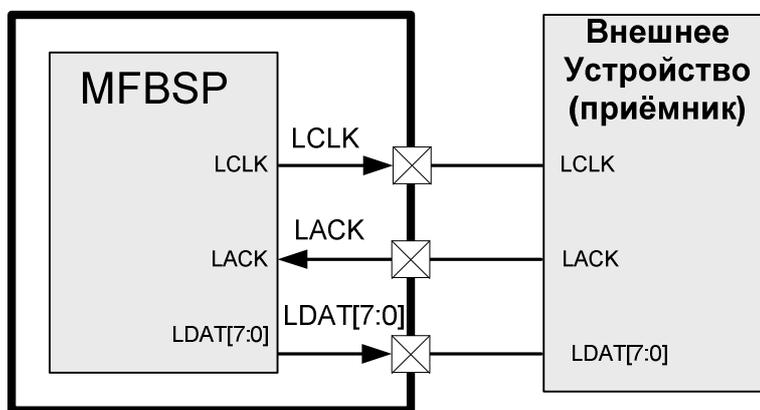


Рисунок 0.35. MFBSP в режиме передатчика LPORT (LCLK, LDAT-выходы, LACK - вход) (режим №2 по Таблица 0.1)

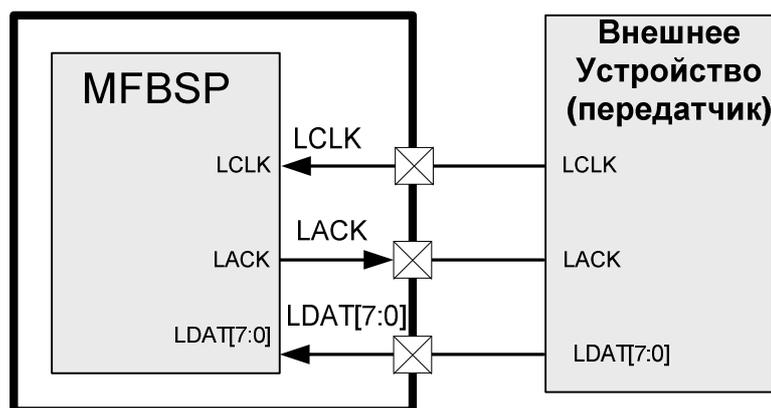


Рисунок 0.36. MFBSP в режиме приёмника LPORT (LCLK, LDAT-входы, LACK - выход) (режим №2 по Таблица 0.1)

11.5.9 Передача данных по линковому порту

По линковому порту передача данных происходит в одном направлении (либо передача данных, либо приём данных).

Для смены направления обмена данными по линковому порту необходимо сначала выключить порт (установить бит LEN, регистра CSR_MFBSP в 0), затем включить порт, установив требуемое значение направления передачи данных (бит LTRAN, регистра CSR_MFBSP)

Передача данных по линковому порту возможна для любых сочетаний частот приёмника и передатчика, скорость передачи данных будет определяться самым медленным устройством.

Для корректной передачи данных необходимо, чтобы значение бита LDW у приёмника и у передатчика совпадало.

Если для передатчика LDW=1, а для приёмника LDW=0 приёмник будет упаковывать два 32-х разрядных слова в одно 32-х разрядное слово, выкидывая из каждого байта старшие 4 бита.

Установка значений LDW для передатчика LDW=0, а для приёмника LDW=1 не допускается. Временная диаграмма работы линкового порта приведена на Рисунок 0.37. .

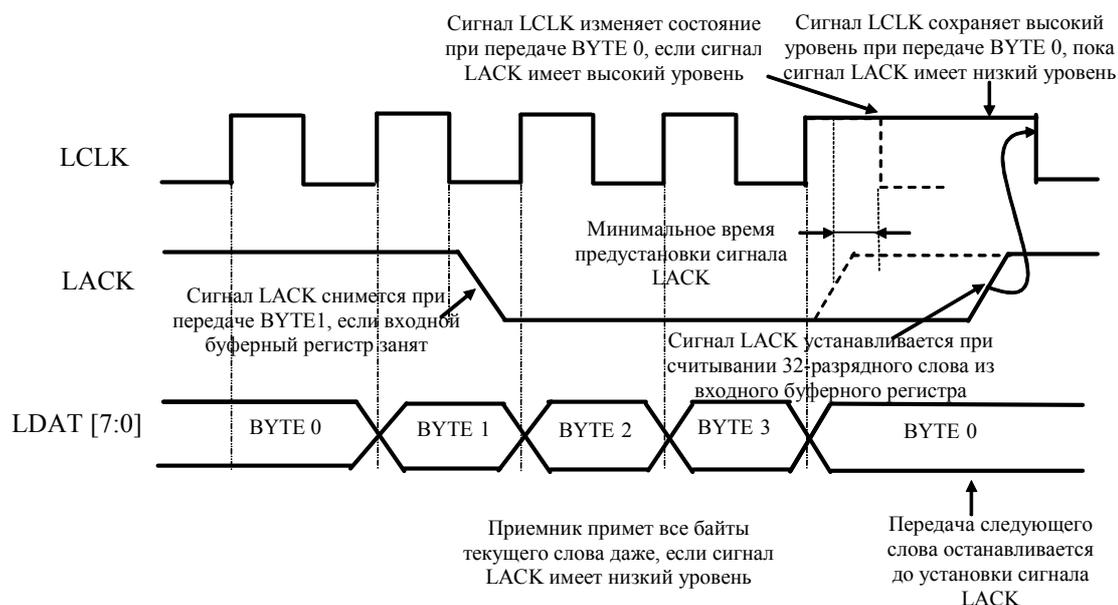


Рисунок 0.37. Временная диаграмма работы линкового порта (LDW=1)

При LDW=0 передача 32-разрядного слова выполняется за 8 посылок, а при LDW=1 - за 4 посылки. Передатчик изменяет данные LDAT по положительному фронту LCLK, а приемник защелкивает данные в буфере приёма по отрицательному фронту.

Исходное состояние сигнала LACK – высокий уровень. Сигнал LACK снимается приемником по заднему фронту LCLK при передаче BYTE1, если в буфере приёма осталось место для приёма всего одного слова. При этом приемник примет все байты текущего 32-разрядного слова даже, если сигнал LACK имеет низкий уровень. Сигнал LACK устанавливается при считывании 32-разрядного слова из входного буферного регистра.

Передатчик после выставления BYTE0 анализирует состояние сигнала LACK. Если LACK=1, то LCLK продолжает изменять свое состояние и после BYTE 0 передается BYTE 1 и так далее. Если LACK=0, то LCLK сохраняет высокий уровень при передаче BYTE 0, пока сигнал LACK имеет низкий уровень.

Если линковый порт деактивизирован (LEN=0) сигналы LDAT, LCLK LACK являются входами. Поэтому эти сигналы необходимо привязывать к земле через резисторы 10 кОм. Если порт настроен как передатчик, LDAT и LCLK становятся выходами, а LACK – входом. Если порт настроен как приемник, LDAT и LCLK становятся входами, а LACK – выходом.

LPORT может выполнять либо только приём либо только передачу данных. Поэтому LPORT снабжен одним буфером на 8 64-х разрядных слов, используемом как в направлении приёма, так и в направлении передачи. В направлении приёма дополнительно встроен буфер на 2 32-х разрядных слова, используемый для пересинхронизации с внешней частоты LCLK на внутреннюю системную частоту.

Таким образом, LPORT обладает буферизацией в направлении передачи на 8 64-разрядных слов (16 32-разрядных слов) и буферизацией в направлении приёма на 9 64-разрядных слов (18 32-разрядных слов).

В случае передачи данных посредством DMA запись блоков данных в буфер передачи происходит до тех пор, пока буфер готов принять очередной блок, размер которого определяется битами WN, регистра CSR соответствующего канала DMA.

Степень заполнения буфера можно программно регулировать, используя биты TBES. В этом случае значение выражения TBES+1 – задает эффективный размер буфера передачи. Передача очередной пачки происходит только в случае, если при записи этой пачки в буфер передачи число 64 разрядных слов в буфере передачи не превысит TBES+1. При попытке передать пачку со значением $WN > TBES$, значение WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

Так, при $WN=0$ и $TBES=0$ очередное 64-х разрядное слово будет подкачиваться в буфер передачи только если он пуст. В этом случае по окончании работы DMA в момент прерывания от соответствующего канала передатчику останется передать ещё 4 32-х разрядных слова (два 32-х разрядных слова в буфере пересинхронизации и одно 64-х разрядное слово в буфере передачи).

Принимаемые портом данные сначала помещаются в буфер пересинхронизации и только через два такта перемещаются в буфер LPORT. При опросе контрольных регистров порта доступно состояние только буфера LPORT без учёта буфера пересинхронизации. Таким образом, после заполнения основного буфера LPORT могут быть приняты ещё два 32-х

разрядных слова, которые будут перемещаться из буфера пересинхронизации в общий буфер LPORT по мере освобождения буфера LPORT.

Запись данных в буфер пересинхронизации LPORT осуществляется по внешней частоте LCLK, а перемещение данных из буфера пересинхронизации в буфер LPORT осуществляется по внутренней системной частоте CLK. Если внутренняя системная частота более чем в 4 раза меньше внешней частоты LCLK, скорости перемещения данных между двумя буферами может быть недостаточно, что будет приводить к периодическому заполнению буфера пересинхронизации. К потере данных это не приведет, поскольку в LPORT предусмотрен механизм останова передачи по заполнению буфера приёма, однако это приведёт к замедлению обмена данными по линковым портам.

11.5.10 Прерывания от линковых портов

Если линковый порт не активизирован ($LEN=0$, $SPI_I2S_EN=0$), он формирует прерывание по запросу обслуживания, если:

- на внешней шине выставлены данные на прием (активное состояние сигнала LCLK);

- из внешней шины поступил запрос на выдачу данных (активное состояние сигнала LACK).

Данное прерывание сбрасывается после установки $LEN=1$.

Если MFBSF используется в режиме линкового порта, то чтобы избежать ложной установки прерывания SRQ в случае, когда порт выключен и на выводах LACK или LCLK установлено высокоимпедансное состояние, необходимо к выводам LACK и LCLK подключить pull-down резисторы.

При $LPT_IRQ_EN=0$ данное прерывание маскируется

Если включен линковый порт ($LEN=1$) прерывания от MFBSF формируются в случае если в буфер приёма записано количество слов большее, чем установлено уровнем прерывания RLEV (MFBSF_RXBUF), либо если при включенном передатчике в буфере передачи осталось количество слов меньшее, либо равное чем установлено уровнем прерывания TLEV (MFBSF_TXBUF).

11.6 Работа MFBSF в режиме порта ввода-вывода общего назначения

Если многофункциональный порт выключен ($LEN=0$, $SPI_I2S_EN =0$), внешние линии LDAT[7:0], LCLK, LACK можно использовать как 10-разрядный двунаправленный порт ввода-вывода.

Если включен режим последовательного порта ($SPI_I2S_EN = 1$), незадействованные в организации последовательной передачи данных выводы LDAT[7:4] могут быть использованы в качестве вводов-выводов общего назначения. Единственным ограничением в данной ситуации является то, что для определения режима работы последовательного порта используются биты GPIO_DR[5:0], которые не должны меняться в процессе передачи данных по последовательному порту. Поэтому при управлении выводами общего назначения LDAT[7:4] (управляются битами DIR_MFBSF [9:6]) запись в регистр DIR_MFBSF необходимо проводить таким образом, что бы текущие значения бит DIR_MFBSF [5:0] не менялись.

При работе в режиме выводов общего назначения данные с внешних выводов порта защелкиваются по положительному фронту тактового сигнала. Поэтому следует учитывать, что чтение данных с внешних выводов порта будет происходить с задержкой в 1 такт.

11.6.1 Регистр данных порта ввода вывода GPIO_DR

10-разрядный регистр данных порта ввода-вывода (GPIO_DR) предназначен для реализации гибкого интерфейса с внешними устройствами. Внешние выводы порта ввода-вывода совмещены с внешними выводами линкового порта.

Соответствие разрядов регистра GPIO_DR и внешних линий линкового порта приведено в Таблица 0.34.

Таблица 0.34. Назначение разрядов регистра GPIO_DR

Номер разряда регистра GPIO_DR	Внешние выводы MFBSP	Значение после сброса
9:2	LDAT[7:0]	0
1	LCLK	0
0	LACK	0

11.6.2 Регистр управления направлением выводов DIR_MFBSP

Настройка направления выводов порта ввода-вывода осуществляется программно при помощи 10-разрядного регистра DIR_MFBSP. Если DIR_MFBSP установлен в 0, то соответствующий разряд порта ввода-вывода является входом, если же разряд DIR_MFBSP установлен в 1, то соответствующий разряд порта ввода-вывода является выходом.

Таблица 0.35. Назначение разрядов регистра GPIO_DR

Номер разряда Регистра DIR_MFBSP	Внешние выводы MFBSP	Значение после сброса
9:2	Направление выводов LDAT[7:0]	0
1	Направление вывода LCLK	0
0	Направление вывода LACK	0

11.7 Рекомендации по аварийному выключению передатчика

В режимах SPI и I2S при TDEL = 1 выключение порта путем записи 0 в TEN, без сброса бита SPI_I2S_EN может привести к сбою в буфере передачи, и после очередного включения передатчика (TEN=1) данные будут передаваться некорректно. Для того, чтобы этого не происходило необходимо:

- 1) Если передатчик был выключен при TDEL=1 перед его очередным включением необходимо сбросить записью 1 в бит RST_TXBUF
- 2) В режиме мастер выключать передатчик (если есть необходимость в дальнейшем использовать порт) вообще нет необходимости – отсутствие данных в буфере передачи автоматически останавливает дальнейшую передачу.

12. ПРИНЦИПЫ КОРРЕКЦИИ ОШИБОК

Для защиты памяти используется модифицированный код Хэмминга, то есть к контрольным разрядам по обычному коду Хэмминга добавляется общий разряд контроля четности.

Все защищаемые кодом Хэмминга модули памяти (ICACHE, ITAG, DCACHE, DTAG, SRAM и внешняя память) организуются в виде двух блоков: основной блок для хранения данных и блок для хранения контрольных разрядов. Для памяти, имеющих байтовую организацию (SRAM и внешняя память), контрольные разряды формируются операцией “чтение-модификация-запись”. Количество контрольных разрядов для 32-разрядных данных – 7 (см. Рисунок 12.1).

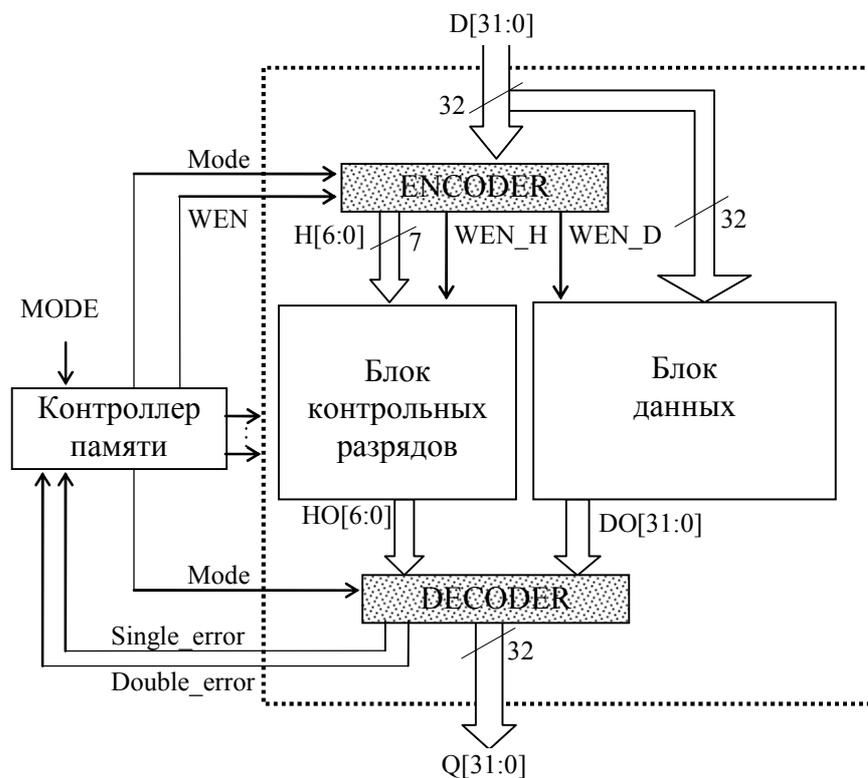


Рисунок 12.1. Структурная схема 32-разрядного модуля памяти с коррекцией ошибок

Данные, записываемые в память, поступают на блок ENCODER, который вычисляет контрольные разряды. При чтении из памяти данные поступают на блок DECODER, который анализирует контрольные разряды и определяет наличие одиночных и двойных ошибок в считанных данных либо одиночных ошибок в контрольных битах. Одиночные ошибки исправляются, двойные – фиксируются. Одновременно с достоверными данными (в случае отсутствия ошибок или коррекции одиночной ошибки) DECODER формирует сигналы Single_Error. При обнаружении двойной ошибки, данные, не корректируются, и формируется сигнал Double_Error.

Каждый модуль памяти имеет регистр управления и состояния CSR: CSR_ICACHE, CSR_DCACHE, CSR_CRAM0A, CSR_CRAM0B (для контроля кодом Хэмминга память CRAM разбита на 4 блока объемом по 32 Кбайт; память CRAM имеет 2 порта: А – со стороны CPU и В – со стороны DMA), CSR_CRAM1A, CSR_CRAM1B, CSR_CRAM2A, CSR_CRAM2B, CSR_CRAM3A, CSR_CRAM3B, CSR_EXT. Формат регистра CSR приведен в Таблица 12.1.

Таблица 12.1. Формат регистра CSR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
1:0	MODE	Режим работы памяти: 00 - режим без коррекции ошибок. Обмен данными выполняется только с блоком данных памяти; 01 - режим с коррекцией ошибок. В обмене данными участвуют блок данных и блок контрольных разрядов; 10 - режим тестирования блока контрольных разрядов; 11 - резерв.	W/R	0
2	NEMPTY	Признак наличия данных в FIFO ошибочных адресов	R	0
7:3	-	Резерв	-	0
15:8	Cnt_DERR	Счетчик двойных ошибок. При значении 255 останавливается. Прерывание сбрасывается при обнулении Cnt_DERR.	W/R	0
23:16	Num_SERR	Число одиночных ошибок данных, при котором формируется прерывание.	W/R	FF
31:24	Cnt_SERR	Счетчик одиночных ошибок. При значении 255 останавливается. Прерывание сбрасывается при Cnt_CERR ≤ Num_CERR.	W/R	0

Для CSR_CRAM0, CSR_CRAM1, CSR_CRAM2, CSR_CRAM3 поле MODE едино и может быть записано (и считано) по любому адресу CSR_CRAM[i]. Например, при записи поля MODE в регистр CSR_CRAM2, это же значение принимают все остальные поля MODE регистров CSR_CRAM0, CSR_CRAM1 и CSR_CRAM3.

Основные режимы работы (MODE) контроллера памяти приведены в Таблица 12.2. Используются следующие обозначения: DI[31:0] – входная шина данных модуля, DO[31:0] – выход блока данных, H[6:0] – вход блока контрольных разрядов при 32-разрядной организации памяти, Q[31:0] – выходная шина данных модуля памяти.

Таблица 12.2. Режимы работы контроллера памяти

MODE	Разрядность	Запись в блок данных	Запись в блок контрольных разрядов	Формирование выходной шины данных Q[31:0]
00	32	DI[31:0]	-	DO[31:0]
01	32	DI[31:0]	H[6:0]	DO[31:0] с коррекцией по H[6:0]
10	32	-	DI[6:0]	{25'h00000,HO[6:0]}

При отключенном режиме коррекции ошибок (MODE=0) запись осуществляется только в блок данных, содержимое блока контрольных разрядов остается неизменным. При чтении данные, считываемые из блока данных, поступают на выход напрямую в обход схемы коррекции ошибок. Сигналы ошибок не формируются.

Ошибки Single_Error накапливаются в счетчике Cnt_SERR. Ошибки Double_Error накапливаются в счетчике Cnt_DERR. Контроллер памяти формирует прерывание при Cnt_CERR > Num_CERR или при обнаружении двойной ошибки. Для маскирования прерываний от одиночных ошибок Num_CERR устанавливается в состояние "FF" (т.к. Cnt_CERR не может быть больше значения "FF") при этом ошибочные адреса при возникновении Single_Error в FIFO записываются.

Для целей тестирования предусматривается специальный режим (MODE=2), в котором запись данных с входной шины модуля памяти осуществляется в блок контрольных разрядов напрямую, минуя схему кодирования. Содержимое блока данных остается неизменным. При чтении из памяти на выходную шину поступают данные из блока контрольных разрядов. Старшие разряды дополняются нулями.

Каждый модуль памяти содержит блок FIFO ошибочных адресов AERROR (AERROR_ICACHE, AERROR_DCACHE, AERROR_CRAM0A, AERROR_CRAM0B, AERROR_CRAM1A, AERROR_CRAM1B, AERROR_CRAM2A, AERROR_CRAM2B, AERROR_CRAM3A, AERROR_CRAM3B, AERROR_EXT), объемом 16 слов. В нем запоминаются адреса ячеек, в которых были обнаружены одиночные или двойные ошибки. FIFO доступно только по чтению. Формат слов в FIFO приведен в Таблица 12.3 - Таблица 12.5.

Таблица 12.3. Формат слова FIFO ошибочных адресов AERROR_CRAM0, AERROR_CRAM1, AERROR_CRAM2, AERROR_CRAM3

Номер разряда	Условное обозначение	Назначение
1:0	Code_ERR	Код ошибки. 0 – нет ошибки 1 – одиночная ошибка 2 - двойная ошибка 3 – ошибка в контрольном разряде общей четности
14:2	ADDR[14:2]	Адрес слова памяти, в котором произошла ошибка.
31:15	-	0

Таблица 12.4. Формат слова FIFO ошибочных адресов ICACHE

Номер разряда	Условное обозначение	Назначение
1:0	Code_ERR_ICACHE	Код ошибки памяти ICACHE. 0 – нет ошибки 1 – одиночная ошибка 2 - двойная ошибка 3 – ошибка в контрольном разряде общей четности
3:2	Code_ERR_ITAG	Код ошибки памяти ITAG. 0 – нет ошибки 1 – одиночная ошибка 2 - двойная ошибка 3 – ошибка в контрольном разряде общей четности
15:4	PC[13:2]	Адрес слова, в котором произошла ошибка.
31:16	-	0

При возникновении двойной ошибки в ICACHE, ITAG происходит перезапись данной строки в ICACHE из внешней памяти (процедура Refill).

Таблица 12.5. Формат слова FIFO ошибочных адресов DCACHE

Номер разряда	Условное обозначение	Назначение
1:0	Code_ERR_DCACHE	Код ошибки памяти DCACHE. 0 – нет ошибки 1 – одиночная ошибка 2 - двойная ошибка 3 – ошибка в контрольном разряде общей четности
3:2	Code_ERR_DTAG	Код ошибки памяти DTAG. 0 – нет ошибки 1 – одиночная ошибка 2 - двойная ошибка 3 – ошибка в контрольном разряде общей четности

Номер разряда	Условное обозначение	Назначение
15:4	ADDR[13:2]	Адрес слова, в котором произошла ошибка.
31:16	-	0

При возникновении двойной ошибки в DCACHE, DTAG необходимо записать 1 в бит FLUSH_D регистра CSR.

Формат слов FIFO ошибочных адресов внешней памяти AERROR_EXT приведен в п. 7.2.15.

13. ПОРТ JTAG И ВСТРОЕННЫЕ СРЕДСТВА ОТЛАДКИ ПРОГРАММ

В данную микросхему встроен порт JTAG, реализованный в соответствии со стандартом IEEE 1149.1. Этот порт предназначен только для доступа к встроенным средствам отладки программ (OnCD) и не реализует Boundary Scan.

Модуль OnCD обеспечивает:

- * выполнение остановки программы CPU по контрольным точкам (Breakpoint);
- * выполнение заданного числа команд CPU (трассы) в реальном масштабе времени или пошаговое выполнение команд;
- * доступ к адресуемым регистрам и памяти микросхемы.

Для подключения микросхемы к персональному компьютеру через порт JTAG необходимо использовать эмулятор JTAG, предназначенный для работы с данным микропроцессором.

14. ЭЛЕКТРИЧЕСКИЕ И ВРЕМЕННЫЕ ПАРАМЕТРЫ

14.1 Электропитание

Номинальные значения напряжений электропитания микросхемы приведены в Таблица 15.8.

Допустимые отклонения напряжения электропитания микросхемы от номинального значения - не более $\pm 5\%$.

При включении на микросхему сначала необходимо подать напряжение электропитания ядра (CVDD) U_{CC2} , а затем напряжение электропитания периферии (PVDD) U_{CC1} . Задержка между подачей напряжений электропитания должна быть не более 10 мс. Входные сигналы подаются после подачи напряжений электропитания или одновременно с напряжением электропитания периферии U_{CC1} . Фронт нарастания напряжений электропитания должен быть не более 5 мс;

При выключении микросхемы необходимо сначала снять входные сигналы, затем напряжение электропитания периферии U_{CC1} , затем, с задержкой не более 10 мс, напряжение электропитания ядра U_{CC2} .

Для фильтрации напряжений электропитания микросхемы, необходимо подключить к каждому источнику (U_{CC1} и U_{CC2}) не менее десяти высокочастотных конденсаторов номиналом 0,1 мкФ типа СС 0603 Y5V 0,1 μ F Z 25V. Конденсаторы необходимо разместить по возможности равномерно по периметру корпуса микросхемы между выводами PVDD и GND, а так же CVDD и GND. При этом расстояние между контактами микросхемы и площадками подсоединения конденсаторов должно быть не более 3 мм.

14.2 Электрические параметры

Электрические параметры микросхемы при эксплуатации приведены в Таблица 14.1.

Таблица 14.1. Электрические параметры микросхемы

Наименование параметров, единица измерения, режим измерения	Буквенное обозначение	Норма		Температура °C
		не менее	не более	
1 Ток потребления периферии в статическом режиме, мА при: $U_{CCP}=3,47$ В, $U_{CCC}=1,9$ В, ХТ1=0	I_{CCP}	–	10	от -60 до +85
2 Ток потребления ядра в статическом режиме, мА при: $U_{CCP}=3,47$ В, $U_{CCC}=1,9$ В, ХТ1=0	I_{CCC}	–	30	от -60 до +85
3 Ток потребления ядра в динамическом режиме, мА при: $U_{CCP}=3,47$ В, $U_{CCC}=1,9$ В	I_{OCCC}	–	500	от -60 до +85
4 Ток утечки высокого и низкого уровня на входе, мкА при: $U_{CCP}=3,47$ В, $U_{CCC}=1,9$ В	I_{IL}	–	10	от -60 до +85
5 Выходное напряжение низкого уровня, В при: $I_{OL}=4$ мА, $U_{CCP}=3,47$ В	U_{OL}	–	0,4	от -60 до +85
6 Выходное напряжение высокого уровня, В при: $I_{OH}=-2,8$ мА, $U_{CCP}=3,13$ В	U_{OH}	2,4	–	от -60 до +85
7 Входная емкость, пФ	C_I	–	30	25 ± 10
8 Емкость входа/выхода, пФ	$C_{I/O}$	–	30	25 ± 10

Значения предельно-допустимых и предельных электрических режимов эксплуатации микросхемы приведены в Таблица 14.2.

Таблица 14.2. Значения предельно-допустимых и предельных электрических режимов эксплуатации

Наименование параметра, единица измерения	Буквенное обозначение	Норма			
		Предельно допустимый режим		Предельный Режим	
		не менее	не более	не менее	не более
1. Напряжение питания периферии, В	U_{CCP}	3,13	3,47	–	3,9
2. Напряжение питания ядра, В	U_{CCS}	1,7	1,9	–	2,3
3. Входное напряжение высокого уровня, В	U_{OH}	2,0	$U_{CCP}+0,2$	–	$U_{CCP}+0,3$
4. Входное напряжение низкого уровня, В	U_{OL}	0	0,8	-0,3	–
5. Емкость нагрузки каждого выхода, пФ	C_L	-	30	-	50

14.3 Динамическая потребляемая мощность

Динамическая потребляемая мощность микросхемы имеет две составляющие: потребление ядра (по цепи CVDD) и потребление выходных драйверов (по цепи PVDD).

Мощность, потребляемая ядром микросхемы по цепи CVDD, зависит от последовательности выполняемых процессорными ядрами команд, от операндов, а также от активности DMA и периферийных устройств. Максимальный ток, потребляемый ядром микросхемы, не превышает 500 мА при внутренней частоте синхронизации 115 МГц.

Мощность, потребляемая выходными драйверами по цепи PVDD, зависит от следующих параметров:

- Число выходных драйверов (O);
- Максимальная частота, на которой выходные драйверы переключаются (F);
- Емкости нагрузки выходных драйверов (C);
- Величина напряжения электропитания выходных драйверов (U_{CC1}).

Мощность, потребляемая выходными драйверами по цепи PVDD, определяется следующим уравнением:

$$P_{ext} = O * C * U_{CC1}^2 * F.$$

Рассмотрим для примера расчет мощности, потребляемой выходными драйверами при непрерывной записи данных в память типа SRAM (при $U_{CC1} = 3,3$ В). Максимальная частота обмена данными со SRAM = CLK/4, где CLK – тактовая частота работы порта внешней памяти (например, 80 МГц). При обращении по произвольным адресам можно предположить, что с частотой CLK/4 изменяются 50% разрядов адреса. Также можно допустить, что каждый цикл изменяются 50% разрядов шины данных. Данные для расчета потребляемой мощности приведены в Таблица 14.3.

Таблица 14.3

Название драйвера	Число драйверов	Емкость нагрузки	F, МГц	U_{CC1}^2	P_{ext} , мВт
A[24:1]	12	30	20	10,9	79
nWR[3:0]	4	30	20	10,9	25
D[31:0]	16	30	20	10,9	105
SCLK	1	30	80	10,9	25
Итого:					234

То есть, при тактовой частоте порта внешней памяти 80 МГц и $C=30$ пФ при непрерывной записи данных в SRAM потребление составляет 234 мВт. При чтении данных из SRAM выходные драйверы не активизируются. Поэтому, если запись данных в SRAM чередуется с чтением, то реальное энергопотребление микросхемы будет существенно меньше.

Оценим мощность, потребляемую драйверами линкового порта при передаче данных на частоте 40 МГц. Потребление по LCLK составляет 12 мВт, а потребление по данным (изменяется 50% 8-разрядных данных с частотой 20 МГц) - 24 мВт. Суммарно – 36 мВт.

14.4 Временные параметры

Временные параметры при обмене данными с внешней памятью и устройствами приведены в Таблица 14.4.

Таблица 14.4. Временные параметры при обмене данными с внешней памятью и устройствами

Наименование параметра, единица измерения	Буквенное обозначение	Норма		Температура °C
		не менее	не более	
Время задержки выходных сигналов A, D, nWR, nWE, nRD, nCS, SRAS, SCAS, SWE, DQM, CKE, A10, BA после переднего фронта частоты SCLK, нс	t_{DOSC}	2	5	от -60 до +85
Время предустановки считываемых данных из асинхронной памяти перед задним фронтом частоты SCLK, нс	t_{SDSC}	6	-	от -60 до +85
Время удержания считываемых данных из асинхронной памяти после фронта снятия сигнала nRD, нс (t_{CLK} – период частоты CLK)	t_{HDRD}	0	$0,5 t_{CLK}$	от -60 до +85
Время предустановки считываемых данных из синхронной памяти перед передним фронтом частоты SCLK, нс	t_{SDSC}	5	-	от -60 до +85
Время удержания считываемых данных из синхронной памяти после переднего фронта частоты SCLK, нс	t_{HDSC}	0	$0,5 t_{CLK}$	от -60 до +85

Временная диаграмма при чтении данных из асинхронной памяти приведена на Рисунок 14.1. Считываемые данные фиксируются в микросхеме по заднему фронту частоты SCLK перед снятием сигнала nRD.

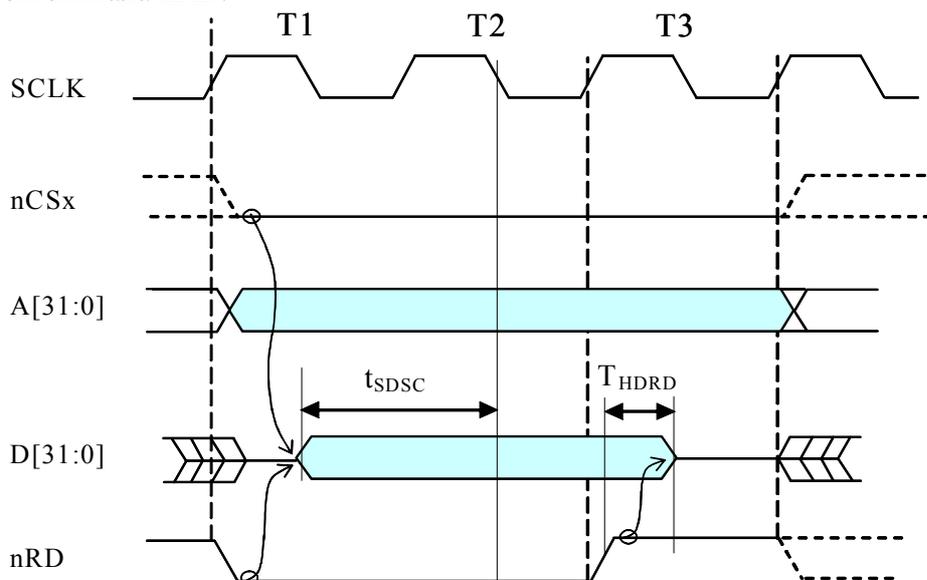


Рисунок 14.1. Чтение асинхронной памяти без дополнительных тактов ожидания.

15. ОПИСАНИЕ ВНЕШНИХ ВЫВОДОВ

Перечень групп внешних выводов микросхемы приведен в Таблица 15.1.

Таблица 15.1

Назначение	Число
Порт внешней памяти (MPORT)	97
Управление	23
2 SWIC	16
2 GSWIC	8
2 UART	4
2 MFBSP	20
Электропитание	72
Итого	240

Описание внешних выводов приведено в Таблица 15.2 - Таблица 15.8.

Неиспользуемые выводы типа "I" необходимо подключить к земле. Неиспользуемые выводы типа "O" необходимо оставить неподключенными. Каждый неиспользуемый вывод типа "IO" необходимо подключить к земле через резистор 10 кОм.

Таблица 15.2. Порт внешней памяти

Название вывода	Количество	Тип	Назначение
A[24:1]	24	O	Шина адреса.
D[31:0]	32	IO	Шина данных
DH[6:0]	7	IO	Шина данных кода Хэмминга
nWR[3:0]	4	O	Запись байтов в асинхронную память
nWE	1	O	Запись асинхронной памяти
nWEH	1	O	Запись кода Хэмминга в асинхронную память
nRD	1	O	Чтение асинхронной памяти
ACK	1	I	Готовность асинхронной памяти
nCS[4:0]	5	O	Разрешение выборки блоков внешней памяти
SRAS	1	O	Строб адреса строки
SCAS	1	O	Строб адреса колонки
SWE	1	O	Разрешение записи
DQM[3:0]	4	O	Для SDRAM – DQM[3:0], маска выборки байтов (активный высокий уровень) в соответствии со спецификацией на SDRAM. Для SRAM – nBE[3:0], разрешение выборки байтов (активный низкий уровень) в соответствии со спецификацией на SRAM.
DQMH	1	O	Маска записи кода Хэмминга в SDRAM
SCLK	1	O	Тактовая частота работы
SKE	1	O	Разрешение частоты
A10	1	O	10 разряд адреса
BA[1:0]	2	O	Номер банка
ALE	1	O	Разрешение защелкивания адреса памяти типа NAND Flash
CLE	1	O	Разрешение защелкивания команды памяти типа NAND Flash
nREF	1	O	Разрешение чтения памяти типа NAND Flash
nWEF	1	O	Разрешение записи памяти типа NAND Flash
nWP, nWP2	2	O	Защита записи памяти типа NAND Flash
RB, RB2	2	I	Готовность/занятость памяти типа NAND Flash
Всего 97 выводов			

Таблица 15.3. Управление

Название вывода	Количество	Тип	Назначение
NMI	1	I	Немаскируемое прерывание. Формируется по положительному фронту сигнала
nIRQ[3:0]	4	I	Запросы прерывания. Потенциальные сигналы, активный низкий уровень. Эти сигналы устанавливаются асинхронно источником запроса прерывания. После обработки соответствующего запроса прерывания источник прерывания должен быть сброшен программно.
nDMAR[3:0]	4	I	Запрос канала DMA. Формируется по отрицательному фронту. Минимальная длительность – не менее 1,5 периодов системной тактовой частоты CLK (частота, на которой работает CPU).
BOOT[1:0]	2	I	Источник и разрядность данных при начальной загрузке программ микропроцессора после снятия сигнала nRST: 00 – загрузка производится из 32-разрядного блока асинхронной памяти, подключенного к выводу nCS[3]; 01 – загрузка производится из блока памяти типа NOR Flash, подключенного к выводу nCS[3]. Разрядность этого блока определяется внешним выводом FW; 10 – загрузка производится из блока памяти NAND Flash, подключенного к выводу nCS[2]. Разрядность этого блока определяется внешним выводом FW. При этом к выводу nCS[3] может быть подключен 32-разрядный блок памяти 11 – загрузка производится из порта SPI MFBSPO. При этом к выводу nCS[3] может быть подключен 32-разрядный блок памяти
WDT	1	O	Признак срабатывания сторожевого таймера. Этот сигнал формируется, если в программе произошел сбой. Его можно подать на системный контроллер, который будет принимать решение, что делать в данной ситуации.
FW	1	I	Разрядность блока памяти типа NOR Flash (подключенного к выводу nCS[3]) или NAND Flash (подключенного к выводу nCS[2]). Если BOOT=01, то разрядность блока NOR Flash: 1 – 16 разрядов; 0 – 32 разряда. Если BOOT=10 то разрядность блока NAND Flash: 0 – 8 разрядов; 1 – 16 разрядов
XTI	1	I	Вход системной частоты. Если используется встроенный умножитель частоты (PLL_CORE_EN = 1), то допускается на вход XTI подавать частоту 10 МГц. Если не используется встроенный умножитель частоты (PLL_CORE_EN = 0), то допускается на вход XTI подавать частоту от 1 до 110 МГц. Стабильность входной системной частоты – не хуже +-50 ppm, скважность – от 40 до 60%, джиттер – не более 1 %
RTCXTI	1	I	Вход частоты 32 КГц для таймера реального времени
XTI125	1	I	Вход тактовой частоты 125 МГц для приемопередатчиков GSWIC

Название вывода	Количество	Тип	Назначение
nRST	1	I	Сигнал установки исходного состояния. Во время действия сигнала nRST все узлы микросхема находится в исходном (неактивном) состоянии, выходы - в неактивном состоянии, входы-выходы являются входами При включении электропитания микросхемы сигнал nRST должен иметь низкий уровень и переключаться на высокий уровень через время не менее 1 мс после установки стабильного электропитания и стабильной тактовой частоты на входе XTI. Если необходимо установить работающую микросхему в исходное состояние, то для этого на нее необходимо подать асинхронный сигнал nRST длительностью не менее 10 тактов частоты на входе XTI. При этом, если к MPORT подключена память типа SDRAM, то до подачи сигнала nRST все операции обмена данными с SDRAM должны быть закончены. Фронт и спад сигнала nRST должен быть не более 100 нс
TCK	1	I	Тестовый тактовый сигнал (JTAG)
TRST	1	I	Установка исходного состояния (JTAG)
TMS	1	I	Выбор режима теста (JTAG)
TDI	1	I	Вход данных теста (JTAG)
TDO	1	O	Выход данных теста (JTAG)
nDE	1	IO	Состояние DEBUG. Сигнал предназначен для отладки программного обеспечения нескольких 1892BM12T (до 8), работающих одновременно. Для этого выводы nDE у этих микросхем необходимо объединить в проводное ИЛИ. Если совместная отладка не используется, то вывод nDE должен быть незадействованным
Всего 23 вывода			

Таблица 15.4. Порты MFBS (2 штуки)

Название вывода	Количество	Тип	Назначение
LDAT	8	IO	Шина данных.
LCLK	1	IO	Синхронизация
LACK	1	IO	Подтверждение
Всего 10*2=20 выводов			

Таблица 15.5. UART (2 штуки)

Название вывода	Количество	Тип	Назначение
SIN	1	I	Вход последовательных данных
SOUT	1	O	Выход последовательных данных
Всего 2*2=4 вывода			

Таблица 15.6. Контроллеры SpaceWire (2 штуки)

Название вывода	Количество	Тип	Назначение
SWIC0			
DINp0/DINn0	2	I	Дифференциальный вход данных
SINp0/SINn0	2	I	Дифференциальный вход строба
DOUp0/DOUn0	2	O	Дифференциальный выход данных
SOUTp0/SOUTn0	2	O	Дифференциальный выход строба
SWIC1			
DINp1/DINn1	2	I	Дифференциальный вход данных
SINp1/SINn1	2	I	Дифференциальный вход строба
DOUp1/DOUn1	2	O	Дифференциальный выход данных
SOUTp1/SOUTn1	2	O	Дифференциальный выход строба
Всего 16 выводов			

Таблица 15.7. Порты Giga SpaceWire (2 штуки)

Название вывода	Тип	Назначение
GSWIC0		
GSW_TXP0/GSW_TXN0	O	Дифференциальный выход передачи данных
GSW_RXP0/GSW_RXN0	I	Дифференциальный вход приема данных
GSWIC1		
GSW_TXP1/GSW_TXN1	O	Дифференциальный выход передачи данных
GSW_RXP1/GSW_RXN1	I	Дифференциальный вход приема данных
Всего 8 выводов		

Таблица 15.8. Электропитание

Название вывода	Количество	Назначение
CVDD	20	Напряжение электропитания ядра (U_{CC2}), (1,8 В)
PVDD	12	Напряжение электропитания входных и выходных драйверов (U_{CC1}), (3,3 В)
GND	32	Земля ядра, входных и выходных цифровых драйверов
GSW_TXVDD	2	Напряжение электропитания передатчиков портов GSWIC (1,8 – 3,3 В)
GSW_TXGND	2	Земля передатчиков портов GSWIC
GSW_RXVDD	2	Напряжение электропитания приемников портов GSWIC (3,3 В)
GSW_RXGND	2	Земля приемников портов GSWIC
Всего 72 вывода		

Нумерация выводов микросхем 1892BM12T и 1892BM12AT в корпусе CQFP-240 приведена в Таблица 15.9.

Таблица 15.9. Нумерация выводов микросхем 1892BM12Т и 1892BM12АТ в корпусе CQFP-240

№ вывода корпуса	Условное обозначение	№ вывода корпуса	Условное обозначение	№ вывода корпуса	Условное обозначение
1	CKE	55	PVDD	109	LDAT0[4]
2	SRAS	56	GND	110	LDAT0[3]
3	SCAS	57	nDMAR[3]	111	LDAT0[2]
4	SWE	58	nDMAR[2]	112	LDAT0[1]
5	DQM[3]	59	nDMAR[1]	113	LDAT0[0]
6	DQM[2]	60	nDMAR[0]	114	PVDD
7	DQM[1]	61	ACK	115	GND
8	DQM[0]	62	nRD	116	CVDD
9	PVDD	63	nWE	117	GND
10	GND	64	nWR[3]	118	WDT
11	CVDD	65	nWR[2]	119	SIN1
12	GND	66	nWR[1]	120	SOUT1
13	D[31]	67	nWR[0]	121	SIN0
14	D[30]	68	PVDD	122	SOUT0
15	D[29]	69	GND	123	CVDD
16	D[28]	70	CVDD	124	GND
17	D[27]	71	GND	125	PVDD
18	D[26]	72	FW	126	GND
19	D[25]	73	RB2	127	TRST
20	D[24]	74	RB	128	TMS
21	CVDD	75	nWP2	129	TDI
22	GND	76	nWP	130	TDO
23	D[23]	77	ALE	131	nDE
24	D[22]	78	CLE	132	TCK
25	D[21]	79	nWEF	133	CVDD
26	D[20]	80	nREF	134	GND
27	D[19]	81	CVDD	135	PVDD
28	D[18]	82	GND	136	GND
29	D[17]	83	NMI	137	DOUn0
30	D[16]	84	nIRQ[3]	138	DOUp0
31	CVDD	85	nIRQ[2]	139	SOUTn0
32	GND	86	nIRQ[1]	140	SOUTp0
33	PVDD	87	nIRQ[0]	141	SINn0
34	GND	88	PVDD	142	SINp0
35	D[15]	89	GND	143	DINn0
36	D[14]	90	CVDD	144	DINp0
37	D[13]	91	GND	145	CVDD
38	D[12]	92	LCLK1	146	GND
39	D[11]	93	LACK1	147	DOUn1
40	D[10]	94	LDAT1[7]	148	DOUp1
41	D[9]	95	LDAT1[6]	149	SOUTn1
42	D[8]	96	LDAT1[5]	150	SOUTp1
43	CVDD	97	LDAT1[4]	151	SINn1
44	GND	98	LDAT1[3]	152	SINp1
45	D[7]	99	LDAT1[2]	153	DINn1
46	D[6]	100	LDAT1[1]	154	DINp1
47	D[5]	101	LDAT1[0]	155	PVDD
48	D[4]	102	CVDD	156	GND
49	D[3]	103	GND	157	CVDD
50	D[2]	104	LCLK0	158	GND
51	D[1]	105	LACK0	159	nRST
52	D[0]	106	LDAT0[7]	160	RTCXTI
53	CVDD	107	LDAT0[6]	161	XTI
54	GND	108	LDAT0[5]	162	XTI125

Продолжение Таблица 15.9

№ вывода корпуса	Условное обозначение	№ вывода корпуса	Условное обозначение
163	GSW_RXGND	220	A[16]
164	GSW_RXN[0]	221	A[15]
165	GSW_RXP[0]	222	A[14]
166	GSW_RXVDD	223	A[13]
167	GSW_TXGND	224	A[12]
168	GSW_TXN[0]	225	A[11]
169	GSW_TXP[0]	226	A[10]
170	GSW_TXVDD	227	A[9]
171	CVDD	228	CVDD
172	GND	229	GND
173	GSW_RXGND	230	PVDD
174	GSW_RXN[1]	231	GND
175	GSW_RXP[1]	232	A[8]
176	GSW_RXVDD	233	A[7]
177	GSW_TXGND	234	A[6]
178	GSW_TXN[1]	235	A[5]
179	GSW_TXP[1]	236	A[4]
180	GSW_TXVDD	237	A[3]
181	BOOT[1]	238	A[2]
182	BOOT[0]	239	A[1]
183	CVDD	240	SCLK
184	GND		
185	PVDD		
186	GND		
187	nWEH		
188	DQMH		
189	DH[6]		
190	DH[5]		
191	DH[4]		
192	DH[3]		
193	DH[2]		
194	DH[1]		
195	DH[0]		
196	CVDD		
197	GND		
198	nCS[4]		
199	nCS[3]		
200	nCS[2]		
201	nCS[1]		
202	nCS[0]		
203	BA[1]		
204	BA[0]		
205	A10		
206	CVDD		
207	GND		
208	PVDD		
209	GND		
210	A[24]		
211	A[23]		
212	A[22]		
213	A[21]		
214	A[20]		
215	A[19]		
216	A[18]		
217	A[17]		
218	CVDD		
219	GND		

16. ИСТОРИЯ ИЗМЕНЕНИЙ

16.1 19 февраля 2013 г

- Дополнена табл. 2.16.

16.2 14 мая 2013 г

- Уточнены табл. 3.5, табл. 6.1, п. 6.2, п. 6.4.

16.3 20 июня 2013 г

- Уточнены: рис. 2.12, 2.13; табл. 2.50 (в части регистров GSWIC0, GSWIC1), табл. 10.1.
- Добавлены пп. 10.4.15, 10.4.16.

16.4 23 августа 2013 г

- Уточнена табл. 2.50 в части адресов регистров MPORT.

16.5 02 сентября 2013 г

- Уточнена табл. 2.42 (PRId).

16.6 06 сентября 2013 г

- Введено описание регистра RX_SPEED (п. 9.5.6).

16.7 12 декабря 2013 г

- П. 1.2 (Периферийные устройства). Удалено предложение: «Возможность передачи данных в режиме Flyby (подобный режиму, реализованному в ADSP-TS201) между внешними устройствами и внешней памятью».
- Скорректировано описание бита 11 в табл. 6.2.
- Из п. 6.3 удален текст, начиная с 4 абзаца снизу, который начинается с предложения: «Каналы DMA MEM_CN совместно с портом MPORT обеспечивают передачу данных в режиме Flyby».
- Таблица 14.4. Из первой строки удалены сигналы , nFLYBY, nOE.

16.8 30 декабря 2013 г

- В табл. 2.50 уточнены адреса регистров PMA_STATUS, PMA_MODE контроллеров GSWIC0, GSWIC1.
- В табл. 9.7 уточнено описание разрядов 19:10.
- Уточнен рисунок 10.1.
- В пункте 10.2 уточнены абзацы с 2 по 4.

- Пункт 10.4.1 приведен в редакции: Регистр HW_VER содержит код номера версии контроллер - 0x0000004.
- В пункте 10.4.5 удалены разряды COMMA_EN, COMPARE_EN регистра TX_CONTROL.
- В табл. 10.16 для полей разрядов PMA_RX_SPEED, PMA_TX_SPEED указана система счисления – шестнадцатеричная.

16.9 02 апреля 2014 г

- Уточнена табл. 10.4 в части разрядов 5:13.
- Уточнен раздел 12.

16.10 11 апреля 2014 г

- Уточнены п. 9.2, 9.3, 9.5.2 (1 абзац), 9.5.4 (последний абзац), 9.5.7, 9.6.3 (2, 3 абзацы), 9.6.4, 9.6.9 (2 абзац), 10.2 (последний абзац), 10.5.2.1 (2 абзац), 10.5.3 (2 абзац).
- Уточнены табл. 9.4, 9.6, 10.2, 10.4.
- Уточнены рис. 9.1, 9.2, 9.3.

16.11 12 февраля 2015 г

- Из раздела 12 удален формат слова FIFO ошибочных адресов AERROR_EXT.

16.12 14 апреля 2015 г

- Введены исполнения 1892BM12T и 1892BM12AT.

16.13 14 мая 2015 г

- Уточнена таблица 9.7 в части назначения поля TX_SPEED.
- Уточнена таблица 15.3 в части значения частоты XT1.

16.14 30 сентября 2015 г

- Скорректированы адреса регистров интервальных таймеров IT0 и IT1.

16.15 2 октября 2015 г

- Скорректированы колонтитулы.
- Коррекция по оформлению таблиц.

Лист регистрации изменений

Изм.	Номера листов (страниц)				Всего листов (страниц) в докум.	№ докум.	Входящий № сопроводительного документа и дата	Подп.	Дата
	измененных	замененных	новых	аннулированных					
4	-	все	-	-	261	РАЯЖ.16-15			