

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ 1892ВМ8Я

РУКОВОДСТВО ПОЛЬЗОВАТЕЛЯ

ОГЛАВЛЕНИЕ

1. ВВЕДЕНИЕ	8
1.1 Функциональные параметры и возможности	8
1.2 Структурная схема	10
2. ЦЕНТРАЛЬНЫЙ ПРОЦЕССОР	12
2.1 Основные характеристики CPU	12
2.2 Блок-схема	12
2.3 Составляющие логические блоки	13
2.3.1 Устройство исполнения	13
2.3.2 Устройство умножения/деления (MDU)	13
2.3.3 Системный управляющий сопроцессор	14
2.3.4 Сопроцессор арифметики в формате с плавающей точкой (FPU).....	14
2.3.5 Устройство управления памятью (MMU)	14
2.3.6 Контроллер кэш	14
2.3.7 Устройство шинного интерфейса (BIU – Bus Interface Unit)	14
2.3.8 OnCD контроллер	14
2.4 Конвейер	15
2.4.1 Стадии конвейера	15
2.4.2 Операции умножения и деления	16
2.4.3 Задержка выполнения команд перехода (Jump, Branch).....	16
2.4.4 Обходные пути передачи данных (Data bypass)	17
2.4.5 Задержка загрузки данных.....	19
2.5 Сопроцессор арифметики в формате с плавающей точкой (FPU)	20
2.5.1 Введение	20
2.5.2 Регистры FPU	20
2.5.3 Исключения FPU	29
2.5.4 Время выполнения команд FPU	33
2.6 Устройство управления памятью (MMU).....	33
2.6.1 Введение	33
2.6.2 Режимы работы.....	34
2.6.3 Буфер быстрого преобразования адреса (TLB)	39
2.6.4 Преобразование виртуального адреса в физический в режиме TLB.....	43
2.7 Исключения	47
2.7.1 Условия исключений.....	47
2.7.2 Приоритеты исключений	48
2.7.3 Расположение векторов исключений	49
2.7.4 Обработка общих исключений.....	50
2.7.5 Исключения.....	51
2.7.6 Алгоритмы обработки исключений	58
2.8 Регистры CPU	62
2.8.1 Назначение	62
2.8.2 Обзор регистров CPU.....	62
2.8.3 Регистры CPU	63
2.9 Кэш	83
2.9.1 Введение	83
2.9.2 Протокол кэш	83
2.10 Особенности реализации процессорного ядра RISCore32 для микросхемы 1892BM8Я.....	84

2.11	Карта памяти CPU	85
3.	ЦИФРОВОЙ СИГНАЛЬНЫЙ ПРОЦЕССОР	93
3.1	Функциональные характеристики DSP	93
3.2	Архитектура DSP	94
3.2.1	Структурная схема DSP	94
3.2.2	Арифметико-логическое устройство (ALU)	96
3.2.3	Устройства генерации адреса (AGU, AGU-Y).....	97
3.2.4	Устройство программного управления (PCU).....	97
3.2.5	Коммутаторы шин данных (IDBS, EDBS)	98
3.2.6	Блоки памяти.....	98
3.2.7	Шины адреса и данных	99
3.3	Программная модель DSP	100
3.3.1	Регистр маски прерываний (MASKR_DSP).....	101
3.3.2	Регистр запросов прерываний (QSTR_DSP).....	101
3.4	Арифметико-логическое устройство (ALU).....	101
3.4.1	Архитектура ALU	101
3.4.2	Режимы работы ALU.....	108
3.5	Устройства генерации адресов памяти данных (AGU,AGU-Y)	114
3.5.1	Архитектура AGU	114
3.5.2	Программная модель AGU	117
3.5.3	Архитектура AGU-Y	118
3.5.4	Программная модель AGU-Y	119
3.5.5	Виды адресации	119
3.5.6	Типы адресной арифметики	123
3.5.7	Режимы адресации	126
3.6	Устройство программного управления (PCU)	127
3.6.1	Назначение и состав PCU	127
3.6.2	Архитектура PCU	128
3.6.3	Программный конвейер	129
3.7	Состояния DSP	140
3.7.1	Состояние начальной установки (RESET).....	140
3.7.2	Состояние останова (STOP).....	140
3.7.3	Состояние исполнения программы (RUN).....	141
3.8	Карта памяти DSP и организация обмена данными	143
3.8.1	Организация обменов данными DSP с CPU или DMA.....	143
3.8.2	Организация внутренних обменов с памятью данных	145
3.8.3	Организация памяти программ PRAM	146
3.8.4	Контроллеры Хемминга памяти DSP	147
3.8.5	Адресуемые регистры DSP	149
4.	СИСТЕМНОЕ УПРАВЛЕНИЕ	153
4.1	Система синхронизации	153
4.2	Отключение и включение тактовой частоты.....	154
4.3	Контроллер прерываний.....	157
4.4	Системные регистры.....	161
4.5	Процедура начальной загрузки.....	161
4.6	Логика взаимодействия CPU и DSP	162
4.6.1	Функции CPU.....	162
4.6.2	Функции DSP	162
5.	ИНТЕРВАЛЬНЫЙ ТАЙМЕР	164

5.1	Назначение	164
5.2	Структурная схема	164
5.3	Регистры интервального таймера	165
5.4	Программирование IT	165
6.	ТАЙМЕР РЕАЛЬНОГО ВРЕМЕНИ	167
6.1	Назначение	167
6.2	Структурная схема RTT	167
6.3	Описание регистров таймера реального времени	168
6.4	Программирование RTT	168
7.	СТОРОЖЕВОЙ ТАЙМЕР	170
7.1	Назначение	170
7.2	Структурная схема	170
7.3	Описание регистров WDT	171
7.4	Программирование WDT	173
8.	КОНТРОЛЛЕР ПРЯМОГО ДОСТУПА В ПАМЯТЬ (DMA).....	176
8.1	Общие положения	176
8.1.1	Типы каналов	176
8.1.2	Приоритет каналов DMA и CPU	177
8.1.3	Регистры DMA	177
8.1.4	Прерывания DMA	178
8.2	Процедура самоинициализации	178
8.3	Темп передачи	179
8.4	Каналы обмена данными типа память-память	180
8.5	Работа по внешним запросам	184
8.6	Каналы DMA для портов SWIC и MFBSP	185
9.	ПОРТ ВНЕШНЕЙ ПАМЯТИ	188
9.1	Введение.....	188
9.2	Регистры порта внешней памяти	188
9.2.1	Регистр конфигурации CSCON0	189
9.2.2	Регистр конфигурации CSCON1	190
9.2.3	Регистр конфигурации CSCON2	191
9.2.4	Регистр конфигурации CSCON3	192
9.2.5	Регистр конфигурации CSCON4	193
9.2.6	Регистр FLY_WS	193
9.2.7	Регистр конфигурации SDRCON	194
9.2.8	Регистр параметров SDRTMR	196
9.2.9	Регистр состояний и управления SDRCSR	197
9.2.10	Регистр CSR_EXT	199
9.2.11	Регистр AERROR_EXT	200
9.3	Временные диаграммы обмена данными	202
9.3.1	Общие положения	202
9.3.2	Обмен данными с асинхронной памятью	203
9.3.3	Обмен данными с синхронной динамической памятью	207
9.3.4	Обмен данными в режиме Flyby	212
9.3.5	Обмен данными с синхронной статической памятью	216
9.4	Рекомендации по подключению внешней памяти	217
9.4.1	Память типа SDRAM	217
9.4.2	Память типа Flash	217

12.2.7	Прерывания от MFBSP	261
12.3	Работа MFBSP в режиме I2S	264
12.3.1	Назначение MFBSP в режиме I2S	264
12.3.2	Регистр управления и состояния CSR_MFBSP (режим I2S).....	265
12.3.3	Регистр управления направлением выводов DIR_MFBSP (режим I2S) ..	266
12.3.4	Регистр управления приёмником RCTR (режим I2S).....	267
12.3.5	Регистр управления передатчиком TCTR (режим I2S)	269
12.3.6	Регистр состояния приёмника RSR (режим I2S).....	272
12.3.7	Регистр состояния передатчика TSR (режим I2S)	273
12.3.8	Структурная схема MFBSP для режима I2S.....	274
12.3.9	Варианты соединения порта с внешними устройствами	275
12.3.10	Передача данных в режиме I2S.....	276
12.3.11	Формирование тактовых сигналов приёмника (RCLK) и передатчика (TCLK)	279
12.3.12	Формирование управляющих сигналов приёмника и передатчика в режиме I2S	280
12.3.13	Тракт передачи данных	281
12.3.14	Тракт приёма данных	283
12.3.15	Прерывания от последовательного порта.....	284
12.4	Работа MFBSP в режиме SPI.....	285
12.4.1	Назначение последовательного порта в режиме SPI.....	285
12.4.2	Регистр управления и состояния CSR_MFBSP (режим SPI)	286
12.4.3	Регистр управления направлением выводов DIR_MFBSP (режим SPI) ..	287
12.4.4	Регистр управления приёмником RCTR (режим SPI)	288
12.4.5	Регистр управления передатчиком TCTR (режим SPI)	291
12.4.6	Регистр состояния приёмника RSR (режим SPI)	293
12.4.7	Регистр состояния передатчика TSR (режим SPI)	294
12.4.8	Структурная схема MFBSP для режима SPI.....	295
12.4.9	Варианты соединения порта с внешними устройствами	296
12.4.10	Передача данных в режиме SPI	297
12.4.11	Пример чтения 8 разрядного слова по заданному адресу из ведомого устройства с интерфейсом C-BUS	299
12.4.12	Формирование тактовых сигналов приёмника (RSCK) и передатчика (TSCK)	301
12.4.13	Формирование управляющих сигналов приёмника и передатчика в режиме SPI.....	302
12.4.14	Тракт передачи данных	304
12.4.15	Тракт приёма данных	305
12.4.16	Прерывания от последовательного порта.....	306
12.5	Работа MFBSP в режиме линкового порта (LPORT).....	307
12.5.1	Назначение линкового порта	307
12.5.2	Регистр управления и состояния CSR_MFBSP (режим LPORT)	307
12.5.3	Структурная схема MFBSP для режима линкового порта	310
12.5.4	Соединение с внешними устройствами	310
12.5.5	Передача данных по линковому порту	311
12.5.6	Прерывания от линковых портов	313
12.6	Работа MFBSP в режиме порта ввода-вывода общего назначения.....	314
12.6.1	Регистр данных порта ввода вывода GPIO_DR	314
12.6.2	Регистр управления направлением выводов DIR_MFBSP.....	314
12.7	Рекомендации по аварийному выключению передатчика	315
13.	ПОРТ JTAG И ВСТРОЕННЫЕ СРЕДСТВА ОТЛАДКИ ПРОГРАММ	316

14. ПРИНЦИПЫ КОРРЕКЦИИ ОШИБОК	317
15. ЭЛЕКТРИЧЕСКИЕ И ВРЕМЕННЫЕ ПАРАМЕТРЫ.....	321
15.1 Электропитание	321
15.2 Электрические параметры	321
15.3 Динамическая потребляемая мощность	322
15.4 Предельно-допустимые и предельные электрические режимы эксплуатации .	323
15.5 Временные параметры	324
15.5.1 Обмен данными с внешней памятью и устройствами	324
15.5.2 Прием и передача данных по линковому порту	325
16. ОПИСАНИЕ ВНЕШНИХ ВЫВОДОВ	327
17. ИСТОРИЯ ИЗМЕНЕНИЙ	340
17.1 2 сентября 2011 г	340
17.2 12 октября 2011 г	340
17.3 29 ноября 2011 г	340
17.4 30 июля 2012 г	340
17.5 29 августа 2012 г	340
17.6 28 февраля 2013 г	340
17.7 28 октября 2013 г	340
17.8 11 сентября 2014 г	340
17.9 28 января 2015 г	340
17.10 30 сентября 2015 г	341
17.11 26 января 2016 г	341
17.12 10 февраля 2016 г	341
17.13 19 февраля 2016 г	341
17.14 16 марта 2016 г	341
17.15 07 апреля 2016 г	341
17.16 16 марта 2017 г	341
17.17 18 октября 2017 г	341
17.18 13 ноября 2017 г	342
17.19 15 ноября 2017 г	342
17.20 07 марта 2019 г	342
17.21 12 марта 2019 г	342
17.22 15 марта 2019 г	342
17.23 26 июля 2019 г	342
17.24 16 декабря 2019 г	342
17.25 29 января 2020 г	343
17.26 21 апреля 2021 г	343
17.27 03 марта 2023 г	343

1. ВВЕДЕНИЕ

1.1 Функциональные параметры и возможности

Сигнальный микропроцессор 1892ВМ8Я имеет следующие функциональные параметры и возможности:

- Центральный процессор (CPU):
 - Архитектура – MIPS32;
 - 32-х битная шина передачи адреса и 64-х битная шина передачи данных;
 - Кэш команд объемом 16 Кбайт;
 - Архитектура привилегированных ресурсов в стиле ядра R4000:
 - Регистры Count/Compare для прерываний реального времени;
 - Отдельный вектор обработки исключений по прерываниям;
 - Программируемое устройство управления памятью:
 - Два режима работы – с TLB (Translation Lookaside Buffer) и FM (Fixed Mapped);
 - 16 строк в режиме TLB.
 - Устройство умножения и деления;
 - Сопроцессор арифметики в формате с плавающей точкой;
 - JTAG IEEE 1149.1, встроенные средства отладки программ
 - Производительность – не менее 80 млн. оп/сек (при тактовой частоте 80 МГц);
 - Оперативная память центрального процессора (CRAM) объемом 32 Кбайт;
 - 5 внешних запросов прерывания, в том числе немаскируемое прерывание (NMI).
- Цифровой сигнальный процессор (DSP):
 - “Гарвардская” RISC – подобная архитектура с оригинальной системой команд и преимущественно одноктактным исполнением инструкций;
 - SIMD (Single Instruction Multiple Data) организация потоков команд и данных;
 - Набор инструкций, совмещающий процедуры обработки и пересылки;
 - 3-ступенчатый конвейер по выполнению 32– и 64–разрядных инструкций;
 - Расширенные возможности по динамическому диапазону обрабатываемых данных, позволяющие обрабатывать данные в 8/16/32–разрядных форматах с фиксированной точкой, либо в одном из форматов с плавающей точкой – 24E8 (стандарт IEEE 754) или 32E16 (расширенный формат). Обеспечение при этом компромиссного выбора между точностью и производительностью. Аппаратные меры повышения точности и динамического диапазона (блочная плавающая точка; режим насыщения; инструкции преобразования форматов);
 - Аппаратная поддержка программных циклов;
 - Память программ PRAM объемом 16 Кбайт;
 - Двухпортовые памяти данных XRAM и YRAM объемом по 128 Кбайт;

- Пиковая производительность DSP, не менее (при тактовой частоте 80 МГц):
 - 480 млн. оп/с 32-битных операций с плавающей точкой (IEEE 754);
 - 2880 млн. оп/с 8-битных операций с фиксированной точкой;
 - 1280 млн. оп/с 16-битных операций с фиксированной точкой;
 - 640 млн. оп/с 32-битных операций с фиксированной точкой.
- Порт внешней памяти (MPORT):
 - Шина данных – 64 разряда, шина адреса – 32 разряда;
 - Встроенный контроллер управления статической памятью типа SRAM, FLASH, ROM, а также синхронной памятью типа SDRAM;
 - Программное конфигурирование типа блоков памяти и их объема;
 - Программное задание циклов ожидания;
 - Формирование сигналов выборки 4 блоков внешней памяти;
 - Перевод SDRAM в режим энергосбережения.
- Периферийные устройства:
 - 16 - канальный контроллер прямого доступа в память (DMA). 4 внешних запроса прямого доступа; Специальные режимы синхронизации. Поддержка 2-мерной и разрядно-инверсной адресации. Режим передачи Flyby, подобный реализованному в ADSP-TS201: внешнее устройство ↔ внешняя память;
 - 4 универсальных порта MFBSPP, работающих в режимах: LPORT (Analog Device), SPI, I2S, GPIO;
 - два дуплексных канала SpaceWire с пропускной способностью не менее 250 Мбит/с каждый;
 - универсальный асинхронный порт (UART) типа 16550;
 - 32-разрядный интервальный таймер (IT);
 - 32-разрядный таймер реального времени (RTT);
 - 32-разрядный сторожевой таймер (WDT).
- Дополнительные возможности и особенности:
 - Все блоки памяти защищены модифицированным кодом Хэмминга;
 - Узлы фазовой автоподстройки частоты (PLL) с множителем/делителем входной частоты;
 - Режимы отключения частоты отдельных блоков: DMA, DSP, SWIC, MFBSPP;
 - Встроенные средства отладки программ (OnCD);
 - Порт JTAG в соответствии со стандартом IEEE 1149.1;
 - Режимы энергосбережения;
 - Поддержка операционной системы Linux;
 - Пластиковый корпус типа HSBGA-416.

1.2 Структурная схема

Структурная схема процессора 1892ВМ8Я приведена на Рисунок 1.1.

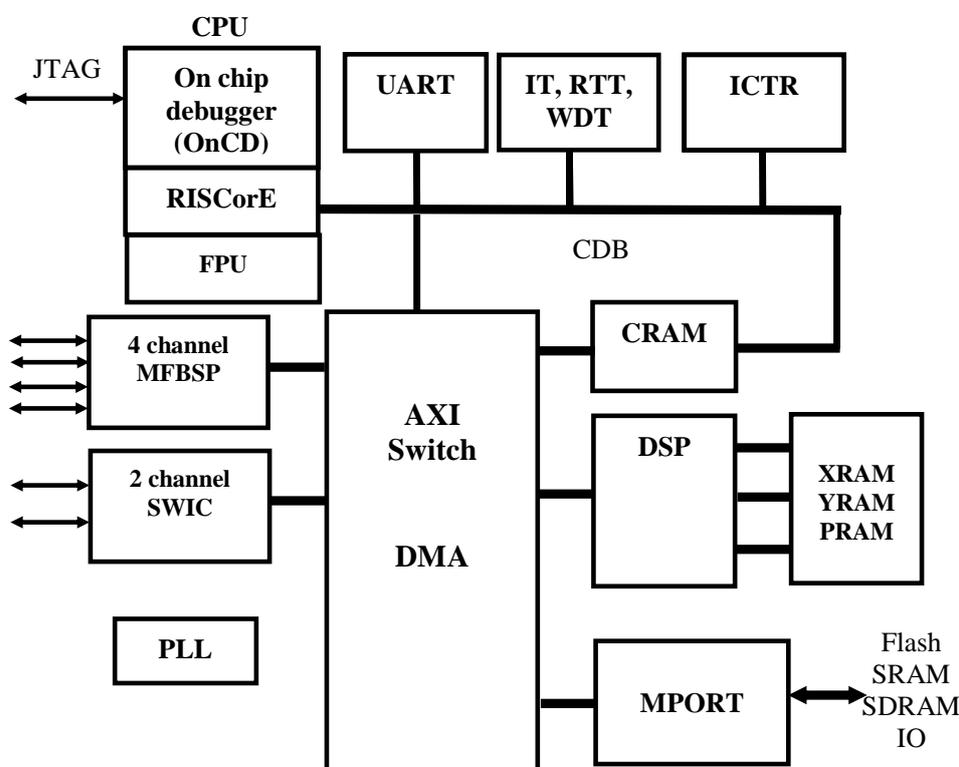


Рисунок 1.1. Структурная схема сигнального микроконтроллера 1892ВМ8Я

В состав 1892ВМ8Я входят следующие основные узлы:

- CPU – центральный процессор на основе RISC-ядра и сопроцессора арифметики в формате с плавающей точкой (FPU);
- DSP – цифровой сигнальный процессор;
- CDB (CPU Data Bus) – шина обмена данными CPU с регистрами устройств;
- AXI Switch - коммутатор;
- XRAM, YRAM, PRAM – память DSP;
- CRAM – двухпортовая оперативная память центрального процессора;
- MPORT – порт внешней памяти;
- DMA – контроллер прямого доступа в память;
- OnCD – встроенные средства отладки программ;
- UART – асинхронный последовательный порт;
- PLL – умножитель частоты на основе PLL;
- SWIC – контроллеры канала Space Wire (2 штуки);
- MFBSP (Multy Functional Bufferd Serial Port) (4 штуки);
- ICTR – контроллер прерываний;
- IT – интервальный таймер;

- WDT – сторожевой таймер;
- RTT – таймер реального времени;
- JTAG – отладочный порт.

2. ЦЕНТРАЛЬНЫЙ ПРОЦЕССОР

2.1 Основные характеристики CPU

- Архитектура – MIPS32;
- 32-х битные пути передачи адреса и данных;
- Кэш команд объемом 16 Кбайт;
- Архитектура привилегированных ресурсов в стиле ядра R4000:
 - Регистры Count/Compare для прерываний реального времени;
 - Отдельный вектор обработки исключений по прерываниям;
- Программируемое устройство управления памятью:
 - Два режима работы – с TLB и Fixed Mapped (FM);
 - 16 строк в режиме TLB;
 - В режиме FM адресные пространства отображаются с использованием битов регистров;
- Устройство умножения и деления;
- Сопроцессором арифметики в формате с плавающей точкой;
- Поддержка отладки JTAG.

2.2 Блок-схема

Блок-схема процессорного ядра RISCORE32 приведена на Рисунок 2.1.

Ядро содержит следующие узлы:

- Устройство исполнения (Execution Core);
- Устройство целочисленного умножения и деления (MDU);
- Системный управляющий сопроцессор (CP0);
- Сопроцессор арифметики в формате с плавающей точкой (FPU);
- Устройство управления памятью (MMU – Memory Management Unit);
- Контроллер кэш (Cache Controller);
- Устройство шинного интерфейса (BIU);
- Кэш команд (Instruction Cache);
- Средства отладки программ (OnCD – On Chip Debugger) с JTAG портом.

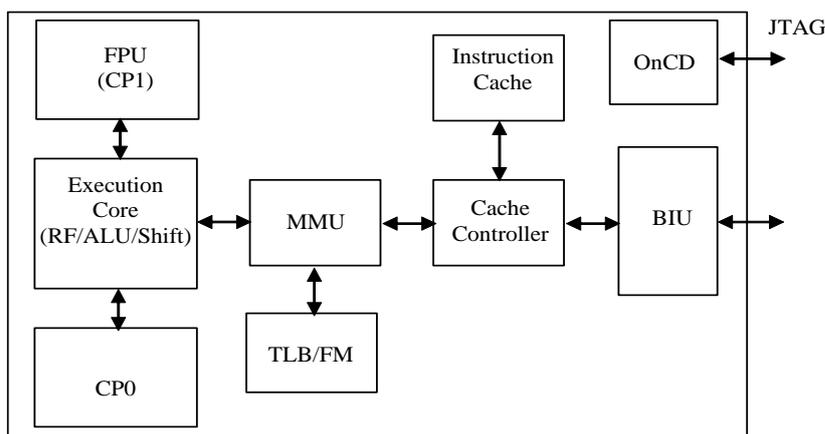


Рисунок 2.1. Блок-схема процессорного ядра RISCORE32

2.3 Составляющие логические блоки

В следующих подразделах описываются устройства, входящие в состав процессорного ядра.

2.3.1 Устройство исполнения

Входящее в ядро устройство исполнения реализует архитектуру load-store (загрузка-сохранение) с одноктактными операциями арифметического логического устройства (АЛУ) (логические операции, операции сдвига, сложение и вычитание). В ядре имеется тридцать два 32-х битных регистра общего назначения, используемых для скалярных целочисленных операций и вычисления адреса. В регистровом файле есть два порта чтения и один порт записи. Также используются обходные пути передачи данных для минимизации количества остановок конвейера.

В состав устройства исполнения входят:

- 32-х битный сумматор, используемый для вычисления адреса данных;
- Адресное устройство для вычисления адреса следующей команды;
- Логика определения перехода и вычисления адреса перехода;
- Блок выравнивания при загрузке данных;
- Мультиплексоры обходных путей передачи данных для исключения остановок конвейера в тех случаях, когда команды, производящие данные и команды, использующие эти данные, расположены в программе достаточно близко;
- Блок обнаружения Нуля/Единицы для реализации команд CLZ и CLO;
- АЛУ для выполнения побитных операций;
- Сдвигающее устройство и устройство выравнивания при сохранении данных.

2.3.2 Устройство умножения/деления (MDU)

Устройство умножения/деления выполняет соответствующие операции. MDU выполняет операции умножения за 17 тактов, операции умножения с накоплением за 18 тактов, операции деления за 33 такта и операции деления с накоплением за 34 такта. Попытка активизировать следующую команду умножения/деления до завершения выполнения предыдущей, так же как и использование результата этой операции до того, как

она закончена, вызывает остановку конвейера. В MDU имеется вывод, определяющий формат операции – знаковый или беззнаковый.

2.3.3 Системный управляющий сопроцессор

Сопроцессор отвечает за преобразование виртуального адреса в физический, протоколы кэш, систему управления исключениями, выбор режима функционирования (Kernel/User) и за разрешение/запрещение прерываний. Конфигурационная информация доступна посредством чтения регистров CP0 (см. раздел 2.7 “Регистры CP0”).

2.3.4 Сопроцессор арифметики в формате с плавающей точкой (FPU)

Сопроцессор арифметики в формате с плавающей точкой выполняет операции в соответствии со стандартом ANSI/IEEE Standard 754-1985, “IEEE Standard for Binary Floating-Point Arithmetic.” Поддерживаются операции, как с одинарной, так и с двойной точностью. Сопроцессор выполняет дополнительные операции, не определенные стандартом. Сопроцессор содержит 16 64-разрядных регистра для хранения операндов с одинарной и двойной точностью. Сопроцессор также содержит регистры управления и состояния, которые обеспечивают обработку исключений в соответствии с требованиями стандарта.

2.3.5 Устройство управления памятью (MMU)

Процессорное ядро содержит устройство управления памятью (MMU), реализующее интерфейс между исполнительным блоком и контроллером кэш. Ядро может работать как в режиме TLB – с 16-строчной, полностью ассоциативной матрицей TLB, так и в режиме FM (Fixed Mapped), когда используются простые преобразования виртуального адреса в физический. Полностью устройство MMU описано в главе 3.

2.3.6 Контроллер кэш

В данной версии процессора реализован кэш команд, виртуально индексируемый и контролируемый по физическому тэгу типа direct mapped, что позволяет осуществлять доступ к кэш параллельно с преобразованием виртуального адреса в физический. Объем кэш памяти составляет 16 Кбайт.

2.3.7 Устройство шинного интерфейса (BIU – Bus Interface Unit)

Устройство шинного интерфейса управляет внешними интерфейсными сигналами в соответствии со спецификацией шины АНВ (Advanced High-performance Bus) архитектуры АМВА (Advanced Microcontroller Bus Architecture).

2.3.8 OnCD контроллер

В ядре имеется устройство для отладки программ OnCD с портом JTAG.

2.4 Конвейер

В RISC-ядре процессора реализован конвейер, состоящий из пяти стадий и аналогичный конвейеру ядра R3000. Конвейер дает возможность процессору работать на высокой частоте, при этом минимизируется сложность устройства, а также уменьшается стоимость и потребление энергии.

В этой главе содержатся следующие разделы:

- Раздел 2.4.1, “Стадии работы конвейера”
- Раздел 2.4.2, “Операции умножения и деления”
- Раздел 2.4.3, “Задержка выполнения команд перехода (Jump, Branch)”
- Раздел 2.4.4, “Обходные пути передачи данных (Data bypass)”
- Раздел 2.4.5, “Задержка загрузки данных”

2.4.1 Стадии конвейера

Конвейер содержит четыре стадии:

- Выборка команды (стадия I - Instruction)
- Дешифрация команды (стадия D - Data)
- Исполнение команды (стадия E - Execution)
- Выборка из памяти (стадия M - Memory)

На Рисунок 2.2 показаны операции, выполняемые RISC-ядром на каждом этапе конвейера.

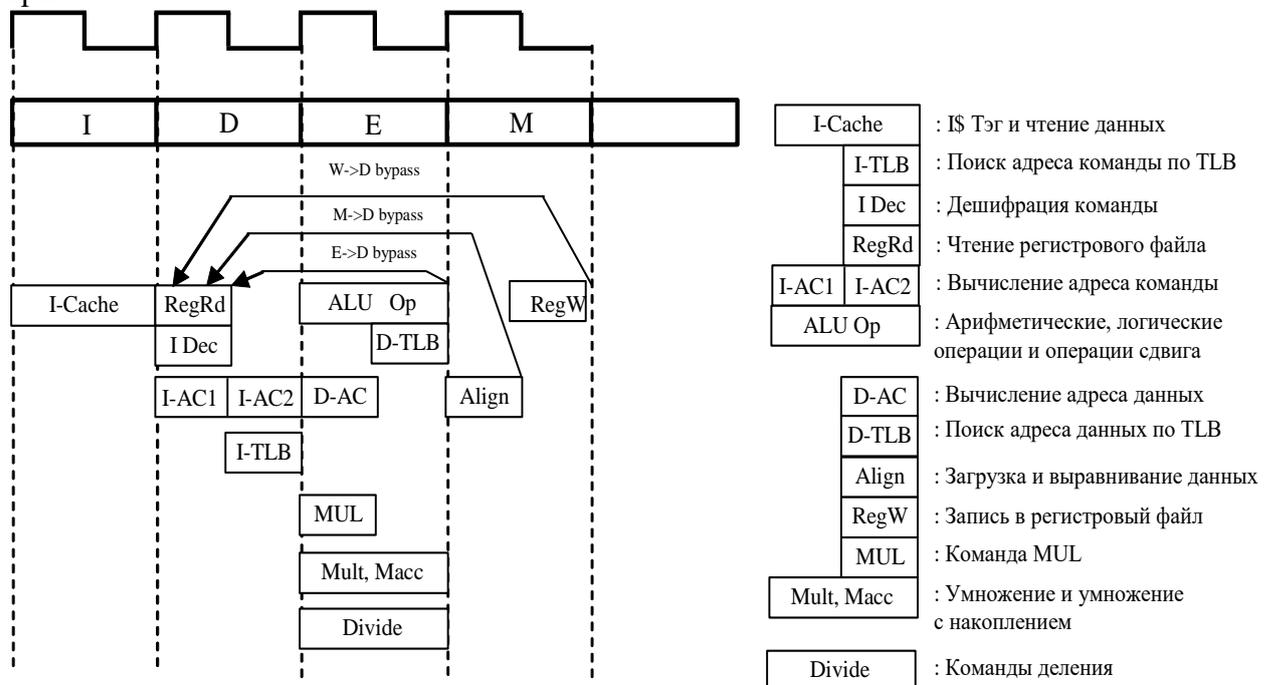


Рисунок 2.2

2.4.1.1 Стадия I: выборка команды

На этой стадии команда выбирается из командного кэш.

2.4.1.2 Стадия D: дешифрация команды

На этой стадии:

- Операнды выбираются из регистрового файла.
- Операнды передаются на эту стадию со стадий E, M и W.
- ALU определяет, выполняется ли условие перехода и вычисляет виртуальный адрес перехода для команд перехода.
- Осуществляется преобразование виртуального адреса в физический адрес.
- Производится поиск адреса команды по TLB и вырабатывается признак hit/miss.
- Командная логика выбирает адрес команды.

2.4.1.3 Стадия E: исполнение

На этой стадии:

- ALU выполняет арифметические или логические операции для команд типа регистр-регистр.
- Производится преобразование виртуального адреса в физический адрес для данных, используемых командами загрузки и сохранения.
- Производится поиск данных по TLB и вырабатывается признак hit/miss.
- Все операции умножения и деления выполняются на этой стадии.

2.4.1.4 Стадия M: выборка из памяти

На этой стадии осуществляется загрузка и выравнивание загруженных данных в границах слова.

На этой стадии для команд типа регистр-регистр или для команд загрузки результат записывается обратно в регистровый файл.

2.4.2 Операции умножения и деления

Время выполнения этих операций соответствует 17 тактам для команд умножения и 18 тактам для команд умножения с накоплением, а также 33 тактам для команд деления и 34 тактам для команд деления с накоплением.

2.4.3 Задержка выполнения команд перехода (Jump, Branch)

Конвейер осуществляет выполнение команд перехода с задержкой в один такт. Однотактная задержка является результатом функционирования логики, ответственной за принятие решения о переходе на стадии D конвейера. Эта задержка позволяет использовать адрес перехода, вычисленный на предыдущей стадии, для доступа к команде на следующей D-стадии. Слот задержки перехода (branch delay slot) позволяет отказаться от остановок конвейера при переходе. Вычисление адреса и проверка условия перехода выполняются одновременно на стадии D. Итоговое значение PC (счетчика команд) используется для выборки очередной команды на стадии I, которая является второй командой после перехода. На Рисунок 2.3 показан слот задержки перехода.

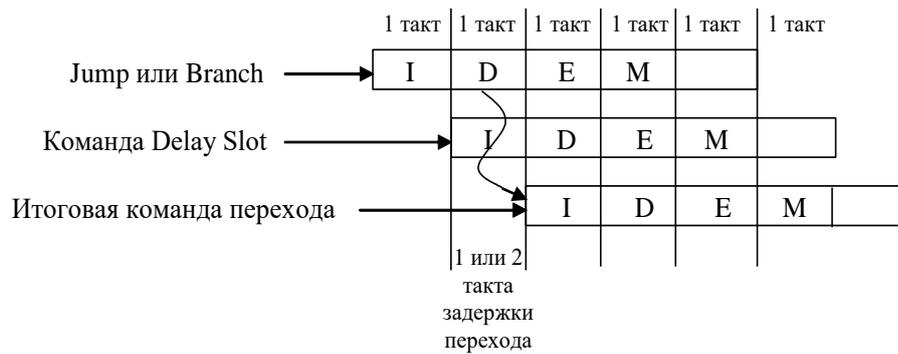


Рисунок 2.3. Слот задержки перехода

Конвейер осуществляет выполнение команд перехода с задержкой в два такта в случае принятия решения о переходе и в один такт в случае принятия решения о не переходе. Задержка является результатом функционирования логики, ответственной за принятие решения о переходе на стадии D конвейера. Эта задержка позволяет использовать адрес перехода, вычисленный на предыдущих стадиях, для доступа к команде на следующей D-стадии. Слот задержки перехода (branch delay slot) в первом такте задержки позволяет отказаться от остановок конвейера при переходе. Второй такт остановки (на 1 такт тактовой частоты) может быть компенсирован другими остановками конвейера. Вычисление адреса и проверка условия перехода выполняются одновременно на стадии D. Итоговое значение PC (счетчика команд) используется для выборки очередной команды на стадии I, которая является второй командой после перехода. На Рисунок 2.3 показан слот задержки перехода.

2.4.4 Обходные пути передачи данных (Data bypass)

Для большинства команд MIPS32 исходными операндами являются значения, хранящиеся в регистрах общего назначения. Эти операнды выбираются из регистрового файла в первой половине D-стадии. После исполнения на ALU результат, в принципе, готов для использования другими командами. Но запись результата в регистровый файл осуществляется только на стадии W. Это лишает следующую команду возможности использовать результат в течение 3-х циклов, если ее операндом является результат выполнения последней операции, сохраненный в регистровом файле. Для преодоления этой проблемы используются обходные пути передачи данных.

Мультиплексоры обходных путей передачи данных для обоих операндов располагаются между регистровым файлом и ALU (Рисунок 2.4). Они позволяют передавать данные с выхода стадий E, M конвейера прямо на стадию D, если один из регистров источника (source) декодируемой команды совпадает с регистром назначения (target) одной из предшествующих команд. Входы мультиплексоров подключены к обходным путям M→D и E→D.

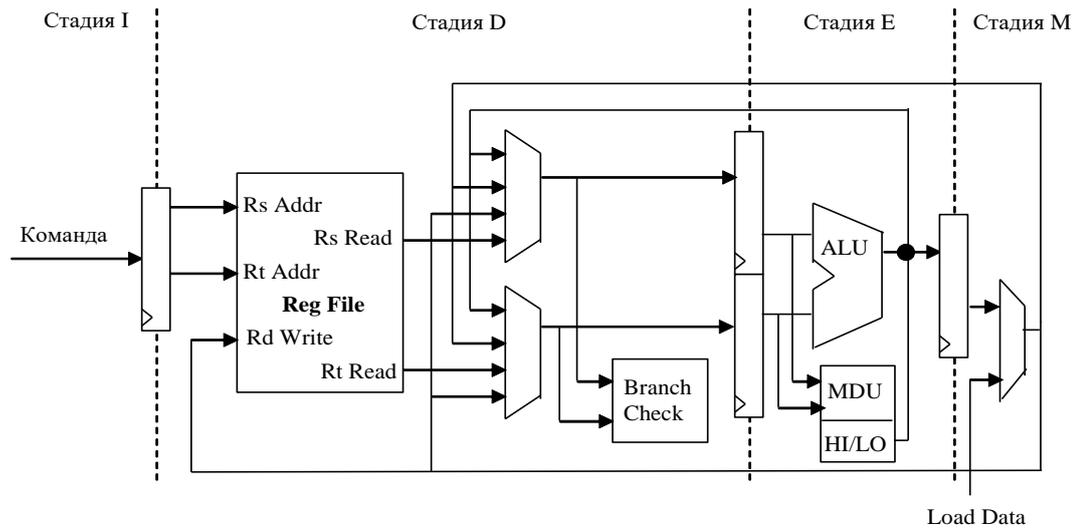


Рисунок 2.4

На Рисунок 2.5 показаны обходные пути передачи данных для команды Add₁, за которой следует команда Sub₂ и затем снова Add₃. Поскольку команда Sub₂ в качестве одного из операндов использует результат операции Add₁, используется обходной путь E→D. Следующая команда Add₃ использует результаты обеих предшествующих операций: Add₁ и Sub₂. Так как данные команды Add₁ в это время находятся на стадии M, используется обходной путь M→D. Кроме того, вновь используется обходной путь E→D для передачи результата операции Sub₂ команде Add₃.

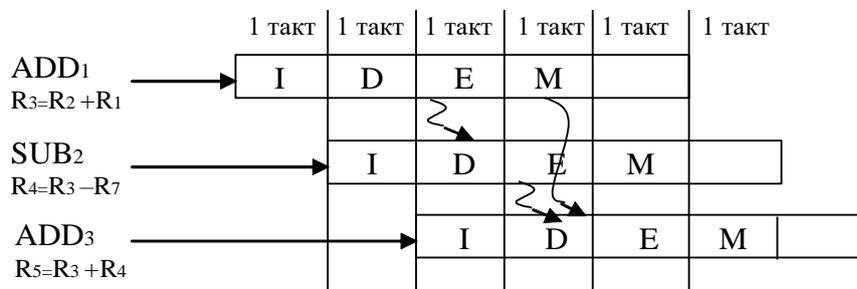


Рисунок 2.5

2.4.5 Задержка загрузки данных

Данные, выбираемые командами загрузки (Load), становятся доступными на конвейере только после выравнивания на стадии М. При этом данные, являющиеся исходными операндами, должны предоставляться командам для обработки уже на стадии D. Поэтому, если сразу за командой загрузки следует команда, для которой один из регистров исходных операндов совпадает с регистром, в который производится загрузка данных, это вызывает приостановку в работе конвейера на стадии D. Эта приостановка осуществляется аппаратной вставкой команды NOP. Во время этой задержки часть конвейера, которая находится дальше стадии D, продолжает продвигаться. Если же команда, использующая загружаемые данные, следует за командой загрузки не сразу, а через одну или через две, то для обеспечения бесперебойной работы конвейера используется обходной путь передачи данных: М→D (Рисунок 2.6).

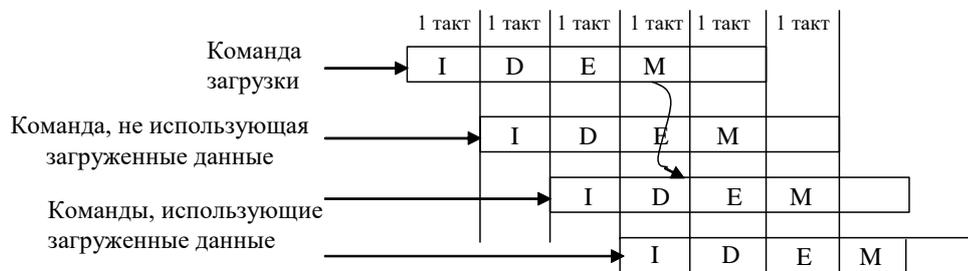


Рисунок 2.6

2.5 Сопроцессор арифметики в формате с плавающей точкой (FPU)

2.5.1 Введение

Сопроцессор арифметики в формате с плавающей точкой выполняет операции в соответствии со стандартом ANSI/IEEE Standard 754-1985, “IEEE Standard for Binary Floating-Point Arithmetic.” Поддерживаются операции, как с одинарной, так и с двойной точностью (single- or double-precision). Сопроцессор выполняет дополнительные операции не определенные стандартом. Сопроцессор содержит 16 64-разрядных регистра для хранения операндов с одинарной и двойной точностью. Сопроцессор также содержит регистры управления и состояния, которые обеспечивают обработку исключений в соответствии с требованиями стандарта.

FPU реализован как сопроцессор CP1.

2.5.2 Регистры FPU

2.5.2.1 Типы регистров

В FPU имеется три типа регистров:

- регистры общего назначения (FGR);
- регистры в формате с плавающей точкой (FPR);
- регистры управления (FCR).

32-разрядные регистры FGR являются прямо адресуемыми. FPU содержит 32 таких регистра.

64-разрядные регистры в формате с плавающей точкой FPR являются логическими и используются для хранения данных в процессе выполнения операций в формате с плавающей точкой. Эти регистры образованы конкатенацией двух соседних регистров FGR. В зависимости от операции, FPR содержит величину с одинарной или двойной точностью.

Регистры управления регистры FCR используются для выбора режима округления, обработки исключений и сохранения состояния.

В Таблица 2.1. приведены регистры управления FPU в порядке возрастания нумерации.

Таблица 2.1. Управляющие регистры FPU

Номер регистра	Название регистра	Функция
0	FIR	Регистр версии и реализации (Implementation and Revision register)
25	FCCR	Регистр кодов условий (Condition Codes register)

Номер регистра	Название регистра	Функция
26	FEXR	Регистр исключений (Exceptions register)
28	FENR	Регистр разрешения исключений (Enables register)
31	FCSR	Регистр управления и состояния (Control/Status register)

В командах CTC1 и CFC1 регистры FCCR, FEXR и FENR получают доступ к соответствующим частям регистра FCSR, т.е. эти регистры являются отражением соответствующих частей регистра FCSR.

Доступ к регистрам управления FPU не является привилегированным. Любая программа, которая выполняет инструкции с плавающей точкой, имеет доступ к регистрам управления FPU. Доступ к ним осуществляется посредством CTC1 и CFC1 команд.

2.5.2.2 Регистры общего назначения и регистры в формате с плавающей точкой

32 регистра общего назначения (FGR) являются 32-разрядными и могут непосредственно адресоваться. Они используются в операциях в формате с плавающей точкой и индивидуально доступны по командам move, load и store. Перечень регистров FGR приведен в Таблица 2.2.

Таблица 2.2. Регистры FGR и FPR

Номер регистра FGR	Название регистра FGR	Название регистра FPR
0	FGR0	FPR0 (least)
1	FGR1	FPR0 (most)
2	FGR2	FPR2 (least)
3	FGR3	FPR2 (most)
.	.	.
.	.	.
.	.	.
28	FGR28	FPR28 (least)
29	FGR29	FPR28 (most)
30	FGR30	FPR30 (least)
31	FGR31	FPR30 (most)

Регистры в формате с плавающей точкой (FPR) формируются из регистров FGR, посредством их конкатенации. Для адресации этих регистров используется только четный номер. Нечетный номер является недопустимым. В процессе операций с одинарной точностью используется только младшая часть (least) регистра FPR используется.

2.5.2.3 Форматы величин, хранящихся в регистрах FPR

В отличие от процессора целочисленной арифметики, FPU не интерпретирует двоичную кодировку входных операндов и не производит двоичное кодирование результатов каждой операции. Значение, хранящееся в регистре FPR, имеет определенный формат или тип. Этот формат могут использовать только те команды, которые оперируют с ним (этим форматом). Формат может быть неизвестным (не интерпретируемым) либо

одним из существующих числовых форматов: формат с плавающей точкой одинарной или двойной точностью, слово или двойное слово с фиксированной точкой.

Числовая величина в регистре FPR всегда установлена, когда она записана в этот регистр:

- при загрузке регистра FPR по команде load в регистр записываются двоичные данные, формат которых не интерпретируется.
- команды вычисления в формате с плавающей точкой или команды move, формируют в регистре FPR результат формата fmt.

Когда регистр FPR с не интерпретируемым значением используется как входной операнд для команды, которая требует значение в формате fmt и рассматривает двоичное содержимое как значение в формате fmt, значение в регистре FPR изменяется к значению в формате fmt. То есть, двоичное содержимое этого регистра не может рассматриваться в другом формате.

Если регистр FPR содержит значение в формате fmt, то вычислительные команды не должны использовать этот регистр как входной операнд другого формата. Если такое происходит, то значение в регистре становится неизвестным и результат команды также является неизвестным значением. Использование FPR регистра с неизвестным значением в качестве входного операнда команды приводит к результату, значение которого также неизвестно.

Формат величины, находящейся в регистре FPR, не изменяется, когда происходит чтение этого регистра командой store. Команда store выводит двоичную кодировку в соответствии со значением, содержащимся в регистре FPR. Если значение в регистре FPR неизвестно, то закодированное двоичное значение, выведенное операцией, неопределенно.

2.5.2.4 Управляющие регистры

2.5.2.4.1 Регистр реализации (FIR, CP1 Control Register 0)

Регистр реализации (Floating Point Implementation Register - FIR) - это 32-битный регистр доступный только на чтение. Он содержит информацию, которая определяет возможности FPU, идентификацию FPU и номер версии FPU. На Рисунок 2.7 показан формат регистра FIR, а в Таблица 2.3 описаны поля этого регистра.

31	18	17	16	15	8	7	0
0		D	S	Processor ID		Revision	

Рисунок 2.7. Формат FIR регистра

Таблица 2.3. Описание полей регистра FIR

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
-	31:18	Не используется	0	0
D	17	Указывает, реализованы ли тип данных двойной точности (D) и соответствующие инструкции: 0 - не реализованы 1 - реализованы	R	1

Поля		Описание	Чтение/	Начальное
S	16	Указывает, реализованы ли тип данных одинарной точности (S) и соответствующие инструкции: 0 – не реализованы 1 - реализованы	R	1
Processor ID	15:8	Идентификация типа процессора вычислений с плавающей точкой (FPU)	R	0000 0000
Revision	7:0	Номер версии FPU. Это поле позволяет программам различать разные версии одного типа FPU.	R	0000 0000

2.5.2.4.2 Регистр управления и состояния (FCSR, CP1 Control Register 31)

Регистр управления и состояния (Floating Point Control and Status Register - FCSR) – это 32-битный регистр, который управляет работой FPU и содержит информацию о состоянии FPU:

- выбор режима округления для арифметических операций;
- выборочное разрешение исключений при возникновении соответствующих условий исключений;
- управление некоторыми опциями обработки денормализованных чисел;
- сообщает о любых IEEE исключениях произошедших во время последней выполненной команды;
- сообщает о IEEE исключениях произошедших в совокупности выполненных команд;
- показывает код условия, который является результатом команд сравнения.

Доступ к регистру *FCSR* не является привилегированным. Любая программа, которая имеет доступ к FPU (если он разрешён в регистре *Status*), может читать из или записывать в регистр *FCSR*. На Рисунок 2.8 представлен формат *FCSR* регистра, в Таблица 2.8 описаны поля этого регистра.

31 25	2 4	23	22 -18	17 16 15 14 13 12	11 10 9 8 7	6 5 4 3 2	1 0
FCC	F S	FC C	0	Cause	Enables	Flags	R M
7 6 5 4 3 2 1		0		E V Z O U I	V Z O U I	V Z O U I	

Рисунок 2.8. Формат регистра FCSR

Таблица 2.4. Описание полей регистра FCSR

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
FCC	31:25, 23	Коды условий. Эти биты содержат результат выполнения FPU команд сравнения и используются в командах условных переходов и в командах условных перемещений данных. Какой FCC бит используется точно определено в команде перехода или перемещения.	R/W	Не определено
FS	24	Сброс в ноль. Когда FS=1, денормализованный результат операции сбрасывается в ноль вместо появления исключения “Нереализованная операция” (Unimplemented Operation).	R/W	Не определено
-	22:18	Не используются	0	0

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
Cause	17:12	Биты причины. Эти биты показывают условия исключений, которые возникают во время выполнения арифметических команд. Бит устанавливается в 1, если соответствующая исключительная ситуация появилась во время выполнения команды и устанавливается в 0 в противоположном случае. По значениям этих бит можно определить какая исключительная ситуация вызвана выполнением предыдущей арифметической команды. Значение каждого бита данного поля представлено в Таблица 2.5.	R/W	Не определено
Enables	11:7	Биты разрешения соответствующего исключения при возникновении любой из пяти IEEE исключительных ситуаций. Исключение происходит в случае, когда соответствующие бит Cause и бит Enables одновременно установлены либо во время выполнения арифметической операции, либо при перемещении нового значения в регистр FCSR или FEXR и FENR по команде move. Заметьте, что бит E в поле Cause не имеет соответствующего бита в поле Enables, так как исключение “Нереализованная Операция” всегда разрешено. Значение каждого бита данного поля представлено в Таблица 2.5.	R/W	Не определено
Flags	6:2	Флаговые биты. Это поле показывает любые исключительные ситуации, вызванные завершившимися командами со времени последнего программного сброса данного поля. Когда при арифметической операции возникает исключительная ситуация, которая не приводит к FPU исключению (соответствующий бит в Enables сброшен), то соответствующий бит (биты) устанавливается в поле Flags. В других ситуациях поле Flags остаётся без изменений. Арифметические операции, которые приводят к возникновению FPU исключения (бит в Enables установлен), не изменяют состояния бит в поле Flags. У этого поля нет аппаратного сброса, оно должно явно сбрасываться программой. Значение каждого бита данного поля представлено в Таблица 2.5.	R/W	Не определено
RM	1:0	Режим округления. Обозначает режим округления, который используется большинством операций в формате с плавающей точкой (некоторые операции используют специфический режим округления). Возможные кодировки этого поля представлены в Таблица 2.6.	R/W	Не определено

Поля FCC, FS, Cause, Enables, Flags и RM в регистрах FCSR, FCCR, FEXR и FENR всегда обозначают правильные состояния. Это означает что, если новое значение поля записывается в FCSR регистр, то это новое значение можно прочитать в соответствующем альтернативном регистре FCCR, FEXR или FENR. И наоборот, записав новое значение поля в альтернативный регистр, его можно прочитать в FCSR регистре.

Таблица 2.5. Описание бит в полях Cause, Enables и Flags

Имя бита	Значение бита
E	Нереализованная операция (Unimplemented Operation) Этот бит существует только в поле Cause
V	Недействительная операция (Invalid Operation)
Z	Деление на ноль (Divide by Zero)
O	Перепополнение (Overflow)
U	Потеря значимости (Underflow)
I	Неточность (Inexact)

Таблица 2.6. Описание режимов округления

Кодировка поля RM	Описание
0	RN – округление к ближайшему (round to nearest) Округление результата к ближайшему представимому значению. Когда два представимых значения одинаково близки, результат округляется к значению, чей наименее значащий бит равен 0 (чётный)
1	RTZ – округление к нулю (round towards zero) Округление результата к ближайшему значению, величина (модуль) которого не больше величины результата
2	RP – округление к плюс бесконечности (round towards plus infinity) Округление результата к ближайшему значению не меньшему чем сам результат
3	RM – округление к минус бесконечности (round towards minus infinity) Округление результата к ближайшему значению не большему чем сам результат.

2.5.2.4.3 Регистр кодов условий (FCCR, CP1 Control Register 25)

Регистр кодов условий (Floating Point Condition Codes Register - FCCR) является альтернативным регистром для чтения и записи поля кодов условий FCC, которое также хранятся в регистре FCSR. В отличие от FCSR регистра, в регистре FCCR восемь бит поля FCC являются смежными. На Рисунок 2.9 представлен формат *FCSR* регистра, в Таблица 2.7 описаны поля этого регистра.

31	8	7	0
0000 0000 0000 0000 0000 0000		FCC	
		7	6 5 4 3 2 1 0

Рисунок 2.9. Формат регистра FCCR

Таблица 2.7. Описание полей регистра FCCR

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
-	31:8	Не используются	0	0

Поля		Описание	Чтение/	Начальное
FCC	7:0	Коды условий. Эти биты содержат результат выполнения FPU команд сравнения и используются в командах условных переходов и в командах условных перемещений данных. Какой FCC бит используется точно определено в команде перехода или перемещения. См. описание поля FCC в регистре <i>FCSR</i> в Таблица 2.4.	R/W	Не определено

2.5.2.4.4 Регистр исключений (FEXR, CP1 Control Register 26)

Регистр исключений (Floating Point Exceptions Register - FEXR регистр) является альтернативным регистром для чтения и записи полей Cause и Flags, которые также хранятся в регистре *FCSR*. На Рисунок 2.10 представлен формат *FEXR* регистра, в Таблица 2.8 описаны поля этого регистра.

31 18	17 16 15 14 13 12	11 7	6 5 4 3 2	1 0
0	Cause	0	Flags	0
	E V Z O U I		V Z O U I	

Рисунок 2.10. Формат регистра FEXR

Таблица 2.8. Описание полей регистра FEXR

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
-	31:18, 11:7, 1:0	Не используются	0	0
Cause	17:12	Биты причины. Эти биты показывают исключительные ситуации, которые возникают во время выполнения FPU арифметических команд. См. описание поля Cause в регистре <i>FCSR</i> в Таблица 2.4.	R/W	Не определено
Flags	6:2	Флаговые биты. Это поле показывает любые исключительные ситуации вызванные завершившимися командами со времени последнего программного сброса данного поля. См. описание поля Flags в регистре <i>FCSR</i> в	R/W	Не определено

2.5.2.4.5 Регистр разрешения исключений (FENR, CP1 Control Register 28)

Регистр разрешения исключений (Floating Point Enable Register - *FENR регистр*) является альтернативным регистром для чтения и записи полей Enables, FS и RM, которые также хранятся в регистре *FCSR*. На Рисунок 2.11 представлен формат *FENR* регистра, в Таблица 2.9 описаны поля этого регистра.

31	12	11	10	9	8	7	6	3	2	1	0	
0000 0000 0000 0000 0000						Enables			0000		FS	RM
						V	Z	O	U	I		

Рисунок 2.11. Формат регистра FENR

Таблица 2.9. Описание полей регистра FENR

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
0	31:12, 6:3	Не используется	0	0
Enables	11:7	Биты разрешения соответствующего исключения при возникновении любой из пяти IEEE исключительных ситуаций. См. описание поля Enables в регистре FCSR в Таблица 2.4.	R/W	Не определено
FS	2	Сброс в ноль. Когда FS=1, денормализованный результат операции сбрасывается в ноль вместо появления исключения “Нереализованная операция” (Unimplemented Operation). См. описание поля FS в регистре FCSR в .	R/W	Не определено
RM	1:0	Режим округления. Обозначает режим округления, который используется большинством операций с плавающей точкой. См. описание поля RM в регистре FCSR в .	R/W	Не определено

2.5.3 Исключения FPU

2.5.3.1 Формирование исключения

При возникновении исключения команда, вызвавшая его, а также все последующие команды не выполняются и не изменяют содержимого регистров FGR. При необходимости, после обработки исключения выполнение прерванного потока команд может быть возобновлено.

В поле *Cause* содержатся признаки исключений. Оно обновляется при выполнении каждой арифметической операции в формате с плавающей точкой. Признак устанавливается в 1, если возникает соответствующее условие исключения, иначе он устанавливается в 0.

Исключение возникает каждый раз, если одновременно признак поля *Cause* и соответствующий ему бит *Enable* установлены в 1. Это происходит или во время выполнения операции в формате с плавающей точкой или, при передаче данных в регистр FCSR по команде *move*. Бит *Enable* для Unimplemented Operation не существует, то есть исключение по этому условию возникает всегда.

Содержимое поля *Cause* используется в обработчике исключения. Перед выходом из обработчика исключения по операции в формате с плавающей точкой, или перед установкой бит поля *Cause* по команде *move*, необходимо сначала обнулить соответствующие биты *Enable*, для того, чтобы предотвратить повторное возникновение исключения.

Пользовательским программам не доступны биты поля *Cause*. Если эта информация необходима этим программам, то она должна быть доступна им другими путями, а не через регистр *Status*.

Если операция в формате с плавающей точкой устанавливает только неразрешенные биты поля *Cause*, то исключения не происходит, и записывается результат, определяемый стандартом IEEE (см. Таблица 2.10). Когда операция в формате с плавающей точкой не вызывает исключения, программа может контролировать условия исключения, считывая содержимое поля *Cause*.

Поле *Flag* – совокупная накопленная информация по условиям исключений. Команды, которые вызывают исключения, не обновляют биты поля *Flag*. Биты поля *Flag* устанавливаются в 1, если соответствующее условие исключения возникает, иначе биты остаются без изменения. Бита для условия исключения типа *Unimplemented Operation* в этом поле не предусмотрено. В результате выполнения операции в формате с плавающей точкой биты поля *Flag* никогда не сбрасываются, но могут быть установлены или сброшены (обнулены) при записи данных в регистр *FCSR* по команде *move*.

2.5.3.2 Условие исключений

В этом пункте описаны следующие пять условий исключения, определенных стандартом ANSI/IEEE Standard 754-1985:

- исключение по недопустимой операции (*Invalid Operation Exception*);
- исключение при делении на ноль (*Division By Zero Exception*);
- исключение по ложному переполнению (*Underflow Exception*);
- исключение по переполнению (*Overflow Exception*);
- неточное исключение (*Inexact Exception*).

Этот пункт также содержит описание исключения по нереализованной операции (*unimplemented operation*). Оно используется для сообщения о необходимости программной эмуляции команды. Обычно арифметическая операция IEEE может вызывать только одно условие исключения. Единственный случай, когда два исключения могут происходить в то же самое время, это *Inexact With Overflow* и *Inexact With Underflow*.

Под управлением программы, условие исключения IEEE может вызывать прерывание (*trap*) процессора или не вызывать его. Стандарт IEEE определяет результат операции при возникновении условия исключения для случая, когда прерывание процессора по этому исключению не разрешено. Для этого случая результаты операций приведены в Таблица 2.10. При переполнении результат операции зависит от режима округления.

Таблица 2.10. Результаты операций при исключениях

Бит	Описание	Результат операции
V	Invalid Operation	Quiet NaN
Z	Divide by Zero	Properly signed infinity
U	Underflow	Округленный результат (Rounded result)
I	Inexact	Округленный результат. Если это исключение вызвано переполнением (<i>Overflow</i>) при неразрешенном прерывании, то формируется результат с переполнением.

Бит	Описание	Результат операции
О	Overflow	Зависит от режима округления: 0 (RN) – infinity со знаком промежуточного результата; 1 (RZ) – format's infinity со знаком промежуточного результата; 2 (RP) – при положительном переполнении – positive infinity. При отрицательном переполнении - format's most negative infinity; 3 (RM) - при положительном переполнении – format's largest finite number. При отрицательном переполнении – minus infinity.

2.5.3.3 Исключение по недопустимой операции

Это исключение возникает, если один или оба операнда недопустим для выполняемой операции.

Недопустимые операции:

- Один или оба операнда являются NaN (за исключением не арифметических команд MOV.fmt, MOVT.fmt, MOVF.fmt, MOVN.fmt, и MOVZ.fmt);
- Сложение или вычитание: вычитание бесконечных величин, таких как $(+\infty) + (-\infty)$ или $(-\infty) - (-\infty)$;
- Умножение: $0 * \infty$, с любыми знаками;
- Деление: $0/0$ или ∞ / ∞ , с любыми знаками;
- Квадратный корень: операнд меньше чем 0 (-0 является допустимым значением);
- Преобразование числа в формате с плавающей запятой к формату с фиксированной запятой, если возникает переполнение, или значение операнда равно infinity или NaN препятствуют точному представлению данных в необходимом формате;
- Некоторые операции сравнения, в которых один или оба операнда имеют значение QNaN.

2.5.3.4 Исключение при делении на ноль

Это исключение возникает, если делитель равен нулю, а делимое является конечным числом, отличным от нуля. Результат, когда не возникает прерывания, равен бесконечности. Деление $(0/0)$ и $(\infty/0)$ не приводят к исключению. При делении $(0/0)$ возникает исключение по недопустимой операции. Результат $(\infty/0)$ – бесконечность со знаком.

2.5.3.5 Исключение по ложному переполнению(потеря значимости)

Два связанных события могут повлиять на возникновение ложного переполнения:

- близость результата к нулю (tininess): создание бесконечно малого результата отличного от нуля находящегося в промежутке между $\pm 2^{E_{\min}}$, который из-за своей малой величины может вызывать впоследствии какое либо другое исключение, например как переполнение при делении;

- потеря точности: экстраординарная потеря точности во время аппроксимации таких малых чисел ненормированными числами.

Стандарт IEEE определяет, что «близость результата к нулю» может быть обнаружена в любой из следующих моментов времени:

- после округления, когда не нулевой результат получен из предположения неограниченности диапазона экспоненты и находится строго между $\pm 2^{E_{\min}}$;
- пред округлением, когда не нулевой результат получен из предположения неограниченности, как диапазона экспоненты, так и точности, и находится строго между $\pm 2^{E_{\min}}$;

В FPU близость результата к нулю обнаруживается после округления.

Стандарт IEEE определяет, что потеря точности может быть получена в результате любого из следующих условий:

- нарушение нормализации (denormalization), когда полученный результат отличается от вычисленного без ограничений диапазона экспоненты;
- неточный результат (inexact result), когда полученный результат отличается от вычисленного без ограничений диапазона экспоненты и точности.

В FPU потеря точности формируется, если получен неточный результат.

Если прерывание процессора при ложном переполнении не разрешено, признак U вырабатывается, когда обнаруживается одновременно и близость к нулю и потеря точности. При этом, результат может быть нулевым, ненормализованным или $2^{E_{\min}}$.

Если прерывание процессора при ложном переполнении разрешено, признак U вырабатывается, когда обнаруживается только близость к нулю, в не зависимости от потери точности.

2.5.3.6 Исключение при переполнении

Это исключение возникает, когда величина округленного результата в формате с плавающей запятой (где диапазон экспоненты не ограничен) больше, чем наибольшее конечное число результирующего формата (destination format's largest finite number).

Если прерывание процессора при переполнении не разрешено, результат определяется режимом округления и знаком промежуточного результата.

2.5.3.7 Неточное исключение

Неточное исключение возникает, если:

- округленный результат операции не является точным;
- округленный результат операции вызывает переполнение, а прерывание по переполнению не разрешено.

2.5.3.8 Исключение по нереализованной операции

Это исключения не регламентировано стандартом IEEE. Операции, которые не полностью поддерживаются аппаратурой, вызывают исключение, для того, чтобы программное обеспечение могло выполнить соответствующую операцию.

Для этого условия исключения не предусмотрено разрешающего бита, то есть прерывание процессора возникает всегда. После того, как соответствующее эмулирование будет выполнено, прерванная программа возобновляется.

2.5.4 Время выполнения команд FPU

Время выполнения команд в формате с плавающей точкой приведено в Таблица 2.11.

Таблица 2.11. Время выполнения команд FPU

Команда	Время выполнения, такты
BC1F, BC1T, FLOOR, ROUND, TRUNC	1
CFC1, CTC1, MFC1, MOVF	1
CVT.S, CVT.D, CEIL	2
ABS, ADD, SUB, MULL, NEG	3
SQRT.S/SQRT.D	6/15
DIV.S/DIV.D	11/16

2.6 Устройство управления памятью (MMU)

2.6.1 Введение

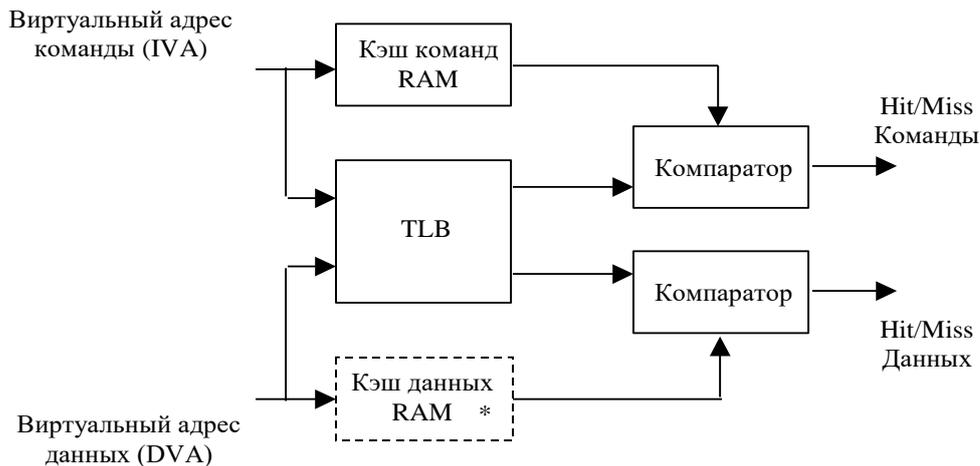
Процессорное ядро содержит устройство управления памятью (MMU), реализующее интерфейс между устройством исполнения и контроллером кэш. MMU преобразует виртуальный адрес в физический прежде, чем посылает запрос контроллеру кэш для сравнения тэга или блоку шинного интерфейса для доступа к внешнему запоминающему устройству. Это преобразование является очень полезным свойством функционирования операционных систем при управлении физической памятью таким образом, чтобы в ней размещались несколько процессов, активных в одной и той же области памяти, и может быть даже на одном виртуальном адресе, но обязательно в различных областях физической памяти. Другие свойства MMU - защита зон памяти и определение протокола кэш.

MMU может выполнять преобразование адресов в двух режимах: в режиме TLB и в режиме FM. Режим преобразования определяется битом FM регистра CSR.

В режиме TLB используется полностью ассоциативная таблица преобразования адресов (TLB), имеющая 16 парных строк (entries). Во время преобразования осуществляется поиск соответствия по TLB. Если искомая строка отсутствует, генерируется прерывание.

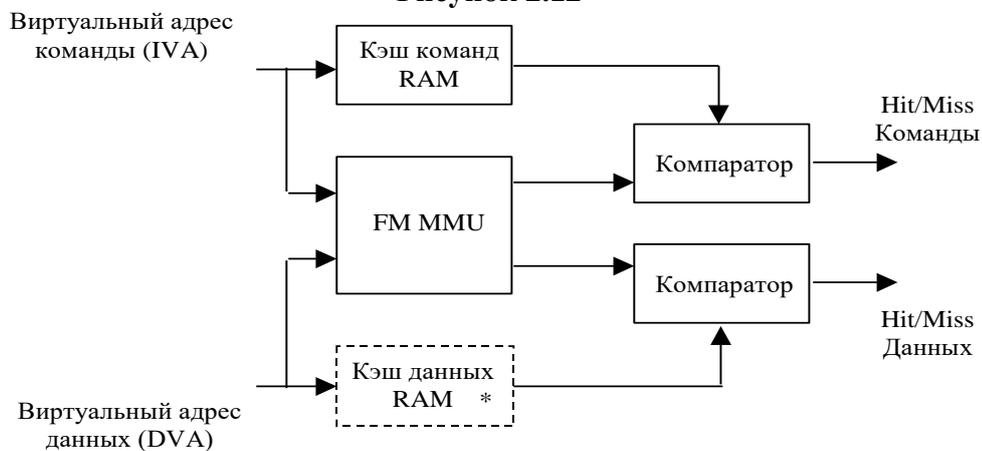
В режиме FM (Fixed Mapped) работа MMU основана на простом алгоритме, обеспечивающем преобразование виртуального адреса в физический посредством механизма фиксированного отображения. Правила преобразования отличаются для различных областей виртуального адресного пространства (useg/kuseg, kseg0, kseg1, kseg2, kseg3).

На Рисунок 2.12 показано, взаимодействие MMU с процедурой доступа к кэш в режиме TLB, а на Рисунок 2.13 – в режиме FM.



* - Кэш данных в данной реализации отсутствует

Рисунок 2.12



* - Кэш данных в данной реализации отсутствует

Рисунок 2.13

2.6.2 Режимы работы.

Процессорное ядро поддерживает два режима работы:

- Режим User (непривилегированный режим)
- Режим Kernel (привилегированный режим)

Режим User в основном используется для прикладных программ. Режим Kernel обычно используется для обработки исключительных ситуаций и привилегированных функций операционной системы, включая управление сопроцессором CP0 и доступ к устройствам ввода-вывода.

Преобразования, выполняемые MMU, зависят от режима работы процессора.

2.6.2.1 Виртуальные сегменты памяти

Виртуальные сегменты памяти, на которые делится адресное пространство, различаются в зависимости от режима работы процессора. На Рисунок 2.14 показана сегментация для 4 Гбайт (2^{32} байт) виртуального адресного пространства, адресуемого 32-разрядным виртуальным адресом для обоих режимов работы.

Ядро входит в режим Kernel после аппаратного сброса или когда происходит исключение. В режиме Kernel программное обеспечение имеет доступ к полному адресному пространству и ко всем регистрам CP0. В режиме User доступ ограничен подмножеством виртуального адресного пространства (0x0000_0000 - 0x7FFF_FFFF) и запрещен доступ к функциям CP0. В режиме User недоступны виртуальные адреса 0x8000_0000 - 0xFFFF_FFFF и обращение к ним вызывает исключение.

0xFFFF_FFFF		kseg3
0xE000_0000		
0xDFFF_FFFF		kseg2
0xC000_0000		
0xBFFF_FFFF		kseg1
0xA000_0000		
0x9FFF_FFFF		kseg0
0x8000_0000		
0x7FFF_FFFF	useg	kuseg
0x0000_0000		

Рисунок 2.14. Карта виртуальной памяти для режимов User и Kernel

Каждый из сегментов, показанных на Рисунок 2.14, является либо отображаемым (mapped), либо неотображаемым (unmapped). Различие объясняется в следующих двух разделах.

2.6.2.1.1 Неотображаемые сегменты

В неотображаемом сегменте механизмы TLB или FM для преобразования виртуального адреса в физический адрес не используются. Особенно важно иметь неотображаемые сегменты памяти после аппаратного сброса, потому что TLB еще не запрограммировано и не может осуществлять преобразования.

Для неотображаемых сегментов преобразование виртуального адреса в физический является фиксированным.

Все неотображаемые сегменты, за исключением kseg0, никогда не кэшируемы. Кэшируемость kseg0 определяется полем K0 регистра Config CP0.

2.6.2.1.2 Отображаемые сегменты

В отображаемом сегменте для преобразования виртуального адреса в физический адрес используются TLB или FM.

В режиме TLB преобразование отображаемых сегментов имеет постраничную основу. При преобразовании выявляется информация о кэшируемости страницы, а также атрибуты защиты, относящиеся к странице.

Для режима FM отображаемые сегменты имеют закрепленное преобразование виртуального адреса в физический. Кэшируемость сегмента определяется значениями полей K23 и KU регистра Config CP0. При FM-преобразовании невозможна защита сегментов от записи.

2.6.2.2 Режим User

В режиме User доступно однородное виртуальное адресное пространство размером 2 Гбайт (2^{31} байт), называемое сегментом пользователя.

На Рисунок 2.15 показано размещение виртуального адресного пространства режима User.



Рисунок 2.15

Сегмент потребителя начинается с адреса 0x0000_0000 и заканчивается адресом 0x7FFF_FFFF. Обращения по всем остальным адресам вызывают прерывания по ошибке адресации.

Процессор находится в режиме User, если в регистре Status CP0 установлены следующие значения разрядов:

- UM = 1
- EXL = 0
- ERL = 0

В Таблица 2.12 приводятся характеристики сегмента useg режима User.

Таблица 2.12

Адрес	Регистр состояния			Имя сегмента	Диапазон адресов	Размер сегмента
	EXL	ERL	UM			
A(31)=0	0	0	1	useg	0x0000_0000 → 0x7FFF_FFFF	2GB (2^{31} байт)

Для всех допустимых виртуальных адресов режима User старший значащий бит адреса равен нулю, поскольку в режиме User допустимо обращение только к нижней половине карты виртуальной памяти. Любая попытка обращения по адресу со старшим битом, равным 1, в режиме User вызывает прерывание по ошибке адресации.

В режиме TLB виртуальный адрес перед преобразованием расширяется содержимым 8-разрядного поля ASID, образуя уникальный виртуальный адрес. Кэшируемость ссылки для страницы в этом режиме определяется установкой определенных бит строки TLB.

В режиме FM, область виртуальных адресов 0x0000_0000-0x7FFF_FFFF преобразуется в область физических адресов 0x4000_0000-0xBFFF_FFFF. Кэшируемость задается полем KU регистра Config CP0.

2.6.2.3 Режим Kernel

Процессор находится в режиме Kernel, когда регистр Status CP0 содержит хотя бы одно из следующих значений:

- UM = 0
- ERL = 1
- EXL = 1

Когда обнаруживается исключение, биты EXL или ERL устанавливаются, и процессор входит в режим Kernel. При завершении процедуры обработки исключения обычно выполняется команда возвращения из исключения (ERET). Команда ERET осуществляет переход по PC исключения, очищает ERL и EXL (если ERL=0). В результате возможен возврат процессора в режим User.

Виртуальное адресное пространство режима Kernel разделено на области в соответствии со значением старших битов виртуального адреса, как показано на Рисунок 2.16. Кроме того, в Таблица 2.13 содержатся характеристики сегментов режима Kernel.

0xFFFF_FFFF	Kernel virtual address space Mapped, 512 MB	kseg3
0xE000_0000		
0xDFFF_FFFF	Kernel virtual address space Mapped, 512 MB	kseg2
0xC000_0000		
0xBFFF_FFFF	Kernel virtual address space Unmapped, Uncached, 512 MB	kseg1
0xA000_0000		
0x9FFF_FFFF	Kernel virtual address space Unmapped, 512 MB	kseg0
0x8000_0000		
0x7FFF_FFFF		
	Mapped, 2048 MB	kuseg
0x0000_0000		

Рисунок 2.16

Таблица 2.13

Адрес	Регистр Состояния			Имя сегмента	Диапазон адресов	Размер сегмента
	EXL	ERL	UM			
A(31)=0	UM = 0			kuseg	0x0000_0000 → 0x7FFF_FFFF	2 GB (2 ³¹)
A(31:29)=100 ₂	или			kseg0	0x8000_0000 → 0x9FFF_FFFF	512 MB (2 ²⁹)
A(31:29)=101 ₂	EXL=1			kseg1	0xA000_0000 → 0xBFFF_FFFF	512 MB (2 ²⁹)
A(31:29)=110 ₂	или			kseg2	0xC000_0000 → 0xDFFF_FFFF	512 MB (2 ²⁹)
A(31:29)=111 ₂	ERL=1			kseg3	0xE000_0000 → 0xFFFF_FFFF	512 MB (2 ²⁹)

2.6.2.3.1 Режим Kernel, Пространство пользователя (kuseg)

Если старший значащий бит виртуального адреса A[31]=0, то выбирается виртуальное адресное пространство kuseg объемом 2 Гбайт, отображенное на адреса 0x0000_0000 - 0x7FFF_FFFF.

При ERL=0 в режиме TLB виртуальный адрес расширяется 8-битным значением поля ASID для образования уникального виртуального адреса. Кэшируемость определяется полем C строки TLB.

При ERL=0 в режиме FM, область виртуальных адресов 0x0000_0000-0x7FFF_FFFF преобразуется в область физических адресов 0x4000_0000-0xBFFF_FFFF. Кэшируемость задается полем KU регистра Config CP0.

При ERL = 1 в режимах TLB и FM, область адресов пользователя становится неотображаемым и некэшируемым адресным пространством. Виртуальный адрес kuseg соответствует тому же физическому адресу и не включает поле ASID. То есть, область виртуальных адресов kuseg соответствует области физических адресов 0x0000_0000-0x7FFF_FFFF.

2.6.2.3.2 Режим Kernel, пространство 0 режима Kernel (kseg0).

Если в режиме Kernel три старших бита виртуального адреса равны 100₂, выбирается виртуальное адресное пространство kseg0. Это область размером 2²⁹ байт (512 MB), которая расположена внутри границ, определяемых адресами 0x8000_0000 и 0x9FFF_FFFF.

Вне зависимости от состояния бита ERL и режима работы ссылки к kseg0 не отображаются, а физический адрес получается вычитанием 0x8000_0000 из виртуального адреса. Кэшируемость сегмента kseg0 определяется значением поля K0 регистра Config CP0.

2.6.2.3.3 Режим Kernel, пространство 1 режима Kernel (kseg1)

Если в режиме Kernel три старших бита виртуального адреса равны 101_2 , выбирается виртуальное адресное пространство kseg1. Это область размером 2^{29} байт (512 MB), которая расположена внутри границ, определяемых адресами `0xA000_0000` и `0xBFFF_FFFF`.

Вне зависимости от состояния бита ERL и режима работы ссылки к kseg1 не отображаются, а физический адрес получается вычитанием `0xA000_0000` из виртуального адреса.

2.6.2.3.4 Режим Kernel, пространство 2 режима Kernel (kseg2)

Если в режиме Kernel три старших бита виртуального адреса равны 110_2 , выбирается виртуальное адресное пространство kseg2.

В режиме TLB вне зависимости от состояния бита ERL это виртуальное пространство отображается через TLB и его кэшируемость определяется полем C строки TLB.

В режиме FM вне зависимости от состояния бита ERL это виртуальное пространство зафиксировано в физических адресах `0xC000_0000` - `0xDFFF_FFFF` и его кэшируемость определяется полем K23 Регистра Config CP0.

2.6.2.3.5 Режим Kernel, пространство 3 режима Kernel (kseg3)

Если в режиме Kernel три старших бита виртуального адреса равны 111_2 , выбирается 32-разрядное виртуальное адресное пространство kseg3.

В режиме TLB вне зависимости от состояния бита ERL это пространство отображается через TLB и его кэшируемость определяется полем C строки TLB.

В режиме FM вне зависимости от состояния бита ERL это виртуальное пространство зафиксировано в физических адресах `0xE000_0000` - `0xFFFF_FFFF` и его кэшируемость определяется полем K23 регистра Config.

2.6.3 Буфер быстрого преобразования адреса (TLB)

В этой главе описывается управление памятью с помощью буфера быстрого преобразования адреса (TLB), которое осуществляется в режиме TLB.

В режиме TLB реализуется полностью ассоциативный буфер быстрого преобразования адреса (TLB), содержащий 16 двойных строк, позволяющих отображать 32 виртуальных страницы в соответствующие физические адреса. TLB организовано в виде 16 парных строк – четных и нечетных, содержащих адреса страниц размером от 4 Кбайт до 16 Мбайт, которые хранятся в 4 Гбайтном физическом адресном пространстве. Задача TLB состоит в преобразовании виртуальных адресов и их соответствующего идентификатора адресного пространства (ASID) в физический адрес памяти. Преобразование выполняется путем сравнения старших разрядов виртуального адреса (вместе с битами поля ASID) с каждой из строк тэговой порции TLB и иначе называется поиском соответствия по TLB (поиском соответствия тэга одной из строк виртуальному адресу на входе TLB).

Буфер TLB организован в виде страничных пар для минимизации общего количества хранящейся информации. Каждая строка тэговой порции соответствует двум физиче-

ским строкам данных – строке четных страниц и строке нечетных страниц. Самый старший разряд виртуального адреса, не участвующий в сравнении тэгов, определяет какая строка из двух строк данных используется. Поскольку размер страницы может варьироваться для каждой пары страниц, определение адресных разрядов, участвующих в сравнении и разряда, задающего четность страницы, должно осуществляться динамически при поиске по TLB.

На Рисунок 2.17 показано содержание одной из 16 двойных строк TLB.

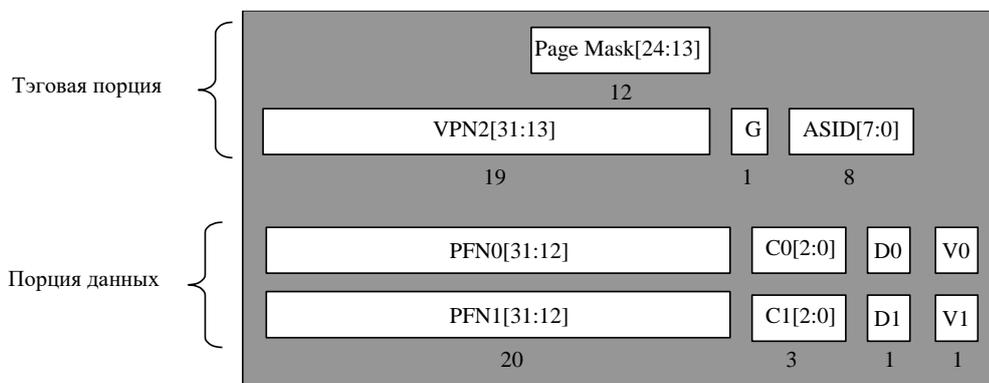


Рисунок 2.17

Описание полей строки TLB приведены в Таблица 2.14.

Таблица 2.14

Название поля	Описание																								
Page Mask[24:13]	<p>Значение маски размера страницы. Определяет размер страницы маскировкой соответствующих разрядов VPN2, и тем самым исключением их из рассмотрения. Также используется для задания адресного разряда, определяющего четность страницы (PFN0-PFN1). См. следующую таблицу:</p> <table border="1"> <thead> <tr> <th>Page Mask[11:0]</th> <th>Размер страницы</th> <th>Бит определения четности</th> </tr> </thead> <tbody> <tr> <td>0□00_0000_0000</td> <td>4 КБ</td> <td>VAddr[12]</td> </tr> <tr> <td>0000_0000_0011</td> <td>16 КБ</td> <td>VAddr[14]</td> </tr> <tr> <td>0000□0000_1□11</td> <td>64 КБ</td> <td>VAddr[16]</td> </tr> <tr> <td>0000_0011_1111</td> <td>256 КБ</td> <td>VAddr[18]</td> </tr> <tr> <td>0000_1111_1111</td> <td>1 МБ</td> <td>VAddr[20]</td> </tr> <tr> <td>0011_1111_1□1</td> <td>4 МБ</td> <td>VAddr[22]</td> </tr> <tr> <td>1111_□111_1111</td> <td>16 МБ</td> <td>VAddr[24]</td> </tr> </tbody> </table> <p>В столбце Page Mask приведены все возможные значения Page Mask. Поскольку каждая пара битов этого поля всегда имеет одинаковое значение, физическая строка в TLB содержит сокращенную версию Page Mask, содержащую только 6 бит. Однако для программы это значение всегда преобразуется в 12-битное. Следует иметь в виду, что при кэшируемых ссылках, страницы размером 4 Кбайт использовать нельзя.</p>	Page Mask[11:0]	Размер страницы	Бит определения четности	0□00_0000_0000	4 КБ	VAddr[12]	0000_0000_0011	16 КБ	VAddr[14]	0000□0000_1□11	64 КБ	VAddr[16]	0000_0011_1111	256 КБ	VAddr[18]	0000_1111_1111	1 МБ	VAddr[20]	0011_1111_1□1	4 МБ	VAddr[22]	1111_□111_1111	16 МБ	VAddr[24]
Page Mask[11:0]	Размер страницы	Бит определения четности																							
0□00_0000_0000	4 КБ	VAddr[12]																							
0000_0000_0011	16 КБ	VAddr[14]																							
0000□0000_1□11	64 КБ	VAddr[16]																							
0000_0011_1111	256 КБ	VAddr[18]																							
0000_1111_1111	1 МБ	VAddr[20]																							
0011_1111_1□1	4 МБ	VAddr[22]																							
1111_□111_1111	16 МБ	VAddr[24]																							
VPN2[31:13]	<p>Виртуальный номер страницы, поделенный на 2. Данное поле содержит старшие разряды виртуального номера страницы. Виртуальный номер разделен на 2 потому, что он соответствует паре страниц TLB. Разряды 31:25 всегда участвуют в сравнении. Участие в сравнении разрядов 24:13 зависит от размера страницы, задаваемого полем Page Mask.</p>																								

Название поля	Описание																		
G	Бит глобальности. Если он установлен, данная строка является глобальной для всех процессов и подпроцессов, и таким образом, поле ASID исключается из рассмотрения.																		
ASID[7:0]	Идентификатор адресного пространства. Определяет процесс или подпроцесс, с которым ассоциируется данная строка TLB.																		
PFN0[31:12], PFN1[31:12]	Физический номер кадра. Задаёт старшие разряды физического адреса. Для страниц размером более 4 Кбайт используется подмножество этого поля.																		
C0[2:0], C1[2:0]	Кэшируемость. Содержит закодированное значение атрибута кэшируемости и определяет должна ли страница помещаться в кэш или нет. Поле кодируется следующим образом:																		
	<table border="1"> <thead> <tr> <th>C[2:0]</th> <th>Атрибуты когерентности</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>001</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>010</td> <td>Некэшируемая страница</td> </tr> <tr> <td>011</td> <td>Кэшируемая страница</td> </tr> <tr> <td>100</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>101</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>110</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>111</td> <td>При записи преобразуется в код 010</td> </tr> </tbody> </table>	C[2:0]	Атрибуты когерентности	000	При записи преобразуется в код 011	001	При записи преобразуется в код 011	010	Некэшируемая страница	011	Кэшируемая страница	100	При записи преобразуется в код 011	101	При записи преобразуется в код 011	110	При записи преобразуется в код 011	111	При записи преобразуется в код 010
	C[2:0]	Атрибуты когерентности																	
	000	При записи преобразуется в код 011																	
	001	При записи преобразуется в код 011																	
	010	Некэшируемая страница																	
	011	Кэшируемая страница																	
	100	При записи преобразуется в код 011																	
	101	При записи преобразуется в код 011																	
110	При записи преобразуется в код 011																		
111	При записи преобразуется в код 010																		
D0, D1	“Dirty” (Грязная страница) – бит разрешения записи. Показывает, что в страницу была сделана запись и/или разрешена запись в данную страницу. Если этот бит установлен, разрешены операции сохранения в данной странице. Если не установлен, сохранения в данной странице будут вызывать исключения модификации.																		
V0, V1	Бит валидности. Показывает, что данная строка TLB и, соответственно, отображение виртуальной страницы, действительны. Если этот бит установлен, то обращения к данной странице разрешены. Если не установлен, то обращения к странице будут вызывать исключения TLB (TLB invalid).																		

Для заполнения строки TLB используются команды TLBWI и TLBWR (см. документ “Процессорное ядро RISCore32. Система команд”). Перед запуском этих команд нужно обновить некоторые регистры CP0, записав в них значения, которые будут затем помещены в строку TLB.

- Значение Page Mask задается в регистре Page Mask CP0.
- Значения VPN2 и ASID задаются в регистре EntryHi CP0.
- Значения PFN0, C0, D0, V0 и G задаются в регистре EntryLo0 CP0.
- Значения PFN1, C1, D1, V1 и G задаются в регистре EntryLo1 CP0.

Биты глобальности G входят в оба регистра EntryLo0 и EntryLo1. Бит G строки TLB является результатом логической операции "И", проведенной над битами глобальности из EntryLo0 и EntryLo1. Более подробно эти регистры описаны в разделе 2.7 “Регистры CP0”.

Наличие идентификатора адресного пространства (ASID) дает возможность уменьшить частоту попаданий при поисках по TLB на контекстной основе. Это определяет возможность одновременного существования нескольких процессов как в TLB, так и в кэш

команд. Значение ASID хранится в регистре EntryHi и сравнивается со значением ASID каждой строки.

2.6.4 Преобразование виртуального адреса в физический в режиме TLB.

Преобразование виртуального адреса в физический начинается со сравнения полученного виртуального адреса с виртуальными адресами, хранящимися в TLB. Соответствие имеет место, если виртуальный номер страницы (VPN) адреса совпадает с полем VPN строки TLB с учетом маски, хранящейся в этой строке, а также выполняется одно из двух условий:

- Установлен бит глобальности (G) для четных и нечетных страниц в строке TLB;
- Поле ASID виртуального адреса совпадает с полем ASID строки TLB.

Это соответствие называется попаданием TLB. Если не имеется ни одного соответствия, возникает исключение промаха TLB и программному обеспечению дается возможность пополнить TLB из расположенной в памяти таблицы страниц виртуальных /физических адресов. На Рисунок 2.18 показана логика преобразования виртуального адреса в физический.

На этом рисунке виртуальный адрес расширяется 8-разрядным идентификатором адресного пространства (ASID), который уменьшает частоту попаданий при просмотрах TLB на контекстной основе. Это 8-разрядное поле ASID содержит номер, присвоенный процессу, и хранится в регистре EntryHi CP0.

1. Виртуальный адрес (VA), представленный виртуальным номером страницы (VPN), сравнивается с тэгом из строки TLB (VPN2) с учетом маски (PageMask).
2. Если имеется соответствие, номер страничного кадра (PFN0 или PFN1, в зависимости от значения бита четности – самого старшего бита, не участвующего в сравнении) извлекается и помещается в старшие разряды физического адреса (PA)
3. В младшие разряды физического адреса помещается смещение (Offset), не участвующее в сравнении.

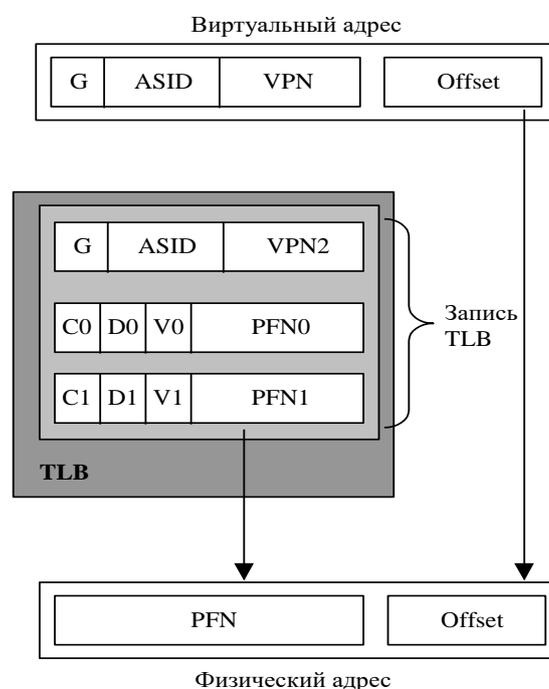


Рисунок 2.18

Когда происходит совпадение виртуальных адресов при поиске по TLB, физический номер кадра (PFN) извлекается из соответствующей физической порции строки TLB и

дополняется смещением, взятым из виртуального адреса, формируя, таким образом, физический адрес. Смещение представляет собой адрес в пределах пространства страничного кадра. Как показано на рисунке, смещение не пропускается через TLB.

На Рисунок 2.19 показана блок-схема процесса преобразования адреса. В верхней части рисунка показан виртуальный адрес для страницы размером 4 Кбайт. Ширина поля смещения определяется размером страницы. В нижней части рисунка показан виртуальный адрес для страницы размером 16 Мбайт.

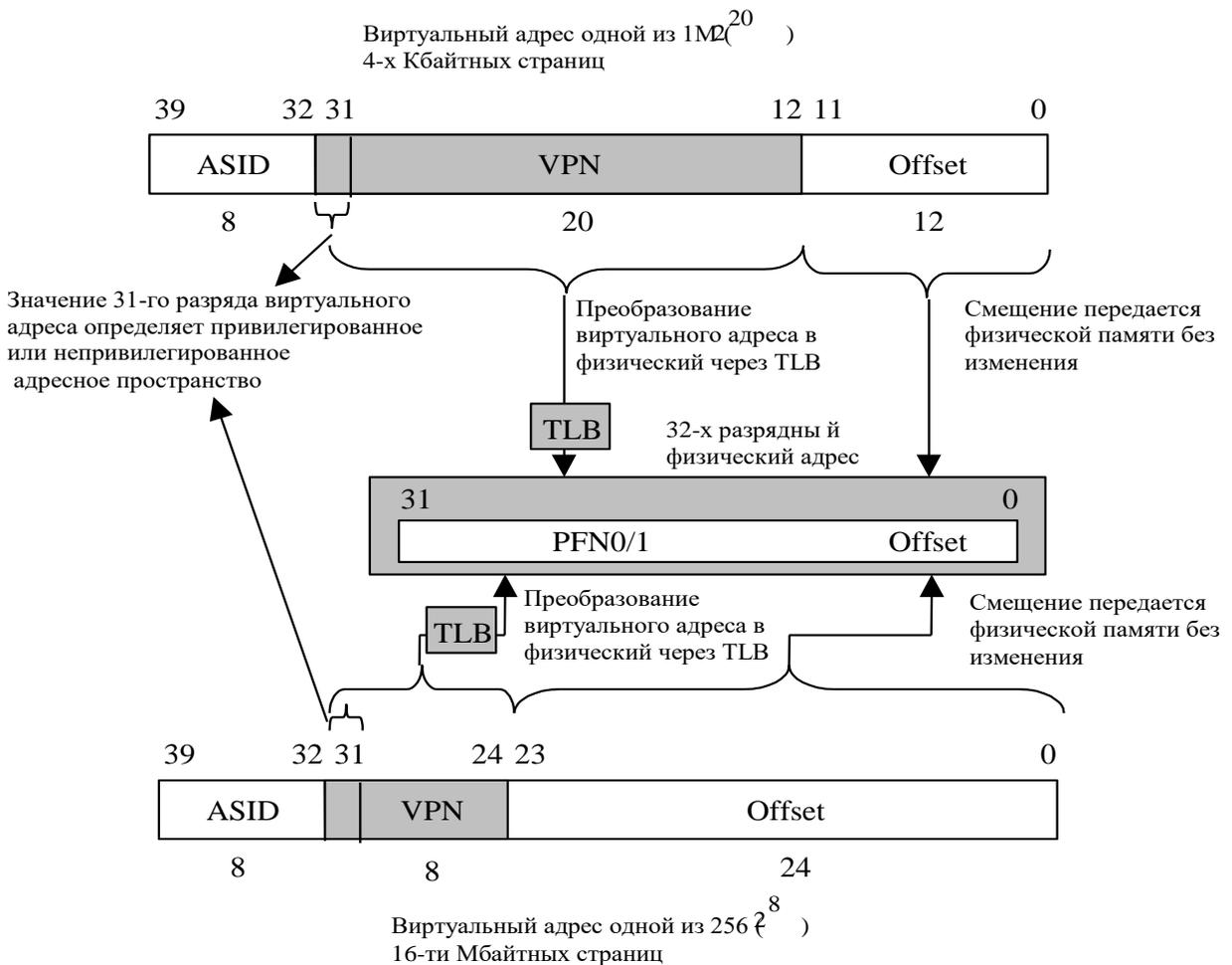


Рисунок 2.19

2.6.4.1 Попадания (hits), промахи (misses), и множественные попадания (multiple matches)

Каждая строка TLB содержит тэг и два поля данных. Если найдено соответствие, старшие разряды виртуального адреса заменяются физическим номером кадра (PFN), хранящимся в соответствующей строке массива данных TLB. Способ разбиения памяти при отображении определяется в терминах TLB-страниц. TLB поддерживает страницы различных размеров в пределах от 4 КБ до 16 МБ с шагом по степеням 4. Если соответствие найдено, но строка является запрещенной (т.е., бит V в поле данных равен 0), вырабатывается исключение TLB Invalid.

Если соответствие не найдено, возникает исключение TLB Refill, и программное обеспечение пополняет TLB из таблицы страниц, находящейся в памяти. На Рисунок 2.20 показан алгоритм преобразования и условия возникновения исключений TLB.

Программное обеспечение может делать записи в конкретные строки TLB или использовать аппаратный механизм записи в случайно выбранные строки. Регистр Random определяет, в какую строку будет сделана запись командой TLBWR. Этот регистр декрементируется на каждом такте продвижения конвейера, возвращаясь к максимальному значению после достижения величины, равной значению регистра Wired. Таким образом, строки TLB, чей номер меньше значения регистра Wired, не затрагиваются командой TLBWR, что позволяет зарезервировать TLB-отображения первостепенной важности.

В режиме TLB также реализован механизм сравнения при записи с целью предотвращения возникновения нескольких соответствий (множественных попаданий). Работает он следующим образом. При выполнении операции записи в TLB, поле виртуального адреса записываемой строки (VPN2 с учетом PageMask, ASID и бит G) сравнивается с одноименными полями всех строк TLB. Если будет найдено соответствие, возникнет аппаратно обрабатываемое исключение, которое установит бит TS регистра Status CP0 и прервет эту операцию. Подробно исключения описаны в п. 2.7. В каждой строке TLB имеется скрытый бит, обнуляемый при аппаратном сбросе. Устанавливается этот бит при записи в данную строку, разрешая просмотр этой строки при поисках соответствий. Поэтому непроинициализированные строки не вызывают неадекватные преобразования адресов.

Замечание: этот скрытый бит инициализации приводит все строки TLB к запрещенному состоянию после аппаратного сброса, что делает ненужной процедуру очистки (flush) TLB. Но для совместимости с другими MIPS – процессорами рекомендуется заполнять значения тэгов уникальными величинами и обнулять бит валидности (V).

Очистить строку TLB (вывести ее из рассмотрения при поиске) можно, записав в нее значение с неотображаемым через TLB адресом.

Смена размера маски или других переменных строки TLB не приводит к исключению, если она не вводит в противоречие данной строки с другими строками. Например, увеличение размера страницы расширением маски в одной строке TLB может привести к перекрытию данной страницы с другими страницами TLB.

2.6.4.2 Размеры страниц и алгоритм замещения

Для управления общим количеством отображаемого адресного пространства и характеристиками замещения в различных областях памяти ядро обеспечивает два механизма. Первый заключается в том, что размер страницы может быть задан относительно каждой строки TLB, что позволяет отображать страницы размером от 4 Кбайт до 16 Мбайт (по степеням 4). В регистр Page Mask CP0 загружается требуемый размер страницы, который при выполнении операции записи попадает в очередную строку TLB. Таким образом, операционная система может задавать отображения особых назначений.

Например, характерный кадровый буфер (frame buffer) может быть отображен на память всего одной строкой TLB.

Второй механизм управляет замещением, когда возникает промах при просмотре TLB. Для выбора строки TLB, в которую будет записано новое отображение, в процессорном ядре предусмотрен алгоритм случайного замещения. Но существует также способ программно предотвратить случайное замещение зарезервированных отображений, количество которых определяется значением регистра Wired CP0. (см. также п. 2.8.3.6).

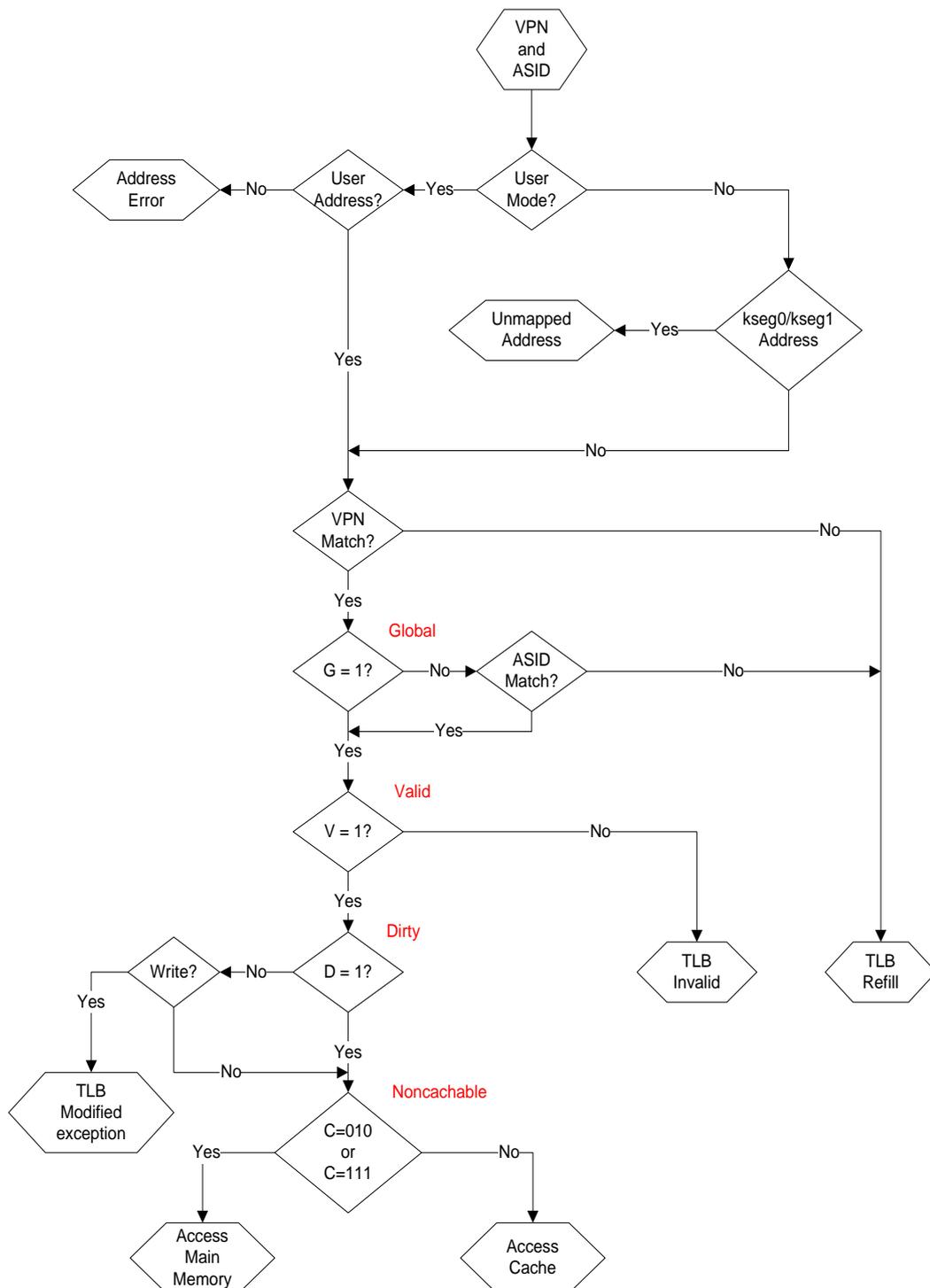


Рисунок 2.20. Алгоритм преобразования адреса через TLB

2.7 Исключения

Процессорное ядро способно принимать исключения от ряда источников, в том числе промах буфера преобразования адресов (TLB), арифметические переполнение, прерывание ввода-вывода, и системные вызовы. Обнаружив одно из этих исключений, CPU приостанавливает нормальную последовательность исполнения команд и процессор входит в режим Kernel.

В режиме Kernel ядро отключает прерывания и вынуждает процессор запустить программу обработчика исключений, расположенную в фиксированных адресах памяти. Обработчик сохраняет контекст процессора – содержимое счетчика команд, текущий режим процессора и статус разрешения прерываний. Таким образом, контекст может быть восстановлен по завершению обработки исключения.

При возникновении исключения в регистр Exception Program Counter (EPC) загружается адрес, начиная с которого исполнение команд может возобновиться после завершения обработки исключения. В регистр EPC помещается адрес команды, вызвавшей исключение или, если команда находилась в слоте задержки перехода, адрес команды перехода, предшествующей слоту задержки. Чтобы различить эти ситуации, программное обеспечение должно проанализировать бит BD (branch delay) в регистре Cause CP0.

2.7.1 Условия исключений

Исключения обрабатываются на стадии M конвейера. Когда исключительная ситуация обнаруживается, команда, находящаяся на стадии M, и все команды, следующие за ней на конвейере, отменяются. Соответственно, все условия остановки конвейера, относящиеся к этой команде, а также условия последующих исключений, которые также могут относиться к ней, игнорируются, поскольку обслуживание приостановок для отмененной команды не приносит выигрыша.

Когда условие исключения обнаруживается на стадии M, процессор заполняет необходимые регистры CP0 значениями, относящимися к состоянию исключения, изменяет счетчик команд (PC) на адрес соответствующего вектора обработки исключения и очищает признаки исключения, относящиеся к более ранним стадиям конвейера.

Такая реализация позволяет завершить исполнение команды, находящейся на стадии W, и запретить завершение последующих команд. Таким образом, значения, сохраненного в регистре EPC (в случае ошибок – в Error PC), достаточно для возобновления исполнения. Это также обеспечивает поступление исключений в соответствии с порядком исполнения команд – команда, вызывающая исключение, может быть уничтожена командой с более поздней стадии конвейера, также вызвавшей исключение.

2.7.2 Приоритеты исключений

В Таблица 2.15. перечислены все возможные исключения со своими относительными приоритетами от высшего к низшему. Некоторые из этих исключений могут случаться одновременно, в этом случае вызывается исключение с наивысшим приоритетом.

Таблица 2.15

Исключение	Описание
Reset	Аппаратный сброс
NMI	Внешнее немаскируемое прерывание и прерывание от таймера WDT (см. табл. 7.2).
TLB_Ri, TLB_Ii	Промах TLB при выборке команды, Попадание в запрещенную страницу TLB (V=0) при выборке команды
AdELi	Ошибка выравнивания адреса при выборке команды; Ссылка на адрес режима Kernel при работе в режиме User при выборке команды
MCheck	Запись в TLB, создающая конфликт с существующей строкой TLB
Sys	Выполнение команды SYSCALL
Bp	Выполнение команды BREAK
SpU	Выполнение команды сопроцессора в режиме User
RI	Выполнение зарезервированной команды
Ov	Переполнение в арифметической команде
Tr	Выполнение trap (когда условие trap истинно)
AdELd	Ошибка выравнивания адреса при загрузке данных; Ссылка на адрес режима Kernel при работе в режиме User при загрузке данных
AdES	Ошибка выравнивания адреса при сохранении данных; Попытка сохранения по адресу Kernel в режиме User
TLB_Rd, TLB_Id	Промах TLB при загрузке данных; Попадание в запрещенную страницу TLB (V=0) при загрузке данных
TLB_M	Сохранение в TLB-странице с D=0
Interrupt	Установка немаскируемых HW или SW - прерываний

2.7.3 Расположение векторов исключений

Векторы исключений аппаратного сброса и NMI всегда находятся по адресу 0xBFC_0000. Адреса всех других исключений являются комбинациями векторных смещений и базового адреса. В Таблица 2.16 приведены базовые адреса как функции исключения и состояния бита BEV Регистра Status. В Таблица 2.17. приведены смещения от базового адреса как функции исключения. В

Таблица 2.18 эти две таблицы сведены в одну таблицу, содержащую все возможные адреса векторов исключений как функции состояний, влияющих на выбор этих векторов.

Таблица 2.16

Исключение	Status _{BEV}	
	0	1
Reset, NMI	0xBFC0_0000	
Остальные исключения	0x8000_0000	0xBFC0_0200

Таблица 2.17. Базовые адреса векторов исключений

Исключение	Смещение вектора
TLB Refill, EXL = 0	0x000
Reset, NMI	0x000
Исключения общего характера (General Exeptions)	0x180

Исключение	Смещение вектора
Interrupt, Cause _{IV} = 1	0x200

Таблица 2.18. Векторы исключений

Исключение	BEV	EXL	IV	Вектор
Reset, NMI	-	-	-	0xBFC0_0000
TLB Refill	0	0	-	0x8000_0000
TLB Refill	0	1	-	0x8000_0180
TLB Refill	1	0	-	0xBFC0_0200
TLB Refill	1	1	-	0xBFC0_0380
Interrupt	0	0	0	0x8000_0180
Interrupt	0	0	1	0x8000_0200
Interrupt	1	0	0	0xBFC0_0380
Interrupt	1	0	1	0xBFC0_0400
Остальные	0	-	-	0x8000_0180
Остальные	1	-	-	0xBFC0_0380

2.7.4 Обработка общих исключений

Кроме исключений аппаратного сброса и NMI, которые обслуживаются особым образом, обработка всех остальных исключений происходит в соответствии со следующим основным маршрутом:

- Если бит EXL Регистра Состояния (Status) очищен, в регистр EPC загружается значение PC, по которому выполнение программы будет перезапущено, и при необходимости устанавливается бит BD в Регистре Причины (Cause). Если команда не находится в слоте задержки перехода, бит BD в Регистре Причины будет очищен, а в регистр EPC загружается значение, соответствующее текущему PC. Если же команда находится в слоте задержки перехода, бит BD в Регистре Причины устанавливается в “1”, и в EPC загружается значение, равное PC - 4. Если бит EXL в Регистре Состояния установлен, в регистр EPC ничего не загружается, и бит BD в Регистре Причины не модифицируется.
- В поле ExsCode Регистра Причины загружаются значения, соответствующие исключению.
- Устанавливается бит EXL в Регистре Состояния (Status).
- Процессор стартует с вектора исключения.

Значение, загруженное в EPC, представляет собой адрес возврата из исключения и в обычной ситуации программе обработки исключения не требуется его модифицировать. Программе также не нужно просматривать бит BD в Регистре Причины, если не возникает потребность определить действительный адрес команды, вызвавшей исключение.

```
Operation:
if StatusEXL == 0 then
if InstructionInBranchDelaySlot then
EPC <= PC - 4
CauseBD <= 1
else
EPC <= PC
CauseBD <= 0
endif
if (ExceptionType == TLBRefill) then
vectorOffset <= 0x000
elseif (ExceptionType == Interrupt) and
(CauseIV == 1) then
vectorOffset <= 0x200
else
vectorOffset <= 0x180
endif
else
vectorOffset <= 0x180
endif
CauseExcCode <= ExceptionType
StatusEXL <= 1
if (StatusBEV == 1) then
PC <= 0xBFC0_0200 + vectorOffset
else
PC <= 0x8000_0000 + vectorOffset
endif
```

2.7.5 Исключения

2.7.5.1 Исключение по аппаратному сбросу (Reset Exception)

Это немаскируемое исключение, которое происходит при установке сигнала аппаратного сброса. Когда возникает исключение аппаратного сброса, процессор выполняет полную начальную инициализацию, то есть приводит автоматы к начальному состоянию и переводит процессор в состояние, из которого он может начать запуск команд, находящихся в некешируемой и неотображаемой области. После возникновения исключения аппаратного сброса состояние процессора не определено, за исключением следующего:

- Регистр Random устанавливается в значение, равное количеству строк TLB - 1.
- Регистр Wired устанавливается в 0.
- Регистр Config устанавливается в свое начальное состояние (boot state).
- Поля BEV, TS, NMI и ERL Регистра Status устанавливаются в заданные значения.
- В PC загружается значение 0xBFC0_0000 (виртуальный адрес).

Вектор исключения:

```

Reset (0xBFC0_0000)
Operation:
Random <= TLBEntries - 1
Wired <= 0
Config <= ConfigurationState
StatusBEV <= 1
StatusTS <= 0
StatusNMI <= 0
StatusERL <= 1
PC <= 0xBFC0_0000

```

2.7.5.2 Исключение по немаскируемому прерыванию (Non Maskable Interrupt – NMI Exception)

Немаскируемое прерывание возникает по положительному фронту входного сигнала NMI или при срабатывании сторожевого таймера WDT. Исключение NMI происходит только в пределах границ команды, поэтому оно не вызывает сброса или другую переинициализацию аппаратных средств. Состояние кэш, памяти, а также другие состояния процессора остаются неизменными. Значения регистров также сохраняются за исключением следующего:

- Поля BEV, TS, NMI и ERL регистра Status принимают заданные значения.
- В регистр ErrorEPC загружается значение PC - 4, если прерывание произошло на фоне команды в слоте задержки перехода. В противном случае в регистр ErrorEPC загружается значение PC.
- В PC загружается значение 0xBFC0_0000.

```

Вектор исключения:
Reset (0xBFC0_0000)
Operation:
StatusBEV <= 1
StatusTS <= 0
StatusNMI <= 1

StatusERL <= 1
if InstructionInBranchDelaySlot then
ErrorEPC <= PC - 4
else
ErrorEPC <= PC
endif
PC <= 0xBFC0_0000

```

2.7.5.3 Исключение по обновлению TLB — выборка команды или доступ к данным (TLB Refill Exception – Instruction Fetch or Data Access)

Исключение TLB Refill происходит во время выборки команды или доступа к данным, если в TLB нет ни одной строки, соответствующей ссылке к отображенному адресному пространству, и бит EXL в регистре Status равен 0.

Значение поля ExcCode регистра Cause:

TLBL: Произошла ссылка по загрузке данных или выборке команды

TLBS: Произошла ссылка по сохранению данных
Дополнительно сохраняемые состояния:

Таблица 2.19

Состояние регистра	Значение
BadVAddr	ошибочный адрес
Context	поле BadVPN2 содержит VA _{31:13} ошибочного адреса
EntryHi	поле VPN2 содержит VA _{31:13} ошибочного адреса; поле ASID содержит ASID отсутствующей ссылки

Вектор исключения:

Вектор TLB Refill (смещение 0x000)

2.7.5.4 Исключение TLB Invalid — выборка команды или доступ к данным (TLB Invalid Exception – Instruction Fetch or Data Access)

Исключение TLB Invalid происходит во время выборки команды или доступа к данным в одном из следующих случаев:

- В TLB нет ни одной строки, соответствующей ссылке к отображенному адресному пространству, и бит EXL в регистре Status равен 1.
- Строка TLB соответствует ссылке к отображенному адресу, но ее бит валидности выключен.

Значение поля ExcCode регистра Cause:

TLBL: Произошла ссылка по загрузке данных или выборке команды

TLBS: Произошла ссылка по сохранению данных
Дополнительно сохраняемые состояния:

Таблица 2.20

Состояние регистра	Значение
BadVAddr	ошибочный адрес
Context	поле BadVPN2 содержит VA _{31:13} ошибочного адреса
EntryHi	поле VPN2 содержит VA _{31:13} ошибочного адреса; поле ASID содержит ASID отсутствующей ссылки

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.7.5.5 Исключение по ошибке адресации — выборка команды / доступ к данным (Address Error Exception – Instruction Fetch / Data Access)

Исключение по ошибке адресации во время доступа к команде или данным возникает при попытке выполнить одно из следующих действий:

- Выбрать команду, загрузить или сохранить слово данных, если они не выровнены в границах слова
- Загрузить или сохранить половину слова, если оно не выровнено в границах половины слова
- Обратиться по адресу пространства Kernel при работе в режиме User

Значение поля ExcCode регистра Cause:

ADEL: Произошла ссылка по загрузке данных или выборке команды

ADES: Произошла ссылка по сохранению данных
Дополнительно сохраняемые состояния:

Таблица 2.21

Состояние регистра	Значение
BadVAddr	ошибочный адрес

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.7.5.6 Исключение по аппаратному контролю (Mcheck – Machine Check Exception)

Данное исключение возникает, если при выполнении команды записи в TLB (TLBWI или TLBWR) обнаруживается, что поле виртуального адреса записываемой строки соответствует такому же полю одной из строк, уже хранящихся в TLB.

При возникновении данной ситуации запись в TLB не выполняется и устанавливается бит TS в регистре Status. Этот бит является статусным и не влияет на функционирование процессорного ядра. Сбрасывается он программно после разрешения данной ситуации, осуществляемого очисткой конфликтных строк в TLB.

Значение поля ExcCode регистра Cause:

Mcheck

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.7.5.7 Исключение исполнения – системный вызов (System Call Exception)

Исключение System Call является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение System Call возникает при исполнении команды SYSCALL.

Значение поля ExcCode регистра Cause:

Sys

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.7.5.8 Исключение исполнения — Breakpoint (Execution Exception – Breakpoint)

Исключение Breakpoint является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение Breakpoint возникает при исполнении команды BREAK.

Значение поля ExcCode регистра Cause:

Br

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.7.5.9 Исключение исполнения — зарезервированная команда (Execution Exception – Reserved Instruction)

Исключение зарезервированной команды является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение зарезервированной команды вызывается при исполнении команды с неопределенным кодом операции или полем функции.

Значение поля ExcCode регистра Cause:

RI

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.7.5.10 Исключение исполнения — недоступен сопроцессор (Execution Exception – Coprocessor Unusable)

Исключение недоступности сопроцессора является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение недоступности сопроцессора вызывается при попытке исполнения команды сопроцессора CP0 в режиме User.

Значение поля ExhCode регистра Cause:

CrU

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.7.5.11 Исключение исполнения — целочисленное переполнение (Execution Exception – Integer Overflow)

Исключение целочисленного переполнения является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение целочисленного переполнения вызывается, когда выбранные целочисленные команды приводят к переполнению в двоичном коде.

Значение поля ExhCode регистра Cause:

Ov

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.7.5.12 Искключение исполнения — Trap (Execution Exception – Trap)

Искключение Trap является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Искключение Trap вызывается, если условие команды trap истинно (TRUE).

Значение поля ExcCode регистра Cause:

Tr

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.7.5.13 Искключение сохранения в запрещенной области (TLB Modified Exception)

Это исключение возникает при обращении по записи данных к отображенному адресу, если выполняется следующее условие:

- Найденная строка TLB действительна, но страница запрещена для записи.

Значение поля ExcCode регистра Cause:

Mod

Дополнительно сохраняемые состояния:

Таблица 2.22

Состояние регистра	Значение
BadVAddr	Ошибочный адрес
Context	Поля BadVPN2 содержат VA _{31:13} ошибочного адреса
EntryHi	Поле VPN2 содержит VA _{31:13} ошибочного адреса; поле ASID содержит ASID отсутствующей ссылки

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.7.5.14 Искключение прерывания (Interrupt Exception)

Искключение прерывания возникает, когда сигнал одного или более разрешенных регистром Status прерываний устанавливается на входе процессора.

Значение поля ExcCode регистра Cause:

Int

Дополнительно сохраняемые состояния:

Таблица 2.23

Состояние регистра	Значение
Cause _{IP}	Указывает код прерывания

Вектор исключения:

Общий Вектор исключения (смещение 0x180), если бит IV регистра Cause равен 0;

Вектор прерывания (смещение 0x200), если бит IV регистра Cause равен 1.

2.7.6 Алгоритмы обработки исключений

В этом разделе приведены алгоритмы обработки следующих исключений:

- Общие исключения;
- Исключения пропуска при поиске по TLB;
- Исключения Reset и NMI;

Исключения аппаратно обрабатываются, а затем программно обслуживаются.

Алгоритмы обработки исключений приведены на Рисунок 2.21, Рисунок 2.22, Рисунок 2.23.

Все исключения кроме Reset, NMI и TLB-miss первого уровня. Прерывания могут быть замаскированы битами IE и IM

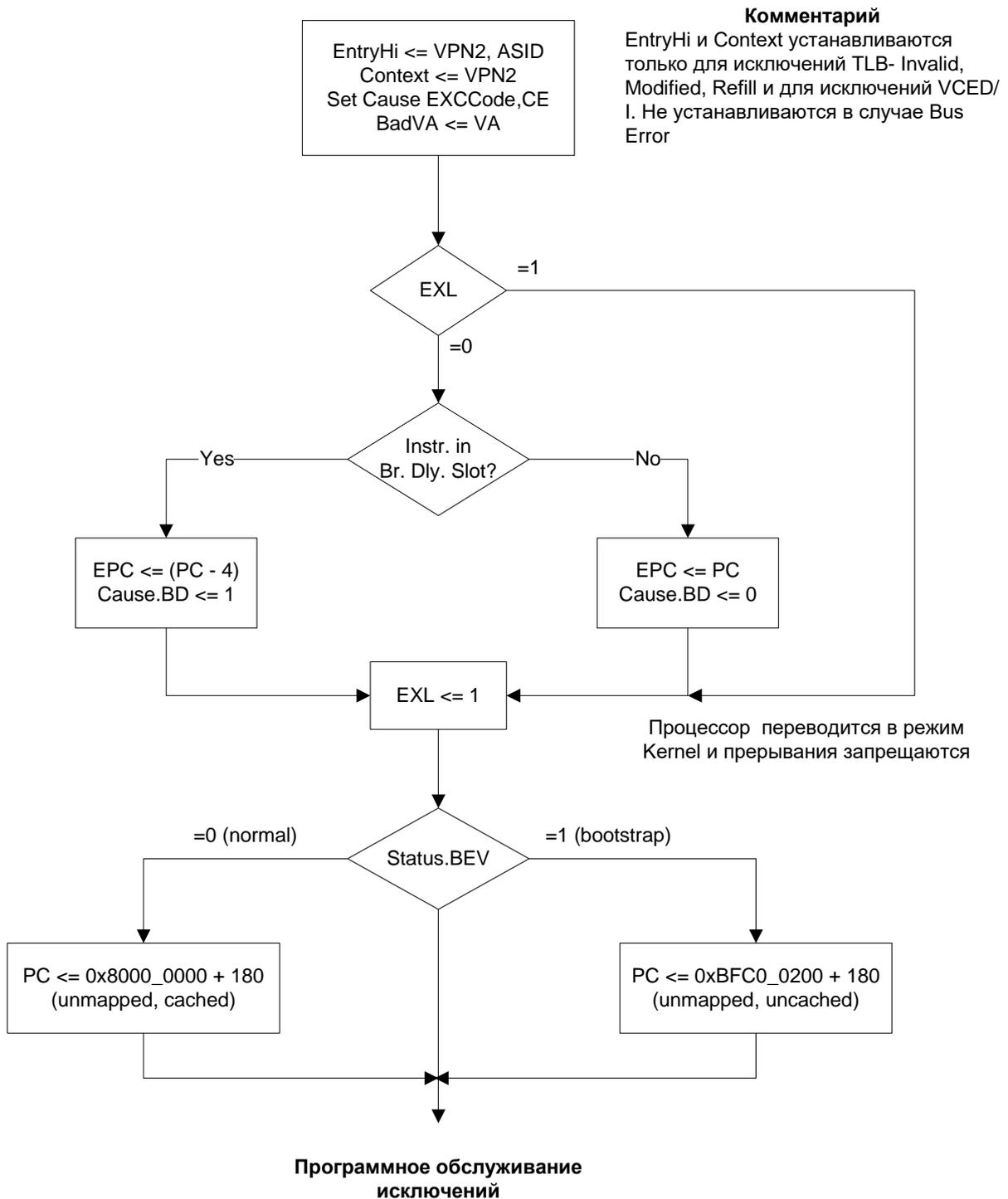


Рисунок 2.21. Обработка общих исключений

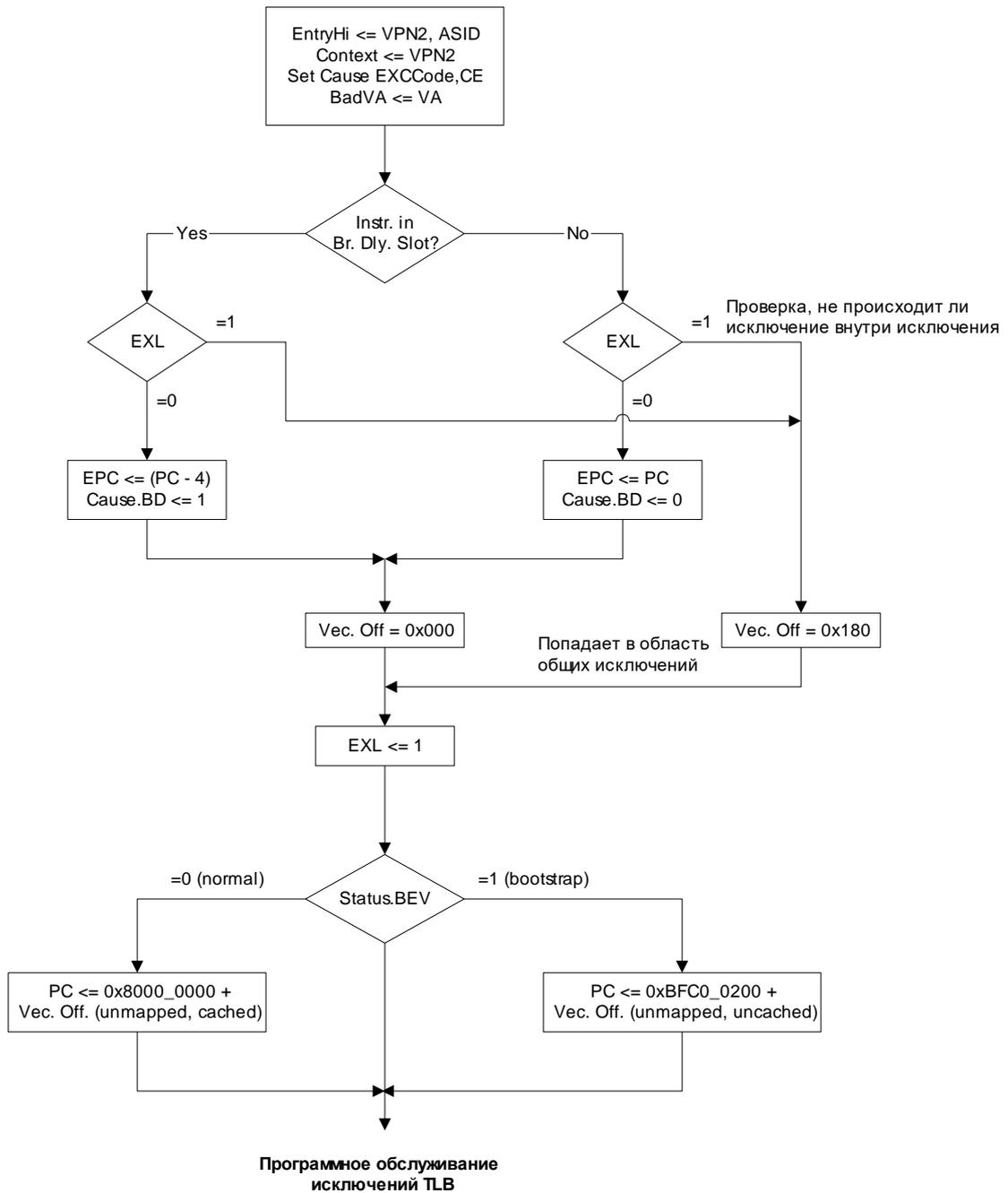


Рисунок 2.22. Обработка исключений TLB Refill и TLB Invalid

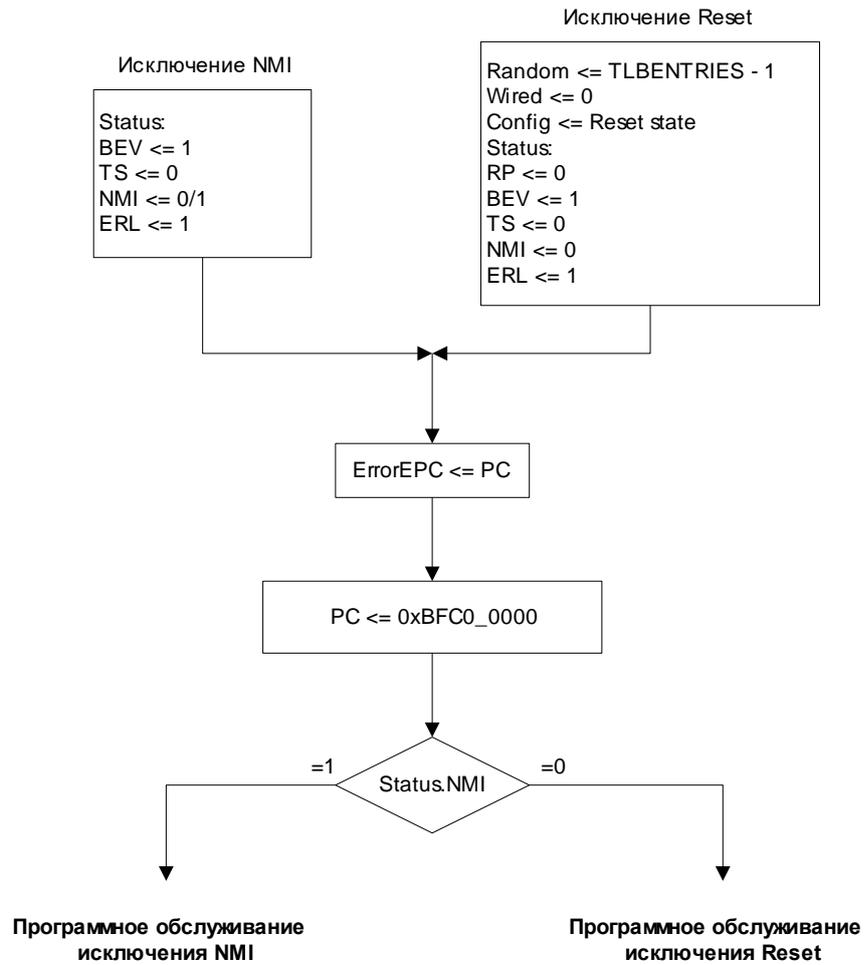


Рисунок 2.23. Обработка исключений Reset и NMI

2.8 Регистры CP0

2.8.1 Назначение

Системный Управляющий Сопроцессор (CP0) обеспечивает регистровый интерфейс с процессорным ядром MIPS32 и поддерживает управление памятью, преобразование адреса, обработку исключений и другие привилегированные операции. Каждому регистру CP0 соответствует определяющий его уникальный номер; этот номер называется *номером регистра*. Например, регистру PageMask соответствует 5-й номер регистра.

После записи нового значения в регистр CP0 (с помощью команды MTC0), его обновление происходит не сразу, а по прошествии периода от 0 и более команд. Этот период называется периодом особой ситуации.

2.8.2 Обзор регистров CP0

В Таблица 2.24. приведены все регистры CP0 в порядке возрастания нумерации. В разделе 5.3 каждый из этих регистров описан отдельно.

Таблица 2.24. Регистры CP0

Номер регистра	Название регистра	Функция
0	Index ¹	Индекс матрицы TLB (режим TLB)
1	Random ¹	Случайным образом сгенерированный индекс для буфера TLB (режим TLB)
2	EntryLo0 ¹	Младшая часть строки TLB для виртуальных страниц с четными номерами (режим TLB)
3	EntryLo1 ¹	Младшая часть строки TLB для виртуальных страниц с нечетными номерами (режим TLB)
4	Context ²	Указатель на строку в таблице страниц памяти (режим TLB)
5	PageMask ¹	Управление переменным размером страниц строк TLB (режим TLB)
6	Wired ¹	Управление количеством закрепленных “привязанных” строк TLB (режим TLB)
7	Reserved	Резерв
8	BadVAddr ²	Содержит адрес, вызвавший последнее связанное с адресацией исключение
9	Count ²	Счетчик процессорных циклов
10	EntryHi ¹	Старшая часть строки TLB (режим TLB)
11	Compare ²	Управление прерыванием таймера
12	Status ²	Состояние и управление процессором
13	Cause ²	Причина последнего исключения
14	EPC ²	Значение счетчика команд во время последнего исключения
15	PRId	Идентификация и ревизия процессора
16	Config/Config1	Конфигурационный регистр
17	LLAddr	Загрузка адреса сопряжения
18-19	Не реализованы	
20-22	Reserved	Резерв

Номер регистра	Название регистра	Функция
23-24	Не реализованы	
25-27	Reserved	Резерв
28-29	Не реализованы	
30	ErrorEPC ²	Значение счетчика команд при последней ошибке
31	Не реализован	

¹Регистры, используемые при управлении памятью.

²Регистры, используемые при обработке исключений.

2.8.3 Регистры CP0

Регистры CP0 обеспечивают интерфейс между системой команд (ISA) и архитектурой процессора. Каждый регистр, описанный в этом разделе, представлен своим порядковым номером и значением поля select.

Все поля описанных регистров характеризуются свойствами записи / чтения, а также значением после аппаратного сброса. Свойства записи / чтения охарактеризованы в Таблица 2.25.

Таблица 2.25

Свойства записи/чтения	Аппаратная интерпретация	Программная интерпретация
R/W	Поле, в котором все биты программно и аппаратно доступны по записи и чтению. Аппаратное обновление этого поля доступно для программы при чтении программой. Программное обновление этого поля доступно для процессора при чтении процессором. Если значение поля после сброса не определено, программа или процессор должны проинициализировать это поле, чтобы первое чтение возвратило предсказуемое значение.	
R	Поле, значение которого постоянно или обновляется только процессором. Значение поля после начальной установки восстанавливается также при включении питания. Если значение поля не определено после начальной установки, процессор обновляет его только при условиях, определенных при описании поля.	Поле, для которого значение, записанное программой, процессором игнорируется. Программное прочтение этого поля возвращает последнее обновленное процессором значение. Если значение поля не определено после начальной установки, программное прочтение этого поля возвратит непредсказуемое значение кроме тех случаев, когда произошло обновление процессором значения этого поля по возникновению условий, определенных в описании поля условий.
0	Поле, значение которого процессором не обновляется и всегда равно нулю.	Программное чтение всегда возвращает ноль.

2.8.3.1 Регистр Index (Регистр 0 CP0, Select 0).

Регистр Index является 32-х разрядным регистром, доступным для чтения и записи. Он содержит индекс доступа к TLB для команд TLBP, TLBR и TLBWI. Ширина поля индекса зависит от количества строк TLB и равна 4.

Функционирование процессора «НЕ ОПРЕДЕЛЕНО», если в регистр Index записано значение большее или равное количеству строк TLB.

Формат регистра Index

31 30	0	4 3
P 0		Index

Таблица 2.26. Описание полей регистра Index

Поля		Описание	Чтение/ запись	Начальное со- стояние
Имя	Биты			
P	31	Неудачная проба. Устанавливается в 1, если предыдущей командой TLBProbe (TLBP) не было найдено соответствия в TLB.	R	Не определено
0	30:4	При чтении возвращается нуль	0	0
Index	3:0	Индекс строки TLB, к которой относятся команды TLBRead и TLBWrite	R/W	Не определено

2.8.3.2 Регистр Random (Регистр CP0 1, Select 0).

Регистр Random доступен только для чтения, и его значение используется как индекс TLB для команды TLBWR. Ширина поля Random определяется таким же образом, как для регистра Index.

Значение этого регистра изменяется между верхней и нижней границами следующим образом:

- Нижняя граница определяется количеством строк TLB, зарезервированных для использования операционной системой (содержимое регистра Wired). Строка, чей индекс равен значению Wired, является первой из доступных для записи командой TLB Write Random (TLBWR).
- Верхняя граница равна общему количеству строк TLB минус 1.

Регистр Random уменьшается на 1 при продвижении конвейера RISC, возвращаясь к максимальному значению по достижению величины, равной значению регистра Wired.

Процессор инициализирует регистр Random значением, равным верхней границе по возникновению исключения Reset и по записи в регистр Wired.

Формат регистра Random

31	0	4 3
0		Random

Таблица 2.27. Описание полей регистра Random

Поля		Описание	Чтение/ запись	Начальное со- стояние
Имя	Биты			
0	31:4	При чтении возвращается нуль	0	0
Random	3:0	Случайный индекс строки TLB	R	TLB Entries - 1

2.8.3.3 EntryLo0, EntryLo1 (Регистры 2 и 3 CP0, Select 0)

Пара регистров EntryLo действует как интерфейс между TLB и командами TLBR, TLBWI, TLBWR.

В режиме TLB EntryLo0 содержит строки для четных страниц TLB, а EntryLo1 – для нечетных страниц.

После ошибки адресации и возникновения исключений TLB refill, TLB invalid и TLB modified, содержимое регистров EntryLo0 и EntryLo1 не определено.

Формат регистров EntryLo0, EntryLo1

31	30	29	26	25	1	0	6	5	3	2
R	0	PFN				C	D	V	G	

Таблица 2.28. Описание полей регистров EntryLo0 и EntryLo1

Поля	Описание		Чтение/ запись	Начальное состояние
	Имя	Биты		
R	31:30	Резервные. При чтении возвращается нуль	R	0
0	29:26	При чтении возвращается нуль	R	0
PFN	25:6	Номер страничного кадра. Соответствует битам 31:12 физического адреса.	R/W	Не определено
C	5:3	Атрибут когерентности страницы. См. табл.2.18.	R/W	Не определено
D	2	“Dirty” – бит, разрешающий запись. Указывает на то, что в страницу была сделана запись, и/или страница открыта для записи. Если этот бит равен 1, разрешается сохранение в этой странице. Если он равен 0, сохранение в этой странице вызывает исключение TLB Modified.	R/W	Не определено
V	1	Бит валидности. Указывает, на то, что строка TLB и, соответственно, отображение виртуальной страницы, является действительным. Если этот бит равен 1, доступ к странице разрешается. Если этот бит равен 0, доступ к странице вызывает исключение TLB Invalid.	R/W	Не определено
G	0	Бит глобальности. При записи в TLB битом G в строке TLB становится логическое “И” битов G EntryLo0 и EntryLo1. Если бит G строки TLB равен 1, результат сравнения полей ASID игнорируется при поиске по TLB. При чтении строки TLB биты G EntryLo0 и EntryLo1 отражают состояние бита G TLB.	R/W	Не определено

В Таблица 2.29. приведена кодировка для поля C регистров EntryLo0 и EntryLo1 и полей K0, K23 и KU регистра Config.

Таблица 2.29. Атрибуты когерентности кэш

Значение C[5:3]	Описание
0, 1, 3*, 4, 5, 6	Кэшируемая, некогерентная область
2*, 7	Некэшируемая область
* - Архитектура MIPS32 предусматривает только эти два значения. Остальные значения не используются и отображаются в используемые значения. Например, 0, 1, 4, 5 и 6 отображается в 3, а 7 – в 2.	

2.8.3.4 Регистр Context (Регистр 4 CP0, Select 0)

Регистр Context доступен для чтения и записи, и содержит указатель на строку в матрице PTE (page table entry). Эта матрица является структурой данных операционной системы, в которой содержатся преобразования виртуального адреса в физический. При возникновении промаха TLB, операционная система загружает в TLB недостающее преобразование из матрицы PTE.

Регистр Context дублирует часть информации, содержащейся в регистре BadVAddr, но организован таким образом, что операционная система может прямо ссылаться к 8-байтной матрице PTE в памяти.

При возникновении исключения TLB (TLB Refill, TLB Invalid, или TLB Modified) биты VA_{31:13} виртуального адреса записываются в поле BadVPN2 регистра Context. Поле PTEBase записывается и используется операционной системой.

После возникновения исключения ошибки адресации значение поля BadVPN2 регистра Context не определено.

Формат регистра Context

31	23 22	0	4 3
PTEBase	BadVPN2		

Таблица 2.30. Описание полей регистра Context

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
PTEBase	31:23	Это поле используется операционной системой и обычно содержит значение, позволяющее операционной системе использовать регистр Context в качестве указателя на текущую матрицу PTE в памяти.	R/W	Не определено
BadVPN2	22:4	Это поле заполняется процессором при промахе TLB. Оно содержит биты VA _{31:13} пропущенного виртуального адреса	R	Не определено
0	3:0	При чтении возвращается ноль	0	0

2.8.3.5 Регистр PageMask (Регистр 5 CP0, Select 0)

Регистр PageMask доступен для чтения и записи, и используется для чтения TLB и записи в TLB. Он содержит маску сравнения, которая устанавливает переменную размера страниц для каждой строки TLB, как показано в таблице 2.32. Если значение регистра отличается от значений, приведенных в таблице, поведение процессора при поиске по TLB не определено.

Формат регистра PageMask

31	25	24	13	12
0				
0	Mask			0

Таблица 2.31. Описание полей регистра PageMask

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
Mask	24:13	Бит маски, содержащий “1”, указывает на то, что соответствующий бит виртуального адреса не должен принимать участие при поиске соответствия по TLB	R/W	Не определено
0	31:25, 12:0	При чтении возвращается ноль	0	0

Таблица 2.32. Таблица возможных значений поля Mask регистра PageMask.

Размер страницы	Бит											
	24	23	22	21	20	19	18	17	16	15	14	13
4 КБайт	0	0	0	0	0	0	0	0	0	0	0	0
16 Кбайт	0	0	0	0	0	0	0	0	0	0	1	1
64 Кбайт	0	0	0	0	0	0	0	0	1	1	1	1
256 Кбайт	0	0	0	0	0	0	1	1	1	1	1	1
1 Мбайт	0	0	0	0	1	1	1	1	1	1	1	1
4 Мбайт	0	0	1	1	1	1	1	1	1	1	1	1
16 Мбайт	1	1	1	1	1	1	1	1	1	1	1	1

2.8.3.6 Регистр Wired (Регистр 6 CP0, Select 0)

Регистр Wired доступен для чтения и записи. Этот регистр определяет границу между случайными и “привязанными” строками TLB, как показано на Рисунок 2.24. Ширина поля Wired определяется так же, как для описанного выше регистра Index. “Привязанные” строки зафиксированы, то есть они не являются удаляемыми и не могут быть перезаписаны командой TLBWR. Эти строки могут быть перезаписаны только командой TLBWI.

Регистр Wired устанавливается в нулевое состояние исключением по аппаратному сбросу (Reset). Запись в регистр Wired вызывает установку регистра Random в значение, равное его верхней границе.

Если значение, записанное в регистр Wired, больше или равно числу строк TLB, операция процессора не определена.

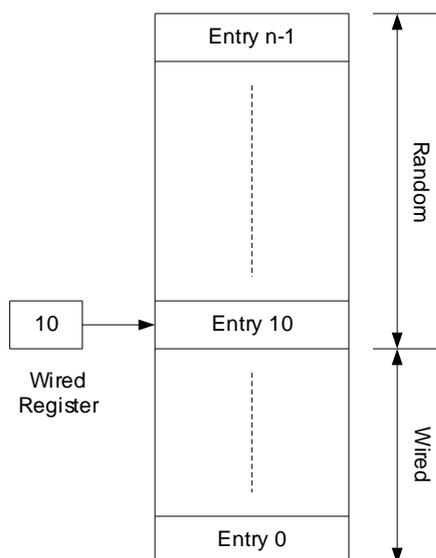


Рисунок 2.24. “Привязанные” и случайные строки TLB

Формат регистра Wired

31	0	4 3
0		Wired

Таблица 2.33. Описание полей регистра Wired

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
0	31:4	При чтении возвращается нуль	0	0
Wired	3:0	Граница между “привязанными” и случайными строками TLB.	R/W	0

2.8.3.7 Регистр BadVAddr (Регистр 8 CP0, Select 0)

Регистр BadVAddr доступен только для чтения и содержит последний виртуальный адрес, вызвавший одно из следующих исключений:

- Ошибка адреса (AdEL или AdES)
- TLB Refill
- TLB Invalid
- TLB Modified

Формат регистра BadVAddr

31 0
BadVAddr

Таблица 2.34. Описание полей регистра BadVAddr

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
BadVAddr	31:0	Виртуальный адрес, вызвавший исключение	R	Не определено

2.8.3.8 Регистр Count (Регистр 9 CP0, Select 0)

Регистр Count действует как таймер, увеличивающий свое значение каждый такт. Регистр Count может быть записан в функциональных или диагностических целях, включая установку или синхронизацию процессора.

Формат регистра Count

31 0
Count

Таблица 2.35. Описание полей регистра Count

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
Count	31:0	Счетчик	R/W	Не определено

2.8.3.9 Регистр EntryHi (Регистр 10 CP0, Select 0)

Регистр EntryHi содержит информацию соответствия виртуального адреса, используемая при чтении, записи и операциях доступа к TLB.

При возникновении исключений TLB (TLB Refill, TLB Invalid или TLB Modified) биты VA_{31:13} виртуального адреса записываются в поле VPN2 регистра EntryHi. В поле ASID, которое используется в процессе сравнения при поиске по TLB, программно записывается идентификатор текущего адресного пространства.

Поле VPN2 регистра EntryHi не определено после прерывания по ошибке адресации.

Формат регистра EntryHi

31		
0		
VPN2	0	ASID

Таблица 2.36. Описание полей регистра EntryHi

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
VPN2	31:13	Разряды VA _{31:13} виртуального адреса (виртуальный номер страницы, деленный на 2). Это поле записывается аппаратно при исключении TLB или при чтении TLB, и программно перед записью в TLB.	R/W	Не определено
0	12:8	При чтении возвращается нуль	0	0
ASID	7:0	Идентификатор адресного пространства. Это поле записывается аппаратно при чтении TLB, и программно при установке текущего значения ASID для записи в TLB и для сравнения при поиске по TLB с соответствующими полями ASID в строках TLB.	R/W	Не определено

2.8.3.10 Регистр Compare (Регистр 11 CP0, Select 0)

Регистр Compare действует совместно с регистром Count с целью реализации функции таймера и прерывания по таймеру. Прерывание по таймеру является выходным сигналом процессора.

Результат сравнения регистров Count и Compare заведен на 15 разряд регистра Cause. Когда значение регистра Count равняется значению регистра Compare, этот бит имеет единичное состояние. Он остается в этом состоянии, пока в регистр Compare не будет произведена запись.

Для диагностических целей регистр Compare доступен для чтения и записи. Однако при нормальном функционировании регистр Compare используется только для записи. При записи значения в регистр Compare в качестве побочного эффекта происходит очистка бита прерывания по таймеру.

Формат регистра Compare

31		
0		
Compare		

Таблица 2.37. Описание полей регистра Compare

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
Compare	31:0	Период счета таймера	R/W	Не определено

2.8.3.11 Регистр Status (Регистр 12 CP0, Select 0)

Регистр Status (SR) является регистром, доступным для чтения и записи. Он содержит поля рабочего режима, разрешения прерываний и диагностические состояния процессора. Для задания режимов функционирования процессора, поля этого регистра объединяются следующим образом:

Разрешение прерываний: Прерывания разрешаются, когда истинны все следующие условия:

- IE = 1
- EXL = 0
- ERL = 0

Если эти условия выполнены, прерывания разрешаются установкой битов IM.

Рабочие режимы: Процессор всегда находится в одном из двух режимов – Kernel или User. Режим задается установкой следующих битов регистра Status CPU.

- Режим User: UM = 1, EXL = 0, and ERL = 0
- Режим Kernel: UM = 0 или EXL = 1 или ERL = 1

Формат Status регистра

31	28	27	26	23	22	21	20	19	18	16	15	8	7	5	4	3	2
CU3-CU0	0	0	BEV	TS	0	NMI	0	IM7-IM0	0	U	0	ERL	EXL	IE			
							1	0		M							

Таблица 2.38. Описание полей регистра Status

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
CU3-CU0	31:28	Управление доступом к сопроцессорам 3, 2, 1 и 0 соответственно: 0 – доступ запрещен; 1 – доступ разрешен. Сопроцессор 0 всегда доступен в режиме kernel в не зависимости от состояния бита CU0. CU1 соответствует FPU (сoproцессор 1). Сoproцессоров 2 и 3 в CPU нет. Обращение к ним запрещено, так как это приведет к непредсказуемой ситуации	R/W	Не определено
-	27	Не используется	0	0
-	26:23	Не используется	0	0
BEV	22	Управление размещением векторов исключения: 0: Нормальный 1: Начальная загрузка	R/W	1

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
TS	21	TLB-закрытие системы. Этот бит устанавливается, если при выполнении команд TLBWI или TLBWR образуется команда, которая приводит к условию закрытия, если оно разрешено. Программа может записывать в этот разряд только 0, чтобы очистить его, и не может вызвать переход этого бита из 0 в 1.	R/W	0
NMI	19	Указывает, что вход в вектор исключения начальной установки был осуществлен по причине возникновения NMI. 0: Не NMI (Аппаратный сброс) 1: NMI Программное обеспечение может записывать в этот бит только 0, чтобы очистить его, и не может записать 1.	R/W	1 для NMI, иначе 0
-	18:16	При чтении возвращается нуль	0	0
IM[7:0]	15:8	Маска прерываний: управление разрешением внешних, внутренних и программных прерываний. Прерывание принимается в случае, если установлен бит IE регистра Status и установлены соответствующие биты как в поле IM[7:0] регистра Status, так и в поле IP[7:0] регистра Cause. 0: Запрос на прерывание не разрешен. 1: Запрос на прерывание разрешен.	R/W	Не определено
-	7:5	При чтении возвращается нуль	0	0
UM	4	Указывает на то, что процессор работает в непривилегированном режиме (User): 0: Процессор работает в привилегированном режиме (Kernel) 1: Процессор работает в непривилегированном режиме (User) Замечание: процессор может также находиться в режиме Kernel, если установлены биты EXL или ERL. Это условие не влияет на состояние бита UM.	R/W	Не определено
-	3	При чтении возвращается нуль	0	0

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
ERL	2	<p>Уровень ошибки. Устанавливается процессором при возникновении исключений Reset и NMI.</p> <p>0: Нормальный уровень 1: Уровень ошибки</p> <p>Когда бит ERL установлен: Процессор находится в режиме Kernel. Прерывания запрещены. Команда ERET использует адрес возврата, содержащийся в ErrorEPC вместо EPC. kuseg используется как неотображаемая и некэшируемая область. Это позволяет иметь доступ к главной памяти при ошибках кэш. Поведение процессора не определено, если бит ERL установлен при выполнении кода из useg/kuseg.</p>	R/W	1
EXL	1	<p>Уровень Исключения.</p> <p>Устанавливается процессором при возникновении любого исключения, кроме Reset и NMI.</p> <p>0: Нормальный уровень 1: Уровень исключения</p> <p>Когда бит EXL установлен: Процессор переходит в привилегированный режим (Kernel). Прерывания запрещены. Исключения TLB Refill используют общий вектор исключения вместо вектора TLB Refill. Если происходит другое исключение, EPC не модифицируется.</p>	R/W	Не определено
IE	0	<p>Разрешение Прерывания.</p> <p>0: Отключает прерывания 1: Разрешает прерываниям</p>	R/W	Не определено

2.8.3.12 Регистр Cause (Регистр 13 CP0, Select 0)

Регистр Cause, в основном, описывает причину последнего исключения. Кроме того, поля регистра управляют запросами на программные прерывания и определяют вектор, которым обрабатываются прерывания. Все поля регистра Cause, за исключением IP[1:0], IV и WP, доступны только для чтения.

Формат регистра Cause

	31	30	24	23	22		16	15	10	9		8	7	6
						2	1	0						
BD	0		IV	0			IP[7:2]	IP[1:0]	0	Exc Code		0		

Таблица 2.39. Описание полей регистра Cause

Поля		Описание	Чте- ние/ запись	Начальное состояние
Имя	Биты			
BD	31	Указывает на то, что последнее исключение произошло в слоте задержки перехода: 0: Не в слоте задержки 1: В слоте задержки Замечание: бит BD не модифицируется на новом исключении, если установлен бит EXL.	R	Не определено
0	30:24	При чтении возвращается нуль	0	0
IV	23	Указывает, какой вектор используется для обслуживания исключений прерывания – общий или специальный вектор прерываний: 0: Используется общий вектор исключения (0x180) 1: Используется специальный вектор прерываний (0x200)	R/W	Не определено
0	22:16	При чтении возвращается нуль	0	0
IP[7:2]	15:10	Указывает, какое прерывание установлено: 15 – - COMPARE; 14 – прерывания от всех DSP, объединенные по ИЛИ; 13 - отображается объединенное по ИЛИ содержимое регистра QSTR3 с учетом регистра маски MASKR3; 12 - отображается объединенное по ИЛИ содержимое регистра QSTR2 с учетом регистра маски MASKR2; 11 - отображается объединенное по ИЛИ содержимое регистра QSTR1 с учетом регистра маски MASKR1; 10 - отображается объединенное по ИЛИ содержимое регистра QSTR0 с учетом регистра маски MASKR0	R	Не определено
IP[1:0]	9:8	Управляет запросами программных прерываний (посредством записи «1» в данные разряды): 9: Запрос программного прерывания 1; 8: Запрос программного прерывания 0.	R/W	Не определено
ID	7	Прерывание от встроенных средств отладки программ (OnCD).	R/W	0
Exc Code	6:2	Код исключения – см. таблицу 2.40		
0	1:0	При чтении возвращается нуль	0	0

Таблица 2.40. Описание поля Exc Code регистра Cause

Значение Exc Code	Мнемоника	Описание
0	Int	Прерывание
1	Mod	TLB-исключение модификации
2	TLBL	TLB-исключение (загрузка или вызов команды)
3	TLBS	TLB-исключение (сохранение)
4	AdEL	Прерывание по ошибке адресации (загрузка или вызов команды)
5	AdES	Прерывание по ошибке адресации (сохранение)
6-7	-	Не используются
8	Sys	Системное исключение
9	Bp	Исключение Breakpoint
10	RI	Исключение зарезервированной команды
11	SpU	Исключение недоступности сопроцессора
12	Ov	Исключение целочисленного переполнения
13	Tr	Исключение Trap
14	-	Не используются
15	FPE	Исключение от сопроцессора арифметики в формате с плавающей точкой (FPU)
16-23	-	Не используются
24	MCheck	Аппаратный контроль
25-31	-	Не используются

2.8.3.13 Регистр EPC (Регистр 14 CP0, Select 0)

Программный счетчик исключения (EPC) является регистром, доступным для чтения и записи. EPC содержит адрес, начиная с которого возобновляется исполнение программы после завершения обработки исключения. Все биты регистра EPC значимы и должны перезаписываться.

Для синхронных (точных) исключений, EPC содержит одно из следующего:

- Виртуальный адрес команды, которая была прямой причиной исключения;
- Виртуальный адрес команды перехода (Branch или Jump), непосредственно предшествующей исключению, если команда, вызвавшая исключение, находится в слоте задержки перехода и установлен бит BD в регистре Cause.

Если установлен бит EXL в регистре Status, процессор не записывает адрес в регистр EPC при возникновении новых исключений. Однако, новое значение можно записать в EPC командой MTC0.

Формат регистра EPC

31 0
EPC

Таблица 2.41. Описание полей регистра EPC

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
EPC	31:0	Программный счетчик исключения	R/W	Не определено

2.8.3.14 Регистр PRId (Регистр 15 CP0, Select 0)

Регистр идентификации процессора (PRId) – это 32-х разрядный регистр, доступный только для чтения. Он содержит информацию, идентифицирующую изготовителя, опции изготовителя, идентификацию процессора, и версию процессора.

Формат регистра PRId

31	24 23	16 15	8 7
0			
R	Company ID	Processor ID	Revision

Таблица 2.42. Описание полей регистра PRID

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
-	31:24	Не используются	R	0x00
Company ID	23:16	Идентификация компании, которая проектировала или изготовляла процессор.	R	0x0A
Processor ID	15:8	Идентификация типа процессора.	R	0x20
Revision	7:0	Номер версии процессора. Позволяет программам различать разные версии одного типа процессора.	R	0x01

2.8.3.15 Регистр Config (Регистр 16 CP0, Select 0)

Регистр Config определяет различную конфигурационную информацию, а также информацию о возможностях процессора. Большинство полей регистра Config инициализируется аппаратно при выполнении исключения Reset или имеет постоянное значение, и только поле K0 должно быть проинициализировано программно обработчиком исключения Reset.

Формат регистра Config

31	30	28	27	25	24	21	20	19	18	17	16	15	14	13	12	10	9	7	6
M	K23	KU	0	MD	R	MM	BM	BE	AT	AR	MT	0	K0						

Таблица 2.43. Описание полей регистра Config

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
M	31	Этот бит аппаратно устанавливается в высокий уровень, указывая на наличие регистра Config1	R	1
K23	30:28	Это поле управляет кэшируемостью адресных сегментов kseg2 и kseg3 в режиме FM. В режиме TLB не используется. См. табл.2.33.	FM:R/ W	FM:010
			TLB:R	TLB:000
KU	27:25	Это поле управляет кэшируемостью адресных сегментов kuseg и useg в режиме FM. В режиме TLB не используется. См. табл.2.33.	FM:R/ W	FM:010
			TLB:R	TLB:000
0	24:21	Не используются	0	0
MDU	20	Тип MDU: итеративный умножитель и делитель	R	1
R	19	При чтении возвращается нуль	0	0
MM	18:17	Режим No Merging для 32 bit collapsing write buffer	R	0
BM	16	Тип передачи Burst: последовательный	R	0
BE	15	Режим endian: Little endian	R	0

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
AT	14:13	Тип архитектуры, реализованной процес- сором: MIPS32.	R	0
AR	12:10	Номер версии: 1	R	0
MT	9:7	Тип MMU: 1: Стандартный TLB (FM = 0) 3: Фиксированное отображение (FM = 1) 0, 2, 4-7: зарезервированы	R	TLB: 01
				FM: 11
R	6:3	При чтении возвращается нуль	0	0
K0	2:0	Алгоритм когерентности для kseg0, см. Таблица 2.29.	R/W	010

Таблица 2.44. Атрибуты когерентности кэш

Значение C[5:3]	
0, 1, 3*, 4, 5, 6	Кэшируемая, некогерентная область
2*, 7	Некэшируемая область
* - Архитектура MIPS32 предусматривает только эти два значения. Остальные значе- ния не используются и отображаются в используемые значения. Например, 0, 1, 4, 5 и 6 отображается в 3, а 7 – в 2.	

2.8.3.16 Регистр Config1 (Регистр 16 CP0, Select 1)

Регистр Config1 является дополнением к регистру Config и кодирует дополнительную информацию о возможностях процессора. Все поля регистра Config1 доступны только для чтения.

Формат регистра Config1

31	30	25	24	22	21	19	18	16	15	13	12	10	9	7	6	5	4	3	2
									1	0									
R	MMUSize	IS	IL	IA	DS	DL	DA	R	PC	WR	CA	EP	FP						

Таблица 2.45. Описание полей Config1 регистра

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
R	31	При чтении возвращается нуль	0	0
Размер MMU	30:25	Это поле содержит количество строк TLB минус 1. В режиме TLB возвращается код 15 в десятичном формате, в режиме Fixed Mapping – 0.	R	001111 (FM=0)
				000000 (FM=1)
IS	24:22	Количество наборов кэш команд: резервная опция	R	111
IL	21:19	Размер строки кэш команд: 16 байт	R	011
IA	18:16	Тип кэш команд: Direct mapped	R	0
DS	15:13	Нет кэш данных	R	0
DL	12:10	Нет кэш данных	R	0
DA	9:7	Нет кэш данных	R	0
R	6:5	При чтении возвращается нуль	0	0
PC	4	Нет регистра Performance Counter	R	0
WR	3	Нет регистра WATCH	R	0
CA	2	Не реализовано	R	0
EP	1	EJTAG не реализован	R	0

FP	0	Нет плавающей арифметики	R	0
----	---	--------------------------	---	---

2.8.3.17 Регистр LLAddr – Load Linked Address (Регистр 17 CP0, Select 0)

Регистр LLAddr содержит физический адрес последней команды Load Linked (LL). Этот регистр используется только для диагностических целей.

Формат LLAddr регистра

31	28	27
0		
0	Paddr[31:4]	

Таблица 2.46. Описание полей LLAddr регистра

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
0	31:28	При чтении возвращается нуль	0	0
Paddr[31:4]	27:0	Физический адрес последней команды LL	R	Не определено

2.8.3.18 Регистр ErrorEPC (Регистр 30 CP0, Select 0)

Доступный для чтения и записи, регистр ErrorEPC полностью подобен регистру EPC, но используется при возникновении исключений ошибок. Все биты регистра ErrorEPC значимы и должны перезаписываться. Регистр ErrorEPC также используется для сохранения значения счетчика команд при возникновении исключений Reset и немаскируемого прерывании (NMI).

Регистр ErrorEPC содержит виртуальный адрес, начиная с которого может возобновиться исполнение программы после обработки ошибочной ситуации.

Этот адрес может быть:

- Виртуальным адресом команды, вызвавшей исключение;
- Виртуальным адресом команды перехода (Branch или Jump), непосредственно предшествующей исключению, если команда, вызвавшая ошибку, находится в слоте задержки перехода.

В отличие от регистра EPC, для регистра ErrorEPC не имеется соответствующего признака слота задержки перехода.

Формат регистра ErrorEPC

31
0
ErrorEPC

Таблица 2.47. Описание полей регистра ErrorEPC

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
ErrorEPC	31:0	Счетчик команд при исключении ошибки	R/W	Не определен

Регистры WatchLo, WatchHi, Debug, DEPC, TagLo, DataLo, DeSave не реализованы.

2.9 Кэш

2.9.1 Введение

В данной версии процессора реализован виртуально индексируемый и контролируемый по физическому тэгу кэш команд типа `direct mapped`. Это позволяет осуществлять доступ к кэш параллельно с преобразованием виртуального адреса в физический. Объем кэш составляет 16 Кбайт.

Загрузка кэш (операция `Refill`) выполняются посредством пачки (`burst`), состоящей из 4 команд. Адрес, по которому начинается `burst`, выровнен по 16-байтной границе. До получения критического слова кэш блокируется.

2.9.2 Протокол кэш

2.9.2.1 Организация кэш

Кэш команд состоит из двух массивов – массива тэгов и массива данных. Кэш индексируется виртуально, поскольку для выбора соответствующей строки в обоих массивах используется виртуальный адрес. Контроль осуществляется по физическому тэгу, так как массив тэгов содержит физический, а не виртуальный адрес.

На Рисунок 2.25 представлен формат каждой строки массивов тэгов и данных. Тэговая строка содержит 18 старших бита физического адреса (биты [31:14]) и бит валидности.

Строка данных содержит 4 32-х разрядных слова – всего 16 байт.

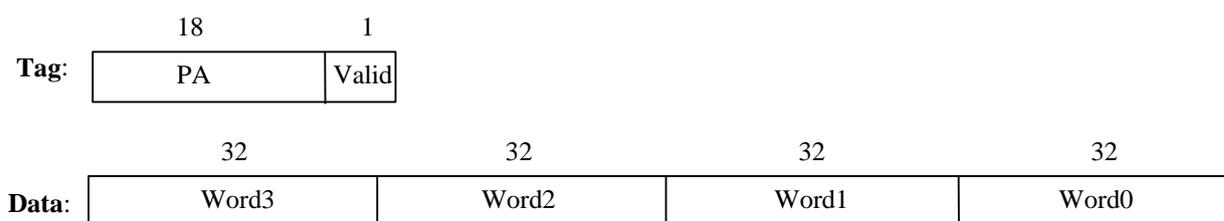


Рисунок 2.25. Формат массива кэш

2.9.2.2 Атрибуты кэшируемости.

В данной версии реализовано только два атрибута. Область может быть либо кэшируемой, либо некэшируемой (см. Таблица 2.44)

2.10 Особенности реализации процессорного ядра RISCore32 для микросхемы 1892ВМ8Я

Процессорное ядро RISCore32 может иметь ряд архитектурных особенностей в зависимости от реализации в каждой конкретной микросхеме. Далее перечислены особенности ядра RISCore32 для микросхемы 1892ВМ8Я, которые нужно учитывать при разработке программного обеспечения.

- В слотах задержки любых команд перехода разрешена только команда NOP.
- Если используется пошаговая отладка программ, то после команд загрузки LWC1, LDC1, LW, LWL, LWR, LB, LBU, LH, LHU, LL разрешена только команда NOP.
- Нельзя использовать результат операции чтения в следующей команде.
- Нельзя выполнять операцию чтения памяти сразу после команды записи.
- При входе в любой обработчик прерывания должна быть реализована девалидация кэша инструкций, путем записи 1 в поля FLUSH_I регистра CSR микросхемы. После записи регистра CSR рекомендуется произвести контрольное чтение из него.

2.11 Карта памяти CPU

Карта физической памяти CPU приведена в Таблица 2.48. Здесь и далее, если это не оговорено специально, коды адреса и данных указаны в шестнадцатеричной системе счисления. Объемы областей памяти указаны с учетом ее дальнейшего расширения.

Таблица 2.48. Карта физической памяти CPU

Диапазон адресов	Название области	Объем области, Мбайт
FFFF_FFFF	Внешняя память	3584
2000_0000		
1FFF_FFFF	Внешняя память (ПЗУ)	64
1C00_0000		
1BFF_FFFF	Внутренняя память	64
1800_0000		
17FF_FFFF	Внешняя память	384
0000_0000		

Вся внешняя память доступна через порт внешней памяти (MPORT).

Для CPU все адресное пространство памяти является 32-разрядным. Память CRAM, а также внешняя память, могут адресоваться с точностью до байта.

При DMA обменах при помощи каналов MemCh0:MemCh3 память имеет следующую разрядность (байтная адресация отсутствует):

- CRAM – 32 разряда;
- XRAM, YRAM, PRAM – 32 или 64 разряда, в зависимости от состояния бита EN64 регистров CSR_MemCh0:CSR_MemCh3;
- Внешняя память в диапазоне адресов от 0000_0000 до 17FF_FFFF – 32 или 64 разряда, в зависимости от состояния бита W64 регистров CSCON0:CSCON2;
- Внешняя память в диапазоне адресов от 1C00_0000 до 1FFF_FFFF – 32 разряда;
- Внешняя память в диапазоне адресов от 2000_0000 до FFFF_FFFF – 32 или 64 разряда, в зависимости от состояния бита W64 регистров CSCON0:CSCON2.

Для указания разрядности сегментов внешней памяти в регистрах CSCON0:CSCON3 порта внешней памяти имеется бит W64: 0 – сегмент 32-разрядный, 1 – сегмент 64-разрядный. Данные в 64-разрядном сегменте располагаются следующим образом:

Номер 64-разрядного слова	Адрес старшей 32-разрядной части (H)	Адрес младшей 32-разрядной части (L)
0	0x0000_0004	0x0000_0000
1	0x0000_000C	0x0000_0008
2	0x0000_0014	0x0000_0010

3	0x0000_001C	0x0000_0018
---	-------------	-------------

Адресом 64-разрядного слова является адрес его младшей части.

Для программ CPU разрядность сегментов внешней памяти неразличима

Обмен 64-разрядными данными может выполняться только между 64-разрядным сегментом внешней памяти и памятью XRAM, YRAM, PRAM при соответствующих признаках W64=1 и EN64=1.

Карта внутренней памяти 1892BM8Я приведена в Таблица 2.49.

Таблица 2.49. Карта внутренней памяти 1892BM8Я

Диапазон адресов	Название области	Объем области, Кбайт
1BFF_FFFF 1880_0000	Резерв	56000
187F_FFFF 1840_0000	Память и регистры DSP-ядра	4096
183F_FFFF 1830_0000	Резерв	1024
182F_FFFF 182F_0000	Регистры CPU	64
182E_FFFF 1800_8000	Резерв	3000
1800_7FFF 1800_0000	Память SRAM	32

Не допускается:

одновременная запись данных в память SRAM по DMA и чтение из нее данных в CPU;

одновременная запись данных в память SRAM по DMA и исполнение программы CPU из нее.

Перечень программно доступных регистров для CPU приведен в Таблица 2.50.

Таблица 2.50. Перечень программно доступных регистров для CPU

Условное обозначение регистра	Название регистра	Адрес регистра
Регистры DMA MEM_CH		
CSR_MEM_CH0	Регистр управления и состояния (по чтению сброс битов “END” и ”DONE”)	182F_0000
CP_MEM_CH0	Регистр указателя цепочки	182F_0004
IR0_MEM_CH0	Регистр индекса “0”	182F_0008
IR1_MEM_CH0	Регистр индекса “1”	182F_000C
OR_MEM_CH0	Регистр смещений	182F_0010
Y_MEM_CH0	Регистр параметров направления Y при двухмерной адресации	182F_0014
RUN_MEM_CH0	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH0 На чтение: Регистр управления и состояния канала MEM_CH0 без сброса битов “END” и ”DONE”	182F_0018
CSR_MEM_CH1	Регистр управления и состояния (по чтению сброс битов “END” и ”DONE”)	182F_0080
CP_MEM_CH1	Регистр указателя цепочки	182F_0084
IR0_MEM_CH1	Регистр индекса “0”	182F_0088
IR1_MEM_CH1	Регистр индекса “1”	182F_008C
OR_MEM_CH1	Регистр смещений	182F_0090
Y_MEM_CH1	Регистр параметров направления Y при двухмерной адресации	182F_0094
RUN_MEM_CH1	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH1 На чтение: Регистр управления и состояния канала MEM_CH1 без сброса битов “END” и ”DONE”	182F_0098
CSR_MEM_CH2	Регистр управления и состояния (по чтению сброс битов “END” и ”DONE”)	182F_0100
CP_MEM_CH2	Регистр указателя цепочки	182F_0104
IR0_MEM_CH2	Регистр индекса “0”	182F_0108
IR1_MEM_CH2	Регистр индекса “1”	182F_010C
OR_MEM_CH2	Регистр смещений	182F_0110
Y_MEM_CH2	Регистр параметров направления Y при двухмерной адресации	182F_0114
RUN_MEM_CH2	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH2 На чтение: Регистр управления и состояния канала MEM_CH2 без сброса битов “END” и ”DONE”	182F_0118
CSR_MEM_CH3	Регистр управления и состояния (по чтению сброс битов “END” и ”DONE”)	182F_0180
CP_MEM_CH3	Регистр указателя цепочки	182F_0184
IR0_MEM_CH3	Регистр индекса “0”	182F_0188
IR1_MEM_CH3	Регистр индекса “1”	182F_018C
OR_MEM_CH3	Регистр смещений	182F_0190
Y_MEM_CH3	Регистр параметров направления Y при двухмерной адресации	182F_0194

Условное обозначение регистра	Название регистра	Адрес регистра
RUN_MEM_CH3	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH3 На чтение: Регистр управления и состояния канала MEM_CH3 без сброса битов "END" и "DONE"	182F_0198
Регистры SWIC0		
HW_VER0	Регистр аппаратной версии контроллера	182F_5000
STATUS0	Регистр состояния	182F_5004
RX_CODE0	Регистр принятого управляющего символа	182F_5008
MODE_CR0	Регистр управления режимом работы	182F_500C
TX_SPEED0	Регистр управления скоростью передачи	182F_5010
TX_CODE0	Регистр передаваемого управляющего символа	182F_5014
RX_SPEED0	Регистр измерителя скорости приема	182F_5018
CNT_RX_PACK0	Регистр счетчика принятых пакетов ненулевой длины	182F_501C
CNT_RX0_PACK0	Регистр счетчика принятых пакетов нулевой длины	182F_5020
ISR_L0	Регистр кодов распределенных прерываний (младшая часть)	182F_5024
ISR_H0	Регистр кодов распределенных прерываний (старшая часть)	182F_5028
Регистры SWIC1		
HW_VER1	Регистр аппаратной версии контроллера	182F_6000
STATUS1	Регистр состояния	182F_6004
RX_CODE1	Регистр принятого управляющего символа	182F_6008
MODE_CR1	Регистр управления режимом работы	182F_600C
TX_SPEED1	Регистр управления скоростью передачи	182F_6010
TX_CODE1	Регистр передаваемого управляющего символа	182F_6014
RX_SPEED1	Регистр измерителя скорости приема	182F_6018
CNT_RX_PACK1	Регистр счетчика принятых пакетов ненулевой длины	182F_601C
CNT_RX0_PACK1	Регистр счетчика принятых пакетов нулевой длины	182F_6020
ISR_L1	Регистр кодов распределенных прерываний (младшая часть)	182F_6024
Регистры DMA контроллера SWIC0		
Канал записи в память дескрипторов принимаемых пакетов		
CSR_SWIC0_CH0	Регистр управления и состояния канала	182F_5800
CP_SWIC0_CH0	Регистр указателя цепочки канала	182F_5804
IR_SWIC0_CH0	Индексный регистр внешней памяти канала	182F_5808
RUN_SWIC0_CH0	Псевдорегистр управления состоянием бита RUN регистра CSR_SWIC0_CH0	182F_580C
Канал записи в память принимаемых слов данных		
CSR_SWIC0_CH1	Регистр управления и состояния канала	182F_5840
CP_SWIC0_CH1	Регистр указателя цепочки канала	182F_5844
IR_SWIC0_CH1	Индексный регистр внешней памяти канала	182F_5848
RUN_SWIC0_CH1	Псевдорегистр управления состоянием бита RUN регистра CSR_SWIC0_CH1	182F_584C
Канал чтения из памяти дескрипторов передаваемых пакетов		
CSR_SWIC0_CH2	Регистр управления и состояния канала	182F_5880
CP_SWIC0_CH2	Регистр указателя цепочки канала	182F_5884
IR_SWIC0_CH2	Индексный регистр внешней памяти канала	182F_5888
RUN_SWIC0_CH2	Псевдорегистр управления состоянием бита RUN регистра CSR_SWIC0_CH2	182F_588C
Канал чтения из памяти передаваемых слов данных		
CSR_SWIC0_CH3	Регистр управления и состояния канала	182F_58C0
CP_SWIC0_CH3	Регистр указателя цепочки канала	182F_58C4

Условное обозначение регистра	Название регистра	Адрес регистра
IR_SWIC0_CH3	Индексный регистр внешней памяти канала	182F_58C8
RUN_SWIC0_CH3	Псевдорегистр управления состоянием бита RUN регистра CSR_SWIC0_CH3	182F_58CC
Регистры DMA контроллера SWIC1		
Канал записи в память дескрипторов принимаемых пакетов		
CSR_SWIC1_CH0	Регистр управления и состояния канала	182F_6800
CP_SWIC1_CH0	Регистр указателя цепочки канала	182F_6804
IR_SWIC1_CH2	Индексный регистр внешней памяти канала	182F_6808
RUN_SWIC1_CH0	Псевдорегистр управления состоянием бита RUN регистра CSR_SWIC1_CH0	182F_680C
Канал записи в память принимаемых слов данных		
CSR_SWIC1_CH1	Регистр управления и состояния канала	182F_6840
CP_SWIC1_CH1	Регистр указателя цепочки канала	182F_6844
IR_SWIC1_CH1	Индексный регистр внешней памяти канала	182F_6848
RUN_SWIC1_CH1	Псевдорегистр управления состоянием бита RUN регистра CSR_SWIC1_CH1	182F_684C
Канал чтения из памяти дескрипторов передаваемых пакетов		
CSR_SWIC1_CH2	Регистр управления и состояния канала	182F_6880
CP_SWIC1_CH2	Регистр указателя цепочки канала	182F_6884
IR_SWIC1_CH2	Индексный регистр внешней памяти канала	182F_6888
RUN_SWIC1_CH2	Псевдорегистр управления состоянием бита RUN регистра CSR_SWIC1_CH2	182F_6894
Канал чтения из памяти передаваемых слов данных		
CSR_SWIC1_CH3	Регистр управления и состояния канала	182F_68C0
CP_SWIC1_CH3	Регистр указателя цепочки канала	182F_68C4
IR_SWIC1_CH3	Индексный регистр внешней памяти канала	182F_68C8
RUN_SWIC1_CH3	Псевдорегистр управления состоянием бита RUN регистра CSR_SWIC1_CH3	182F_68CC
Регистры MFBSP0		
TX_MFBSP0	Буфер передачи данных	182F_7000
RX_MFBSP0	Буфер приема данных	182F_7000
CSR_MFBSP0	Регистр управления и состояния	182F_7004
DIR_MFBSP0	Регистр управления направлением выводов порта ввода-вывода	182F_7008
GPIO_DR0	Регистр данных порта ввода-вывода	182F_700C
TCTR0	Регистр управления передатчиком	182F_7010
RCTR0	Регистр управления приёмником	182F_7014
TSR0	Регистр состояния передатчика	182F_7018
RSR0	Регистр состояния приёмника	182F_701C
Регистры MFBSP1		
TX_MFBSP1	Буфер передачи данных	182F_7100
RX_MFBSP1	Буфер приема данных	182F_7100
CSR_MFBSP1	Регистр управления и состояния	182F_7104
DIR_MFBSP1	Регистр управления направлением выводов порта ввода-вывода	182F_7108
GPIO_DR1	Регистр данных порта ввода-вывода	182F_710C
TCTR1	Регистр управления передатчиком	182F_7110
RCTR1	Регистр управления приёмником	182F_7114
TSR1	Регистр состояния передатчика	182F_7118
RSR1	Регистр состояния приёмника	182F_711C
Регистры MFBSP2		
TX_MFBSP2	Буфер передачи данных	182F_7200

Условное обозначение регистра	Название регистра	Адрес регистра
RX_MFBSP2	Буфер приема данных	182F_7200
CSR_MFBSP2	Регистр управления и состояния	182F_7204
DIR_MFBSP2	Регистр управления направлением выводов порта ввода-вывода	182F_7208
GPIO_DR2	Регистр данных порта ввода-вывода	182F_720C
TCTR2	Регистр управления передатчиком	182F_7210
RCTR2	Регистр управления приёмником	182F_7214
TSR2	Регистр состояния передатчика	182F_7218
RSR2	Регистр состояния приёмника	182F_721C
Регистры MFBSP3		
TX_MFBSP3	Буфер передачи данных	182F_7300
RX_MFBSP3	Буфер приема данных	182F_7300
CSR_MFBSP3	Регистр управления и состояния	182F_7304
DIR_MFBSP3	Регистр управления направлением выводов порта ввода-вывода	182F_7308
GPIO_DR3	Регистр данных порта ввода-вывода	182F_730C
TCTR3	Регистр управления передатчиком	182F_7310
RCTR3	Регистр управления приёмником	182F_7314
TSR3	Регистр состояния передатчика	182F_7318
Регистры DMA MFBSP_CH		
CSR_MFBSP_CH0	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_7800
CP_MFBSP_CH0	Регистр указателя цепочки	182F_7804
IR_MFBSP_CH0	Регистр индекса	182F_7808
RUN_MFBSP_CH0	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR0 На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_780C
CSR_MFBSP_CH1	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_7840
CP_MFBSP_CH1	Регистр указателя цепочки	182F_7844
IR_MFBSP_CH1	Регистр индекса	182F_7848
RUN_MFBSP_CH1	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR1 На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_784C
CSR_MFBSP_CH2	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_7880
CP_MFBSP_CH2	Регистр указателя цепочки	182F_7884
IR_MFBSP_CH2	Регистр индекса	182F_7888
RUN_MFBSP_CH2	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR2 На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_788C
CSR_MFBSP_CH3	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_78C0
CP_MFBSP_CH3	Регистр указателя цепочки	182F_78C4
IR_MFBSP_CH3	Регистр индекса	182F_78C8

Условное обозначение регистра	Название регистра	Адрес регистра
RUN_MFBSP_CH3	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR3 На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_78CC
Регистры UART		
RBR	Приемный буферный регистр	182F_3000
THR	Передающий буферный регистр	182F_3000
IER	Регистр разрешения прерываний	182F_3004
IIR	Регистр идентификации прерывания	182F_3008
FCR	Регистр управления FIFO	182F_3008
LCR	Регистр управления линией	182F_300C
MCR	Регистр управления	182F_3010
LSR	Регистр состояния линии	182F_3014
SPR	Регистр Scratch Pad	182F_301C
DLL	Регистр делителя младший	182F_3000
DLM	Регистр делителя старший	182F_3004
SCLR	Регистр предделителя (scaler)	182F_3014
Регистры интервального таймера (IT)		
ITCSR	Регистр управления	182F_D000
ITPERIOD	Регистр периода работы таймера	182F_D004
ITCOUNT	Регистр счетчика	182F_D008
ITSCALE	Регистр предделителя	182F_D00C
Регистры WDT		
WTCSR	Регистр управления	182F_D010
WTPERIOD	Регистр периода работы таймера	182F_D014
WTCOUNT	Регистр счетчика	182F_D018
WTSCALE	Регистр предделителя	182F_D01C
Регистры RTT		
RTCSR	Регистр управления	182F_D020
RTPERIOD	Регистр периода работы таймера	182F_D024
RTCOUNT	Регистр счетчика	182F_D028
Регистры RTT		
RTCSR	Регистр управления	182F_D020
RTPERIOD	Регистр периода работы таймера	182F_D024
RTCOUNT	Регистр счетчика	182F_D028
Регистры порта внешней памяти		
CSCON0	Регистр конфигурации блока внешней памяти, подключаемого к выводу nCS[0]	182F_1000
CSCON1	Регистр конфигурации блока внешней памяти, подключаемого к выводу nCS[1]	182F_1004
CSCON2	Регистр конфигурации блока внешней памяти, подключаемого к выводу nCS[2]	182F_1008
CSCON3	Регистр конфигурации блока внешней памяти, подключаемого к выводу nCS[3]	182F_100C
CSCON4	Регистр конфигурации внешней памяти, не вошедшей в блоки памяти, определяемые регистрами CSCON3 - CSCON0	182F_1010
SDRCON	Регистр конфигурации SDRAM.	182F_1014
SDRTMR	Регистр параметров SDRAM	182F_1018
SDRCSR	Регистр управления и состояния SDRAM	182F_101C
FLY_WS	Регистр внешних устройств.	182F_1020
CSR_EXT	Регистр управления режимами контроля внешней памяти	182F_1024

Условное обозначение регистра	Название регистра	Адрес регистра
AERROR_EXT	Регистр ошибок внешней памяти	182F_1028
Системные регистры		
CR_PLL	Регистр управления PLL	182F_4000
CLK_EN	Регистр управления отключением частоты от устройств	182F_4004
CSR	Регистр управления и состояния	182F_4008
MASKR0	Регистр маски прерываний из регистра QST0	182F_4010
QSTR0	Регистр прерываний 0	182F_4014
MASKR1	Регистр маски прерываний из регистра QST1	182F_4018
QSTR1	Регистр прерываний 1	182F_401C
MASKR2	Регистр маски прерываний из регистра QST2	182F_4020
QSTR2	Регистр прерываний 2	182F_4024
MASKR3	Регистр маски прерываний от регистра QST3	182F_4028
QSTR3	Регистр прерываний 3 (контроллер кода Хемминга)	182F_402c
IRQM	Регистр управления режимом приема внешних прерываний nIRQ[3:0]	182F_4030
CSR_CRAMA	Регистр управления и состояния CRAMA	182F_4400
AERROR_CRAMA	FIFO ошибочных адресов CRAMA	182F_4404
CSR_CRAMB	Регистр управления и состояния CRAMB	182F_4408
AERROR_CRAMB	FIFO ошибочных адресов CRAMB	182F_440C
CSR_ICACHE	Регистр управления и состояния CACHE	182F_4800
AERROR_ICACHE	FIFO ошибочных адресов CACHE	182F_4804

3. ЦИФРОВОЙ СИГНАЛЬНЫЙ ПРОЦЕССОР

3.1 Функциональные характеристики DSP

В состав микросхемы в качестве сопроцессора обработки сигналов включено DSP-ядро ELcore-26™ из IP-ядерной библиотеки платформы МУЛЬТИКОР.

DSP-ядро имеет гарвардскую архитектуру с внутренним параллелизмом по потокам обрабатываемых данных и предназначено для высокоскоростной обработки информации в форматах с фиксированной и с плавающей точкой.

Система инструкций и гибкие адресные режимы DSP-ядра ELcore-26™ позволяют эффективно реализовать алгоритмы сигнальной обработки. Время выполнения минимизируется за счет использования программного конвейера и высокопроизводительных инструкций, реализующих параллельно несколько вычислительных операций и пересылок.

Ядро ELcore-26™ программно совместимо с ядром ELcore-24™, но имеет более эффективную реализацию внутренней микроархитектуры, что позволяет на 20% улучшить параметры быстродействия.

Для повышения производительности ядра ELcore-26™ используется распараллеливание потоков обработки по SIMD–типу (Single Instructions, Multiple Data - “один поток инструкций, множественные потоки данных”).

DSP-ядро функционирует под управлением CPU и расширяет его возможности по обработке сигналов.

Основные функциональные особенности DSP-ядра:

- 2-SIMD (Single Instruction Multiple Data) организация потоков команд и данных;
- Набор инструкций, совмещающий процедуры обработки и пересылки;
- 3-ступенчатый конвейер по выполнению 32– и 64–разрядных инструкций;
- Расширенные возможности по динамическому диапазону обрабатываемых данных, позволяющие обрабатывать данные в 8/16/32–разрядных форматах с фиксированной точкой, либо в одном из форматов с плавающей точкой – 24E8 (стандарт IEEE 754) или 32E16 (расширенный формат). Аппаратные меры повышения точности и динамического диапазона (блочная плавающая точка; режим насыщения; инструкции преобразования форматов);
- Аппаратная поддержка программных циклов;
- Память программ PRAM объемом 16 Кбайт (4К 32-разрядных слов);
- Двухпортовые памяти данных XRAM и YRAM объемом по 128 Кбайт каждая.

Дополнительная информация о работе DSP содержится в документе: «DSP-ядро ELcore-x4. Система инструкций».

3.2 Архитектура DSP

3.2.1 Структурная схема DSP

Структурная схема DSP приведена на Рисунок 3.1.

В состав DSP входят следующие блоки:

1. Операционные блоки:

- ALU (Arithmetic & Logic Unit) – арифметико-логическое устройство;
- AGU (Address Generator Unit) – устройство генерации адреса для X- и Y-памяти данных DSP;
- AGU-Y – устройство генерации адреса для Y-памяти данных DSP;

2. Блоки программного управления:

- PCU (Program Control Unit), содержащий:
- PAG (Program Address Generator) - генератор адреса программ;
- PDC (Program Decoder) - программный декодер.

3. Блоки коммутации:

- IDBS (Internal Data Bus Switch) - внутренний коммутатор шин данных;
- EDBS (External Data Bus Switch) - внешний коммутатор шин данных;

4. Блоки памяти:

- PRAM - память программ DSP;
- XRAM0, XRAM1 – X-память данных DSP;
- YRAM0, YRAM1 – Y-память данных DSP;

Элементами архитектуры DSP также являются:

- внутренние шины адреса (XAB, YAB0, YAB1, PAB);
- внутренние шины данных (XDB0, XDB1, PDB, GDB, YDB0, YDB1).

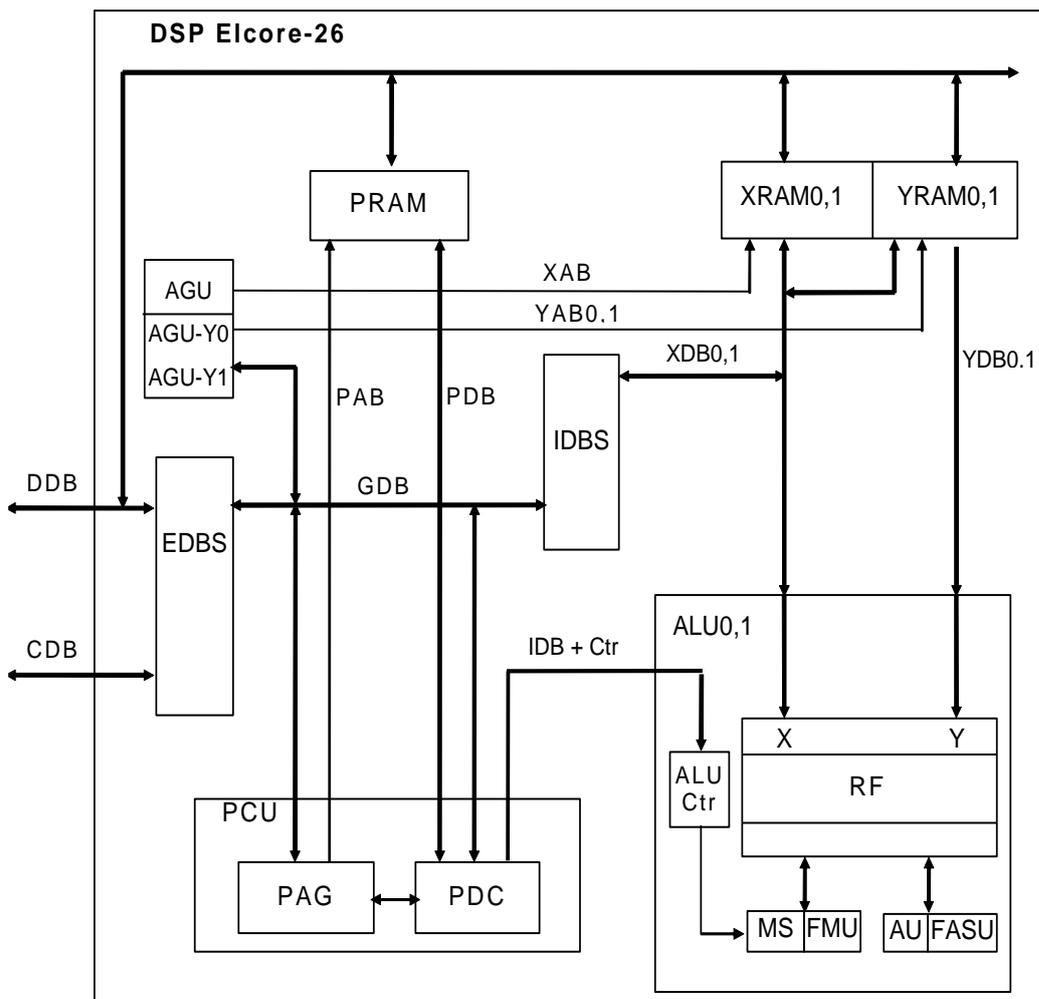


Рисунок 3.1. Структурная схема DSP Elcore-26

3.2.2 Арифметико-логическое устройство (ALU)

Арифметико-логическое устройство (ALU) выполняет все вычислительные операции.

Арифметико-логическое устройство содержит в своем составе регистровый файл RF, регистры PDNR и CCR, регистры-аккумуляторы AC0 и AC1, а также вычислительные (операционные) устройства: умножитель/сдвигатель для форматов с фиксированной точкой (MS/SH); арифметическое устройство для форматов с фиксированной точкой (AU/LU), умножитель для форматов с плавающей точкой IEEE-754 (FMU); арифметическое устройство для форматов с плавающей точкой (FASU).

3.2.2.1 Регистровый файл

Регистровый файл (RF) представляет собой многопортовую реконфигурируемую оперативную. При помощи RF осуществляется параллельное чтение и запись нескольких операндов в соответствии с исполняемой операцией.

3.2.2.2 Операционные блоки (MS/SH, FMU, AU/LU, FASU)

Операционные блоки выполняют следующие операции.

Умножитель-сдвигатель для форматов с фиксированной точкой (MS/SH):

- операции умножения с целыми числами со знаком и без знака;
- операции умножения чисел со знаком в дробном формате с фиксированной точкой (fractional);
- операции многоразрядного арифметического и логического сдвига в форматах с фиксированной точкой;

Умножитель для формата с плавающей точкой IEEE-754 (FMU):

- операции умножения чисел в формате с плавающей точкой IEEE-754;
- операции FIN (получение 8-разрядного приближения обратной величины);
- операции FINR (получение 8-разрядного приближения обратной величины квадратного корня).

Арифметическое устройство для форматов с фиксированной точкой (AU), включая логическое устройство (LU) и узел битовой обработки (BFU):

- арифметические операции в форматах с фиксированной точкой;
- преобразования форматов чисел;
- ограничение результатов с целью устранения выхода за пределы разрядной сетки (Saturation).
- логические операции;
- операции с битовыми полями;

Арифметическое устройство для формата с плавающей точкой (FASU):

- арифметические операции в форматах с плавающей точкой;

- преобразования форматов чисел.

3.2.2.3 Регистры CCR, PDNR, AC0, AC1

Регистры CCR, PDNR являются 16-разрядными программно-доступными по записи и чтению регистрами, выполняющими следующие функции:

- регистр CCR предназначен для хранения признаков результата последней выполненной арифметической операции, а также для управления режимами округления (rounding) и насыщения (saturation);
- регистр PDNR предназначен для аппаратного измерения параметра денормализации массива данных и автоматического масштабирования результатов сложения/вычитания сдвигом вправо на 0/1/2 бита.

Регистры-аккумуляторы AC0, AC1 являются специализированными 32-разрядными регистрами данных, предназначенными для накопления результата в операциях умножения с накоплением. В операциях MAC, MACL регистры AC0, AC1 объединяются в один 64-разрядный регистр для получения 64-разрядного результата.

3.2.3 Устройства генерации адреса (AGU, AGU-Y)

Устройства AGU, AGU-Y выполняют вычисление адресов операндов в памяти данных XRAM, YRAM, используя целочисленную арифметику. При этом используется три типа арифметики: линейная, модульная и арифметика с обратным переносом. Устройства генерации адресов функционируют параллельно с другими ресурсами DSP, что обеспечивает высокую производительность обработки данных.

3.2.4 Устройство программного управления (PCU)

DSP поддерживает набор типовых инструкций и режимов стандартного ЦПОС.

Выборка и декодирование инструкции осуществляется на базе трехступенчатого конвейера, что обеспечивает короткую (два командных цикла) скалярную задержку для вычислений.

Устройство программного управления (PCU) включает в себя два блока:

- Программный адресный генератор (PAG);
- Программный декодер (PDC).

Устройство PDC декодирует инструкции, поступающие из программной памяти, и генерирует сигналы управления программным конвейером.

Программный адресный генератор PAG выполняет вычисление адреса инструкции в программной памяти, организует выполнение программных циклов DO, управляет работой системного стека.

3.2.5 Коммутаторы шин данных (IDBS, EDBS)

Внутренний коммутатор шин данных IDBS предназначен для коммутации шин данных при выполнении пересылок и выполнения операции транспонирования матриц (см. в последующих разделах)

Внешний коммутатор шин данных EDBS предназначен для коммутации внешних системных шин на соответствующие внутренние шины при выполнении обменов с CPU и DMA.

3.2.6 Блоки памяти

Внутренняя память DSP включает в себя 4 независимых компоненты (пространства памяти):

- 1) память программ PRAM (пространство P);
- 2) память данных (включает область X-памяти и область Y-памяти);
- 3) регистры управления, включая регистры AGU, AGU-Y и PCU, а также регистры CCR, PDNR, AC0, AC1 (пространство C);
- 4) регистры данных - регистровый файл ALU (пространство R).

Внутренние модули памяти и внутренние регистры DSP (последние как устройства, расположенные в адресном пространстве) составляют подсистему памяти, т.е. устройства, доступные программно по адресным пространствам X, Y, P, C, R. Каждое из указанных устройств характеризуется следующими особенностями доступа:

- - внутренние пространства памяти X, Y, P доступны только по одной (одноименной) шине, обращения одноктактные, т.е. выполняются в течение одного командного цикла.
- - регистры доступны по шине GDB, обращения одноктактные.

При обращениях внутри DSP выбор конкретного устройства подсистемы памяти определяется адресом и пространством обращения. Для ускорения выбора устройства подсистемы памяти формирователи адресов (AGU, AGU-Y, PAG) формируют также специальные признаки адресного пространства.

3.2.6.1 Память программ и память данных

Память программ PRAM имеет 64-разрядную организацию, позволяющую осуществлять хранение и выборку в течение одного такта как 32-разрядных, так и 64-разрядных инструкций. DSP ELcore-26 имеет память PRAM объемом 4К 32-разрядных (или 2К 64-разрядных) слов.

Общее пространство памяти данных DSP состоит из двух областей: X- и Y-памяти (XRAM, YRAM), имеющих 32-разрядную организацию.

Память XRAM и память YRAM имеют следующий объем:

XRAM – 32К 32-разрядных слов;

YRAM – 32К 32-разрядных слов;

Модули памяти XRAM, YRAM, PRAM являются двухпортовыми, что обеспечивает возможность одновременного доступа к ним как со стороны DSP, так и со стороны CPU или DMA.

3.2.7 Шины адреса и данных

DSP-ядро имеет внешние шины адреса и данных DDB и CDB для обменов с CPU и DMA. Обмены CPU или DMA с памятью DSP происходят через отведенные для этого порты модулей памяти XRAM, YRAM и не прерывают работы DSP. В обменах по указанным шинам DSP является ведомым устройством (Slave) и не может самостоятельно инициировать обмен.

В пределах DSP передача данных и управляющей информации осуществляется при помощи внутренних шин:

- 32-разрядных шин данных памяти данных (XDB0, YDB0, XDB1, YDB1);
- 64-разрядной шины программных данных (PDB).
- 16-разрядной глобальной шины данных (GDB);

При внутренних обменах модули памяти XRAM, YRAM и PRAM адресуются по однонаправленным адресным шинам: XAB, YAB0, YAB1 и PAB.

Пересылки программ и выборки команд осуществляются по шине программных данных PDB. 16-разрядная шина GDB используется для обменов между регистрами DSP.

На верхнем уровне DSP имеются 2 регистра управления и состояния, доступ к которым осуществляется только со стороны CPU.

3.3.1 Регистр маски прерываний (MASKR_DSP)

Регистр маски прерываний MASKR_DSP содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») запрос на прерывание в CPU от соответствующего разряда регистра запросов прерываний QSTR_DSP. Регистр доступен по чтению и записи. Начальное состояние регистра MASKR_DSP=0x0.

3.3.2 Регистр запросов прерываний (QSTR_DSP)

Регистр запросов прерываний QSTR_DSP доступен только по чтению и содержит флаги запросов прерываний от DSP-ядра. Назначение разрядов регистра QSTR_DSP приведено в Таблица 3.1. Для сброса флагов прерывания необходимо обнулить соответствующие разряды регистра DCSR, входящего в состав DSP.

Таблица 3.1. Назначение разрядов регистра QSTR_DSP

Номер разряда	Наименование разряда	Назначение
0	PI	Программное прерывание DSP
1	SE	Прерывание по ошибке стека DSP
2	BREAK	Прерывание по останову BREAK DSP
3	STP	Прерывание по останову STOP DSP
4-31	-	Резерв

Начальное состояние регистра QSTR_DSP – нули.

3.4 Арифметико-логическое устройство (ALU)

Арифметико-логическое устройство (ALU) является исполнительным устройством DSP, выполняющим все вычислительные операции с данными. В настоящем разделе описывается архитектура, программная модель и режимы работы ALU.

3.4.1 Архитектура ALU

Арифметико-логическое устройство (Рисунок 3.3) содержит в своем составе следующие блоки:

- Регистровый файл (RF);
- Умножитель чисел в формате с плавающей точкой 24e8 (FMU);
- Параллельный умножитель и сдвигатель чисел в форматах с фиксированной точкой 8/16/32 (MS/SH);
- Сумматор, вычитатель и преобразователь чисел с плавающей точкой формата 24e8 (FASU);
- Арифметическое устройство (AU/LU), поддерживающее обработку 16/32-разрядных чисел в форматах с фиксированной точкой, включаю-

щий 16/32– разрядное логическое устройство, устройство преобразования битовых полей и устройство определения параметра денормализации;

- Два 32-разрядных регистра-аккумулятора (AC0,AC1);
- 16-разрядный регистр параметра денормализации (PDNR);
- 16-разрядный регистр кодов условий (CCR);
- Устройство управления ALU (ALU_CTRL).

Наличие в архитектуре ALU многопортового регистрового файла и нескольких операционных устройств (ОУ) делает возможным одновременное выполнение до двух вычислительных операции и до двух операций пересылок.

Операции, исполняемые блоками AU/LU/FASU, называются операциями типа OP1, операции, исполняемые блоками MS/SH/FMU, имеют тип OP2.

Все вычислительные операции и операции пересылок выполняются ALU за один такт (командный цикл). Новая команда может быть инициализирована на каждом такте. Результат каждой арифметической операции может использоваться как исходный операнд для следующей операции.

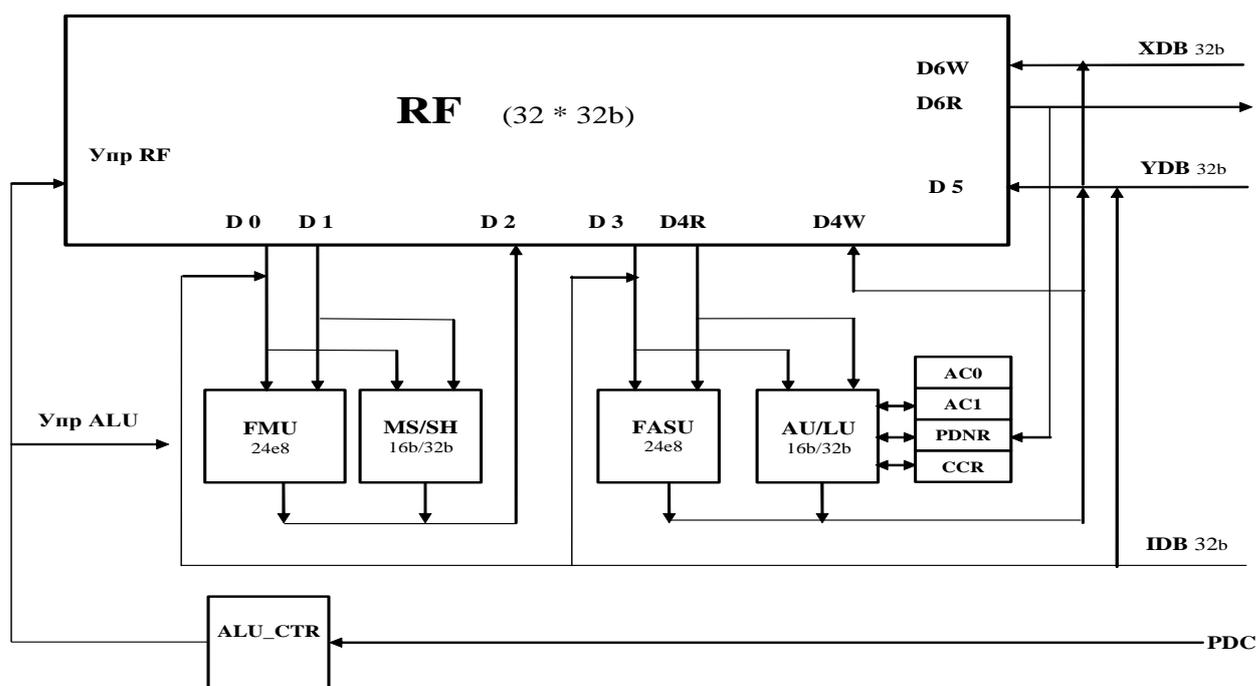


Рисунок 3.3. Структурная схема устройства ALU DSP-ядра Elcore-x6

3.4.1.1 Регистровый файл

Регистровый файл (RF) представляет собой реконфигурируемую многопортовую оперативную память. При помощи RF осуществляется параллельное чтение и запись нескольких операндов в соответствии с исполняемой операцией.

Структура регистрового файла приводится ниже. На приведенной схеме в скобках указаны 5-разрядные адреса регистров. Регистры R1.L, R3.L, ... , R31.L могут использоваться только как 32-разрядные.

Заметим, что 16-разрядные и 32-разрядные регистры с одинаковым номером имеют одинаковые адреса. Выбор 16-разрядного либо 32-разрядного операнда выполняется исходя из контекста выполняемой операции (т.е. форматов задействованных операндов). Например, при выполнении операции:

```
ASLL R1, R1.L, R1.L
```

первый операнд (параметр сдвига), являющийся согласно описанию данной команды 16-разрядным, извлекается из 16-разрядного регистра R1, второй операнд извлекается из 32-разрядного регистра R1.L, туда же помещается результат.

Доступ к данным регистрового файла со стороны DSP-ядра может производиться по нескольким внутренним шинам:

- по 32-разрядной шине данных XDB для передачи данных из памяти XRAM;
- по 32-разрядной шине данных YDB для передачи данных из памяти YRAM,
- по 32-разрядной шине IDB для непосредственных операндов.

R1.L (00001)	R0.L (00000)	
	R1 (00001)	R0 (00000)
R3.L (00011)	R2.L (00010)	
	R3 (00011)	R2 (00010)
R5.L (00101)	R4.L (00100)	
	R5 (00101)	R4 (00100)
R7.L (00111)	R6.L (00110)	
	R7 (00111)	R6 (00110)
R9.L (01001)	R8.L (01000)	
	R9 (01001)	R8 (01000)
R11.L (01011)	R10.L (01010)	
	R11(01011)	R10(01010)
R13.L (01101)	R12.L (01100)	
	R13(01101)	R12(01100)
R15.L (01111)	R14.L (01110)	
	R15(01111)	R14(01110)
R17.L (10001)	R16.L (10000)	
	R17(10001)	R16(10000)
R19.L (10011)	R18.L (10010)	
	R19(10011)	R18(10010)
R21.L (10101)	R20.L (10100)	
	R21(10101)	R20(10100)
R23.L (10111)	R22.L (10110)	
	R23(10111)	R22(10110)
R25.L (11001)	24.L (11000)	
	R25(11001)	R24(11000)
R27.L (11011)	R26.L (11010)	
	R27(11011)	R26(11010)
R29.L (11101)	R28.L (11100)	
	R29(11101)	R28(11100)
R31.L (11111)	R30.L (11110)	
	R31(11111)	R30(11110)

3.4.1.2 Операционные устройства

Операционные устройства (ОУ) выполняют следующие операции:

3.4.1.2.1 Умножитель-сдвигатель для форматов с фиксированной точкой (MS/SH)

- операции умножения с целыми числами со знаком и без знака;
- операции умножения чисел со знаком в дробном формате с фиксированной точкой (fractional);
- операции много разрядного арифметического и логического сдвига в форматах с фиксированной точкой;

3.4.1.2.2 Умножитель для формата с плавающей точкой IEEE-754 (FMU)

- операции умножения чисел в формате с плавающей точкой IEEE-754;
- операции FIN (получение 8-разрядного приближения обратной величины);
- операции FINR (получение 8-разрядного приближения обратной величины квадратного корня).

3.4.1.2.3 Арифметическое устройство для форматов с фиксированной точкой (AU), включая логическое устройство (LU) и узел битовой обработки (BFU)

- арифметические операции в форматах с фиксированной точкой;
- преобразования форматов чисел;
- ограничение результатов с целью устранения выхода за пределы разрядной сетки (Saturation).
- логические операции;
- операции с битовыми полями;

3.4.1.2.4 Арифметическое устройство для формата с плавающей точкой IEEE-754 (FASU)

- арифметические операции в форматах с плавающей точкой;
- преобразования форматов чисел.

3.4.1.3 Регистр PDNR

Назначение разрядов в регистре PDNR приведено ниже.

Esc	-	-	-	-	-	SC	Epdn	-	F	Cpdn					
-----	---	---	---	---	---	----	------	---	---	------	--	--	--	--	--

где:

- Cpdn – текущий код PDN;
- F (X/L) – формат анализируемой информации в PDN (0 – 32 бит, 1 – 32 бит комплексная);

- Erpdn – программный признак разрешения детектирования и изменения PDN (Erpdn: 0 – нет разрешения, 1 – разрешение);
- SC – величина масштабирования результата в AU;
- Esc – признак разрешения масштабирования результата в AU
(0 – нет разрешения, 1 – разрешение).

Начальное состояние регистра PDNR = 0x0000.

3.4.1.4 Регистр CCR

Регистр CCR предназначен для хранения признаков результатов вычислительных операций. Регистр CCR содержит два поля признаков: основное {Ev,U,N,Z,V,C} (разряды [5:0]) и дополнительное {Evm,Um,Nm,Zm,Vm,Cm} (разряды [15:10]). Поле признаков в младшем байте регистра CCR является основным, т.к. на его основе формируются условия исполнения команд.

Поля признаков формируются по следующим правилам:

- 1) При исполнении одной операции типа OP1 (AU/LU/FASU) ее признаки помещаются только в основное поле.
- 2) При исполнении одной операции типа OP2 (MS/SH/FMU) ее признаки помещаются в оба поля.
- 3) При одновременном выполнении двух вычислительных операций признаки, формируемые операцией типа OP1, поступают в основное поле, признаки операции типа OP2 - в дополнительное поле.
- 4) В тех случаях, когда операция типа OP1 заполняет только часть признаков в основном поле, оставшиеся признаки формируются операцией OP2.

Регистр CCR содержит также специальные признаки E, t и два управляющих разряда RND и S. Назначение разрядов в регистре CCR приведено ниже.

CCR:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Evm	Um	Nm	Zm	Vm	Cm	RND	S	t	E	Ev	U	N	Z	V	C

где:

- C – признак переноса, сформированного в результате выполнения операции (0 – нет переноса, 1 – есть перенос);
- V – признак переполнения результата (0 – нет переполнения, 1 – есть переполнение);
- Z – признак нулевого результата (0 – результат не нулевой, 1 – результат нулевой);
- N – знак результата (0 – знак положительный, 1 – знак отрицательный);
- U – признак ненормализованного результата (0 – нормализованный результат, 1 – ненормализованный результат);
- Ev – запомненный ранее возникший признак переполнения результата (0 – не было переполнения, 1 – было переполнение);
- E – экспоненциальный признак (формируется командой CMPE);

- t – признак истинности условия после исполнения условной команды ($t=0$ – безусловная команда либо условие ложно; $t=1$ – условие истинно);
- S – бит включения режима насыщения результата (0 – отключение режима насыщения, 1 – включение режима насыщения);
- RND – бит управления режимом округления результата (0 – CR (Convergent Rounding), 1 – TCR (Two's-Complement Rounding));
- Cm – признак переноса сформированного в результате выполнения операции OP2 (0 – нет переноса, 1 – есть перенос);
- Vm – признак переполнения результата операции OP2 (0 – нет переполнения, 1 – есть переполнение);
- Zm – наличие нулевого результата операции OP2 (0 – результат не нулевой, 1 – результат нулевой);
- Nm – значение знака результата операции OP2 (0 – знак положительный, 1 – знак отрицательный);
- Um – признак ненормализованного результата операции OP2 (0 – нормализованный результат, 1 – ненормализованный результат);
- Evm – запомненный ранее возникший признак переполнения результата операции OP2 (0 – не было переполнения, 1 – было переполнение);

Начальное состояние регистра CCR = 0x0000.

3.4.1.4.1 Стандартные определения признаков результата

Ниже приводятся стандартные правила формирования признаков результата вычислительной операции: U(unnormalized), N(negative), Z(zero), V(overflow), C(carry). Для отдельных операций некоторые признаки могут формироваться по иным специально оговоренным правилам. В дальнейшем при описании правил формирования признаков используются следующие обозначения: msb – номер старшего (знакового) разряда результата D , т.е. $msb=31$ для 32-разрядных чисел и $msb=15$ для 16-разрядных.

Кроме указанных основных признаков, при выполнении операций могут формироваться и некоторые дополнительные признаки, определение которых дается в описании регистра CCR.

Таблица 3.2

При- знак	Стандартные правила формирования признаков	
	Все вычислительные операции (кроме сдвига)	Операции сдвига: ASL, ASLL, ASLX, ASR, ASRL, ASRX, ASRLE, LSL, LSL, LSLX, LSR, LSRL, LSRX, ROL, ROLL, ROR, RORL
U	U = 0, если $D[msb] \neq D[msb-1]$; U = 1, если $D[msb] = D[msb-1]$;	
N	N = $D[msb]$;	
Z	Z = 1, если $D=0$; Z = 0, если $D \neq 0$;	
V	V = 1, если $D[msb+1] \neq D[msb]$; V = 0, если $D[msb+1] = D[msb]$;	V = 0, если все выдвинутые влево биты равны знаковому разряду N;

При- знак	Стандартные правила формирования признаков	
	Все вычислительные операции (кроме сдвига)	Операции сдвига: ASL, ASLL, ASLX, ASR, ASRL, ASRX, ASRLE, LSL, LSLX, LSR, LSRL, LSRX, ROL, ROLL, ROR, RORL
		V = 1, иначе;
C	C = Cout[msb], если режим Scaling выключен; C = Cout[msb+1], если режим Scaling включен.	C принимает значения последнего из битов, выдвинутых за разрядную сетку результата D[msb:0] вправо или влево, в зависимости от направления сдвига.

3.4.1.4.2 Пояснения

Арифметическое устройство выполнено как полный 33-разрядный сумматор/вычитатель с дополнительным старшим разрядом под номером msb+1, используемым только для формирования признаков. На выход поступают 32 младших разряда результата D[msb:0]. Каждый из 33-х каскадов сумматора формирует как соответствующий бит результата D[i], так и перенос в следующий разряд Cout[i].

3.4.1.5 Регистры-аккумуляторы AC0, AC1

Регистры-аккумуляторы AC0, AC1 являются специализированными 32-разрядными регистрами данных (адресно регистры AC0, AC1 относятся к регистрам управления), предназначенными для накопления результата в операциях умножения с накоплением (MAC, MAC2, MACL, MACX, SAC2). В операциях MAC, MACL регистры AC0, AC1 объединяются в один 64-разрядный регистр для получения 64-разрядного результата.

Начальное состояние AC0 = AC1 = 0x00000000.

3.4.2 Режимы работы ALU

В ряде случаев результат выполнения арифметической операции зависит не только от самой этой операции и исходных операндов, но и от установленного режима вычислений (способа формирования результата). К числу таких режимов относятся:

- Режимы (способы) округления (Rounding);
- Режим масштабирования (Scaling);
- Режим насыщения (Saturation);
- Режим отслеживания блочной экспоненты (Block Floating Point Support)

3.4.2.1 Округление (Rounding)

Округление (Rounding) может выполняться как самостоятельная операция (RNDL), либо в составе более сложных операций для преобразования 32-разрядного формата данных в 16-разрядный.

Перечень операций, в которых используется округление, приведен ниже.

Таблица 3.3

Long	Short	Complex
Блок AU		
RNDL		
ADDLR		
SUBLR		
ADDLRTR		
SUBLRTR		
FTRL		

Округление может выполняться одним из двух способов: округление к ближайшему (convergent rounding) и округление дополнительного кода (two's-complement rounding).

Способ (режим) округления устанавливается 9-м разрядом (бит RND) регистра CCR.

3.4.2.1.1 Режим округления к ближайшему (Convergent Rounding)

Округление к ближайшему (также называется “к ближайшему четному числу”) – способ округления по умолчанию.

Традиционный метод округления округляет вверх при большем значении числа, чем половина, и округляет вниз для любого значения меньше, чем половина. Вопрос возникает только относительно того, как эта половина должна быть округлена. Если это всегда будет округляться одним способом, то результаты в конечном счете будут смещены в том же направлении.

Округление к ближайшему решает эту проблему так:

- Округление осуществляется в меньшую сторону, если число четное (младший бит равен нулю).
- Округление выполняется в большую сторону, если число нечетно (младший бит равен единице).

В результате алгоритм округления описывается следующим логическим выражением:

$$r = (\sim R[15] | (\sim R[16] \& R[15] \& (\sim (|R[14:0])))) ? 0'b:1'b;$$

где: r - единица округления;
 R – округляемые данные.

3.4.2.1.2 Режим округления дополнительного кода (Two's-Complement Rounding)

Все значения, большие или равные половине, округляются вверх, а все меньшие, чем половина, округлены в меньшую сторону.

В результате алгоритм округления описывается следующим логическим выражением:

$$r = (\sim R[15]) ? 0'b: 1'b;$$

где: r - единица округления;
 R – округляемые данные.

3.4.2.2 Масштабирование (Scaling)

Масштабирование позволяет избежать переполнения при выполнении арифметических операций путем сдвига вправо полученного результата.

Этот режим может быть полезен, в частности, при реализации алгоритма БПФ с прореживанием по частоте (Decimation-In-Frequency), когда при выполнении операций сложения/вычитания над комплексными числами необходимо избежать переполнения на выходе сумматора. Масштабирование выполняется путем арифметического сдвига результата операции вправо на 0/1/2 бита, при этом величина сдвига определяется полем SC (разряды 9, 8) регистра PDNR.

Включение режима масштабирования осуществляется установкой в «1» бита 15 (Esc) регистра PDNR. Другой способ включения этого режима состоит в установке в «1» поля M непосредственно в командном слове (формат 8). Синтаксически это выражается в

добавлении к мнемоническому имени команды суффикса “s”, например, ADDLs, SUBXs и т.п. Перечень операций, в которых может быть использован режим масштабирования, приведен ниже.

Таблица 3.4

Long	Short	Complex
Блок AU		
ABSL	ABS	
NEGL	NEG	
ADDL	ADD	ADDX
SUBL	SUB	SUBX
ADCL	ADC	
ADC16L	AD1	
SBCL	SBC	
ADDSUBL	ADDSUB	ADDSUBX
RNDL		
ADDLR	ASH	
SUBLR	SAH	
ADDLRTR		
SUBLRTR		
FTRL		

3.4.2.3 Поддержка режима блочной экспоненты

Данный режим обеспечивает определение блочного порядка для массива данных в формате с фиксированной точкой, в частности, при выполнении алгоритма БПФ и заключается в аппаратном измерении так называемого *параметра денормализации* (PDN) массива.

Число D в формате с фиксированной точкой считается нормализованным, если у него знаковый и следующий за ним разряд не совпадают, т.е.

$$D[\text{msb}] \neq D[\text{msb}-1],$$

где msb – номер знакового разряда числа D : $\text{msb}=31$ для 32-разрядных чисел и $\text{msb}=15$ для 16-разрядных.

Параметр денормализации числа D определяется формулой:

$$\text{PDN} = \text{msb} - n - 1,$$

где n – номер старшего «значащего» разряда числа D , т.е. старшего из разрядов, не равных знаковому.

Для комплексных чисел PDN определяется как наименьшее из значений параметра денормализации отдельно для действительной и мнимой частей.

Для определения параметра денормализации *отдельных чисел*, представленных в различных форматах, в системе инструкций DSP-ядра ELcore_x4 имеются специальные операции: PDN, PDNX, PDNL.

Для определения параметра денормализации *массивов данных*, пересылаемых между регистровым файлом и памятью данных XRAM, предусмотрен *режим автоматического отслеживания блочной экспоненты*.

При этом под параметром денормализации массива понимается наименьшее значение PDN входящих в него чисел.

Режим автоматического отслеживания блочной экспоненты включается посредством установки в «1» бита 7 (Epdn) регистра PDNR, при этом 5-й бит регистра определяет тип анализируемых данных.

Результат измерения PDN помещается в поле Crdn регистра PDNR.

3.4.2.4 Режим насыщения (Saturation)

Устройство ALU имеет режим работы с насыщением (Saturation), в котором производится ограничение результата сверху и снизу рамками разрешенного диапазона значений. Включение этого режима происходит под управлением 8-го бита (бит S) регистра CCR. Ниже приводится перечень операций, в которых может быть использован режим насыщения.

Таблица 3.5

Long	Short	Complex
Блок MS		
		MPX
ASLL	ASL	ASLX
Блок AU		
ABSL	ABS	
NEGL	NEG	
ADDL	ADD	ADDX
SUBL	SUB	SUBX
ADCL	ADC	
ADC16L	AD1	
SBCL	SBC	
ADDSUBL	ADDSUB	ADDSUBX
RNDL		
ADDLR	ASH	
SUBLR	SAH	
ADDLRTR		
SUBLRTR		
FTRL		

3.4.2.4.1 Отработка режима насыщения

Результаты операций в форматах с фиксированной точкой, имеющие знак, представлены в дополнительном коде. Включение режима насыщения подразумевает присвоение результату операции граничного значения в случае выхода результата за пределы разрешенного диапазона.

Ниже в таблице приводятся граничные значения для указанных типов чисел.

При выполнении насыщения знак результата сохраняется. Вырабатываются признаки переполнения - V, Ev.

Среди операций, использующих режим насыщения, имеются такие, при которых формируются более одного результата. Это парные операции ADDSUB, ADDSUBL, ASH, SAH и операции с комплексными числами – ADDX, SUBX, ADDSUBX, MPX, ASLX.

Насыщение для указанных операций выполняется по каждой компоненте независимо, с использованием компонентных признаков переполнения.

Таблица 3.6

Граничные значения		Форматы		
		16 разрядов	32 разряда	64 разряда
Наименьшее значение	16-ричное представление	0x8000	0x80000000	0x8000000000000000
	дробное	-1.0	-1.0	-1.0
	целое	-2^{15}	-2^{31}	-2^{63}
Наибольшее значение	16-ричное представление	0x7FFF	0x7FFFFFFF	0x7FFFFFFFFFFFFFFF
	дробное	2^{-15}	$1 - 2^{-31}$	$1 - 2^{-63}$
	целое	$2^{15} - 1$	$2^{31} - 1$	$2^{63} - 1$

3.5 Устройства генерации адресов памяти данных (AGU, AGU-Y)

Общее пространство памяти данных DSP-ядра состоит из двух областей: X- и Y-памяти. Генерация адресов для памяти данных при внутренних обменах DSP осуществляется адресными генераторами - AGU и AGU-Y.

Устройства AGU, AGU-Y производят вычисление адресов, используя целочисленную 16-разрядную арифметику. При этом используется три типа арифметики: линейная, модульная и арифметика с обратным переносом. Устройства генерации адресов функционируют параллельно с другими ресурсами DSP, что обеспечивает высокую производительность обработки данных.

3.5.1 Архитектура AGU

Адресный генератор AGU формирует адрес XAB, обслуживающий память данных XRAM, а также, при определенных условиях, адрес YAB для памяти данных YRAM.

Блок-схема адресного генератора AGU приведена на Рисунок 3.4.

AGU содержит восемь наборов из трех регистров (триплетов), в число которых входят: регистр адреса A_n , регистр смещения I_n и регистр модификатора M_n ($n=0,1,\dots,7$).

AGU может модифицировать один адресный регистр из своего набора регистров в течение одного командного цикла. При этом содержание соответствующего регистра модификатора определяет тип используемой арифметики.

Входящее в состав адресного генератора арифметическое устройство АУ содержит три сумматора.

Первый 16-разрядный полный сумматор, называемый сумматором смещения, выполняет следующие операции модификации адреса:

- увеличение на 1;
- уменьшение на 1;
- увеличение на величину смещения I_n ;
- уменьшение на величину смещения I_n ;

Второй полный сумматор, называемый модульным сумматором, добавляет (или вычитает) к результату первого сумматора величину модуля, которая хранится в соответствующем регистре модификатора M_n .

Третий полный сумматор, называемый сумматором обратного переноса, выполняет следующие операции модификации адреса с обратным направлением распространения переноса (от старших разрядов к младшим):

- увеличение на 1;
- уменьшение на 1;
- увеличение на величину смещения I_n ;
- уменьшение на величину смещения I_n ;

Сумматор смещения работает параллельно с сумматором обратного переноса и имеет с ним общие входы. Единственная разница между ними состоит в направлении распространения переноса. Управляющая логика определяет, результат которого из трех сумматоров является выходом адресного генератора.

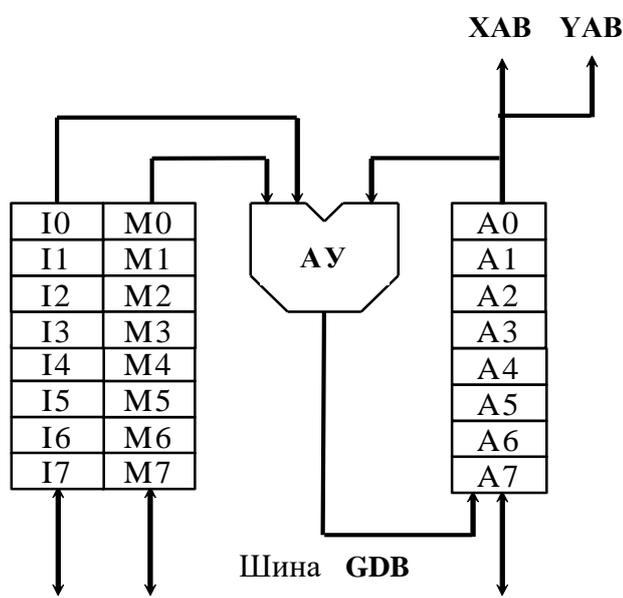


Рисунок 3.4. Блок-схема адресного генератора AGU

В состав AGU входят регистры адреса A_0 - A_7 , регистры смещения I_0 - I_7 и регистры модификатора M_0 - M_7 . Регистры A_n , I_n , M_n , где $n=0, \dots, 7$, составляют триплет. Это означает, что при модификации адресного регистра A_n могут быть использованы только регистры, имеющие тот же индекс – I_n , M_n .

Восемь регистровых триплетов адресного генератора:

- $A_0:I_0:M_0$
- $A_1:I_1:M_1$
- $A_2:I_2:M_2$

- A3:I3:M3
- A4:I4:M4
- A5:I5:M5
- A6:I6:M6
- A7:I7:M7

Запись или чтение каждого из указанных регистров осуществляются через глобальную шину данных (GDB) DSP.

3.5.2 Программная модель AGU

С точки зрения программиста, адресный генератор AGU представляет собой восемь наборов по три регистра, как показано на Рисунок 3.5. Эти регистры могут использоваться для хранения адресных указателей или других данных. При косвенной адресации операндов в памяти автоматически включается механизм обновления адресных указателей. Адресные регистры могут быть запрограммированы для линейной адресации, модульной адресации или реверсивной адресации.

A7		I7		M7
A6		I6		M6
A5		I5		M5
A4		I4		M4
A3		I3		M3
A2		I2		M2
A1		I1		M1
A0		I0		M0
Адресные регистры		Регистры смещения		Регистры модификатора

Рисунок 3.5. Программная модель AGU

3.5.2.1 Адресный регистровый файл

Восемь 16-разрядных адресных регистров A0-A7 могут содержать адреса, либо произвольные данные. Содержимое адресного регистра может непосредственно указывать на данные в памяти либо используется для формирования указателя со смещением.

Адресный регистр обновляется после формирования адресного указателя (постмодификация).

3.5.2.2 Регистровый файл смещений

Восемь 16-разрядных регистров смещений I0-I7 могут содержать значения смещений, используемых для инкрементации или декрементации адресных регистров при выполнении обновления адреса. Эти регистры могут также использоваться для хранения произвольных данных.

3.5.2.3 Регистровый файл модификаторов

Восемь 16-разрядных регистров модификаторов M0-M7 определяют тип адресной арифметики, применяемой при модификации адреса.

Адресные АЛУ поддерживают три типа арифметики: *линейную, модульную и арифметику с обратным переносом*. Для модульной арифметики содержимое регистров модификаторов определяет также модуль.

3.5.3 Архитектура AGU-Y

Адресный генератор AGU-Y формирует адрес YAB для памяти данных YRAM.

В каждой секции DSP имеется отдельное устройство AGU-Y для генерации адресов сегмента памяти YRAM соответствующей секции.

Блок-схема адресного генератора AGU-Y приведена на Рисунок 3.6.

AGU-Y содержит набор регистров, в число которых входят: регистры адреса AT, регистры смещения IT и DT регистр и модификатора MT.

AGU-Y может модифицировать адресный регистр AT в течение одного командного цикла. При этом содержание соответствующего регистра модификатора MT определяет тип используемой арифметики.

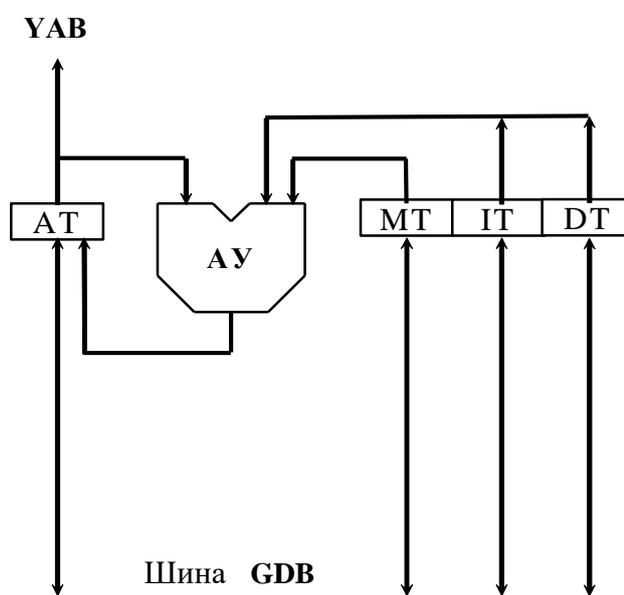


Рисунок 3.6 Блок-схема адресного генератора AGU-Y

Адрес, генерируемый AGU-Y, подается на адресную шину YAB.

Входящее в состав адресного генератора арифметическое устройство АУ содержит три сумматора.

Первый 16-разрядный полный сумматор, называемый сумматором смещения, выполняет следующие операции модификации адреса:

- увеличение на величину смещения IT;
- увеличение на величину смещения DT;

Второй полный сумматор, называемый модульным сумматором, добавляет (или вычитает) к результату первого сумматора величину модуля, которая хранится в регистре модификатора MT.

Третий полный сумматор, называемый сумматором обратного переноса, может выполнять следующие операции модификации адреса с обратным направлением распространения переноса – от старших разрядов к младшим:

- увеличение на величину смещения IT;

- увеличение на величину смещения DT;

Сумматор смещения работает параллельно с сумматором обратного переноса и имеет с ним общие входы. Единственная разница между ними состоит в направлении распространения переноса. Управляющая логика определяет, результат которого из трех сумматоров является выходом адресного генератора.

В состав AGU-Y входят регистр адреса AT, регистры смещения IT, DT и регистр модификатора MT.

Запись или чтение каждого из указанных регистров осуществляется через глобальную шину данных (GDB) DSP.

3.5.4 Программная модель AGU-Y

С точки зрения программиста, адресный генератор представляет собой восемь наборов по три регистра (AALU1) и набор из четырех регистров (AALU2), как показано на Рисунок 3.7. Регистр MT может быть запрограммирован для линейной адресации, модульной адресации или реверсивной адресации.

AT		IT		MT
		DT		
Адресный регистр		Регистры смещения		Регистр модификатора

Рисунок 3.7. Программная модель AGU-Y

3.5.5 Виды адресации

Применяются следующие виды (способы) адресации: прямая адресация (для регистров управления и данных), косвенная адресация (для памяти данных и программ), абсолютная адресация и адресация относительно программного счетчика (для программной памяти).

Прямая адресация используется при пересылках данных между регистрами данных или управления DSP-ядра.

Косвенная адресация используется при обменах с памятью данных.

Абсолютная адресация программной памяти и адресация программной памяти относительно программного счетчика используется при организации программных переходов и циклов.

Рассматриваемые в настоящем разделе адресные генераторы AGU, AGU-Y обеспечивают *косвенную адресацию памяти данных*.

Другие виды адресации обеспечиваются блоками, входящими в состав устройства программного управления PCU, рассматриваемого в следующем разделе:

- Прямая адресация регистров выполняется программным декодером PDC.

- Все виды адресации программной памяти обеспечиваются программным адресным генератором РАГ.

Перечень используемых видов адресации приведен в

Таблица 3.7.

3.5.5.1 Прямая регистровая адресация

Прямая регистровая адресация определяет, что операндом является один или более регистров данных или управления (включая регистры адресного генератора).

Операндом может быть один, два или три регистра, как это определяется соответствующей командой. Используемая при этом в команде ссылка называется регистровой ссылкой.

Пример: `MOVE R7,CCR`

R7 – регистровая ссылка на регистр данных R7 (ссылка типа R); CCR – регистровая ссылка на регистр управления CCR (ссылка типа C).

Таблица 3.7. Виды адресации

Виды адресации	Использование регистров AGU			Тип ссылки					Ассемблерный синтаксис	
	An (AT)	In (IT, DT)	Mn (MT)	C	R	P	X	Y		
Прямая регистровая адресация										
Регистр данных или управления	-	-	-	√	√					<имя регистра>
Косвенная регистровая адресация										
Отсутствие модификации адреса (XRAM)	+	-	-				√			(An)
Отсутствие модификации адреса (YRAM)	+	-	-					√		(AT)
Пост – инкремент на I	+	-	+				√			(An) +
Пост – инкремент на In	+	+	+				√			(An) + In
Пост – инкремент на IT	+	+	+					√		(AT) + IT
Пост – инкремент на DT	+	+	+					√		(AT) + DT
Пост – декремент на I	+	-	+				√			(An) -
Пост – декремент на In	+	+	+				√			(An) - In
Адресация со смещением на In (XRAM)	+	+	+				√			(An + In)
Адресация со смещением на IT (YRAM)	+	+	+					√		(AT + IT)
Непосредственное смещение	+	-	+				√			(displ)
Абсолютная адресация программной памяти										
Абсолютная прямая адресация	-	-	-				√			#I16
Абсолютная косвенная адресация	+	-	-				√			(An)
Адресация программной памяти относительно программного счетчика (PC)										
Относительная прямая адресация	-	-	-				√			PC + #I16
Относительная косвенная адресация	+	-	-				√			PC + An
Обозначения: C – ссылка на регистр управления RC; R – ссылка на регистр данных R; P – ссылка на память программ PRAM; X – ссылка на память данных XRAM; Y – ссылка на память данных YRAM;										

3.5.5.2 Виды адресация программной памяти

При формировании адреса программной памяти может использоваться абсолютная и относительная, прямая и косвенная адресация.

Абсолютная адресация программной памяти применяется в операциях программных переходов и циклов, использующих абсолютный адрес перехода – J, JD, JS, DO, DO_R. Относительная адресация памяти программ применяется в операциях переходов и циклов, формирующих адрес перехода относительно программного счетчика PC – B, BD, BS, DOR, DOR_R. И абсолютная, и относительная адресация может быть либо прямой, когда адрес перехода задается непосредственным операндом, либо косвенной когда адрес перехода содержится в адресном регистре.

3.5.5.3 Косвенная адресация памяти данных

При косвенной адресации для указания на ячейку памяти (XRAM или YRAM) используется адресный регистр An, а в общем случае – группа регистров An, In, Mn, позволяющих по определенным правилам вычислить значение указателя. Используемые режимы генерации адреса приводятся ниже.

3.5.5.3.1 Отсутствие модификации адреса (An)

Адрес операнда содержится в адресном регистре. При выполнении команды значение адреса не изменяется.

3.5.5.3.2 Пост – инкремент на 1

Адрес операнда содержится в адресном регистре An. После использования адреса его значение увеличивается на 1 и сохраняется в том же адресном регистре. Тип используемой арифметики определяется соответствующим регистром модификатора. Регистр смещения не используется.

3.5.5.3.3 Пост – инкремент на In

Адрес операнда содержится в адресном регистре An. После использования адреса его значение увеличивается на величину смещения, содержащуюся в регистре In, и сохраняется в том же адресном регистре An. Тип используемой арифметики определяется соответствующим регистром модификатора Mn. Содержимое регистра смещения не изменяется.

3.5.5.3.4 Пост – декремент на 1

Адрес операнда содержится в адресном регистре An. После использования адреса его значение уменьшается на 1 и сохраняется в том же адресном регистре. Тип используемой арифметики определяется соответствующим регистром модификатора. Регистр смещения не используется.

3.5.5.3.5 Пост – декремент на In

Адрес операнда содержится в адресном регистре An. После использования адреса его значение уменьшается на величину смещения, содержащуюся в регистре In, и сохраняется в том же адресном регистре An. Тип используемой арифметики определяется соответствующим регистром модификатора Mn. Содержимое регистра смещения не изменяется.

3.5.5.3.6 Адресация со смещением на In

Адресом операнда является сумма значений, хранящихся в адресном регистре An и в регистре смещения In. Тип используемой арифметики определяется соответствующим

регистром модификатора Mn. Содержимое регистра адреса Rn и регистра смещения In остается неизменным.

3.5.5.3.7 Непосредственное смещение (An + displ)

Адресом операнда является сумма значений, хранящихся в адресном регистре An и непосредственного смещения, содержащегося в поле команды. Тип используемой арифметики определяется соответствующим регистром модификатора Mn. Содержимое регистра адреса An остается неизменным. Регистр смещения In не используется.

3.5.6 Типы адресной арифметики

Адресный генератор поддерживает четыре типа адресной арифметики:

- линейная,
- модульная,
- модульная с кратным обращением,
- арифметика с обратным переносом.

Предоставляемые возможности достаточны для организации в памяти структур данных типа очередей (FIFO), линий задержки, циклических буферов, стеков, буферов с обратным порядком адресации для реализации БПФ.

Работа с данными при этом сводится в большей степени к манипуляциям с адресами, чем к пересылкам больших блоков данных.

Тип используемой адресной арифметики определяется значением, хранящимся в регистре модификатора. Для модульной арифметики содержимое регистров модификаторов определяет также модуль. Каждый адресный регистр имеет один связанный с ним регистр модификатора.

Значения модификатора Mn и соответствующие им типы адресной арифметики указаны в Таблица 3.8.

Таблица 3.8. Типы адресной арифметики

Модификатор Mn	Адресная арифметика
\$0000	Арифметика с обратным переносом
\$0001	Модуль 2
\$0002	Модуль 3
...	...
\$7FFE	Модуль 32767 ($2^{15} - 1$)
\$7FFF	Модуль 32768 (2^{15})
\$8001	Модуль 2 с кратным обращением
\$8003	Модуль 4 с кратным обращением
\$8007	Модуль 8 с кратным обращением
...	...
\$9FFF	Модуль 2^{13} с кратным обращением
\$BFFF	Модуль 2^{14} с кратным обращением
\$FFFF	Линейная арифметика (Модуль 2^{16})
Остальные комбинации – резерв	

3.5.6.1 Линейная адресная арифметика ($Mn = \$FFFF$)

Модификация адреса выполняется с использованием обычной 16-разрядной линейной (по модулю 65536) арифметики. 16-разрядное смещение, In , $+1$ или -1 могут использоваться для вычисления адреса. Диапазон значений может рассматриваться как знаковый (от -32768 до $+32767$) либо как беззнаковый (от 0 до 65535), так как адресное ALU работает в обоих случаях одинаково.

3.5.6.2 Адресная арифметика с обратным переносом ($Mn = \$0000$)

Этот вариант адресной арифметики выбирается посредством установки регистра модификатора в 0. Модификация адреса в этом случае выполняется аппаратно с распространением переноса в обратном направлении – от старших разрядов к младшим.

Операция модификации адреса с обратным переносом эквивалентна последовательному выполнению следующих процедур:

- изменению на обратный порядка следования разрядов в регистрах адреса и смещения (при этом старший бит становится младшим и т.д.);
- модификации адреса посредством нормальной операции сложения;
- возвращению первоначального порядка следования разрядов адреса.
- в случае, когда величина смещения составляет $2^{(k-1)}$ (целая степень двойки), такая модификация адреса эквивалентна:
- обращению порядка следования k младших разрядов An ;
- увеличению на 1;
- возвращению исходного порядка следования k младших разрядов An .

Рассматриваемый режим адресной арифметики удобен при реализации алгоритма быстрого преобразования Фурье (БПФ).

3.5.6.3 Модульная адресная арифметика ($Mn = \text{Modulus} - 1$)

Модификация адреса выполняется по модулю M , где M - целое число в пределах от 2 до 32768. Арифметика по модулю M вынуждает значение адреса оставаться в пределах диапазона значений, отличающихся друг от друга не более чем на $M-1$.

Величина $M-1$ хранится в регистре модификатора адреса. Нижняя граница диапазона (базовый адрес) должна иметь нули в младших k разрядах, где $2^k \geq M$. Верхняя граница диапазона определяется как сумма нижней границы и модуля минус единица (базовый адрес $+ M - 1$).

$$base_addr = \{An[15:k], \{k\{0\}\}\};$$

$$base_addr \leq XAB \leq base_addr + M - 1;$$

Нижняя и верхняя границы диапазона определяются значением An . При этом необязательно устанавливать An равным базовому адресу. Достаточно того, чтобы величина An находилась в пределах требуемого диапазона.

Если при вычислении адреса в этом режиме используется смещение In , его величина не должна превышать M . Выходной адрес XAB для этого случая определяется формулой:

$$XAB = base_addr + (An[k-1:0] \pm In)_{\text{mod}M};$$

Рассматриваемый тип адресной арифметики удобен при организации циклических буферов для реализации на их основе структур данных типа очередей (FIFO), линий задержки и т.п.

3.5.6.4 Кратная модификация адреса по модулю

Этот тип адресной арифметики выбирается посредством установки в «1» 15-го разряда регистра модификатора Mn , как это показано в табл.4.2

Модификация адреса выполняется по модулю M , где M - степень двойки в пределах от 2^1 до 2^{14} . Арифметика по модулю M вынуждает значение адреса оставаться в пределах диапазона значений, отличающихся друг от друга не более чем на $M-1$.

Величина $M-1$ хранится в младших 15-ти разрядах регистра модификатора адреса Mn . Нижняя граница диапазона (базовый адрес) должна иметь нули в младших k разрядах, где $2^k \geq M$. Верхняя граница диапазона определяется как сумма нижней границы и модуля минус единица (базовый адрес + $M - 1$).

Выходной адрес XAB и границы диапазона определяются по тем же формулам, что и при обычной модульной арифметике:

$$XAB = base_addr + (An[k-1:0] \pm In)_{\text{mod}M};$$

$$base_addr = \{An[15:k], \{k\{0\}\}\};$$

$$base_addr \leq XAB \leq base_addr + M - 1;$$

Отличие состоит в том, что для данного типа адресной арифметики величина смещения In может быть произвольной.

3.5.7 Режимы адресации

3.5.7.1 Режимы адресации AGU

Виды адресации AGU сведены в Таблица 3.9. Режим адресации определяется полем “mode” командного слова.

Таблица 3.9. Виды адресации памяти данных

Номер режима адресации	Обозначение	Пояснение
0	-	Отмена пересылки
1	(An)	Косвенная
2	(An)+	Пост - автоинкремент
3	(An)-	Пост – автодекремент
4	(An)+In	Пост - автоувеличение
5	(An)-In	Пост – автоуменьшение
6	(An+In)	Индексирование (An не меняется)
7	(An+dspl)	С непосредственным смещением (A не меняется)

Примечание. По установленному признаку “u” в командном слове вычисляется исполнительный адрес без выполнения самой пересылки.

3.5.7.2 Режимы адресации AGU-Y

Режимы адресации AGU-Y сведены в Таблица 3.10. Режим адресации определяется полем “AT” командного слова и управляющим параметром YM (11-й разряд регистра SR).

Таблица 3.10. Виды адресации памяти YRAM

Код режима адресации	YM	Обозначение	Вид адресации
00	X	-	Отмена пересылки
01	X	(AT)	Косвенная
10	X	(AT)+IT	Пост – автоувеличение
11	0	(AT+IT)	Индексирование (An не меняется)
11	1	(AT)+DT	Пост – автоувеличение

Выбор адресной арифметики для памяти YRAM определяется состоянием регистра MT в соответствии с правилами, описанными в предыдущем разделе.

3.6 Устройство программного управления (PCU)

В настоящем разделе рассматривается устройство программного управления (PCU) и работа программного конвейера DSP.

3.6.1 Назначение и состав PCU

Устройство программного управления PCU контролирует выборку команд, их декодирование, аппаратно поддерживает организацию цикла DO. Программная модель PCU содержит следующие регистры:

- Регистр управления и состояния DCSR – 16 бит, чтение/запись;
- Программный счетчик PC – 16 бит, чтение/запись;
- Регистр состояния SR – 16 бит, разряды [7:0] – только чтение, разряды [15:8] – чтение/запись;
- Регистр-идентификатор IDR – 16 бит, доступен только по чтению;
- Регистр управления DMA DMAR – 16 бит, доступен только по чтению;
- Регистр адреса окончания цикла LA – 16 бит, чтение/запись;
- Регистр счетчика циклов LC – 16 бит, чтение/запись;
- Системный стек SS – 16 бит, чтение/запись;
- Стек циклов CSH – 16 бит, чтение/запись;
- Стек циклов CSL – 16 бит, чтение/запись;
- Регистр указателей стека SP – 16 бит, чтение/запись;
- Счетчик команд CNTR – 16 бит, чтение/запись;
- Восемь регистров адреса останова SAR, SAR1-SAR7 – 16 бит, чтение/запись.

Кроме того, устройство PCU содержит системный стек (SS) и стек циклов (CS). В дополнение к стандартным ресурсам программного управления – операциям программных переходов и ветвления – поддерживается механизм программных циклов DO.

Системный стек SS представляет собой внутреннюю последовательно адресуемую память объемом 15 16-разрядных слов, используемую для автоматического сохранения содержимого регистра программного счетчика PC при входе в подпрограмму или в программный цикл (DO, DOFOR).

Стек циклов CS предназначен для сохранения содержимого регистров счетчика цикла и адреса окончания цикла (LC и LA) при организации вложенных программных циклов. Каждая 32-разрядная ячейка стека адресуется как два 16-разрядных регистра – верхний CSH и нижний CSL регистры стека. Адресация стеков осуществляется при помощи регистра указателей стека SP.

Другие данные могут сохраняться в стеках и считываться из них при соответствующих обращениях. Стеки участвуют в обменах как 16-разрядные регистры управления – SS, CSL и CSH.

Устройство PCU управляет режимами работы DSP-ядра. DSP-ядро всегда находится в одном из трех возможных состояний (режимов):

- режим сброса (RESET);
- режим останова (STOP);
- режим выполнения программы (RUN).

В штатном режиме функционирования устройство PCU организует выполнение инструкций при помощи программного конвейера, включающего три фазы.

3.6.2 Архитектура PCU

Устройство PCU включает в себя два аппаратных блока:

- Программный адресный генератор PAG;
- Программный декодер PDC.

Устройство PDC декодирует инструкции, поступающие из программной памяти, и генерирует сигналы управления программным конвейером.

Программный адресный генератор PAG выполняет вычисление адреса инструкции в программной памяти, организует выполнение программных циклов DO и операции REPEAT, управляет работой системного стека.

Ниже приведена структурная схема PCU.

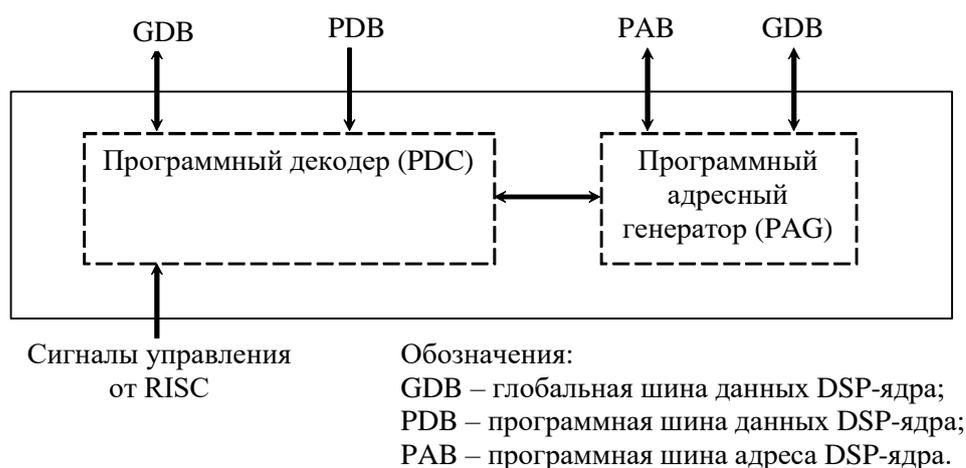


Рисунок 3.8

3.6.3 Программный конвейер

Устройство программного управления организует конвейерный механизм исполнения инструкций DSP-ядра.

Программный конвейер включает в себя четыре стадии (фазы): стадию формирования адреса инструкции (Instruction Address), стадию выборки инструкции из программной памяти (Instruction Fetch), стадию декодирования команды (Decode), стадию исполнения (Execute).

Конвейеризация выполнения инструкций приводит к тому, что в один и тот же момент времени происходит обработка нескольких инструкций, находящихся в разных стадиях исполнения.

Для большинства инструкций скорость их выполнения в конвейерном режиме составляет одну инструкцию в течение одного командного цикла. Исключение составляют инструкции программных переходов.

Устройство PCU содержит регистры LA и LC, предназначенные для аппаратной поддержки программного цикла DO. а также стандартные ресурсы программного управления, такие как программный счетчик PC, регистр состояния SR, стек циклов CS и системный стек SS. Все регистры доступны как по записи, так и по чтению, что облегчает отладку системы.

Программная модель PCU представлена на рисунке ниже. Далее дается описание назначения всех программно-доступных регистров и стеков.

3.6.3.1 Регистр-идентификатор (IDR)

Регистр-идентификатор IDR содержит код версии DSP-ядра (0x1015). Доступен только по чтению.

3.6.3.2 Регистр управления и состояния (DCSR)

Регистр управления и состояния (DCSR) содержит разряды управления, определяющие состояние и режим работы DSP-ядра, а также прерывания, формируемые DSP для обработки в CPU. Назначение разрядов регистра DCSR указано ниже.

DCSR:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RST	RUN	-	DBG	-	-	-	-	-	-	-	-	STP	BRK	SE	PI
RST – программный сброс; RUN - состояние исполнения программы; DBG – режим отладки;								STP – прерывание по останову STOP; BRK – прерывание по останову BREAK; SE – прерывание по ошибке стека SE; PI – программное прерывание PI.							

Начальное состояние DCSR = 0x0000.

3.6.3.2.1 Флаг прерывания PI

Флаг прерывания PI (программное прерывание) устанавливается в «1» в случае наличия программного прерывания со стороны DSP. Это прерывание формируется исполняемой программой DSP при помощи команды пересылки данных MOVE DSP-ядра. После обработки прерывания этот бит может быть снова установлен в «0» как по команде DSP, так и по команде CPU.

3.6.3.2.2 Флаг прерывания SE

Флаг прерывания SE (ошибка стека) устанавливается в «1» в случае наличия признака ошибки одного из стеков DSP (разряды SSE или CSE регистра указателя стека SP). Это прерывание формируется при выходе указателя стека за пределы разрешенных значений. После обработки прерывания этот бит может быть сброшен в «0» по команде CPU.

3.6.3.2.3 Флаг прерывания BRK

Флаг прерывания BRK (останов “BREAK”) устанавливается в «1» в случае останова DSP по одной из следующих причин:

- 1) по достижении адреса останова при исполнении программы до адреса останова;
- 2) по завершении требуемого числа шагов при пошаговом исполнении программы.

После обработки прерывания этот бит может быть сброшен в «0» по команде CPU.

3.6.3.2.4 Флаг прерывания STP

Флаг прерывания STP (останов “STOP”) устанавливается в «1» в случае останова DSP-ядра при исполнении команды STOP.

После обработки прерывания этот бит может быть сброшен в «0» по команде CPU.

3.6.3.2.5 Бит DBG

Этот бит (совместно с битом RUN) используется для запуска исполнения программы DSP-ядра в режиме отладки.

3.6.3.2.6 Бит RUN

Управление состоянием DSP-ядра производится при помощи управляющего бита RUN (разряд 14 регистра DCSR).

Установка бита RUN в «1» переводит DSP-ядро в состояние исполнения программы, установка в «0» - в состояние останова.

3.6.3.2.7 Бит RST

Установка DSP-ядра в начальное состояние (состояние RESET) может быть произведена посредством записи «1» в бит RST (разряд 15 регистра DCSR).

Переход DSP-ядра в начальное состояние происходит в течение одного командного цикла, после чего бит RST автоматически сбрасывается в «0».

3.6.3.3 Регистр программного счетчика (PC)

Регистр программного счетчика PC предназначен для хранения 16-разрядного адреса инструкции в программной памяти. Инкрементированное значение PC заносится в системный стек при инициализации нового программного цикла DO, DOFOR и при входе в подпрограмму.

Начальное состояние PC = 0x0000.

3.6.3.4 Регистр управления DMA (DMAR)

Регистр DMAR предназначен для управления DMA-обменами и имеет следующую структуру:

DMAR:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	DE3	DE2	DE1	DE0	-	-	-	-	M3	M2	M1	M0
DE3- запуск DMA (3 канал); DE2- запуск DMA (2 канал); DE1- запуск DMA (1 канал); DE0- запуск DMA (0 канал);								M3- маска запуска DSP со стороны DMA (3 канал); M2- маска запуска DSP со стороны DMA (2 канал); M1- маска запуска DSP со стороны DMA (1 канал); M0- маска запуска DSP со стороны DMA (0 канал);							

Начальное состояние DMAR = 0x0000.

3.6.3.5 Регистр состояния (SR)

Разряды [7:0] регистра SR доступны только по чтению, остальные - по записи/чтению.

Назначение разрядов регистра SR указано ниже.

SR:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SI	SRSI		BC	YM	-	-	SW	t	E	Ev	U	N	Z	V	C
SI – признак режима SIMD; SRSI – способ формирования интегральных признаков в режиме SIMD; BC - признак режима “BroadCasting”, т.е. одновременной загрузки памяти данных всех секций DSP-ядра; YM – режим адресации памяти YRAM; SW – режим перекрестного обращения к памяти данных в режиме SIMD;								C – перенос; V – признак переполнения; Z - признак нулевого результата; N - признак отрицательного результата; U - признак ненормализованного результата; Ev- флаг переполнения (с сохранением); E – экспоненциальный признак; t – признак истинности последнего условия.							

Разряды [7:0] регистра SR содержат интегральные признаки предыдущей арифметической операции.

Эти интегральные признаки формируются на основе соответствующих кодов, вырабатываемых в вычислительных секциях ALU0, ALU1 и хранящихся в секционных регистрах кодов условий CCR0, CCR1 в зависимости от управляющего кода SRSI (разряды 14-13 регистра SR) согласно приводимой ниже таблице.

В скалярном режиме разряды 0-7 регистра SR совпадают с соответствующими разрядами регистра CCR0 0-й секции ALU. Разряд 12 регистра SR (бит BC) предназначен для установки режима BroadCasting (BC=1), при котором загружаемые со стороны RISC-ядра или DMA данные записываются в соответствующие ячейки памяти данных (XRAM или YRAM) одновременно всех секций DSP.

Таблица 3.11

SRSI[14:13]	Алгоритм определения CCR
00	Использование CCR0 нулевой секции
01	Объединение секционных CCR0,1 по “И”
10	Объединение секционных CCR0,1 по “ИЛИ”
11	Резерв

Разряд 11 регистра SR (бит YM) предназначен для выбора режима адресации генератора AGU-Y. Разряд 15 регистра SR предназначен для выбора режима SIMD (SR[15]=1) либо SCALAR (SR[15]=0).

При начальной установке все разряды регистра SR обнуляются.

3.6.3.6 Регистр счетчика циклов (LC)

Регистр счетчика циклов содержит:

- 1) Текущее значение 14-разрядного счетчика программных циклов N_c – разряды 0-13 регистра LC;
 - 2) LF – Флаг цикла DO – разряд 14 регистра LC ;
 - 3) FV - Флаг цикла DOFOR – разряд 15 регистра LC.
- Формат регистра LC приведен ниже.

LC:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FV	LF	N_c													

Начальное состояние LC = 0x0000.

Значение счетчика программных циклов N_c определяет количество повторений программного цикла DO, в пределах от 1 до $(2^{14} - 1)$. Этот регистр заносится в верхнюю (старшую) половину стека циклов CSL по команде DO (образуется вложенный программный цикл) и извлекается обратно по окончании вложенного цикла либо по команде ENDDO.

Флаг цикла DO (LF) устанавливается в «1» в случае выполнения команды DO. Бит LF сохраняется в стеке при инициализации другого программного цикла. При окончании программного цикла происходит выталкивание из стека этого флага. Такой механизм позволяет организовывать вложенные циклы.

Флаг цикла выталкивается из стека при завершении цикла.

Исполнение программного цикла начинается с команды DO и продолжается до тех пор, пока адрес выбранной команды не сравнивается с содержимым регистра адреса цикла (последним адресом программного цикла).

После этого содержимое счетчика циклов сравнивается с единицей: если оно не равно (единице), то значение счетчика уменьшается на один и "верхнее" слово стека считывается в PC, не извлекаясь при этом из стека, для того чтобы возвратиться в начало цикла.

Если же содержимое счетчика циклов равно единице, то это означает, что программный цикл завершен. При этом прибавляется единица к содержимому РС, флаг предыдущего цикла считывается из верхнего слова соответствующего стека в регистры LC, LA и PC, сами стеки очищаются (т.е. выталкивается верхнее слово и заменяется его содержимое) из него извлекаются предыдущие значения (регистров) LA и LC и восстанавливаются в соответствующих регистрах.

По завершении цикла флаг цикла, LA и LC регистры, также как и указатели стеков, восстанавливаются.

Флаг цикла DOFOR (FV) устанавливается в «1» в случае выполнения команды DOFOR. Бит FV сохраняется в системном стеке при вызове подпрограммы или инициализации другого программного цикла. При выходе из подпрограммы или окончании программного цикла происходит выталкивание из стека этого флага. Такой механизм позволяет организовывать вложенные циклы.

3.6.3.7 Регистр адреса цикла (LA)

Регистр адреса цикла (LA) является специализированным 16-разрядным регистром, содержащим адрес последней инструкции в программном цикле DO. Этот регистр заносится в верхний стек SS по команде DO и извлекается обратно по окончании вложенного цикла либо по команде ENDDO.

3.6.3.8 Системный стек (SS)

Системный стек (SS) представляет собой специализированный модуль памяти объемом 16 слов по 16 разрядов. Системный стек используется для хранения состояния программного счетчика при вызовах подпрограмм и при организации программных циклов.

При входе в подпрограмму (т.е. при выполнении команд JS, BS) адрес возврата автоматически сохраняется в SS.

При возврате из подпрограммы по команде RTS содержимое верхней ячейки SS загружается обратно в PC.

Стек используется также при реализации вложенных программных циклов DO, DOFOR. При входе в программный цикл DO адрес первой инструкции программного цикла сохраняется в SS.

Глубина стека – 15 слов по 16 разрядов (16-е слово не используется) – определяет количество вложенных процедур.

Всего могут быть вложенными друг в друга до семи программных циклов, либо до пятнадцати подпрограмм, либо их различные комбинации.

Адрес ячейки стека, к которой производится обращение, определяется 4-разрядным указателем стека SP[3:0], хранящемся в регистре указателя стека SP. При этом адрес записи совпадает с текущим значением указателя, адрес чтения на единицу меньше. Все внутренние обращения к стеку (т.е. обращения, происходящие по командам DSP) приводят к изменению указателя: при записи он инкрементируется, при чтении – декрементируется. Внешние обращения к стеку, т.е. обращения со стороны RISC-процессора или устройства отладки OnCD, не изменяют значение указателя.

При выходе значения указателя стека за разрешенные пределы формируется флаг “ошибка стека” SSE.

3.6.3.9 Стек цикла (CS)

Стек цикла (CS) представляет собой специализированный модуль памяти объемом 8 слов по 32 разряда. Стек состоит из двух половин объемом каждая $8 * 16$ – верхней CSH и нижней CSL. Стек цикла используется для хранения содержимого регистров LA и LC при организации вложенных программных циклов.

При входе в программный цикл DO предыдущее содержимое регистра счетчика циклов (LC) автоматически сохраняется в CSH, а предыдущее содержимое регистра адреса цикла (LA) автоматически сохраняется в CSL и инкрементируются соответствующие указатели стеков SP. (Адрес первой инструкции программного цикла DO сохраняется в SS).

Глубина стека – 7 слов по 32 разряда (8-е слово не используется) – определяет количество вложенных циклов. Всего могут быть вложенными друг в друга до семи программных циклов DO.

Адрес ячейки стека, к которой производится обращение, определяется 3-разрядным указателем стека CP[2:0], хранящемся в регистре указателя стека SP. При этом адрес записи совпадает с текущим значением указателя, адрес чтения на единицу меньше. Все внутренние обращения (т.е. обращения, происходящие по командам DSP) к стеку CSH приводят к изменению указателя: при записи он инкрементируется, при чтении – декрементируется. Внешние обращения к стеку CSH, т.е. обращения со стороны RISC-процессора или устройства отладки OnCD, не изменяют значение указателя. Также не влияют на значение указателя любые обращения к стеку CSL.

При выходе значения указателя стека за разрешенные пределы формируется флаг “ошибка стека” CSE.

3.6.3.10 Регистр указателей стека (SP)

Регистр указателей стека SP содержит указатели на последнее записанное в стеки SS, CSH слово. Младший байт регистра SP содержит указатель и флаги системного стека; старший байт - указатель и флаги стека циклов.

Назначение разрядов регистра SP указано ниже.

SP:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	UFC	CSE	CP[2:0]		-	-	UFS	SSE	SP[3:0]				

<p>CP[2:0] – указатель стека циклов; CSE – флаг ошибки стека циклов; UFC – флаг переполнения стека циклов . Начальное состояние SP = 0x0000.</p>	<p>SP[2:0] – указатель системного стека; SSE – флаг ошибки системного стека; UFS – флаг переполнения системного стека.</p>
---	--

Значения указателей и флагов приведены в таблицах 3.6 и 3.7.

3.6.3.10.1 Указатель системного стека (SP[3:0])

Указатель системного стека - разряды SP[3:0] регистра SP указывают на последнюю занятую ячейку стека SS. По сигналу ALU начальной загрузки (RESET) эти разряды устанавливаются в нулевое состояние, показывая, что стек пуст.

Данные поступают в стек с одновременной инкрементацией указателя. Выборка данных из стека сопровождается декрементацией указателя.

3.6.3.10.2 Флаг ошибки системного стека (SSE)

Флаг ошибки стека (разряд SSE регистра SP) в состоянии «1» указывает на выход указателя стека за пределы разрешенных значений.

При заполненном системном стеке значение, хранящееся в разрядах [5:0] SP, равно 001111. Попытка записи данных в системный стек в этом случае приводит к возникновению «ошибки стека» и переходу SP[5:0] в состояние 010000.

Любая операция выборки из пустого стека (SP=0) приводит его в состояние 111111. В этом случае флаг ошибки стека SSE также устанавливается в «1».

После перехода в состояние «1» флаг ошибки стека сохраняется в этом состоянии до тех пор, пока не будет сброшен пользователем.

Таблица 3.12. Разрешенные значения указателя системного стека

UFS	SSE	SP3	SP2	SP1	SP0	Описание
1	1	1	1	1	1	Переполнение стека «вниз»
0	0	0	0	0	0	Стек пуст. Попытка чтения приводит к переполнению стека «вниз»
0	0	0	0	0	1	Ячейка стека 1
.	Ячейки стека 2-13
0	0	1	1	1	0	Ячейка стека 14
0	0	1	1	1	1	Ячейка стека 15. Стек полон. Попытка записи приводит к переполнению стека «вверх»
0	1	0	0	0	0	Переполнение стека «вверх»

3.6.3.10.3 Флаг исчерпания системного стека (UFS)

Флаг исчерпания системного стека (разряд UFS регистра SP) в состоянии «1» указывает на выход указателя стека за пределы разрешенных значений «вниз», т.е. попытку считать из пустого стека. При этом одновременно флаг ошибки стека переходит в состояние «1».

После перехода в состояние «1» флаг переполнения стека сохраняется в этом состоянии до тех пор, пока не будет сброшен пользователем.

3.6.3.10.4 Указатель стека циклов (CS[2:0])

Указатель стека циклов - разряды CS [2:0] регистра SP указывают на последнюю занятую ячейку стека циклов CS. По сигналу начальной загрузки (RESET) эти разряды устанавливаются в нулевое состояние, показывая, что стек пуст.

Данные поступают в стек циклов с одновременной инкрементацией указателя CS. Выборка данных из стека сопровождается декрементацией указателя.

3.6.3.10.5 Флаг ошибки стека циклов (CSE)

Флаг ошибки стека (разряд CSE регистра SP) в состоянии «1» указывает на выход указателя стека за пределы разрешенных значений (см.таблицу 3.7).

При заполненном стеке значение, хранящееся в разрядах [12:8] SP, равно 00111. Попытка записи данных в стек в этом случае приводит к возникновению “ошибки стека” CSE и переходу SP[12:8] в состояние 01000.

Любая операция выборки из пустого стека циклов (CS=0) приводит его в состояние 11111. В этом случае флаг ошибки стека циклов CSE устанавливается в “1”.

После перехода в состояние “1” флаг ошибки стека циклов сохраняется в этом состоянии до тех пор, пока не будет сброшен пользователем.

Таблица 3.13. Разрешенные значения указателя стека циклов

UFC	CSE	CS2	CS1	CS0	Описание
1	1	1	1	1	Переполнение стека циклов «вниз»
0	0	0	0	0	Стек циклов пуст. Попытка чтения приводит к переполнению стека «вниз»
0	0	0	0	1	Ячейка стека циклов 1
.	Ячейки стека циклов 2-5
0	0	1	1	0	Ячейка стека циклов 6
0	0	1	1	1	Ячейка стека 7. Стек циклов полон. Попытка записи приводит к переполнению стека «вверх»
0	1	0	0	0	Переполнение стека циклов «вверх»

3.6.3.10.6 Флаг исчерпания стека циклов - (UFC)

Флаг исчерпания стека циклов (разряд UFC регистра SP) в состоянии «1» указывает на выход указателя стека за пределы разрешенных значений «вниз», т.е. попытку считать из пустого стека. При этом одновременно флаг ошибки стека переходит в состояние “1”. После перехода в состояние “1” флаг переполнения стека циклов сохраняется в этом состоянии до тех пор, пока не будет сброшен пользователем.

3.6.3.10.7 Регистры адреса останова (SAR, SAR1 – SAR7)

Регистры адреса останова SAR, SAR1-SAR7 являются специализированными 16-разрядными регистрами, используемыми при отладке DSP-ядра. Каждый из этих регистров определяет точку останова (Breakpoint) - адрес инструкции, непосредственно

перед исполнением которой должен произойти останов DSP-ядра. Перед исполнением инструкции с указанным адресом DSP-ядро переходит в состояние останова (RUN=0) и флаг прерывания BRK устанавливается в «1».

Начальное состояние регистров SAR, SAR1-SAR7 = 0xFFFF.

3.6.3.11 Счетчик команд (CNTR)

Счетчик команд CNTR - специализированный 16-разрядный регистр, предназначенный для отладки DSP-ядра. Регистр CNTR задает пошаговый режим исполнения программ в соответствии с приводимой ниже таблицей.

CNTR	Режим исполнения программ
0x0000	Нормальный режим исполнения программ. Число исполняемых команд не ограничено.
$N > 0$	Пошаговый режим исполнения программ. После исполнения N инструкций DSP-ядро переходит в состояние останова (RUN=0) и флаг прерывания BRK устанавливается в «1».

3.7 Состояния DSP

В этом разделе описываются состояния (режимы функционирования) DSP. Управление состояниями DSP может выполняться при помощи сигнала аппаратного сброса RESET либо путем изменения соответствующих разрядов регистра SR.

DSP-ядро всегда находится в одном из трех возможных состояний:

- состояние начальной установки (**RESET**);
- состояние останова (**STOP**);
- состояние исполнения программы (**RUN**).

Ниже дается описание указанных состояний.

3.7.1 Состояние начальной установки (RESET)

DSP-ядро переходит в состояние начальной установки в двух случаях:

- 1) при поступлении сигнала аппаратного сброса RESET (аппаратный RESET);
- 2) при записи «1» в 15-й разряд регистра DCSR (программный RESET).

В обоих этих случаях производятся следующие установки:

- Регистры управления DCSR, SR, PC, LC, CNTR, SP адресные регистры A0-A7, AT, секционные регистры CCR, PDNR, AC0, AC1 устанавливаются в состояние 0x0000;
- Регистр адреса останова SAR и регистры модификатора адреса M0-M7, MT устанавливаются в состояние 0xFFFF;

3.7.2 Состояние останова (STOP)

При переходе в состояние останова DSP-ядро прекращает выполнение текущей программы. Программный счетчик не инкрементируется, состояние регистров и памяти сохраняется неизменным, за исключением тех случаев, когда производятся обмены по шинам RISC-ядра или DMA.

DSP-ядро переходит в состояние останова при отсутствии аппаратного сброса в одном из описанных ниже случаев:

- при установке в «0» бита RUN регистра DCSR;
- по достижении адреса останова при исполнении программы до адреса останова (при этом устанавливается в «1» флаг прерывания BREAK регистра DCSR);
- по завершении требуемого числа шагов при пошаговом исполнении программы);
- при отработке команды STOP DSP (при этом устанавливается в «1» флаг прерывания STOP регистра DCSR);

- при установке флага ошибки в одном из регистров указателей стеков – SSE или CSE (при этом устанавливается в «1» флаг прерывания SE регистра DCSR);
- при записи «1» в один из разрядов (I1-I3) регистра DCSR, соответствующих флагам прерываний SE, STOP, BREAK.

3.7.3 Состояние исполнения программы (RUN)

DSP-ядро находится в этом состоянии при одновременном наличии следующих условий:

- 1) Бит RUN регистра DCSR установлен в «1»;
- 2) Не установлены (находятся в состоянии «0») флаги прерываний SE, BREAK, STOP регистра DCSR.

Состояние DSP-ядра RUN связано с выполнением команд (инструкций). Выполнение инструкций в DSP-ядре организовано в виде конвейера, включающего три фазы. При этом для большинства инструкций скорость их выполнения в конвейерном режиме составляет одну инструкцию в течение одного командного цикла.

Выполнение некоторых инструкций требует большего количества командных циклов. К ним относятся инструкции, вызывающие программные переходы.

Конвейеризация выполнения инструкций приводит к тому, что в один и тот же момент времени происходит обработка нескольких инструкций, находящихся в разных стадиях исполнения.

Программный конвейер включает в себя четыре, в отличие от ELcore-x4, стадии (фазы): Адрес инструкции (Fetch), Выборка инструкции (Fetch), Декодирование (Decode), Исполнение (Execute). Хотя от выборки первой инструкции до окончательного ее исполнения проходит четыре командных цикла, с каждым следующим циклом завершается очередная инструкция.

Работа программного конвейера при последовательной выборке команд из программной памяти иллюстрируется временной диаграммой на **Ошибка! Источник ссылки не найден.** (n – номер инструкции).

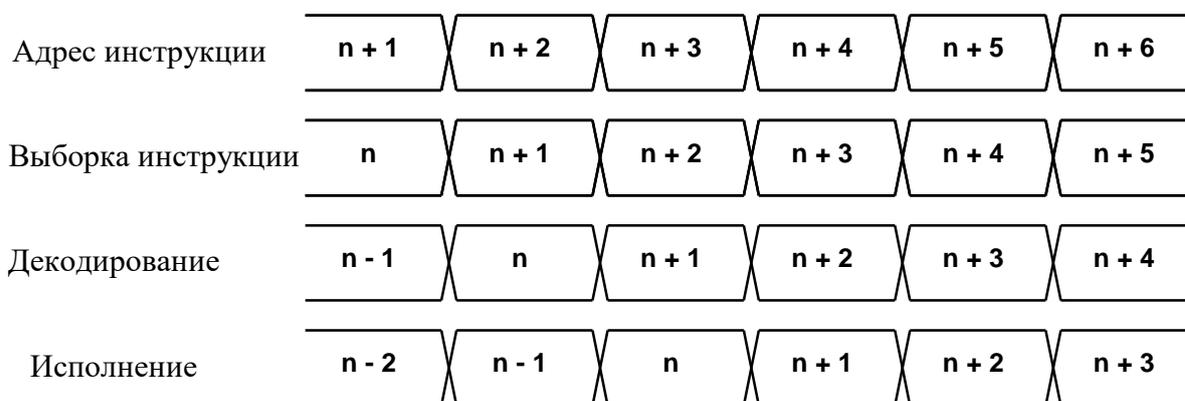


Рисунок 3.9. Работа программного конвейера при последовательной выборке команд

Приведенный в таблице порядок следования инструкций имеет место для большинства инструкций, исполнение которых не требует дополнительных командных циклов. Исключение составляют инструкции программных переходов.

Внешние обращения (со стороны RISC-ядра или DMA) к регистрам или к сегментам программной памяти DSP-ядра вызывают приостановку программного конвейера и приводят, таким образом, к увеличению времени исполнения инструкций на соответствующее число тактов. Состояние DSP-ядра при этом не меняется.

Обращения к двухпортовой памяти данных XRAM, YRAM происходят без приостановки программного конвейера.

3.8 Карта памяти DSP и организация обмена данными

Внутренняя оперативная память DSP входит в общее пространство памяти CPU. Положение сегментов памяти DSP в пространстве CPU приведено на Рисунок 3.10. Адреса указаны в шестнадцатеричной системе счисления с точностью до одного байта. Память DSP имеет 32-разрядную организацию и с ней возможны только 32-разрядные обмены. Поэтому при обменах с CPU и DMA два младших разряда адреса считаются всегда равными нулю.

Память данных DSP состоит из двух областей: X- и Y-памяти (XRAM, YRAM). Под память данных XRAM отведен диапазон адресов с 0x1840_0000 по 0x1841_FFFC. Под память данных YRAM отведен диапазон адресов с 0x1842_0000 по 0x1843_FFFC .

Память данных XRAM содержит 2 страницы: первая имеет диапазон адресов с 0x1840_0000 по 0x1840_FFFC, вторая - с 0x1841_0000 по 0x1841_FFFC. Память данных YRAM также разделена на 2 страницы: диапазон адресов первой - с 0x1842_0000 по 0x1842_FFFC, второй - с 0x1843_0000 по 0x1843_FFFC.

Под память программ PRAM отведен диапазон адресов с 0x1844_0000 по 0x1844_3FFC.

Программно-доступные регистры располагаются в диапазоне адресов с 0x1848_0000 по 0x1848_1004.

3.8.1 Организация обменов данными DSP с CPU или DMA.

Во внешних обменах (с CPU или DMA) DSP является ведомым устройством (Slave) и не может самостоятельно инициировать обмен. Обмены CPU или DMA с памятью DSP (XRAM, YRAM или PRAM) происходят через отдельные порты модулей памяти и не прерывают работы DSP.

Обмены с памятью могут быть 32-разрядными или 64-разрядными. При 64-разрядных обменах обращение производится к двум 32-разрядным ячейкам памяти с соседними адресами (т.е. в разные SIMD-секции). Ячейка с адресом, кратным 8 (0хXXXXXXXX0 или 0хXXXXXXXX8) соответствует младшей половине 64-разрядного слова, ячейка с адресом 0хXXXXXXXX4 или 0хXXXXXXXXC – старшей половине 64-разрядного слова.

Обмены с адресуемыми регистрами DSP могут производиться только CPU и могут быть только 32-разрядными. При записи в 16-разрядные регистры данные находятся в младшем полуслове. При чтении из 16-разрядных регистров данные дублируются в младшем и старшем полуслове.

Не допускается одновременное обращение к одной и той же странице памяти данных со стороны DSP и CPU (либо DMA), при условии, что хотя бы одно из этих обращений

- запись. Также не допускается одновременная запись в память PRAM со стороны CPU либо DMA и исполнение программы DSP.

Адреса DSP в пространстве CPU		Внутренние адреса DSP	
	Резерв		
0x1848_1004 0x1848_0000	Регистры данных и управления		
	Резерв		
0x1844_3FFC 0x1844_0000	Память программ (PRAM)	0x0FFF = PC_{max} 0x0000 = PC_{min}	PC
	Резерв		
0x1843_FFFC 0x1842_0000 0x1841_FFFC	Память данных YRAM	0xFFFF = pY_{max} 0x8000 = pY_{min}	A0-A7, AT
0x1840_0000	Память данных XRAM	0x7FFF = pX_{max} 0x0000 = pX_{min}	A0-A7

Рисунок 3.10. Карта памяти DSP-ядра ELcore-26

3.8.1.1 Режим Broadcasting

При внешней записи 32-разрядных данных в память данных DSP-ядра ELcore_24 возможен режим «Broadcasting». Этот режим позволяет осуществлять запись 32-разрядных данных одновременно в две ячейки с соседними адресами (т.е. в разные SIMD-секции): в ячейки с адресами вида 0хXXXXXXXX0 и 0хXXXXXXXX4; либо в ячейки с адресами 0хXXXXXXXX8 и 0хXXXXXXXXC.

Режим Broadcasting включается при установке в «1» бита BC в регистре SR.

3.8.2 Организация внутренних обменов с памятью данных

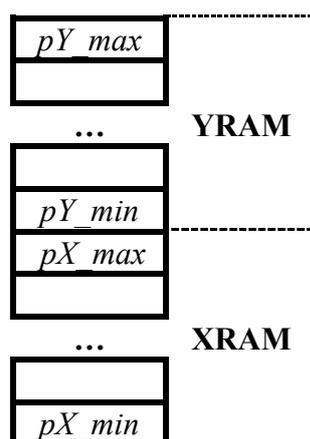
Генерация адресов для X- и Y-памяти данных при внутренних обменах DSP осуществляется адресными генераторами DSP - AGU и AGU-Y.

Устройство AGU-Y предназначено для генерации адресов Y-памяти.

Адресный генератор AGU является общим для всего DSP и производит адресацию всех сегментов X- и Y-памяти данных DSP.

В каждой секции DSP-ядра имеется отдельное устройство для генерации адресов Y-памяти - AGU-Y0 и AGU-Y1. Устройство AGU-Y адресует только Y-память и только по чтению. При одновременном обращении к Y-памяти со стороны обоих генераторов, - AGU и AGU-Y, - приоритет имеет генератор AGU.

При этом внутренняя адресация памяти XRAM начинается с нулевого адреса, а памяти YRAM - с адреса, следующего за последним адресом XRAM в соответствии с приводимой ниже диаграммой, где pX_min , pX_max – соответственно минимальный и максимальный адрес X-памяти pY_min , pY_max – соответственно минимальный и максимальный адрес Y-памяти:



Граничные адреса X- и Y-памяти для ELcore-26 (адреса приводятся в шестнадцатеричной системе счисления):

pX_min	pX_max	pY_min	pY_max
0x0000	0x7FFF	0x8000	0x9FFF

3.8.2.1 Особенности адресации памяти данных в режимах SCALAR и SIMD

Адреса, вырабатываемые генераторами AGU, AGU-Y0 и AGU-Y1, будем обозначать соответственно XAB, YAB0 и YAB1 (так же, как и соответствующие им адресные шины).

В режиме SCALAR указатели памяти, то есть адреса ячеек X- и Y-памяти, к которым происходят обращения, совпадают с вырабатываемыми адресами:

$$pX = XAB, \quad pX_min \leq XAB \leq pY_max;$$

$$pY = YAB0, \quad pY_{\min} \leq YAB0 \leq pY_{\max};$$

Примечание. Одновременное обращение к Y-памяти со стороны обоих генераторов, AGU и AGU-Y, запрещено. При таком одновременном обращении к Y-памяти приоритет имеет генератор AGU. Данные, считанные в этом случае генератором AGU-Y, будут неправильными.

В режиме SIMD для DSP-ядра ELcore_24 весь объем памяти данных XRAM, YRAM распределяется поровну между секциями. При этом все ячейки с четными адресами принадлежат к одной секции, все ячейки с нечетными адресами - к другой.

В режиме SIMD указатели памяти для каждой из секций определяются формулами:

$$pX0 = 2 * XAB + (SW), \quad pX_{\min} \leq XAB \leq pY_{\max}/2;$$

$$pX1 = 2 * XAB + (!SW), \quad pX_{\min} \leq XAB \leq pY_{\max}/2;$$

$$pY0 = 2 * YAB0, \quad pY_{\min}/2 \leq YAB0 \leq pY_{\max}/2;$$

$$pY1 = 2 * YAB1 + 1, \quad pY_{\min}/2 \leq YAB1 \leq pY_{\max}/2;$$

Управляющий бит SW (8-й разряд регистра SR) позволяет производить перекрестный обмен между секциями.

Примечание. При $pX_{\min} \leq XAB \leq pX_{\max}/2$ со стороны генератора AGU происходит обращение к X-памяти, при $pY_{\min}/2 \leq XAB \leq pY_{\max}/2$ - к Y-памяти.

3.8.3 Организация памяти программ PRAM

Под память программ PRAM отведен диапазон адресов с 0x1844_0000 по 0x1847_FFFC.

Память программ PRAM имеет 64-разрядную организацию, позволяющую осуществлять хранение и выборку в течение одного такта как 32-разрядных, так и 64-разрядных инструкций. Объем памяти PRAM - 4К 32-разрядных (или 2К 64-разрядных) слов.

Память PRAM адресуется программным адресным генератором, входящим в состав устройства программного управления.

При последовательном ходе программы адрес программной памяти определяется состоянием программного счетчика PC, при программных переходах адрес определяется инструкцией перехода.

3.8.4 Контроллеры Хемминга памяти DSP

3.8.4.1 Контроллер Хемминга внешнего порта памяти DSP

3.8.4.1.1 Регистр управления внешнего порта памяти DSP (CSR_He)

адрес - 0x1848_0200

31	24 23	20 19	8 7	3 2	1	0
cnt_Serr	num_Serr	cnt_Derr	-	NE	H_MD	

cnt_Serr[7:0] - Счетчик одиночных ошибок в данных, либо в коде Хемминга (в том числе ошибка бита четности).

num_Serr[7:0] – Если cnt_Serr > num_Serr, то формируется запрос на прерывание;

cnt_Derr - Счетчик двойных ошибок в данных, либо в коде Хемминга;
Если cnt_Derr ≠ 0, то формируется запрос на прерывание;

NE - Not Empty – FIFO ошибочных адресов не пустое;

H_MD - Режим работы контроллера:
00 – без формирования и проверки кодов Хемминга;
01 - режим формирования и проверки кодов Хемминга;
10 – тестовый режим – обращения идут напрямую к памяти кодов Хемминга;

3.8.4.1.2 FIFO ошибочных адресов внешнего порта памяти DSP (FIFO_He)

FIFO – 32×32 . FIFO содержит первые 32 ошибочных адресов, доступно только по чтению.

Запись по адресу FIFO обнуляет указатели чтения/записи FIFO.

адрес - 0x1848_0204

31	28	27	26	25	24	23	0
-	ER_H	ER_L	MEM_ADDR[23:0]				

MEM_ADDR[23:0] – младшие 24 разряда адреса памяти DSP, при чтении из которого обнаружена ошибка.

ER_L – Код ошибки, при чтении 32-слова из памяти,

- либо код ошибки младшего 32-слова, при чтении 64-слова из памяти, если обнаружены ошибки в младшем слове,
- либо код ошибки старшего 32-слова, при чтении 64-слова из памяти, если обнаружены ошибки только в старшем слове.

ER_H – Код ошибки старшего 32-слова, при чтении 64-слова из памяти, если обнаружены ошибки и в старшем, и в младшем слове.

ER_L/ER_H: 00 – нет ошибки;

- 01 – одиночная ошибка в данных, либо в коде Хемминга;

- 10 – двойная ошибка в данных, либо в коде Хемминга;
- 11 – ошибка бита четности.

3.8.4.2 Контроллеры Хемминга внутренних портов памяти DSP

Hx0 - контроллер Хемминга внутреннего порта X-памяти данных секции_0: XRAM00, XRAM01;

Hx1 - контроллер Хемминга внутреннего порта X-памяти данных секции_1: XRAM10, XRAM11;

Hу0 - контроллер Хемминга внутреннего порта Y-памяти данных секции_0: YRAM00, YRAM01;

Hу1 - контроллер Хемминга внутреннего порта Y-памяти данных секции_1: YRAM10, YRAM11;

Hp0 - контроллер Хемминга внутреннего порта памяти программ (PRAM) – младшее слово;

Hp1 - контроллер Хемминга внутреннего порта памяти программ (PRAM) – старшее слово;

Адреса регистров управления CSR и FIFO этих контроллеров приведены в таблице ниже.

Таблица 3.14

Контроллер	Регистр	Адрес
Hx0	CSR_x0	0x1848_0208
	FIFO_x0	0x1848_020C
Hx1	CSR_x1	0x1848_0210
	FIFO_x1	0x1848_0214
Hу0	CSR_y0	0x1848_0218
	FIFO_y0	0x1848_021C
Hу1	CSR_y1	0x1848_0220
	FIFO_y1	0x1848_0224
Hp0	CSR_p0	0x1848_0228
	FIFO_p0	0x1848_022C
Hp1	CSR_p1	0x1848_0230
	FIFO_p1	0x1848_0234

2) Структура регистров управления контроллеров Хемминга внутренних портов памяти DSP такая же, как у регистра управления контроллера Хемминга внешнего порта памяти DSP.

3) Структура FIFO ошибочных адресов

FIFO – 32×8. FIFO содержит первые 8 ошибочных адресов, доступно только по чтению. Запись по адресу FIFO обнуляет указатели чтения/записи FIFO.

31	28	27	26	25	0
–		ER_L	MEM_ADDR[23:0]		

MEM_ADDR[23:0] – младшие 24 разряда адреса памяти DSP, при чтении из которого обнаружена ошибка.

Назначение бит поля ER_L такое же, как у одноименного поля FIFO ошибочных адресов контроллера Хемминга внешнего порта памяти DSP.

3.8.5 Адресуемые регистры DSP

Перечень адресуемых регистров DSP-ядра с указанием их адреса в пространстве адресов памяти CPU-ядра приведен в Таблица 3.15.

Таблица 3.15. Перечень адресуемых регистров DSP-ядра

Условно обозначение	Разрядность	Наименование регистра	Адрес регистра
		Регистры прерывания	
MASKR_DS P	32	Регистр маски прерываний	0x1848_1000
QSTR_DSP	32	Регистр запросов прерывания	0x1848_1004
		PCU	
DCSR	16	Регистр режима работы	0x1848_0100
SR	16	Регистр состояния	0x1848_0104
IDR	16	Регистр-идентификатор	0x1848_0108
DMAR	16	Регистр управления DMA	0x1848_0110
PC	16	Программный счетчик	0x1848_0120
SS	16	Стек программного счетчика	0x1848_0124
LA	16	Регистр адреса цикла	0x1848_0128
CSL	16	Стек адреса цикла	0x1848_012C
LC	16	Счетчик циклов	0x1848_0130
CSH	16	Стек счетчика циклов	0x1848_0134
SP	16	Регистр указателя стека	0x1848_0138
SAR	16	Регистр адреса останова 0	0x1848_013C
CNTR	16	Счетчик исполненных команд	0x1848_0140
SAR1	16	Регистр адреса останова 1	0x1848_0144
SAR2	16	Регистр адреса останова 2	0x1848_0148
SAR3	16	Регистр адреса останова 3	0x1848_014C
SAR4	16	Регистр адреса останова 4	0x1848_0150
SAR5	16	Регистр адреса останова 5	0x1848_0154
SAR6	16	Регистр адреса останова 6	0x1848_0158
SAR7	16	Регистр адреса останова 7	0x1848_015C
		AGU	
A0	16	Регистр адреса A0	0x1848_0080
A1	16	Регистр адреса A1	0x1848_0084
A2	16	Регистр адреса A2	0x1848_0088
A3	16	Регистр адреса A3	0x1848_008C
A4	16	Регистр адреса A4	0x1848_0090
A5	16	Регистр адреса A5	0x1848_0094
A6	16	Регистр адреса A6	0x1848_0098
A7	16	Регистр адреса A7	0x1848_009C
I0	16	Регистр индекса I0	0x1848_00A0
I1	16	Регистр индекса I1	0x1848_00A4
I2	16	Регистр индекса I2	0x1848_00A8
I3	16	Регистр индекса I3	0x1848_00AC

Условно обозначение	Разрядность	Наименование регистра	Адрес регистра
I4	16	Регистр индекса I4	0x1848_00B0
I5	16	Регистр индекса I5	0x1848_00B4
I6	16	Регистр индекса I6	0x1848_00B8
I7	16	Регистр индекса I7	0x1848_00BC
M0	16	Регистр модификатора M0	0x1848_00C0
M1	16	Регистр модификатора M1	0x1848_00C4
M2	16	Регистр модификатора M2	0x1848_00C8
M3	16	Регистр модификатора M3	0x1848_00CC
M4	16	Регистр модификатора M4	0x1848_00D0
M5	16	Регистр модификатора M5	0x1848_00D4
M6	16	Регистр модификатора M6	0x1848_00D8
M7	16	Регистр модификатора M7	0x1848_00DC
		<u>AGU-Y0</u> (0-я секция SIMD)	
AT(0)	16	Регистр адреса AT	0x1848_00E0
IT(0)	16	Регистр индекса IT	0x1848_00E4
MT(0)	16	Регистр модификатора MT	0x1848_00E8
DT(0)	16	Регистр модификатора DT	0x1848_00EC
		<u>AGU-Y1</u> (1-я секция SIMD)	
AT(1)	16	Регистр адреса AT	0x1848_00F0
IT(1)	16	Регистр индекса IT	0x1848_00F4
MT(1)	16	Регистр модификатора MT	0x1848_00F8
DT(1)	16	Регистр модификатора DT	0x1848_00FC
		<u>RF0</u> (0-я секция SIMD)	
R0.L(0)	32	Регистр данных R0.L	0x1848_0000
R2.L(0)	32	Регистр данных R2.L	0x1848_0004
R4.L(0)	32	Регистр данных R4.L	0x1848_0008
R6.L(0)	32	Регистр данных R6.L	0x1848_000C
R8.L(0)	32	Регистр данных R8.L	0x1848_0010
R10.L(0)	32	Регистр данных R10.L	0x1848_0014
R12.L(0)	32	Регистр данных R12.L	0x1848_0018
R14.L(0)	32	Регистр данных R14.L	0x1848_001C
R16.L(0)	32	Регистр данных R16.L	0x1848_0020
R18.L(0)	32	Регистр данных R18.L	0x1848_0024
R20.L(0)	32	Регистр данных R20.L	0x1848_0028
R22.L(0)	32	Регистр данных R22.L	0x1848_002C
R24.L(0)	32	Регистр данных R24.L	0x1848_0030
R26.L(0)	32	Регистр данных R26.L	0x1848_0034
R28.L(0)	32	Регистр данных R28.L	0x1848_0038
R30.L(0)	32	Регистр данных R30.L	0x1848_003C
R1.L(0)	32	Регистр данных R1.L	0x1848_0180
R3.L(0)	32	Регистр данных R3.L	0x1848_0184
R5.L(0)	32	Регистр данных R5.L	0x1848_0188
R7.L(0)	32	Регистр данных R7.L	0x1848_018C
R9.L(0)	32	Регистр данных R9.L	0x1848_0190
R11.L(0)	32	Регистр данных R11.L	0x1848_0194
R13.L(0)	32	Регистр данных R13.L	0x1848_0198
R15.L(0)	32	Регистр данных R15.L	0x1848_019C
R17.L(0)	32	Регистр данных R17.L	0x1848_01A0
R19.L(0)	32	Регистр данных R19.L	0x1848_01A4
R21.L(0)	32	Регистр данных R21.L	0x1848_01A8
R23.L(0)	32	Регистр данных R23.L	0x1848_01AC

Условно обозначение	Разрядность	Наименование регистра	Адрес регистра
R25.L(0)	32	Регистр данных R25.L	0x1848_01B0
R27.L(0)	32	Регистр данных R27.L	0x1848_01B4
R29.L(0)	32	Регистр данных R29.L	0x1848_01B8
R31.L(0)	32	Регистр данных R31.L	0x1848_01BC
		<u>RF1</u> (1-я секция SIMD)	
R0.L(1)	32	Регистр данных R0.L	0x1848_0040
R2.L(1)	32	Регистр данных R2.L	0x1848_0044
R4.L(1)	32	Регистр данных R4.L	0x1848_0048
R6.L(1)	32	Регистр данных R6.L	0x1848_004C
R8.L(1)	32	Регистр данных R8.L	0x1848_0050
R10.L(1)	32	Регистр данных R10.L	0x1848_0054
R12.L(1)	32	Регистр данных R12.L	0x1848_0058
R14.L(1)	32	Регистр данных R14.L	0x1848_005C
R16.L(1)	32	Регистр данных R16.L	0x1848_0060
R18.L(1)	32	Регистр данных R18.L	0x1848_0064
R20.L(1)	32	Регистр данных R20.L	0x1848_0068
R22.L(1)	32	Регистр данных R22.L	0x1848_006C
R24.L(1)	32	Регистр данных R24.L	0x1848_0070
R26.L(1)	32	Регистр данных R26.L	0x1848_0074
R28.L(1)	32	Регистр данных R28.L	0x1848_0078
R30.L(1)	32	Регистр данных R30.L	0x1848_007C
R1.L(1)	32	Регистр данных R1.L	0x1848_01C0
R3.L(1)	32	Регистр данных R3.L	0x1848_01C4
R5.L(1)	32	Регистр данных R5.L	0x1848_01C8
R7.L(1)	32	Регистр данных R7.L	0x1848_01CC
R9.L(1)	32	Регистр данных R9.L	0x1848_01D0
R11.L(1)	32	Регистр данных R11.L	0x1848_01D4
R13.L(1)	32	Регистр данных R13.L	0x1848_01D8
R15.L(1)	32	Регистр данных R15.L	0x1848_01DC
R17.L(1)	32	Регистр данных R17.L	0x1848_01E0
R19.L(1)	32	Регистр данных R19.L	0x1848_01E4
R21.L(1)	32	Регистр данных R21.L	0x1848_01E8
R23.L(1)	32	Регистр данных R23.L	0x1848_01EC
R25.L(1)	32	Регистр данных R25.L	0x1848_01F0
R27.L(1)	32	Регистр данных R27.L	0x1848_01F4
R29.L(1)	32	Регистр данных R29.L	0x1848_01F8
R31.L(1)	32	Регистр данных R31.L	0x1848_01FC
		Секционные регистры состояния	
CCR(0)	16	Регистр кодов условий (0-я секция)	0x1848_0160
PDNR(0)	16	Регистр PDNR (0-я секция)	0x1848_0164
AC0(0)	32	Регистр-аккумулятор 0 (0-я секция)	0x1848_0168
AC1(0)	32	Регистр-аккумулятор 1 (0-я секция)	0x1848_016C
CCR(1)	16	Регистр кодов условий (1-я секция)	0x1848_0170
PDNR(1)	16	Регистр PDNR (1-я секция)	0x1848_0174
AC0(1)	32	Регистр-аккумулятор 0 (1-я секция)	0x1848_0178
AC1(1)	32	Регистр-аккумулятор 1 (1-я секция)	0x1848_017C
		Контроллеры Хемминга (доступны только для CPU)	
CSR_He	32	Регистр управления и состояния контроллера He	0x1848_0200

Условно обозначение	Разрядность	Наименование регистра	Адрес регистра
FIFO_He	32	FIFO ошибок He	0x1848_0204
CSR_Hx0	32	Регистр управления и состояния контроллера Hx0	0x1848_0208
FIFO_Hx0	32	FIFO ошибок Hx0	0x1848_020C
CSR_Hx1	32	Регистр управления и состояния контроллера Hx1	0x1848_0210
FIFO_Hx1	32	FIFO ошибок Hx1	0x1848_0214
CSR_Hy0	32	Регистр управления и состояния контроллера Hy0	0x1848_0218
FIFO_Hy0	32	FIFO ошибок Hy0	0x1848_021C
CSR_Hy1	32	Регистр управления и состояния контроллера Hy1	0x1848_0220
FIFO_Hy1	32	FIFO ошибок Hy1	0x1848_0224
CSR_Hp0	32	Регистр управления и состояния контроллера Hp0	0x1848_0228
FIFO_Hp0	32	FIFO ошибок Hp0	0x1848_022C
CSR_Hp1	32	Регистр управления и состояния контроллера Hp1	0x1848_0230
FIFO_Hp1	32	FIFO ошибок Hp1	0x1848_0234

4. СИСТЕМНОЕ УПРАВЛЕНИЕ

4.1 Система синхронизации

Для синхронизации работы узлов 1892ВМ8Я используются следующие множители частоты на основе схемы фазовой автоподстройки частоты (PLL):

- PLL_CORE – формирует тактовую частоту работы CPU, DSP, MPORT, UART, IT, RTT, WDT, MFBSP, коммутатора AXI, системной части всех устройств микросхемы;
- PLL_MPORT – формирует выходную тактовую частоту SCLK;
- PLL_TX0, PLL_TX1 – формируют тактовую частоту передачи данных в канал связи SpaceWire для SWIC0, SWIC1 соответственно.

1892ВМ8Я имеет три входа синхронизации:

- ХТ1 - системная тактовая частота для синхронизации множителей частоты PLL_CORE, PLL_MPORT;
- RTCХТ1 - тактовая частота реального времени;
- ХТ12 - тактовая частота для синхронизации множителей частоты PLL_TX0, PLL_TX1.

Управление PLL_CORE, PLL_MPORT осуществляется при помощи регистра CR_PLL, формат которого приведен в Таблица 4.1.

Таблица 4.1. Формат регистра CR_PLL

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:13	-	Не используется	-	0
12:8	CLK_SEL_MPORT[4:0]	Коэффициент умножения/деления входной частоты PLL_MPORT (частота ХТ1): 00 – 1/16; 01 – 1 02 – 2; 03 – 3; ... 1F - 31	R/W	1
7:5	-	Не используется	-	0
4:0	CLK_SEL_CORE[4:0]	Коэффициент умножения/деления входной частоты PLL_CORE (частота ХТ1): 00 – 1/16; 01 – 1 02 – 2; 03 – 3; ... 1F- 31	R/W	1

Номерация разрядов всех регистров соответствует нумерации разрядов памяти CPU. Если разряды регистров доступны только по записи или не используются (резерв), то

при чтении из них считываются нули. Если разряды регистров доступны только по чтению или не используются, то при записи в них необходимо указывать нули.

Выбор источника тактовой частоты (далее CLK) для работы CPU, DSP, MPORT, UART, IT, RTT, WDT, I2C, LPORT, коммутатора AXI и системной части всех устройств микросхемы определяется входом микросхемы PLL_EN:

1 – PLL_CORE;

0 – вход ХТИ.

Выбор источника формирования выходной частоты SCLK также определяется входом микросхемы PLL_EN:

1 – PLL_MPORT;

0 – вход ХТИ.

Частота передачи данных линковыми портами (LPORT) – от CLK/32 до CLK/2.

Частота передачи данных UART определяется коэффициентом деления частоты CLK, который содержится в регистрах программируемого делителя (PBRG).

4.2 Отключение и включение тактовой частоты

В данной микросхеме имеется два режима энергосбережения:

- уменьшение тактовой частоты работы устройств;
- отключение тактовой частоты работы устройств.

Уменьшение тактовой частоты устройств выполняется при записи необходимого кода в поле CLK_SEL регистра CR_PLL. При этом значение тактовой частоты изменится через время не более чем 2 мс.

Отключение тактовой частоты от устройств, поступающей от PLL_CORE, выполняется при помощи регистра CLK_EN, формат которого приведен в Таблица 4.2.

Таблица 4.2. Формат регистра CLK_EN

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:26	-	Не используется	-	0
25:24	CLKEN_SWIC[1:0]	Управление включением тактовой частоты SWIC1,0 и их DMA: 00 – частота выключена у SWIC0, SWIC1. 01 – частота включена у SWIC 0; 10 – частота включена у SWIC 1; 11 – частота включена у SWIC0, SWIC1	R/W	11
23-13	-	Не используется	-	0
12	CLKEN_DMA	Управление включением тактовой частоты каналов DMA MemCh: 1 – частота включена; 0 – частота выключена.	R/W	0
11:9	-	Не используется	-	0
8	CLKEN_MFBSP[3:0]	Управление включением тактовой частоты MFBSP[3:0] и их DMA: 1 – частота включена; 0 – частота выключена.	R/W	0
7:5	-	Не используется	-	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
4	CLKEN_DSP	Управление включением тактовой частоты DSP: 1 – частота включена; 0 – частота выключена. При выключении частоты блоки DSP блокируются для CPU на доступ по шине АНВ (область регистров DSP) остаются доступны для мастеров по шине AXI (область памяти DSP)	R/W	0
3:1	-	Не используется	-	0
0	CLKEN_CORE	Управление включением тактовой частоты CPU, MPORT, UART, IT, RTT, WDT: 1 – частота включена; 0 – частота выключена.	R/W	1

При CLKEN_CORE = 1 частота от PLL_CORE (при PLL_EN = 1) всегда поступает на CPU, UART, IT, RTT, WDT, коммутатор AXI и системную часть всех устройств микросхемы.

При CLKEN_CORE = 1 частота от PLL_CORE (при PLL_EN = 1), поступающая на основные части DMA, SWIC, MFBSP, DSP может быть отключена при помощи регистра CLK_EN.

Отключение частоты DMA MemCh и DMA портов SWIC, MFBSP осуществляется установкой в нулевое состояние соответствующих бит регистра CLK_EN. В случае если каналы DMA находились в состоянии передачи данных при установке бит регистра CLK_EN в ноль, все текущие и заказанные в конвейерах DMA передачи будут завершены с точностью до величины пачки, заданной в регистре CSR канала DMA. После этого частота будет отключена. Включение частоты DMA MemCh и DMA портов SWIC, MFBSP осуществляется установкой в единичное состояние соответствующих бит регистра CLK_EN. По включению частоты передача будет продолжена с этого места без потери данных. Регистры DMA при выключенной частоте недоступны. При чтении регистров – данные неопределенны.

Отключение внутренней тактовой частоты ядра микросхемы должно выполняться следующим образом:

- программа CPU должна выполняться из кэш программ или из внутренней памяти CRAM;
- DMA, все контроллеры и порты переводятся в неактивное состояние. Все передачи данных должны быть завершены;
- Отключить частоту от DMA, MFBSP, DSP, SWIC;
- записать 1 в разряд SREF регистра SDRCSR MPORT. По данной операции SDRAM переводится в авторегенерации;

- произвести запись 0 в разряд CLKEN_CORE регистра CLK_EN. По этой операции внутренняя тактовая частота ядра микросхемы отключается. За этой командой должна стоять команда NOP.

Включение внутренней тактовой частоты осуществляется по любому внешнему прерыванию nIRQ[3:0] или NMI. Обработка исключения по данным прерываниям в этом случае должна выполняться следующим образом:

- записать 1 в разряд EXIT регистра SDRCSR MPORT. По данной операции SDRAM переводится из режима авторегенерации;
- выполнить 10 команд NOP.

4.3 Контроллер прерываний

Все сигналы внутренних и внешних прерываний поступают на входы псевдорегистров. Эти регистры не имеют элементов памяти и доступны только по чтению.

Каждый разряд регистров QSTR содержит запрос прерывания от внутренних узлов микросхемы и от внешних сигналов прерывания nIRQ[3:0] в не зависимости от состояния соответствующих разрядов регистров MASKR:

0 – нет запроса;

1 – есть запрос.

Сигналы внутренних прерываний формируются в соответствующих устройствах при выполнении определенных условий. В процессе обслуживания прерывания необходимо проанализировать состояние устройства для определения причины его возникновения. Сброс прерывания осуществляется в момент исключения причины возникновения данного прерывания. Например, прерывание от MFBSP сбрасывается при записи данных в буфер LTx или при чтении данных из буфера LRx.

Все незамаскированные прерывания объединяются по «или» и поступают в поле IP[7:2] регистр Cause CPU.

Исходное состояние регистров QSTR – нули.

Каждое внутреннее прерывание можно замаскировать. Для этого имеются 4 регистра маски MASKR0, MASKR1, MASKR2, MASKR3 форматы которых аналогичны форматам соответствующих регистров QSTR0, QSTR1, QSTR2, QSTR3. Исходное состояние регистров маски – нули (все прерывания запрещены). Регистры маски доступны по записи и чтению.

Форматы регистров QSTR приведены в таблицах 4.3-4.6.

Таблица 4.3. Формат регистра QSTR0

Номер разряда	Условное обозначение прерывания	Название прерывания
31-23	-	Не используется
22	IT	Прерывание от таймера IT
21	RTT	Прерывание от таймера RTT
20	WDT	Прерывание от таймера WDT
19-5	-	Не используется
4	UART	Прерывание от UART
3	IRQ3	Внешнее прерывание nIRQ[3]
2	IRQ2	Внешнее прерывание nIRQ[2]
1	IRQ1	Внешнее прерывание nIRQ[1]
0	IRQ0	Внешнее прерывание nIRQ[0]

Таблица 4.4. Формат регистра QSTR1

Номер разряда	Условное обозначение прерывания	Название прерывания
31:4	-	Не используется
3:0	MemCh3:MemCh0	Прерывание от канала DMA MemCh3 – MemCh0

Таблица 4.5. Формат регистра QSTR2

Номер разряда	Условное обозначение прерывания	Название прерывания
31	TxDatCh1	Прерывание от канала DMA TxDatCh SWIC1
30	TxDesCh1	Прерывание от канала DMA TxDesCh SWIC1
29	RxDatCh1	Прерывание от канала DMA RxDatCh SWIC1
28	RxDesCh1	Прерывание от канала DMA RxDesCh SWIC1
27	-	Не используется
26	SW1_TIM	Прерывание SWIC1 – получен маркер времени/распределенное прерывание
25	SW1_ERR	Прерывание SWIC1 –ошибка в канале
24	SW1_LINK	Прерывание SWIC1 – установлено соединение
23	TxDatCh0	Прерывание от канала DMA TxDatCh SWIC0
22	TxDesCh0	Прерывание от канала DMA TxDesCh SWIC0
21	RxDatCh0	Прерывание от канала DMA RxDatCh SWIC0
20	RxDesCh0	Прерывание от канала DMA RxDesCh SWIC0
19	-	Не используется
18	SW0_TIM	Прерывание SWIC0 – получен маркер времени/распределенное прерывание
17	SW0_ERR	Прерывание SWIC0 –ошибка в канале
16	SW0_LINK	Прерывание SWIC0 – установлено соединение
15	DMA_MFBSP3	Прерывание от канала DMA порта MFBSP3 при передаче или приеме данных
14	MFBSP_RXBUF3	Формируется, если порт MFBSP3 включен на прием данных (в одном из режимов), а число 64-х разрядных слов в буфере приёма больше чем RLEV (RLEV устанавливается в регистре состояния приёмника RSR)
13	MFBSP_TXBUF3	Формируется, если порт MFBSP3 включен на передачу данных (в одном из режимов), а число 64-х разрядных слов, находящихся в буфере передачи меньше, либо равно TLEV (TLEV устанавливается в регистре состояния передатчика TSR)
12	SRQ3	Запрос обслуживания от порта MFBSP3. Формируется, если порт выключен (LEN=0, SPI_I2S_EN=0), а на выводах LACK или LCLK присутствует сигнал высокого уровня
11	DMA_MFBSP2	Прерывание от канала DMA порта MFBSP2 при передаче или приеме данных
10	MFBSP_RXBUF2	Формируется, если порт MFBSP2 включен на прием данных (в одном из режимов), а число 64-х разрядных слов в буфере приёма больше чем RLEV (RLEV устанавливается в регистре состояния приёмника RSR)
9	MFBSP_TXBUF2	Формируется, если порт MFBSP2 включен на передачу данных (в одном из режимов), а число 64-х разрядных слов, находящихся в буфере передачи меньше, либо равно TLEV (TLEV устанавливается в регистре состояния передатчика TSR)
8	SRQ2	Запрос обслуживания от порта MFBSP2. Формируется, если порт выключен (LEN=0, SPI_I2S_EN=0), а на выводах LACK или LCLK присутствует сигнал высокого уровня
7	DMA_MFBSP1	Прерывание от канала DMA порта MFBSP1 при передаче или приеме данных

Номер разряда	Условное обозначение прерывания	Название прерывания
6	MFBSР1_RXBUF1	Формируется, если порт MFBSР1 включен на прием данных (в одном из режимов), а число 64-х разрядных слов в буфере приёма больше чем RLEV (RLEV устанавливается в регистре состояния приёмника RSR)
5	MFBSР1_TXBUF1	Формируется, если порт MFBSР1 включен на передачу данных (в одном из режимов), а число 64-х разрядных слов, находящихся в буфере передачи меньше, либо равно TLEV (TLEV устанавливается в регистре состояния передатчика TSR)
4	SRQ1	Запрос обслуживания от порта MFBSР1. Формируется, если порт выключен (LEN=0, SPI_I2S_EN=0), а на выводах LACK или LCLK присутствует сигнал высокого уровня
3	DMA_MFBSР0	Прерывание от канала DMA порта MFBSР0 при передаче или приеме данных
2	MFBSР0_RXBUF0	Формируется, если порт MFBSР0 включен на прием данных (в одном из режимов), а число 64-х разрядных слов в буфере приёма больше чем RLEV (RLEV устанавливается в регистре состояния приёмника RSR)
1	MFBSР0_TXBUF0	Формируется, если порт MFBSР0 включен на передачу данных (в одном из режимов), а число 64-х разрядных слов, находящихся в буфере передачи меньше, либо равно TLEV (TLEV устанавливается в регистре состояния передатчика TSR)
0	SRQ0	Запрос обслуживания от порта MFBSР0. Формируется, если порт выключен (LEN=0, SPI_I2S_EN=0), а на выводах LACK или LCLK присутствует сигнал высокого уровня

Таблица 4.6. Формат регистра QSTR3

Номер Разряда	Условное обозначение прерывания	Название прерывания
31:5	-	Не используется
4	INT_HmMPORT	Прерывание по коду Хемминга от MPORT
3	INT_HmDSP	Прерывание по коду Хемминга от DSP
2	-	Не используется
1	INT_HmICACHE	Прерывание по коду Хемминга от ICACHE
0	INT_HmCRAM	Прерывание по коду Хемминга от CRAM

Регистры запросов прерывания от DSP и их регистры маски находятся в адресном пространстве DSP.

Для управления режимом приема внешних прерываний nIRQ[3:0] имеется регистр IRQM, формат которого приведен в Таблица 4.7.

Таблица 4.7. Формат регистра IRQM

Номер разряда	Условное Обозначение	Назначение	Доступ	Исходное состояние
31:12	-	Резерв	-	0
11:8	IRQ_MODE	Режим приема внешних прерываний nIRQ[3:0]: 0 - потенциальные сигналы, активный низкий уровень; 1 – прерывание формируется при переходе состояния входного сигнала с высокого уровня на низкий уровень. Прерывание запоминается на регистре. Регистр обнуляется при помощи разрядов IRQ_NULL	R/W	0
7:4	-	Резерв	-	0
3:0	IRQ_NULL	Обнуление запомненных прерываний при IRQ_MODE = 1. Прерывания nIRQ[3:0] обнуляются при записи 1 в разряды [3:0] соответственно.	RW1C	0

4.4 Системные регистры

Формат регистра управления и состояния CSR приведен в Таблица 4.8.

Таблица 4.8

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:13	-	Не используется	-	0
12	FLUSH	При записи 1 в данный разряд кэш команд CPU останавливается в исходное состояние, то есть ее содержимое девальдируется. Эта процедура может использоваться для обеспечения когерентности кэш при работе DMA.	W	0
11	TST_CACHE	Режим работы кэш программ: 0 – нормальный режим; 1 – режим тестирования. Используется только при технологическом тестировании кэш программ. Пользователям устанавливать этот режим запрещено. В тестовом режиме: Физические адреса Кэш команд – 1810 0000, 1810 0004 и т.д. Слова 32-разрядные. Объем – 4 Кслов. Физические адреса тегов Кэш команд – 1814 0000, 1814 0010 и т.д. Разряды 20:0 – старший адрес строки, 21 разряд – бит валидности. Объем – 1 Кслов	R/W	0
10:1	-	Не используется	-	0
0	FM	Режим преобразования виртуальных адресов CPU в физические адреса: 0 – с использованием TLB; 1 – Fixed Mapped (FM).	R/W	1

4.5 Процедура начальной загрузки

После снятия сигнала nRST выполняется следующее:

- Все устройства 1892BM8Я устанавливаются в исходное состояние;
- в CPU возникает исключение, вектор которого расположен по физическому адресу 0x1FC0_0000 в блоке 3 (как правило ПЗУ) внешней памяти;

В зависимости от состояния сигнала на выводе BYTE блок 3 внешней памяти может быть 8 – или 32 – разрядным.

В блоке 3 внешней памяти может находиться или только программа начальной загрузки или все программы 1892BM8Я. В первом случае основная программа 1892BM8Я может быть загружена через MFBSP.

Программа начальной загрузки должна обеспечивать конфигурирование всех устройств 1892BM8Я.

4.6 Логика взаимодействия CPU и DSP

4.6.1 Функции CPU

CPU является ведущим. Он имеет свою операционную систему (планировщик или монитор) и выполняет основную программу.

CPU имеет доступ к следующим ресурсам DSP:

- памяти данных;
- регистру управления и состояния DCSR;
- программному счетчику PC;
- регистру адреса останова SAR;
- памяти программ;
- архитектурным регистрам.

Обмен данными с этими ресурсами выполняется по командам Load, Store. Память DSP и его регистры для CPU являются словными, то есть состояние двух младших разрядов адреса является безразличным.

При штатной, работе доступ к архитектурным регистрам DSP, как правило, не используется, а применяется только для его диагностики или для отладки программного обеспечения.

DSP формирует прерывание в CPU. CPU в DSP прерываний не формирует.

CPU управляет работой DSP посредством передачи ему задания (макрокоманды) и его запуска (перевод из режима STOP в режим RUN). Данная процедура выполняется в следующей последовательности:

- CPU передает в память DSP данные и параметры их обработки. Эта операция может отсутствовать;
- CPU передает в программную память DSP программный код, который должен быть выполнен. Эта операция может отсутствовать;
- CPU передает в DSP адрес первой выполняемой команды посредством записи в программный счетчик. Эта операция может отсутствовать, например, если следующая макрокоманда DSP должна выполняться с его текущего состояния;
- CPU переводит DSP в состояние RUN посредством записи в его регистр управления и состояния DCSR.

4.6.2 Функции DSP

DSP является ведомым. Он работает под управлением CPU и выполняет его макрокоманды (задания). Операционной системы и какого-либо монитора не имеет.

Для управления его работы DSP имеет программно доступный регистр управления и состояния DCSR.

DSP может находиться в состояниях STOP или RUN и работает в старт стоповом режиме. То есть, после выполнения очередного задания CPU он останавливается и переходит в режим STOP посредством выполнения одноименной команды. DSP из состояния STOP в состояние RUN может перейти:

- по команде CPU;

- по сигналам от каналов DMA MEM_CH.

DSP может выполнить запуск работы каналов DMA MEM_CH посредством записи 1 в соответствующие разряды регистра DCSR. ИНТЕРВАЛЬНЫЙ ТАЙМЕР

5. ИНТЕРВАЛЬНЫЙ ТАЙМЕР

5.1 Назначение

Интервальный таймер (ИТ), предназначен для выработки периодических прерываний на основе деления тактовой частоты CPU. Основные характеристики интервального таймера:

- Число разрядов основного делителя – 32;
- Число разрядов предделителя – 8;
- Программное управление стартом и остановкой таймера;
- Доступ ко всем регистрам обеспечивается в любой момент времени.

5.2 Структурная схема

Структурная схема интервального таймера приведена на Рисунок 5.1.

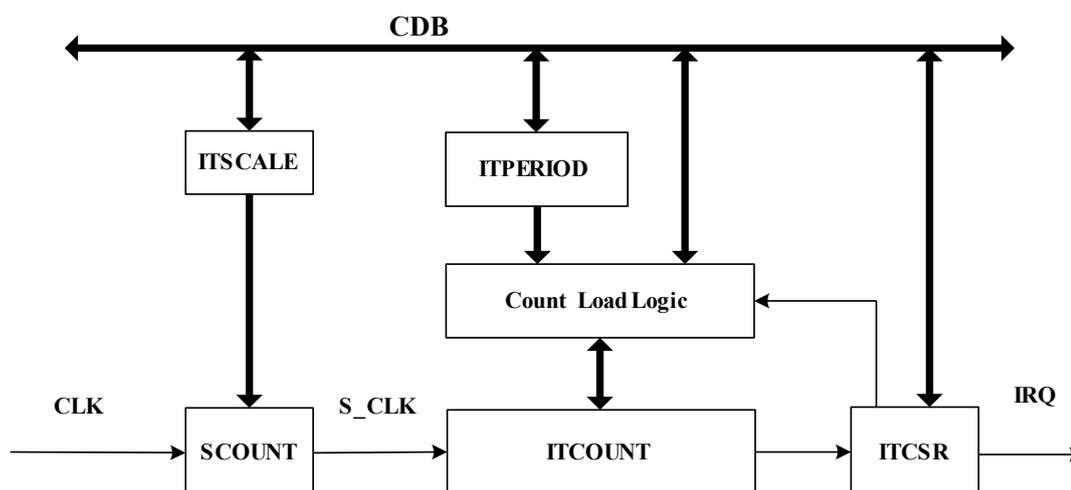


Рисунок 5.1. Структурная схема ИТ

В состав интервального таймера входят следующие основные узлы:

- ITCSR - регистр управления и состояния;
- ITCOUNT - счетчик основного делителя;
- ITPERIOD - регистр периода основного делителя;
- ITSCALE - регистр предделителя;
- SCOUNT – счетчик предделителя;
- Count Load Logic - логика загрузки счетчика основного делителя.

На структурной схеме интервального таймера использованы следующие обозначения:

- CDB – шина данных CPU;
- CLK – тактовая частота работы CPU;
- S_CLK – выходная частота предделителя;
- IRQ – запрос на прерывание от интервального таймера.

5.3 Регистры интервального таймера

Перечень программно-доступных регистров интервального таймера приведен в Таблица 5.1.

Таблица 5.1. Перечень программно-доступных регистров интервального таймера.

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние
ITCSR[2:0]	Регистр управления и состояния	W/R	0
ITPERIOD[31:0]	Регистр периода	W/R	FFFF_FFFF
ITCOUNT[31:0]	Регистр счетчика основного делителя частоты	W/R	0000_0000
ITSCALE[7:0]	Регистр предделителя частоты	W/R	0000

Формат регистра ITCSR приведен в Таблица 5.2.

Таблица 5.2. Формат регистра ITCSR

Номер разряда	Условное обозначение	Описание
0	EN	Разрешение работы таймера: 0 – запрещение работы (неактивное состояние таймера); 1 – разрешение работы (активное состояние таймера).
1	INT	Признак срабатывания таймера. Состояние данного разряда транслируется в бит IT регистра QSTR0. Сбрасывается при записи нуля в этот разряд.

8-разрядный регистр ITSCALE используется для задания коэффициента предделения тактовой частоты CPU (CLK), которая поступает на вход счетчика SCOUNT.

32-разрядный регистр ITPERIOD используется для задания периода работы основного делителя.

32-разрядный счетчик основного делителя частоты ITCOUNT работает в режиме декремента. На вход этого счетчика поступает частота (S_CLK) с выхода счетчика предделителя.

5.4 Программирование IT

Перед началом работы с интервальным таймером необходимо загрузить значение периода в регистр ITPERIOD и значение коэффициента предделения частоты в регистр ITSCALE.

Для активизации таймера необходимо в бит EN регистра ITCSR записать 1. В момент этой записи содержимое регистров ITSCALE и ITPERIOD переписывается в счетчики SCOUNT и ITCOUNT соответственно. После этого оба счетчика начинают работать в режиме декремента. При этом предделитель работает от частоты CLK, а счетчик ITCOUNT – от частоты S_CLK, формируемой предделителем.

Когда оба счетчика SCOUNT и ITCOUNT достигают нулевого состояния, в регистре ITCSR устанавливаются бит INT в регистре ITCSR и бит IT в регистре QSTR0, а содержимое регистров ITSCALE и ITPERIOD опять переписывается в счетчики SCOUNT и ITCOUNT соответственно. Далее таймер работает аналогичным образом.

Запрос на прерывание формируется каждые $\{(itperiod + 1) * (itscale + 1)\}$ тактов работы CPU, где itperiod и itscale – содержимое регистров ITPERIOD и ITSCALE соответственно.

При необходимости, в любой момент времени в ITCOUNT и ITPERIOD можно произвести запись новых данных и тем самым изменить значение обрабатываемого временного интервала.

6. ТАЙМЕР РЕАЛЬНОГО ВРЕМЕНИ

6.1 Назначение

Таймер реального времени (РТТ) предназначен для выработки периодических прерываний на основе деления внешней тактовой частоты RTCXTI. Основные характеристики таймера реального времени:

- Число разрядов делителя – 32;
- Программное управление стартом и остановкой таймера;
- Доступ ко всем регистрам обеспечивается в любой момент времени.

6.2 Структурная схема РТТ

Структурная схема РТТ представлена на Рисунок 6.1.

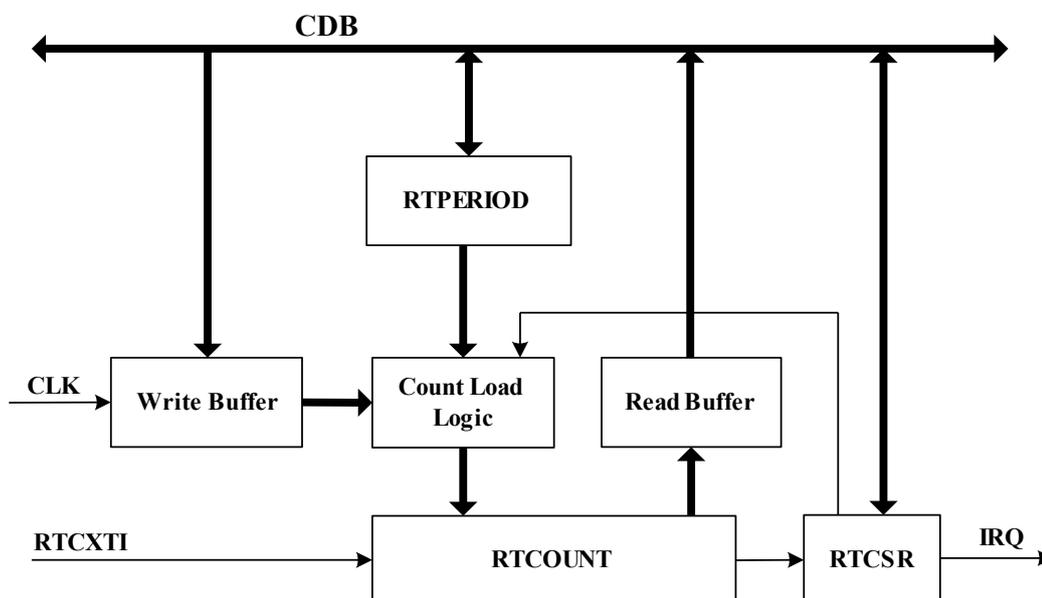


Рисунок 6.1. Структурная схема РТТ

В состав таймера реального времени входят следующие основные узлы:

- RTCSR - регистр управления и состояния;
- RTCOUNT - счетчик основного делителя;
- RTPERIOD - регистр периода основного делителя;
- Count Load Logic - логика загрузки счетчика основного делителя;
- Write Buffer – буфер записи;
- Read Buffer – буфер чтения.

На структурной схеме интервального таймера использованы следующие обозначения:

- CDB – шина данных CPU;
- CLK – тактовая частота работы CPU;
- RTCXTI – внешняя тактовая частота;

- IRQ – запрос на прерывание от таймера реального времени.

На вход таймера реального времени поступает внешняя тактовая частота RTCXTI. Для правильной работы RTT должно выполняться соотношение: $f_{RTCXTI} \leq \frac{f_{CLK}}{7}$, где f_{RTCXTI} и f_{CLK} значения частот RTCXTI и CLK соответственно. Как правило, RTCXTI имеет частоту 32,768 кГц.

6.3 Описание регистров таймера реального времени

В Таблица 6.1 приведен перечень программно-доступных регистров RTT.

Таблица 6.1. Перечень регистров RTT.

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние
RTCSR[1:0]	Регистр управления и состояния	W/R	0
RTPERIOD[31:0]	Регистр периода	W/R	0000_7FFF
RTCOUNT[31:0]	Регистр счетчика делителя	W/R	0000_0000

Формат регистра RTCSR приведен в Таблица 6.2.

Таблица 6.2. Формат регистра RTCSR.

Номер разряда	Условное обозначение	Описание
0	EN	Разрешение работы таймера: 0 – запрещение работы (неактивное состояние таймера); 1 – разрешение работы (активное состояние таймера).
1	INT	Признак срабатывания таймера. Состояние данного разряда транслируется в бит RT регистра QSTR0. Сбрасывается при записи нуля в этот разряд.

32-разрядный регистр RTPERIOD используется для задания периода работы таймера. Если RTPERIOD = 0000_7FFF, а частота RTCXTI = 32,768 кГц, то таймер реального времени формирует прерывание каждую секунду.

32-разрядный счетчик RTCOUNT работает в режиме декремента от частоты RTCXTI.

6.4 Программирование RTT

Перед началом работы с таймером необходимо загрузить данные в регистр RTPERIOD. Для активизации таймера необходимо в бит EN регистра RTCSR записать 1. В момент этой записи содержимое регистра RTPERIOD переписывается в счетчик RTCOUNT, который начинает работать в режиме декремента. Когда счетчик RTCOUNT достигнет нулевого состояния, в регистре RTCSR устанавливаются бит INT в регистре RTCSR и бит RT в регистре QSTR0, а содержимое регистра RTPERIOD опять переписывается в счетчик RTCOUNT. Далее таймер работает аналогичным образом.

При необходимости, в любой момент времени в RTPERIOD и RTCOUNT можно произвести запись новых данных и тем самым изменить значение, обрабатываемого временного интервала.

Следует отметить, что при записи в RTCOUNT, обновление его содержимого происходит с задержкой, равной периоду RTCXTI.

7. СТОРОЖЕВОЙ ТАЙМЕР

7.1 Назначение

Сторожевой таймер (WDT) предназначен для:

- вывода системы из зависания, если программное обеспечение заиклилось и не формирует соответствующих управляющих воздействий;
- выработки прерываний на основе деления тактовой частоты CPU.

Основные характеристики таймера:

- число разрядов основного делителя – 32;
- число разрядов предделителя – 8;
- программное управление стартом и остановкой таймера;
- два режима работы: режим сторожевого таймера (WDM) и режим интервального таймера (ITM);
- два режима отработки временных интервалов: однократный и периодический;
- доступ ко всем регистрам обеспечивается в любой момент времени.

7.2 Структурная схема

Структурная схема сторожевого таймера приведена на Рисунок 7.1.

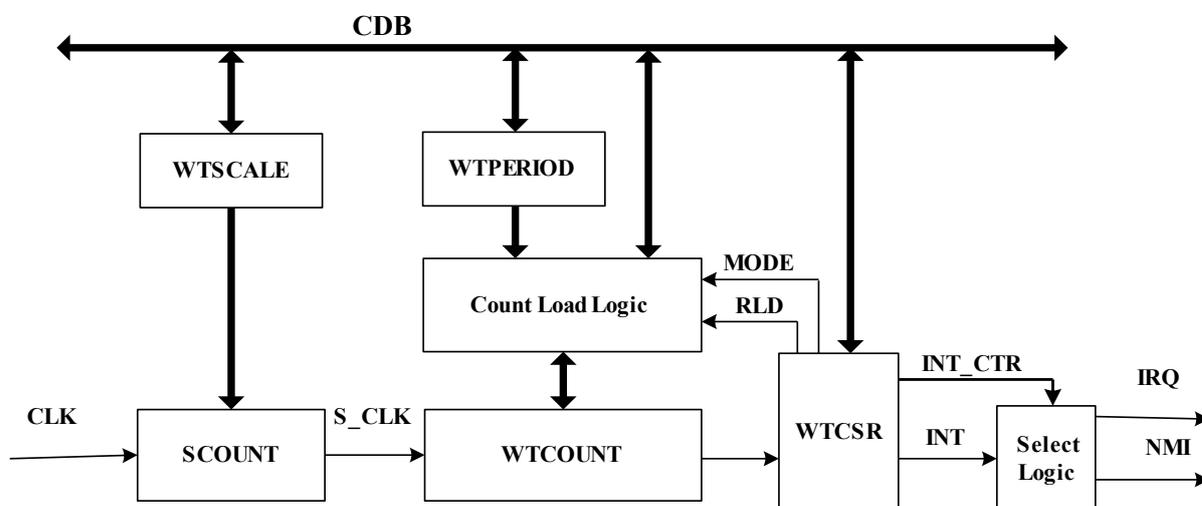


Рисунок 7.1. Структурная схема сторожевого таймера

В состав сторожевого таймера входят следующие основные узлы:

- WTCSR - регистр управления и состояния;
- WTCOUNT - счетчик основного делителя;
- WTPERIOD - регистр периода основного делителя;
- WTSCALE - регистр предделителя;
- SCOUNT – счетчик предделителя;
- Count Load Logic - логика загрузки счетчика основного делителя.

На структурной схеме интервального таймера использованы следующие обозначения:

- CDB – шина данных CPU;
- CLK – тактовая частота работы CPU;
- S_CLK – выходная частота делителя;
- IRQ – запрос на прерывание от интервального таймера;
- NMI – немаскируемое прерывание.

7.3 Описание регистров WDT

В Таблица 7.1 приведен перечень программно-доступных регистров WDT.

Таблица 7.1. Перечень программно-доступных регистров WDT

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние
WTCSR[14:0]	Регистр управления и состояния	W/R	0000
WTPERIOD[31:0]	Регистр периода	W/R – в неактивном состоянии; R – в активном состоянии.	FFFF_FFFF
WTCOUNT[31:0]	Регистр счетчика основного делителя частоты	W/R – в неактивном состоянии; R – в активном состоянии.	0000_0000
WTSCALE[15:0]	Регистр делителя частоты	W/R – в неактивном состоянии; R – в активном состоянии.	0000

8-разрядный регистр WTSCALE используется для задания коэффициента деления тактовой частоты CPU (CLK), которая поступает на вход счетчика SCOUNT.

32-разрядные регистр WTPERIOD используется для задания периода работы основного делителя.

32-разрядный счетчик основного делителя частоты WTCOUNT работает в режиме декремента. На вход этого счетчика поступает частота S_CLK с выхода счетчика делителя.

Формат регистра WTCSR приведен в таблице 7.2.

Таблица 7.2. Формат регистра WTCSR

Номер разряда	Условное обозначение	Описание
7: 0	KEY	<p>Поле для записи ключей.</p> <p>Запись в это поле последовательности кодов A0 (ключ KEY1) и F5 (ключ KEY2) приводит к переключению таймера из режима сторожевого таймера (WDM) в режим интервального таймера (ITM).</p> <p>Поле доступно по чтению и записи.</p> <p>Поле доступно по записи только в режиме WDM: когда EN=1 или когда таймер находится в состоянии Timeout.</p> <p>Сбрасывается в ноль при переводе таймера из режима ITM в режим WDM.</p> <p>Значение в исходном состоянии – 0.</p>
8	EN	<p>Разрешение работы таймера:</p> <p>0 – запрещение работы (неактивное состояние таймера);</p> <p>1 – разрешение работы (активное состояние таймера).</p> <p>Доступен по чтению и записи. Запись нуля в этот бит при работе таймера в режиме WDM не имеет эффекта.</p> <p>Значение в исходном состоянии – 0.</p>
9	INT	<p>Признак срабатывания таймера.</p> <p>В зависимости от содержимого поля INT_CTR состояние данного разряда транслируется или в бит WDT регистра QSTR0, или в немаскируемое прерывание (NMI).</p> <p>Сбрасывается при записи нуля в этот разряд, а также при переводе таймера из режима ITM в режим WDM.</p> <p>Доступен по чтению и записи в режиме ITM и только по чтению в режиме WDM.</p> <p>Значение в исходном состоянии – 0.</p>
10	MODE	<p>Режим работы таймера:</p> <p>0 – режим сторожевого таймера (WDM);</p> <p>1 – режим обычного таймера (ITM).</p> <p>Доступен по чтению и записи при EN=0 и только по чтению при EN=1.</p> <p>Значение в исходном состоянии – 0.</p>
11	RLD	<p>Бит управления перезагрузкой SCOUNT и WTCOUNT при работе в режиме ITM:</p> <p>0 – таймер однократно обрабатывает временной интервал и останавливается;</p> <p>1 – таймер обрабатывает заданный временной интервал периодически. После отработки очередного временного интервала содержимое WTSCALE и WTPERIOD загружается в SCOUNT и WTCOUNT соответственно.</p> <p>Доступен по чтению и записи при EN=0 и только по чтению при EN=1.</p> <p>Значение в исходном состоянии – 0.</p>

Номер разряда	Условное обозначение	Описание
13: 12	INT_CTR	Управления типом прерывания, которое формируется таймером WDT: 00 – прерывание не формируется; 01 – обычное прерывание (QSTR[29]). Как правило, используется в режиме ITM; 10 – немаскируемое прерывание (NMI). Как правило, используется в режиме WDM. 11 – прерывание не формируется. Формируется внешний сигнал WDT (см. табл. 15.2). Поле доступно по чтению и записи при EN=0 и только по чтению при EN=1. Значение в исходном состоянии – 0.

7.4 Программирование WDT

Диаграмма состояний WDT приведена на рис 6.2.

В исходном состоянии WDT находится в режиме сторожевого таймера. Для перевода его в режим интервального таймера необходимо записать 1 в бит MODE регистра WTCSR. Следует отметить, что смена режима работы таймера посредством записи в бит MODE возможна, если таймер не активен (EN=0).

Перед началом работы с таймером WDT необходимо загрузить значение периода в регистр WTPERIOD и значение коэффициента предделения частоты в регистр WTSCALE.

Для активизации таймера необходимо в бит EN регистра WTCSR записать 1. В момент этой записи содержимое регистров WTSCALE и WTPERIOD переписывается в счетчики SCOUNT и WTCOUNT соответственно. После этого оба счетчика начинают работать в режиме декремента. При этом предделитель работает от частоты CLK, а счетчик WTCOUNT – от частоты S_CLK, формируемой предделителем.

После активизации таймера, WTCOUNT, WTPERIOD, WTSCALE, а также поля INT_CTR, MODE, RLD регистра WTCSR, становятся не доступными по записи.

Сторожевой таймер в режиме WDM необходимо периодически обслуживать. То есть, если он был активизирован в режиме WDM, то для того, чтобы не возникло состояния Timeout необходимо периодически выполнять следующую последовательность действий:

- переключить таймер из режима WDM в режим ITM посредством последовательной записи в поле KEY регистра WTCSR кодов A0 и F5;
- остановить таймер посредством записи 0 в бит EN регистра WTCSR;
- установить MODE=0;

В случае, если вслед за значением A0 в поле KEY будет записано значение \neq F5, то таймер перейдет в состояние Timeout.

Если после активизации таймера в режиме WDM, он не будет переведен в режим ITM, то, когда оба счетчика SCOUNT и WTCOUNT достигнут нулевого значения, таймер перейдет в состояние Timeout.

В состоянии Timeout таймер формирует признак INT и останавливается, а запись в какой-либо из его регистров блокируется. Для вывода WDT из состояния Timeout необходимо его переключить в режим ITM посредством последовательной записи в поле KEY регистра WTCSR кодов A0 и F5.

При переключении таймера из неактивного состояния в режиме ITM в режим WDM путем записи 0 в поле MODE регистра WTCSR происходит обнуление полей KEY и INT.

При работе таймера в режиме ITM при RLD=0 он однократно обрабатывает заданный временной интервал, устанавливает INT=1 и останавливается (когда оба счетчика SCOUNT и WTCOUNT достигают нулевого состояния). Если RLD=1, то каждый раз после достижения счетчиками нулевого состояния и установки INT=1, происходит перезагрузка значений периода и коэффициента предделения частоты. То есть, таймер обрабатывает заданный временной интервал периодически до тех пор, пока он не будет остановлен.

Запрос на прерывание формируется каждые $\{(wtperiod + 1) * (wt scale + 1)\}$ тактов работы CPU, где wtperiod и wt scale – содержимое регистров WTPERIOD и WTSCALE соответственно.

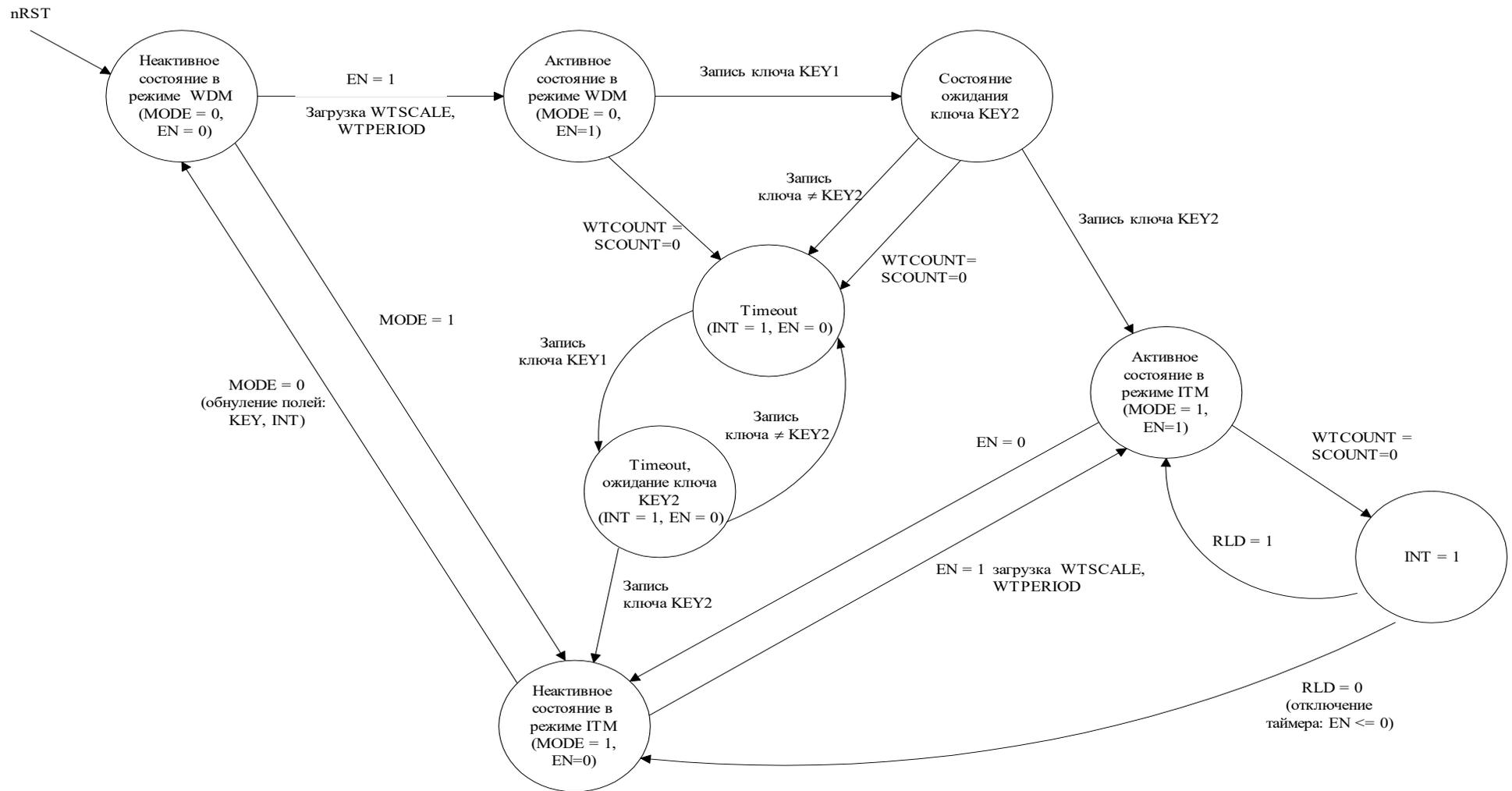


Рисунок 7.2. Диаграмма состояний WDT

8. КОНТРОЛЛЕР ПРЯМОГО ДОСТУПА В ПАМЯТЬ (DMA)

8.1 Общие положения

8.1.1 Типы каналов

Контроллер DMA имеет 16 каналов следующих типов:

- 8 каналов обмена данными между контроллерами SWIC и внутренней (CRAM, PMEM, XMEM, YRAM) или внешней памятью;
- 4 канала обмена данными между портами MFBSP и внутренней (CRAM, PMEM, XMEM, YRAM) или внешней памятью;
- 4 канала обмена данными между двумя любыми областями памяти. Эти области могут быть расположены в CRAM, PMEM, XMEM, YRAM и внешней памяти.

Перечень каналов DMA приведен в Таблица 8.1.

Таблица 8.1. Каналы DMA

Условное обозначение канала	Назначение канала	Приоритет каналов DMA и CPU
CPU	-	0
SWIC0_Ch0 – SWIC0_Ch3	Обмен данными между контроллером SWIC0 и памятью (внешней или внутренней)	1 (изменяется циклически)
SWIC1_Ch0 – SWIC1_Ch3	Обмен данными между контроллером SWIC1 и памятью (внешней или внутренней)	2 (изменяется циклически)
MFBSP_Ch0 – MFBSP_Ch3	Обмен данными между портами MFBSP и памятью (внешней или внутренней)	3 (изменяется циклически)
MEM_Ch0 – MEM_Ch3	Обмен данными типа память-память	4 (изменяется циклически)

Если при работе DMA изменяется программный код в памяти, то когерентность кэш программ CPU (ICACHE) аппаратно не обеспечивается. В этом случае для обеспечения когерентности используется бит FLUSH в регистре CSR.

Не допускается:

- одновременная запись данных в память CRAM по DMA и чтение из нее данных в CPU;
- одновременная запись данных в память CRAM по DMA и исполнение программы CPU из нее.

8.1.2 Приоритет каналов DMA и CPU

В 1892BM8Я имеются две среды передачи данных: шина CDB и коммутатор AXI SWITCH (см. Рисунок 1.1).

CPU без конфликтов с DMA обменивается данными с памятью CRAM, с системными регистрами (CSR, MASKR, QSTR), а также с регистрами таймеров (IT, WDT, RTT), DSP, MPORT и контроллеров SWIC, MFBSP, UART).

Коммутатор обеспечивает передачу данных между любым исполнительным устройством (Slave) и любым задатчиком (Master). Исполнительными устройствами являются блоки внутренней памяти (CRAM, память DSP) или любая внешняя память, доступная через MPORT. Задатчиками могут быть CPU, каналы DMA контроллеров SWIC, MFBSP, и каналы DMA типа память-память.

Процесс передачи данных между любыми парами Slave ↔ Master выполняется параллельно и без конфликтов. Конфликт между задатчиками возникает, если они через коммутатор пытаются обменяться данными с одним и тем же исполнительным устройством.

Приоритет CPU и каналов DMA указан в правой колонке Таблица 8.1 (0 – наивысший приоритет).

Взаимный приоритет каналов MEM_CH0-MEM_CH3 изменяется циклически следующим образом. Исходное распределение приоритетов между этими каналами (в порядке их убывания): MEM_CH0, MEM_CH1, ... , MEM_CH3. Далее, после каждой DMA передачи распределение приоритетов изменяется циклическим сдвигом влево, таким образом, что приоритет канала, который выполнил DMA передачу, становится самым низким. Например, если после исходного состояния передал канал MEM_CH0, то приоритеты распределятся следующим образом: MEM_CH1, MEM_CH2, MEM_CH3, MEM_CH0. Далее, если передал канал MEM_CH1, то приоритеты распределятся следующим образом: MEM_CH2, MEM_CH3, MEM_CH0, MEM_CH1 и т.д.

Аналогичным образом изменяется приоритет других каналов DMA.

8.1.3 Регистры DMA

Для управления работой каждого канала имеются следующие регистры:

- регистр управления и состояния (CSR);
- набор регистров индекса (адрес памяти) и смещения (IR0, IR1, OR, Y);
- регистр начального адреса блока параметров DMA передачи (CP).

Следует отметить, что индексные регистры IR0 и IR1 содержат физические адреса памяти. Регистр OR содержит два 16-разрядных смещения OR[31:16] – OR1, OR[15:0] – OR0, 16-й разряд является знаком смещения.

Для эффективной передачи двумерных массивов (матриц $W[m;n]$) все каналы DMA используют регистр Y , в котором хранятся смещение и число строк в направлении Y .

Исходное состояние регистров CSR: разряды 15:0 – нули, а состояние разрядов 31:16 не определено. Исходное состояние остальных регистров не определено.

Индексные регистры $IR0$ и $IR1$ содержат 32-разрядный адрес слова в памяти (Для 64-х разрядных данных младшие три разряда адреса должны быть равны нулю. Для 32-х разрядных данных младшие два разряда адреса должны быть равны нулю.).

Старшая и младшая часть регистра смещения OR задает приращения адресов $OR1$, $OR0$. Содержимое смещений $OR1$, $OR0$ с учетом знака, аппаратно умноженное на 8, прибавляется к соответствующему индексу $IR1$, $IR0$ после передачи каждого слова данных.

8.1.4 Прерывания DMA

Канал DMA формирует прерывание (при условии, если установлен соответствующий бит в регистре $MASKR$ и бит $IM[11]$ в регистре $STATUS$ CPU):

- при единичном состоянии бита $DONE$;
- при единичном состоянии битов END .

Обнуление битов $DONE$ и END (и снятие соответствующего прерывания) выполняется посредством чтения содержимого регистра CSR или записью в них нуля CPU.

8.2 Процедура самоинициализации

Каналы DMA могут выполнять процедуру самоинициализации (выполнение цепочки передач DMA).

Для выполнения самоинициализации в каналах имеется 32-разрядный регистр CP , в котором хранится начальный адрес блока параметров очередного DMA обмена. Младшие три разряда регистра CP игнорируются (адреса выровнены по границе 64-разрядного слова). Младший (нулевой разряд) регистра CP используется для старта режима самоинициализации. Эти параметры при самоинициализации аппаратно загружаются в 64-разрядном формате в соответствующие регистры канала DMA. Процедура этой загрузки ничем не отличается от обычного DMA обмена. Блок параметров может размещаться в любой памяти.

Для каналов MEM_CH параметры для самоинициализации размещаются в памяти в трех последовательных 64-разрядных словах, следующим образом (в порядке возрастания адресов):

```

64 _____ 0
{      IR132,      IR032      };
{ {WCY16, ORY16}, { OR116, OR016 } };
{      CSR32,      CP32      } .

```

Для каналов DMA портов $SWIC$ и $MFBSP$ параметры для самоинициализации размещаются в памяти в двух последовательных 64-разрядных словах, следующим образом (в порядке возрастания адресов):

64 _____ 0

{ IR₃₂, -₃₂ };

{ CSR₃₂, CP₃₂ } .

Если необходимо продолжить цепочку команд, то необходимо указать CHEN=1. В режиме самоинициализации при записи параметров в регистр CSR биты END и DONE недоступны.

Для запуска работы канала DMA в режиме с самоинициализацией необходимо в регистр CP записать адрес первого блока параметров DMA передачи. При этом 0 разряд записываемых данных должен содержать 1 (признак пуска самоинициализации). В результате этого, соответствующий канал загрузит в свои регистры параметры DMA передачи и начнет обмен данными.

После окончания передачи блока данных бит END в регистре CSR устанавливается в единичное состояние, если бит IM = 1 - выдается прерывание. По окончании передачи блока данных также проверяется состояние бита CHEN. Если он равен 1, то будет загружен следующий блок параметров DMA передачи и т.д. В противном случае цепочка DMA обменов закончится и в регистре CSR бит DONE установится в единичное состояние и выдается прерывание.

Для остановки выполнения цепочки необходимо в соответствующем блоке параметров самоинициализации в слове CSR указать бит RUN=0. Для продолжения выполнения цепочки в бит RUN регистра CSR необходимо записать 1.

При необходимости каналы DMA могут инициализироваться программно. Для этого CPU должен загрузить все необходимые регистры индекса и смещения, а затем регистр CSR. При загрузке регистра CSR бит RUN необходимо установить в единичное состояние.

8.3 Темп передачи

Каналы DMA осуществляют передачу 64/32-разрядными словами данных.

Каналы за один цикл занятия коммутатора передают пачку данных. Размер пачки задается полем WN в регистре CSR соответствующего канала DMA и определяется системными требованиями по передаче данных. Если после передачи пачки данных нет запросов от других каналов DMA или CPU, то данный канал без перерыва начинает передавать следующую пачку данных и т.д.

CPU за один цикл занятия коммутатора SWITCH выполняет одну из следующих операций (после этого шина освобождается):

- чтение одного слова данных по команде Load
- запись одного слова данных по команде Store;
- выборка команды из внешней памяти;
- процедура Refill (загрузка из внешней памяти в ICACHE 4 команды), если адрес команды CACHED, а ее нет в ICACHE (ситуация MISS);

8.4 Каналы обмена данными типа память-память

4 канала MEM_CH3 – MEM_CH0 обеспечивают обмен данными типа память-память.

Формат регистров состояния и управления этих каналов приведен в Таблица 8.2.

Таблица 8.2. Формат регистра управления и состояния каналов MEM_CH

Номер разряда	Условное обозначение	Назначение
0	RUN	Состояние работы канала DMA: 0 – состояние останова; 1 – состояние обмена данными.
1	DIR	Направление обмена данными: 0 – память по IR0 => память по IR1; 1 – память по IR1 => память по IR0.
5:2	WN	Число слов данных (пачка), которое передается за одно предоставление прямого доступа: 0 – 1 слово, F – 16 слов. Посредством этого параметра можно плавно изменять приоритет каналов DMA относительно RISC и относительно друг друга.
6	EN64	Формат передаваемых данных: 0 – 32-разрядные; 1 – 64-разрядные
7	START_DSP	Разрешение запуска работы DSP-ядра (перевод из состояния STOP в состояние RUN) после завершения передачи блока данных: 0 – запуск запрещен; 1 – запуск разрешен.
8	MODE	Режим модификации адреса регистра IR0 0 – линейный режим; 1 – режим с обратным переносом.
9	2D	Режим модификации адреса регистра IR1: 0 – одномерный режим; 1 – двухмерный режим.
10	MASK	Маска внешнего запроса прямого доступа nDMAR: 0 – запрос запрещен; 1 – запрос разрешен. Если разряд равен нулю, то канал работает только под управлением бита RUN. Если разряд равен 1, то для инициализации канала необходимо также наличие запроса nDMAR (низкий уровень).
11	FLYBY	Признак выполнения обмена данными в режиме Flyby: 0 – обычный режим; 1 – режим Flyby. Обмен данными между внешней памятью и внешним устройством
12	CHEN	Признак разрешения самоинициализации (выполнения цепочки DMA передач)

Номер разряда	Условное обозначение	Назначение
13	IM	Разрешение установки признака окончания передачи блока данных: 0 – установки признака запрещено; 1 – установки признака разрешено.
14	END	Признак окончания передачи блока данных. Аппаратно устанавливается в 1 после завершения передачи блока данных (при IM=1) Доступен по записи и чтению со стороны CPU. Имеет два адреса чтения со стороны CPU: один со сбросом бита по факту чтения другой без сброса. Состояние данного бита дублируется в соответствующий бит регистра QSTR1 по “или” с битом DONE
15	DONE	Признак завершения передачи данных (одиночного блока либо последнего блока цепочки). Аппаратно устанавливается в 1 после завершения передачи цепочки блоков данных при CHEN=0, при этом бит RUN сбрасывается. Доступен по записи и чтению со стороны CPU. Имеет два адреса чтения со стороны CPU: один со сбросом бита по факту чтения другой без сброса. Состояние данного бита дублируется в соответствующий бит регистра QSTR1 по “или” с битом END
31:16	WCX	Счетчик слов при одномерной адресации. Счетчик числа слов в строке при двухмерной адресации. Количество передаваемых слов = WCX + 1.

Бит RUN может быть использован для остановки работы канала DMA MEM_CH. Для этого в любой момент времени в него необходимо записать 0. Для продолжения работы в бит RUN необходимо записать 1.

Состоянием разряда 0 регистра CSR также можно управлять, используя псевдорегистр RUN. При этом остальные разряды этого регистра не изменяются.

Для задания адресов обмена данными каналы MEM_CH содержат три регистра:

- 32-разрядный регистр индекса IR0;
- 32-разрядный регистр индекса IR1;
- 32-разрядный регистр смещений OR (OR1, OR0).

Формат регистра индекса и смещения OR приведен в таблице 8.3.

Таблица 8.3. Формат регистра индекса и смещения каналов MEM_CN

Номер разряда	Условное обозначение	Назначение
15:0	OR0	Смещение (приращение) адреса для индексного регистра IR0 после передачи каждого 32/64-разрядного слова данных
31:16	OR1	Смещение (приращение) адреса для индексного регистра IR1 после передачи каждого 32/64-разрядного слова данных

Адресация по индексному регистру IR0 обеспечивается в двух режимах: линейном и с обратным переносом.

При линейном режиме модификации адреса внутренней памяти смещение, задаваемое полем OR0, имеет диапазон от -32768 до $+32767$ слов данных.

для 64-х разрядного обмена : $IR0 = IR0 + \{ \{13 \{OR0[15]\} \}, OR0, 3'h0 \}$;

для 32-х разрядного обмена : $IR0 = IR0 + \{ \{14 \{OR0[15]\} \}, OR0, 2'h0 \}$;

При режиме с обратным переносом модификации адреса внутренней памяти смещение, задаваемое полем OR0, имеет диапазон от 0 до $+65535$.

Алгоритм реверсивной модификации адреса:

for (i=0 ; i < 32 ; i = i + 1) ir_reverse[i] = IR0[31-i] ;

for (j=0 ; j < 16 ; j = j + 1) or_reverse[j] = OR0[15-j];

sm_reverse[31:0] = ir_reverse[31:0] + {3'h 0, or_reverse[15:0], 13'h 0} – для 64-х разрядного обмена ;

sm_reverse[31:0] = ir_reverse[31:0] + {2'h 0, or_reverse[15:0], 14'h 0} – для 32-х разрядного обмена ;

for (k=0 ; k < 32 ; k = k + 1) add_reverse[k] = sm_reverse[31-k] ;

OR1 содержит код смещения внешней памяти в 64/32-разрядных словах при адресации по индексному регистру IR1. При адресации в двухмерном режиме он указывает смещение (приращение) в направлении X для перехода к следующему элементу строки. Смещение рассматривается как число со знаком в диапазоне от -32768 до $+32767$ слов данных.

При работе каналов MEM_CN память по индексному регистру IR1 может адресоваться в двухмерном режиме. Для этого имеется 32-разрядный регистр Y, формат которого приведен в таблице 8.4.

Таблица 8.4. Формат регистра Y

Номер разряда	Условное обозначение	Назначение
15:0	OY	Смещение (приращение) адреса памяти в 32/64-разрядных словах по направлению Y. Используется только при двухмерной адресации.

Номер разряда	Условное обозначение	Назначение
31:16	WCY	Число строк по Y направлению. Используется только при двухмерной адресации. Количество передаваемых строк = WCY + 1.

При двухмерном режиме адресации поле WCX регистра CSR содержит число слов в строке (X направление), а поле WCY регистра Y содержит число строк (Y направление). Пересылка каждого слова данных осуществляется по индексному регистру IR1 с его последующей инкрементацией на величину, соответствующую содержимому регистра смещения OR1 или поля OY регистра Y. Двухмерная адресация выполняется следующим образом:

Содержимое счетчика WCX сохраняется в буферном регистре;

1 цикл. Индексный регистр внешней памяти модифицируется с использованием смещения OR1. Счетчик WCX декрементируется. Если он равен 0, то переход ко второму циклу.

2 цикл. Состояние счетчика WCX восстанавливается из буферного регистра. Индексный регистр внешней памяти модифицируется с использованием смещения OY. Счетчик WCY декрементируется. Если он не равен 0, то переход к первому циклу. Если он равен 0, то работа канала завершается.

Функционально двумерная адресация эквивалентна следующему двойному циклу:

```
for ( y = 0; y <= WCY; y++ ) {
    for ( x = 0; x < WCX; x++ ) { пересылка по адресу IR1
    для 64-х разрядного обмена : IR1 = IR1 + {{13{OR1[15]}},OR1,3'h0};
    для 32-х разрядного обмена : IR1 = IR1 + {{14{OR1[15]}},OR1,2'h0}      };
                                пересылка по адресу IR1
    для 64-х разрядного обмена : IR1 = IR1 + {{13{ORY[15]}},ORY,3'h0};
    для 32-х разрядного обмена : IR1 = IR1 + {{14{ORY[15]}},ORY,2'h0};
                                };
общее кол-во пересылок (WCX=1)*(WCY+1)
```

8.5 Работа по внешним запросам

Каналы MEM_CH имеют внешний сигнал запроса передачи (один из nDMAR[3-0], правила коммутации описаны выше), позволяющий организовывать эффективный обмен данными с внешними устройствами. Для работы по внешним запросам необходимо сначала настроить канал DMA (в том числе установить бит MASK регистра CSR_MEM_CH в «1»), а затем активизировать внешнее устройство на формирование сигналов nDMAR.

По каждому переходу сигнала nDMAR из «1» в «0» DMA выполняет процедуру передачи одной пачки слов размером в соответствии с полем WN регистра CSR_MemCh. Внешнее устройство может снять сигнал nDMAR в начале этой пачки или выдавать сигнал nDMAR в виде отрицательного импульса длительностью не менее 1,5 периодов системной тактовой частоты CLK (частота, на которой работает CPU).

Необходимо также учитывать то, что факт перехода сигнала nDMAR из «1» в «0» запоминается в DMA при MASK=1 вне зависимости от состояния бита RUN. Если в процессе работы в DMA будет запомнен «лишний» факт перехода сигнала nDMAR из «1» в «0», то его можно сбросить, выполнив фиктивный DMA обмен.

Каналы MEM_CH имеют признак выполнения обмена между внешней памятью и внешним устройством FLYBY. Микросхема имеет 4 выхода FLYBY[3:0], которые коммутируются с каналами по следующему правилу: FLYBY[0] на канал MEM_CH0; FLYBY[1] на канал MEM_CH1; ... ; FLYBY[3] на канал MEM_CH3.

8.6 Каналы DMA для портов SWIC и MFBSР

Формат регистров управления и состояния CSR для портов SWIC и MFBSР приведен в таблице Таблица 8.5.

Таблица 8.5. Формат регистров управления и состояния DMA портов

Номер разряда	Условное обозначение	Назначение
0	RUN	Состояние работы канала DMA: 0 – состояние останова; 1 – состояние обмена данными.
1	-	Резерв
5:2	WN	Число слов данных (пачка), которое передается за одно предоставление прямого доступа: 0 – 1 слово, F – 16 слов. Посредством этого параметра можно плавно изменять приоритет каналов DMA относительно других устройств и относительно друг друга.
6	IPD	Запрет прерывания по запросу от порта при выключенном канале DMA (RUN=0). 0 – разрешено 1 – запрещено
11:7	-	Резерв
12	CHEN	Признак разрешения самоинициализации (выполнения цепочки DMA передач)
13	IM	Разрешение установки признака окончания передачи блока данных: 0 – установки признака запрещено; 1 – установки признака разрешено.
14	END	Признак окончания передачи блока данных. Аппаратно устанавливается в 1 после завершения передачи блока данных (при IM=1) Доступен по записи и чтению со стороны CPU. Имеет два адреса чтения со стороны CPU: один со сбросом бита по факту чтения другой без сброса. Состояние данного бита дублируется в соответствующий бит регистра QSTR2 по “или” с битом DONE

Номер разряда	Условное обозначение	Назначение
15	DONE	Признак завершения передачи данных (одиночного блока либо последнего блока цепочки). Аппаратно устанавливается в 1 после завершения передачи цепочки блоков данных при CHEN=0, при этом бит RUN сбрасывается. Доступен по записи и чтению со стороны CPU. Имеет два адреса чтения со стороны CPU: один со сбросом бита по факту чтения другой без сброса. Состояние данного бита дублируется в соответствующий бит регистра QSTR2 по “или” с битом END
31:16	WCX	Счетчик слов при одномерной адресации. Счетчик числа слов в строке при двухмерной адресации.

Бит RUN может быть использован для остановки работы канала DMA портов. Для этого в любой момент времени в него необходимо записать 0. Эта процедура возможна, если длина массива данных, указанного в канале DMA порта, равна длине массива данных, который порт передаст. Для продолжения работы в бит RUN необходимо записать 1.

Если порт прекратил обмен данными по внешней причине, то длина массива данных, указанного в канале DMA порта, будет не равна длине массива данных, который порт действительно передаст. В этом случае для остановки работы порта и его канала DMA необходимо использовать следующие алгоритмы.

Алгоритм остановки MFBSP и его канала DMA:

1. Остановить MFBSP, для чего в регистр CSR_MFBSP необходимо записать 0.
2. Выполнить операцию записи 0 в бит RUN регистра CSR соответствующего канала DMA MFBSP (при этом, бит RUN может в 0 не установиться).
3. Установить в 1 бит RX_RDY_MODE (TX_RDY_MODE) регистра CSR_MFBSP.
4. Дождаться установки в 0 бита RUN регистра CSR соответствующего канала DMA MFBSP.
5. Установить в 0 бит RX_RDY_MODE (TX_RDY_MODE) регистра CSR_MFBSP.

Алгоритм остановки SWIC и его каналов DMA:

1. Выполнить операцию записи 0 в биты RUN регистров CSR каналов DMA SWIC (канал записи в память дескрипторов принимаемых пакетов, канал записи в память принимаемых слов данных, канал чтения из памяти дескрипторов передаваемых пакетов, канал чтения из памяти передаваемых слов данных).
2. Установить в регистре MODE_CR SWIC в 1 биты Link_disable (остановка работы SWIC) и RDY_MODE.
3. Дождаться установки в 0 битов RUN регистров CSR каналов DMA SWIC.
4. Установить в регистре MODE_CR SWIC в 0 бит RDY_MODE.

Следует отметить, что при выполнении этих алгоритмов «хвост» передаваемых данных из порта теряется, а в «хвосте» приемного буфера данные будут недостоверны.

Состоянием разряда 0 регистра CSR также можно управлять, используя псевдорегистр RUN. При этом остальные разряды этого регистра не изменяются.

Для задания адреса памяти (внутренней или внешней) каналы DMA портов содержат следующие регистры:

- регистр управления и состояния (CSR);
- регистр индекса (адрес памяти) (IR);
- регистр начального адреса блока параметров DMA передачи (CP).

32-разрядный индексный регистр IR содержит физический адрес памяти. После передачи каждого слова данных к индексу IR прибавляется смещение на одно 64-х разрядное слово.

Памятью могут быть SRAM, блоки памяти сопроцессоров DSP: XRAM, YRAM и PRAM, внешняя память, доступная через MPORT.

9. ПОРТ ВНЕШНЕЙ ПАМЯТИ

9.1 Введение

Порт внешней памяти (MPORT) позволяет организовать интерфейс с широким набором устройств памяти и периферии, асинхронной и синхронной памятью. Внешний интерфейс порта обеспечивает подключение без сложной дополнительной логики синхронной памяти типа SDRAM, а также асинхронной памяти, например EPROM и FLASH.

Порт памяти имеет следующие основные характеристики:

- шина данных внешней памяти – 64 разряда;
- шина адреса внешней памяти – 32 разряда;
- формирование сигналов выборки 5 блоков внешней памяти.
- программное конфигурирование типа блока памяти и его объема;
- интерфейс с синхронной динамической памятью типа SDRAM;
- интерфейс с синхронной статической памятью типа SBSRAM;
- интерфейс с асинхронной памятью (SRAM, EPROM, FLASH, FIFO и т.д.);
- режим передачи данных Flyby;
- управление числом тактов ожидания при обмене с асинхронной памятью.
- защита всех блоков внешней памяти, подключенных к MPORT, при помощи избыточного кода Хемминга.

9.2 Регистры порта внешней памяти

Перечень регистров порта внешней памяти приведен Таблица 9.1.

Таблица 9.1. Регистры порта внешней памяти

Условное обозначение регистра	Название регистра
CSCON0	Регистр конфигурации 0
CSCON1	Регистр конфигурации 1
CSCON2	Регистр конфигурации 2
CSCON3	Регистр конфигурации 3
CSCON4	Регистр конфигурации 4
SDRCON	Регистр конфигурации SDRAM
SDRTMR	Регистр параметров SDRAM
SDRCTR	Регистр управления и состояния SDRAM
FLY_WS	Регистр внешних устройств
CSR_EXT	Регистр управления режимами контроля внешней памяти
AERROR_EXT	Регистр ошибок внешней памяти

При описании полей и значений регистров используются обозначения:

- R – только чтение;

- RW – чтение и запись;
- RW1 – чтение, пуск операции;
- [i] – номер разряда;
- i:j – неразрывная группа разрядов, i –старший разряд группы, j –младший;
- 0x – далее следует шестнадцатеричный код;
- SCLK– частота SDRAM.

Термины и обозначения временных параметров и команд управления SDRAM соответствуют стандарту JESD79C.

9.2.1 Регистр конфигурации CSCON0

Регистр CSCON0 предназначен для конфигурирования блока внешней памяти, подключаемого к выводу nCS[0].

Формат регистра приведен в Таблица 9.2.

Таблица 9.2. Назначение разрядов регистра CSCON0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	-	Резерв	R	0
23	W64	Разрядность блока памяти: 0 – 32 разряда; 1 – 64 разряда	RW	0
22:21	T	Тип памяти блока памяти: 00 – асинхронная без ожидания сигнала АСК; 10 – асинхронная с ожиданием сигнала АСК; 01 – синхронная динамическая; 11 – синхронная статическая	RW	0
20	E	Разрешение формирования сигнала nCS[0]: 0 – запрещено; 1 – разрешено	RW	0
19:16	WS	Число тактов ожидания при обращении к блоку памяти, если он сконфигурирован как асинхронная память	RW	0xF
15:8	CSBA	Разряды 31:24 базового адреса блока памяти. Младшие разряды базового адреса равны нулю	RW	0
7:0	CSMASK	Разряды 31:24 маски при определении базового адреса блока памяти. Младшие разряды маски равны нулю	RW	0

Сигнал nCS[0] формируется, если при E =1 выполнено условие PHA[31:24] & CSMASK = CSBA, где PHA – 32-разрядный физический адрес.

Если это условие выполнено, но E =0, то обмен будет произведен с блоком внешней памяти, подключенным к выводу nCS[4].

Минимальный размер блока – 16 Мбайт (при CSMASK = 0xFF). Для увеличения размера блока в младшие разряды поля CSMASK необходимо записать соответствующее число нулей. Например, для блока размером в 128 Мбайт, разряды 2:0 CSMASK должны быть равны нулю.

Регистры CSCON должны быть сконфигурированы таким образом, чтобы определяемые ими блоки памяти занимали уникальные адресные пространства. Если эти пространства перекрываются, то результат обмена данными будет непредсказуем.

В поле WS регистров CSCON задается количество тактов ожидания в тактах частоты SCLK, которое необходимо добавить в цикл шины при обращении к асинхронной внешней памяти. При аппаратном сбросе микропроцессора в поле WS всех регистров CSCON устанавливается значение 0xF (15 тактов). При WS = 0 цикл шины составляет 2 такта SCLK

Управление длительностью цикла обмена микропроцессора с асинхронной памятью осуществляется сигналом ACK и полем тактов ожидания WS. Сигнал ACK позволяет вставлять такты ожидания непосредственно в начатый цикл обмена данными. Количество вставленных тактов ожидания равно максимальному количеству дополнительных тактов, заданных полем WS и сигналом ACK.

9.2.2 Регистр конфигурации CSCON1

Регистр CSCON1 предназначен для конфигурирования блока внешней памяти, подключаемого к выводу nCS[1].

Формат регистра приведен в Таблица 9.3.

Таблица 9.3. Назначение разрядов регистра CSCON1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	-	Резерв	R	0
23	W64	Разрядность блока памяти: 0 – 32 разряда; 1 – 64 разряда	RW	0
22:21	T	Тип памяти блока памяти: 00 – асинхронная без ожидания сигнала ACK; 10 – асинхронная с ожиданием сигнала ACK; 01 – синхронная динамическая; 11 – синхронная статическая	RW	0
20	E	Разрешение формирования сигнала nCS[1]: 0 – запрещено; 1 – разрешено	RW	0
19:16	WS	Число тактов ожидания при обращении к блоку памяти, если он сконфигурирован как асинхронная память	RW	0xF
15:8	CSBA	Разряды 31:24 базового адреса блока памяти. Младшие разряды базового адреса равны нулю	RW	0
7:0	CSMASK	Разряды 31:24 маски при определении базового адреса блока. Младшие разряды маски равны нулю	RW	0

9.2.3 Регистр конфигурации CSCON2

Регистр CSCON2 предназначен для конфигурирования блока внешней памяти, подключаемого к выводу nCS[2].

Формат регистра приведен в Таблица 9.4.

Таблица 9.4. Назначение разрядов регистра CSCON2

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	-	Резерв	R	0
23	W64	Разрядность блока памяти: 0 – 32 разряда; 1 – 64 разряда	RW	0
22:21	T	Тип памяти блока памяти: 00 – асинхронная без ожидания сигнала АСК; 10 – асинхронная с ожиданием сигнала АСК; 01,11 – синхронная статическая	RW	0
20	E	Разрешение формирования сигнала nCS[2]: 0 – запрещено; 1 – разрешено	RW	0
19:16	WS	Число тактов ожидания при обращении к блоку памяти, если он сконфигурирован как асинхронная память	RW	0xF
15:8	CSBA	Разряды 31:24 базового адреса блока памяти. Младшие разряды базового адреса равны нулю	RW	0
7:0	CSMASK	Разряды 31:24 маски при определении базового адреса блока. Младшие разряды маски равны нулю	RW	0

Память, подключаемая к выводу nCS[2], может быть асинхронной или синхронной статической.

9.2.4 Регистр конфигурации CSCON3

Регистр CSCON3 предназначен для конфигурирования блока памяти, подключаемого к выводу nCS[3].

Формат регистра приведен в Таблица 9.5.

Таблица 9.5. Назначение разрядов регистра CSCON3

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	OVER	Признак того, что при обмене данными с любым блоком асинхронной памяти, сконфигурированном на ожидание сигнала АСК, этот сигнал не был установлен в течение 256 периодов частоты SCLK	RW	0
30:25	-	Резерв.	R	0
24	BYTE	Разрядность блока памяти: 0 – 32 разряда; 1 – 8 разрядов. Исходное состояние данного разряда соответствует состоянию сигнала на входе BYTE микросхемы	R	Определяется уровнем входа BYTE микропроцессора
23:22	-	Резерв	RW	0
21:20	ADDR	Используются при программной записи данных в 8-разрядную асинхронную память (в том числе и Flash): при выполнении команды Store Word на линии адреса A[1:0] микропроцессора выдается содержимое поля ADDR[1:0] соответственно	RW	0
19:16	WS	Число тактов ожидания при обращении к памяти блока	RW	0
15:0	-	Резерв	R	0

Область памяти, определяемая регистром CSCON3, размещается в диапазоне физических адресов от 0x1C00_0000 до 0x1FFF_FFFF (64 Мбайт). Память данного блока может быть только асинхронной. Доступ к данному блоку памяти всегда разрешен. При обмене данными с этим блоком сигнал АСК безразличен.

Как правило, к выводу nCS[3] подключается блок памяти программ, реализованный на FLASH, PROM, EEPROM и т.д. Разрядность этого блока, в зависимости от состояния сигнала на выводе микросхемы BYTE может быть 8 или 32.

8-разрядная память подключается к выводам D[7:0] микропроцессора. Шину адреса A[31:0] к этой памяти необходимо подключать, начиная с 0 разряда (к 32-разрядной памяти адрес подключается, начиная со 2 разряда). 64 или 32-разрядное слово из 8-разрядной памяти считывается байтами, причем первым считывается старший байт слова. Запись данных в 8-разрядную память выполняется в соответствии с рекомендациями п. 9.4.2.

Признак OVER формируется, если в соответствующем регистре CSCON бит AE=1, а от памяти не поступил сигнал АСК в течение 256 тактов SCLK. В этом случае операция обмена данными заканчивается обычным образом, за исключением того, что считываемые

данные не определены, а записываемые данные теряются. Состояние бита OVER не влияет на выполнение последующих операций обмена данными.

9.2.5 Регистр конфигурации CSCON4

Регистр CSCON4 предназначен для конфигурирования внешней памяти, не вошедшей в блоки памяти, определяемые регистрами CSCON3 - CSCON0.

Данный блок памяти подключается к выводу nCS[4].

Формат регистра приведен в Таблица 9.6.

Таблица 9.6. Назначение разрядов регистра CSCON4

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	-	Резерв	R	0
23	W64	Разрядность блока памяти: 0 – 32 разряда; 1 – 64 разряда	RW	0
22:21	T	Тип памяти данного блока: 00 – асинхронная без ожидания сигнала ACK; 10 – асинхронная с ожиданием сигнала ACK; 01, 11 – синхронная статическая	RW	0
20	-	Резерв.	R	0
19:16	WS	Число тактов ожидания при обращении к памяти блока	RW	0
15:0	-	Резерв	R	0

Память данного блока может быть только асинхронной или синхронной статической. Доступ к данному блоку памяти всегда разрешен.

9.2.6 Регистр FLY_WS

Данный регистр определяет количество дополнительных тактов ожидания в обменах внешних устройств с асинхронной памятью в режиме Flyby.

Формат регистра FLY_WS приведен в Таблица 9.7.

Таблица 9.7. Формат регистра FLY_WS

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16		Резерв	R	0
15:12	FWS3	Число тактов ожидания для внешнего устройства 3 при обмене с асинхронной памятью	RW	0
11:8	FWS2	Число тактов ожидания для внешнего устройства 2 при обмене с асинхронной памятью	RW	0
7:4	FWS1	Число тактов ожидания для внешнего устройства 1 при обмене с асинхронной памятью	RW	0
3:0	FWS0	Число тактов ожидания для внешнего устройства 0 при обмене с асинхронной памятью	RW	0

Количество вставленных тактов ожидания при обмене с внешним устройством равно максимальному количеству дополнительных тактов, заданных сигналом ACK и полями WS и FWS участников обмена.

9.2.7 Регистр конфигурации SDRCON

Регистр SDRCON предназначен для программирования конфигурационных параметров синхронной памяти типа SDRAM.

Память данного типа может быть размещена только в блоке памяти, подключенном к выводам nCS[0] или nCS[1].

Формат регистра приведен в Таблица 9.8.

Таблица 9.8. Формат регистра SDRCON

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	Резерв	R	0
29:16	tRFR	Период регенерации SDRAM в тактах частоты SCLK	RW	0
15:13	-	Резерв	R	0
12	-	Резерв	RW	0
11:7	-	Резерв	R	0
6:4	CL	Задержка данных при чтении (CAS latency): 010 – 2 такта SCLK; 011 – 3 такта SCLK. Остальные значения этого поля – резерв. Записанное значение передается в SDRAM при выполнении команды инициализации SDRAM. При чтении считывается значение, установленное в SDRAM при её инициализации. Запись резервных кодов игнорируется	RW	2
3	-	Резерв	R	0
2:0	PS	Размер страницы микросхем SDRAM, подключенных к MPORT: 100 – 256; 000 – 512; 001 – 1024; 010 – 2048; 011 – 4096. Число банков SDRAM – 4	RW	0

Преобразование физического адреса в адрес 64 - разрядной памяти SDRAM при различных значениях параметра PS представлено в таблицах Таблица 9.9, Таблица 9.10,

Таблица 9.11. Разряды физического адреса в таблицах обозначены строчными буквами “а”.

Таблица 9.9. Отображение адреса строки для 64-разрядной памяти

PS	Адрес SDRAM												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
100	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13
000	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14
001	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15
010	a28	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16
011	a29	a28	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17

Таблица 9.10. Отображение адреса столбца для 64-разрядной памяти

PS	Адрес SDRAM												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
100	0	0	0	0	0	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3
000	0	0	0	0	a11	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3
001	0	0	0	a12	a11	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3
010	0	a13	0	a12	a11	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3
011	a14	a13	0	a12	a11	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3

Таблица 9.11. Отображение адреса банка для 64-разрядной памяти

PS	Адрес банка SDRAM	
	BA1	BA0
100	a12	a11
000	a13	a12
001	a14	a13
010	a15	a14
011	a16	a15

Преобразование физического адреса в адрес 32-разрядной памяти SDRAM представлено в таблицах Таблица 9.12, Таблица 9.13, Таблица 9.14

Таблица 9.12. Отображение адреса строки для 32-разрядной памяти

PS	Адрес SDRAM												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
100	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12
000	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13
001	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14
010	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15
011	a28	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16

Таблица 9.13. Отображение адреса столбца для 32-разрядной памяти

PS	Адрес SDRAM												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
100	0	0	0	0	0	a 9	a 8	a 7	a 6	a 5	a 4	a 3	a 2
000	0	0	0	0	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3	a 2
001	0	0	0	a11	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3	a 2
010	0	a12	0	a11	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3	a 2
011	a13	a12	0	a11	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3	a 2

Таблица 9.14. Отображение адреса банка для 32-разрядной памяти

PS	Адрес банка SDRAM	
	BA1	BA0
100	a11	a10
000	a12	a11
001	a13	a12
010	a14	a13
011	a15	a14

Период регенерации tRFR должен определяться индивидуально для используемой конфигурации памяти. Например, при тактовой частоте SCLK 200 МГц для обеспечения 8 192 цикловой регенерации за 64 мс необходимо в поле tRFR записать код 0x61A, что соответствует 7, 81 мкс на строку, а при частоте 100 МГц - 0x30D.

После инициализации SDRAM MPORT аппаратно выполняет процедуру регенерации с периодом tRFR тактов SCLK. Режим регенерации отключается при tRFR =0 или при переводе SDRAM в режим саморегенерации или пониженного потребления.

9.2.8 Регистр параметров SDRTMR

Регистр SDRTMR предназначен для задания интервалов (в тактах частоты SCLK) между различными командами SDRAM.

Формат регистра приведен в Таблица 9.15.

Таблица 9.15. Формат регистра SDRTMR

Номер разряда	Условное обозначение параметра	Назначение	Доступ	Исходное состояние
31:24	-	Резерв	R	0
23:20	tRFC	Минимальный интервал между командами AUTO REFRESH.	RW	0
19:16	tRAS	Минимальная задержка между командами ACTIVE и PRECHARGE	RW	0
15:14	-	Резерв	R	0
13:12	-	Резерв	RW	0
11:10	-	Резерв	R	0
9:8	tRCD	Минимальная задержка между командами ACTIVE и READ/WRITE	RW	0
7:6	-	Резерв	R	0
5:4	tRP	Минимальный период команд PRECHARGE	RW	0
3:2	-	Резерв	R	0
1:0	tWR	Минимальная задержка между записью данных и командой PRECHARGE (Write recovery)	RW	0

Значения 0, 1, ..., n параметра в таблице соответствуют интервалу в 1, 2, ..., n+1 тактов. Например, значение 0xF параметра tRFC задает интервал 16 тактов между командами AUTO REFRESH, а значение 0 – интервал в один такт.

При вычислении параметров в соответствии с рабочей частотой и со спецификацией используемой памяти, полученные значения необходимо округлять до ближайшего меньшего целого. Например, если в спецификации указано время tRCD = 20нсек, то при частоте SCLK 133 МГц (период 7.5 нсек) минимальный интервал в 2.7 такта нужно округлить до 2 и в поле tRCD регистра SDRTMR записать код 0x2.

9.2.9 Регистр состояний и управления SDRCSR

Регистр SDRCSR предназначен для запуска команд изменения режимов SDRAM и индикации их исполнения.

Формат регистра SDRCSR приведен в Таблица 9.16.

Таблица 9.16. Формат регистра SDRCSR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:5	-	Резерв	R	0
4	EXIT	При записи 1 в данный разряд MPORT выполняет последовательность команд вывода SDRAM из режимов саморегенерации и пониженного потребления. При чтении - признак выполнения команды выхода SDRAM из указанных режимов: устанавливается в 1 после завершения команды; сбрасывается при записи любой команды	RW1	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
3	PWDN	При записи 1 в данный разряд MPORT переводит SDRAM в режим пониженного потребления. При чтении - признак окончания данной команды: устанавливается в 1 после завершения команды; сбрасывается записью команды EXIT	RW1	0
2	SREF	При записи 1 в данный разряд MPORT переводит SDRAM в режим саморегенерации. При чтении - признак окончания данной команды: устанавливается в 1 после завершения команды; сбрасывается записью команды EXIT	RW1	0
1	AREF	При записи 1 в данный разряд MPORT выполняет команду авторегенерации SDRAM. При чтении - признак окончания команды авторегенерации: устанавливается в 1 после завершения данной команды; сбрасывается при записи любой команды	RW1	0
0	INIT	При записи 1 в данный разряд MPORT выполняет инициализацию SDRAM с параметрами: Burst Length – 1; Burst Type – Sequential; CAS Latency – поле CL регистра SDRCON; Operation Mode – Standart Operation WB – Programmed Burst Length. При чтении - признак окончания команды инициализации: устанавливается в 1 после завершения данной команды; сбрасывается при записи любой команды	RW1	0

Команды кодируются унитарным кодом в разрядах 4:0. Запись других кодов или запись новой команды до завершения предыдущей игнорируются.

При запуске любой команды изменения режимов MPORT ожидает завершения текущего обмена (в том числе регенерации), приостанавливает выполнение очередного обмена с SDRAM и выполняет необходимую последовательность команд SDRAM. Во время исполнения команды значение регистра SDRCSR - 0

По команде INIT выполняется последовательность команд инициализации:

- PRECHARGE;
- Пауза tRP, AUTO REFRESH;
- Пауза tRFC, AUTO REFRESH;
- Пауза tRFC, LOAD MODE REGISTER;
- Пауза tMRD, установка индикатора INIT.

Длительность выполнения команды INIT составляет порядка 30 тактов SCLK.
До выполнения начальной инициализации необходимо записать все параметры в регистры SDRCON, SDRTMR и сконфигурировать регистры CSCON0 и/или CSCON1.

MPORT не контролирует задержку 200 мкс между установкой стабильного питания и запуском команды INIT.

По команде AREF контроллер выполняет:

- PRECHARGE;
- пауза tRP, AUTO REFRESH;
- пауза tRFC, установка индикатора AREF.

По команде PWDN MPORT выполняет:

- PRECHARGE;
- Пауза 1 такт SCLK;
- Сброс CKE, NOP;
- Пауза tRFC, установка индикатора PWDN.

После выполнения данной команды память находится в “режиме precharge power down”.

По команде SREF MPORT выполняет:

- PRECHARGE;
- Пауза tRP;
- SELF REFRESH;
- Пауза tRFC, установка индикатора SREF.

После выполнения команд PWDN и SREF MPORT находится в состоянии ожидания команды EXIT и игнорирует другие команды изменения режимов SDRAM. В этом состоянии MPORT не контролирует выполнение интервала tREF.

По команде EXIT контроллер устанавливает CKE и, после паузы tXSNR (или 2 такта SCLK при выходе из режима PWDN), выполняет AREF и устанавливается индикатор EXIT.

MPORT игнорирует команду EXIT при сброшенных индикаторах PWDN и SREF.

9.2.10 Регистр CSR_EXT

Регистр CSR_EXT предназначен для управления режимами контроля и коррекции памяти модифицированным кодом Хэмминга.

Формат регистра приведен в Таблица 9.17

Таблица 9.17. Формат регистра CSR_EXT

Но- мер раз- ряда	Условное обозначение	Назначение	Доступ	Исход- ное со- стоя- ние
31:24	Cnt_SERR	Счетчик одиночных ошибок. При значении 0xFF останавливается	WR	0
23:16	Num_SERR	Допустимый порог одиночных ошибок	WR	0xFF
15:8	Cnt_DERR	Счетчик двойных ошибок. При значении 0xFF останавливается	WR	0
7:5	-	Резерв	R	0

Но-мер раз-ряда	Условное обозначение	Назначение	Доступ	Исходное состояние
4	ROM	Признак отключения контроля по Хеммингу для блока памяти 3: 0 – контроль включен; 1 – контроль выключен	WR	1
3	RMW	Разрешение операции чтение-модификация-запись в режиме без коррекции ошибок: 0 – запрещено; 1 – разрешено	WR	0
2	NEMPTY	Признак наличия данных в FIFO ошибочных адресов. Обнуляется при записи в регистр AERROR_EXT		0
1:0	MODE	Режим работы памяти: 00 - режим без коррекции ошибок. Обмен данными выполняется только с блоком данных памяти; 01 - режим с коррекцией ошибок. В обмене данными участвуют и блок данных, и блок контрольных разрядов; 10 - режим тестирования блока контрольных разрядов. Обмен данными выполняется только с блоком контрольных разрядов; 11 - резерв	WR	0

В режиме $MODE = 01$ или в режиме $MODE = 00$ при $RMW = 1$ байтовая запись выполняется операцией “чтение-модификация-запись”. При выполнении операции “чтение-модификация-запись” в режиме $MODE = 01$ ошибки фазы чтения исправляются и фиксируются в FIFO ошибочных адресов.

При $ROM = 1$ или $BYTE = 1$ чтение из блока памяти 3 выполняется только с блоком данных памяти независимо от значения поля $MODE$. Состояние признака ROM не влияет на выполнение операции записи.

В режиме $MODE = 01$ при $Cnt_DERR > 0$ или $Cnt_SERR > Num_SERR$ формируется прерывание INT_Hm MPORT поступающее на одноименный вход регистра $QSTR_Hm$. Прерывание сбрасывается по следующим условиям:

- при записи $Cnt_DERR = 0$ и $Cnt_SERR = 0$;
- при записи $Cnt_DERR = 0$, если $Cnt_SERR \leq Num_SERR$;
- при записи $Cnt_SERR = 0$ или $Num_SERR = 255$, если $Cnt_DERR = 0$.

9.2.11 Регистр AERROR_EXT

Регистр AERROR_EXT предназначен для фиксации и локализации ошибок фазы чтения в режиме $MODE = 01$. Регистр доступен для чтения при установленном признаке NEMPTY регистра CSR_EXT. При $NEMPTY = 0$ состояние регистра неопределено. При записи значение регистра не изменяется.

Формат регистра приведен в Таблица 9.18.

Таблица 9.18. Формат регистра AERROR_EXT

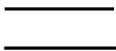
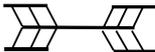
Номер разряда	Условное обозначение	Назначение
1:0	Code_ERR	Код ошибки: 01 – одиночная ошибка 10 – двойная ошибка 11 – ошибка в контрольном разряде общей четности
31:2	ADDR_ERR	Разряды 31:2 физического адреса ячейки (или полуслова для 64-разрядной памяти) памяти, при чтении из которой обнаружена ошибка. Если ошибка произошла и в старшем и в младшем полуслове, то в FIFO ошибочных адресов записывается 2 слова. AERROR_EXT [2] локализует место ошибки в 64-разрядном слове: 0 – ошибка в младшем полуслове; 1 – ошибка в старшем полуслове

9.3 Временные диаграммы обмена данными

9.3.1 Общие положения

При описании временных диаграмм используются условные обозначения в соответствии с Таблица 9.19.

Таблица 9.19. Условные обозначения

Условное обозначение	Описание
	Стабильное значение
	Возможное значение
	область изменения из «0» в «1»
	область изменения из «1» в «0»
	Достоверное значение
	Для входов: Не воспринимается, допустимо любое переключение Для выходов: состояние не определено
	Переключение выхода из (в) высокоимпедансное состояние (центральная линия)
	Повторение сигнала в течение неопределенного времени
T_i	$i = 1, 2, \dots$ фаза обмена на временной диаграмме
n	Количество дополнительных тактов ожидания, задаваемых полем WS регистров CCON
w	Число тактов ожидания высокого уровня сигнала ACK
$nCSx$	Один из четырёх сигналов $nCS[3:0]$
$nOEx$	Один из четырёх сигналов $nOE[3:0]$
$nFLYBYx$	Один из четырёх сигналов $nFLYBY [3:0]$
	Момент приема данных

9.3.2 Обмен данными с асинхронной памятью

Временные диаграммы записи данных в асинхронную память приведены на Рисунок 9.1 - Рисунок 9.3.

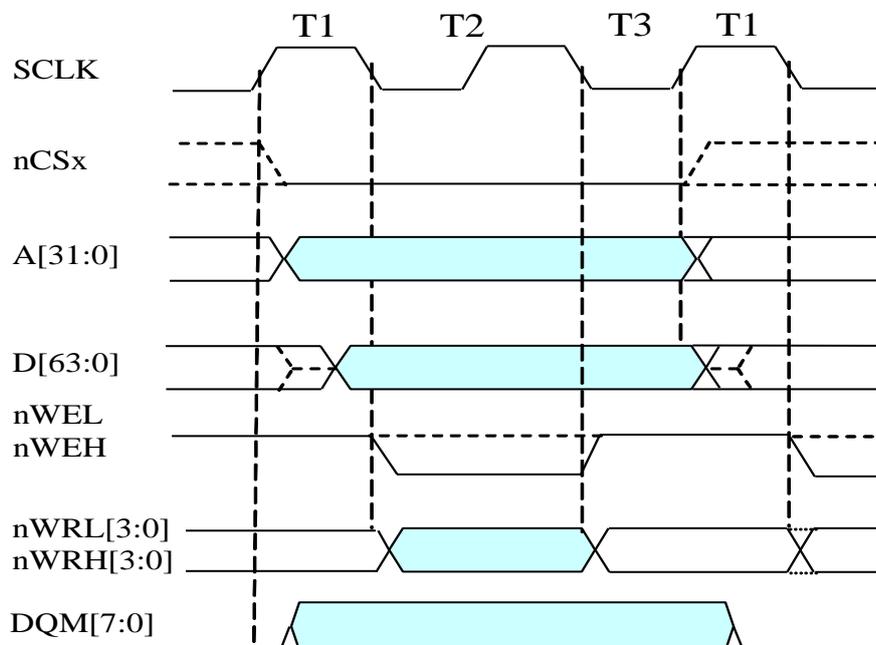


Рисунок 9.1. Запись в асинхронную память без дополнительных тактов ожидания

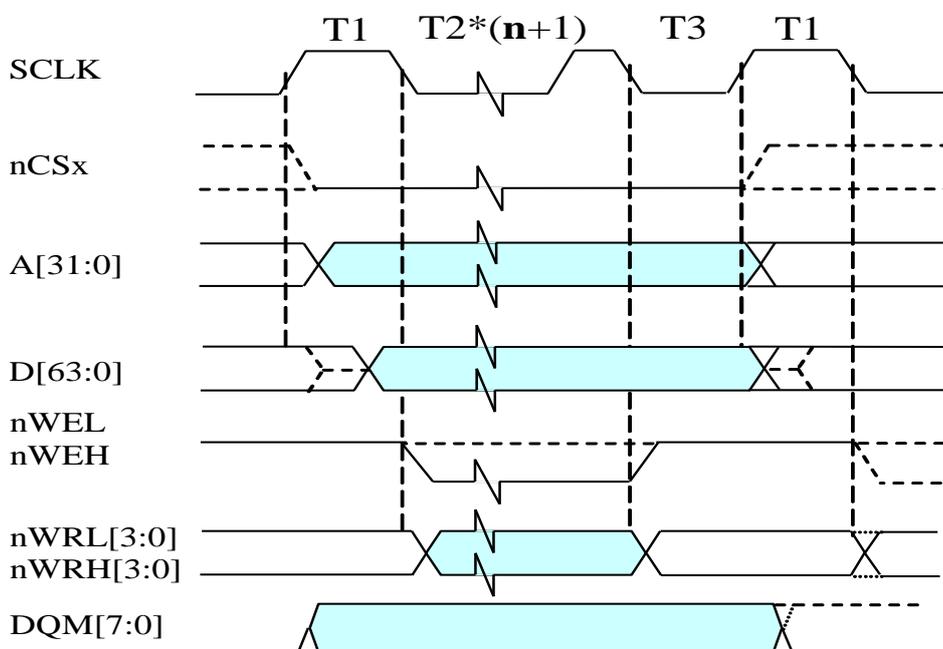


Рисунок 9.2. Запись в асинхронную память с n дополнительными тактами ожидания

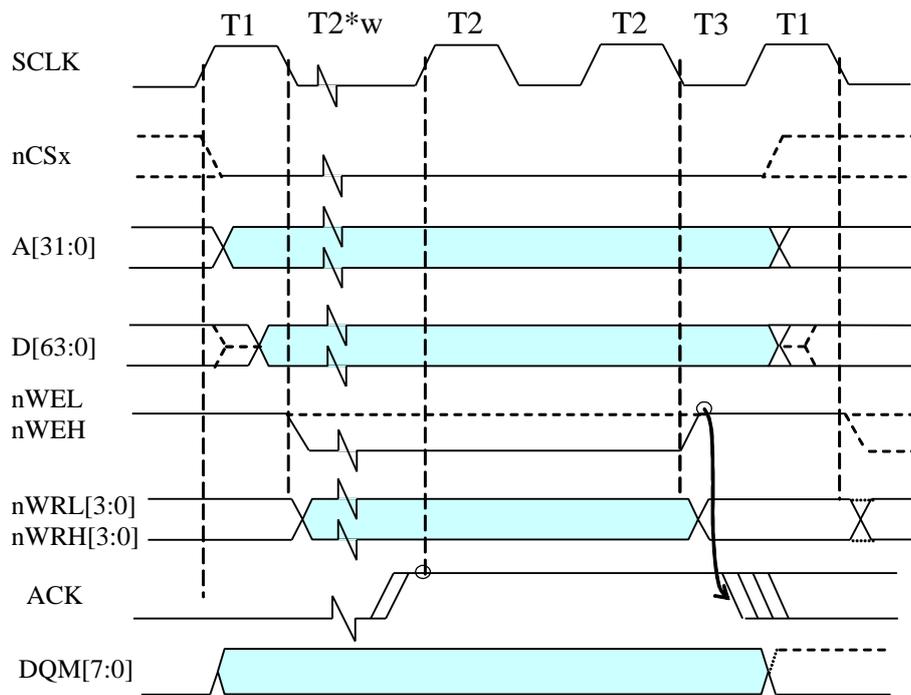


Рисунок 9.3. Запись в асинхронную память с ожиданием сигнала ACK

Временные диаграммы чтения данных из асинхронной памяти приведены на Рисунок 9.4 - Рисунок 9.6. При чтении выходы DQM[7:0] устанавливаются в низкий уровень.

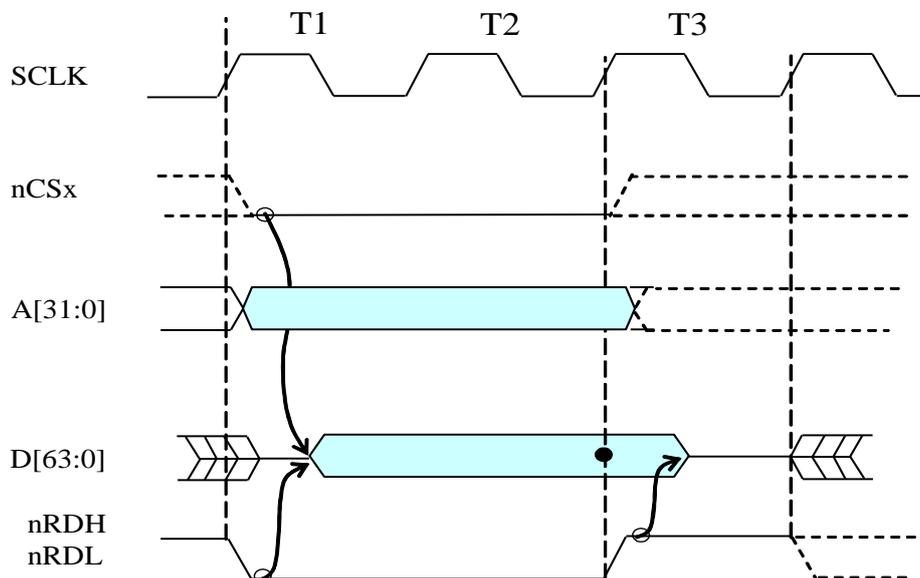


Рисунок 9.4. Чтение асинхронной памяти без дополнительных тактов ожидания

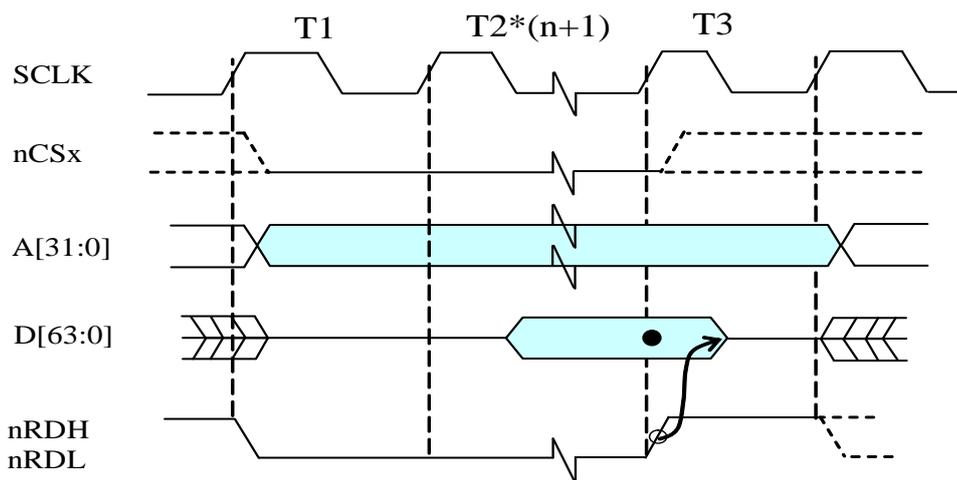


Рисунок 9.5. Чтение асинхронной памяти с n дополнительными тактами ожидания

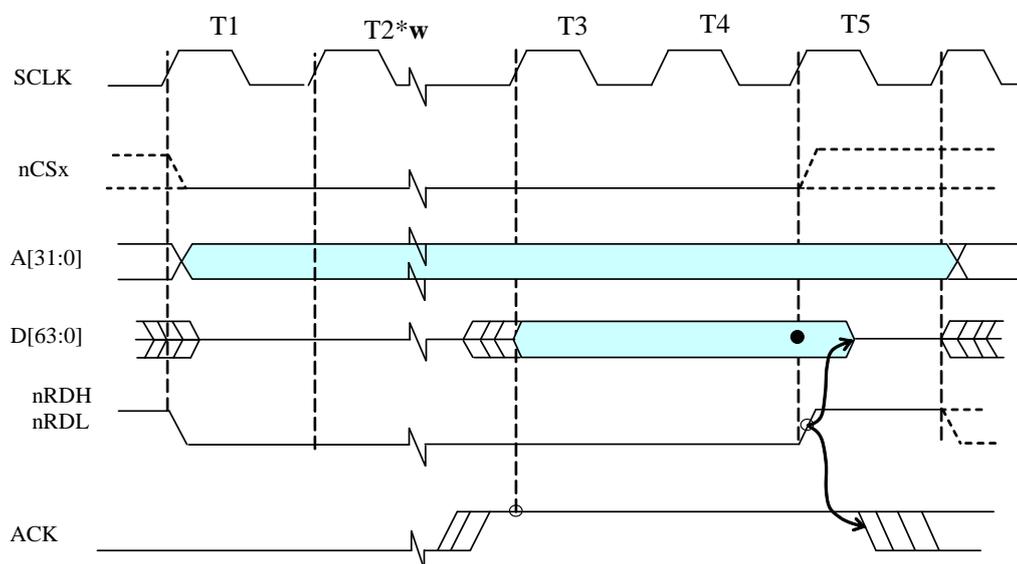


Рисунок 9.6. Чтение данных из асинхронной памяти с ожиданием сигнала ACK

При обращениях к асинхронной памяти с ожиданием сигнала ACK учитывается состояние поля WS соответствующего регистра CSCON. Окончание обращения происходит в случае, когда одновременно выполнены два условия: прошло $(WS+1)$ тактов с начала обмена и сигнал на входе ACK имеет активный уровень.

При завершении обращения необходимо, чтобы сигнал ACK переходил в неактивное состояние на том же такте SCLK, когда начинается следующее обращение (изменяется значение на шине адреса). Если невозможно обеспечить такой режим работы внешней асинхронной памяти, следует устанавливать значение поля WS на 3-4 такта, чтобы обеспечить отсутствие «захвата» сигнала ACK от предыдущего обращения.

Как правило, в блоке внешней памяти, подключенному к сигналу выборки памяти $nCS[3]$ размещается постоянное запоминающее устройство (ПЗУ), реализованное на FLASH, PROM, EEPROM и т.д.

В зависимости от состояния вывода микросхемы BYTE этот блок внешней памяти может быть 8- или 32-разрядным. На Рисунок 9.7 приведена временная диаграмма чтения 32-разрядного слова из 8-разрядного ПЗУ при $BYTE = 1$.

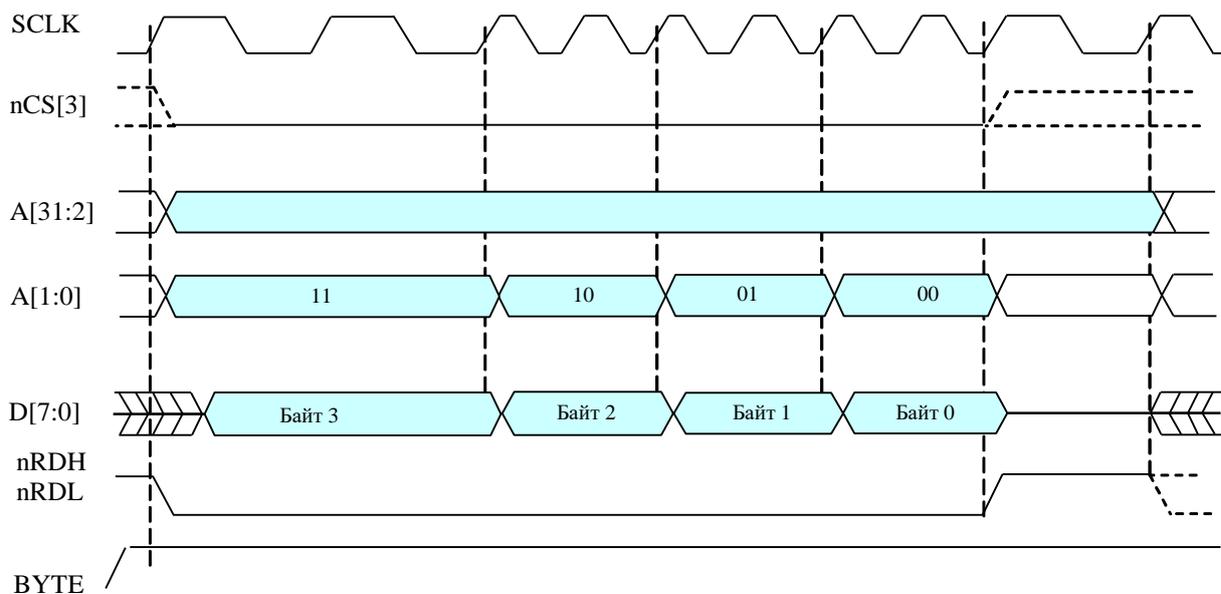


Рисунок 9.7. Чтение 32-разрядного слова из 8-разрядного ПЗУ ($n = 0$)

Если CPU выполняет программу из кэшируемой области внешней памяти, то загрузка строки кэш (процедура Refill) выполняются посредством чтения четырех 32-разрядных слов в режиме burst. Адрес, по которому начинается burst, выровнен по 16-байтной границе. На рисунке 9.8 приведена временная диаграмма выполнение процедуры Refill из 32-разрядной асинхронной памяти. На Рисунок 9.9 приведена временная диаграмма выполнение процедуры Refill из 8-разрядного ПЗУ

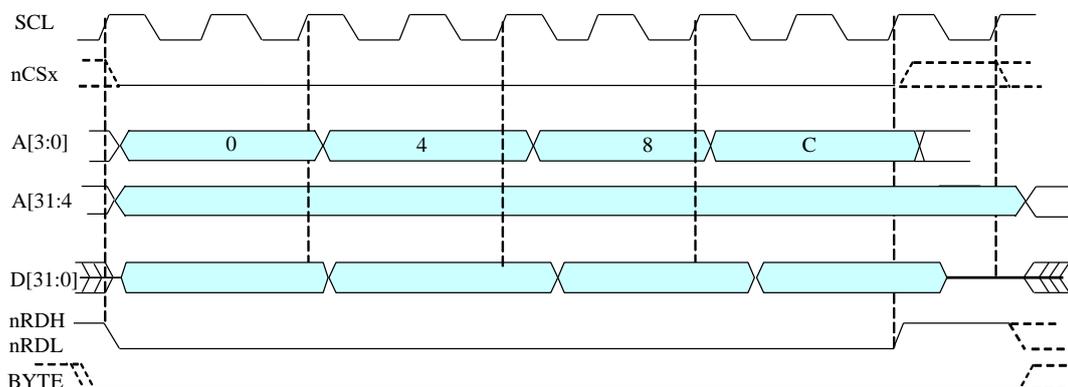


Рисунок 9.8. Выполнение процедуры Refill из 32-разрядной асинхронной памяти ($n = 0$)

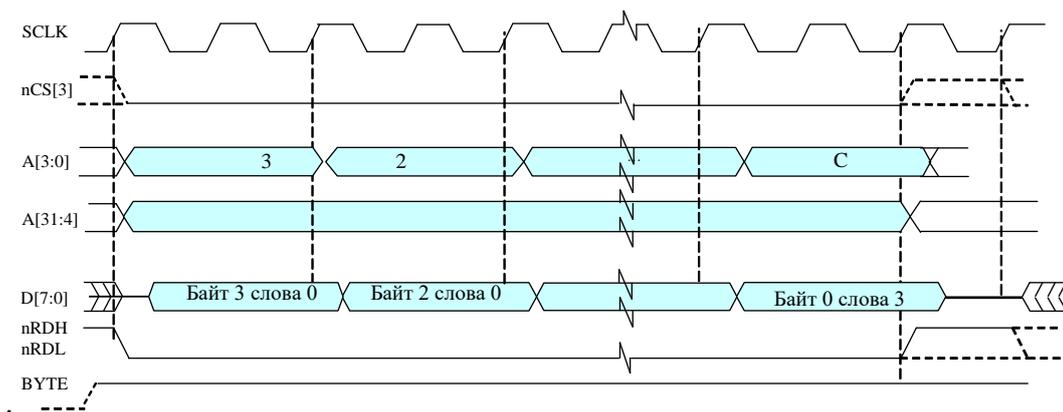


Рисунок 9.9. Выполнение процедуры Refill из 8-разрядного ПЗУ (n = 0)

9.3.3 Обмен данными с синхронной динамической памятью

Временные диаграммы с синхронной памятью приведены на Рисунок 9.10 - Рисунок 9.16. Временные диаграммы инициализации и регенерации SDRAM приведены на Рисунок 9.17, Рисунок 9.18 соответственно. Временные параметры имеют следующие значения в тактах SCLK: $t_{RP}=2$, $t_{RCD}=2$, $t_{MRD}=2$, $t_{RFC}=8$, CAS latency = 2. При чтении $DQM[7:0]=0$.

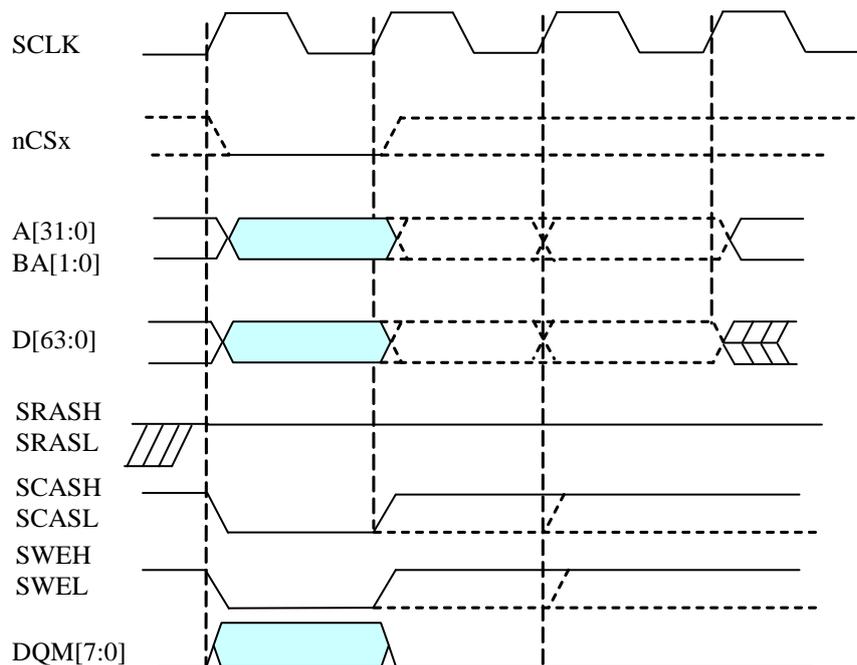


Рисунок 9.10. Запись одного слова данных в SDRAM

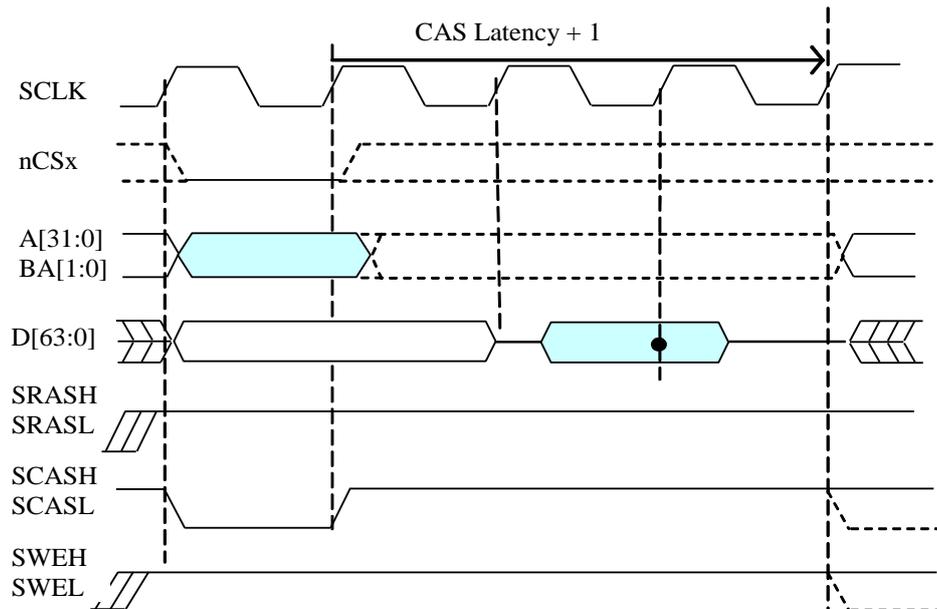


Рисунок 9.11. Чтение одного слова данных из SDRAM

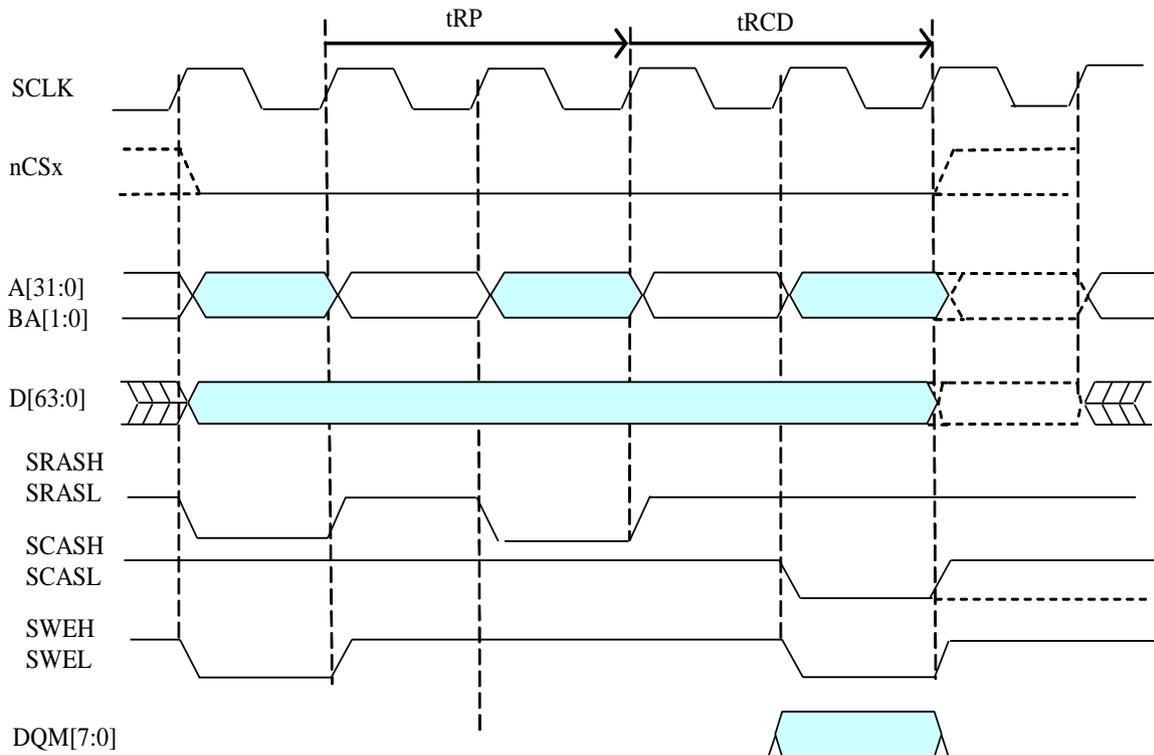


Рисунок 9.12. Запись одного слова данных в SDRAM с деактивизацией строки

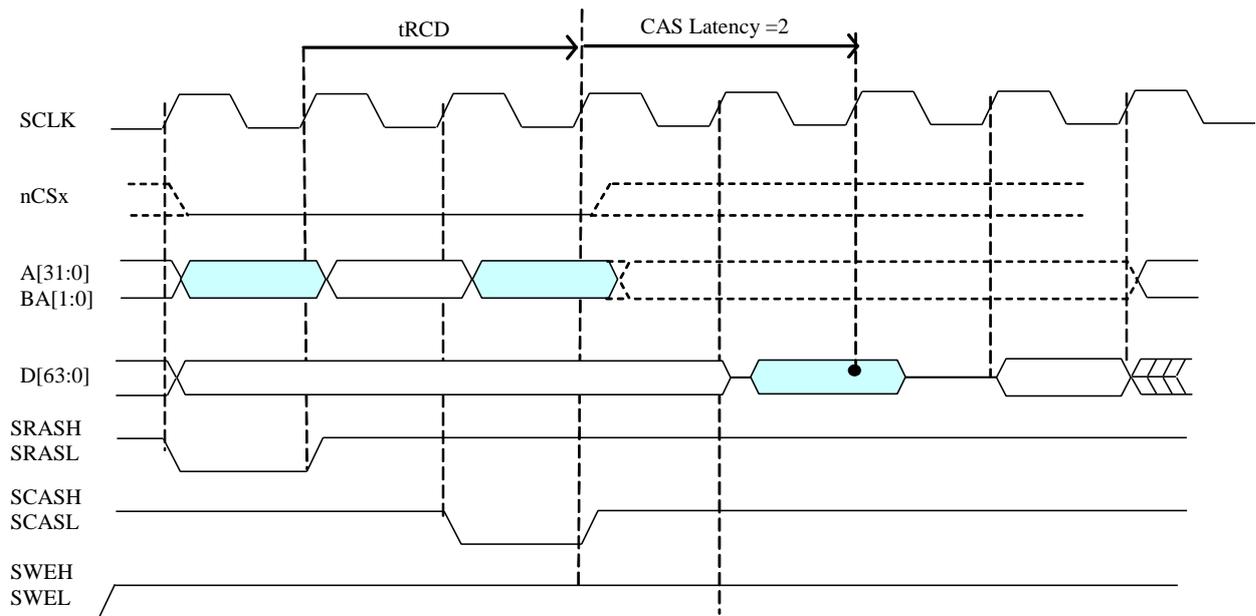


Рисунок 9.13. Чтение одного слова данных из SDRAM с активизацией строки

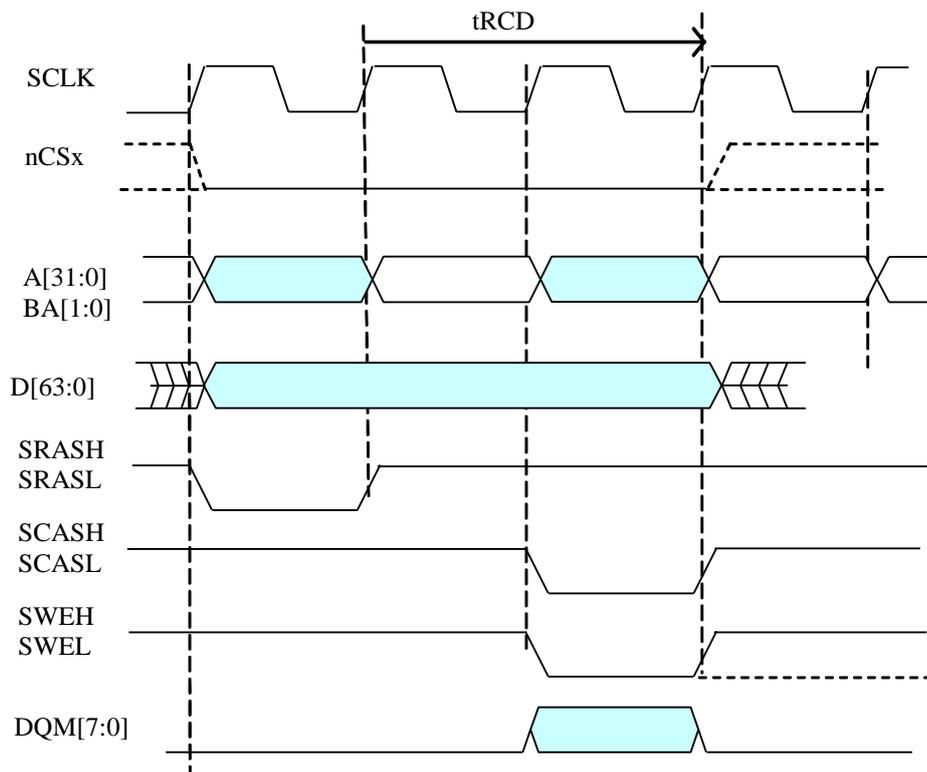


Рисунок 9.14. Запись одного слова данных в SDRAM с активизацией строки

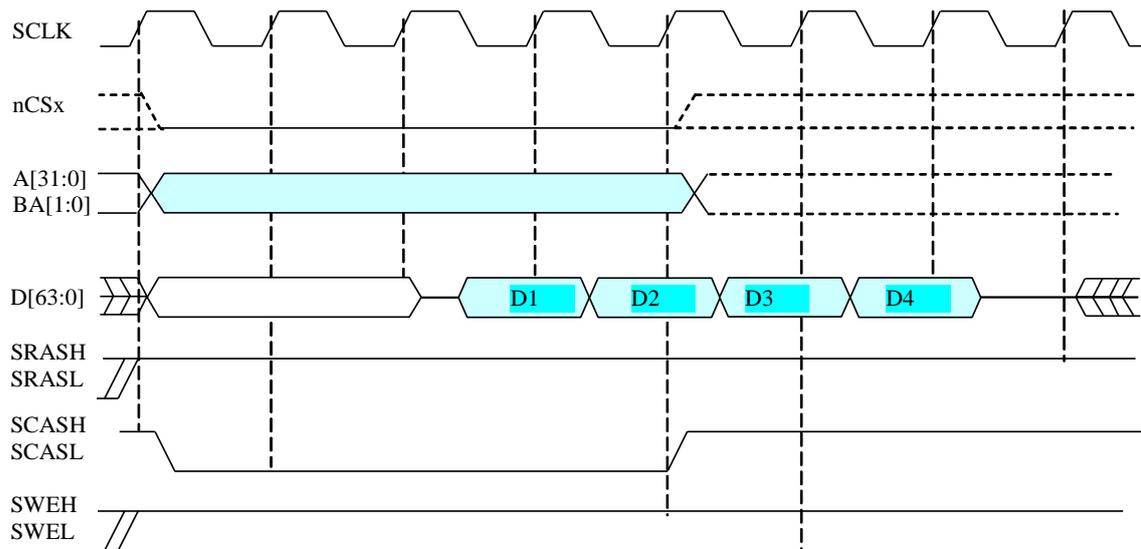


Рисунок 9.15. Чтение 4-х слов данных из SDRAM в режиме “burst”

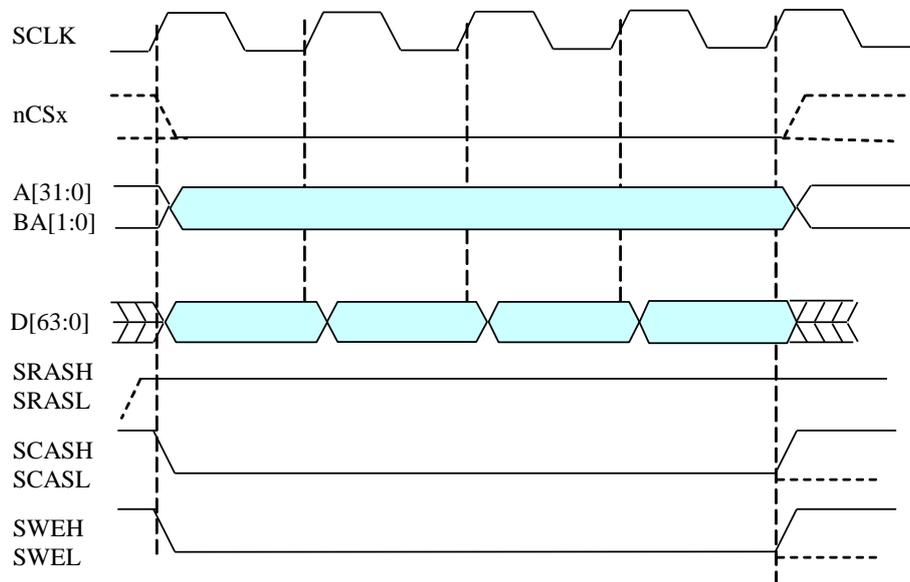


Рисунок 9.16. Запись 4-х слов данных в SDRAM в режиме “burst”

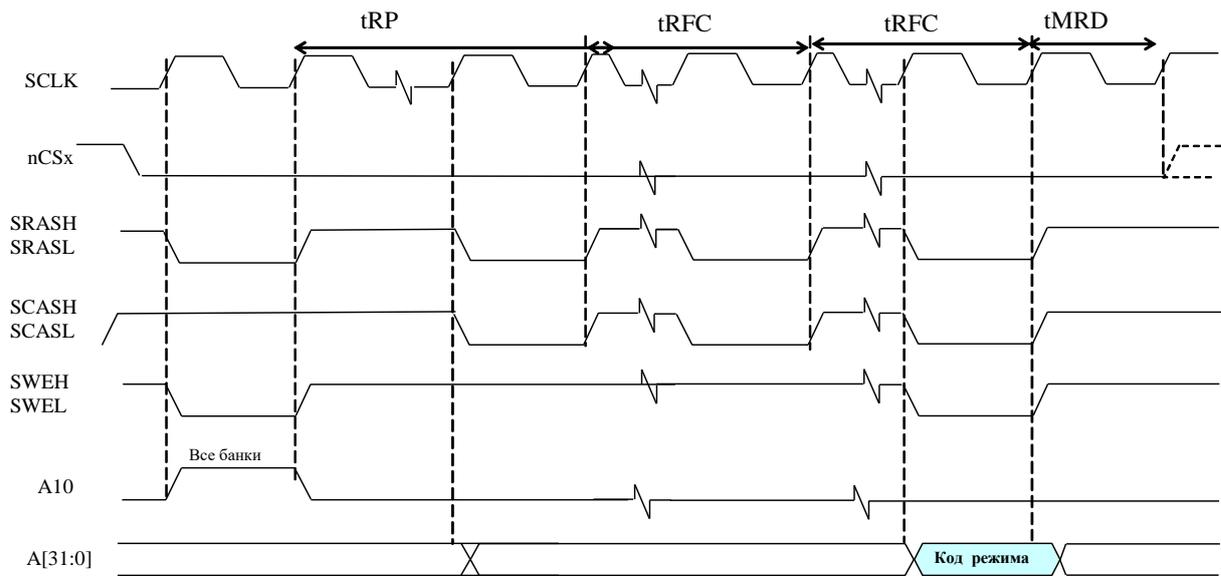


Рисунок 9.17. Инициализация SDRAM

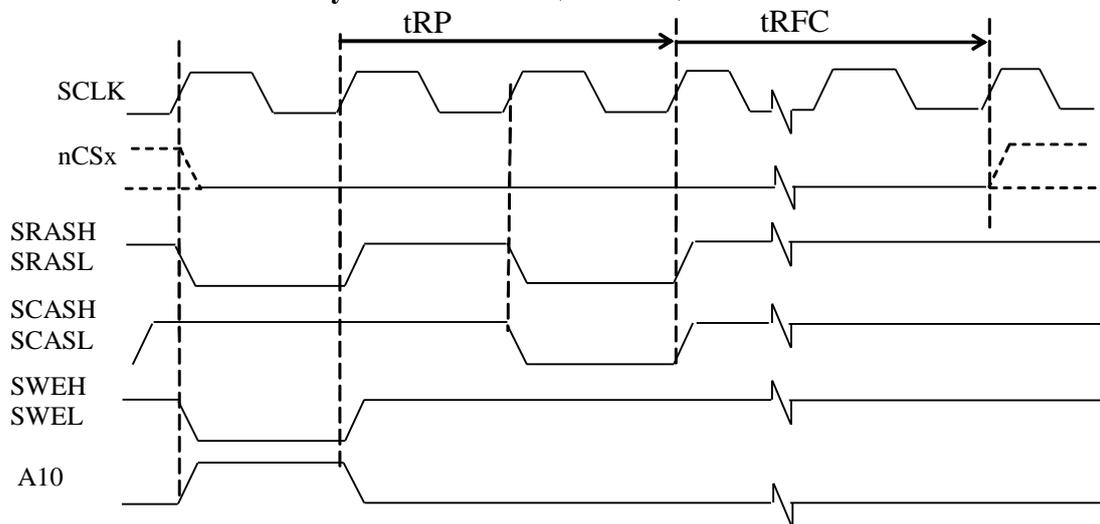


Рисунок 9.18. Регенерация SDRAM

9.3.4 Обмен данными в режиме Flyby

Режим Flyby используется каналами MemCh контроллера DMA для передачи данных между внешним устройством ввода-вывода и внешней памятью (как асинхронной, так и синхронной). Для выполнения передачи данных в режиме Flyby в соответствующем регистре CSR_MemCh необходимо установить бит FLYBY.

Каждому каналу MemCh может соответствовать свое устройство ввода-вывода. Выбор устройства ввода-вывода осуществляется посредством сигналов nFLYBY[3:0]. Каналам MemCh0 и MemCh4 соответствует низкий уровень на выводе nFLYBY[0], каналам MemCh1 и MemCh5 соответствует низкий уровень на выводе nFLYBY[1], и так далее.

При передаче данных в режиме Flyby MPORT активизирует внешнюю память и внешнее устройство ввода-вывода одновременно. Память управляется как обычно, а устройство ввода-вывода – при помощи сигналов nFLYBY (признак данного режима) и nOE (активизация выходных формирователей устройства ввода-вывода).

В режиме Flyby MPORT выполняет обмен данными полными словами памяти. Объем передаваемой информации определяется форматом передачи (бит EN64 регистра CSR_MemCh), количеством передаваемых слов (биты WN регистра CSR_MemCh) и разрядностью памяти (бит W64 соответствующего регистра CSCON).

При EN64 =0 и W64 =1 поле WN должно определять четное число слов, а начальный адрес передачи должен быть выровнен до границы 64-разрядного слова. Например, при EN64 =0, WN = 3 и W64 =1 MPORT выполнит передачу 2 слов памяти,

при EN64 =1, WN = 3 и W64 =1 MPORT выполнит передачу 4 слов памяти, а

при EN64 =1, WN = 3 и W64 =0 MPORT выполнит передачу 8 слов памяти

Для 8-разрядной памяти EN64 определяет количество байтов в слове передачи: при EN64=0 из памяти передается 4 байта, при EN64=1 передается 8 байт. Например, если WN = 0x3, то при EN64=0 во внешнее устройство будет передано 16 байт, а при EN64=1 будет передано 32 байта.

Временные диаграммы обмена данными в режиме Flyby приведены на Рисунок 9.19 - Рисунок 9.24 (WS=0, WSF=0, AE=0, CL=2). Выводы DQM[7:0], nWRL[3:0], nWRH[3:0] изменяются как при обычных обменах.

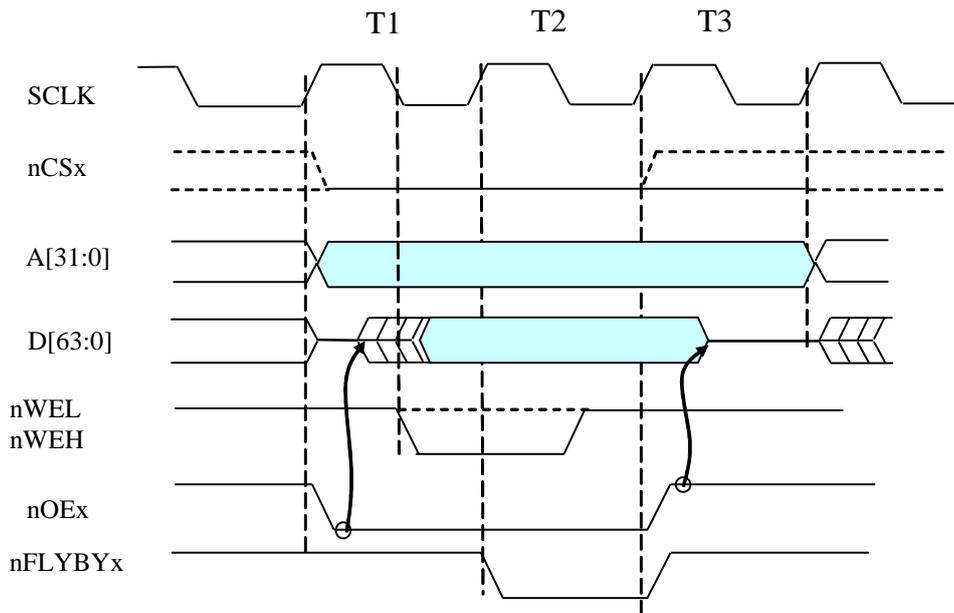


Рисунок 9.19. Передача одного слова данных из устройства ввода-вывода в асинхронную память

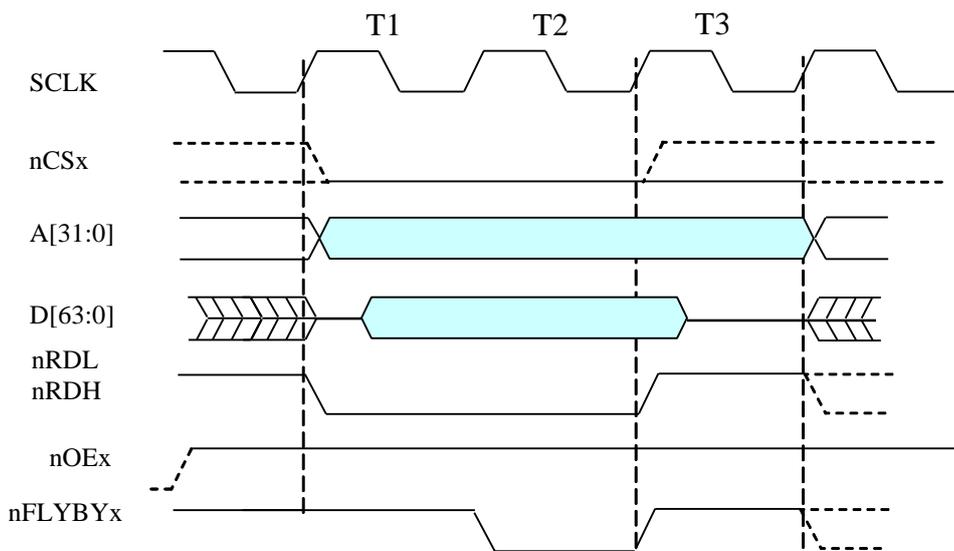


Рисунок 9.20. Передача одного слова данных из асинхронной памяти в устройство ввода-вывода

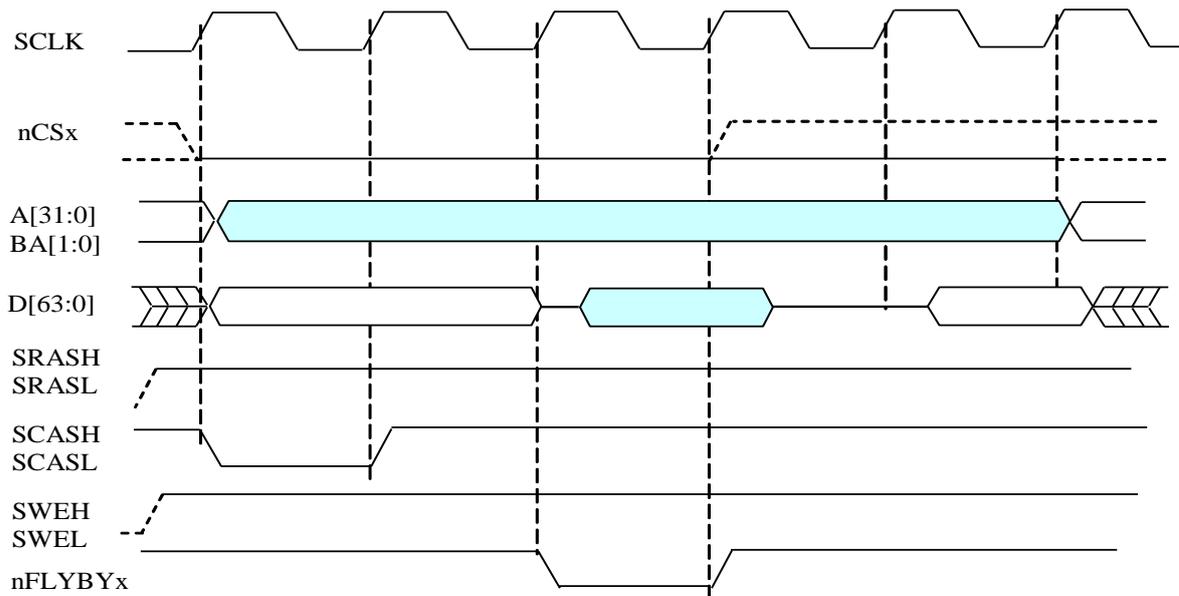


Рисунок 9.21. Передача одного слова данных из SDRAM в устройство ввода-вывода

nFLYBYx

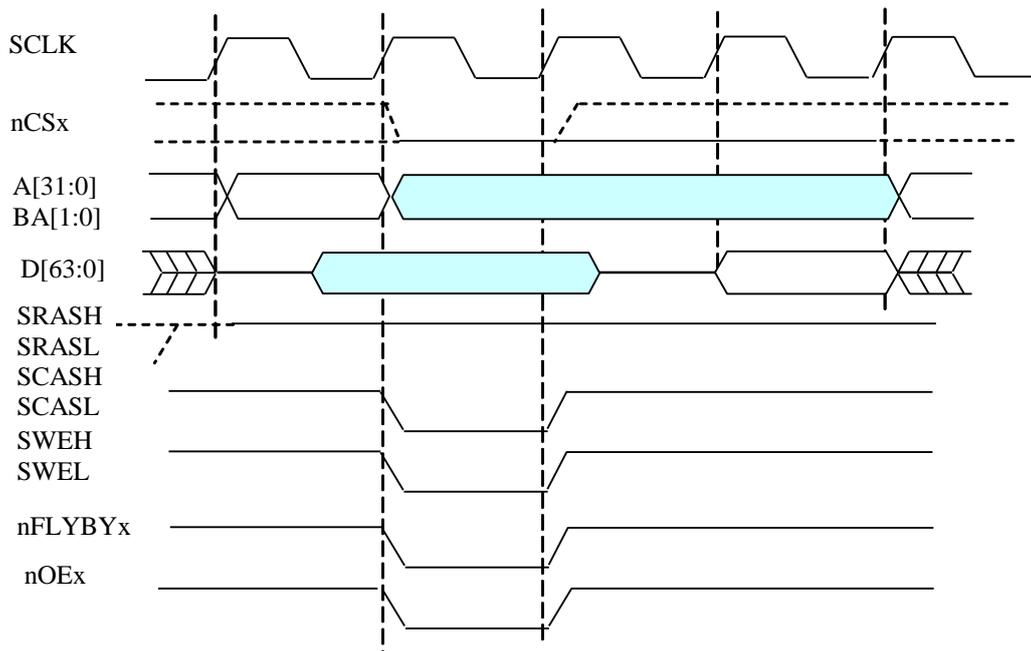


Рисунок 9.22. Передача одного слова данных из устройства ввода-вывода в SDRAM

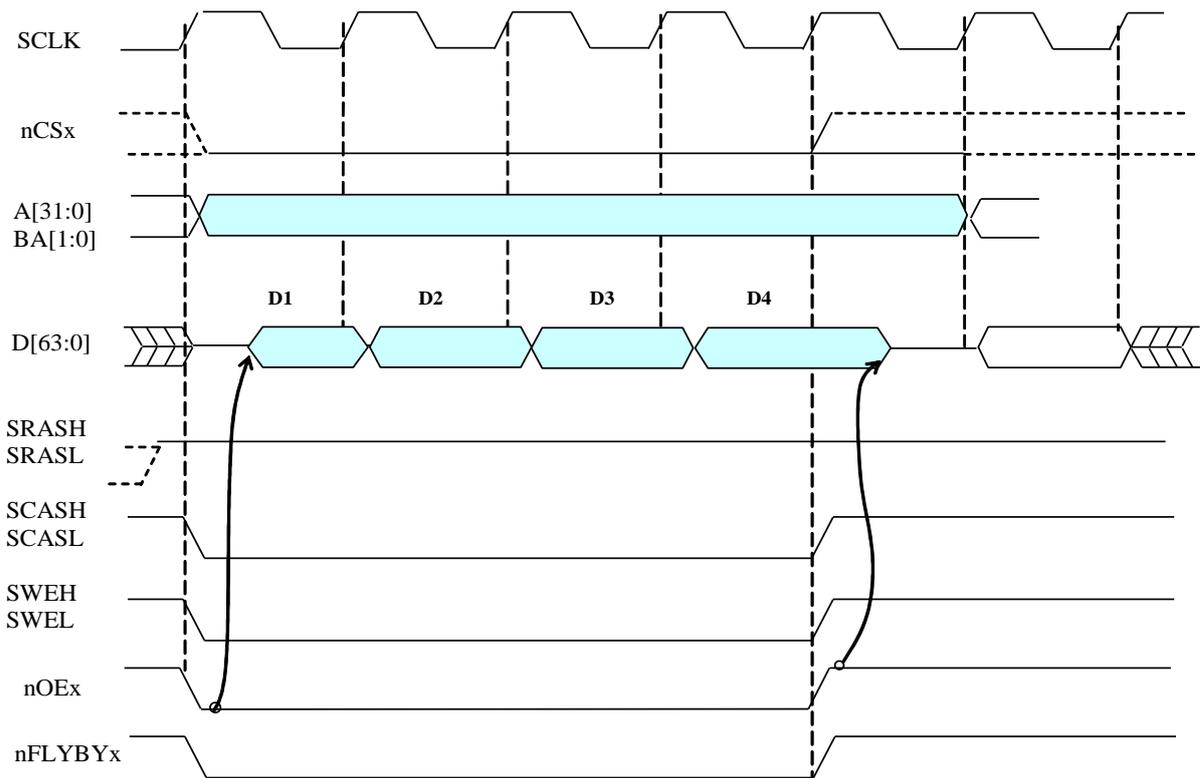


Рисунок 9.23. Передача 4-х слов данных из устройства ввода-вывода в SDRAM

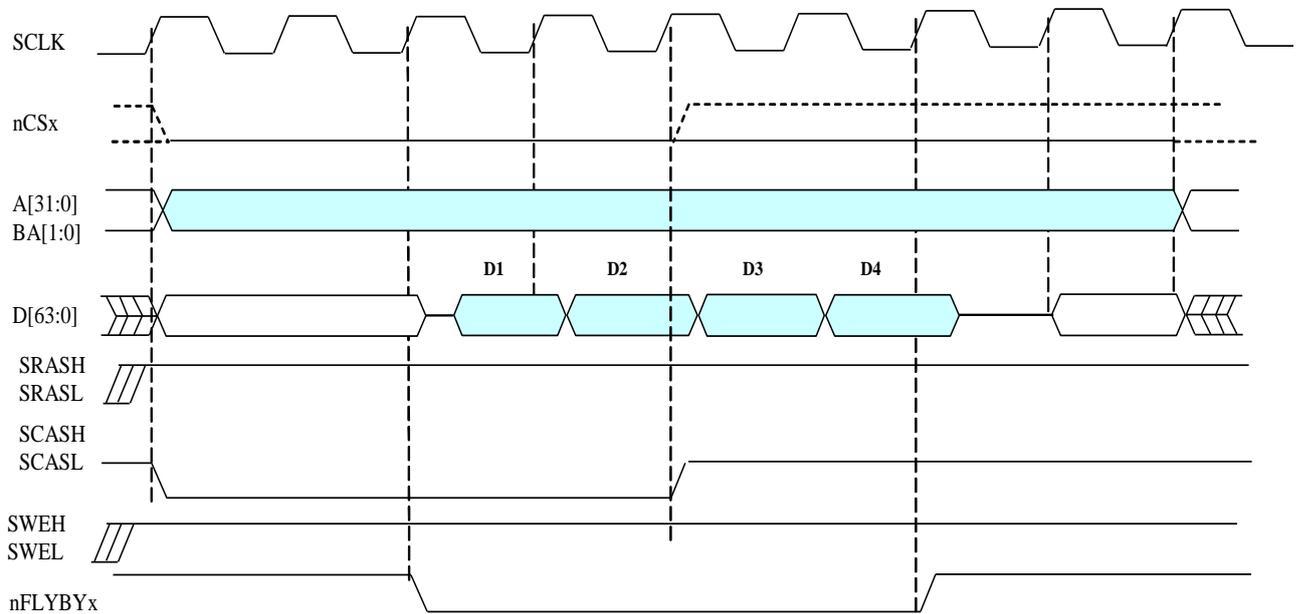


Рисунок 9.24. Передача 4-слов данных из SDRAM в устройство ввода-вывода

9.3.5 Обмен данными с синхронной статической памятью

Временные диаграммы с синхронной статической памятью приведены на рисунках 9.25-9.26. Задержка данных составляет 2 такта SCLK.

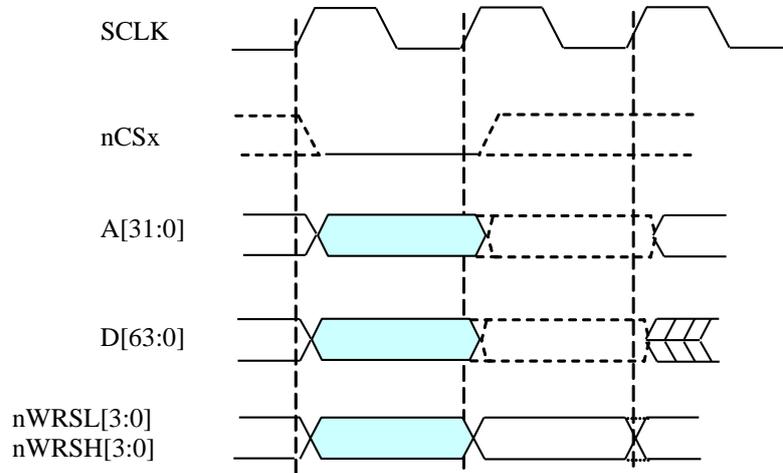


Рисунок 9.9.25. Запись одного слова данных в синхронную статическую память

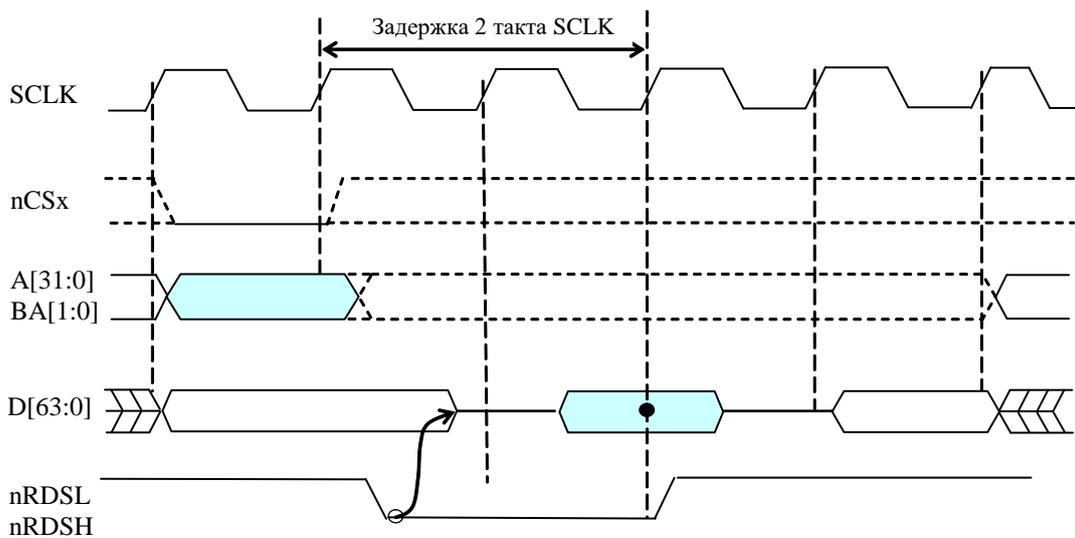


Рисунок 9.9.26. Чтение одного слова данных из синхронной статической памяти

9.4 Рекомендации по подключению внешней памяти

9.4.1 Память типа SDRAM

Выводы адреса микросхем типа SDRAM подключаются к выводам шины адреса порта внешней памяти следующим образом:

- номер банка SDRAM – к выводам BA[1:0];
- адрес A[12:0] SDRAM – к выводам A[14:13], A10, A[11:2] соответственно.

9.4.2 Память типа Flash

К микропроцессору можно подключать 32, 64-разрядную или 8-разрядную память типа Flash.

32 и 64 -разрядная память Flash подключается к микропроцессору аналогично асинхронной памяти. Как правило, она подключается к сигналу выборки памяти nCS[3] и используется для старта микропроцессора. Но при необходимости память Flash может быть подключена к любому сигналу выборки памяти nCS[4:0].

8-разрядная память Flash подключается только к сигналу выборки памяти nCS[3]. При этом признак BYTE необходимо установить в состояние 1, а адресную шину микропроцессора подключить к памяти Flash, начиная с 0 разряда (к 32 и 64 -разрядной памяти адрес подключается, начиная со 2 разряда).

При использовании памяти типа Flash возможны следующие варианты ее программирования:

1. Микросхемы этой памяти программируются на программаторе и потом распаиваются на плату или устанавливаются в контактирующее устройство.
2. Микросхемы этой памяти программируются на плате программно с использованием команды Store Byte. В этом случае MPORT выдает на выводы A[1:0] номер байта и коммутирует заказанный байт на выводы D[7:0]. При использовании других модификаций команды Store(например, Store Word, Store Halfword) MPORT выдает на разряды адреса A[1:0] состояние, заданное полем ADDR регистра CSCON3, а на выводы D[7:0] коммутирует младший байт операнда.
3. Микросхемы этой памяти программируются на плате через порт JTAG микропроцессора. В этом случае запись в память производится командой Store Word, поэтому перед каждой записью необходимо устанавливать в разрядах 21:20 регистра CSCON3 необходимое значение адреса байта. Для процесса программирования через порт JTAG необходим специальный драйвер, который не входит в состав MC Studio.

10. УНИВЕРСАЛЬНЫЙ АСИНХРОННЫЙ ПОРТ (UART)

10.1 Общие положения

Универсальный асинхронный порт (далее UART) имеет следующие характеристики:

- по архитектуре совместим с UART 16550;
- частота приема и передачи данных – от 50 Кбод до 1 М бод;
- FIFO для приема и передачи данных имеют объем по 16 байт;
- полностью программируемые параметры последовательного интерфейса: длина символа от 5 до 8 бит; генерация и обнаружение бита четности; генерация стопового бита длиной 1, 1.5 или 2 бита;
- диагностический режим внутренней петли;
- эмуляция символьных ошибок.

Структурная схема порта UART приведена на Рисунок 10.1.

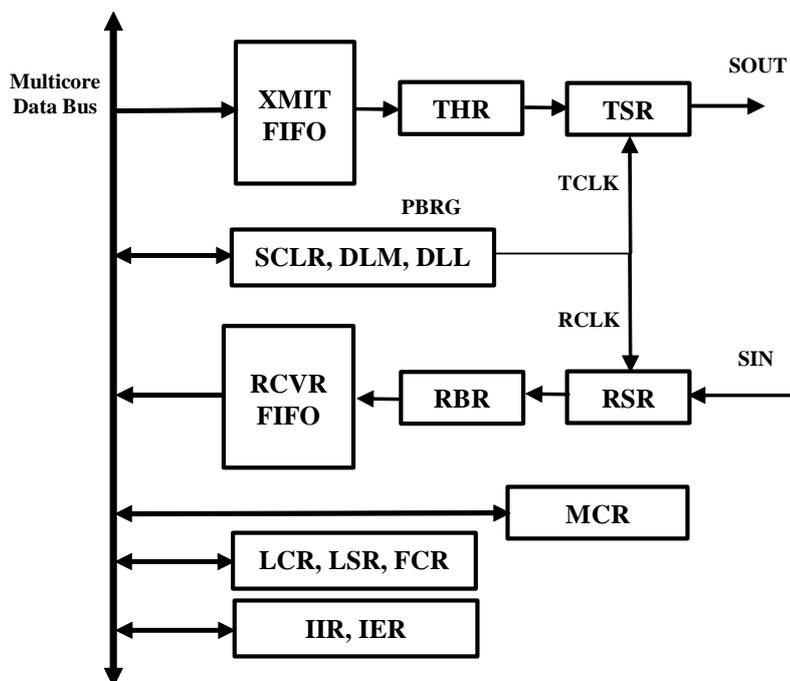


Рисунок 10.1. Структурная схема UART

Передаваемые данные записываются в регистр THR, а затем аппаратно переписываются в передающий сдвигающий регистр (TSR), если он пуст. После этого в регистр THR может быть записаны следующие данные.

После приема данных в приемный сдвигающий регистр (RSR) данные переписываются в регистр RBR, если он не занят.

Назначение внешних выводов UART приведено в Таблица 10.1.

Таблица 10.1. Внешние выводы UART

Название вывода	Тип вывода	Описание
SIN	I	Вход последовательных данных
SOUT	O	Выход последовательных данных

10.2 Регистры UART

10.2.1 Общие положения

Перечень регистров UART приведен в Таблица 10.2.

Таблица 10.2. Перечень регистров UART

Условное обозначение регистра	Название регистра	Смещение	Доступ (R-чтение, W-запись)
RBR	Приемный буферный регистр	0 (DLAB=0)	R
THR	Передающий буферный регистр	0 (DLAB=0)	W
IER	Регистр разрешения прерываний	1 (DLAB=0)	R/W
IIR	Регистр идентификации прерывания	2	R
FCR	Регистр управления FIFO	2	W
LCR	Регистр управления линией	3	R/W
MCR	Регистр управления	4	R/W
LSR	Регистр состояния линии	5	R
SPR	Регистр Scratch Pad	7	R/W
DLL	Регистр делителя младший	0 (DLAB=1)	R/W
DLM	Регистр делителя старший	1 (DLAB=1)	R/W
SCLR	Регистр предделителя (scaler)	5	W

10.2.2 Регистр LCR

Формат регистра LCR приведен в Таблица 10.3.

Таблица 10.3. Формат регистра LCR

Номер бита	Условное обозначение	Назначение
1:0	WLS (Word Length Select)	Количество бит данных в передаваемом символе: 00 - 5 бит, 01 - 6 бит, 10 - 7 бит, 11 - 8 бит.

Но-мер бита	Условное обозначение	Назначение
2	STB (Number Stop Bits)	Количество стоп-бит: 0 - 1 стоп-бит, 1 - 2 стоп-бита (для 5-битного символа стоп-бит имеет длину 1,5 бита). Приемник анализирует только первый стоп бит.
3	PEN (Parity Enable)	Разрешение генерации (передатчик) или проверки (приемник) контрольного бита: 1 – контрольный бит (паритет или постоянный) разрешен, 0 – запрещен.
4	EPS (Even Parity Select)	Выбор типа контроля (при PEN=1): 0 – нечетность, 1 – четность.
5	STP (Stick Parity)	Принудительное формирование бита паритета: 0 – контрольный бит генерируется в соответствии с паритетом выводимого символа, 1 – постоянное значение контрольного бита: при EPS=1 - нулевое, при EPS=0 – единичное.
6	SBC (Set Break Control)	Формирование обрыва линии: 0 – нормальная работа; 1 – на выходе SOUT устанавливается низкий уровень (Spacing level). Это влияет только на выход SOUT, а не на логику передачи символа.
7	DLAB (Divisor Latch Access bit)	Управление доступом к регистрам: 0 – разрешен доступ к регистрам RBR, THR, IER; 1 – разрешен доступ к регистрам DLL, DLM

Исходное состояние регистра LCR – нули.

Бит SBC используется как признак «Внимание» для приемного терминала, подключенному к выходу UART. Для того чтобы не было передано ошибочного символа при использовании бита SBC, необходимо выполнять следующую последовательность действий:

- Загрузить в регистр THR все нули по признаку THRE=1;
- Установить SBC=1 по следующему THRE=1;
- Дождаться TEMT=1.

Для восстановления нормальной передачи необходимо установить SBC=0.

10.2.3 Регистр FCR

Формат регистра FCR приведен в Таблица 10.4.

Таблица 10.4. Формат регистра FCR

Но-мер бита	Условное обозначение	Назначение
0	FEWO (FIFO Enable)	Разрешение работы XMIT и RCVR FIFO: 0 – символный режим; 1 – режим FIFO. При изменении состояния этого бита, данные из FIFO, не удаляются. Запись в биты RFR, TFR, RFTL выполняется, если FEWO=1.
1	RFR (Receiver FIFO Reset)	Установка RCVR FIFO в исходное состояние. Регистр RSR не обнуляется. После записи 1 в этот бит он автоматически сбрасывается.
2	TFR (Transmitter FIFO Reset)	Установка XMIT FIFO в исходное состояние. Регистр TSR не обнуляется. После записи 1 в этот бит он автоматически сбрасывается.
5:3	-	Резерв
7:6	RFTL (RCVR FIFO Trigger Level)	Порог заполнения RCVR FIFO (в байтах), при котором формируется прерывание: 00 – 1; 01 – 4; 10 – 8; 11 – 14.

Исходное состояние регистра FCR – нули.

10.2.4 Регистр LSR

Формат регистра LSR приведен в Таблица 10.5.

Таблица 10.5. Формат регистра LSR

Но-мер бита	Условное обозначение	Назначение
0	RDR (Receiver Data Ready)	Готовность данных. Устанавливается после приема символа данных и передачи его в регистр RBR или FIFO. Сбрасывается после чтения регистра RBR (в символном режиме) или чтения всего содержимого RCVR FIFO (в режиме FIFO)

Но-мер бита	Условное обозначение	Назначение
1	OE (Overrun Error)	Ошибка переполнения. Устанавливается, если содержимое регистра RBR не было прочитано, в сдвигающий регистр принят следующий символ и начат прием очередного символа. При этом новый символ записывается в сдвигающий регистр вместо старого. В режиме FIFO устанавливается, если после перехода порогового (trigger) уровня FIFO заполнено до конца, во входной сдвигающий регистр полностью принят следующий символ и начат прием очередного символа. При этом в FIFO ничего не передается. Бит сбрасывается при чтении содержимого регистра LSR.
2	PE (Parity Error)	Ошибка контрольного бита (паритета или фиксированного). В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. Бит сбрасывается при чтении содержимого регистра LSR.
3	FE (Framing Error)	Ошибка кадра. Устанавливается, если стоп-бит равен нулю (Spacing level). В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. После этой ошибки UART пересинхронизируется. Бит сбрасывается при чтении содержимого регистра LSR.
4	BI (Break Interrupt)	Обрыв линии. Устанавливается, если вход приема данных находится в состоянии 0 (Spacing level) не менее чем время передачи всего символа. В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. При возникновении этой ситуации, в FIFO загружается только один нулевой символ. Прием следующих символов разрешается после того, как вход приема данных перейдет в единичное состояние (Marking state) и будет принят действительный стартовый бит. Бит сбрасывается при чтении содержимого регистра LSR.
5	THRE (Transmitter Holding Register Empty)	Передающий буферный регистр пуст. Показывает, что UART готов принять следующий символ для передачи. Устанавливается, когда содержимое регистра THR передается в передающий сдвигающий регистр. Одновременно с этим генерируется прерывание THREI, если оно разрешено. Бит сбрасывается при записи символа в регистр THR. В режиме FIFO этот бит устанавливается, когда XMIT FIFO пусто, и сбрасывается, если в XMIT FIFO записывается хотя бы один символ.
6	TEMT (Transmitter Empty)	Передатчик пуст. Устанавливается, если регистры THR и TSR пусты. Имеет нулевое состояние, если хотя бы один из регистров THR и TSR не пуст. В режиме FIFO этот бит устанавливается, если нет символов ни в XMIT FIFO, ни в регистре TSR.
7	EIRF (Error in RCVR FIFO)	Наличие хотя бы одного признака ошибки в FIFO. В символьном режиме этот бит всегда равен нулю. Бит сбрасывается при чтении содержимого регистра LSR, если в FIFO нет больше признаков ошибок.

Исходное состояние бит THRE, TEMT – 1, остальных – 0.

Установка бит OE, PE, FE, VI приводит к формированию прерыванию по состоянию входа приема данных (Receiver Line Status Interrupt), если это прерывание разрешено.

10.2.5 Регистр IER

Формат регистра IER приведен в Таблица 10.6. Исходное состояние регистра IER – нули.

Таблица 10.6. Формат регистра IER

Номер бита	Условное обозначение	Назначение
0	ERBI	Разрешение прерывания по наличию принятых данных (RDAI), а также по таймауту (CTI)
1	ETBEI	Разрешение прерывания по отсутствию данных в регистре THR (THREI)
2	ERLSI	Разрешение прерывания по статусу приема данных (RLSI)
3	EMSI	Разрешение прерывания по статусу модема (MSI)
7:4	-	Резерв

10.2.6 Регистр IIR

Формат регистра IIR приведен в Таблица 10.7.

Таблица 10.7. Формат регистра IIR

Номер бита	Условное Обозначение	Назначение
0	IP (Interrupt Pending)	Признак наличия прерывания: 0 – есть прерывание; 1 – нет прерывания.
3:1	IID[2:0]	Код идентификации прерывания в соответствии с Таблица 10.8.
5:4	-	Резерв
7:6	FE	Признак разрешения работы RCVR и XMIT FIFO

Исходное состояние бита IP – 1, остальных – 0.

Таблица 10.8. Идентификация прерываний

Код поля ID[2:0]	Уровень приоритета (1 – наивысший)	Тип прерывания	Причина прерывания	Условие сброса прерывания
011	1	Статус приема данных (RLSI – Receiver Line Status Interrupt)	OE - Overrun Error; PE - Parity Error; FE - Framing Error; BI - Break Interrupt.	Чтение содержимого регистра LSR. Чтение из FIFO символа, по которому сформировано это прерывание. Обнуление FIFO.
010	2	Наличие принятых данных (RDAI – Received Data Available Interrupt)	Наличие данных в регистре RBR или достижение заданного порога FIFO	Чтение содержимого регистра RBR. Считывание данных из FIFO до уровня ниже порогового.

Код поля ID[2:0]	Уровень приоритета (1 – наивысший)	Тип прерывания	Причина прерывания	Условие сброса прерывания
110	2	Таймаут (CTI – Character Timeout Interrupt)	С момента приема последнего символа в RCVR FIFO прошло время, равное длительности передачи 4-х символов и не было ни чтения FIFO, ни приема очередного символа.	Чтение содержимого регистра RBR. Прием очередного символа. Сброс FIFO.
001	3	Регистр THR пуст (THREI – Transmitter Holding Register Empty Interrupt)	Регистр THR пуст	Чтение содержимого регистра IIR, если источником прерывания является это условие. Запись символа в регистр THR
000	4	Статус модема (MSI – Modem Status Interrupt)	Изменение состояния сигналов на входах порта nCTS, nDSR, nRI, nDCD	Чтение содержимого регистра MSR.

10.2.7 Регистр MCR

Формат регистра MCR приведен в Таблица 10.9.

Таблица 10.9. Формат регистра MCR

Номер бита	Условное обозначение	Назначение
3:0	-	Резерв
4	LOOP	Режим петли. Используется для тестирования UART. При установке этого бита в 1 выполняется следующее: На выходе SOUT UART устанавливается высокий уровень; Вход SIN UART отключается от внешнего вывода; Выход регистра TSR подключается к входу регистра RSR; В режиме петли передаваемые данные немедленно принимаются. В режиме петли все прерывания формируются как обычно.
7:5	-	Резерв

Исходное состояние регистра MCR – нули.

10.2.8 Программируемый генератор скорости обмена

В UART имеется программируемый генератор скорости обмена данными (PBRG – Programmable Baud Rate Generator). Он состоит из 8-разрядного предделителя и 16-разрядного основного делителя частоты. На вход предделителя поступает системная тактовая частота CLK, на которой работает CPU, UART и другие устройства (см. рис. 4.1). Выходная частота предделителя поступает на вход основного делителя. Выходная частота генератора PBRG в 16 раз больше частоты обмена последовательными данными.

Значение частоты на выходе предделителя равно $CLK/(SCLR + 1)$. Коэффициент деления основного делителя задается 16-разрядным регистром, который является конкатенацией регистров DLM и DLL.

Период частот передачи и приема (TCLK и RCLK) UART вычисляется по формуле: $CLK/(SCLR + 1) / ((\text{конкатенация содержимого регистров DLM и DLL}) * 16)$. Минимальная величина, которая может быть записана в регистры {DLM, DLL}, равна 1.

Исходное состояние регистров DLL, DLM, SCLR – нули.

10.3 Работа с FIFO по прерыванию

Если установлен режим работы с FIFO (EFWO=1 в регистре FCR) и разрешены прерывания по приему (бит ERI=1 в регистре IER), то в процессе приема:

- формируется прерывание, если число символов в RCVR FIFO достигло запрограммируемого порога. Это прерывание сбрасывается, если при чтении из FIFO число символов оставшихся в нем, станет меньше запрограммируемого порога;
- одновременно с этим в регистре IIR устанавливается индикатор наличия принятых данных RDAI. Индикатор обнуляется, при чтении из FIFO до снижения запрограммируемого порога;
- может возникнуть прерывание по статусу приема данных (RLSI), приоритет которого выше, чем RDA.
- бит RDR в регистре LSR устанавливается в момент передачи символа из регистра RSR в RCVR FIFO. Этот бит обнуляется при считывании из FIFO всех символов данных.

Если установлен режим работы с FIFO (EFWO=1 в регистре FCR) и разрешены прерывания по приему (ERI=1 в регистре IER), то генерируется прерывание по таймауту, если с момента приема последнего символа в RCVR FIFO прошло время, равное длительности передачи 4-х символов и за это время не было:

- ни чтения RCVR FIFO;
- ни приема в RCVR FIFO очередного символа.

При 12-битном символе и скорости передачи 300 бод, прерывание по этой причине возникнет через 160 мс.

При возникновении прерывания по таймауту оно обнуляется при считывании символа из RCVR FIFO. При этом обнуляется и таймер, генерирующий данное прерывание. Если прерывание по таймауту не возникло, то таймер таймаута обнуляется при приеме нового символа или при считывании символа из RCVR FIFO.

Если установлен режим работы с FIFO (EFWO=1 в регистре FCR) и разрешены прерывания по передаче данных (бит ETI=1 в регистре IER), то генерируется прерывание по передаче следующим образом:

- формируется прерывание THREI, если XMIT FIFO пусто. Это прерывание обнуляется, как только выполняется запись символа в регистр THR (при приеме данного прерывания в XMIT FIFO можно записать от 1 до 16 символов);
- индикатор TEMT в регистре LSR установится в единичное состояние через время равное длительности одного символа минус последний стоп бит, после установки THRE=1. Первое прерывание по передаче (если оно разрешено) формируется немедленно после установки FEWO=1.

10.4 Работа с FIFO по опросу

Если установлен режим работы с FIFO (EFWO=1 в регистре FCR) и запрещены прерывания, то обмен данными выполняется по опросу, а управление FIFO приема и передачи (RCVR, XMIT) выполняется отдельно.

В этом режиме опрос состояния RCVR и XMIT FIFO осуществляется программно, посредством считывания содержимого регистра LSR:

- бит RDR=1, пока есть данные в RCVR FIFO;
- биты OE, PE, FE, VI указывают на ошибки. Эти ошибки обрабатываются так же, как и при работе по прерыванию;
- бит THRE=1, если XMIT FIFO пусто;
- бит TEMT=1, если в XMIT FIFO и TSR нет данных.

При работе по опросу нет индикации таймаута и факта достижения порога RCVR FIFO. Однако оба RCVR и XMIT FIFO могут хранить символы данных.

11. КОНТРОЛЛЕР ИНТЕРФЕЙСА SPACEWIRE

11.1 Введение

Контроллер интерфейса SpaceWire (далее по тексту - SWIC) предназначен для обеспечения аппаратной поддержки функций внутрисистемных коммуникаций с использованием протокола SpaceWire, Блок контроллера канала SW обеспечивает дуплексную прием-передачу последовательных данных по стандарту SpaceWire.

11.2 Особенности

- разработан в соответствии с международным стандартом ECSS-E-50-12;
- обеспечивает функционирование одного дуплексного канала связи со скоростью от 2 до 240 Мбит/с (прием и передача данных);
- реализация контроллера охватывает уровни стека протоколов SpaceWire, от сигнального до сетевого (частично) уровня;
- аппаратное детектирование ошибок связи: рассоединение, ошибки четности;
- встроенные LVDS приемопередатчики в соответствии со стандартом стандарта ANSI/TIA/EIA-644(LVDS);
- встроенные в приемник LVDS резисторы-терминаторы;
- содержит десятиразрядный регистр управления синтезатором частоты передачи;
- четыре канала DMA (два канала данных и два канала дескрипторов пакетов);
- обмен данными через DMA с памятью словами по 64 бита;
- четыре линии прерываний.

11.3 Структура контроллера

Структура контроллера коммуникационного канала по стандарту SpaceWire приведена на Рисунок 11.1. Основой контроллера канала SW является DS-макроячейка, реализующая функции кодера/декодера SpaceWire. Кодер/декодер SpaceWire через драйверы LVDS подключен к физическим линиям связи.

Контроллер канала SW взаимодействует с центральным процессором через шину AMBA АНВ. Для взаимодействия с внутренней памятью 1892ВМ8Я использованы блоки DMA, поддерживающие FIFO-подобный интерфейс буферов. На шине AMBA АНВ SWIC представлен интерфейсом ведомого устройства. Через интерфейс ведомого устройства CPU может осуществлять чтение и запись регистров контроллера для определения его состояния и настройки параметров работы. Буферы приема и передачи данных подключены к

внешнему контроллеру DMA для осуществления обмена данными между SWIC и внутренней памятью 1892BM8Я.

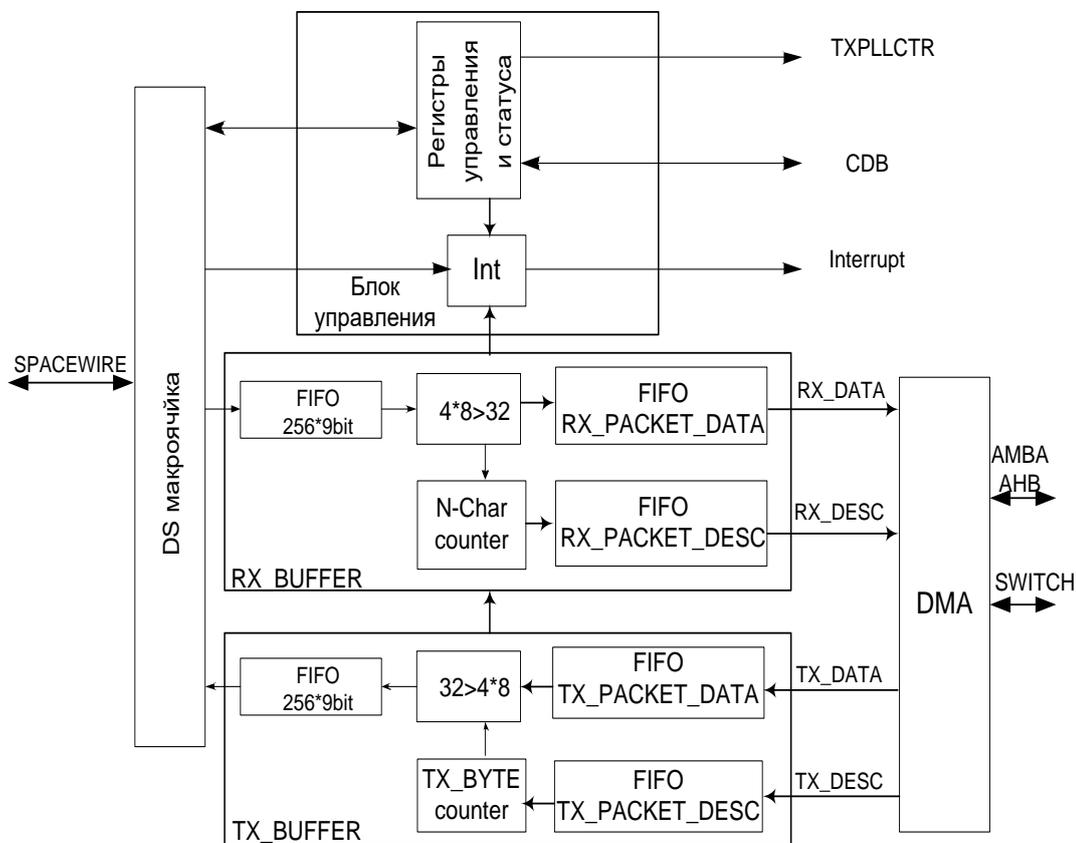


Рисунок 11.1. Структурная схема SWIC

Блок управления по командам центрального процессора задает режимы работы приемопередатчика SpaceWire (DS-макроячейки). В этом блоке содержатся программно управляемый регистр, содержащий коэффициент скорости передачи данных, и доступный программному обеспечению на чтение регистр, в который записывается коэффициент скорости приема данных. Передача управляющих кодов; контроль состояние последнего полученного извне маркера времени, кода распределенного прерывания и roll кода производится через соответствующие регистры блока управления.

Блок формирования прерываний Int формирует необходимые прерывания по состоянию DS-макроячейки.

Буфер приема RX_BUFFER имеет конвейерную организацию и состоит из двух ступеней. Сначала в FIFO_256*9bit буферизируются восьмиразрядные данные, принимаемые от DS-макроячейки. Девятый служебный разряд несет информацию о признаке символа данных N-Char или символе конца пакета EOP. Затем в блоке преобразования формируются 32-разрядные слова данных и поступают в FIFO RX_PACKET_DATA. Дескриптор пакета

формируется в счетчике N-Char_counter. При поступлении символа данных N-Char счетчик увеличивается на 1, при поступлении символа конца пакета значение счетчика переписывается в выходной буфер RX_PACKET_DESC, а сам счетчик сбрасывается в 0.

В буфер передачи TX_BUFFER с помощью канала передаваемых данных DMA записываются 32-разрядные слова данных. Содержимое пакетов и их дескрипторы буферизируются в двух FIFO TX_PACKET_DATA и TX_PACKET_DESC соответственно. Данные из буфера передачи в DS-макроячейку выдаются побайтно через FIFO 256*9bit. Преобразование 32-хразрядных слов в байты осуществляется в блоке преобразования под управлением счетчика TX_BYTE counter. В счетчик заносится размер пакета из дескриптора передаваемого пакета. После передачи каждого байта этот счетчик уменьшается на 1. По достижении счетчиком значения 0, в поток передаваемых данных вставляется символ конца пакета EOP, а в счетчик заносится размер следующего передаваемого пакета из следующего дескриптора.

Буферы приема-передачи предназначены для согласования скоростей передачи данных между коммутатором SWITCH и каналом SpaceWire.

К SWIC подключены четыре канала DMA (каналы приема/передачи в буфер 32-разрядных слов):

1. канал дескрипторов передаваемых пакетов;
2. канал данных передаваемых пакетов;
3. канал дескрипторов принимаемых пакетов;
4. канал данных принимаемых пакетов.

Описания работы блоков DMA приведено в п. 8.6.

11.4 Прерывания

Контроллер SWIC формирует три прерывания, описание которых сведено в Таблица 11.1.

Таблица 11.1. Источники прерываний в SWIC

Условное обозначение	Причина	Примечание
LINK	Соединение установлено Получен пакет	В регистре STATUS указана причина прерывания: - CONNECTED.
TIM	Получен один из трех управляющих кодов	В регистре STATUS указана причина прерывания: -GOT_TIME; -GOT_INT; -GOT_POLL.
ERR	Обнаружена ошибка в канале связи	В регистре STATUS указана причина прерывания: -DC_ERR; -P_ERR; -ESC_ERR; -CREDIT_ERR.

Схема формирования и маскирования прерываний приведена на Рисунок 11.2. Источники прерываний формируют импульс (лог. «1») признака какого-либо состояния, этот импульс фиксируется в триггере и присутствует на его выходе до тех пор, пока не будет произведен сброс прерывания записью «1» в соответствующий причине прерывания разряд регистра STATUS.

С выхода триггеров сигналы прерываний доступны процессору по чтению в регистре STATUS в разрядах [19:17].

Блок SWIC является унифицированным блоком и имеет несколько схем включения. На системный уровень может выходить одна (IRQ_ALL) или три линии (LINK, TIM, ERR) прерываний. В случае единственного прерывания, отдельное маскирование прерываний осуществляется на уровне блока через разряды регистра MODE_CR[19:17]. В другом случае отдельное маскирование прерываний от блока SWIC производится на уровне системного регистра MASKR/QSTR.

В микросхеме 1892BM8Я блоки SWIC включены по первому варианту когда в регистре QSTR отображается одна линия прерываний на каждый блок SWIC. Маскирование прерывания от блока SWIC осуществляется в регистре QSTR (см. п.п. 0).

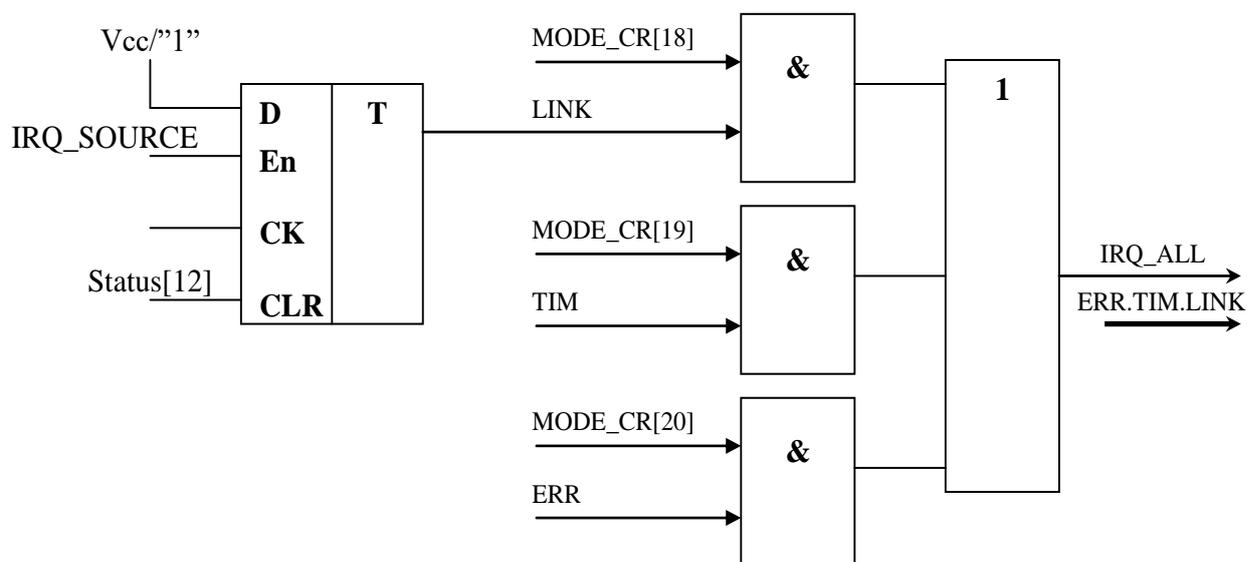


Рисунок 11.2. Схема формирования и маскирования прерываний

11.5 Программная модель

11.5.1 Общие положения

Управление контроллером осуществляется через набор регистров, доступных для записи и чтения процессору. Перечень программно-доступных регистров блока приведен в Таблица 11.2. Список адресов регистров контроллеров SWIC0 и SWIC1 приведены в Таблица 2.50.

Таблица 11.2. Регистры SWIC

Условное обозначение	Описание	Тип доступа
HW_VER	Номер версии контроллера	RD
STATUS	Регистр состояния	RD/WRC
RX_CODE	Регистр маркера времени из сети	RD
MODE_CR	Регистр режима работы	WR
TX_SPEED	Регистр коэффициента скорости передачи	WR
TX_CODE	Регистр маркера времени для передачи в сеть	WR
RX_SPEED	Регистр коэффициента скорости приема	RD
CNT_RX_PACK	Регистр счетчика принятых пакетов ненулевой длины	RD/WR
CNT_RX0_PACK	Регистр счетчика принятых пакетов нулевой длины (поряд идущие символы концов пакетов)	RD/WR
ISR_L	Регистр кодов распределенных прерываний и poll кодов (младшие 32 разряда)	RD/WR
ISR_H	Регистр кодов распределенных прерываний и poll кодов (старшие 32 разряда)	RD/WR

При работе с регистрами следует придерживаться следующих правил:

Все сигналы имеют положительную логику, это означает, что всем сигналам разрешения (управления) соответствует запись лог."1" в разряд регистра;

Разряды регистров, доступных для записи и помеченных как "Не используется", рекомендуется заполнять "0" при записи в эти регистры;

Все выходные сигналы регистров статуса имеют положительную логику, т.е. при чтении из какого-либо разряда регистра состояния лог."1" её следует трактовать как признак случившегося события или состояния;

Разряды регистров, доступных для чтения и помеченных как "Не используется", всегда будут читаться как "0".

11.5.1.1 Регистр HW_VER

Регистр чтения идентификатора версии контроллера SWIC. При чтении этого регистра выводится номер версии аппаратной реализации SWIC. Для данной микросхемы, значение этого регистра равно 0x0000_0003.

11.5.1.2 Регистр STATUS

Регистр состояния блока SWIC предназначен для оперативного контроля состояния фаз работы контроллера. Регистр доступен как на чтение, так и на запись. Заполнение регистра выполняется побитно по сигналам от DS-макроячейки, блока приема данных из канала SpaceWire, блока передачи данных в канал SpaceWire. Назначение разрядов регистра приведено в Таблица 11.3.

Таблица 11.3. Назначение разрядов регистра STATUS

Номер разряда	Условное обозначение	Описание	Тип доступа
0	DC_ERR	Признак ошибки разъединения: 1 – произошло разъединение; 0 – нет разъединения. Дополнительно используется для сброса прерывания ERR посредством записи 1 в этот разряд.	RW1C
1	P_ERR	Признак ошибки четности: 1 – произошла ошибка; 0 – нет ошибки. Дополнительно используется для сброса прерывания ERR посредством записи 1 в этот разряд.	RW1C
2	ESC_ERR	Признак ошибки в ESC последовательности (получен неверный символ см. 7.(р.51) ECSS-E50-12A): 1 – произошла ошибка; 0 – нет ошибки. Дополнительно используется для сброса прерывания ERR посредством записи 1 в этот разряд.	RW1C
3	CREDIT_ERR	Признак ошибки кредитования 1 – произошла ошибка; 0 – нет ошибки. Дополнительно используется для сброса прерывания ERR посредством записи 1 в этот разряд.	RW1C
4	-	Не используется	-
5:7	DS-state	Состояние DS-макроячейки (см. рис.22 на стр.66 ECSS-E-50-12A): 000 - Error Reset (исходное состояние); 001 - Error Wait; 010 – Ready; 011 – Started; 100 – Connecting; 101 – Run. Используется для тестирования	R
8	RX_BUF_FULL	Буфер приема полон: 1 – Заполнен полностью; 0 – Не полон или пуст (исходное состояние). Используется для тестирования	R
9	RX_BUF_EMPTY	Буфер приема пуст: 1 – Пуст (исходное состояние); 0 – В буфере есть данные. Используется для тестирования	R
10	TX_BUF_FULL	Буфер передачи полон: 1 – Заполнен полностью; 0 – Не полон или пуст (исходное состояние). Используется для тестирования	R
11	TX_BUF_EMPTY	Буфер передачи пуст: 1 – Пуст (исходное состояние); 0 – В буфере есть данные. Используется для тестирования	R

Номер разряда	Условное обозначение	Описание	Тип доступа
12	GOT_FIRST_BIT	Состояние принятого первого бита из канала SpaceWire: 1 – бит принят; 0 – приемный канал не активен (не было изменений сигналов во входном канале SpaceWire после подачи входного сигнала nRST или в связи с ошибкой в приемном канале). Запись «1» в этот бит сбрасывает прерывание INT_LINK, если оно было установлено, но не изменяет состояние GOT_FIRST_BIT. Исходное состояние «0»	RW1C
13	CONNECTED	1 - Соединение установлено (DS-макроячейка находится в состоянии Run). 0 – Нет соединения. Дополнительно используется для сброса прерывания LINK посредством записи 1 в этот разряд	RW1C
14	GOT_TIME	1 - Принят маркер времени из сети. 0 – не было приема маркера времени Дополнительно используется для сброса прерывания TIM посредством записи 1 в этот разряд	RW1C
15	GOT_INT	1 - Принят код распределенного прерывания из сети 0 – не было приема кода Дополнительно используется для сброса прерывания TIM посредством записи 1 в этот разряд	RW1C
16	GOT_POLL	1 - Принят poll код из сети 0 – не было приема кода Дополнительно используется для сброса прерывания TIM посредством записи 1 в этот разряд	RW1C
17	FL_CONTROL	Признак занятости передачей управляющего кода: 1 - Код в процессе передачи; 0 - Код передан.	R
18	IRQ0	Отображает состояние запроса прерывания LINK.	R
19	IRQ1	Отображает состояние запроса прерывания ERR	R
20	IRQ2	Отображает состояние запроса прерывания TIM	R
21	BCC_11	Получено широковещательное сообщение типа «11» RW1C	
22	BCC_01	Получено широковещательное сообщение типа «01» RW1C	
23:31		Не используется.	

После начального сброса содержимое регистра 0x0000_0A00.

В данном разделе используются следующие обозначение типа доступа:

- R – только чтение;
- RW1C – Чтение, запись 1 для сброса. Доступен только по чтению и установки разряда в исходное состояние. Последняя операция выполняется посредством записи «1» в этот разряд.

11.5.1.3 Регистр RX_CODE

Регистр принятого из сети маркера времени, кода распределенного прерывания и poll кода. Назначение разрядов регистра приведено в Таблица 11.4.

Таблица 11.4. Назначение разрядов регистра принятых управляющих кодов

Номер разряда	Условное обозначение	Описание
7:0	TIME_CODE	Значение маркера времени, принятого из сети последним
15:8	INT_CODE	Значение кода распределенного прерывания, принятого из сети последним
23:16	POLL_CODE	Значение poll кода, принятого из сети последним
31:24	Не используются	-

После начального сброса содержимое регистра 0x0000.

Содержимое регистра обновляется автоматически. Процессор может прочитать содержимое этого регистра после получения прерывания SWICx_TIM или в любой другой момент времени.

11.5.1.4 Регистр MODE_CR

Назначение разрядов регистра управления режимами работы контроллера SWIC приведено в Таблица 11.5.

Таблица 11.5. Назначение разрядов регистра MODE_CR

Номер разряда	Условное обозначение	Назначение
0	LinkDisabled	Установка LinkDisabled для блока DS-кодирования
1	AutoStart	Установка Autostart для блока DS-кодирования
2	LinkStart	Установка LinkStart для блока DS-кодирования
3	RX_RST	Установка блока приема в начальное состояние: 1 – переводит блок приема в состояние начальной установки и удерживает его в этом состоянии; 0 – разрешается работа блока, если не установлен SWCORE_RST.
4	TX_RST	Установка блока передачи в начальное состояние: 1 – переводит блок передачи в состояние начальной установки и удерживает его в этом состоянии; 0 – разрешается работа блока, если не установлен SWCORE_RST.
5	DS_RST	Установка DS-макроячейки в начальное состояние: 1 – переводит всю макроячейку в состояние начальной установки и удерживает её в этом состоянии; 0 – разрешается работа блока, если не установлен SWCORE_RST.

Номер разряда	Условное обозначение	Назначение
6	RDY_MODE	Режим формирования признака готовности обмена данными с DMA SWIC: 0 – штатный режим работы. Признак готовности SWIC формирует аппаратно; 1 – признак готовности установлен в 1. Используется для приведения DMA SWIC в исходное состояние, если: произошло разъединение; необходимо программно остановить SWIC и его DMA
7	-	Не используется
8	WORK_TYPE	Тип режима работы: 1 – рабочий; 0 – тестовый.
9	TX_single	Режим Single на передачу (не реализовано в 1892BM8Я рекомендовано устанавливать в 0)
10	RX_single	Режим Single на прием (не реализовано в 1892BM8Я рекомендовано устанавливать в 0)
11	LVDS_Loopback	Loopback (перед LVDS) (не реализовано в 1892BM8Я рекомендовано устанавливать в 0)
12	CODEC_Loopback	Loopback (перед кодеком) (не реализовано в 1892BM8Я рекомендовано устанавливать в 0)
13	DS_Loopback	Loopback (перед DS-макрослойкой) (не реализовано в 1892BM8Я, рекомендовано устанавливать в 0)
14	TIMING_WR_EN	Разрешение записи в поле TIMING регистра TX_SPEED: 0 – запрещено; 1 – разрешено
15	AUTO_TX_SPEED	Признак автоматического установления скорости передачи после соединения: 0 – соединение устанавливается при скорости передачи, указанной в поле TX_SPEED[7:0]; 1 - соединение устанавливается при скорости передачи, указанной в поле TX_SPEED[17:10]. После установления соединения автоматически скорость передачи устанавливается по содержимому поля TX_SPEED[7:0]
16:17	-	Не используется
18	LINK_MASK	Маска прерывания LINK: 1 – линия прерывания будет отображаться на IRQ_ALL 0 – прерывание замаскировано
19	ERR_MASK	Маска прерывания ERR: 1 – линия прерывания будет отображаться на IRQ_ALL 0 – прерывание замаскировано
20	TIM_MASK	Маска прерывания TIM: 1 – линия прерывания будет отображаться на IRQ_ALL 0 – прерывание замаскировано
21:31		Не используется.

Рекомендуется разрешать AutoStart и/или LinkStart только после того, как настроены каналы DMA. После того, как в результате разрешения AutoStart или LinkStart блок DS-кодирования установил соединение, буфер передачи в сеть начинает читать данные из канала DMA TXD_Ch. Если из DMA прочитаны все данные, то далее в сеть передаются Null. Соединение при этом не прекращается. Соединение прекращается, если процессор осуществляет запись единицы в бит LinkDisabled.

В рабочем режиме (WORK_TYPE=1), согласно стандарту SpaceWire, ошибки, возникающие до установки соединения, процессору не выдаются (не возникают прерывания, не устанавливаются биты регистра состояния (STATUS)). При тестовом режиме работы (WORK_TYPE=0), почти все ошибки, возникающие до установки соединения, выдаются процессору (возникают прерывания, устанавливаются биты регистра состояния (STATUS)). В данной версии контроллера тестовый режим реализован не полностью. На ошибки типа 'принят неожиданный символ', 'истёк тайм-аут 12.8 мкс' в тестовом режиме не выдаются прерывания и не устанавливаются биты в регистре состояния (STATUS).

11.5.1.5 Регистр TX_SPEED

Назначение разрядов регистра TX_SPEED приведено в Таблица 11.6.

Таблица 11.6. Назначение разрядов регистра TX_SPEED

Номер разряда	Условное обозначение	Назначение
0:7	TX_SPEED	Скорость передачи данных в канал связи SpaceWire, Мбит/с (при условии, что на вход ХТІ2 поступает тактовая частота 2,5 МГц): 0x 00 – 2,5; 0x 01 – 5; 0x 02 – 10; 0x 03 – 15; 0x 04 – 20; ... 0x 31 – 245; 0x 32 – 250 При MODE_CR[15]=0 для установления соединения в это поле необходимо записать код 0x02 (10 Мбит/с)
8	PLL_TX_EN	Разрешение работы PLL_TX: 0 – PLL_TX выключена; 1 – PLL_TX включена
9	LVDS_EN	Разрешение работы приемопередатчиков LVDS: 0 – LVDS выключены и находятся в режиме POWER DOWN; 1 – LVDS включены
10:17	TX_SPEED_CONNECT	Скорость передачи данных в канал связи SpaceWire при установлении соединения. По стандарту SpaceWire при соединении скорость передачи должна быть 10+-1 Мбит/с. Поэтому при инициализации SWIC в это поле необходимо записать код 0x02. Используется только при MODE_CR[15]=1, иначе содержимое этого поля игнорируется

Номер разряда	Условное обозначение	Назначение
18	PLL_TX_EN	Разрешение работы PLL_TX: 0 – PLL_TX выключена; 1 – PLL_TX включена Используется только при MODE_CR[15]=1, иначе содержимое этого поля игнорируется.
19	LVDS_EN	Разрешение работы приемопередатчиков LVDS: 0 – LVDS выключены и находятся в режиме POWER DOWN; 1 – LVDS включены Используется только при MODE_CR[15]=1, иначе содержимое этого поля игнорируется
20:23	TIMING	Для того, чтобы SWIC обрабатывал временные интервалы в соответствии со стандартом SpaceWire, в это поле необходимо записать код, равный тактовой частоте работы CPU, деленной на 10. Например: если тактовая частота CPU равна 80 МГц, то в это поле необходимо записать код 0x8; если тактовая частота CPU равна 70 МГц, то в это поле необходимо записать код 0x7. Исходное содержимое этого поля - 0xA
24:31	-	Не используется.

Скорость передачи данных в канал связи SpaceWire устанавливается при помощи PLL_TX0 и PLL_TX1, на вход которых поступает частота ХТІ2.

11.5.1.6 Регистр TX_CODE

Регистр записи передаваемых в канал SpaceWire кодов управления (маркера времени, кода прерывания и кода подтверждения прерывания). Сразу же после записи в регистр начинается передача в DS-макроячейку и далее в канал, младших 8 бит содержимого этого регистра. Старшие разряды регистра [31:8] не используются и должны быть установлены в 0. Регистр доступен по записи. Назначение разрядов регистра TX_CODE приведено в Таблица 11.7

Таблица 11.7. Назначение разрядов регистра TX_CODE

Номер разряда	Назначение	Тип
---------------	------------	-----

5:0	Значение управляющего кода для отправки в сеть	W
7:6	Тип управляющего кода для отправки в сеть: 00 – маркер времени; 01 – код прерывания; 10 – код подтверждения прерывания.	W

11.5.1.7 Регистр RX_SPEED

Назначение разрядов регистра RX_SPEED приведено в Таблица 11.8.

Таблица 11.8. Назначение разрядов регистра RX_SPEED

Номер разряда	Условное обозначение	Назначение
0:7	RX_SPEED	Скорость приема данных из канала связи SpaceWire = $RX_SPEED * F / 128$ Мбит/с, где F – тактовая частота работы CPU. Например, если RX_SPEED = 128 (десятичное) и F=100 МГц, то скорость приема данных равна 100 Мбит/с
8:31	-	Не используется.

Исходное состояние регистра – нули.

11.5.1.8 Регистры CNT_RX_PACK и CNT_RX0_PACK

В регистрах CNT_RX_PACK и CNT_RX0_PACK доступны счетчики принятых пакетов. Значение регистра CNT_RX_PACK увеличивается на 1 каждый раз, когда из DS макроячейки прочитывается символ конца пакета, если ему предшествовал хотя бы один символ данных, что означает принятие пакета ненулевой длины. Значение регистра CNT_RX0_PACK увеличивается на 1 при приеме символа EOP вслед за символом EOP, что эквивалентно принятию пакета нулевой длины.

При записи, значение регистра обнуляется. Процессор может обнулить содержимое этих регистров для того, чтобы начать счет пакетов заново. Рекомендуется выполнять сброс регистров каждый раз при выполнении новой настройки DMA для передачи данных в сеть.

11.5.1.9 Регистры кодов распределенных прерываний и roll кодов (ISR_L, ISR_H)

Адреса регистров 0x12, 0x14. Пара регистров образует 64-х разрядный регистр ISR [63:0]. В регистр ISR_L отображается младшая [31:0] часть регистра ISR, в ISR_H отображается старшая [63:32] часть регистра ISR.

Регистр ISR содержит информацию о принятых и отправленных кодах распределенных прерываний и roll кодах. Если из сети получено распределенное прерывание, то бит регистра ISR, соответствующий номеру распределенного прерывания устанавливается в 1 (если он уже не был установлен в 1). Аналогично, если в регистр TX_CODE осуществляется запись кода распределенного прерывания, соответствующий бит регистра ISR устанавливается в 1.

Если из сети получен roll код, то бит регистра ISR, соответствующий номеру roll кода устанавливается в 0 (если он уже не был установлен в 0). Аналогично, если в регистр

TX_CODE осуществляется запись roll кода, соответствующий бит регистра ISR устанавливается в 0.

Необходимость данного регистра связана с тем, что коды распределенных прерываний и roll коды могут приходиться из сети очень часто, быстрее, чем процессор может среагировать на очередное прерывание и прочитать код. Если даже в регистре RX_CODE код распределенного прерывания или roll код будет перезаписан следующим, информация о нем не будет утрачена – она сохранится в регистре ISR.

11.6 Работа со SWIC. Пакеты данных, дескрипторы пакетов.

В этой главе описывается формирование пакетов данных в памяти MCB для передачи в канал, формат пакетов данных, дескрипторов, передача данных из памяти MCB в канал SpaceWire, прием данных из канала SpaceWire в память, интерпретирование принятых данных, системные сообщения.

11.6.1 Расположение данных в памяти.

Рассмотрим пример (см. Рисунок 11.3) представления данных в системной памяти, если для данных выделен один сегмент памяти. Пусть в системную память из канала SpaceWire было записано 3 пакета. Первый пакет имеет размер 10 байт и заканчивается символом EOP. Второй пакет имеет размер 8 байт и заканчивается символом EEP. Третий пакет имеет размер 11 байт и заканчивается символом EOP. Собственно пакеты хранятся в сегменте памяти, выделенном процессором для записи данных. Первый и третий пакет дополнены двумя и одним байтом соответственно, для выравнивания по границам 32-х разрядных слов.

Дескрипторы хранятся в сегменте памяти, выделенном процессором для записи дескрипторов. В дескрипторе указаны размеры пакетов в байтах – 0Ah, 08h и 0Bh соответственно. В дескрипторах хранится так же информация о типе конца пакета. В разряд 31 дескриптора записывается 1, что указывает процессору на то, что дескриптор заполнен действительными данными.

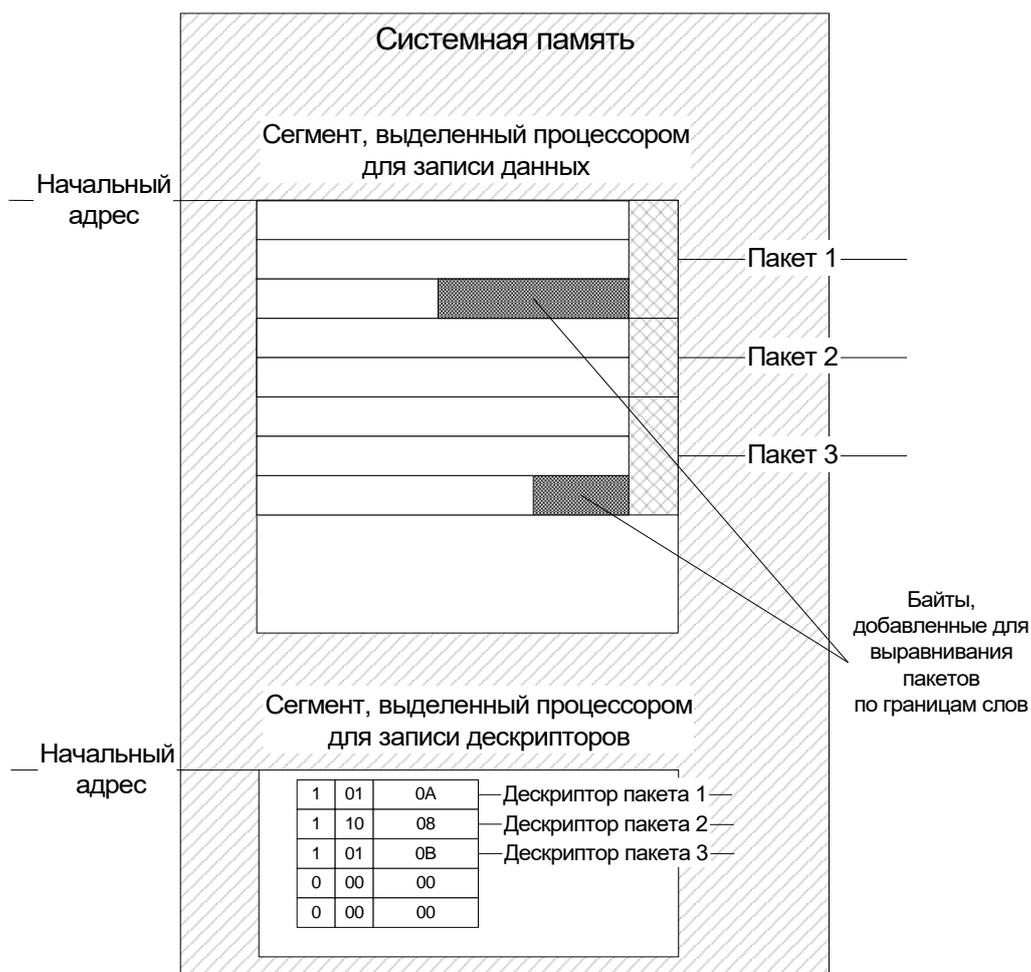


Рисунок 11.3. Представление данных в памяти (пример)

11.6.2 Схема обработки данных процессором

В данном примере пакеты могут быть обработаны процессором в соответствии со следующей схемой. Процессор прочитывает первое слово из блока, выделенного для дескрипторов – первый дескриптор. По дескриптору он определяет тип конца пакета, в соответствии с этим решает, как его обрабатывать. По дескриптору он определяет действительный размер пакета и извлекает данные, относящиеся к пакету 1. Для того чтобы вычислить начальный адрес второго пакета к начальному адресу блока данных добавляется размер первого пакета и выполняется округление до границы ближайшего слова. После того, как первый пакет полностью обработан, процессор прочитывает дескриптор второго пакета. Обработка остальных пакетов выполняется аналогично. Процесс обработки очереди пакетов заканчивается, когда 31 разряд очередного дескриптора равен 0.

11.6.3 Прием данных из канала SpaceWire.

Маршрут принимаемых данных и схема их обработки приведены на Рисунок 11.4.

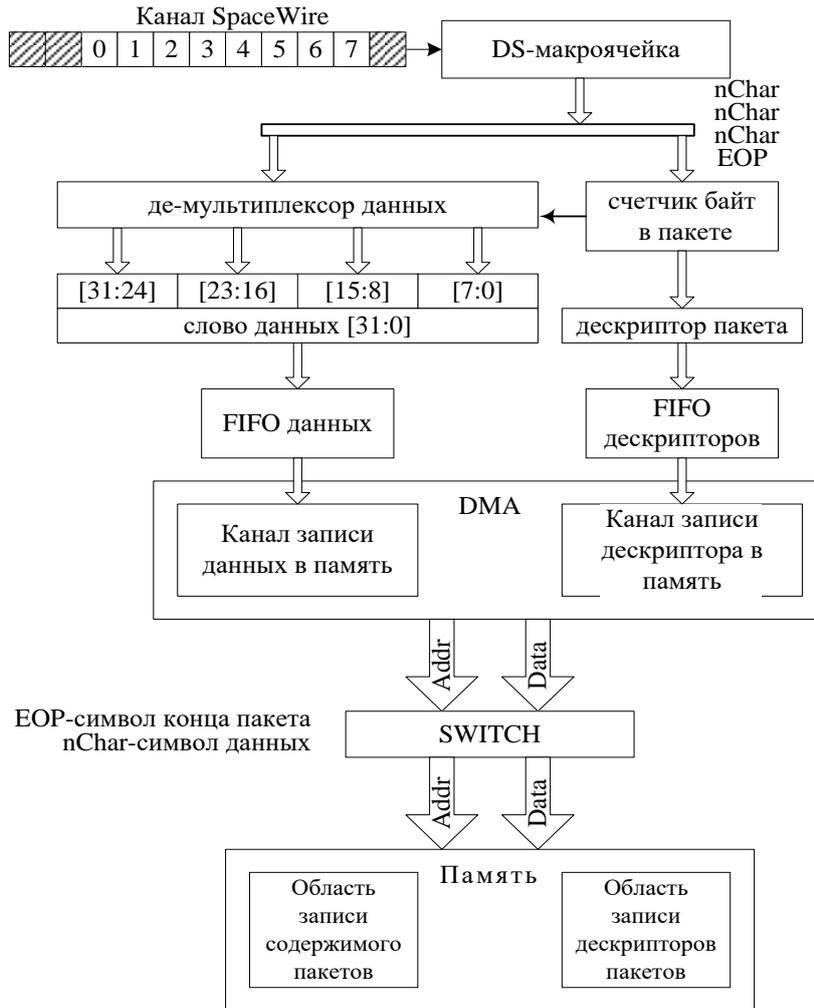


Рисунок 11.4. Схема приема данных из канала SpaceWire

Из DS-линков в DS-макроячейку символы данных поступают последовательно (побитно). DS-макроячейка выделяет из последовательности приходящих символов символы данных и символы концов пакетов и передает их в блок приема. По DS-линку байты данных передаются младшими разрядами вперед.

Передача всех разрядов символа (9 разрядов, из них 8 используется для представления собственно байта данных, девятый бит является дополнительным и указывает, является ли этот байт символом данных nChar или символом конца пакета EOP) от DS-макроячейки в блок приема осуществляется в параллельном коде.

Подсчет числа символов nChar и формирование дескриптора при приеме символа конца пакета осуществляется в счетчике байт в пакете.

В блоке приема из байтов данных формируются слова разрядности 32. При формировании слов первый поступивший байт размещается в разрядах 7:0, второй – в разрядах 15:8, тре-

тий – в разрядах 23:16 и четвертый – в разрядах 31:24. Распределение символов данных по разрядам слова данных производится по счетчику байт.

Для того чтобы сократить загрузку процессора в ходе последующей обработки пакетов данных, в этом блоке выполняется выравнивание границ пакетов по границам слов и формирование дескрипторов пакетов, позволяющих процессору распознать границы отдельных пакетов.

Собственно пакеты данных и дескрипторы пакетов могут храниться в различных областях памяти. Местоположение этих областей в памяти определяется процессором при настройке каналов DMA. Дескрипторы пакетов записываются в память друг за другом и логически организованы в очередь.

11.6.4 Передача данных в канал SpaceWire

Процесс передачи пакетов данных из системной памяти в канал через контроллер, а также преобразование форматов данных показаны на Рисунок 11.5.

Пакеты данных загружаются из системной памяти в буфер передачи через каналы DMA чтения данных из памяти и чтения дескриптора из памяти.

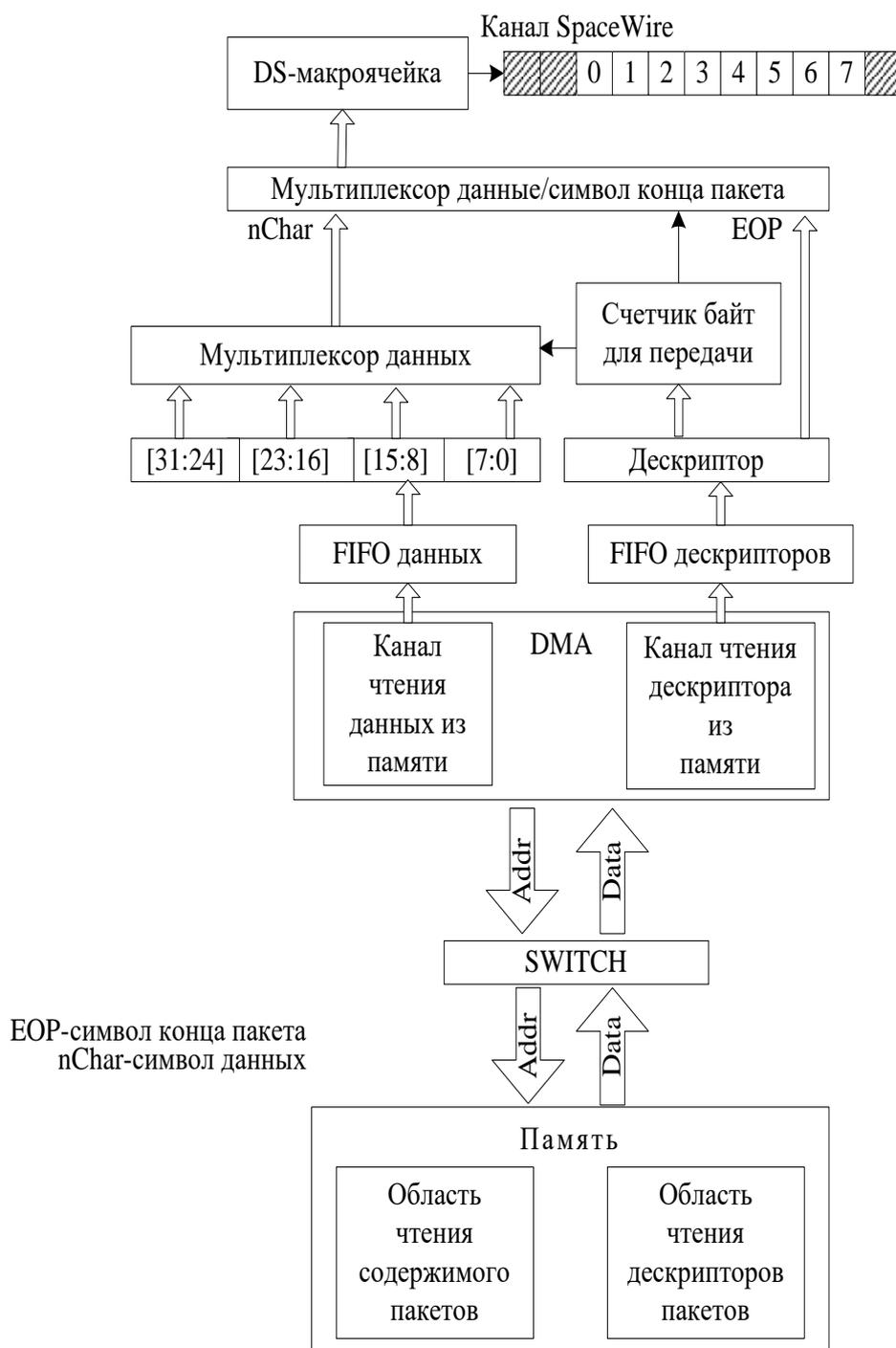


Рисунок 11.5. Передача данных из системной памяти в DS-линк

Блок передачи разбивает слова на отдельные байты. При этом из последовательности байтов в соответствии с информацией, содержащейся в дескрипторе, удаляются “лишние” байты – байты, добавленные для выравнивания пакетов по границам слов, и вставляются символы концов пакетов EOP или EEP. Если в DS-линк передаются пакеты, сгенерированные в данном узле, то предполагается, что они всегда должны заканчиваться символом EOP. Однако пакеты могут проходить через данный процессорный модуль транзитом. В этом случае они могут заканчиваться символом EEP. Коды маркеров EOP или EEP формируются контроллером аппаратно, на основании кодов дескриптора пакета на передачу

(разряды 29:30 дескриптора пакета). Сами дескрипторы пакетов на передачу в сеть из основной памяти формируются программно.

Распаковка 32-разрядного слова в последовательность из 4 байт при передаче из контроллера выполняется по правилу, согласованному с правилом упаковки байтов при приеме данных из канала в контроллер.

Блок передачи вначале передает в DS-макроячейку байт данных, находящийся в разрядах 7:0 слова, затем байт, находящийся в разрядах 15:8, затем байт, находящийся в разрядах 23:15, затем байт из разрядов 31:24 тридцатидвухразрядного слова.

Символы данных и концов пакетов передаются блоком передачи в блок DS-макроячейки. DS-макроячейка преобразует полученные символы в соответствии с алгоритмом DS кодирования и передает их в канал. Символы передаются младшими разрядами вперед.

11.6.5 Выравнивание границ пакетов по границам слов

Рассмотрим выравнивание пакетов данных на примере Рисунок 11.3. Если очередное слово данных сформировано не полностью (действительными данными заполнены один, два или три байта слова), а следующий символ в последовательности – символ конца пакета, то заполнение данного слова прекращается. Первый символ следующего пакета будет записан в первый байт нового слова. Действительный размер пакета в байтах записывается в дескриптор пакета. Это позволяет процессору при обработке пакета исключить из рассмотрения “лишние” байты – байты, добавленные для выравнивания пакетов по границам слов. В дескриптор заносится также информация о типе конца пакета (нормальный конец пакета – EOP, или признак завершения пакета с ошибкой – EEP).

11.6.6 Формат дескриптора пакета

Дескриптор пакета имеет следующую структуру:

31 – признак заполнения дескриптора действительными данными. Бит учитывается как при приеме пакетов (позволяет процессору идентифицировать конец очереди дескрипторов в памяти) так и при передаче пакетов. До запуска приёма, все 31-е биты дескрипторов области приёма должны быть обнулены программно; DMA не обнуляет 31-е биты не принятых дескрипторов, DMA только записывает ‘1’ в 31-е биты принятых дескрипторов.

30:29 – тип конца пакета:

01 – EOP;

10 – EEP.

28:25 – не используется (0000)

24:0 – размер пакета в байтах.

Слова данных из буфера приема передаются в канал DMA записи данных в память. Дескрипторы из блока приема передаются в канал DMA записи дескриптора в память. Блок DMA записывает данные и дескрипторы в системную память в соответствии с настройками, выполненными процессором.

Процессор для канала записи дескрипторов в память определяет начальный адрес блока памяти и размер блока памяти. Для записи собственно пакетов данных в память может быть задан один блок памяти (так же, как и для канала записи дескриптора в память) или последовательность блоков памяти, физически расположенных в разных местах памяти.

11.6.7 Маркеры времени

Маркеры времени - системная функция стандарта SpaceWire. Они предназначены для синхронизации системных часов взаимодействующих систем.

При передаче данных маркеры времени имеют наивысший приоритет. Маркер времени записывается в регистр TX_CODE. Этот же регистр используется и для передачи в сеть кодов распределенных прерываний и roll-кодов. После записи DS-макроячейка дожидается окончания передачи символа данных или служебного символа и начинает передачу маркера времени, после окончания передачи маркера времени продолжается передача потока данных. Для того, чтобы не произошло утраты управляющего символа в результате перезаписи его в регистре TX_CODE следующим управляющим символом до передачи в сеть необходимо программно отслеживать значение бита [17] (FL_CONTROL) регистра состояния. Если этот бит установлен в 0, то SWIC готов к передаче следующего управляющего символа. Если в момент записи в регистр TX_CODE нового значения этот бит был установлен в 1, то существует вероятность того, что предыдущий управляющий код не будет передан в сеть.

В канале приема маркер времени выделяется из потока данных и при безошибочном приеме заносится в регистр RX_CODE (разряды 7 - 0) с выставлением соответствующего прерывания, если маркер времени является корректным. Корректным признается маркер времени на 1 больше, чем предыдущий, если предыдущий маркер времени имел значение меньше 63. Если предыдущий маркер времени имел значение 63, то следующий корректный маркер времени должен иметь значение 0. Если маркер времени не является корректным, то его значение так же заносится в соответствующие разряды регистра RX_CODE, однако, прерывание для процессора в данном случае не устанавливается. В начале работы устройства или после сброса маркер времени со значением 1 рассматривается как корректный.

11.6.8 Коды распределенных прерываний

Коды распределенных прерываний являются расширением стандарта SpaceWire. Механизм передачи кодов распределенных прерываний в сеть аналогичен механизму передачи маркеров времени.

При приеме кода распределенного прерывания из сети выполняются следующие действия.

Если соответствующий коду распределенного прерывания разряд регистра ISR установлен в 1, то данное прерывание игнорируется (никаких действий не выполняется). Если соответствующий разряд регистра установлен в 0, то в него записывается 1 и код распределенного прерывания записывается в разряды [15:8] регистра RX_CODE. В этом случае устанавливается прерывание.

11.6.9 Poll-коды

Poll-коды являются расширением стандарта SpaceWire. Механизм передачи poll-кодов в сеть аналогичен механизму передачи маркеров времени.

При приеме poll-кода прерывания из сети выполняются следующие действия. Если соответствующий poll-коду разряд регистра ISR установлен в 0, то данный код игнорируется (никаких действий не выполняется). Если соответствующий разряд регистра установлен в 1, то в него записывается 0 и код записывается в разряды [23:16] регистра RX_CODE. В этом случае устанавливается прерывание.

11.6.10 Установка скорости передачи данных

Для включения блока синтезатора частоты в разряды PLL_CTR[9:8] регистра TX_SPEED необходимо записать "11". Для снижения тока потребления при неиспользуемом контроллере в эти разряды нужно записывать "00" для отключения синтезатора частоты. Перед установкой соединения в регистр TX_SPEED[7:0] необходимо записать код, соответствующий скорости передачи 10 Мбит/с. В соответствии со стандартом Space Wire установление соединения необходимо производить на этой скорости. Выдержать паузу не менее 20 мс для выхода на рабочий режим синтезатора частоты передачи

Изменение рабочей скорости передачи разрешается только после установления соединения с удаленным контроллером. Рекомендуется применять адаптивный метод определения максимальной скорости передачи. После разрыва соединения в соответствии со стандартом SpaceWire необходимо перед повторным соединением установить скорость передачи 10 Мбит/с.

11.6.11 Установление соединения

Для разрешения процесса установки соединения необходимо записать лог "0" в разряд LinkDisabled и "1" в разряд LinkStart регистра режима работы MODE_CR – для запуска канала, WORK_TYPE = "1".

Критерием успешного установления соединения является прохождение прерывания INT_LINK и отсутствие прерывания INT_ERR.

После обнаружения прерывания INT_LINK, необходимо считать регистр STATUS и проверить биты DC_ERR, P_ERR, ESC_ERR, CREDIT_ERR на равенство «0». Бит CONNECTED должен быть равен «1». При выполнении этих условий - соединение с удаленной системой установлено. Для работы «по-прерываниям» от блока SWIC необходимо разрешить прохождение прерывания INT_LINK записью «1» в [18] разряд регистра MODE_CR.

Для активации функции автоматического восстановления соединения после обрыва связи дополнительно в разряд AutoStart записывается «1». В этом случае после разъединения из-за ошибок будет выставлено прерывание INT_ERR (прерывание должно быть разрешено в регистре MODE_CR) и система будет производить повторное установление соединения. Однако следует учитывать что повторное соединение на скорости выше 10 Мбит/с не предусмотрено стандартом SpaceWire, вследствие этого при обнаружении разъединения необходимо снова установить скорость передачи равной 10 Мбит/с.

11.6.12 Определение скорости приема данных

Оценка скорости приема выполняется при разрешенной работе канала и установленном соединении. Скорость приема данных отображается в регистре RX_SPEED[7:0]. После установления соединения скорость должна составлять 10 ± 1 Мбит/с при этом регистр RX_SPEED[7:0] будет равен $0x00000001 \pm 1$ МЗР. Разряды регистра с 8 по 31 не используются и при чтении содержат 0.

11.6.13 Рекомендации по подключению failsafe резисторов

Приемники LVDS микросхемы 1892ВМ8Я не обладают свойствами failsafe. То есть, на их выходе не обеспечивается определенное состояние, при отсутствии входного сигнала. Это может приводить к ложному соединению при обрыве входного кабеля или при его отсутствии.

Для обеспечения функции failsafe необходимо через резисторы $1,3 \text{ кОм} \pm 5\%$ подключить:

- входы DIN_p, SIN_p к шине GND микросхемы;
- входы DIN_n, SIN_n к напряжению электропитания PVDD микросхемы.

12. МНОГОФУНКЦИОНАЛЬНЫЙ БУФЕРИЗИРОВАННЫЙ ПОСЛЕДОВАТЕЛЬНЫЙ ПОРТ (MFBSPP)

12.1 Особенности MFBSPP

Многофункциональный буферизированный последовательный порт (MFBSPP) позволяет вести обмен параллельно-последовательным кодом с другими микросхемами по линковому интерфейсу (LPORT), либо обмениваться аудиоданными и управляющей информацией с внешними устройствами по последовательным интерфейсам в дуплексном режиме, с возможностью независимой настройки приёмника и передатчика. Гибкость последовательного порта позволяет организовывать передачу с широким спектром внешних устройств. Дополнительно порт позволяет организовывать обмен данными с внешними устройствами, используя входы-выходы общего назначения. На Рисунок 12.1 изображен MFBSPP с каналом DMA (работающим либо на приём либо на передачу) в составе микропроцессора. Если канал DMA MFBSPP работает в направлении передачи, то осуществляется передача данных внешнему устройству, подключенному к микропроцессору через MFBSPP. Если канал DMA MFBSPP работает в направлении приёма, то осуществляется приём данных из внешнего устройства, подключенного к микропроцессору через MFBSPP.

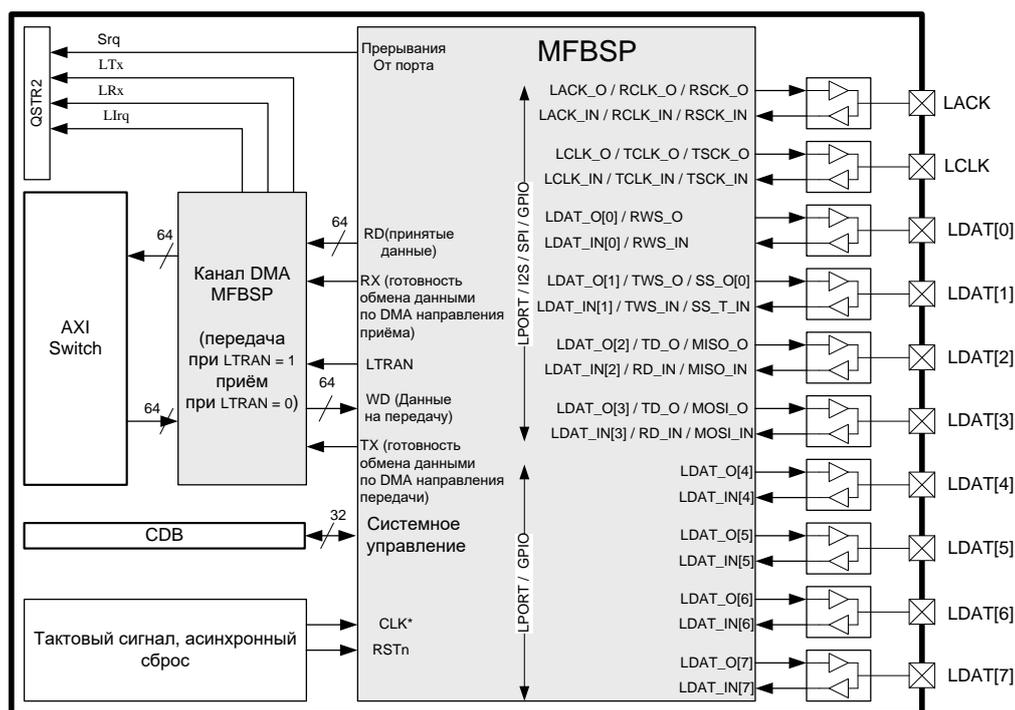


Рисунок 12.1. MFBSPP в составе микропроцессора

12.1.1 Основные характеристики MFBSР в режиме I2S

В режиме I2S порт позволяет вести дуплексный обмен последовательными данными с внешними устройствами, используя следующие форматы передачи данных: Left-Justified, Right-Justified (при программной предобработке данных), DSP, I2S;

Приёмник и передатчик:

Поддерживается независимая настройка передатчика и приёмника, что позволяет организовать одновременные передачу и прием последовательных данных по разным последовательным интерфейсам и на различных частотах;

Возможен перевод приёмника в зависимый от передатчика режим (когда приемник использует тактовый и контрольный сигналы передатчика), что позволяет задействовать меньшее количество выводов;

Направление выводов данных и тактового сигнала задается программно, что заметно повышает гибкость при использовании порта;

Тактовые сигналы как приемника, так и передатчика можно формировать аппаратными средствами порта MFBSР, либо принимать их от внешнего устройства;

В данной версии MFBSР формировать управляющие сигналы можно только средствами порта (работа только в режиме ведущего устройства)

Темп передачи данных:

Передача данных в режиме I2S может вестись на частотах от $CLK/2$ (при CLK не более 60 МГц) до $CLK/4 - CLK/(2 \cdot 2^{10})$ (при CLK более 60 МГц). Здесь и далее, CLK – частота, формируемая PLL_CORE;

Частоту контрольного сигнала (TWS/RWS) можно задавать в пределах от $ICLK/2$ до $ICLK/(2 \cdot 2^5)$, где $ICLK$ – рабочая частота интерфейса ($TCLK$ для передатчика и $RCLK$ для приемника);

Приём и передача данных:

Порт позволяет принимать и передавать слова длиной от 2-х до 32-х бит, как младшим, так и старшим битом вперед;

В режиме I2S поддерживается режим паковки/распаковки 32-х разрядного слова в два 16-ти разрядных с автоматическим определением левого/правого канала;

Специальная логика обмена позволяет обнулять или дополнять старшим разрядом избыточные биты при чтении принятых слов длиной меньше 32 в обычном режиме и длиной меньше 16 в режиме паковки;

Буферы приёма и передачи:

Используется буферизация в направлении передачи на 4 32-разрядных слова;

Используется буферизация в направлении приёма на 4 32-разрядных слова;

Доступ к буферам приёма и передачи возможен как в 32-х разрядном режиме (обмен данными непосредственно с CPU), так и в 64-х разрядном режиме с использованием канала DMA;

12.1.2 Основные характеристики MFBSР в режиме SPI

В режиме SPI порт позволяет вести дуплексный обмен последовательными данными с внешними устройствами, порт поддерживает 4 формата передачи SPI (для всех сочетаний CPOL и CPHA по спецификации Motorola), при этом возможна передача данных как по стандарту Microwire (SDO, SDI), так и по стандарту Motorola (MOSI, MISO), а также по интерфейсу C-BUS (аналог SPI);

Приёмник и передатчик:

Поддерживается независимая настройка передатчика и приёмника, что позволяет организовать одновременные передачу и прием последовательных данных по разным последовательным интерфейсам и на различных частотах;

Возможен перевод приёмника в зависимый от передатчика режим (когда приемник использует тактовый и контрольный сигналы передатчика), что позволяет задействовать меньшее количество выводов;

Шина выбора ведомого устройства:

Тактовые сигналы и сигнал шины выбора ведомого устройства можно формировать аппаратными средствами порта MFBSР либо программно управлять шиной выбора ведомых устройств;

Темп передачи данных:

Передача данных в режиме SPI может вестись на частотах от CLK/2 (при CLK не более 60 МГц) до CLK/4 - CLK/(2*2¹⁰) (при CLK более 60 МГц);

Приём и передача данных:

Порт позволяет принимать и передавать слова длиной от 2-х до 32-х бит, как младшим, так и старшим битом вперед;

Специальная логика обмена позволяет обнулять или дополнять старшим разрядом избыточные биты при чтении принятых слов длиной меньше 32 бит;

Буферы приёма и передачи:

Используется буферизация в направлении передачи на 4 32-разрядных слова;

Используется буферизация в направлении приёма на 4 32-разрядных слова;

Доступ к буферам приёма и передачи возможен как в 32-х разрядном режиме (обмен данными непосредственно с CPU), так и в 64-х разрядном режиме с использованием канала DMA;

В данной реализации порта не предусмотрена возможность соединения нескольких микропроцессоров по цепочке с использованием SPI интерфейса. микропроцессор может только управлять загрузкой последовательных данных в другие ведомые устройства, соединенные по цепочке.

12.1.3 Основные характеристики MFBSР в режиме LPORT

В режиме LPORT порт позволяет вести обмен с внешними устройствами по линковому интерфейсу (совместимому с ADSP21160 LINK PORT).

Приёмник и передатчик:

В режиме LPORT MFBSР может работать либо только как передатчик, либо только как приёмник (передача данных в одном направлении);

Темп передачи данных:

Передача данных в режиме LPORTI может вестись на частотах от CLK/2 (при CLK не более 80 МГц) до CLK/4 - CLK/32 (при CLK более 80 МГц);

Приём и передача данных:

По параллельно-последовательному интерфейсу LPORT возможна передача данных как тетрадами, так и байтами;

Буферы приёма и передачи:

Используется буферизация в направлении передачи на 8 32-разрядных слов;

Используется буферизация в направлении приёма на 10 32-разрядных слова;

Доступ к буферам приёма и передачи возможен как в 32-х разрядном режиме (обмен данными непосредственно с CPU), так и в 64-х разрядном режиме с использованием канала DMA;

12.1.4 Основные характеристики MFBSР в режиме порта ввода-вывода общего назначения

В режиме порта ввода-вывода общего назначения все 10 выводов порта могут использоваться как вводы выводы общего назначения;

Направление каждого вывода задаётся программно;

В режиме последовательного порта(режимы SPI или I2S) 4 незадействованных в передаче последовательных данных вывода MFBSР (LDAT[7:4]) могут быть использованы в качестве вводов-выводов общего назначения.

12.2 Общие сведения об MFBSР

12.2.1 Режимы работы MFBSР

Многофункциональный порт MFBSР может быть использован как порт ввода-вывода общего назначения, как линковый порт (LPORT), либо как последовательный порт. В случае если MFBSР используется как последовательный порт, приёмник и передатчик могут настраиваться независимо. Как приёмник, так и передатчик MFBSР могут работать в режиме SPI либо в режиме I2S. Таким образом, для MFBSР существует 6 различных режимов работы, которые задаются битами LEN и SPI_I2S_EN регистра CSR_MFBSР, битом TMODE регистра TCTR и битом RMODE регистра RCTR. Режимы работы MFBSР и задающие их сочетания значений управляющих бит приведены в Таблица 12.1.

Таблица 12.1. Режимы работы MFBSР

Значение бит, задающих режим				Режим работы MFBSР
LEN	SPI I2S EN	TMODE	RMODE	
0	0	x	x	Порт ввода-вывода общего назначения
1	0	x	x	Линковый порт(LPORT)
0	1	0	0	Последовательный порт Передатчик – I2S Приёмник – I2S
0	1	0	1	Последовательный порт Передатчик – I2S Приёмник – SPI
0	1	1	0	Последовательный порт Передатчик – SPI Приёмник – I2S
0	1	1	1	Последовательный порт Передатчик – SPI Приёмник – SPI

Более подробное описание функциональных особенностей порта для режима I2S приведено в разделе 12.3.

Более подробное описание функциональных особенностей порта для режима SPI приведено в разделе 12.4.

Более подробное описание функциональных особенностей порта для режима LPORT приведено в разделе 12.5.

Более подробное описание функциональных особенностей порта для режима порта ввода-вывода общего назначения приведено в разделе 12.6.

12.2.2 Структурная схема многофункционального буферизированного последовательного порта

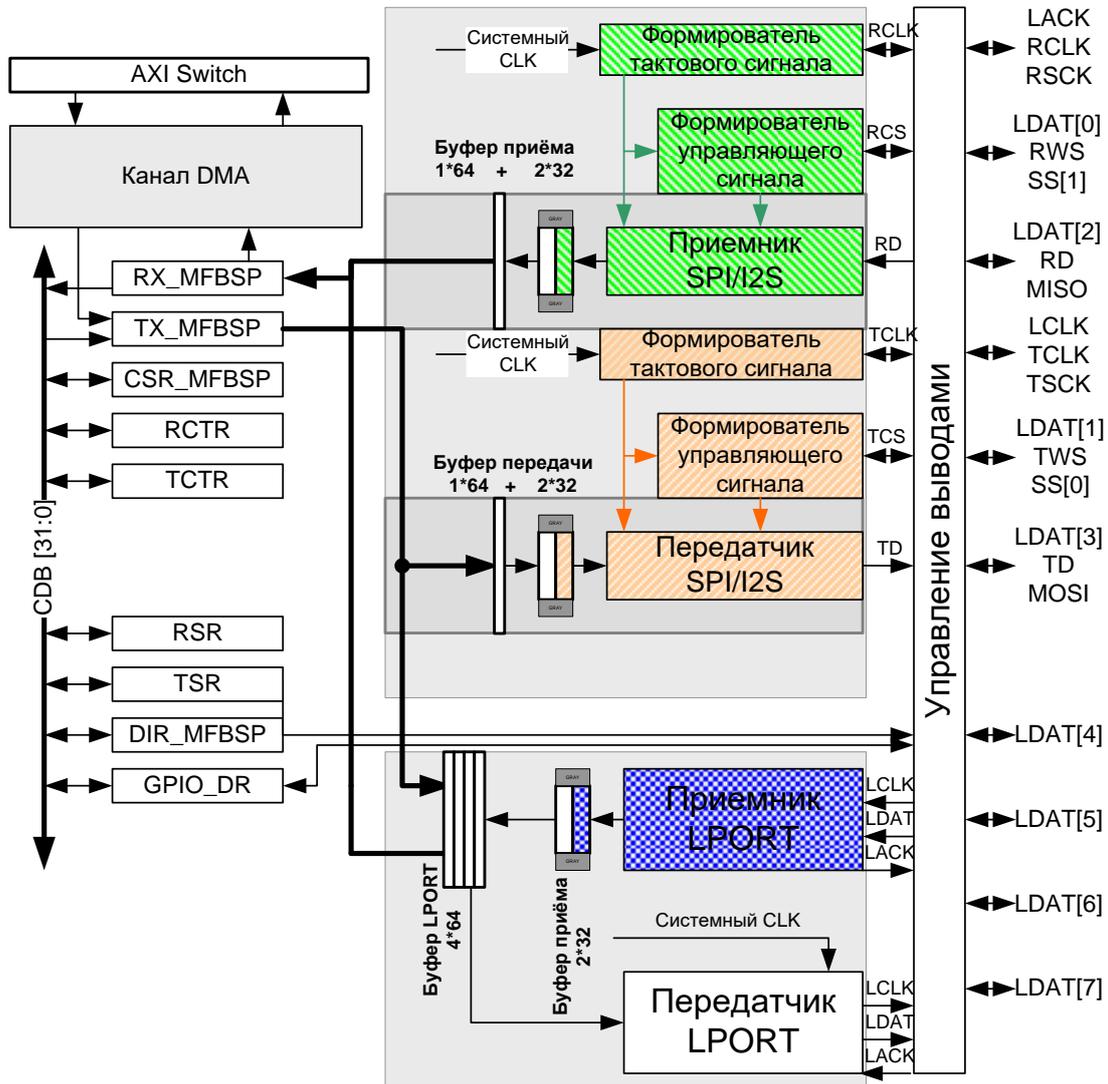


Рисунок 12.2. Структурная схема MFBSP (Защищена патентом РФ №2360282 от 27 июня 2009 года)

На Рисунок 12.1 показан MFBSP в составе микропроцессора. Порт поддерживает дуплексный обмен последовательными данными, однако для каждого MFBSP предусмотрен только один канала DMA, в зависимости от значения бита LTRAN, регистра CSR_MFBSP канал работает либо в направлении приёма, либо в направлении передачи. Каждый из внешних выводов порта двунаправленный, направление каждого вывода задается независимо.

На Рисунок 12.2 представлена более подробная структурная схема MFBSP.

В состав совмещенного контроллера входят два основных блока: контроллер LPORT и контроллер SPI/I2S. Включение контроллера LPORT производится установкой бита LEN, регистра CSR_MFBSP в 1, включение контроллера SPI_I2S производится установкой бита

SPI_I2S_EN, регистра CSR_MFBSP в 1 (Таблица 12.1). Одновременная работа блоков LPORT и SPI/I2S и соответственно установка бит LEN и SPI_I2S_EN в 1 не допускается.

В состав контроллера SPI/I2S входят приёмник, передатчик, буфер приёма и буфер передачи. Приёмник и передатчик могут работать одновременно и независимо. Приёмник осуществляет синхронный приём последовательного кода с внешнего вывода схемы и запись принятых данных в буфер приёма. Передатчик осуществляет чтение данных из буфера передачи и синхронную выдачу их последовательным кодом на внешний вывод схемы. Запись передаваемых данных в буфер передачи осуществляется при записи по адресу псевдорегистра TX_MFBSP (доступ со стороны CPU или DMA направления передачи), чтение принятых данных из буфера приёма осуществляется при чтении по адресу псевдорегистра RX_MFBSP (доступ со стороны CPU или DMA направления приёма).

Последовательным портом при обмене данными используется только 6 выводов LCLK, LACK, LDAT[3:0]. Если порт работает в режиме SPI/I2S, выходы LDAT[4:7] могут использоваться как входы-выводы общего назначения.

В состав контроллера LPORT входят приёмник, передатчик и буфер приёма LPORT и буфер передачи LPORT. В зависимости от направления обмена данными работает либо приёмник, либо передатчик. Приёмник осуществляет синхронный приём параллельно-последовательного кода с внешних выводов схемы и запись принятых данных в буфер приёма LPORT. Передатчик осуществляет чтение данных из буфера передачи LPORT и синхронную выдачу их параллельно последовательным кодом на внешние выходы схемы. Запись передаваемых данных в буфер LPORT осуществляется при записи по адресу псевдорегистра TX_MFBSP (доступ со стороны CPU или DMA направления передачи), чтение принятых данных из буфера LPORT осуществляется при чтении по адресу псевдорегистра RX_MFBSP (доступ со стороны CPU или DMA направления приёма).

LPORT при обмене данными использует выходы LCLK, LACK, LDAT[7:0].

MFBSPS использует системный тактовый сигнал CPU (CLK), при этом на MFBSPO тактовый сигнал CLK подается постоянно, когда включен тактовый сигнал CPU, что позволяет реализовать режим начальной загрузки через MFBSPO. Для MFBSPP1, MFBSPP2, MFBSPP3 и DMA MFBSPP есть возможность программно включать и выключать подачу тактового сигнала

Включение частоты портов происходит не моментально, поэтому чтение из регистров или запись в регистры MFBSPP сразу после команды включения частоты MFBSPP может привести к ошибкам. Что бы убедиться, что обращение к регистрам происходит после фактического включения частоты необходимо прочитать регистр CLK_EN и провести с прочитанными данными любые действия, например:

```
sw r26, CLK_EN //включение частоты  
lw r26, CLK_EN //чтение состояния CLK_EN
```

or r26, r26 //обработка прочитанных данных

При отключенной частоте MFBSР чтение и запись в регистры MFBSР1-MFBSР3 не допускается.

12.2.3 Назначение выводов порта в различных режимах

Таблица 12.2 содержит наименования выводов порта для каждого из режимов – LPORT, SPI, I2S.

Таблица 12.3 содержит информацию о назначении каждого вывода в различных режимах.

Таблица 12.2. Обозначение выводов порта для различных режимов работы

LPORT	I2S	SPI
LDAT[7]	-	-
LDAT[6]	-	-
LDAT[5]	-	-
LDAT[4]	-	-
LDAT[3]	TD	MOSI
LDAT[2]	RD	MISO
LDAT[1]	TWS	SS[0]
LDAT[0]	RWS	SS[1]
LCLK	TCLK	TSCK
LACK	RCLK	RSCK

Таблица 12.3. Назначение выводов порта в различных режимах

Наименование вывода	Режим работы порта	Направление вывода	Назначение вывода
LDAT[7:0]	LPORT	IO	Внешняя шина данных LPORT.
LCLK	LPORT	IO	Тактовый сигнал LPORT
LACK	LPORT	IO	Подтверждение готовности приема
TD	I2S	IO	Передаваемые последовательные данные
RD	I2S	IO	Принимаемые последовательные данные
TCLK	I2S	IO	Тактовый сигнал передатчика I2S
RCLK	I2S	IO	Тактовый сигнал приемника I2S
TWS	I2S	IO	Сигнал выбора канала для передаваемых данных
RWS	I2S	IO	Сигнал выбора канала для принимаемых данных
MOSI	SPI	IO	Вывод последовательных данных. Направление вывода определяется программно
MISO	SPI	IO	Вывод последовательных данных. Направление вывода определяется программно
TSCK	SPI	IO	Тактовый сигнал передатчика SPI
RSCK	SPI	IO	Тактовый сигнал приемника SPI

Наименование вывода	Режим работы порта	Направление вывода	Назначение вывода
SS [0]	SPI	IO	В режиме ведущего: Сигнал выбора устройства 0. В режиме ведомого: сигнал выбора ведомого. Низкий уровень на входе SS[0] обозначает, что передатчику MFBSB необходимо выдавать последовательные данные (если приёмник MFBSB находится в зависимом от передатчика режиме, то активизируется и приёмник).
SS [1]	SPI	IO	В режиме ведущего: Если приёмник в зависимом от передатчика режиме - сигнал выбора устройства 1. Если передатчик в независимом от приёмника режиме – сигнал выбора приёмником устройства 0. В режиме ведомого: Сигнал выбора ведомого. Только в случае когда приёмник в независимом от передатчика режиме. Низкий уровень на входе SS[1] обозначает, что приёмнику MFBSB необходимо принимать последовательные данные.

12.2.4 Перечень регистров MFBSB

Таблица 12.4 содержит перечень регистров многофункционального порта.

Таблица 12.4. Перечень регистров многофункционального буферизованного порта

Условное обозначение регистра	внутренний адрес	Название регистра
TX_MFBSB	0	Буфер передачи данных
RX_MFBSB	0	Буфер приёма данных
CSR_MFBSB	1	Регистр управления и состояния
DIR_MFBSB	2	Регистр управления направлением выводов порта ввода-вывода
GPIO_DR	3	Регистр данных порта ввода-вывода
TCTR	4	Регистр управления передатчиком
RCTR	5	Регистр управления приёмником
TSR	6	Регистр состояния передатчика
RSR	7	Регистр состояния приёмника

12.2.5 Каналы DMA многофункциональных портов MFBSB

Для каждого порта предусмотрен один канал DMA, работающий либо в направлении приёма данных, либо в направлении передачи данных.

Если бит LTRAN, регистра CSR_MFBSP установлен в 1, канал DMA работает в направлении передачи.

Если бит LTRAN, регистра CSR_MFBSP установлен в 0, канал DMA работает в направлении приёма.

Если канал DMA работает в направлении передачи, то через него осуществляется передача данных внешнему устройству, подключенному к микропроцессору через MFBSP. Если канал DMA работает в направлении приёма, то через него осуществляется приём данных из внешнего устройства, подключенного к микропроцессору через MFBSP.

При обмене данными через MFBSP в режиме линкового порта с использованием DMA максимальный размер пачки составляет 4 64-разрядных слова. Если значение бит WN в контрольном регистре DMA превосходит максимальный размер пачки, то WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

При обмене данными через MFBSP в режиме последовательного порта с использованием DMA максимальный размер пачки составляет 1 64-разрядное слово. Если значение бит WN в контрольном регистре DMA превосходит максимальный размер пачки, то WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

При работе передатчика с DMA заполнение буфера передачи происходит до тех пор, пока буфер в состоянии принять очередную пачку, размером WN.

По умолчанию при работе приёмника с DMA, считывание данных из буфера приёма происходит если в буфере чтения содержится число слов большее, либо равное размеру пачки (WN). Степень заполнения буфера приёма, при которой начинается откачка данных с помощью DMA регулируется установкой значения WN соответствующего канала DMA.

12.2.6 Прерывания от каналов DMA MFBSP

Бит DMA_MFBSP_IRQ, регистра QSTR2, устанавливается, если есть прерывание от соответствующего порту канала DMA направления передачи.

Если соответствующий канал DMA разрешен, то прерывания от канала DMA формируются по завершению передачи или приема всего блока данных.

12.2.7 Прерывания от MFBSP

Бит MFBSP_TXBUF, регистра QSTR2, устанавливается в случае, если число 64-х разрядных слов, находящихся в буфере передачи, меньше, либо равно пороговому значению TLEV, задаваемому в регистре TSR (Рисунок 12.3). Для установки бита MFBSP_TXBUF также необходимо, чтобы линковый порт был включен на передачу (LEN=1 и LTRAN=1)

либо включен передатчик SPI/I2S (SPI_I2S_EN=1, TEN=1) и разрешено прерывание MFBSP_TXBUF (MFBSP_TXBUF_IRQ_EN).

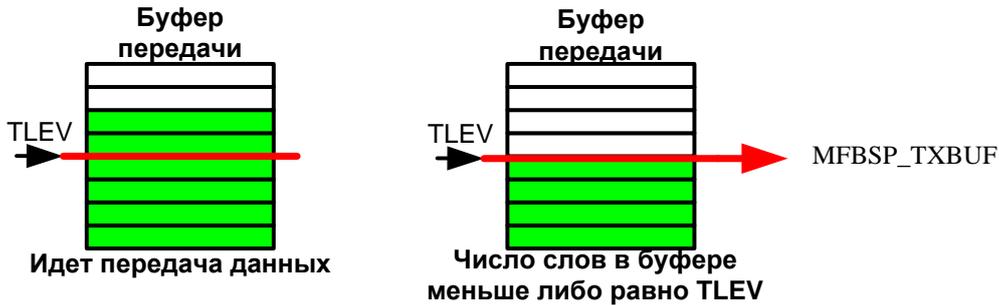


Рисунок 12.3. Назначение бит TLEV, регистра TSR

Прерывание MFBSP_TXBUF автоматически сбрасывается, если число 64-х разрядных слов, находящихся в буфере передачи, становится больше порогового значения TLEV и при этом во время передачи не возникало ошибки (TERR = 0). Даже если описанное условие не выполнено, прерывание можно программно сбросить, прочитав регистр TSR. В этом случае прерывание сбросится и запомнится текущее значение слов в буфере передачи. Если число слов в буфере передачи начнет уменьшаться или произойдет ошибка передачи, то прерывание снова установится. Увеличение числа слов в буфере передачи не приведет к установке прерывания, даже, если число слов в буфере ниже порога TLEV (Рисунок 12.4).

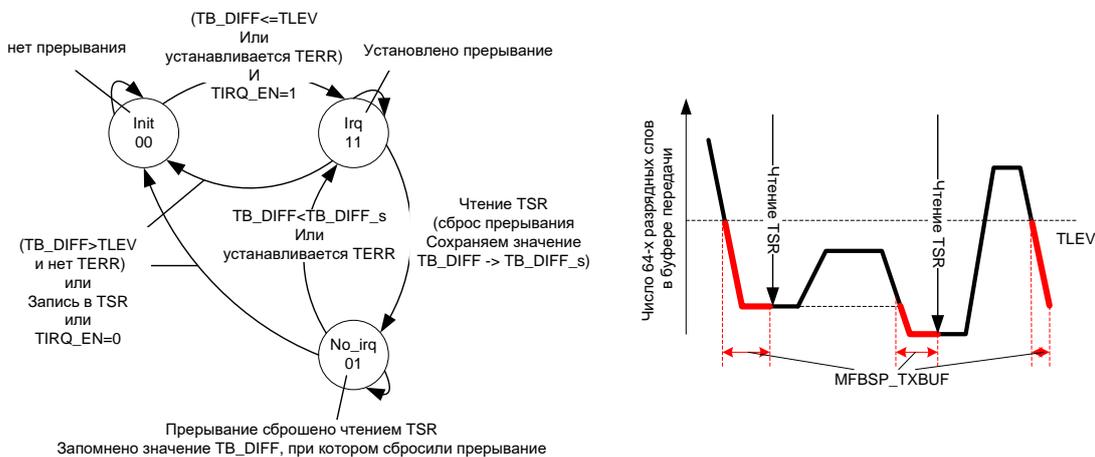


Рисунок 12.4. Механизм установки и сброса прерывания MFBSP_TXBUF. На рисунке $TIRQ_EN = (LEN \& LTRAN \parallel TEN \& SPI_I2S_EN)$

Бит MFBSP_RXBUF, регистра QSTR2, устанавливается в случае, если число 64-х разрядных слов в буфере приёма больше чем пороговое значение RLEV, задаваемое в регистре RSR (Рисунок 12.5). Для установки бита MFBSP_RXBUF также необходимо, чтобы линковый порт был включен на приём (LEN=1 и LTRAN=0) либо включен приёмник SPI/I2S

(SPI_I2S_EN=1, REN=1) и разрешено прерывание MFBSP_RXBUF (MFBSP_RXBUF_IRQ_EN).

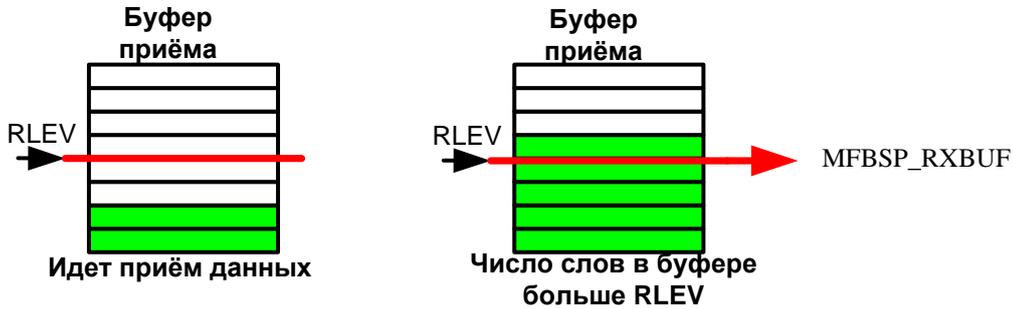


Рисунок 12.5. Назначение бит RLEV, регистра RSR

Прерывание MFBSP_RXBUF автоматически сбрасывается, если число 64-х разрядных слов, находящихся в буфере приёма, становится меньше порогового значения RLEV и при этом во время приёма не возникало ошибки (RERR = 0). Даже если описанное условие не выполнено, прерывание можно программно сбросить, прочитав регистр RSR. В этом случае прерывание сбросится и запомнится текущее значение слов в буфере чтения. Если число слов в буфере чтения начнет увеличиваться, то прерывание снова установится. Уменьшение числа слов в буфере чтения не приведет к установке прерывания, даже, если превышен порог RLEV (Рисунок 12.6).

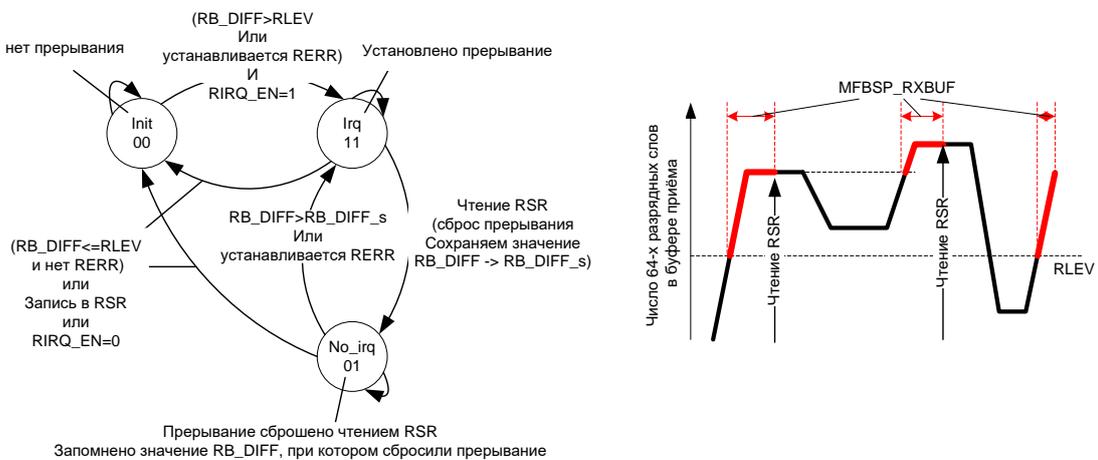


Рисунок 12.6. Механизм установки и сброса прерывания MFBSP_RXBUF. На рисунке $RIRQ_EN = (LEN \& !LTRAN \parallel REN \& SPI_I2S_EN)$

Бит SRQ, регистра QSTR2, формируется при запросе на обслуживание, если порт MFBSP выключен ($LEN=0$, $SPI_I2S_EN=0$) и на выводах LACK или LCLK высокий уровень, при условии, что разрешено прерывание по запросу на обслуживание ($LPT_IRQ_EN=1$).

12.3 Работа MFBSР в режиме I2S

12.3.1 Назначение MFBSР в режиме I2S

Режим I2S буферизованного последовательного порта предназначен для организации дуплексного обмена аудиоданными с внешними устройствами последовательным кодом.

Порт в режиме I2S позволяет одновременно передавать и принимать последовательные данные. Приемник и передатчик контроллера настраиваются независимо, при этом возможен перевод приёмника в зависимое от передатчика состояние.

Порт поддерживает передачу аудиоданных в формате I2S, с поочередной передачей левого и правого каналов.

Поддерживается независимое задание направления выводов данных и тактового сигнала порта, осуществляемое установкой соответствующих бит регистра DIR_MFBSР.

12.3.2 Регистр управления и состояния CSR_MFBSP (режим I2S)

Регистр CSR_MFBSP (Таблица 12.5) используется для включения режима последовательного порта и разрешения прерываний от MFBSP.

Таблица 12.5. Назначение разрядов регистра CSR_MFBSP в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	RX_RDY_MODE	Режим формирования признака готовности приема данных из DMA в MFBSP: 0 – штатный режим работы. Признак готовности формируется MFBSP аппаратно; 1 – признак готовности установлен в 1. Используется для приведение DMA в исходное состояние, если: устройство подключенное к MFBSP передало в него меньший объем данных, по сравнению с тем, что указано в DMA; необходимо программно остановить прием данных в MFBSP	RW	0
30	TX_RDY_MODE	Режим формирования признака готовности передачи данных из MFBSP в DMA: 0 – штатный режим работы. Признак готовности формируется MFBSP аппаратно; 1 – признак готовности установлен в 1. Используется для приведение DMA в исходное состояние, если: устройство подключенное к MFBSP приняло из него меньший объем данных, по сравнению с тем, что указано в DMA; необходимо программно остановить передачу данных из MFBSP	RW	0
29:17	-	Резерв	-	0
16	MFBSP_TXBUF_IRQ_EN	Разрешение прерывания MFBSP_TXBUF: 0 – прерывание запрещено; 1- прерывание разрешено.	RW	1
15	MFBSP_RXBUF_IRQ_EN	Разрешение прерывания MFBSP_RXBUF: 0 – прерывание запрещено; 1- прерывание разрешено.	RW	1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
14:11	-	В режиме I2S не используется	-	0
10	-	Резерв	-	0
9	SPI_I2S_EN	Включение режима SPI/I2S: 0 – Работа в режиме LPORT 1 – Работа в режиме SPI/I2S	RW	0
8:5	-	В режиме I2S не используется	-	0
4:3	LSTAT	Состояние буфера: При LTRAN = 0 показывает состояние буфера приёма При LTRAN = 1 показывает состояние буфера передачи 00 – буфер пуст; 10 – буфер не пуст; 11 – буфер полон.	R	0
2	-	В режиме I2S не используется	-	0
1	LTRAN	Назначение бит LSTAT: 0 - DMA работает в направлении приёма, LSTAT отображает состояние буфера приёма 1 – DMA работает в направлении передачи, LSTAT отображает состояние буфера передачи	RW	0
0	LEN	В режиме I2S должен быть установлен в 0	RW	0

Алгоритм использования бит RX_RDY_MODE, TX_RDY_MODE:

1. Остановить MFBSP, для чего в регистр CSR_MFBSP необходимо записать 0.
2. Выполнить операцию записи 0 в бит RUN регистра CSR соответствующего DMA MFBSP (при этом, бит RUN может в 0 не установиться);
3. Установить в 1 бит RX_RDY_MODE (TX_RDY_MODE);
4. Дождаться установки в 0 бита RUN регистра CSR DMA MFBSP;
5. Установить в 0 бит RX_RDY_MODE (TX_RDY_MODE).

12.3.3 Регистр управления направлением выводов DIR_MFBSP (режим I2S)

Регистр управления направлением выводов DIR_MFBSP (Таблица 12.6) предназначен для индивидуальной настройки направления каждого вывода последовательного порта.

Таблица 12.6. Назначение разрядов регистра DIR_MFBSP в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
9:6	-	Не используется в режиме I2S	-	0
5	TD_DIR	Направление вывода TD: 0 – TD – вход (при RD_DIR = 1 последовательные	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
		данные принимаются со входа TD) 1 – TD – выход (TD – является выходом для передачи последовательных данных)		
4	RD_DIR	Направление вывода RD: 0 – RD – вход (последовательные данные принимаются со входа RD) 1 – RD – выход (RD – является выходом для передачи последовательных данных)	RW	0
3	TCS_DIR	Направление вывода TWS: 0 – TWS – вход (Сигнал выбора слова TWS принимается от внешнего источника) 1 – TWS – выход (Сигнал выбора слова TWS формируется передатчиком)	RW	0
2	RCS_DIR	Направление вывода RWS: 0 – RWS – вход (Сигнал выбора слова RWS принимается от внешнего источника) 1 – RWS – выход (Сигнал выбора слова RWS формируется приёмником)	RW	0
1	TCLK_DIR	Направление вывода TCLK: 0 – TCLK – вход (тактовый сигнал TCLK принимается от внешнего источника) 1 – TCLK – выход (тактовый сигнал TCLK формируется передатчиком)	RW	0
0	RCLK_DIR	Направление вывода RCLK: 0 – RCLK – вход (тактовый сигнал RCLK принимается от внешнего источника) 1 – RCLK – выход (тактовый сигнал RCLK формируется приёмником)	RW	0

При RD_DIR = 0 и TD_DIR = 0 данные снимаются с RD, при RD_DIR = 1 и TD_DIR = 1 на TD и RD выдаются одинаковые данные с передатчика.

12.3.4 Регистр управления приёмником RCTR (режим I2S)

Таблица 12.7. Назначение разрядов регистра RCTR в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	Резерв	-	0
29	RCS_CONT	Включение непрерывного формирования сигнала RWS: 0 – RWS – Формируется если буфер приёма не полон. По заполнении буфера приёма формирование сигнала RWS прекращается. 1 – RWS – формируется непрерывно, если установлен бит REN	RW	0
28	RCLK_CON T	Включение непрерывного формирования сигнала RCLK:	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
		0 – RCLK – формируется только во время приема (пока буфер приёма не полон). Если буфер приёма полон – сигнал не формируется 1 – RCLK – формируется непрерывно, если установлен бит REN		
27	RSWAP	Порядок упаковки в 32 разрядное слово, перед записью в буфер приёма: 0 – левый канал пишется в старшие 16 разрядов 1 – левый канал пишется в младшие 16 разрядов (Используется в режиме с включенным паковщиком)	RW	0
26	RSIGN	Значение заполнителя: Если длина принимаемого слова меньше 32 при отключенном паковщике или меньше 16 при включенном паковщике, то неиспользуемые биты принятого слова заполняются При RSIGN = 0 нулями При RSIGN = 1 значением старшего разряда в принятом слове	RW	0
25	RPACK	Включение режима паковки: 0 – режим паковки выключен. Данные, принятые по каждому из каналов пишутся отдельным 32-разрядным словом в буфер приёма 1 – режим паковки включен. Данные, принятые по левому и правому каналу пакуются в 32-х разрядное слово. При этом разрядность принимаемых слов не должна превышать 16.	RW	0
24:20	RWORDLEN	Длина принимаемого слова: Число бит в принимаемом слове равно RWORDLEN + 1. RWORDLEN должно быть больше 0.	RW	5'b0
19	RMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW RW	1
18	RCSNEG	Полярность управляющего сигнала приёмника: При RDSPMODE=0: RCSNEG = 0 – левый канал принимается при высоком уровне RWS RCSNEG = 1 – левый канал принимается при низком уровне RWS каждый фронт контрольного сигнала является активным и инициирует приём нового слова. При RDSPMODE=1: задаёт полярность активного фронта: RCSNEG = 0 - передний фронт активный; RCSNEG = 1 - задний фронт активный;	RW	0
17	-	Резерв	-	0
16:12	RCS_RATE	Делитель частоты управляющего сигнала приёмника: Задаёт частоту управляющего сигнала приёмника, определяемую, как $RCLK/((RCS_RATE+1)*2)$, где	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
		RCLK – частота тактового сигнала приёмника		
11	RDEL	Задержка начала приёма данных на такт: 0 – захват бит принимаемого слова начинается по первому после активного фронта управляющего сигнала RWS фронту приёма такого сигнала RCLK (используется для передачи в форматах Left-Justified и Right-Justified) 1 – захват бит принимаемого слова начинается по второму после активного фронта управляющего сигнала RWS фронту приёма такого сигнала RCLK (используется для передачи в формате I2S)	RW	0
10	RNEG	Полярность тактового сигнала приёмника: Задаёт исходное состояние вывода RCLK и фронт, по которому осуществляется захват данных приёмником (фронт приёма) 0 – захват данных по заднему фронту RCLK. 1 – захват данных по переднему фронту RCLK. Исходное состояние RCLK = RNEG.	RW	0
9	RDSPMODE	Формат передачи данных: 0 – передача в формате I2S 1 – передача в формате DSP	RW	0
8:4	RCLK_RATE[4:0]	Делитель частоты приёмника: В случае, если частота формируется самим приёмником, определяет частоту приёмника $RCLK = CLK / ((RCLK_RATE + 1) * 2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0
3	RCS_CP	Дублирование сигнала TWS: 0 – выводы TWS и RWS независимы 1 – сигнал RWS, идущий на блок приёмника, дублирует TWS	RW	0
2	RCLK_CP	Дублирование TCLK: 0 – выводы TCLK и RCLK независимы 1 – сигнал RCLK, идущий на блок приёмника, дублирует TCLK	RW	0
1	RMODE	Режим работы приёмника: 0 – режим I2S 1 – режим SPI	RW	0
0	REN	Разрешение работы приёмника: 0 – приемник выключен 1 – приемник включен	RW	0

12.3.5 Регистр управления передатчиком TCTR (режим I2S)

Таблица 12.8. Назначение разрядов регистра TCTR в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	В режиме I2S не используется	-	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
29	TCS_CONT	Включение непрерывного формирования сигнала TWS: 0 – TWS – формируется только если буфер передачи не пуст. После передачи последнего слова из буфера передачи формирование сигнала TWS прекращается 1 – TWS – формируется непрерывно, если установлен бит TEN	RW	0
28	TCLK_CON T	Включение непрерывного формирования сигнала TCLK: 0 – TCLK – формируется только во время передачи. Если буфер передачи пуст – сигнал не формируется 1 – TCLK – формируется непрерывно, если установлен бит TEN	RW	0
27	TSWAP	Порядок распаковки 32-х разрядного слова: Определяет порядок распаковки из 32 разрядного слова 0 – в левый канал передаются старшие 16 разрядов 1 – в левый канал передаются младшие 16 разрядов (Используется в режиме с включенным распаковщиком)	RW	0
26	-	Резерв	-	0
25	TPACK	Включение режима распаковки: 0 – режим распаковки выключен. Каждое слово из буфера передачи используется для одной передачи по одному каналу 1 – режим распаковки включен. Слово из буфера передачи передается двумя посылками (по левому и правому каналу). При этом разрядность передаваемых слов не должна превышать 16 бит	RW	0
24:20	TWORDLE N	Длина передаваемого слова: Число бит в передаваемом слове равно TWORDLEN + 1. TWORDLEN должно быть больше 0.	RW	5'b0
19	TMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW	1
18	TCSNEG	Полярность управляющего сигнала передатчика: При TDSPMODE=0: TCSNEG = 0 – Левый канал передаётся с высоким уровнем TWS TCSNEG = 1 – Левый канал передаётся с низким уровнем TWS каждый фронт контрольного сигнала является активным и инициирует передачу нового слова. При TDSPMODE=1: задаёт полярность активного фронта: TCSNEG = 0 – передний фронт активный; TCSNEG = 1 – задний фронт активный;	RW	0
17	-	Резерв	-	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
16:12	TCS_RATE	Делитель частоты управляющего сигнала передатчика: Задаёт частоту управляющего сигнала передатчика, определяемую как $TCLK/((RCS_RATE+1)*2)$, где TCLK – частота тактового сигнала передатчика.	RW	0
11	TDEL	Задержка начала передачи данных на такт: 0 – выдача первого бита передаваемого слова начинается по первому после активного фронта управляющего сигнала TWS фронту выдачи тактового сигнала TCLK (используется для передачи в форматах Left-Justified и Right-Justified) 1 – выдача первого бита передаваемого слова начинается по второму после активного фронта управляющего сигнала TWS фронту выдачи тактового сигнала TCLK (используется для передачи в формате I2S)	RW	0
10	TNEG	Полярность тактового сигнала передатчика: Задаёт исходное состояние вывода TCLK и фронт, по которому осуществляется выдача данных передатчиком (фронт выдачи) 0 – выдача данных по переднему фронту TCLK. 1 – выдача данных по заднему фронту TCLK. Исходное состояние TCLK = TNEG.	RW	0
9	TDSPMODE	Формат передачи данных: 0 – передача в формате I2S 1 – передача в формате DSP	RW	0
8:4	TCLK_RATE	Делитель частоты передатчика: В случае, если частота формируется самим передатчиком, определяет частоту передатчика $TCLK = CLK/((TCLK_RATE+1)*2)$, где CLK – частота, подаваемая на порт со стороны системы.	-	0
3	-	В режиме I2S не используется	-	0
2	TD_ZER_EN	Обнуление избыточных бит передаваемого слова: 0 – Если длина слова меньше размеров окна, отведенного под передачу слова, после передачи всех бит слова на внешней шине данных остаётся значение нулевого бита передаваемого слова. 1 – Если длина слова меньше размеров окна, отведенного под передачу слова, после передачи всех бит слова на внешнюю шину данных подаётся 0, вплоть до начала передачи следующего слова. ВНИМАНИЕ! Режим с включенным обнулением избыточных бит при передаче слова корректно функционирует только при условии, что частота последовательного порта $TCLK \leq CLK/4$, где CLK – рабочая частота подаваемая на порт, со стороны системы.	RW	0
1	TMODE	Режим работы передатчика: 0 – режим I2S 1 – режим SPI	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
0	TEN	Разрешение работы передатчика: 0 – приемник выключен 1 – приемник включен	RW	0

12.3.6 Регистр состояния приёмника RSR (режим I2S)

Таблица 12.9. Назначение разрядов регистра RSR в режиме I2S

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	-	В режиме I2S не используется	-	0
23	-	резерв	-	0
22:20	RB_DIFF	Количество принятых 64-разрядных слов в буфере приёма (max 8).	R	0
19:17	-	резерв	-	0
16:12	RCLK_RATE [9:5]	Делитель частоты приёмника: В случае, если частота формируется самим приёмником, определяет частоту приёмника $RCLK = CLK / ((RCLK_RATE + 1) * 2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0
11	-	Резерв	-	
10	RRUN	Идёт приём: 0 – приёмник в состоянии ожидания 1 – идёт приём очередного слова	R	0
9	RERR	Ошибка передачи: 0 – приём проходил в штатном режиме 1 - была запись в полный буфер приёма (потеря данных). Флаг сбрасывается записью 0 в 6-й разряд регистра RSR.	RW	0
8	RSBF	Буфер пересинхронизации в направлении приёма полон: 0 – буфер пересинхронизации в направлении приёма не полон 1 – буфер пересинхронизации в направлении приёма полон	R	0
7	RSBE	Буфер пересинхронизации в направлении приёма пуст: 0 – буфер пересинхронизации в направлении приёма не пуст 1 – буфер пересинхронизации в направлении приёма пуст	R	1
6:4	RLEV	Порог прерывания от буфера приёма: Прерывание формируется если число принятых 64-х разрядных слов больше RLEV	RW	7

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
3	RBHL	Достигнут порог прерывания в буфере приёма: 1 – число 64-х разрядных слов в буфере приёма больше чем задано в RLEV 0 – число 64-х разрядных слов в буфере приёма меньше либо равно RLEV	R	0
2	RBHF	Буфер приёма полон на половину	R	0
1	RBF	Буфер приёма полон: 0 – буфер приёма не полон 1 – буфер приёма полон	R	0
0	RBE	Буфер приёма пуст: 0 – буфер приёма не пуст 1 – буфер приёма пуст	R	1

12.3.7 Регистр состояния передатчика TSR (режим I2S)

Таблица 12.10. Назначение разрядов регистра TSR в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	-	В режиме I2S не используется	-	0
23	-	резерв	-	0
22:20	TB_DIFF	Количество свободных 64-разрядных позиций в буфере передачи (в буфер передачи можно записать еще TB_DIFF 64-разрядных слов).	R	8
19:17	-	резерв	-	0
16:12	TCLK_RATE E [9:5]	Делитель частоты передатчика: В случае, если частота формируется самим передатчиком, определяет частоту передатчика $TCLK = CLK / ((TCLK_RATE + 1) * 2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0
11	-	Резерв	-	0
10	TRUN	Идёт передача: 0 – передатчик в состоянии ожидания 1 – идёт передача очередного слова	R	0
9	TERR	Ошибка передачи: 0 – передача проходила в штатном режиме 1 – было чтение из пустого буфера передачи (передача некорректных данных). Флаг сбрасывается записью 0 в 6-й разряд регистра TSR.	RW	0
8	TSBF	Буфер пересинхронизации в направлении передачи полон: 0 – буфер пересинхронизации в направлении передачи не полон 1 – буфер пересинхронизации в направлении передачи полон	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7	TSBE	Буфер пересинхронизации в направлении передачи пуст: 0 – буфер пересинхронизации в направлении передачи не пуст 1 – буфер пересинхронизации в направлении передачи пуст	R	1
6:4	TLEV	Порог прерывания от буфера передачи: Прерывание формируется если число 64-х разрядных слов в буфере передачи меньше либо равно TLEV. В режиме передачи данных с использованием DMA определяет степень заполнения буфера передачи, при которой происходит запись в буфер очередной пачки данных	R	0
3	TBLL	Достигнут порог прерывания в буфере передачи: 1 – число 64-х разрядных слов в буфере передачи меньше либо равно TLEV 0 – число 64-х разрядных слов в буфере передачи больше TLEV	R	1
2	TBNF	Буфер передачи заполнен на половину	R	0
1	TBF	Буфер передачи полон: 0 – буфер передачи не полон 1 – буфер передачи полон	R	0
0	TBE	Буфер передачи пуст: 0 – буфер передачи не пуст 1 – буфер передачи пуст	R	1

12.3.8 Структурная схема MFBSР для режима I2S

На Рисунок 12.7 представлена структурная схема MFBSР для режима I2S.

Включение режима I2S производится установкой бит LEN=0, SPI_I2S_EN=1, регистра CSR_MFBSР и TMODE = 0 регистра TCTR для передатчика, RMODE = 0 регистра RCTR для приёмника.

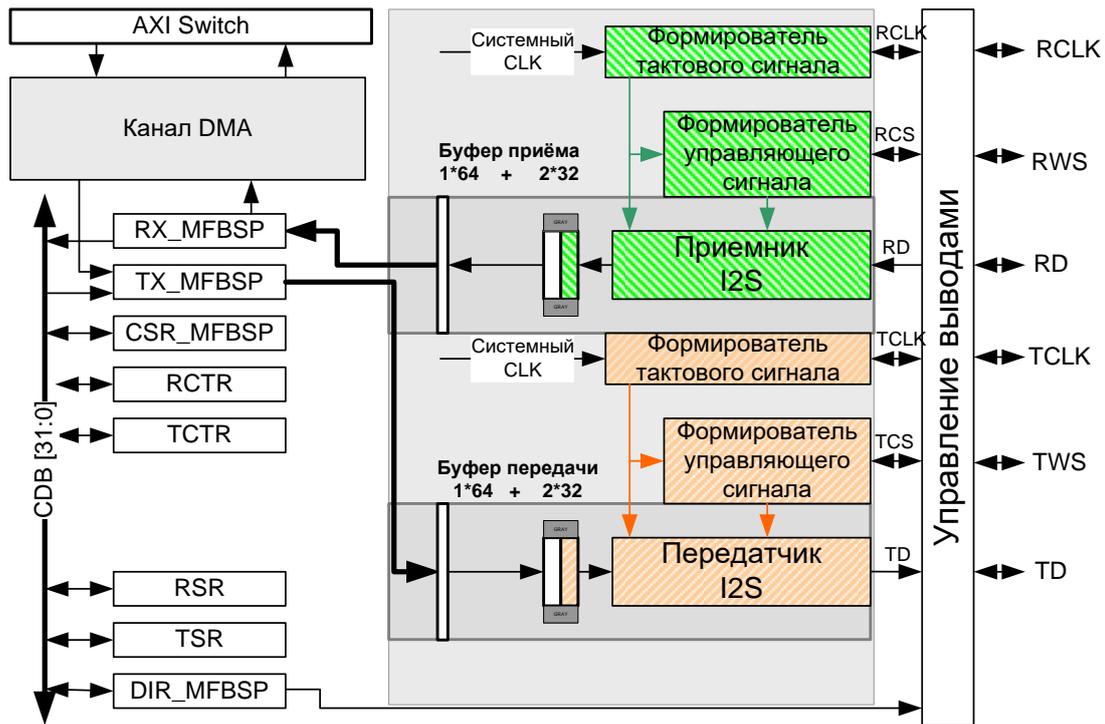


Рисунок 12.7. Структурная схема MFBSIP для режима I2S

12.3.9 Варианты соединения порта с внешними устройствами

Программно управляя направлением выводов последовательного порта (см. описание регистра DIR_MFBSP) можно организовать множество вариантов соединения схемы с внешними устройствами через MFBSIP (Рисунок 12.8, Рисунок 12.9, Рисунок 12.10).

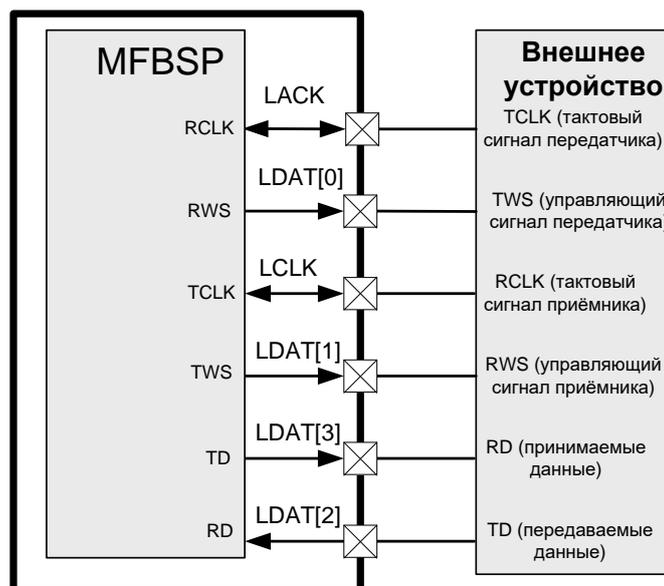


Рисунок 12.8. Соединение двух устройств по интерфейсу I2S в дуплексном режиме. Приёмник и передатчик независимы (задействовано 6 внешних выводов)

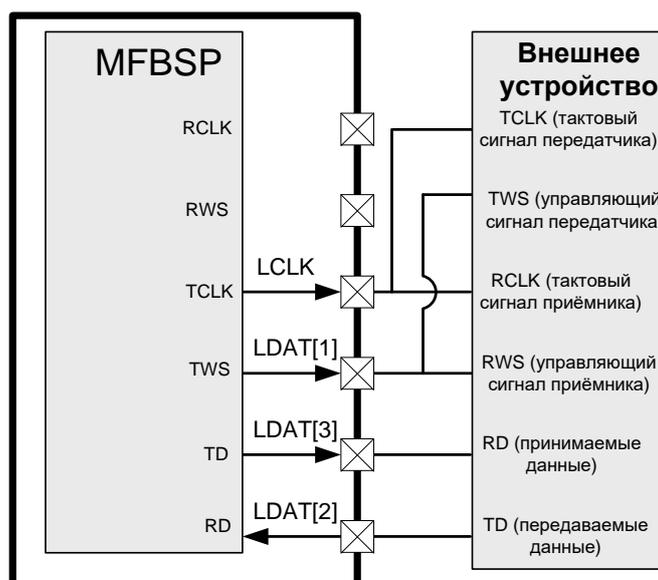


Рисунок 12.9. Соединение двух устройств по интерфейсу I2S в дуплексном режиме. Приёмник в зависимом от передатчика режиме (задействовано 4 внешних вывода)

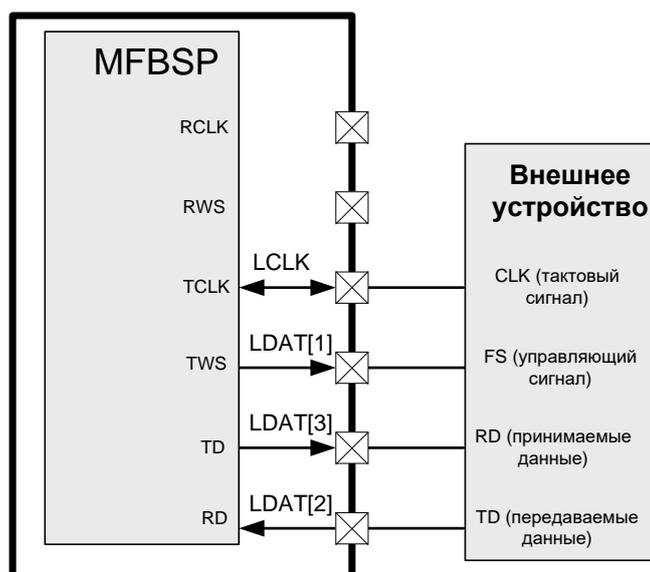


Рисунок 12.10. Соединение двух устройств по интерфейсу I2S в дуплексном режиме. Приёмник в зависимом от передатчика режиме (задействовано 4 внешних вывода). Как приёмником, так и передатчиком используются тактовый и управляющий сигналы с выводов TCLK и TWS

12.3.10 Передача данных в режиме I2S

В режиме I2S возможна передача аудио данных с использованием сигнала выбора канала (бит (T/R)DSPMODE = 0). При этом программно задаётся полярность тактового сигнала, полярность управляющего сигнала и наличие задержки выдачи данных относительно фронта управляющего сигнала (см. описание регистров TCTR и RCTR). На Рисунок 12.11 представлены временные диаграммы для данного режима.

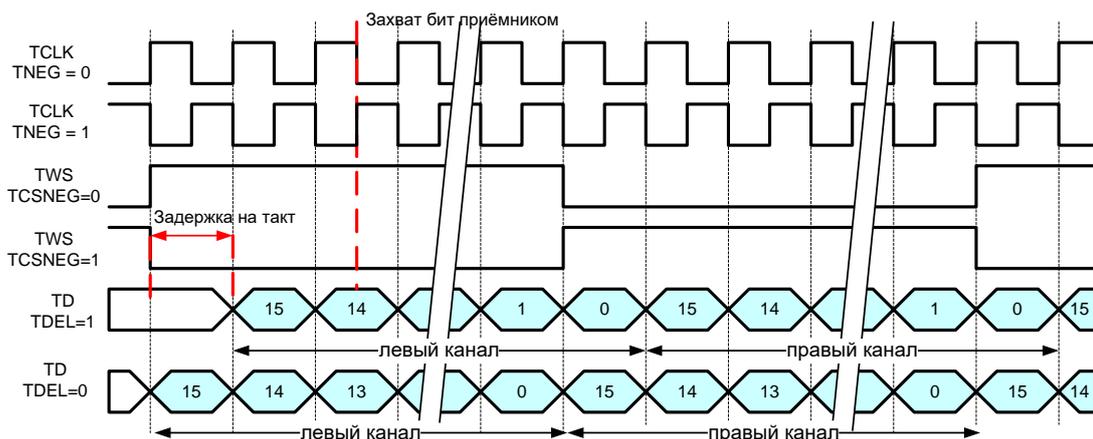


Рисунок 12.11. Передача в режиме I2S (формат I2S) $TMODE = 0$, $TDSPMODE=0$, $TMBF = 1$, $TCS_RATE = TWORDLEN = 15$ диаграммы тактового сигнала TCLK представлены для различных значений TNEG, диаграммы управляющего сигнала TWS представлены для различных значений TCSNEG, диаграммы для последовательных данных представлены для различных значений TDEL

В режиме I2S (бит (T/R)MODE = 0) также возможна передача последовательных слов с использованием сигнала синхронизации фрейма (бит (T/R)DSPMODE = 1). При этом программно задаётся полярность тактового сигнала, полярность активного фронта управляющего сигнала и наличие задержки выдачи данных относительно фронта управляющего сигнала (Рисунок 12.12).

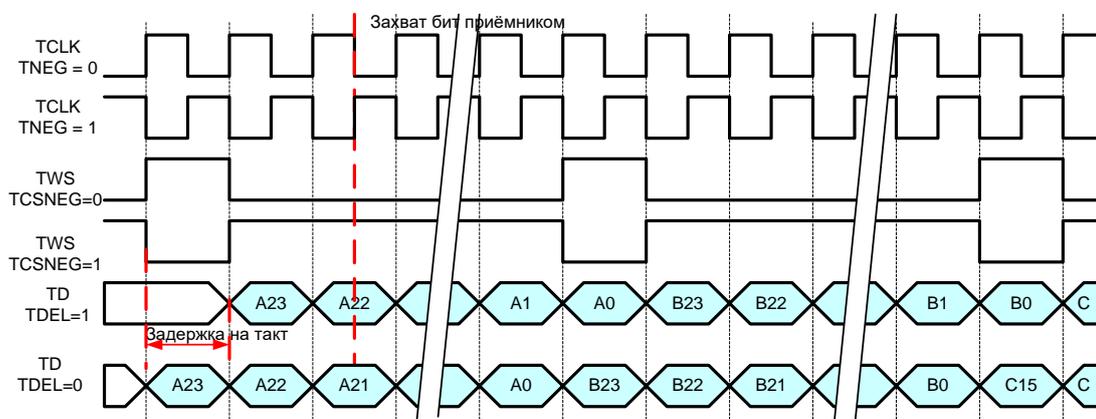


Рисунок 12.12. Передача в режиме I2S (формат DSP) $TMODE = 0$, $TDSPMODE=1$, $TMBF = 1$, $TCS_RATE = TWORDLEN = 23$ диаграммы тактового сигнала TCLK представлены для различных значений TNEG, диаграммы управляющего сигнала TWS представлены для различных значений TCSNEG, диаграммы для последовательных данных представлены для различных значений TDEL

Если управляющий сигнал формируется логикой MFBS (вывод (T/R)WS – сконфигурирован как выход), то частота управляющего сигнала (либо частота импульсов синхронизации в формате DSP) может задаваться программно от $ICLK/2$ до $ICLK/(2 \cdot 2^5)$, где ICLK – рабочая частота интерфейса TCLK для передатчика и RCLK для приемника (см. описание

регистров TCTR_RATE и RCTR_RATE). Временные диаграммы для данного случая представлены на Рисунок 12.13.

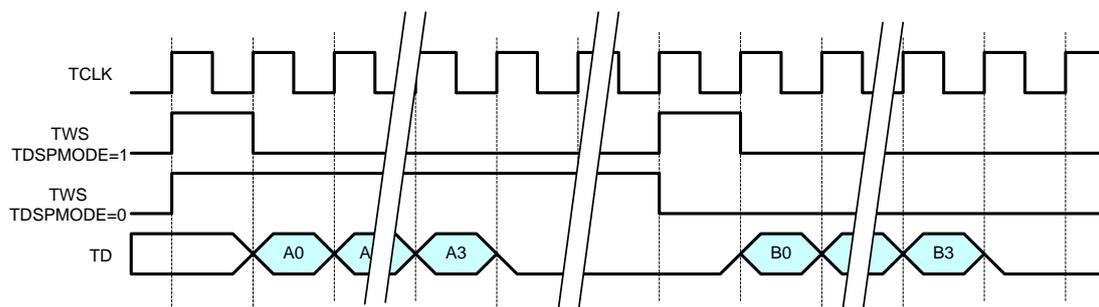


Рисунок 12.13. Передача в режиме I2S TMODE = 0, TMBF = 0, TWORDLEN = 3, TCS_RATE > TWORDLEN, TNEG = 0, TCSNEG = 0, TDEL = 1. Диаграммы управляющего сигнала TWS представлены для различных значений TDSPMODE

В режиме I2S (только в формате I2S (T/R)DSPMODE=0) предусмотрен режим паковщика / распаковщика. В этом режиме 32 разрядные слова из буфера передачи автоматически разбиваются на 2 16-ти разрядных слова и передаются по разным каналам. Соответственно для приёмника два принятых по разным каналам слова группируются в одно 32-х разрядное слово, которое записывается в буфер приёма. В данном режиме длина передаваемого или принимаемого слова может быть в пределах от 2 до 16 бит. Порядок выдачи разбитого слова и порядок сборки определяется битами TCSNEG, TSWAP, RCSNEG, RSWAP.

12.3.11 Формирование тактовых сигналов приёмника (RCLK) и передатчика (TCLK)

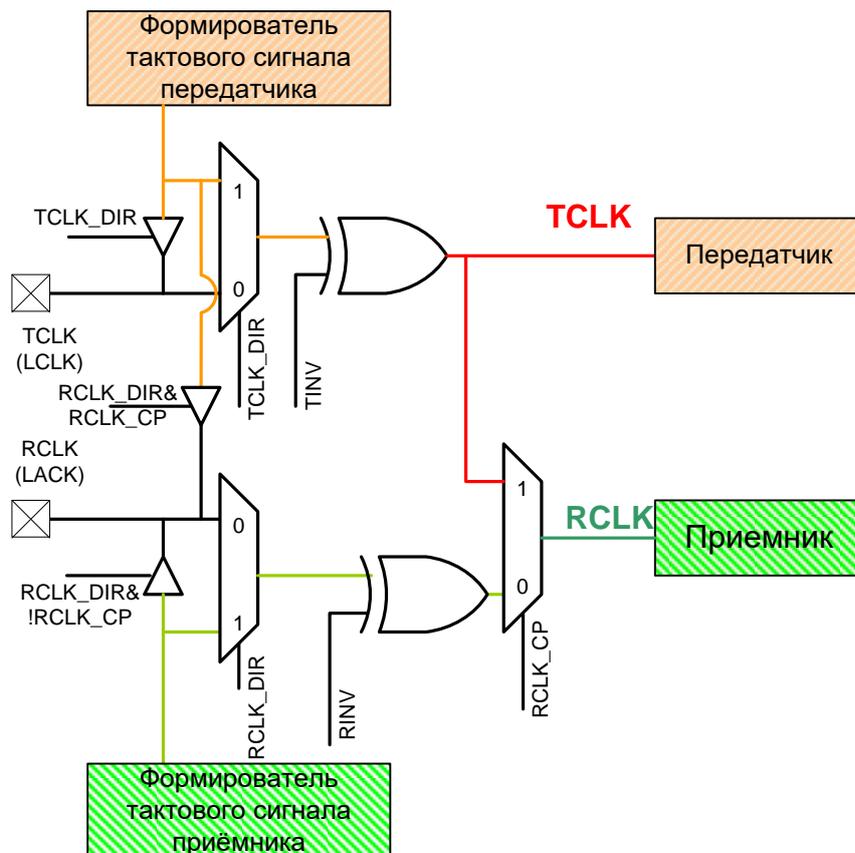


Рисунок 12.14. Схема формирования тактовых сигналов приёмника и передатчика в режиме I2S

На Рисунок 12.14 представлена схема формирования тактовых сигналов приёмника и передатчика в режиме I2S.

В зависимости от значения бита $TCLK_DIR$, тактовый сигнал передатчика TCLK может как формироваться самим передатчиком, так приниматься с внешнего вывода. В зависимости от значений бит $TMODE$, $TNEG$ и $TDEL$ тактовый сигнал либо передаётся передатчику без изменений, либо инвертируется.

В зависимости от значения бита $RCLK_DIR$, тактовый сигнал приёмника RCLK может как формироваться самим приёмником, так приниматься с внешнего вывода. В зависимости от значений бит $RMODE$, $RNEG$ и $RDEL$ тактовый сигнал либо передаётся приёмнику без изменений, либо инвертируется.

Если бит $RCLK_CP$ установлен в 1, то тактовый сигнал приёмника копирует тактовый сигнал передатчика. Для корректной работы устройства в этом случае настройки полярности тактового сигнала приёмника и передатчика должны совпадать ($TNEG=RNEG$, $TDEL=RDEL$).

При $RCLK_CP = 1$ тактовый сигнал передатчика передаётся на внешний вывод приёмника, только если передатчик сам формирует тактовый сигнал и вывод тактового сигнала приёмника сконфигурирован как выход ($TCLK_DIR=1, RCLK_DIR=1$).

Если биты $RCLK_CONT=1$ и $RCLK_DIR=1$ то $RCLK$ формируется непрерывно, пока установлен бит REN . Если $RCLK_CONT=0$ и $RCLK_DIR=1$ то $RCLK$ формируется только до момента заполнения буфера приёма. Если $RCLK_DIR=0$, то $RCLK$ принимается с внешнего вывода схемы.

Если биты $TCLK_CONT=1$ и $TCLK_DIR=1$ то $TCLK$ формируется непрерывно, пока установлен бит TEN . Если $TCLK_CONT=0$ и $TCLK_DIR=1$ то $TCLK$ формируется только в процессе передачи очередного слова. Если $TCLK_DIR=0$, то $TCLK$ принимается с внешнего вывода схемы.

12.3.12 Формирование управляющих сигналов приёмника и передатчика в режиме I2S

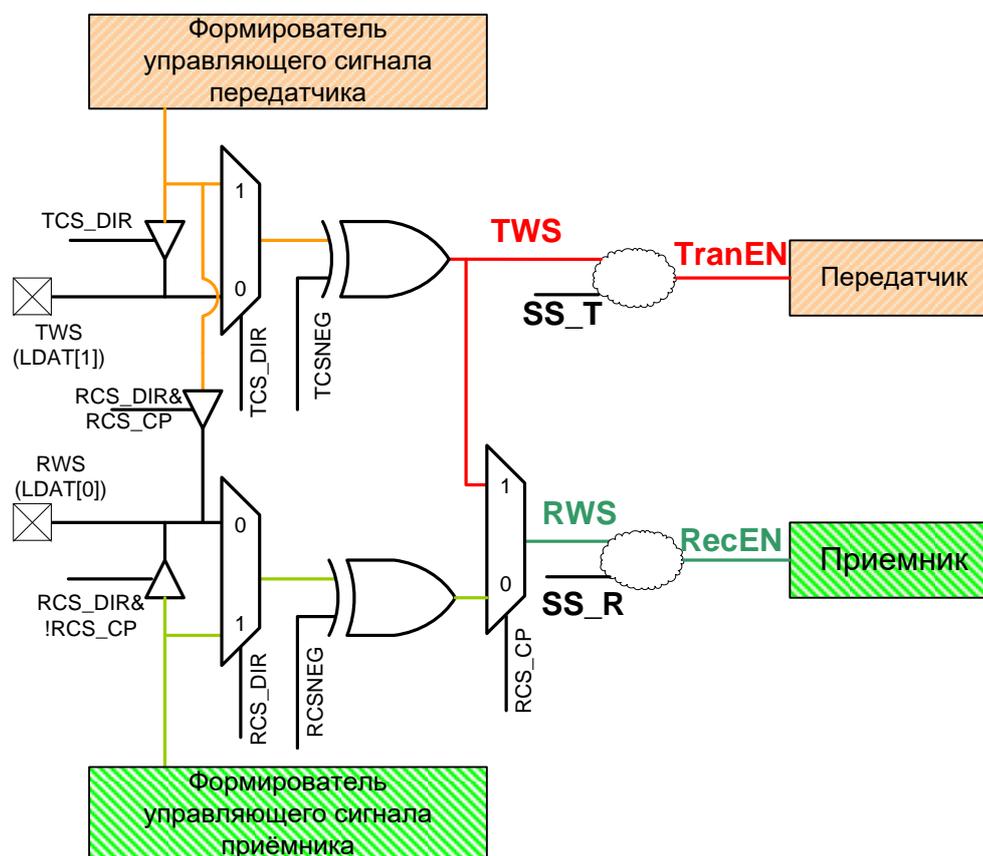


Рисунок 12.15. Схема формирования управляющих сигналов в режиме I2S

На Рисунок 12.15 представлена схема формирования управляющих сигналов в режиме I2S.

В зависимости от значения бита TCS_DIR, задающего направление вывода TWS, управляющий сигнал передатчика TWS может как формироваться самим передатчиком, так приниматься с внешнего вывода. В зависимости от значения бита TCSNEG управляющий сигнал либо передаётся передатчику без изменений, либо инвертируется.

В зависимости от значения бита RCS_DIR, задающего направление вывода RWS, управляющий сигнал приёмника RCLK может как формироваться самим приёмником, так приниматься с внешнего вывода. В зависимости от значения бита RCSNEG управляющий сигнал либо передаётся приёмнику без изменений, либо инвертируется.

Если бит RCS_CP установлен в 1, то управляющий сигнал приёмника копирует управляющий сигнал передатчика. Для корректной работы устройства в этом случае настройки полярности управляющего сигнала приёмника и передатчика должны совпадать (TCSNEG=RCSNEG).

При RCS_CP = 1 управляющий сигнал передатчика передаётся на внешний вывод приёмника, только если передатчик сам формирует управляющий сигнал и вывод управляющего сигнала приёмника сконфигурирован как выход (TCS_DIR=1, RCS_DIR=1).

Если направление вывода RWS задано как выход и RCS_CONT=0, то управляющий сигнал RWS формируется до тех пор, пока не заполнится буфер приёма, если RCS_CONT=1 то, RWS формируется непрерывно, пока установлен бит REN. Если направление вывода задано как вход, управляющий сигнал RWS принимается от внешнего устройства. Если установлен бит RCS_CP, RWS копирует TWS, независимо от направления вывода.

Если направление вывода TWS задано как выход и TCS_CONT=0, то управляющий сигнал TWS формируется только во время передачи очередного слова, если TCS_CONT=1 TWS формируется непрерывно, пока установлен бит TEN. Если направление вывода задано как вход, управляющий сигнал TWS принимается от внешнего устройства.

12.3.13 Тракт передачи данных

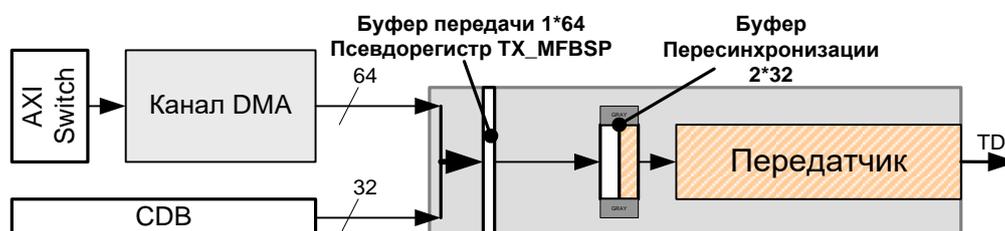


Рисунок 12.16. Тракт передачи данных для режима I2S

На Рисунок 12.16 представлен тракт передачи данных для режима I2S.

Что бы инициировать передачу данных по последовательному порту необходимо включить последовательный порт (SPI_I2S_EN=1) и передатчик (TEN=1), после чего либо начать производить запись передаваемых 32-х разрядных слов в буфер передачи по адресу псевдорегистра TX_MFBSP, либо включить канал DMA в направления передачи для соот-

ветствующего порта (в этом случае обмен данными с портом будет вестись 64-х разрядными словами).

Данные записанные в буфер передачи автоматически перемещаются в буфер пересинхронизации направления передачи, если он не полон. Запись в буфер пересинхронизации направления передачи осуществляется на системной частоте CLK, чтение из буфера пересинхронизации осуществляется на частоте передатчика TCLK. Как только в буфере пересинхронизации оказалось хотя бы одно слово, передатчиком инициируется передача. Передатчиком производится последовательная выдача бит очередного 32-х разрядного слова до тех пор, пока число переданных бит не достигнет $TWORDLEN+1$, после чего производится считывание очередного слова из буфера пересинхронизации. По мере передачи слов в освобождающийся буфер пересинхронизации перемещается слово из буфера передачи. После выборки последнего слова из буфера передачи (буфер передачи пуст) в буфере пересинхронизации остаётся еще два слова. Фактическое окончание передачи можно идентифицировать по состоянию буфера пересинхронизации, либо считав бит TRUN регистра TSR.

Если управляющий сигнал формируется передатчиком, то при считывании последнего слова из буфера пересинхронизации передача останавливается. Передача продолжится только после того как в буфер пересинхронизации снова начнут поступать данные.

Если передатчик использует внешнюю частоту и внешний управляющий сигнал, в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота передатчика, однако ее должно быть достаточно для того, что бы успеть переместить очередное слово в буфер пересинхронизации (за время передачи одного слова должно быть хотя бы три импульса системной частоты CLK). Если внешний управляющий сигнал инициировал передачу слова при пустом буфере пересинхронизации устанавливается флаг ошибки передачи (TERR), в этом случае передается ошибочное слово. Если управляющий сигнал формируется самим передатчиком, системная частота может быть много меньше частоты передатчика, однако это скажется на скорости передачи данных.

Установка бита TERR в процессе передачи говорит о том, что порт произвел попытку чтения из пустого буфера передачи. Это значит, что передатчиком было передано некорректное слово, кроме того могло быть нарушено состояние указателей в буфере передачи. Продолжать передачу в таком состоянии порта нельзя. В этом случае необходимо произвести выключение порта - установить бит `i2s_spi_en` в 0, что приведет к сбросу состояния всех буферов порта, после чего программно сбросить бит TERR записью в регистр TSR. После чего можно снова включить порт и продолжать передачу.

В направлении передачи порт обладает буферизацией на 4 32-х разрядных слова. В случае передачи данных посредством DMA запись блоков данных в буфер передачи происходит до тех пор, пока буфер готов принять очередной блок, размер которого определяется битами WN, регистра CSR соответствующего канала DMA.

Установка бита SPI_I2S_EN в 0 приведет к программному сбросу передатчика, и все данные находящиеся в буфере передачи будут утеряны.

12.3.14 Тракт приёма данных

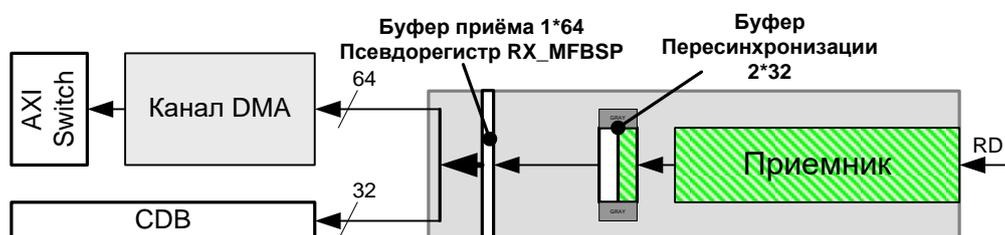


Рисунок 12.17. Тракт приёма данных в режиме I2S

На Рисунок 12.17 представлен тракт передачи данных для режима I2S.

Что бы перевести приёмник в режим готовности необходимо включить последовательный порт (SPI_I2S_EN=1) и приёмник (REN=1), после чего либо начать ожидание появления прочитанных данных в буфере приёма, либо включить канал DMA в направления приёма для соответствующего порта.

Приёмник принимает последовательные биты, поступающие с внешнего вывода до тех пор, пока число принятых бит не достигнет значения RWORDLEN+1. После этого принятое 32-х разрядное слово (если RWORDLEN<31 незадействованные биты обнуляются) перемещается в буфер пересинхронизации. Запись в буфер пересинхронизации направления приёма осуществляется на частоте приёмника RCLK, чтение из буфера пересинхронизации осуществляется на системной частоте CLK. Из буфера пересинхронизации принятое слово автоматически перемещается в буфер приёма, если он не полон. Если в буфере приёма есть хотя бы одно 32-х разрядное слово, то принятые 32-х разрядные слова можно считывать, обращаясь по адресу псевдорегистра RX_MFBSP. Принимать данные можно также включив соответствующий порту канал DMA направления приёма (в этом случае обмен данными с портом осуществляется 64-х разрядными словами).

Если приёмник использует внешнюю частоту, то в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота приёмника, однако ее должно быть достаточно для того, что бы успеть переместить очередное слово из буфера пересинхронизации (за время приёма одного слова должно быть хотя бы три импульса системной частоты CLK). Если при заполненном буфере пересинхронизации приёмником был произведен приём очередного слова и инициирована попытка записи в буфер пересинхронизации устанавливается флаг ошибки приёма (RERR), а последнее принятое слово теряется.

Установка бита RERR в процессе передачи говорит о том, что порт произвел попытку записи в полный буфер приёма. Это значит, что принятое слово было потеряно, кроме того могло быть нарушено состояние указателей в буфере приёма. Продолжать приём в таком состоянии порта нельзя. В этом случае необходимо произвести выключение порта - установить бит i2s_spi_en в 0, что приведет к сбросу состояния всех буферов порта, после чего

программно сбросить бит RERR записью в регистр RSR. После чего можно снова включить порт и продолжать приём.

В направлении приёма порт обладает буферизацией на 4 32-х разрядных слова. В случае приёма данных посредством DMA чтение блоков данных из буфера приёма происходит до тех пор, пока в буфере приёма достаточно слов для чтения очередного блока, размер которого определяется битами WN, регистра CSR соответствующего канала DMA. DMA обмены возможны только 64 разрядными словами, таким образом, если было принято нечетное количество 32-х разрядных слов, после окончания работы DMA необходимо прочитать оставшееся слово, обратившись к псевдорегистру RX_MFBSP.

Установка бита SPI_I2S_EN в 0 приведет к программному сбросу приёмника и все данные находящиеся в буфере приёма будут утеряны.

12.3.15 Прерывания от последовательного порта

Прерывание MFBSP_RXBUF устанавливается, в случае если включен приемник (I2S_SPI_EN=1, REN = 1) и в буфер приёма записано количество слов большее, чем установлено уровнем прерывания RLEV, либо произошла ошибка приема (RERR = 1).

Прерывание MFBSP_TXBUF устанавливается, в случае если включен передатчик (I2S_SPI_EN=1, REN = 1) и в буфере передачи осталось количество слов меньшее, либо равное чем установлено уровнем прерывания TLEV, либо произошла ошибка передачи (TERR = 1).

12.4 Работа MFBSР в режиме SPI

12.4.1 Назначение последовательного порта в режиме SPI

Режим SPI буферизированного последовательного порта предназначен для организации дуплексного обмена последовательными данными с внешними устройствами.

Порт в режиме SPI позволяет одновременно передавать и принимать последовательные данные. Приемник и передатчик контроллера могут настраиваются независимо, при этом возможен перевод приёмника в зависимое от передатчика состояние.

Поддерживается независимое задание направления выводов последовательных данных порта, осуществляемое установкой соответствующих бит регистра DIR_MFBSР.

В режиме ведущего устройства к MFBSР параллельно может быть подключено до двух ведомых SPI устройств.

Формирование сигнала выбора ведомого возможно как в автоматическом так и в программном режиме. В автоматическом режиме после передачи каждого слова сигнал выбора ведомого возвращается в высокое состояние. При программном управлении сигналами выбора ведомого данные сигналы изменяются посредством записи в контрольный регистр передатчика.

В данной реализации порта существует ограничение на выбор направления выводов в режиме SPI: тактовый и управляющий сигналы в режиме SPI должны быть либо оба заданы как вход, либо оба заданы как выход;

В данной реализации порта не предусмотрена возможность соединения нескольких микропроцессоров по цепочке с использованием SPI интерфейса. Микропроцессор может только управлять загрузкой последовательных данных в другие ведомые устройства, соединенные по цепочке.

В данной реализации порта в режиме ведомого устройства сигнал выбора ведомого предварительно пересинхронизируется на внутреннюю частоту порта, поэтому для устойчивой работы порта в режиме ведомого SPI устройства уровень сигнала SS, если необходима его установка в 1 между передачами, должен удерживаться как минимум два периода внутренней частоты CLK. Поэтому, если приемник работает в зависимом от передатчика режиме (RCS_CP=1, RCLK_CP=1), передатчик работает на максимальной частоте (TCLK_RATE=0) и формирует сигнал SS в автоматическом режиме (SS_DO=0, TCS_DIR=1), необходимо установить значение TSS_RATE>=1 чтобы удерживать сигнал SS в высоком уровне как минимум два периода внутренней частоты CLK.

12.4.2 Регистр управления и состояния CSR_MFBSP (режим SPI)

Регистр CSR_MFBSP (Таблица 12.11) используется для включения режима последовательного порта и разрешения прерываний от MFBSP.

Таблица 12.11. Назначение разрядов регистра CSR_MFBSP в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	RX_RDY_MODE	Режим формирования признака готовности приема данных из DMA в MFBSP: 0 – штатный режим работы. Признак готовности формируется MFBSP аппаратно; 1 – признак готовности установлен в 1. Используется для приведения DMA в исходное состояние, если: устройство подключенное к MFBSP передало в него меньший объем данных, по сравнению с тем, что указано в DMA; необходимо программно остановить прием данных в MFBSP	RW	0
30	TX_RDY_MODE	Режим формирования признака готовности передачи данных из MFBSP в DMA: 0 – штатный режим работы. Признак готовности формируется MFBSP аппаратно; 1 – признак готовности установлен в 1. Используется для приведения DMA в исходное состояние, если: устройство подключенное к MFBSP приняло из него меньший объем данных, по сравнению с тем, что указано в DMA; необходимо программно остановить передачу данных из MFBSP	RW	0
29:17	-	Резерв	R	0
16	MFBSP_TXBUF_IRQ_EN	Разрешение прерывания MFBSP_TXBUF: 0 – прерывание запрещено; 1- прерывание разрешено.	RW	1
15	MFBSP_RXBUF_IRQ_EN	Разрешение прерывания MFBSP_RXBUF: 0 – прерывание запрещено; 1- прерывание разрешено.	RW	1
14:11	-	В режиме SPI не используется	-	0
10	-	В режиме SPI не используется	-	1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
9	SPI_I2S_EN	Включение режима SPI/I2S: 0 – Работа в режиме LPORT 1 – Работа в режиме SPI/I2S	RW	0
8:5	-	В режиме SPI не используется	-	0
4:3	LSTAT	Состояние буфера: При LTRAN = 0 показывает состояние буфера приёма При LTRAN = 1 показывает состояние буфера передачи 00 – буфер пуст; 10 – буфер не пуст; 11 – буфер полон.	R	0
2	-	В режиме SPI не используется	-	0
1	LTRAN	Назначение бит LSTAT: 0 - DMA работает в направлении приёма, LSTAT отображает состояние буфера приёма 1 – DMA работает в направлении передачи, LSTAT отображает состояние буфера передачи	RW	0
0	LEN	В режиме SPI должен быть установлен в 0	RW	0

Алгоритм использования бит RX_RDY_MODE, TX_RDY_MODE:

1. Остановить MFBSP, для чего в регистр CSR_MFBSP необходимо записать 0.
2. Выполнить операцию записи 0 в бит RUN регистра CSR соответствующего DMA MFBSP (при этом, бит RUN может в 0 не установиться);
3. Установить в 1 бит RX_RDY_MODE (TX_RDY_MODE);
4. Дождаться установки в 0 бита RUN регистра CSR DMA MFBSP;
5. Установить в 0 бит RX_RDY_MODE (TX_RDY_MODE).

12.4.3 Регистр управления направлением выводов DIR_MFBSP (режим SPI)

Регистр управления направлением выводов DIR_MFBSP (Таблица 12.12) предназначен для индивидуальной настройки направления каждого вывода последовательного порта.

Таблица 12.12. Назначение разрядов регистра DIR_MFBSP в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
9:6	-	В режиме SPI не используется	-	0
5	TD_DIR	Направление вывода MOSI: 0 – MOSI – вход (при RD_DIR = 1 последовательные данные принимаются со входа MOSI - эквивалент SDI) 1 – MOSI - выход (MOSI – является выходом для передачи последовательных данных и является эквивалентом SDO)	RW	0
4	RD_DIR	Направление вывода MISO: 0 – MISO – вход (последовательные данные принимаются со входа MISO - эквивалент SDI) 1 – MISO - выход (MISO – является выходом для передачи последовательных данных и является эквивалентом SDO)	RW	0
3	TCS_DIR	Направление вывода SS[0]: 0 – SS[0] – вход (управляющий сигнал для передатчика снимается с вывода SS[0]) 1 – SS[0] - выход, управляющий сигнал формируется передатчиком	RW	0
2	RCS_DIR	Направление вывода SS[1]: 0 – SS[1] – вход (управляющий сигнал для приёмника снимается с вывода SS[1]) 1 – SS[1] - выход, в этом случае на SS[1] в зависимости от состояния бита RCS_CP подаются управляющие сигналы, формируемые либо приёмником, либо передатчиком	RW	0
1	TCLK_DIR	Направление вывода TSCK: 0 – TSCK – вход (тактовый сигнал TSCK принимается от внешнего источника) 1 – TSCK – выход (тактовый сигнал TSCK формируется передатчиком)	RW	0
0	RCLK_DIR	Направление вывода RSCK: 0 – RSCK – вход (тактовый сигнал RSCK принимается от внешнего источника) 1 – RSCK – выход (тактовый сигнал RSCK формируется приёмником)	RW	0

При RD_DIR = 0 и TD_DIR = 0 данные снимаются с MISO, при RD_DIR = 1 и TD_DIR = 1 на MOSI и MISO выдаются одинаковые данные с передатчика.

12.4.4 Регистр управления приёмником RCTR (режим SPI)

Таблица 12.13. Назначение разрядов регистра RCTR в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	Резерв	-	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
29	-	В режиме SPI не используется	-	0
28	-	В режиме SPI не используется	-	0
27	-	В режиме SPI не используется	-	0
26	RSIGN	Значение заполнителя: Если длина принимаемого слова меньше 32 при отключенном паковщике или меньше 16 при включенном паковщике, то неиспользуемые биты принятого слова заполняются При RSIGN = 0 нулями При RSIGN = 1 значением старшего разряда в принятом слове	RW	0
25	RPACK	В режиме SPI обязательно RPACK=0.	RW	0
24:20	RWORDLEN	Длина принимаемого слова: Число бит в принимаемом слове равно RWORDLEN + 1. RWORDLEN должно быть больше 0.	RW	5'b0
19	RMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW RW	1
18	-	В режиме SPI не используется	-	0
17:12	-	В режиме SPI не используется	-	0
11	RDEL	Задержка начала приёма данных на пол такта: (Эквивалентно CPHA в спецификации Motorola). Задаёт фронт, по которому производится захват данных приёмником (фронт приёма). Ниже приведено соответствие полярности фронта приёма значениям бит RNEG, RDEL: RNEG = 0, RDEL = 0 – захват по переднему фронту RSCK RNEG = 0, RDEL = 1 – захват по заднему фронту RSCK RNEG = 1, RDEL = 0 – захват по заднему фронту RSCK RNEG = 1, RDEL = 1 – захват по переднему фронту RSCK	RW	0
10	RNEG	Полярность тактового сигнала приёмника: (эквивалентно CPOL в спецификации Motorola). Задаёт исходное состояние вывода RSCK и фронт, по которому производится захват данных приёмником (фронт приёма). Ниже приведено соответствие полярности фронта приёма значениям бит RNEG, RDEL: RNEG = 0, RDEL = 0 – захват по переднему фронту RSCK RNEG = 0, RDEL = 1 – захват по заднему фронту RSCK RNEG = 1, RDEL = 0 – захват по заднему фронту RSCK RNEG = 1, RDEL = 1 – захват по переднему фронту RSCK	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
		Исходное состояние RSCK = RNEG.		
9	-	В режиме SPI не используется	-	0
8:4	RCLK_RATE [4:0]	Делитель частоты приёмника: В случае, если частота формируется самим приёмником, определяет частоту приёмника $RSCK = CLK / ((RCLK_RATE + 1) * 2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0
3	RCS_CP	Управление сигналом выбора ведомого приёмника: 0 – сигнал SS[1] принимается приёмником с внешнего вывода или формируется самим приёмником. 1 – сигнал SS[1] формируется передатчиком и является сигналом выбора ведомого устройства 1. Приёмник осуществляет приём данных синхронно с передатчиком. (в этом случае RCLK_CP должно быть так же в 1).	RW	0
2	RCLK_CP	Дублирование сигнала RSCK: 0 – RSCK формируется или принимается независимо от передатчика 1 – RSCK приёмника дублирует TSCK передатчика (в этом случае RCS_CP должно быть так же в 1).	RW	0
1	RMODE	Режим работы приёмника: 0 – режим I2S 1 – режим SPI	RW	0
0	REN	Разрешение работы приёмника: 0 – приемник выключен 1 – приемник включен	RW	0

12.4.5 Регистр управления передатчиком TCTR (режим SPI)

Таблица 12.14. Назначение разрядов регистра TCTR в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	SS[1]	При SS_DO = 1 значение бита SS передаются на вывод LDAT[0]	-	0
30	SS[0]	<p>биты управления шиной Slave Select:</p> <p>Позволяет активировать подключенное ведомое устройство.</p> <p>При SS_DO = 0 установка соответствующего бита SS в 1 означает выбор ведомого устройства, с которым будет производиться обмен данными</p> <p>При SS_DO = 1 значения бит SS передаются на выходы SS напрямую</p>	RW	0
29	-	В режиме SPI не используется	-	0
28	-	В режиме SPI не используется	-	0
27	-	В режиме SPI не используется	-	0
26	-	Резерв	-	0
25	TPACK	В режиме SPI обязательно TPACK=0.	RW	0
24:20	TWORDLEN	<p>Длина передаваемого слова:</p> <p>Число бит в передаваемом слове равно TWORDLEN + 1. TWORDLEN должно быть больше 0.</p>	RW	5'b0
19	TMBF	<p>Порядок передачи бит:</p> <p>0 – младшим битом вперед</p> <p>1 – старшим битом вперед</p>	RW	1
18	-	В режиме SPI не используется	-	0
17:12	-	В режиме SPI не используется	-	0
11	TDEL	<p>Задержка начала передачи данных на пол такта:</p> <p>(Эквивалентно CPHA в спецификации Motorola). Задаёт фронт, по которому производится выдача данных передатчиком (фронт выдачи). Ниже приведено соответствие полярности фронта выдачи значениям бит TNEG, TDEL:</p> <p>TNEG = 0, TDEL = 0 – выдача по заднему фронту TSCK</p> <p>TNEG = 0, TDEL = 1 – выдача по переднему фронту TSCK</p> <p>TNEG = 1, TDEL = 0 – выдача по переднему фронту TSCK</p> <p>TNEG = 1, TDEL = 1 – выдача по заднему фронту TSCK</p>	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
10	TNEG	Полярность тактового сигнала передатчика: (эквивалентно CPOL в спецификации Motorola). Задаёт исходное состояние вывода TSCK и фронт, по которому производится выдача данных передатчиком (фронт выдачи). Ниже приведено соответствие полярности фронта выдачи значениям бит TNEG, TDEL: TNEG = 0, TDEL = 0 – выдача по заднему фронту TSCK TNEG = 0, TDEL = 1 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 0 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 1 – выдача по заднему фронту TSCK Исходное состояние TSCK = TNEG.	RW	0
9	-	В режиме SPI не используется	-	0
8:4	TCLK_RATE	Делитель частоты передатчика: В случае, если частота формируется самим передатчиком, определяет частоту передатчика $TSCK = CLK / ((TCLK_RATE + 1) * 2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0
3	SS_DO	управление выводами SS: 0 – управление выводами SS производится в автоматическом режиме. С началом передачи вывод SS, для которого соответствующий бит SS, регистра TCRT установлен в 1 переводится в низкое состояние, с окончанием передачи вывод SS переводится в высокое состояние. Если соответствующий выводу бит SS установлен в 0 вывод SS всегда находится в высоком состоянии. 1 – значения бит SS напрямую передаются на внешние выводы. В этом случае необходимо программное управление шиной SS в процессе передачи	RW	0
2	-	В режиме SPI не используется	-	0
1	TMODE	Режим работы передатчика: 0 – режим I2S 1 – режим SPI	RW	0
0	TEN	Разрешение работы передатчика: 0 – приемник выключен 1 – приемник включен	RW	0

12.4.6 Регистр состояния приёмника RSR (режим SPI)

Таблица 12.15. Назначение разрядов регистра RSR в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	RSS_RATE	Если сигнал SS формируется приёмником, то задает время удержания сигнала SS в высоком уровне между передачами слов. Время удержания SS определяется как $TRCLK/2*(RSS_RATE+1)$, где TRCLK период тактового сигнала RCLK	RW	0
23	-	резерв	-	0
22:20	RB_DIFF	Количество принятых 64-разрядных слов в буфере приёма (max 8).	R	0
19:17	-	резерв	-	0
16:12	RCLK_RATE [9:5]	Делитель частоты приёмника: В случае, если частота формируется самим приёмником, определяет частоту приёмника $RCLK = CLK/((RCLK_RATE+1)*2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0
11	-	Резерв	-	
10	RRUN	Идёт приём: 0 – приёмник в состоянии ожидания 1 – идёт приём очередного слова	R	0
9	RERR	Ошибка передачи: 0 – приём проходил в штатном режиме 1 - была запись в полный буфер приёма (потеря данных). Флаг сбрасывается записью 0 в 6-й разряд регистра RSR.	RW	0
8	RSBF	Буфер пересинхронизации в направлении приёма полон: 0 – буфер пересинхронизации в направлении приёма не полон 1 – буфер пересинхронизации в направлении приёма полон	R	0
7	RSBE	Буфер пересинхронизации в направлении приёма пуст: 0 – буфер пересинхронизации в направлении приёма не пуст 1 – буфер пересинхронизации в направлении приёма пуст	R	1
6:4	RLEV	Порог прерывания от буфера приёма: Прерывание формируется если число принятых 64-х разрядных слов больше RLEV	RW	7
3	RBHL	Достигнут порог прерывания в буфере приёма: 1 – число 64-х разрядных слов в буфере приёма больше чем задано в RLEV 0 – число 64-х разрядных слов в буфере приёма меньше либо равно RLEV	R	0
2	RBHF	Буфер приёма полон на половину	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
1	RBF	Буфер приёма полон: 0 – буфер приёма не полон 1 – буфер приёма полон	R	0
0	RBE	Буфер приёма пуст: 0 – буфер приёма не пуст 1 – буфер приёма пуст	R	1

12.4.7 Регистр состояния передатчика TSR (режим SPI)

Таблица 12.16. Назначение разрядов регистра TSR в режиме SPI

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	TSS_RATE	Если сигнал SS формируется передатчиком, то задает время удержания сигнала SS в высоком уровне между передачами слов. Время удержания SS определяется как $TTCLK/2*(TSS_RATE+1)$, где TTCLK период тактового сигнала TCLK	RW	0
23	-	резерв	-	0
22:20	TB_DIFF	Количество свободных 64-разрядных позиций в буфере передачи (в буфер передачи можно записать еще TB_DIFF 64-разрядных слов).	R	8
19:17	-	резерв	-	0
16:12	TCLK_RATE E [9:5]	Делитель частоты передатчика: В случае, если частота формируется самим передатчиком, определяет частоту передатчика $TCLK = CLK/((TCLK_RATE+1)*2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0
11	-	Резерв	-	0
10	TRUN	Идёт передача: 0 – передатчик в состоянии ожидания 1 – идёт передача очередного слова	R	0
9	TERR	Ошибка передачи: 0 – передача проходила в штатном режиме 1 - было чтение из пустого буфера передачи (передача некорректных данных). Флаг сбрасывается записью 0 в 6-й разряд регистра TSR.	RW	0
8	TSBF	Буфер пересинхронизации в направлении передачи полон: 0 – буфер пересинхронизации в направлении передачи не полон 1 – буфер пересинхронизации в направлении передачи полон	R	0

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
7	TSBE	Буфер пересинхронизации в направлении передачи пуст: 0 – буфер пересинхронизации в направлении передачи не пуст 1 – буфер пересинхронизации в направлении передачи пуст	R	1
6:4	TLEV	Порог прерывания от буфера передачи: Прерывание формируется если число 64-х разрядных слов в буфере передачи меньше либо равно TLEV. В режиме передачи данных с использованием DMA определяет степень заполнения буфера передачи, при которой происходит запись в буфер очередной пачки данных	R	0
3	TBLL	Достигнут порог прерывания в буфере передачи: 1 – число 64-х разрядных слов в буфере передачи меньше либо равно TLEV 0 – число 64-х разрядных слов в буфере передачи больше TLEV	R	1
2	TBNF	Буфер передачи заполнен на половину	R	0
1	TBF	Буфер передачи полон: 0 – буфер передачи не полон 1 – буфер передачи полон	R	0
0	TBE	Буфер передачи пуст: 0 – буфер передачи не пуст 1 – буфер передачи пуст	R	1

12.4.8 Структурная схема MFBSPI для режима SPI

На Рисунок 12.18 представлена структурная схема MFBSPI для режима SPI.

Включение режима SPI производится установкой бит LEN=0, SPI_I2S_EN=1, TMODE = 1 (для передатчика), RMODE = 1 (для приёмника).

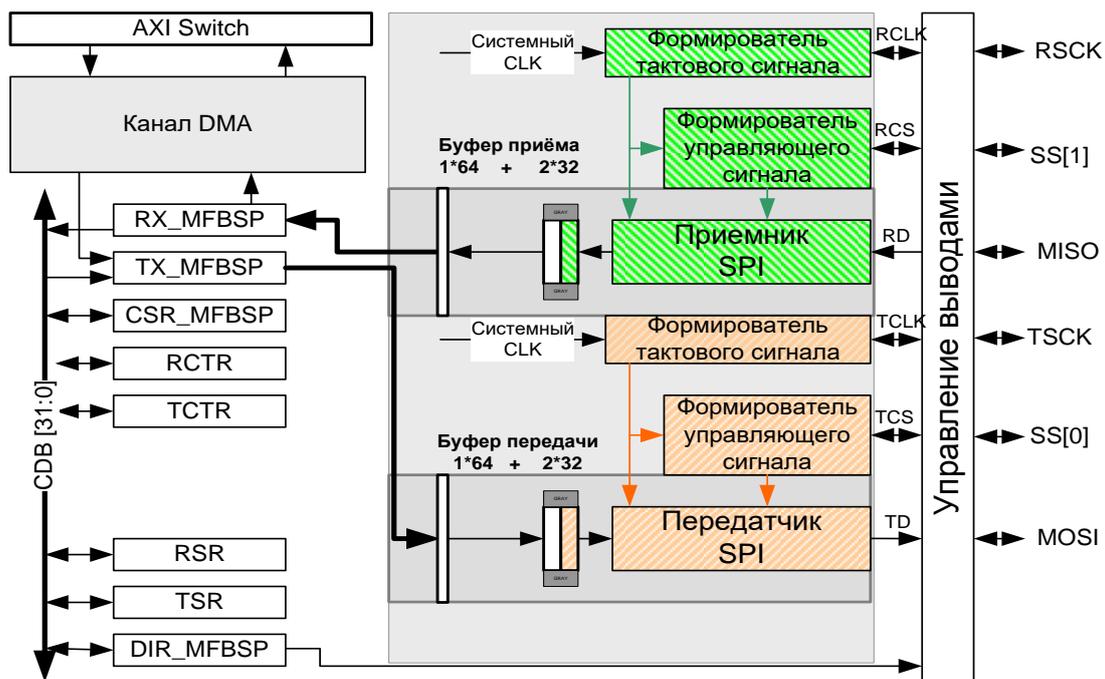


Рисунок 12.18. Структурная схема MFBSPI для режима SPI

12.4.9 Варианты соединения порта с внешними устройствами

Программно управляя направлением выводов последовательного порта (см. описание регистра DIR_MFBSP) можно организовать различные варианты соединения схемы с внешними устройствами через MFBSPI (Рисунок 12.19, Рисунок 12.20).

MFBSPI позволяет подключить одно ведомое SPI устройство. Активация ведомого устройства с которым будет производиться обмен осуществляется битом SS[0], регистра TCTR.

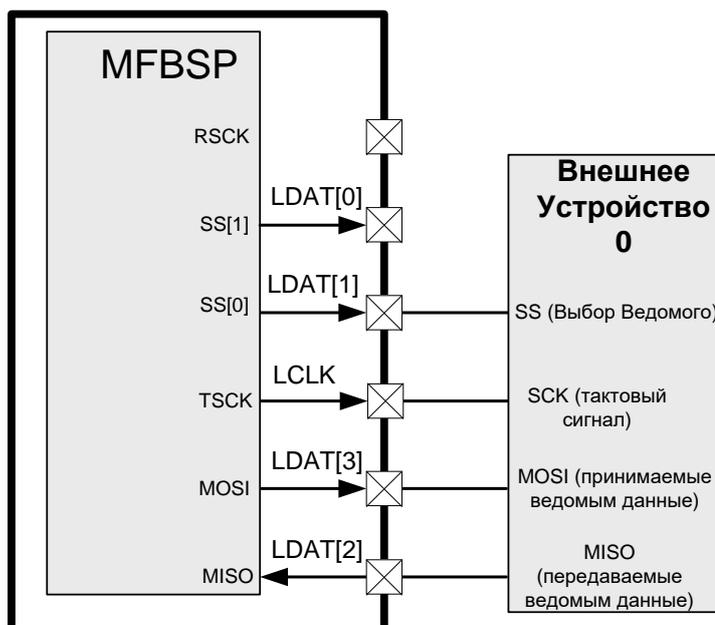


Рисунок 12.19. Подключение к MFBSP двух ведомых устройств по интерфейсу SPI. Приёмник в зависимом от передатчика режиме

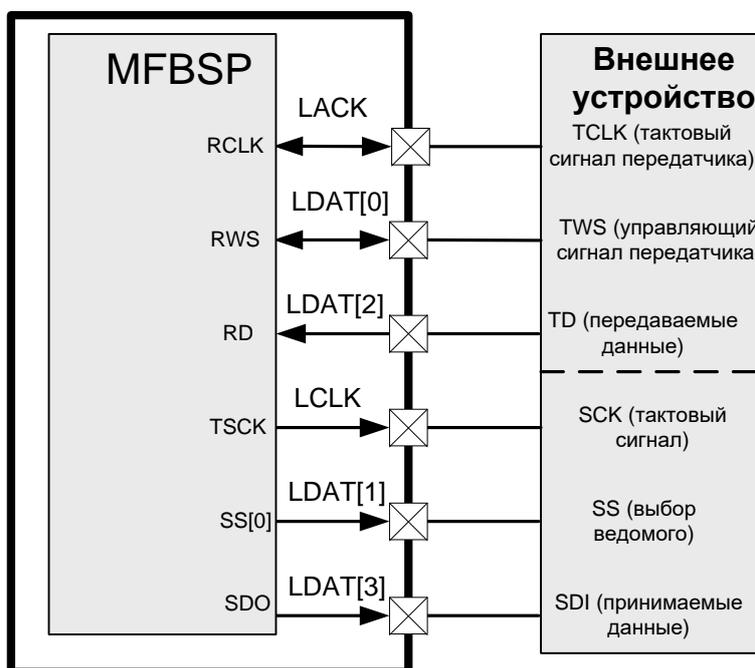


Рисунок 12.20. Организация передачи управляющих данных по интерфейсу SPI и приёма аудиоданных по интерфейсу I2S

12.4.10 Передача данных в режиме SPI

В режиме SPI возможна передача данных при четырёх сочетаниях бит TDEL и TNEG (Рисунок 12.21, Рисунок 12.22). При этом TNEG – задает начальное состояние вывода

TCLK и полярность фронта, по которому производится чтение. TDEL задает смещение передаваемых данных на пол фазы. Значения RNEG и RDEL приёмника должны соответствовать TNEG и TDEL передатчика. После аппаратного сброса SS_DO=0, в этом случае управление сигналом выбора ведомого производится в автоматическом режиме.

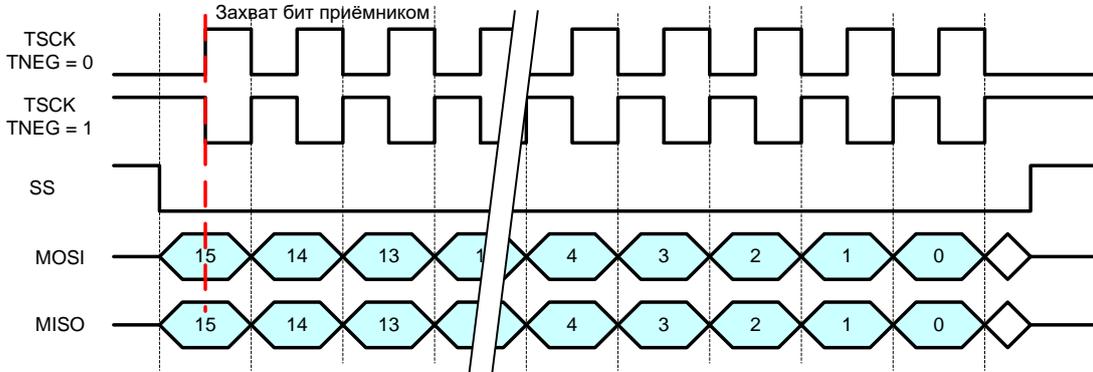


Рисунок 12.21. Передача одного слова в режиме SPI с автоматической генерацией управляющего сигнала TMODE = 1, TMBF = 1, TDEL = 0, SS_DO = 0. Диаграммы тактового сигнала TSCK представлены для различных значений TNEG

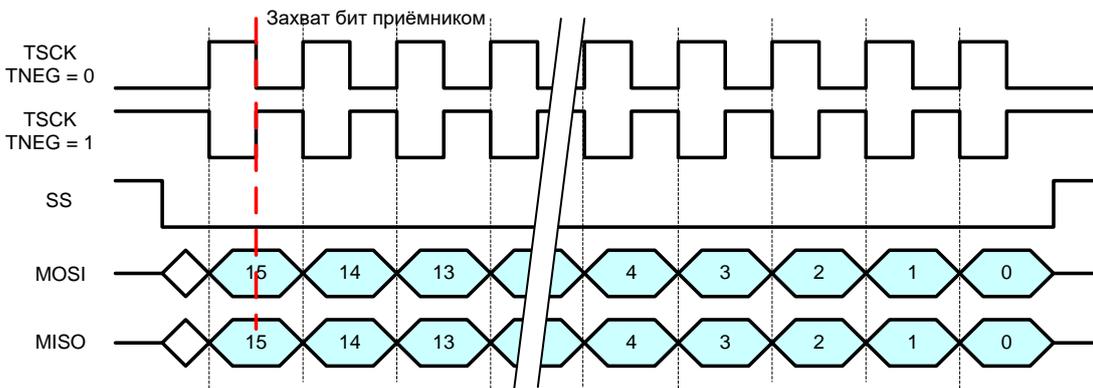


Рисунок 12.22. Передача одного слова в режиме SPI с автоматической генерацией управляющего сигнала TMODE = 1, TMBF = 1, TDEL = 1, SS_DO = 0. Диаграммы тактового сигнала TSCK представлены для различных значений TNEG

Чтобы передать несколько слов без изменения уровня на внешнем выводе SS можно использовать программное управление внешним выводом SS, в этом случае SS_DO необходимо установить в 1, программно установить вывод SS в 0, записать передаваемые данные в буфер передачи (или включить канал DMA на передачу), дождаться фактического окончания передачи (бит TRUN регистра TSR сбрасывается в 0), после чего программно установить вывод SS в 1 (Рисунок 12.23).

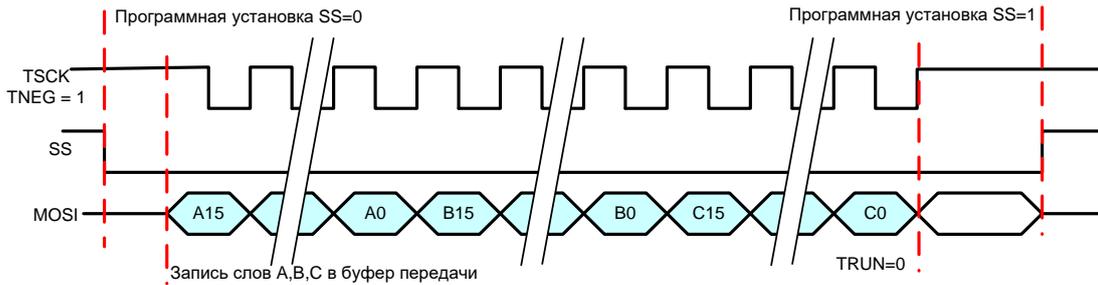


Рисунок 12.23. Передача трёх слов в режиме SPI с программным управлением сигналом SS, TMODE = 1, TMBF = 1, TDEL = 0, TNEG = 0, SS_DO = 1

В режиме ведомого устройства сигнал выбора ведомого предварительно пересинхронизируется на внутреннюю частоту порта, поэтому для устойчивой работы порта в режиме ведомого SPI устройства уровень сигнала SS, если необходима его установка в 1 между передачами, должен удерживаться как минимум два периода внутренней частоты CLK.

Непосредственно к тактовому сигналу TACK данное ограничение не применяется, т.е. частота TACK может быть больше CLK.

Когда MFBSF работает в режиме ведущего SPI устройства, время удержания сигнала SS при автоматическом формировании данного сигнала может регулироваться программно. В этом случае время между последним фронтом тактового сигнала для последней пересылки и установкой сигнала SS в 1 равно времени между установкой и сбросом сигнала SS и равно времени между сбросом сигнала SS первым фронтом тактового сигнала для новой пересылки. Это время определяется как $TSS = (TSS_RATE + 1) * TTCLK / 2$, где TTCLK – период тактового сигнала, генерируемого портом для последовательной передачи данных (Рисунок 12.24). Если необходимо формировать сигнал SS средствами приёмника – то для этих целей используется поле RSS_RATE.

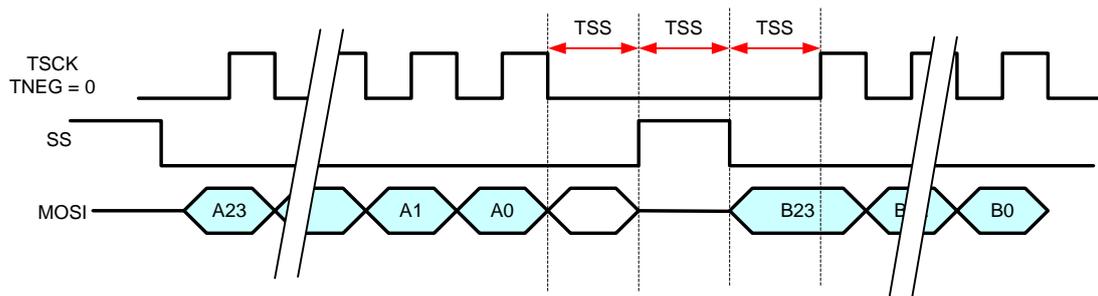


Рисунок 12.24. Управление временем удержания сигнала SS в высоком уровне между передачами, на картинке TNEG = 0, TDEL = 0, TMBF = 1, TWORDLEN = 23, TSS_RATE = 1

12.4.11 Пример чтения 8 разрядного слова по заданному адресу из ведомого устройства с интерфейсом C-BUS

Для чтения слова по указанному адресу по интерфейсу C-BUS необходима передача двух 8ми битных слов.

Для организации такого чтения необходимо записать соответствующий ведомому устройству бит SS, регистра TCTR, 1;

Перевести порт в режим SPI (LEN = 0, SPI_I2S_EN = 1, RMODE = 1, TMODE = 1);

Настроить приемник и передатчик: TDEL = RDEL = 0; TNEG = RNEG = 0; TWORDLEN = RWORDLEN = 5'h0F; RCLK_CP = 1; RCS_CP = 1, SS_DO = 0;

Включить приемник и передатчик REN = 1, TEN = 1;

Записать в регистр LTX 32-х разрядное слово, содержащее во втором байте 7ми разрядный адрес и бит WR, значение младшего байта не важно.

Ожидаем до тех пор, пока в буфер приёма не будет записано принятое слово (RSR[0] сбрасывается в 0)

В прочитанном по адресу LRX 32-х разрядном слове, младшие 8 бит – слово, прочитанное из ведомого устройства.

На Рисунок 12.25 представлены временные диаграммы для передачи по интерфейсу CBUS.

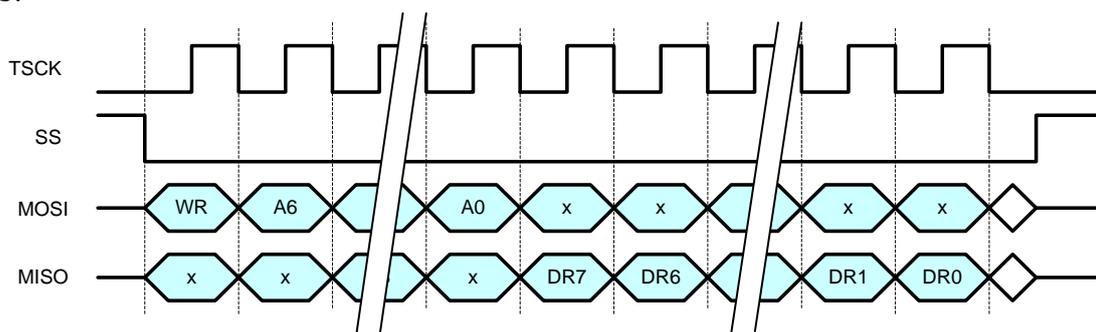


Рисунок 12.25. Пример чтения 8-ми разрядного слова из ведомого устройства (интерфейс C-BUS)

12.4.12 Формирование тактовых сигналов приёмника (RSCK) и передатчика (TSCK)

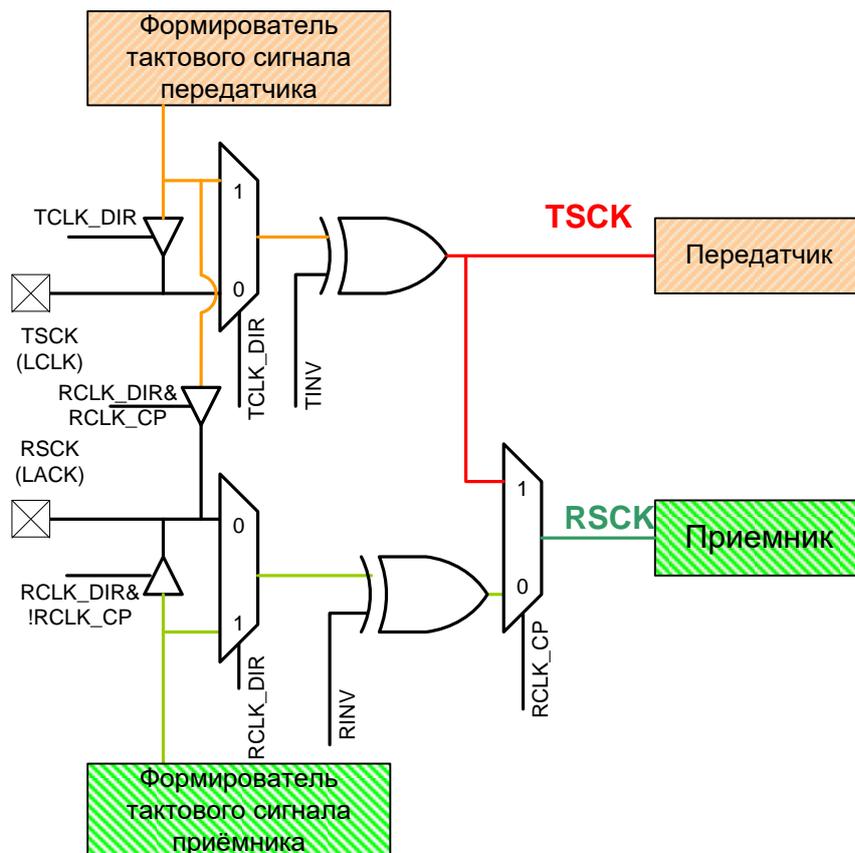


Рисунок 12.26. Схема формирования тактовых сигналов приёмника и передатчика в режиме SPI

На Рисунок 12.26 представлена схема формирования тактовых сигналов приёмника и передатчика в режиме SPI.

В зависимости от значения бита `TCLK_DIR`, тактовый сигнал передатчика `TSCK` может как формироваться самим передатчиком, так приниматься с внешнего вывода. В зависимости от значений бит `TMODE`, `TNEG` и `TDEL` тактовый сигнал либо передается передатчику без изменений, либо инвертируется.

В зависимости от значения бита `RCLK_DIR`, тактовый сигнал приёмника `RSCK` может как формироваться самим приёмником, так приниматься с внешнего вывода. В зависимости от значений бит `RMODE`, `RNEG` и `RDEL` тактовый сигнал либо передается приёмнику без изменений, либо инвертируется.

Если бит `RCLK_CP` установлен в 1, то тактовый сигнал приёмника копирует тактовый сигнал передатчика. Для корректной работы устройства в этом случае настройки полярности тактового сигнала приёмника и передатчика должны совпадать (`TNEG=RNEG`, `TDEL=RDEL`).

При $RCLK_CP = 1$ тактовый сигнал передатчика передаётся на внешний вывод приёмника, только если передатчик сам формирует тактовый сигнал и вывод тактового сигнала приёмника сконфигурирован как выход ($TCLK_DIR=1, RCLK_DIR=1$).

12.4.13 Формирование управляющих сигналов приёмника и передатчика в режиме SPI

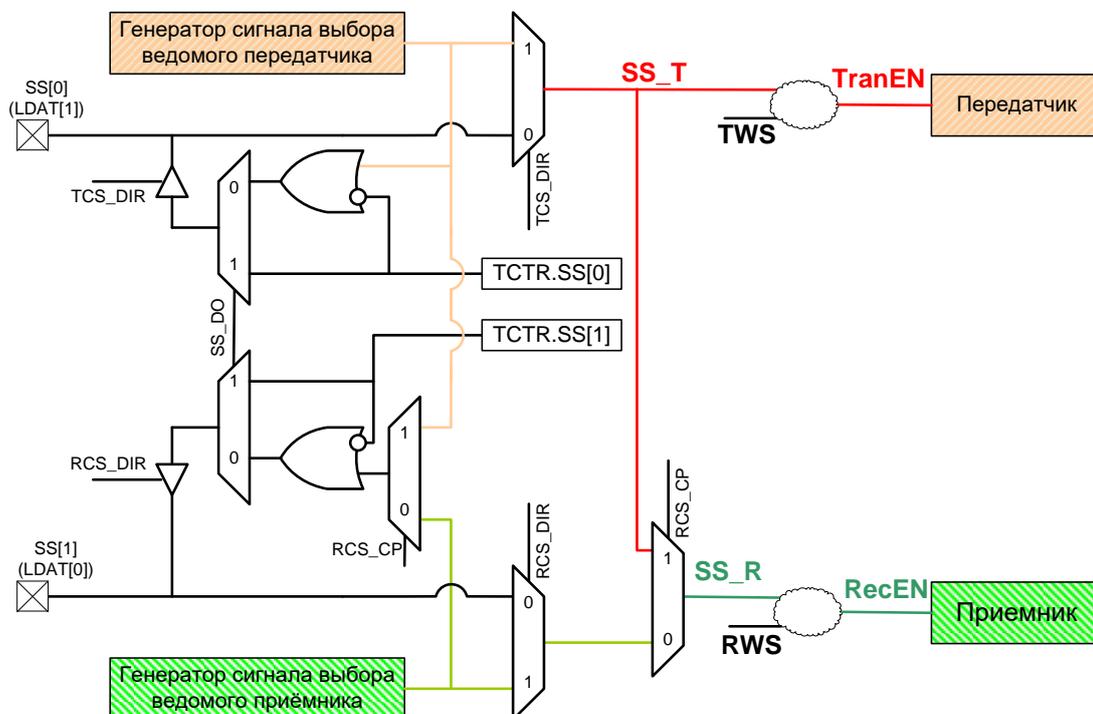


Рисунок 12.27. Схема формирования управляющих сигналов в режиме SPI

На Рисунок 12.27 представлена схема формирования управляющих сигналов в режиме SPI.

SS – шина выбора ведомого устройства. Низкий уровень сигнала SS, поданный на ведомое устройство означает, что данное устройство выбрано и с приходом тактового сигнала SCK должно начать обмен данными с ведущим устройством.

MFBSB с зависимым от передатчика приёмником в режиме ведущего позволяет параллельно подключать до двух ведомых устройств по шине SPI и формировать сигналы выбора ведомого устройства как в автоматическом режиме, так и программно.

MFBSB с зависимым от передатчика приёмником может работать как ведомое SPI устройство, управляемое внешним сигналом $SS[0]$ и внешней тактовой частотой $TSCK$, обеспечивая обмен данными в дуплексном режиме.

MFBSР позволяет организовать независимый приём и передачу данных по интерфейсу SPI. В этом случае SS[0] – управляющий сигнал передатчика, SS[1] – управляющий сигнал приёмника.

При TCS_DIR = 1 передатчик SPI формирует сигнал выбора ведомого, SS[0] - выход. В автоматическом (SS_DO=0) режиме формирования управляющего сигнала перед началом передачи очередного слова сигнал выбора ведомого переводится в низкий уровень, а по окончании передачи слова сигнал выбора ведомого снова переводится в высокий уровень. Изменение уровня на выводе SS[0] происходит только в случае, если соответствующий бит SS[0] регистра TCTR установлен в 1. Если приёмник в зависимом от передатчика режиме (RCS_CP = 1) и SS[1] сконфигурирован как выход (RCS_DIR=1), то вывод SS[1] используется как сигнал выбора дополнительного ведомого устройства. Изменение уровня на выводе SS[1] происходит только, в случае, если соответствующий бит SS[1] регистра TCTR установлен в 1. В случае программного управления шиной SS (SS_DO = 1) значения бит SS[1:0] контрольного регистра TCTR передаются непосредственно на выводы SS[1:0].

Если приёмник в зависимом от передатчика режиме (RCS_CP=1) и вывод SS[0] сконфигурирован как вход (TCS_DIR = 0), тогда MFBSР работает в режиме дуплексного ведомого SPI устройства. Сигнал выбора ведомого принимается с внешнего вывода SS[0] и используется как приёмником, так и передатчиком.

Если приёмник работает в независимом от передатчика режиме (RCS_CP=0), то в режиме ведущего, когда вывод SS[1] сконфигурирован как выход (RCS_DIR=1) формируемый приёмником сигнал выбора ведомого направляется на вывод SS[1]. При автоматическом формировании управляющего сигнала (SS_DO = 0) перед началом приёма очередного слова сигнал SS[1] автоматически переводится в низкий уровень и переводится в высокий уровень по окончании приёма каждого слова. В режиме ведущего устройства приём слов приёмником ведётся до заполнения буфера приёма. В режиме ведомого устройства, когда вывод SS[1] сконфигурирован как вход (RCS_DIR=0) независимый приёмник (RCS_CP=0) принимает сигнал выбора ведомого с вывода SS[1].

В режиме SPI направление выводов тактового сигнала и управляющего сигнала должно строго совпадать. Т.е. TCLK_DIR=TCS_DIR. В случае если приёмник работает независимо от передатчика, то RCLK_DIR=RCS_DIR.

12.4.14 Тракт передачи данных

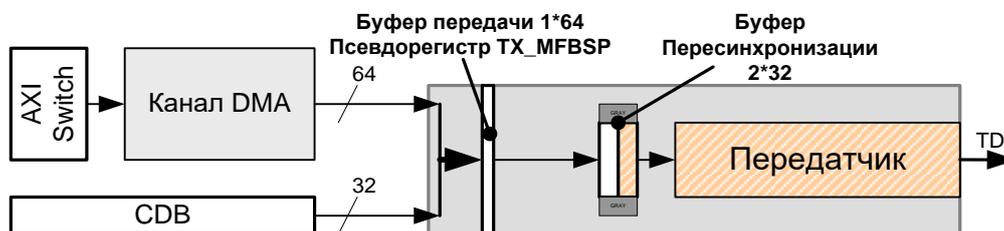


Рисунок 12.28. Тракт передачи данных для режима SPI

На Рисунок 12.28. Тракт передачи данных для режима SPI представлен тракт передачи данных для режима SPI.

Чтобы инициировать передачу данных по последовательному порту, необходимо включить последовательный порт ($SPI_I2S_EN=1$) и передатчик ($TEN=1$), после чего либо начать производить запись передаваемых 32-х разрядных слов в буфер передачи по адресу псевдорегистра TX_MFBSP, либо включить канал DMA в направления передачи для соответствующего порта (в этом случае обмен данными с портом будет вестись 64-х разрядными словами).

Данные записанные в буфер передачи автоматически перемещаются в буфер пересинхронизации направления передачи, если он не полон. Запись в буфер пересинхронизации направления передачи осуществляется на системной частоте CLK, чтение из буфера пересинхронизации осуществляется на частоте передатчика TCLK. Как только в буфере пересинхронизации оказалось хотя бы одно слово, передатчиком инициируется передача. Передатчиком производится последовательная выдача бит очередного 32-х разрядного слова до тех пор, пока число переданных бит не достигнет $TWORDLEN+1$, после чего производится считывание очередного слова из буфера пересинхронизации. По мере передачи слов в освобождающийся буфер пересинхронизации перемещается слово из буфера передачи. После выборки последнего слова из буфера передачи (буфер передачи пуст) в буфере пересинхронизации остаётся еще два слова. Фактическое окончание передачи можно идентифицировать по состоянию буфера пересинхронизации, либо считав бит TRUN регистра TSR.

Если управляющий сигнал формируется передатчиком, то при считывании последнего слова из буфера пересинхронизации передача останавливается. Передача продолжится только после того как в буфер пересинхронизации снова начнут поступать данные.

Если передатчик использует внешнюю частоту и внешний управляющий сигнал, в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота передатчика, однако ее должно быть достаточно для того, что бы успеть переме-

стить очередное слово в буфер пересинхронизации (за время передачи одного слова должно быть хотя бы три импульса системной частоты CLK). Если внешний управляющий сигнал инициировал передачу слова при пустом буфере пересинхронизации устанавливается флаг ошибки передачи (TERR), в этом случае передаётся ошибочное слово. Если управляющий сигнал формируется самим передатчиком, системная частота может быть много меньше частоты передатчика, однако это скажется на скорости передачи данных.

Установка бита TERR в процессе передачи говорит о том, что порт произвел попытку чтения из пустого буфера передачи. Это значит, что передатчиком было передано некорректное слово, кроме того могло быть нарушено состояние указателей в буфере передачи. Продолжать передачу в таком состоянии порта нельзя. В этом случае необходимо произвести выключение порта - установить бит `i2s_spi_en` в 0, что приведет к сбросу состояния всех буферов порта, после чего программно сбросить бит TERR записью в регистр TSR. После чего можно снова включить порт и продолжить передачу.

В направлении передачи порт обладает буферизацией на 4 32-х разрядных слова. В случае передачи данных посредством DMA запись блоков данных в буфер передачи происходит до тех пор, пока буфер готов принять очередной блок, размер которого определяется битами WN, регистра CSR соответствующего канала DMA.

Установка бита `SPI_I2S_EN` в 0 приведет к программному сбросу передатчика, и все данные находящиеся в буфере передачи будут утеряны.

12.4.15 Тракт приёма данных

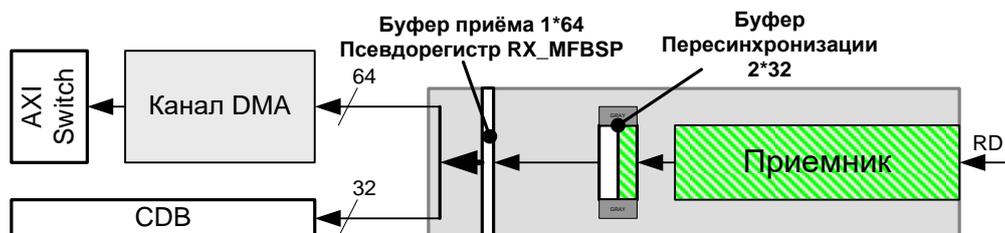


Рисунок 12.29. Тракт приёма данных в режиме SPI

На Рисунок 12.29 представлен тракт передачи данных для режима SPI. Что бы перевести приёмник в режим готовности необходимо включить последовательный порт (`SPI_I2S_EN=1`) и приёмник (`REN=1`), после чего либо начать ожидание появления прочитанных данных в буфере приёма, либо включить канал DMA в направлении приёма для соответствующего порта.

Приёмник принимает последовательные биты, поступающие с внешнего вывода до тех пор, пока число принятых бит не достигнет значения `RWORDLEN+1`. После этого принятое 32-х разрядное слово (если `RWORDLEN<31` незадействованные биты обнуляются) перемещается в буфер пересинхронизации. Запись в буфер пересинхронизации направления приёма осуществляется на частоте приёмника `RCLK`, чтение из буфера пересинхронизации осуществляется на системной частоте `CLK`. Из буфера пересинхронизации принятое

слово автоматически перемещается в буфер приёма, если он не полон. Если в буфере приёма есть хотя бы одно 32-х разрядное слово, то принятые 32-х разрядные слова можно считывать, обращаясь по адресу псевдорегистра RX_MFBSP. Принимать данные можно также включив соответствующий порту канал DMA направления приёма (в этом случае обмен данными с портом осуществляется 64-х разрядными словами).

Если приёмник использует внешнюю частоту, то в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота приёмника, однако ее должно быть достаточно для того, что бы успеть переместить очередное слово из буфера пересинхронизации (за время приёма одного слова должно быть хотя бы три импульса системной частоты CLK). Если при заполненном буфере пересинхронизации приёмником был произведен приём очередного слова и инициирована попытка записи в буфер пересинхронизации устанавливается флаг ошибки приёма (RERR), а последнее принятое слово теряется.

Установка бита RERR в процессе передачи говорит о том, что порт произвел попытку записи в полный буфер приёма. Это значит, что принятое слово было потеряно, кроме того могло быть нарушено состояние указателей в буфере приёма. Продолжать приём в таком состоянии порта нельзя. В этом случае необходимо произвести выключение порта - установить бит `i2s_spi_en` в 0, что приведет к сбросу состояния всех буферов порта, после чего программно сбросить бит RERR записью в регистр RSR. После чего можно снова включить порт и продолжать приём.

В направлении приёма порт обладает буферизацией на 4 32-х разрядных слова. В случае приёма данных посредством DMA чтение блоков данных из буфера приёма происходит до тех пор, пока в буфере приёма достаточно слов для чтения очередного блока, размер которого определяется битами WN, регистра CSR соответствующего канала DMA. DMA обмены возможны только 64 разрядными словами, таким образом, если было принято нечетное количество 32-х разрядных слов, после окончания работы DMA необходимо прочитать оставшееся слово, обратившись к псевдорегистру RX_MFBSP.

Установка бита SPI_I2S_EN в 0 приведет к программному сбросу приёмника и все данные находящиеся в буфере приёма будут утеряны.

12.4.16 Прерывания от последовательного порта

Прерывание MFBSP_RXBUF устанавливается, в случае если включен приемник (`I2S_SPI_EN=1`, `REN = 1`) и в буфер приёма записано количество слов большее, чем установлено уровнем прерывания RLEV, либо произошла ошибка приема (`RERR = 1`).

Прерывание MFBSP_TXBUF устанавливается, в случае если включен передатчик (`I2S_SPI_EN=1`, `REN = 1`) и в буфере передачи осталось количество слов меньше, либо равное чем установлено уровнем прерывания TLEV, либо произошла ошибка передачи (`TERR = 1`).

12.5 Работа MFBSР в режиме линкового порта (LPORT)

12.5.1 Назначение линкового порта

Линковый порт предназначен для обмена данными между различными микросхемами последовательно-параллельным кодом.

Порт может передавать 32-х разрядные слова частями по 4 бита за 8 пересылок, либо частями по 8 бит за 4 пересылки, выбор одного из этих режимов осуществляется установкой бита LDW, регистра CSR_MFBSР.

12.5.2 Регистр управления и состояния CSR_MFBSР (режим LPORT)

Таблица 12.17. Назначение разрядов регистра CSR_MFBSР в режиме LPORT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	RX_RDY_MODE	<p>Режим формирования признака готовности приема данных из DMA в MFBSР:</p> <p>0 – штатный режим работы. Признак готовности формируется MFBSР аппаратно;</p> <p>1 – признак готовности установлен в 1.</p> <p>Используется для приведение DMA в исходное состояние, если: устройство подключенное к MFBSР передало в него меньший объем данных, по сравнению с тем, что указано в DMA; необходимо программно остановить прием данных в MFBSР</p>	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
30	TX_RDY_MODE	Режим формирования признака готовности передачи данных из MFBSР в DMA: 0 – штатный режим работы. Признак готовности формируется MFBSР аппаратно; 1 – признак готовности установлен в 1. Используется для приведение DMA в исходное состояние, если: устройство подключенное к MFBSР приняло из него меньший объем данных, по сравнению с тем, что указано в DMA; необходимо программно остановить передачу данных из MFBSР	RW	0
29:17	-	Резерв	R	0
16	MFBSР_TXBUF_IRQ_EN	Разрешение прерывания MFBSР_TXBUF: 0 – прерывание запрещено; 1- прерывание разрешено.	RW	1
15	MFBSР_RXBUF_IRQ_EN	Разрешение прерывания MFBSР_RXBUF: 0 – прерывание запрещено; 1- прерывание разрешено.	RW	1
14:11	LCLK_RATE [4:1]	Делитель частоты LPORT: $LCLK = CLK / (2 * (LCLK_RATE + 1))$	RW	0
10	LPT_IRQ_EN	Разрешение прерывания SRQ: 0 – прерывания по запросу обслуживания LPORT запрещены 1 – прерывания по запросу обслуживания LPORT разрешены	RW	1
9	SPI_I2S_EN	В режиме LPORT должен быть установлен в 0	RW	0
8	SRQ_RX	Признак запроса обслуживания на прием данных	RW	0
7	SRQ_TX	Признак запроса обслуживания на передачу данных	RW	0
6	LDW	Разрядность внешней шины данных: 0 - 4-разряда (32-разрядное слово передается за 8 посылок); 1 - 8-разряда (32-разрядное слово передается за 4 посылки).	RW	0
5	LRERR	Ошибка приема данных: 0 – приняты все биты данных; 1 – приняты не все биты данных.	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
4:3	LSTAT	Состояние буфера: При LTRAN = 0 показывает состояние буфера приёма При LTRAN = 1 показывает состояние буфера передачи 00 – буфер пуст; 10 – буфер не пуст; 11 – буфер полон.	R	0
2	LCLK_RATE[0]	Делитель частоты LPORT: $LCLK = CLK / (2 * (LCLK_RATE + 1))$	RW	0
1	LTRAN	Режим работы порта: 0 – приемник; 1 – передатчик.	RW	0
0	LEN	Разрешение работы порта: 0 – все выходы порта находятся в высокоимпедансном состоянии; 1 – порт работает в соответствии с состоянием бита LTRAN.	RW	0

Биты LSTAT, LRERR сбрасываются при LEN=0.

Алгоритм использования бит RX_RDY_MODE, TX_RDY_MODE:

1. Остановить MFBSР, для чего в регистр CSR_MFBSР необходимо записать 0.
2. Выполнить операцию записи 0 в бит RUN регистра CSR соответствующего DMA MFBSР (при этом, бит RUN может в 0 не установиться);
3. Установить в 1 бит RX_RDY_MODE (TX_RDY_MODE);
4. Дождаться установки в 0 бита RUN регистра CSR DMA MFBSР;
5. Установить в 0 бит RX_RDY_MODE (TX_RDY_MODE).

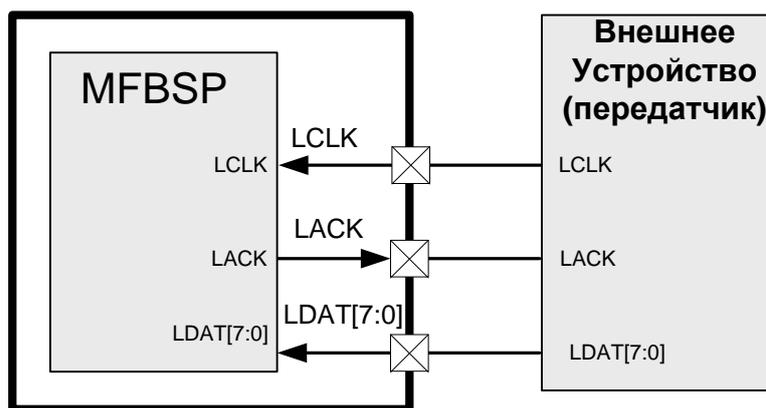


Рисунок 12.32. MFBSP в режиме приёмника LPORT (LCLK, LDAT-входы, LACK - выход)

12.5.5 Передача данных по линковому порту

По линковому порту передача данных происходит в одном направлении (либо передача данных, либо приём данных).

Для смены направления обмена данными по линковому порту необходимо сначала выключить порт (установить бит LEN, регистра CSR_MFBSP в 0), затем включить порт, установив требуемое значение направления передачи данных (бит LTRAN, регистра CSR_MFBSP)

Передача данных по линковому порту возможна для любых сочетаний частот приёмника и передатчика, кроме случаев, когда системная частота приёмника, более чем в 4 раза меньше, чем частота передачи данных по линковому порту. Скорость передачи данных будет определяться самым медленным устройством.

Для корректной передачи данных необходимо, чтобы значение бита LDW у приёмника и у передатчика совпадало.

Если для передатчика LDW=1, а для приёмника LDW=0 приёмник будет упаковывать два 32-х разрядных слова в одно 32-х разрядное слово, выкидывая из каждого байта старшие 4 бита.

Установка значений LDW для передатчика LDW=0, а для приёмника LDW=1 не допускается.

Временная диаграмма работы линкового порта приведена на Рисунок 12.33.

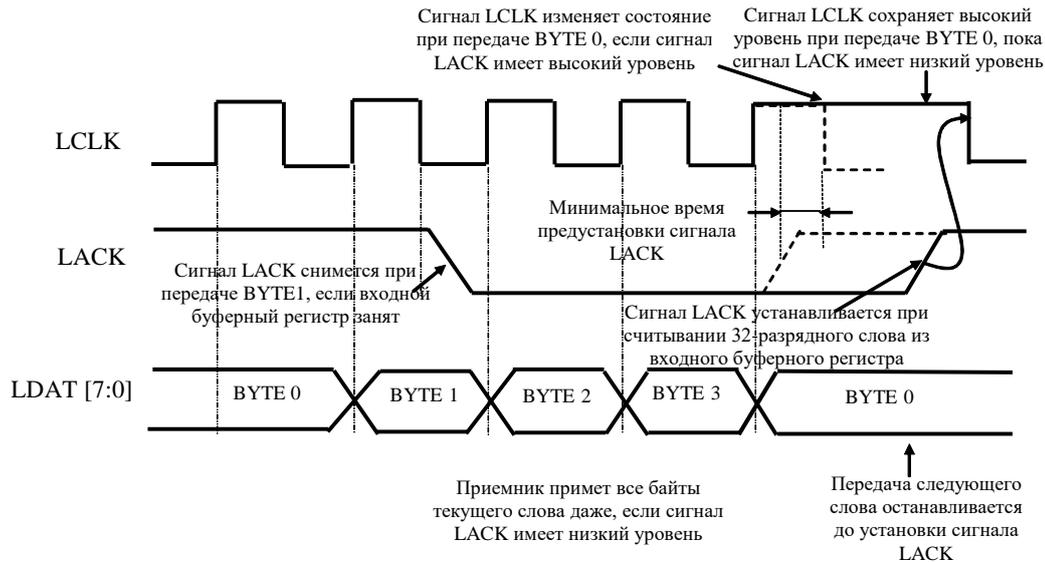


Рисунок 12.33. Временная диаграмма работы линкового порта (LDW=1)

При LDW=0 передача 32-разрядного слова выполняется за 8 посылок, а при LDW=1 - за 4 посылки. Передатчик изменяет данные LDAT по положительному фронту LCLK, а приемник защелкивает данные в буфере приёма по отрицательному фронту.

Исходное состояние сигнала LACK – высокий уровень. Сигнал LACK снимется приемником по заднему фронту LCLK при передаче BYTE1, если в буфере приёма осталось место для приёма всего одного слова. При этом приемник примет все байты текущего 32-разрядного слова даже, если сигнал LACK имеет низкий уровень. Сигнал LACK устанавливается при считывании 32-разрядного слова из входного буферного регистра.

Передатчик после выставления BYTE0 анализирует состояние сигнала LACK. Если LACK=1, то LCLK продолжает изменять свое состояние и после BYTE 0 передается BYTE 1 и так далее. Если LACK=0, то LCLK сохраняет высокий уровень при передаче BYTE 0, пока сигнал LACK имеет низкий уровень.

Если линковый порт деактивизирован (LEN=0) сигналы LDAT, LCLK LACK являются входами. Поэтому эти сигналы необходимо привязывать к земле через резисторы 10 кОм. Если порт настроен как передатчик, LDAT и LCLK становятся выходами, а LACK – входом. Если порт настроен как приемник, LDAT и LCLK становятся входами, а LACK – выходом.

LPORT может выполнять либо только приём либо только передачу данных. Поэтому LPORT снабжен одним буфером на 4 64-х разрядных слова, используемом как в направлении приёма, так и в направлении передачи. В направлении приёма дополнительно встроен буфер на 2 32-х разрядных слова, используемый для пересинхронизации с внешней частоты LCLK на внутреннюю системную частоту.

Таким образом, LPORT обладает буферизацией в направлении передачи на 4 64-разрядных слова (8 32-разрядных слов) и буферизацией в направлении приёма на 5 64-разрядных слов (10 32-разрядных слов).

Принимаемые портом данные сначала помещаются в буфер пересинхронизации и только через два такта перемещаются в буфер LPORT. При опросе контрольных регистров порта доступно состояние только буфера LPORT без учёта буфера пересинхронизации. Таким образом, после заполнения основного буфера LPORT могут быть приняты ещё два 32-х разрядных слова, которые будут перемещаться из буфера пересинхронизации в общий буфер LPORT по мере освобождения буфера LPORT.

Запись данных в буфер пересинхронизации LPORT осуществляется по внешней частоте LCLK, а перемещение данных из буфера пересинхронизации в буфер LPORT осуществляется по внутренней системной частоте CLK. Если внутренняя системная частота более чем в 4 раза меньше внешней частоты LCLK, скорости перемещения данных между двумя буферами может быть недостаточно, что будет приводить к периодическому заполнению буфера пересинхронизации. К потере данных это не приведет, поскольку в LPORT предусмотрен механизм останова передачи по заполнению буфера приёма, однако это приведёт к замедлению обмена данными по линковым портам.

12.5.6 Прерывания от линковых портов

Если линковый порт не активизирован ($LEN=0$, $SPI_I2S_EN=0$), он формирует прерывание по запросу обслуживания, если:

на внешней шине выставлены данные на прием (активное состояние сигнала LCLK);

из внешней шины поступил запрос на выдачу данных (активное состояние сигнала LACK).

Данное прерывание сбрасывается после установки $LEN=1$.

Если MFBSF используется в режиме линкового порта, то чтобы избежать ложной установки прерывания SRQ в случае, когда порт выключен и на выводах LACK или LCLK установлено высокоимпедансное состояние, необходимо к выводам LACK и LCLK подключить pull-down резисторы.

При $LPT_IRQ_EN=0$ данное прерывание маскируется

Если включен линковый порт ($LEN=1$) прерывания от MFBSF формируются в случае если в буфер приёма записано количество слов большее, чем установлено уровнем прерывания RLEV (MFBSF_RXBUF), либо если при включенном передатчике в буфере передачи осталось количество слов меньшее, либо равное чем установлено уровнем прерывания TLEV (MFBSF_TXBUF).

12.6 Работа MFBSР в режиме порта ввода-вывода общего назначения

Если многофункциональный порт выключен ($LEN=0$, $SPI_I2S_EN =0$), внешние линии $LDAT[7:0]$, $LCLK$, $LACK$ можно использовать как 10-разрядный двунаправленный порт ввода-вывода.

Если включен режим последовательного порта ($SPI_I2S_EN = 1$), незадействованные в организации последовательной передачи данных выводы $LDAT[7:4]$ могут быть использованы в качестве вводов-выводов общего назначения. Единственным ограничением в данной ситуации является то, что для определения режима работы последовательного порта используются биты $LDIR[5:0]$, которые не должны меняться в процессе передачи данных по последовательному порту. Поэтому при управлении выводами общего назначения $LDAT[7:4]$ (управляются битами $DIR_MFBSР [9:6]$) запись в регистр $DIR_MFBSР$ необходимо проводить таким образом, что бы текущие значения бит $DIR_MFBSР [5:0]$ не менялись.

При работе в режиме выводов общего назначения данные с внешних выводов порта защелкиваются по положительному фронту тактового сигнала. Поэтому следует учитывать, что чтение данных с внешних выводов порта будет происходить с задержкой в 1 такт.

12.6.1 Регистр данных порта ввода вывода GPIO_DR

10-разрядный регистр данных порта ввода-вывода ($GPIO_DR$) предназначен для реализации гибкого интерфейса с внешними устройствами. Внешние выводы порта ввода-вывода совмещены с внешними выводами линкового порта.

Соответствие разрядов регистра $GPIO_DR$ и внешних линий линкового порта приведено в Таблица 12.18.

Таблица 12.18. Назначение разрядов регистра GPIO_DR

Номер разряда Регистра GPIO_DR	Внешние выводы MFBSР	Значение после сброса
9:2	$LDAT[7:0]$	0
1	$LCLK$	0
0	$LACK$	0

12.6.2 Регистр управления направлением выводов DIR_MFBSР

Настройка направления выводов порта ввода-вывода осуществляется программно при помощи 10-разрядного регистра $DIR_MFBSР$. Если $DIR_MFBSР$ установлен в 0, то соответствующий разряд порта ввода-вывода является входом, если же разряд $DIR_MFBSР$ установлен в 1, то соответствующий разряд порта ввода-вывода является выходом.

Таблица 12.19. Назначение разрядов регистра DIR_MFBSP

Номер разряда Регистра DIR_MFBSP	Внешние выходы MFBSP	Значение после сброса
9:2	Направление выводов LDAT[7:0]	0
1	Направление вывода LCLK	0
0	Направление вывода LACK	0

12.7 Рекомендации по аварийному выключению передатчика

В режимах SPI и I2S при TDEL = 1 выключение порта путем записи 0 в TEN, без сброса бита SPI_I2S_EN может привести к сбою в буфере передачи, и после очередного включения передатчика (TEN=1) данные будут передаваться некорректно.

Решения:

1. Если передатчик был выключен при TDEL=1, перед его очередным включением необходимо сбросить записью 1 в бит RST_TXBUF.
2. В режиме мастер выключать передатчик (если есть необходимость в дальнейшем использовать порт) вообще нет необходимости – отсутствие данных в буфере передачи автоматически останавливает дальнейшую передачу.

13. ПОРТ JTAG И ВСТРОЕННЫЕ СРЕДСТВА ОТЛАДКИ ПРОГРАММ

В данную микросхему встроен порт JTAG, реализованный в соответствии со стандартом IEEE 1149.1. Этот порт предназначен только для доступа к встроенным средствам отладки программ (OnCD) и не реализует Boundary Scan.

Модуль OnCD обеспечивает:

- выполнение остановки программы CPU по контрольным точкам (Breakpoint);
- выполнение заданного числа команд CPU (трассы) в реальном масштабе времени или пошаговое выполнение команд;
- доступ к адресуемым регистрам и памяти микросхемы.

Для подключения микросхемы к персональному компьютеру через порт JTAG необходимо использовать эмулятор JTAG, предназначенный для работы с данным микропроцессором.

14. ПРИНЦИПЫ КОРРЕКЦИИ ОШИБОК

Для защиты памяти используется модифицированный код Хэмминга, то есть к контрольным разрядам по обычному коду Хэмминга добавляется общий разряд контроля четности.

Все защищаемые кодом Хэмминга модули памяти (ICACHE, ITAG, CRAM, PRAM, XRAM, YRAM и внешняя память (EXT)) организуются либо в виде двух отдельных блоков: основной блок для хранения данных и блок для хранения контрольных разрядов либо в виде единого блока с возможностью байтовой записи. Для памяти, имеющих байтовую организацию (CRAM и внешняя память), контрольные разряды формируются операцией “чтение-модификация-запись”. Количество контрольных разрядов для 32-разрядных данных – 7 (см. Рисунок 14.1).

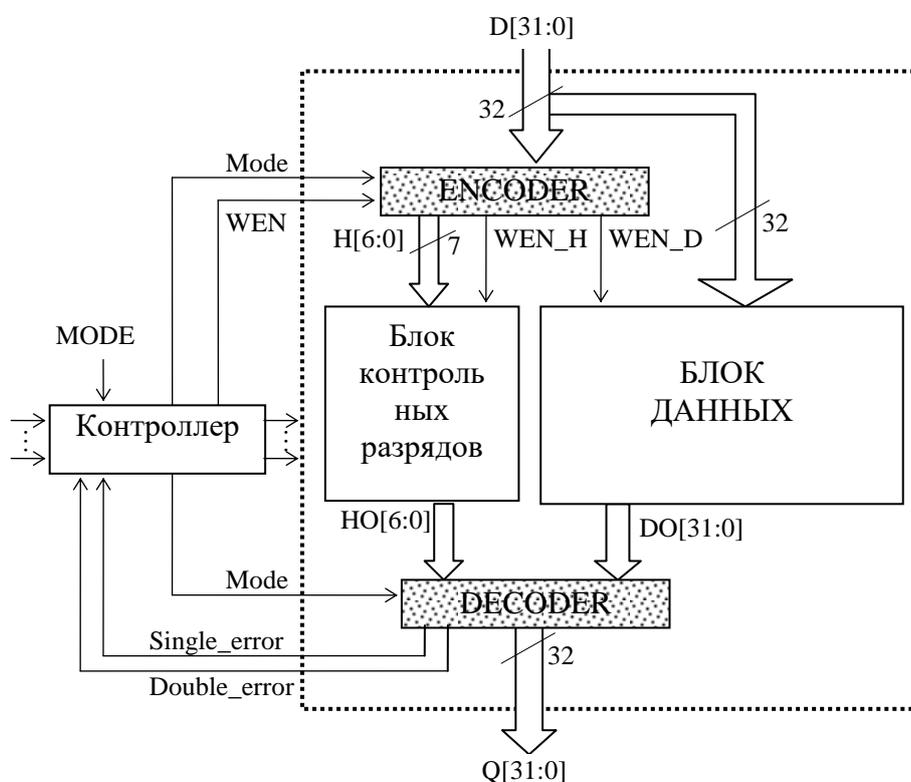


Рисунок 14.1. Структура 32-разрядного модуля памяти с коррекцией ошибок

Данные, записываемые в память, поступают на блок Encoder, который вычисляет контрольные разряды. При чтении из памяти данные поступают на блок Decoder, который анализирует контрольные разряды и определяет наличие одиночных и двойных ошибок в считанных данных либо одиночных ошибок в контрольных битах. Одиночные ошибки исправляются, двойные – фиксируются. Одновременно с достоверными данными (в случае отсутствия ошибок или коррекции одиночной ошибки) блок декодера формирует сигнал Single_Error (активный при наличии одиночной ошибки данных) или Parity_Error (активный при наличии ошибки в контрольном разряде общей четности). При обнаружении

двойной ошибки, данные, не корректируются, но устанавливается в активный уровень сигнал Double_Error.

Каждый модуль памяти имеет регистр управления и состояния CSR. Формат регистров CSR_ICACHE, CSR_CRAMA, CSR_CRAMB (память CRAM имеет 2 порта: А – со стороны CPU и В – со стороны DMA), CSR_EXT приведен в Таблица 14.1.

Таблица 14.1. Формат регистра CSR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
1:0	MODE	Режим работы памяти: 00 - режим без коррекции ошибок. Обмен данными выполняется только с блоком данных памяти; 01 - режим с коррекцией ошибок. В обмене данными участвуют блок данных и блок контрольных разрядов; 10 - режим тестирования блока контрольных разрядов; 11 - резерв.	W/R	0
2	NEMPTY	Признак наличия данных в FIFO ошибочных адресов	R	0
7:3	-	Резерв	-	0
15:8	Cnt_DERR	Счетчик двойных ошибок. При значении 255 останавливается. Прерывание сбрасывается при обнулении Cnt_DERR.	W/R	0
23:15	Num_SERR	Число одиночных ошибок данных, при котором формируется прерывание.	W/R	FF
31:24	Cnt_SERR	Счетчик одиночных ошибок. При значении 255 останавливается. Прерывание сбрасывается при $Cnt_CERR \leq Num_CERR$.	W/R	0

Формат регистров CSR памяти DSP приведен в п. 3.8.4.

При отключенном режиме коррекции ошибок (MODE=0) запись осуществляется только в блок данных, содержимое блока контрольных разрядов остается неизменным. При чтении данные, считываемые из блока данных, поступают на выход напрямую в обход схемы коррекции ошибок. Сигналы Single_Error, Parity_Error и Double_Error не формируются.

Ошибки Single_Error и Parity_Error накапливаются в счетчике Cnt_SERR, а в FIFO ошибочных адресов имеют различные коды. Ошибки Double_Error накапливаются в счетчике Cnt_DERR. Прерывание формируется при $Cnt_CERR > Num_CERR$ или $Cnt_DERR > 0$. Для маскирования прерываний от одиночных ошибок Num_CERR устанавливается в состояние "FF" (т.к. Cnt_CERR не может быть больше значения "FF") при этом ошибочные адреса при возникновении Single_Error или Parity_Error в FIFO записываются.

Для целей тестирования предусматривается специальный режим (MODE=2), в котором запись данных с входной шины модуля памяти осуществляется в блок контрольных разрядов напрямую, минуя схему кодирования. Содержимое блока данных остается неизменным. При чтении из памяти на выходную шину поступают данные из блока контрольных разрядов. Старшие разряды дополняются нулями.

Основные режимы работы памяти приведены в Таблица 14.2. Используются следующие обозначения: DI[31:0] – входная шина данных модуля, DO[31:0] – выход блока данных, H[6:0] – вход блока контрольных разрядов при 32-разрядной организации памяти, Q[31:0] – выходная шина данных модуля.

Таблица 14.2. Режимы работы памяти

MODE	Разрядность	Запись в блок данных	Запись в блок контрольных разрядов	Формирование выходной шины данных Q[31:0]
00	32	DI[31:0]	-	DO[31:0]
01	32	DI[31:0]	H[6:0]	DO[31:0] с коррекцией по H[6:0]
10	32	-	DI[6:0]	{25'h00000,HO[6:0]}
11	Резерв			

При байтовой организации памяти, запись в байтовый блок данных и соответствующий ему 7-разрядный блок контрольных разрядов производится при наличии активного сигнала разрешения записи в соответствующий байт (WEN[4]-WEN[0]). WEN[4] – запись контрольных битов. WEN[3]-WEN[0] – запись данных

Контроллер памяти формирует прерывание если:

- обнаружена двойная ошибка;
- содержимое счетчиков одиночных ошибок Cnt_SERR > Num_SERR

Каждый модуль памяти содержит блок FIFO ошибочных адресов. В нем запоминаются адреса ячеек, в которых были обнаружены одиночные или двойные ошибки. FIFO доступно только по чтению. Формат слов в FIFO AERROR_CRAMA, AERROR_CRAMB, AERROR_ICACHE, AERROR_EXT объемом по 16 слов приведен в Таблица 14.3 - Таблица 14.5.

Таблица 14.3. Формат слова FIFO ошибочных адресов AERROR_CRAM

Номер разряда	Условное обозначение	Назначение
1:0	Code_ERR	Код ошибки. 0 – нет ошибки 1 – одиночная ошибка 2 - двойная ошибка 3 – ошибка в контрольном разряде общей четности
14:2	ADDR[14:2]	Адрес слова памяти, в которой произошла ошибка.
31:15	-	0

Таблица 14.4. Формат слова FIFO ошибочных адресов AERROR_ICACHE

Номер разряда	Условное обозначение	Назначение
---------------	----------------------	------------

Номер разряда	Условное обозначение	Назначение
1:0	Code_ERR_ICACHE E	Код ошибки памяти ICACHE. 0 – нет ошибки 1 – одиночная ошибка 2 - двойная ошибка 3 – ошибка в контрольном разряде общей четности
3:2	Code_ERR_ITAG	Код ошибки памяти ITAG. 0 – нет ошибки 1 – одиночная ошибка 2 - двойная ошибка 3 – ошибка в контрольном разряде общей четности
15:4	PC[13:2]	Адрес слова памяти, в котором произошла ошибка.
31:16	-	0

При контроле считываемых данных ICACHE, ITAG при возникновении двойной ошибки происходит перезапись данной строки в ICACHE (процедура Refill).

Таблица 14.5. Формат слова FIFO ошибочных адресов AERROR_EXT

Номер разряда	Условное обозначение	Назначение
1:0	Code_ERR	Код ошибки. 0 – нет ошибки 1 – одиночная ошибка 2 - двойная ошибка 3 – ошибка в контрольном разряде общей четности
14:2	ADDR[14:2]	Адрес слова памяти, в которой произошла ошибка.
31:15	-	0

Формат слов FIFO ошибочных адресов памяти DSP приведен в п. 3.8.4.

15. ЭЛЕКТРИЧЕСКИЕ И ВРЕМЕННЫЕ ПАРАМЕТРЫ

15.1 Электропитание

Номинальное значение напряжения электропитания микросхемы:

- $U_{CC1}=3,3$ В (периферия);
- $U_{CC2}=2,5$ В (ядро).

Допустимые отклонения напряжения электропитания микросхемы от номинального значения - не более $\pm 5\%$.

Порядок подачи и снятия напряжений электропитания и входных сигналов на микросхему должен быть следующим:

- при включении на микросхему сначала необходимо подать напряжение электропитания ядра U_{CC2} , а затем напряжение электропитания периферии U_{CC1} . Задержка между подачей напряжений электропитания должна быть не более 10 мс. Входные сигналы подаются после подачи напряжений электропитания или одновременно с напряжением электропитания периферии U_{CC1} . Фронт нарастания напряжений электропитания должен быть не более 5 мс;
- при выключении микросхемы необходимо сначала снять входные сигналы, затем напряжение электропитания периферии U_{CC1} , затем, с задержкой не более 10 мс, напряжение электропитания ядра U_{CC2} .

Для фильтрации напряжений электропитания микросхемы, необходимо подключить к каждому источнику (U_{CC1} и U_{CC2}) не менее шести высокочастотных конденсаторов номиналом 0,1 мкФ типа СС 0603 Y5V 0,1 uF Z 25V. Конденсаторы необходимо разместить по возможности равномерно по площади корпуса микросхемы между выводами PVDD и GND, а так же CVDD и GND. При этом расстояние между контактами микросхемы и площадками подсоединения конденсаторов должно быть не более 3 мм.

15.2 Электрические параметры

Электрические параметры микросхемы приведены в Таблица 15.1.

Таблица 15.1. Электрические параметры микросхемы

Наименование параметров, единица измерения, режим измерения	Буквенное обозначение	Норма	
		не менее	не более
Ток потребления статический по цепи PVDD, мА при $U_{CC1}=3,47$ В, $U_{CC2}=2,63$ В, ХТИ=0	I_{CC1}	-	3
Ток потребления статический по цепи CVDD, мА при $U_{CC1}=3,47$ В, $U_{CC2}=2,63$ В, ХТИ=0	I_{CC2}	-	10
Ток потребления динамический по цепи CVDD, мА, при $U_{CC1}=3,47$ В, $U_{CC2}=2,63$ В и рабочей частоте 80 МГц	I_{OCC2}	-	1000

Наименование параметров, единица измерения, режим измерения	Буквенное обозначение	Норма	
		не менее	не более
Ток утечки высокого и низкого уровня на входе, мкА при $U_{CC1}=3,47\text{В}$ и $U_{CC2}=2,63\text{В}$	I_{IL}	-	2
Выходное напряжение низкого уровня, В при $I_{OL}=4\text{ мА}$, $U_{CC1}=3,47\text{В}$	U_{OL}	-	0,4
Выходное напряжение высокого уровня, В при $I_{OH}=-2,8\text{ мА}$, $U_{CC1}=3,13\text{В}$	U_{OH}	2,4	
Входная емкость, пФ	C_I	-	10
Емкость входа/выхода, пФ	$C_{I/O}$	-	10
Выходная емкость, пФ	C_O	-	15

15.3 Динамическая потребляемая мощность

Динамическая потребляемая мощность микросхемы имеет две составляющие: потребление ядра (по цепи CVDD) и потребление выходных драйверов (по цепи PVDD).

Мощность, потребляемая ядром микросхемы по цепи CVDD, зависит от последовательности выполняемых процессорными ядрами команд, от операндов, а также от активности DMA и периферийных устройств. Максимальный ток, потребляемый ядром микросхемы, не превышает 1000 мА при внутренней частоте синхронизации 80 МГц.

Мощность, потребляемая выходными драйверами по цепи PVDD, зависит от следующих параметров:

- Число выходных драйверов (O);
- Максимальная частота, на которой выходные драйверы переключаются (F);
- Емкости нагрузки выходных драйверов (C);
- Величина напряжения электропитания выходных драйверов (U_{CC1}).

Мощность, потребляемая выходными драйверами по цепи PVDD, определяется следующим уравнением:

$$P_{ext} = O * C * U_{CC1}^2 * F.$$

Рассмотрим для примера расчет мощности, потребляемой выходными драйверами при непрерывной записи данных в память типа SRAM (при $U_{CC1} = 3,3\text{ В}$). Максимальная частота обмена данными со SRAM = $CLK/4$, где CLK – внутренняя тактовая частота микросхемы (80 МГц). При обращении по произвольным адресам можно предположить, что с частотой $CLK/4$ изменяются 50% разрядов адреса. Также можно допустить, что каждый цикл изменяются 50% разрядов шины данных. Данные для расчета потребляемой мощности приведены в таблице 15.2.

Таблица 15.2

Название драйвера	Число драйверов	Емкость нагрузки	F, МГц	U_{CC1}^2	P_{ext} , мВт
A[31:0]	16	30	20	10,9	100
nWR[3:0]	4	30	20	10,9	25
D[63:0]	32	30	20	10,9	200
SCLK	1	30	80	10,9	25
Итого:					350

То есть, при тактовой частоте 80 МГц и $C=30$ пФ при непрерывной записи данных в SRAM потребление составляет 350 мВт. При чтении данных из SRAM выходные драйверы не активизируются. Поэтому, если запись данных в SRAM чередуется с чтением, то реальное энергопотребление микросхемы будет существенно меньше.

Оценим мощность, потребляемую драйверами линкового порта при передаче данных с частотой 40 МГц. Потребление по LCLK составляет 12 мВт, а потребление по данным (изменяется 50% 8-разрядных данных с частотой 20 МГц) - 24 мВт. Суммарно – 36 мВт.

15.4 Предельно-допустимые и предельные электрические режимы эксплуатации

Значения предельно-допустимых и предельных электрических режимов эксплуатации микросхемы приведены в Таблица 15.2.

Таблица 15.2. Значения предельно-допустимых и предельных электрических режимов эксплуатации

Наименование параметра, единица измерения	Буквенное обозначение	Норма			
		Предельно допустимый режим		Предельный Режим	
		не менее	не более	не менее	не более
Напряжение питания периферии, В	U_{CC1}	3,13	3,47	-	3,9
Напряжение питания ядра, В	U_{CC2}	2,37	2,63	-	3,0
Входное напряжение высокого уровня, В	U_{IH}	2,0	$U_{CC1}+0,2$	-	$U_{CC1}+0,3$
Входное напряжение низкого уровня, В	U_{IL}	0,0	0,7	-0,3	-
Напряжение, прикладываемое к выходу микросхемы в состоянии «выключено», В	U_{OZ}	0,0	$U_{CC1}+0,1$	-0,3	$U_{CC1}+0,3$
Емкость нагрузки каждого выхода, пФ	C_L	-	30	-	50

15.5 Временные параметры

15.5.1 Обмен данными с внешней памятью и устройствами

Временные параметры при обмене данными с внешней памятью и устройствами приведены в Таблица 15.3.

Таблица 15.3. Временные параметры при обмене данными с внешней памятью и устройствами

Наименование параметра, единица измерения	Буквенное обозначение	Норма	
		не менее	не более
Время задержки выходных сигналов A, D, nRDH, nRDL, nCS, SRASH, SRASL, SCASH, SCASL, SWEH, SWEL, DQM, CKE, A10, BA, nFLYBYH, nFLYBYL, nOEH, nOEL после переднего фронта частоты SCLK, нс	t _{DOSC}	2	5
Время задержки выходных сигналов nWRH, nWRL, nWEH, nWEL после заднего фронта частоты SCLK, нс	t _{DOSC}	2	5
Время предустановки считываемых данных из асинхронной памяти перед задним фронтом частоты SCLK, нс	t _{SDSC}	6	-
Время удержания считываемых данных из асинхронной памяти после фронта снятия сигнала nRD, нс (t _{CLK} – период частоты CLK)	t _{HDRD}	0	0,5 t _{CLK}
Время предустановки считываемых данных из синхронной памяти перед передним фронтом частоты SCLK, нс	t _{SDSC}	5	-
Время удержания считываемых данных из синхронной памяти после переднего фронта частоты SCLK, нс	t _{HDSC}	0	0,5 t _{CLK}

Временная диаграмма при чтении данных из асинхронной памяти приведена на Рисунок 15.1. Считываемые данные фиксируются в микросхеме по заднему фронту частоты SCLK перед снятием сигнала nRD.

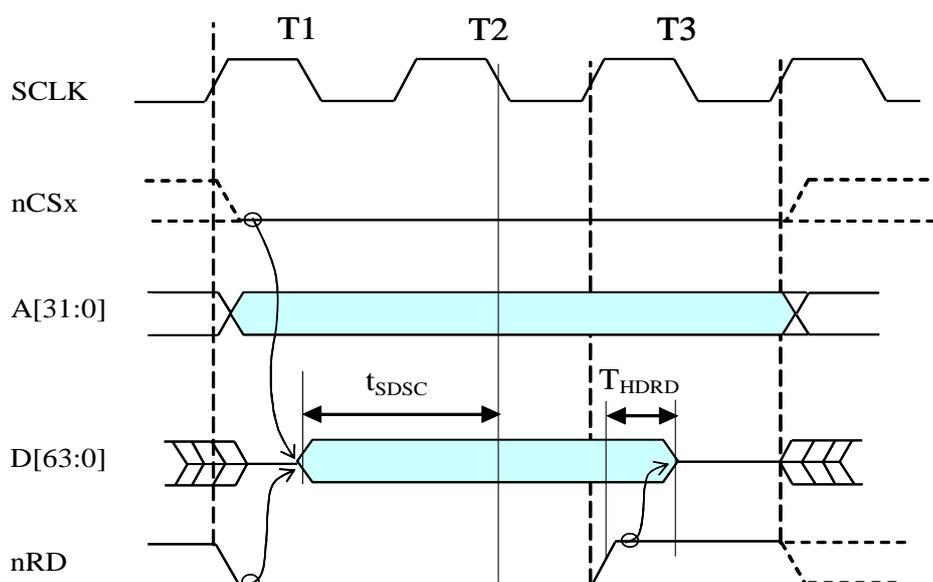


Рисунок 15.1. Чтение асинхронной памяти без дополнительных тактов ожидания

15.5.2 Прием и передача данных по линковому порту

Временные параметры при приеме данных по линковому порту приведены в Таблица 15.4 и Рисунок 15.2.

Таблица 15.4. Временные параметры при приеме данных по линковому порту

Наименование параметра, единица измерения	Буквенное обозначение	Норма	
		не менее	не более
Время предустановки данных перед задним фронтом частоты LCLK, нс	t _{SLDCL}	5	-
Время удержания данных после заднего фронта частоты LCLK, нс	t _{HLDCL}	3	-
Время задержки переключения сигнала LACK с высокого на низкий уровень после заднего фронта частоты LCLK, нс	t _{DLALC}	5	15
Период частоты LCLK	t _{LCLK}	2,05 * t _{CLK}	-

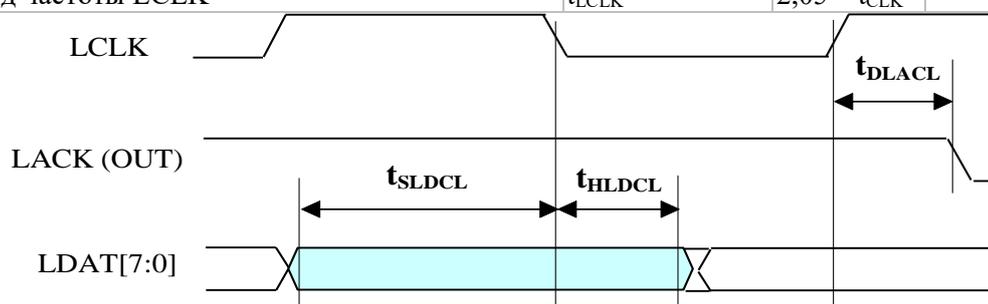


Рисунок 15.2. Прием данных по линковому порту

Временные параметры при передаче данных по линковому порту приведены в Таблица 15.5 и Рисунок 15.3..

Таблица 15.5. Временные параметры при передаче данных по линковому порту

Наименование параметра, единица измерения	Буквенное обозначение	Норма	
		не менее	не более
Время задержки данных после переднего фронта частоты LCLK, нс	t _{DLDCH}	-	10
Время удержания данных после переднего фронта частоты LCLK, нс	t _{HLDCH}	0	-
Время задержки переключения частоты LCLK в низкий уровень, после переключения сигнала LACK с низкого уровня на высокий, нс	t _{DLACLK}	5	t _{CLK} + 5

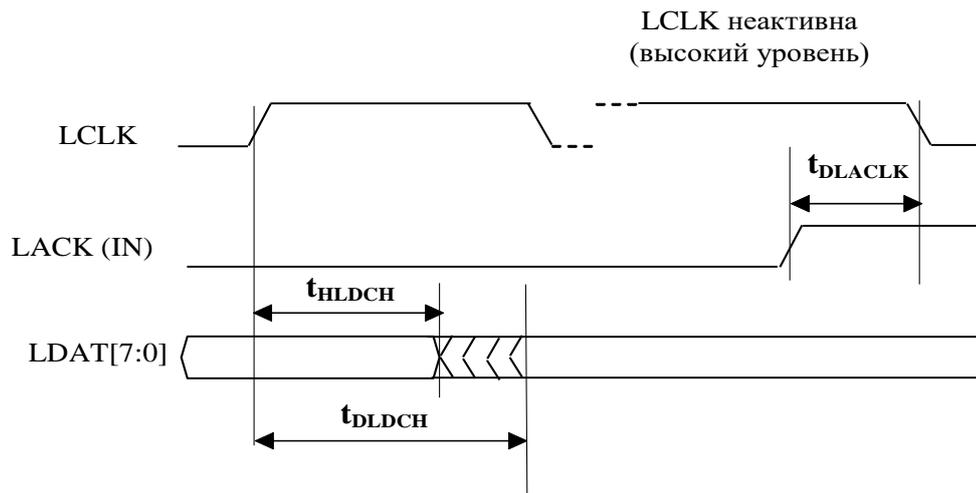


Рисунок 15.3. Передача данных по линковому порту

16. ОПИСАНИЕ ВНЕШНИХ ВЫВОДОВ

Микросхема 1892ВМ8Я имеет следующие группы выводов:

- порт внешней памяти - 171;
- управление - 22;
- 2 порта Space Wire - 16;
- 4 линковых порта - 40;
- UART - 2;
- Всего сигналов – 251;
- Электропитание – 16;
- Всего выводов - 413.

Описание выводов микросхемы 1892ВМ8Я приведено в Таблица 16.1 - Таблица 16.6.

Таблица 16.1. Порт внешней памяти

Название вывода	Количество	Тип	Назначение
A[31:0]	32	O	Шина адреса.
D[63:0]	64	IO	Шина данных
DHN[6:0]	7	IO	Шина данных контроля по коду Хэмминга (старшие разряды).
DHL[6:0]	7	IO	Шина данных контроля по коду Хэмминга (младшие разряды).
nWRL[3:0], nWRH[3:0]	8	O	Сигналы записи данных в асинхронную память: nWRL[0] – разряды с 0 по 7; nWRL[1] – разряды с 8 по 15; nWRL[2] – разряды с 16 по 23; nWRL[3] – разряды с 24 по 31; nWRH[0] – разряды с 32 по 39; nWRH[1] – разряды с 40 по 47; nWRH[2] – разряды с 48 по 55; nWRH[3] – разряды с 56 по 63. Формируются автоматически
nWEL, nWEH	2	O	Сигналы записи данных в асинхронную память, соответственно с 0 по 31 разряд и с 32 по 63 разряд
nWEHL, nWEHN	2	O	Запись кода Хэмминга в асинхронную память, соответственно по шинам DHL и DHN
nRDL, nRDH	2	O	Чтение асинхронной памяти, соответственно с 0 по 31 разряд и с 32 по 63 разряд
nWRSL[3:0], nWRSH[3:0]	8	O	Запись байтов синхронной статической памяти
nRDSL, nRDSH	2	O	Чтение синхронной статической памяти
nWRSHL, nWRSHH	2	O	Запись кода Хэмминга в синхронную статическую память
ACK	1	I	Готовность асинхронной памяти
nCS[4:0]	5	O	Разрешение выборки банков памяти
SRASH, SRASL	2	O	Строб адреса строки SDRAM
SCASH, SCASL	2	O	Строб адреса колонки SDRAM
SWEH, SWEL	2	O	Разрешение записи SDRAM
DQM[7:0]	8	O	Маска выборки байта
DQMHL, DQMHN	2	O	Маска записи кода Хэмминга в SDRAM
SCLK	1	O	Тактовая частота работы
CKE	1	O	Разрешение частоты
A_10	1	O	10 разряд адреса
BA[1:0]	2	O	Номер банка
nFLYBY[3:0]	4	O	Признак режима передачи DMA “Flyby”
nOE[3:0]	4	O	Разрешение чтения внешнего устройства (асинхронного)
Всего 171 вывод			

Таблица 16.2. Управление

Название вы- вода	Коли- чество	Тип	Назначение
nDMAR[3:0]	4	I	Запрос канала DMA
NMI	1	I	Немаскируемое прерывание. Исходное состояние этого сигнала должно быть «0». Для формирования немаскируемого прерывания на этот вывод необходимо подать один положительный импульс длительностью не менее 2 тактов системной частоты ХТ1. Если этот вывод не используется, то его необходимо подключить к земле (GND)
nIRQ[3:0]	4	I	Запросы прерывания. Потенциальные сигналы, активный низкий уровень. Эти сигналы устанавливаются асинхронно источником запроса прерывания. После обработки соответствующего запроса прерывания источник прерывания должен быть сброшен программно
BYTE	1	I	Разрядность блока внешней памяти, подключенного к выводу nCS[3] микросхемы: 0 – 32 разряда; 1 – 8 разрядов
WDT	1	O	Признак срабатывания сторожевого таймера. Этот сигнал формируется, если в программе произошел сбой. Его можно подать на системный контроллер, который будет принимать решение, что делать в данной ситуации
PLL_EN	1	I	Разрешение работы PLL_CORE, PLL_MPORT (см. п. 4.1): 0 – PLL_CORE, PLL_MPORT отключены. Все узлы микропроцессора работают на частоте ХТ1; 1 - PLL_CORE, PLL_MPORT включены. Синхронизация узлов микропроцессора осуществляется от этих PLL (см. п. 4.1)
XТ1	1	I	Системная тактовая частота. Если PLL_EN = 1, то на вход ХТ1 допускается подавать частоту от 9 до 12 МГц. Если PLL_EN = 0, то на вход ХТ1 допускается подавать частоту от 1 до 80 МГц. Стабильность частоты – не хуже +50 ppm, скважность – от 40 до 60%, джиттер – не более 1 %
RTC_XТ1	1	I	Тактовая частота реального времени, как правило - 32,768 кГц. Поступает на вход таймера RTT
XТ12	1	I	Тактовая частота 2,5 МГц. Используется для синхронизации умножителей частоты PLL_TX0, PLL_TX1. Стабильность частоты – не хуже +50 ppm, скважность – от 40 до 60%, джиттер – не более 1 %

Название вы-вода	Количество	Тип	Назначение
nRST	1	I	<p>Сигнал установки исходного состояния.</p> <p>Во время действия сигнала nRST все узлы микросхема находится в исходном (неактивном) состоянии, выходы - в неактивном состоянии, входы-выходы являются входами</p> <p>При включении электропитания микросхемы сигнал nRST должен иметь низкий уровень и переключаться на высокий уровень через время не менее 1 мс после установки стабильного электропитания и стабильной тактовой частоты на входе ХТІ.</p> <p>Если необходимо установить работающую микросхему в исходное состояние, то для этого на нее необходимо подать асинхронный сигнал nRST длительностью не менее 10 тактов частоты на входе ХТІ. При этом, если к MPORT подключена память типа SDRAM, то до подачи сигнала nRST все операции обмена данными с SDRAM должны быть закончены.</p> <p>Фронт и спад сигнала nRST должен быть не более 100 нс.</p>
TCK	1	I	Тестовый тактовый сигнал (JTAG)
TRST	1	I	<p>Установка исходного состояния (JTAG).</p> <p>При использовании микросхемы без возможности подключения эмулятора JTAG вывод TRST должен быть подключен к шине GND.</p> <p>Если микросхема используется с возможностью подключения эмулятора JTAG, то при включении электропитания микросхемы вывод TRST должен иметь низкий уровень и переключаться на высокий уровень через время не менее 1 мс после установки стабильного электропитания и стабильной тактовой частоты на входе ХТІ</p>
TMS	1	I	Выбор режима теста (JTAG)
TDI	1	I	Вход данных теста (JTAG)
TDO	1	O	Выход данных теста (JTAG)
nDE	1	IO	<p>Состояние DEBUG. Сигнал предназначен для отладки программного обеспечения нескольких микропроцессоров 1892ВМ8Я (до 8), работающих одновременно.</p> <p>Для этого выводы nDE у этих микросхем необходимо объединить в проводное ИЛИ. Если совместная отладка не используется, то вывод nDE должен быть незадействованным.</p>
			Всего 22 вывода

Таблица 16.3. Порты SpaceWire

Название вывода	Количество	Тип	Назначение
DINp0, DINp1	2	I	Вход данных положительный
DINn0, DINn1	2	I	Вход данных отрицательный
SINp0, SINp1	2	I	Вход строба положительный
SINn0, SINn1	2	I	Вход строба отрицательный
DOUp0, DOUp1	2	O	Выход данных положительный
DOUn0, DOUn1	2	O	Выход данных отрицательный
SOUtp0, SOUtp1	2	O	Выход строба положительный
SOUtn0, SOUtn1	2	O	Выход строба отрицательный
Всего 16 выводов			

Таблица 16.4. MFBSР (4 штуки)

Название вывода	Количество	Тип	Назначение
LDAT	8	IO	Шина данных.
LCLK	1	IO	Синхронизация
LACK	1	IO	Подтверждение
Всего 10*4=40 выводов			

Таблица 16.5. UART

Название вывода	Количество	Тип	Назначение
SIN	1	I	Вход последовательных данных
SOUT	1	O	Выход последовательных данных
Всего 2 вывода			

Таблица 16.6 Электропитание

Название вывода	Количество	Назначение
CVDD	35	Напряжение электропитания ядра (U_{CC2})
PVDD	19	Напряжение электропитания входных и выходных драйверов (U_{CC1})
GND	108	Земля ядра, входных и выходных драйверов
Всего 162 вывода		

Нумерация выводов микросхемы 1892ВМ8Я в корпусе HSBGA- 416 приведена в Таблица 16.7.

Таблица 16.7. Нумерация выводов 1892ВМ8Я в корпусе HSBGA-416

№ вывода корпуса	Тип вывода	Условное обозначение	№ вывода корпуса	Тип вывода	Условное обозначение
E4	IO	D[36]	AA1	I	SINn0
E3	IO	D[35]	AA2	O	DOUtp0
E2	IO	D[34]	AA3	O	DOUtn0
E1	IO	D[33]	AA4	O	SOUtn0
F4	IO	D[32]	AB1	O	SOUtp0
F3	IO	D[31]	AB2	O	A[0]
F2	IO	D[30]	AB3	O	A[1]
F1	IO	D[29]	AB4	O	A[2]
G4	IO	D[28]	AD5	O	A[3]
G3	IO	D[27]	AE5	O	A[4]
G2	IO	D[26]	AF5	O	A[5]
G1	IO	D[25]	AC6	O	A[6]
H4	IO	D[24]	AD6	O	A[7]
H3	IO	D[23]	AE6	O	A[8]
H2	IO	D[22]	AF6	O	A[9]
H1	IO	D[21]	AC7	O	A[10]
J4	IO	D[20]	AD7	O	A[11]
J3	IO	D[19]	AE7	O	A[12]
J2	IO	D[18]	AF7	O	A[13]
J1	IO	D[17]	AC8	O	A[14]
K4	IO	D[16]	AD8	O	A[15]
K3	IO	D[15]	AE8	O	A[16]
K2	IO	D[14]	AF8	O	A[17]
K1	IO	D[13]	AC9	O	A[18]
L4	IO	D[12]	AD9	O	A[19]
L3	IO	D[11]	AE9	O	A[20]
L2	IO	D[10]	AF9	O	A[21]
L1	IO	D[9]	AC10	O	A[22]
M4	IO	D[8]	AD10	O	A[23]
M3	IO	D[7]	AE10	O	A[24]
M2	IO	D[6]	AF10	O	A[25]
M1	IO	D[5]	AC11	O	A[26]
P4	IO	D[4]	AD11	O	A[27]
R1	IO	D[3]	AE11	O	A[28]
R2	IO	D[2]	AF11	O	A[29]
R3	IO	D[1]	AC12	O	A[30]
R4	IO	D[0]	AD12	O	A[31]
T1	O	SCLK	AE12	IO	DHH[0]
T2	I	DINn1	AF12	IO	DHH[1]
T3	I	DINp1	AF15	IO	DHH[2]
T4	I	SINp1	AE15	IO	DHH[3]
U1	I	SINn1	AD15	IO	DHH[4]
U2	O	DOUtp1	AC15	IO	DHH[5]
U3	O	DOUtn1	AF16	IO	DHH[6]
U4	O	SOUtn1	AE16	IO	DHL[0]

№ вывода корпуса	Тип вывода	Условное обозначение	№ вывода корпуса	Тип вывода	Условное обозначение
V1	O	SOUTp1	AD16	IO	DHL[1]
V2	O	CKE	AC16	IO	DHL[2]
V3	I	XTI	AF17	IO	DHL[3]
V4	-	NC	AE17	IO	DHL[4]
W1	I	PLL_EN	AD17	IO	DHL[5]
W2	I	nRST	AC17	IO	DHL[6]
W3	I	XTI2	AF18	O	nWRL[0]
W4	I	RTCXTI	AE18	O	nWRL[1]
Y1	-	NC	AD18	O	nWRL[2]
Y2	I	DINn0	AC18	O	nWRL[3]
Y3	I	DINp0	AF19	O	nWRH[0]
Y4	I	SINp0	AE19	O	nWRH[1]

Продолжение Таблица 16.7

№ вывода корпуса	Тип вывода	Условное обозначение	№ вывода корпуса	Тип вывода	Условное обозначение
AD19	O	nWRH[2]	J24	IO	LDAT3[0]
AC19	O	nWRH[3]	J23	IO	LDAT3[1]
AF20	O	nWEL	H26	IO	LDAT3[2]
AE20	O	nWEH	H25	IO	LDAT3[3]
AD20	O	nWEHH	H24	IO	LDAT3[4]
AC20	O	nWEHL	H23	IO	LDAT3[5]
AF21	O	nWRSH[0]	G23	IO	LDAT3[6]
AE21	O	nWRSH[1]	F26	IO	LDAT3[7]
AD21	O	nWRSH[2]	F25	IO	LCLK3
AC21	O	nWRSH[3]	F24	IO	LACK3
AF22	O	nWRSL[0]	F23	I	SIN
AE22	O	nWRSL[1]	E26	O	SOUT
AD22	O	nWRSL[2]	E25	I	TRST
AC22	O	nWRSL[3]	E24	I	TMS
AF23	O	nWRSHH	E23	I	TDI
AE23	O	nWRSHL	D26	O	TDO
AD23	O	nRDSH	D25	IO	nDE
AB24	O	nRDSL	D24	I	TCK
AB25	O	nRDH	A24	O	nOE[3]
AB26	O	nRDL	B23	O	nOE[2]
AA24	-	NU	A23	O	nOE[1]
AA25	I	ACK	C22	O	nOE[0]
AA26	O	nCS[0]	B22	O	nFLYBY[3]
Y23	O	nCS[1]	A22	O	nFLYBY[2]
W23	O	nCS[2]	D21	O	nFLYBY[1]
W24	O	nCS[3]	C21	O	nFLYBY[0]
W25	O	nCS[4]	B21	O	BA[1]
W26	IO	LDAT0[0]	A21	O	BA[0]
V23	IO	LDAT0[1]	D20	O	A10
V24	IO	LDAT0[2]	C20	O	DQMHL
V25	IO	LDAT0[3]	B20	O	DQMHH
V26	IO	LDAT0[4]	A20	O	DQM[7]

№ вывода корпуса	Тип вывода	Условное обозначение	№ вывода корпуса	Тип вывода	Условное обозначение
U23	IO	LDAT0[5]	D19	O	DQM[6]
U24	IO	LDAT0[6]	C19	O	DQM[5]
U25	IO	LDAT0[7]	B19	O	DQM[4]
U26	IO	LCLK0	A19	O	DQM[3]
T23	IO	LACK0	D18	O	DQM[2]
T24	IO	LDAT1[0]	C18	O	DQM[1]
T25	IO	LDAT1[1]	B18	O	DQM[0]
T26	IO	LDAT1[2]	A18	O	SWEL
R23	IO	LDAT1[3]	D17	O	SWEH
P23	IO	LDAT1[4]	C17	O	SCASL
P24	IO	LDAT1[5]	B17	O	SCASH
P25	IO	LDAT1[6]	A17	O	SRASL
N25	IO	LDAT1[7]	D16	O	SRASH
N24	IO	LCLK1	C16	I	nDMAR[3]
N23	IO	LACK1	B16	I	nDMAR[2]
M25	IO	LDAT2[0]	A16	I	nDMAR[1]
M24	IO	LDAT2[1]	D15	I	nDMAR[0]
M23	IO	LDAT2[2]	C15	I	NMI
L23	IO	LDAT2[3]	B15	I	nIRQ[3]
K26	IO	LDAT2[4]	A15	I	nIRQ[2]
K25	IO	LDAT2[5]	A12	I	nIRQ[1]
K24	IO	LDAT2[6]	B12	I	nIRQ[0]
K23	IO	LDAT2[7]	C12	I	BYTE
J26	IO	LCLK2	D12	O	WDT
J25	IO	LACK2	A11	IO	D[63]

Продолжение Таблица 16.7

№ вывода корпуса	Тип вывода	Условное обозначение	№ вывода корпуса	Тип вывода	Условное обозначение
B11	IO	D[62]	T10	-	GND
C11	IO	D[61]	R11	-	GND
D11	IO	D[60]	R12	-	GND
A10	IO	D[59]	T11	-	GND
B10	IO	D[58]	T12	-	GND
C10	IO	D[57]	R13	-	GND
D10	IO	D[56]	R14	-	GND
A9	IO	D[55]	T13	-	GND
B9	IO	D[54]	T14	-	GND
C9	IO	D[53]	R15	-	GND
D9	IO	D[52]	R16	-	GND
A8	IO	D[51]	T15	-	GND
B8	IO	D[50]	T16	-	GND
C8	IO	D[49]	T17	-	GND
D8	IO	D[48]	R24	-	GND
A7	IO	D[47]	R25	-	GND
B7	IO	D[46]	R26	-	GND
C7	IO	D[45]	P1	-	GND
D7	IO	D[44]	P2	-	GND
A6	IO	D[43]	P3	-	GND
B6	IO	D[42]	N11	-	GND
C6	IO	D[41]	N12	-	GND
D6	IO	D[40]	P11	-	GND
A5	IO	D[39]	P12	-	GND
B5	IO	D[38]	N13	-	GND
A4	IO	D[37]	N14	-	GND
AF3	-	GND	P13	-	GND
AF4	-	GND	P14	-	GND
AE14	-	GND	N15	-	GND
AF14	-	GND	N16	-	GND
AE24	-	GND	P15	-	GND
AE25	-	GND	P16	-	GND
AE26	-	GND	N26	-	GND
AF26	-	GND	L10	-	GND
AC1	-	GND	L11	-	GND
AC2	-	GND	L12	-	GND
AD1	-	GND	M11	-	GND
AD2	-	GND	M12	-	GND
AC3	-	GND	L13	-	GND
AC14	-	GND	L14	-	GND
AD14	-	GND	M13	-	GND
AC23	-	GND	M14	-	GND
AC24	-	GND	L15	-	GND
AD24	-	GND	L16	-	GND
AC25	-	GND	M15	-	GND
AC26	-	GND	M16	-	GND
AD25	-	GND	L17	-	GND
AD26	-	GND	L24	-	GND

№ вывода корпуса	Тип вывода	Условное обозначение	№ вывода корпуса	Тип вывода	Условное обозначение
AA23	-	GND	L25	-	GND
AB23	-	GND	L26	-	GND
Y24	-	GND	K10	-	GND
Y25	-	GND	K11	-	GND
Y26	-	GND	K16	-	GND
U10	-	GND	K17	-	GND
U11	-	GND	G24	-	GND
U16	-	GND	G25	-	GND
U17	-	GND	G26	-	GND

Продолжение Таблица 16.7

№ вывода корпуса	Тип вывода	Условное обозначение	№ вывода корпуса	Тип вывода	Условное обозначение
C1	-	GND	AC5	-	CVDD
C2	-	GND	AD4	-	CVDD
D1	-	GND	AD3	-	CVDD
D2	-	GND	AC4	-	CVDD
C3	-	GND	AE4	-	CVDD
C4	-	GND	AE3	-	CVDD
D3	-	GND	AF2	-	CVDD
D4	-	GND	AF1	-	CVDD
D5	-	GND	AE2	-	CVDD
C13	-	GND	AE1	-	CVDD
D13	-	GND	AD13	-	CVDD
C26	-	GND	AC13	-	CVDD
A1	-	GND	AF13	-	CVDD
A2	-	GND	AE13	-	CVDD
B1	-	GND	U13	-	CVDD
B2	-	GND	U12	-	CVDD
B3	-	GND	P10	-	CVDD
A13	-	GND	R10	-	CVDD
B13	-	GND	M17	-	CVDD
B26	-	GND	N17	-	CVDD
P26	-	PVDD	K15	-	CVDD
N4	-	PVDD	K14	-	CVDD
N3	-	PVDD	B14	-	CVDD
N2	-	PVDD	A14	-	CVDD
N1	-	PVDD	D14	-	CVDD
R17	-	PVDD	C14	-	CVDD
U14	-	PVDD	B25	-	CVDD
U15	-	PVDD	A26	-	CVDD
AF24	-	PVDD	A25	-	CVDD
AF25	-	PVDD	B24	-	CVDD
P17	-	PVDD	C25	-	CVDD
M10	-	PVDD	D23	-	CVDD
N10	-	PVDD	C24	-	CVDD
K13	-	PVDD	C23	-	CVDD
K12	-	PVDD	D22	-	CVDD
B4	-	PVDD			
A3	-	PVDD			
C5	-	PVDD			
M26	-	PVDD			

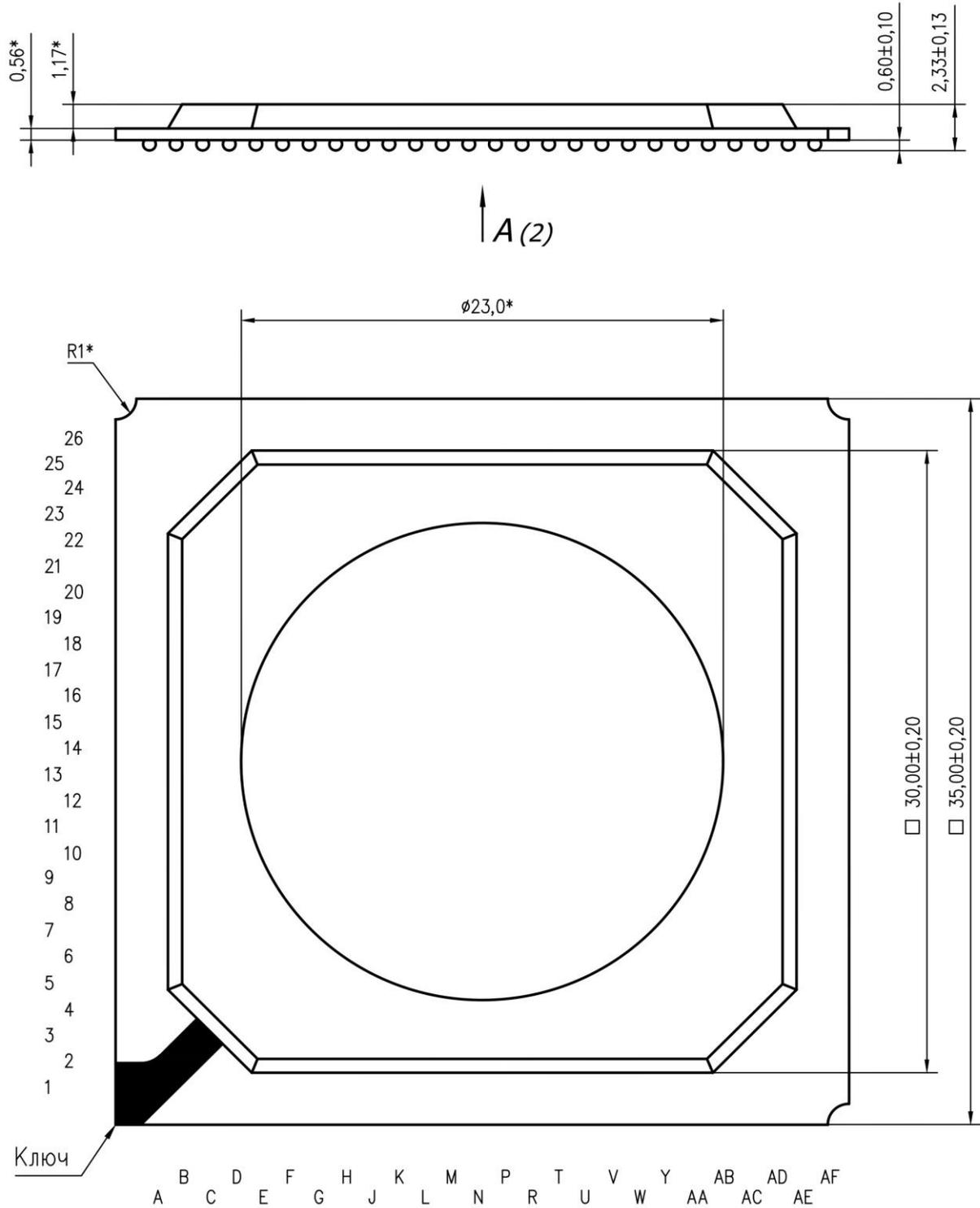


Рисунок 16.1. Чертеж корпуса HSBGA-416 (вид сверху)

A(1)

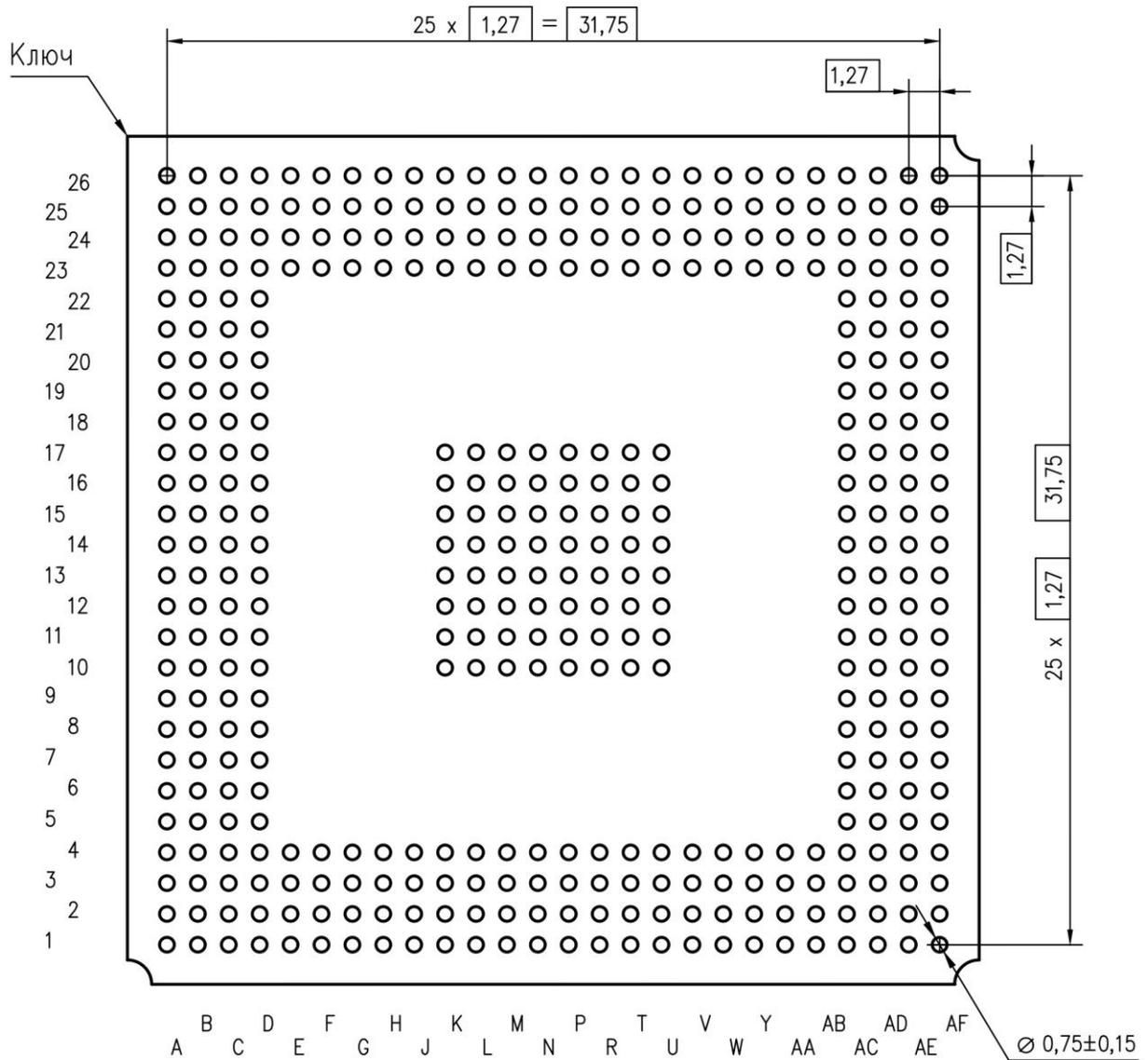


Рисунок 16.2. Чертеж корпуса HSBGA-416 (вид снизу)

17. ИСТОРИЯ ИЗМЕНЕНИЙ

17.1 2 сентября 2011 г

Добавлен п. 2.10.

17.2 12 октября 2011 г

Внесено добавление в пп. 2.11, 3.8.1, 8.1.1 в части ограничения по одновременному доступу к памяти SRAM, XRAM, YRAM, PRAM.

17.3 29 ноября 2011 г

Дополнен п. 2.10.

17.4 30 июля 2012 г

Уточнены табл. 5.2, п. 5.4, табл. 6.2, п. 6.4, табл. 7.2, табл. 8.2, табл. 8.5, п. 12.1.3, п. 15.4.

17.5 29 августа 2012 г

Уточнен раздел 14.

17.6 28 февраля 2013 г

Удален отсутствующий сигнал nREN из табл. 16.1, 16.7.

17.7 28 октября 2013 г

Уточнен п. 11.5.1.1.

17.8 11 сентября 2014 г

Уточнен п. 2.9.1 в части отсутствия кэш данных.

17.9 28 января 2015 г

Уточнена табл. 4.2 в части отключения и включения частоты MFBSPO (разряды 0 и 8).
Из раздела 10 удалены сигналы управления модемом и регистры, связанные с ними.

17.10 30 сентября 2015 г

Уточнены значения полей CLK_SEL_MPORT, CLK_SEL_CORE регистра CR_PLL в таблице 2.4.

17.11 26 января 2016 г

Из п. 2.7.4 удалено поле CE.
Удален текст под п. 2.7.5

17.12 10 февраля 2016 г

Уточнена таблица 9.7.

17.13 19 февраля 2016 г

В таблице 2.36 исправлено описание поля VPN2.
В таблице 4.5 исправлены названия разрядов 24-26.
В таблице 4.8 введено описание тестового режима (разряд 11).

17.14 16 марта 2016 г

В п. 2.6.4.1 уточнен 4 абзац сверху в части условия установки бита TS регистра Status CP0.
В п. 3.8 и рисунке 3.9 исправлен диапазон адресов программно-доступных регистров DSP.

17.15 07 апреля 2016 г

В таблице 3.8 уточнены название и адреса регистров контроллеров Хэмминга.

17.16 16 марта 2017 г

П.9.3.2 дополнен двумя абзацами в части особенностей работы с сигналом АСК.

17.17 18 октября 2017 г

Введен пункт 11.6.13.

17.18 13 ноября 2017 г

Дополнен пункт 2.10.

Изменен пункт 15.1 в части длительности фронтов нарастания напряжений электропитания.

Дополнена таблица 16.2 в части описания назначения выводов NMI, XTI, XTI2, nRST, TRST.

17.19 15 ноября 2017 г

Скорректирован пункт 11.6.13.

17.20 07 марта 2019 г

Скорректирована Таблица 2.50, Таблица 11.3 (добавлено обозначение битов 21 и 22). Глава «Интервальный таймер» выделена в отдельную.

17.21 12 марта 2019 г

Уточнен п. 12.1.1.:

Темп передачи данных:

Передача данных в режиме I2S может вестись на частотах от CLK/2 (при CLK не более 60 МГц) до CLK/4 - CLK/(2*210) (при CLK более 60 МГц). Здесь и далее, CLK – частота, формируемая PLL_CORE;

Уточнен п. 12.1.2.:

Темп передачи данных:

Передача данных в режиме SPI может вестись на частотах от CLK/2 (при CLK не более 60 МГц) до CLK/4 - CLK/(2*210) (при CLK более 60 МГц);

Уточнен п. 12.1.3.:

Темп передачи данных:

Передача данных в режиме LPORТИ может вестись на частотах от CLK/2 (при CLK не более 80 МГц) до CLK/4 - CLK/32 (при CLK более 80 МГц).

17.22 15 марта 2019 г

Уточнена таблица 15.3.

17.23 26 июля 2019 г

Уточнена Таблица 4.2. Формат регистра CLK_EN (исходное состояние битов CLKEN_SWIC).

17.24 16 декабря 2019 г.

Уточнена таблица 2.50.

17.25 29 января 2020 г.

Добавлен раздел 12.7 Рекомендации по аварийному выключению передатчика.

17.26 21 апреля 2021 г.

Внесены изменения в описание разрядов 18:19 таблицы 11.6.

17.27 03 марта 2023 г.

Изменён габаритный чертёж корпуса (рисунок 16.1), добавлен вид снизу (рисунок 16.2).