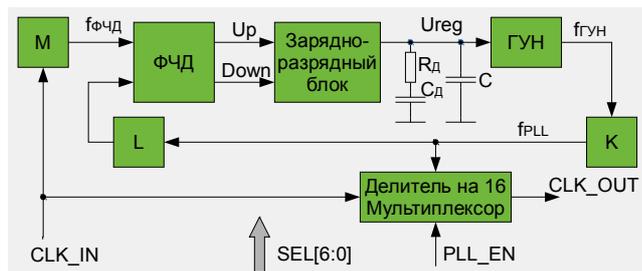


СФ-блок синтезатора частот с ФАПЧ



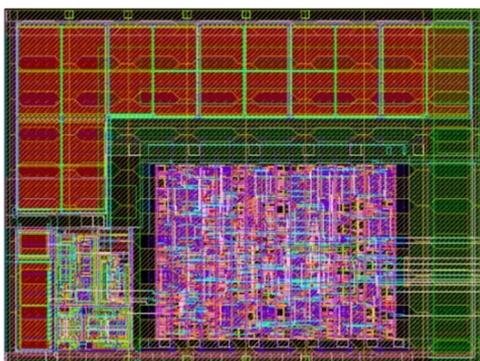
Функциональная схема PLL600

Сложно-Функциональный (СФ) радиационно-стойкий блок синтезатора частот с фазовой автоподстройкой частоты (ФАПЧ), предназначенный для решения задач синхронизации высокопроизводительных цифровых устройств микропроцессорного типа. Разработан для технологического процесса 180 нм.

В состав СФ- блока входят:

- цифровая часть:
 - делители частоты с программируемыми коэффициентами K, L;
 - делители частоты на 16 и на M=4;
 - мультиплексор.
- аналоговая часть:
 - стабилизированный блок напряжений смещения (не показан);
 - фазочастотный детектор (ФЧД);
 - зарядно-разрядный блок (Charge Pump);
 - ГУН;
 - фильтр нижних частот (ФНЧ).

Особенностью СФ-блока является использование МОП транзисторов в качестве емкости ФНЧ. Благодаря этому минимизирована занимаемая на кристалле площадь, сокращено время переходного периода при изменении коэффициента умножения.



Топология СФ-блока PLL600

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Характеристика	Значение
Опорная частота	4...6 МГц
Диапазон коэффициентов умножения	1...127
Диапазон генерируемых частот	4...600 МГц
Колебания фазы относительно эталонного сигнала (джиттер)	не более 90 пс
Время установления запрограммированной частоты	не более 50 мкс
Средний потребляемый при PLL_EN = 0	не более 65 мкА
Средний потребляемый ток при PLL_EN = 1	не более 1 мА
Занимаемая площадь	0,17×0,23 мм ²
Напряжения питания VDD	1,8±10 % В
Диапазон рабочих температур	-60... +125 °С

Коэффициент умножения устанавливается на программирующем входе SEL[6:0].

Синтезируемая (выходная) частота CLK_OUT является результатом умножения опорной частотой CLK_IN на программируемый коэффициент $L=SEL[6:0] \times 4$:

$$CLK_OUT = CLK_IN \times SEL[6:0],$$

при SEL[6:0] > 0, PLL_EN = 1;

$$CLK_OUT = CLK_IN / 16,$$

при SEL[6:0] = 0, PLL_EN = 1
(без механизма PLL);

$$CLK_OUT = CLK_IN,$$

при PLL_EN = 0 (без механизма PLL).

ПОЛЬЗОВАТЕЛЮ ПРЕДОСТАВЛЯЮТСЯ

- Все файлы, необходимые для интеграции СФ-блока в составе СБИС, включая файлы в формате GDSII, LEF, VERILOG, CDL, LIBERTY.
- Техническое описание СФ-блока, включающее рекомендации по интеграции блока в составе СБИС.

ТЕХНИЧЕСКАЯ ПОДДЕРЖКА

тел.: (495) 913-32-51,
эл. почта: support@elvees.com

www.multicore.ru