

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ 1892ВМ10Я, 1892ВМ10АЯ

РУКОВОДСТВО ПОЛЬЗОВАТЕЛЯ

РАЯЖ.431282.012Д17

Аннотация

Руководство пользователя распространяется на микросхемы интегральные 1892ВМ10Я РАЯЖ.431282.012, 1892ВМ10АЯ РАЯЖ.431282.012-01 («NVCom-02Т»), представляющие собой многоядерный сигнальный микропроцессор для систем связи и навигации.

Настоящий документ содержит технические параметры и характеристики микросхем 1892ВМ10Я, 1892ВМ10АЯ, сведения об их структуре, системной организации и принципах функционирования с подробным описанием входящих компонентов. В документе приведены чертеж корпуса и назначение внешних выводов, а также даны рекомендации пользователю по их программированию и монтажу.

Микросхемы интегральные 1892ВМ10Я РАЯЖ.431282.012, 1892ВМ10АЯ РАЯЖ.431282.012-01 (далее по тексту – микросхема) разработаны на базе IP – библиотеки отечественной платформы проектирования микросхем «МУЛЬТИКОР».

Предприятие-изготовитель: Акционерное общество Научно-производственный центр «Электронные вычислительно-информационные системы» (АО НПЦ «ЭЛВИС»).

Адрес предприятия-изготовителя: 124460, Москва, Зеленоград, ул. Конструктора Лукина, дом 14, строение 14, этаж 6, комната 6.23; телефон: +7 (495) 926-79-57; электронный адрес: <https://elvees.ru/>

В комплекте с микросхемой поставляется этикетка РАЯЖ.431282.012ЭТ, которая содержит свидетельство о приемке и гарантии предприятия-изготовителя, а также отметку о составе выводов.

При разработке прикладных программ можно воспользоваться готовыми инструментальными средствами изготовителя: интегрированной средой разработки и отладки программного обеспечения MC Studio 3М/4 (включая программный симулятор микросхемы) и модулем отладочным NVCom-02ТЕМ-3U РАЯЖ.441461.009, предназначенным для изучения аппаратно-программных средств микросхемы. Инструментальные средства поставляются по отдельному соглашению.

АО НПЦ «ЭЛВИС» оставляет за собой право в любой момент вносить изменения (дополнения) в руководство без предварительного уведомления потребителя о таком изменении (дополнении).

Все указанные в настоящем документе товарные знаки принадлежат их владельцам.

Настоящее руководство и другая дополнительная документация доступны на сайте предприятия-изготовителя.

Служба технической поддержки доступна по электронной почте: support@elvees.com или по телефону: +7 (495) 913-32-51.

ОГЛАВЛЕНИЕ

1. ОБЩИЕ СВЕДЕНИЯ	12
1.1 Назначение и область применения.....	12
1.2 Основные технические характеристики	13
1.3 Структурная схема.....	15
1.4 Состав микросхемы	16
1.4.1 Перечень основных узлов и интерфейсов	16
1.4.2 Центральный процессор (CPU).....	16
1.4.3 Цифровой сигнальный процессор (DSP)	17
1.4.4 Многоканальный коррелятор (МСС)	19
1.4.5 Порт внешней памяти (MPORT).....	20
1.4.6 Периферийные устройства	20
1.4.7 Фазовая автоподстройка частоты (PLL)	21
1.4.8 Отладочный порт JTAG	21
1.4.9 Управление энергопотреблением	21
1.5 Средства разработки.....	22
1.5.1 Среда проектирования программного обеспечения	22
1.5.2 Редактор	22
1.5.3 Набор инструментов для компиляции и сборки	23
1.5.4 Отладчик	23
1.5.5 Библиотеки ЦОС	24
1.5.6 Операционные системы	24
1.5.7 Отладочный модуль	24
1.6 Дополнительная документация	26
2. СИСТЕМНАЯ ОРГАНИЗАЦИЯ МИКРОСХЕМЫ	28
2.1 Карта памяти микросхемы	28
2.2 Система синхронизации	37
2.3 Контроллер прерываний.....	41
2.4 Системные регистры.....	45
2.5 Процедура начальной загрузки	45
2.6 Логика взаимодействия CPU и DSP	46
2.6.1 Функции CPU	46
2.6.2 Функции DSP	48
3. ЦИФРОВОЙ СИГНАЛЬНЫЙ ПРОЦЕССОР	49
3.1 Основные технические характеристики DSP-кластера DELcore-30M	49
3.1.1 Структурная схема	50
3.1.2 Внешний интерфейс DSP-кластера DELcore-30M.....	52
3.1.3 Организация работы DSP-кластера DELcore-30M.....	52
3.1.4 Организация памяти.....	53
3.1.5 Карта памяти.....	53
3.1.6 Реконфигурируемая граница памяти программ и данных	55
3.1.7 Дисциплина обработки одновременных обращений к общему полю памяти данных со стороны DSP-ядер (арбитраж).....	58
3.1.8 Доступ DSP кластера к ресурсам процессора	58
3.2 Регистры управления и состояния DELcore-30M.....	61

3.2.1	Регистр маски прерываний (MASKR_DSP)	61
3.2.2	Регистр запросов прерываний (QSTR_DSP)	61
3.2.3	Регистр управления и состояния (CSR_DSP).....	62
3.2.4	Счетчик тактов (TOTAL_CLK_CNTR).....	62
3.3	Структурная схема DSP-ядра ELcore-30M.....	62
3.4	Буфер обмена XBUF	63
3.4.1	Регистр флагов обмена EFR	64
3.4.2	Режимы обменов с XBUF	64
3.5	Программная модель DSP-ядра ELcore-30M.....	64
3.6	Вычислительная секция (ALU).....	67
3.6.1	Операционные блоки (MS/SH, FMU, AU/LU, FASU)	67
3.6.2	Регистровый файл	67
3.6.3	Регистры-аккумуляторы	69
3.6.4	Регистр PDNR.....	69
3.6.5	Регистр CCR.....	70
3.7	Устройства генерации адресов памяти данных (AGU,AGU-Y).....	71
3.7.1	Архитектура AGU	71
3.7.2	Программная модель AGU	73
3.7.3	Архитектура AGU-Y	74
3.7.4	Программная модель AGU-Y	75
3.7.5	Назначение регистров адресных генераторов	76
3.7.6	Типы адресной арифметики	76
3.7.7	Особенности X- и Y- указателей	78
3.7.8	Разрядность адресной арифметики.....	79
3.7.9	Регистр адреса вектора прерывания IVAR	79
3.8	Устройство программного управления (PCU).....	79
3.8.1	Архитектура PCU	79
3.8.2	Назначение и состав PCU	80
3.8.3	Регистр управления и состояния DCSR.....	81
3.8.4	Программный счетчик PC	82
3.8.5	Регистр состояния SR	82
3.8.6	Регистр-идентификатор IDR	83
3.8.7	Регистр адреса окончания цикла LA	83
3.8.8	Регистр счетчика циклов LC	84
3.8.9	Стеки SS, CSL, CSH	84
3.8.10	Регистр указателей стека SP	84
3.8.11	Регистры адреса останова SAR, SAR1-SAR7.....	85
3.8.12	Счетчик команд CNTR	85
3.8.13	Регистры управления прерываниями и DMA-обменами	85
3.8.14	Механизм обработки прерываний	86
3.8.15	Регистр запросов на прерывание DSP (IRQR)	87
3.8.16	Регистры масок запросов на прерывание DSP (IMASKR, QMASKR0, QMASKR1, QMASKR2).....	87
3.8.17	Регистр запуска DMA со стороны DSP (DSTART)	88
3.8.18	Регистр таймера (TMR)	88
3.8.19	Регистр управления локальным арбитром (ARBR).....	89
3.8.20	Регистр спецфункций (SFR).....	91
3.8.21	Отладочные регистры.....	91
3.8.22	Регистр dbDCSR.....	92
3.8.23	Регистры dbSAR, dbSAR1-dbSAR7	93
3.8.24	Регистр dbCNTR.....	93

3.8.25	Регистр Cnt_RUN	93
3.9	Программный конвейер DSP-ядра ELcore-30M.....	93
3.10	Перечень адресуемых регистров DSP-кластера.....	95
4.	ЦЕНТРАЛЬНЫЙ ПРОЦЕССОР.....	101
4.1	Основные характеристики	101
4.2	Блок диаграмма	101
4.3	Составляющие логические блоки.....	102
4.3.1	Устройство исполнения.....	102
4.3.2	Устройство умножения/деления (MDU).....	102
4.3.3	Системный управляющий сопроцессор.....	103
4.3.4	Сопроцессор арифметики в формате с плавающей точкой (FPU)	103
4.3.5	Устройство управления памятью (MMU).....	103
4.3.6	Контроллер кэш.....	103
4.3.7	Устройство шинного интерфейса (BIU – Bus Interface Unit).....	104
4.3.8	OnCD контроллер.....	104
4.4	Конвейер	104
4.4.1	Стадии конвейера	104
4.4.2	Операции деления	106
4.4.3	Задержка выполнения команд перехода (Jump, Branch)	106
4.4.4	Обходные пути передачи данных (Data bypass).....	107
4.4.5	Задержка загрузки данных	108
4.5	Сопроцессор арифметики в формате с плавающей точкой (FPU).....	110
4.5.1	Введение.....	110
4.5.2	Регистры FPU.....	110
4.5.3	Исключения FPU	117
4.5.4	Время выполнения команд FPU.....	121
4.6	Устройство управления памятью (MMU)	121
4.6.1	Введение.....	121
4.6.2	Режимы работы.....	123
4.6.3	Буфер быстрого преобразования адреса (TLB).....	129
4.6.4	Преобразование виртуального адреса в физический в режиме TLB	132
4.7	Кэш.....	137
4.8	Исключения	137
4.8.1	Условия исключений	138
4.8.2	Приоритеты исключений.....	138
4.8.3	Расположение векторов исключений	139
4.8.4	Обработка общих исключений	140
4.8.5	Исключения	141
4.8.6	Алгоритмы обработки исключений.....	148
4.9	Регистры CP0.....	151
4.9.1	Назначение.....	151
4.9.2	Обзор регистров CP0.....	152
4.9.3	Регистры CP0.....	152
4.10	Особенности реализации процессорного ядра.....	168
5.	МНОГОКАНАЛЬНЫЙ КОРРЕЛЯТОР	169
6.	ИНТЕРВАЛЬНЫЙ ТАЙМЕР	171
6.1	Назначение.....	171
6.2	Структурная схема IT	171

6.3	Программирование ИТ.....	173
7.	СТОРОЖЕВОЙ ТАЙМЕР.....	175
7.1	Назначение.....	175
7.2	Структурная схема.....	175
7.3	Описание регистров WDT.....	176
7.4	Программирование WDT.....	178
8.	КОНТРОЛЛЕР ПРЯМОГО ДОСТУПА В ПАМЯТЬ (DMA)	180
8.1	Общие положения.....	180
8.1.1	Типы каналов.....	180
8.1.2	Организация обмена данными в микросхеме.....	181
8.1.3	Темп передачи	181
8.1.4	Прерывания DMA	181
8.2	Процедура самоинициализации	182
8.3	Каналы обмена данными типа память - память.....	183
8.4	Каналы DMA для портов.....	189
8.4.1	Особенности DMA порта Ethernet MAC.....	192
9.	ПОРТ ВНЕШНЕЙ ПАМЯТИ.....	193
9.1	Введение	193
9.2	Регистры порта внешней памяти.....	193
9.2.1	Регистр конфигурации CSCON0.....	194
9.2.2	Регистр конфигурации CSCON1.....	195
9.2.3	Регистр конфигурации CSCON2.....	195
9.2.4	Регистр конфигурации CSCON3.....	196
9.2.5	Регистр конфигурации CSCON4.....	197
9.2.6	Регистр конфигурации SDRCON.....	198
9.2.7	Регистр параметров SDRAM.....	199
9.2.8	Регистр состояний и управления SDRCSR.....	200
9.3	Временные диаграммы обмена данными	203
9.3.1	Общие положения	203
9.3.2	Обмен данными с асинхронной памятью	204
9.3.3	Обмен данными с синхронной памятью	208
9.3.4	Память типа SDRAM	213
9.3.5	Память типа Flash.....	214
10.	КОНТРОЛЛЕР ETHERNET MAC 10/100.....	216
10.1	ВВЕДЕНИЕ	216
10.1.1	Назначение.....	216
10.1.2	Основные характеристики	216
10.2	Функциональное описание.....	217
10.2.1	Структурная схема.....	217
10.3	Программная модель	220
10.3.1	Программирование контроллера Ethernet MAC 10/100	220
10.3.2	Регистры контроллера Ethernet MAC 10/100	250
11.	МНОГОФУНКЦИОНАЛЬНЫЙ БУФЕРИЗИРОВАННЫЙ ПОСЛЕДОВАТЕЛЬНЫЙ ПОРТ (MFBSP)	262
11.1	Особенности MFBSP	262
11.1.1	Основные характеристики MFBSP в режиме I2S.....	263

11.1.2	Основные характеристики MFBSP в режиме SPI.....	264
11.1.3	Основные характеристики MFBSP в режиме LPORT.....	266
11.1.4	Основные характеристики MFBSP в режиме порта ввода-вывода общего назначения.....	267
11.2	Общие сведения об MFBSP	267
11.2.1	Режимы работы MFBSP	267
11.2.2	Структурная схема многофункционального буферизированного последовательного порта	269
11.2.3	Назначение выводов порта в различных режимах	271
11.2.4	Перечень регистров MFBSP	272
11.2.5	Каналы DMA многофункциональных портов MFBSP.....	273
11.2.6	Прерывания от каналов DMA MFBSP	273
11.2.7	Прерывания от MFBSP.....	274
11.3	Работа MFBSP в режиме I2S.....	276
11.3.1	Назначение MFBSP в режиме I2S	276
11.3.2	Регистр управления и состояния CSR_MFBSP (режим I2S)	277
11.3.3	Регистр управления направлением выводов DIR_MFBSP (режим I2S)..	278
11.3.4	Регистр управления приёмником RCTR (режим I2S)	279
11.3.5	Регистр управления передатчиком TCTR (режим I2S).....	280
11.3.6	Регистр состояния приёмника RSR (режим I2S)	282
11.3.7	Регистр состояния передатчика TSR (режим I2S).....	283
11.3.8	Регистр управления темпом приёма RCTR_RATE (режим I2S)	285
11.3.9	Регистр управления темпом передачи TCTR_RATE (режим I2S)	285
11.3.10	Псевдорегистр TSTART (режим I2S).....	285
11.3.11	Псевдорегистр RSTART (режим I2S)	286
11.3.12	Регистр аварийного управления портом EMERG_MFBSP (режим I2S) .	286
11.3.13	Регистр маски прерываний от порта IMASK (режим I2S).....	287
11.3.14	Структурная схема MFBSP для режима I2S.....	288
11.3.15	Варианты соединения порта с внешними устройствами	288
11.3.16	Передача данных в режиме I2S	290
11.3.17	Формирование тактовых сигналов приёмника (RCLK) и передатчика (TCLK)	293
11.3.18	Формирование управляющих сигналов приёмника и передатчика в режиме I2S	295
11.3.19	Тракт передачи данных	296
11.3.20	Тракт приёма данных.....	298
11.3.21	Прерывания от последовательного порта.....	299
11.4	Работа MFBSP в режиме SPI	299
11.4.1	Назначение последовательного порта в режиме SPI.....	299
11.4.2	Регистр управления и состояния CSR_MFBSP (режим SPI)	300
11.4.3	Регистр управления направлением выводов DIR_MFBSP (режим SPI)..	301
11.4.4	Регистр управления приёмником RCTR (режим SPI)	302
11.4.5	Регистр управления передатчиком TCTR (режим SPI).....	304
11.4.6	Регистр состояния приёмника RSR (режим SPI)	305
11.4.7	Регистр состояния передатчика TSR (режим SPI).....	306
11.4.8	Регистр управления темпом приёма RCTR_RATE (режим SPI).....	307
11.4.9	Регистр управления темпом передачи TCTR_RATE (режим SPI).....	308
11.4.10	Псевдорегистр TSTART (режим SPI)	308
11.4.11	Псевдорегистр RSTART (режим SPI)	308
11.4.12	Регистр аварийного управления портом EMERG_MFBSP (режим SPI) .	309
11.4.13	Регистр маски прерываний от порта IMASK (режим SPI)	310

11.4.14	Структурная схема MFBSP для режима SPI	311
11.4.15	Варианты соединения порта с внешними устройствами	311
11.4.16	Передача данных в режиме SPI	313
11.4.17	Пример чтения 8-разрядного слова по заданному адресу из ведомого устройства с интерфейсом C-BUS	315
11.4.18	Формирование тактовых сигналов приёмника (RSCK) и передатчика (TSCK) 317	
11.4.19	Формирование управляющих сигналов приёмника и передатчика в режиме SPI 318	
11.4.20	Тракт передачи данных	320
11.4.21	Тракт приёма данных.....	321
11.4.22	Прерывания от последовательного порта.....	323
11.5	Работа MFBSP в режиме линкового порта (LPORT)	323
11.5.1	Назначение линкового порта	323
11.5.2	Регистр управления и состояния CSR_MFBSP (режим LPORT)	323
11.5.3	Регистр состояния приёмника RSR (режим LPORT)	324
11.5.4	Регистр состояния передатчика TSR (режим LPORT)	325
11.5.5	Регистр аварийного управления портом EMERG_MFBSP (режим LPORT).....	326
11.5.6	Регистр маски прерываний от порта IMASK (режим LPORT).....	327
11.5.7	Структурная схема MFBSP для режима линкового порта.....	328
11.5.8	Соединение с внешними устройствами	328
11.5.9	Передача данных по линковому порту	329
11.5.10	Прерывания от линковых портов	332
11.6	Работа MFBSP в режиме порта ввода-вывода общего назначения.....	332
11.6.1	Регистр данных порта ввода вывода GPIO_DR	333
11.6.2	Регистр управления направлением выводов DIR_MFBSP	333
11.7	Рекомендации по аварийному выключению передатчика.....	334
12.	ПОРТ ВВОДА ВИДЕОДАНЫХ VPIN.....	335
12.1	Назначение.....	335
12.2	Архитектура и функционирование порта VPIN	335
12.3	Программно-доступные регистры.....	337
12.3.1	Регистр управления и состояния (CSR)	337
12.3.2	Регистр - счетчик строк/ счетчик пикселей (Line_cnt/Pix_cnt).....	338
12.3.3	Регистр - счетчик кадров (Frame_cnt)	339
12.4	Режимы работы порта VPIN	339
12.4.1	Способы интерпретации входных видеоданных	339
12.4.2	Упаковка цветовых компонент.....	340
12.4.3	Режим съемки одного кадра (Snapshot)	341
12.4.4	Режим декодирования маркеров BT.656	341
13.	ПОРТ ВЫВОДА ВИДЕОДАНЫХ VPOUT.....	344
13.1	Назначение.....	344
13.2	Архитектура и функционирование порта VPOUT	344
13.3	Программно-доступные регистры.....	346
13.3.1	Регистр управления и состояния (CSR)	346
13.3.2	Регистр периода сигнала VCLKO_out (DIV)	347
13.3.3	Регистр начала/конца активной части строки (Hstart/Hend).....	347
13.3.4	Регистр начала/конца активной части кадра (Vstart/Vend).....	348
13.3.5	Регистр - счетчик строк/ счетчик пикселей (Line_cnt/Pix_cnt).....	348
13.3.6	Регистр - счетчик кадров (Frame_cnt)	349

13.4	Режимы работы порта VPOUT	349
13.5	Рекомендации по применению порта VPOUT	351
13.5.1	Формирование временных диаграмм выходных сигналов Vdout, VCLKO, HSYNC, VSYNC	351
13.5.2	Формирование прерываний	352
13.5.3	Взаимодействие порта VPOUT с DMA	352
14.	УНИВЕРСАЛЬНЫЙ АСИНХРОННЫЙ ПОРТ (UART)	354
14.1	Общие положения.....	354
14.2	Регистры UART.....	355
14.2.1	Общие положения.....	355
14.2.2	Регистр LCR	355
14.2.3	Регистр FCR.....	356
14.2.4	Регистр LSR.....	357
14.2.5	Регистр IER.....	358
14.2.6	Регистр IIR	358
14.3	Программируемый генератор скорости обмена	359
14.4	Работа с FIFO по прерыванию	360
14.5	Работа с FIFO по опросу	361
15.	КОНТРОЛЛЕР I2C	362
15.1	Назначение.....	362
15.2	Основные характеристики	362
15.3	Структурная схема.....	362
15.3.1	Регистр PRER	363
15.3.2	Регистр CTR	363
15.3.3	Регистр TXR	364
15.3.4	Регистр RXR.....	364
15.3.5	Регистр CR.....	364
15.3.6	Регистр SR	365
15.3.7	Регистр PR_CNT	366
15.3.8	Регистр SYNC.....	366
15.4	Функционирование контроллера I2C.....	366
15.5	Программирование контроллера I2C	367
16.	ПОРТ JTAG И ВСТРОЕННЫЕ СРЕДСТВА ОТЛАДКИ ПРОГРАММ.....	370
17.	ЭЛЕКТРИЧЕСКИЕ И ВРЕМЕННЫЕ ПАРАМЕТРЫ	371
17.1	Электропитание.....	371
17.2	Электрические параметры	372
17.3	Динамическая потребляемая мощность	372
17.4	Предельно-допустимые и предельные электрические режимы эксплуатации.	373
17.5	Временные параметры.....	374
17.5.1	Обмен данными с внешней памятью и устройствами.....	374
17.5.2	Прием и передача данных по линковому порту	375
17.5.3	Рекомендации по подключению кварцевого резонатора.....	376
18.	ОПИСАНИЕ ВНЕШНИХ ВЫВОДОВ.....	377
18.1	Рекомендации по монтажу микросхемы	383
19.	ПРИЛОЖЕНИЕ 1. ВРЕМЯ ВЫПОЛНЕНИЯ ФУНКЦИЙ ПРИКЛАДНОЙ БИБЛИОТЕКИ ЦОС.....	386

20. ПРИЛОЖЕНИЕ 2. ПОТРЕБЛЯЕМАЯ МОЩНОСТЬ ЯДРА	392
21. ИСТОРИЯ ИЗМЕНЕНИЙ.....	393
21.1 Изменения от 21.02.2011	393
21.2 Изменения от 28.02.2011	393
21.3 Изменения от 03.03.2011	393
21.4 Изменения от 04.03.2011	393
21.5 Изменения от 05.03.2011	393
21.6 Изменения от 15.03.2011	394
21.7 Изменения от 17.03.2011	394
21.8 Изменения от 21.03.2011	394
21.9 Изменения от 23.03.2011	394
21.10 Изменения от 24.03.2011	394
21.11 Изменения от 31.03.2011	394
21.12 Изменения от 06.04.2011	394
21.13 Изменения от 22.04.2011	395
21.14 Изменения от 03.05.2011	395
21.15 Изменения от 05.05.2011	395
21.16 Изменения от 06.05.2011	395
21.17 Изменения от 10.05.2011	395
21.18 Изменения от 12.05.2011	395
21.19 Изменения от 27.05.2011	395
21.20 Изменения от 21.06.2011	395
21.21 Изменения от 26.07.2011	396
21.22 Изменения от 27.07.2011	396
21.23 Изменения от 09.08.2011	396
21.24 Изменения от 15.08.2011	396
21.25 Изменения от 26.08.2011	396
21.26 Изменения от 21.10.2011	396
21.27 Изменения от 29.11.2011	397
21.28 Изменения от 07.12.2011	397
21.29 Изменения от 12.12.2011	397
21.30 Изменения от 20.01.2012	397
21.31 Изменения от 04.06.2012	397
21.32 Изменения от 07.06.2012	397
21.33 Изменения от 30.07.2012	398
21.34 Изменения от 15.08.2012	398
21.35 Изменения от 15.08.2012	398
21.36 Изменения от 13.09.2012	398
21.37 Изменения от 13.10.2012	398
21.38 Изменения от 01.11.2012	398
21.39 Изменения от 03.12.2012	398
21.40 Изменения от 18.12.2012	398
21.41 Изменения от 04.06.2013	399
21.42 Изменения от 25.06.2013	399
21.43 Изменения от 17.01.2014	399
21.44 Изменения от 17.11.2014	399
21.45 Изменения от 12.02.2015	399
21.46 Изменения от 29.04.2015	399
21.47 Изменения от 14.10.2015	399

21.48 Изменения от 17.11.2015	399
21.49 Изменения от 01.02.2017	400
21.50 Изменения от 29.01.2018	400
21.51 Изменения от 05.06.2018	400
21.52 Изменения от 15.04.2020	400
21.53 Изменения от 16.09.2020	400

1. ОБЩИЕ СВЕДЕНИЯ

1.1 Назначение и область применения

Микросхемы интегральные 1892ВМ10Я, 1892ВМ10АЯ представляют собой высокопроизводительную трехъядерную гетерогенную микропроцессорную «систему на кристалле» МІМD–архитектуры, изготовленную по КМОП-технологии 130 нм.

1.2 Основные технические характеристики

Основные технические микросхемы приведены в таблице 1.1.

Таблица 1.1

Наименование параметра	Значение параметра
Технология изготовления	КМОП, 130 нм
Тип корпуса	HSBGA-400 ¹
Архитектура	Трёхъядерная гетерогенная MIMD-типа: CPU RISCore32 с архитектурой MIPS32, 2x DSP ELCore-30M
ОЗУ	128 Кбайт (CRAM), 320 Кбайт (DSP-кластер)
Тактовая частота CPU и DSP	250 МГц
Интерфейсы	MPORT Ethernet 10/100 Мбит/с VPIN VPOUT 2x UART I2C 4x MFBSP (I2S, SPI, LPORT, GPIO) MCC (интерфейс навигационного коррелятора, 24 канала) JTAG
Производительность CPU	Пиковая производительность 250 млн. оп/с
Пиковая производительность DSP-кластера ²	В формате плавающей точки (24e8, стандарт IEEE 754): 4000 Моп/с (MFLOPs), что соответствует 16 операциям с плавающей точкой за 1 такт; в формате фиксированной точки (int32): 4000 Моп/с, что соответствует 16 32-битным операциям с фиксированной точкой за 1 такт; в формате фиксированной точки (int16): 16000 Моп/с, что соответствует 64 16-битным операциям с фиксированной точкой за 1 такт; в формате фиксированной точки (int8): 24000 Моп/с, что соответствует 96-байтным операциям с фиксированной точкой за 1 такт; FFT-1024 (комплексное): 6 мкс (блочная плавающая точка, 16 бит) и 16,7 мкс (плавающая точка, 32 бита)
Напряжение питания	1,2 В (для ядра), 3,3 В (для всей периферии)
Потребляемая мощность	3 Вт, не более (в зависимости от работающей периферии), 36 мВт, не более (в «спящем» режиме)
Потребляемая максимальная мощность ядра ³	567 мВт (на частоте 100 МГц), 1512 мВт (на частоте 250 МГц)
Поддерживаемые ОС	Linux, RTOS uOS, QNX (защищенная операционная система реального времени (ЗОСРВ) «Нейтрино» КПДА.10964-01)

Наименование параметра	Значение параметра
Масса	2,5 г, не более
Диапазон рабочих температур	От – 60 до + 85 °С

Примечания

1. Параметры корпуса и описание внешних выводов микросхемы приведены в разделе 18.
2. Параметры производительности микросхемы при выполнении стандартных и специализированных функций приведены в Таблица 19.1 Приложения 1.
3. Данные по потребляемой мощности в различных режимах работы микросхемы приведены в Приложении 2.

1.3 Структурная схема

Структурная схема микросхемы 1892ВМ10Я приведена на рисунке 1.1.

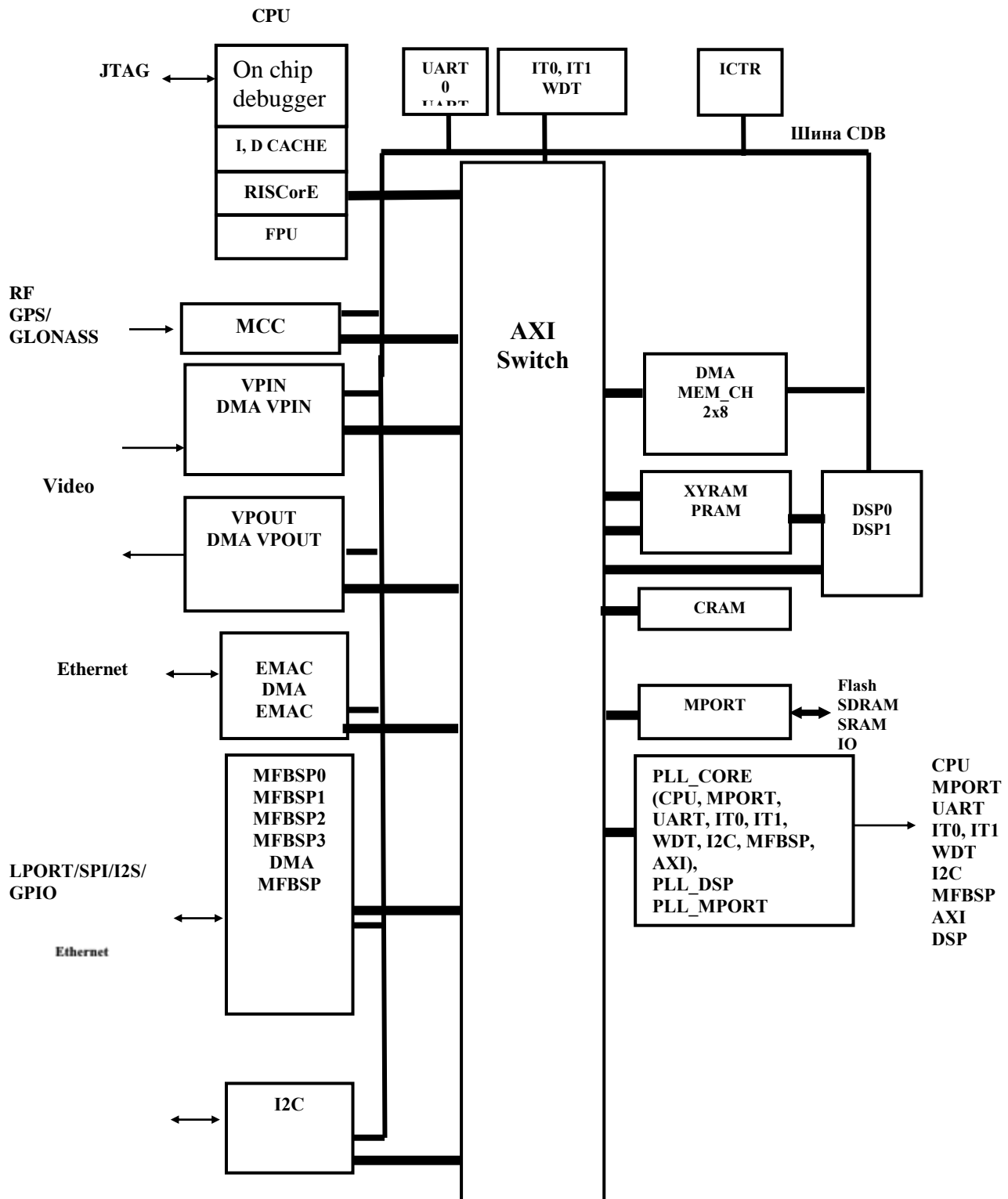


Рисунок 1.1. Структурная схема

1.4 Состав микросхемы

1.4.1 Перечень основных узлов и интерфейсов

Микросхема содержит следующие основные узлы и интерфейсы:

- центральный процессор (CPU);
- два цифровых сигнальных процессора (DSP0, DSP1);
- многоканальный коррелятор (МСС);
- два универсальных интервальных таймера (IT0, IT1);
- сторожевой таймер (WDT);
- контроллер прямого доступа в память (DMA);
- четыре многофункциональных буферизированных последовательных порта (MFBSP0 – MFBSP3);
- порт внешней памяти (MPORT);
- контроллер Ethernet MAC;
- порт ввода видеоданных (VPIN);
- порт вывода видеоданных (VPOUT);
- два универсальных асинхронных последовательных порта (UART0, UART1);
- контроллер I2C;
- отладочный порт JTAG для доступа к встроенным средствам отладки программ (OnCD);
- контроллер прерываний (ICTR);
- устройство фазовой автоподстройки частоты (PLL);
- коммутатор (AXI Switch).

1.4.2 Центральный процессор (CPU)

В качестве отличительных особенностей центрального процессора можно назвать:

- архитектура – MIPS32;
- 32-х битные шины передачи адреса и данных;
- кэш команд объемом 16 Кбайт;
- кэш данных объемом 16 Кбайт;
- архитектура привилегированных ресурсов в стиле ядра R4000;
- регистры Count/Compare для прерываний реального времени;
- отдельный вектор обработки исключений по прерываниям;
- программируемое устройство управления памятью: с режимами работы с TLB и FM;

- устройство целочисленного умножения и деления; время выполнения команд в тактах CPU: MUL – 1; DIV – 8;
- сопроцессор арифметики в формате с плавающей точкой (FPU);
- производительность – 250 млн. оп/сек;
- оперативная память центрального процессора (CRAM) объемом 128 Кбайт;
- 5 внешних запросов прерывания, в том числе немаскируемое прерывание (NMI).

1.4.3 Цифровой сигнальный процессор (DSP)

В качестве отличительных особенностей цифрового сигнального процессора можно назвать:

- 2-ядерный DSP-кластер «DELcore-30M» (Dual ELVEESs Core) - симметричный мультипроцессор (СМП) из IP –библиотеки платформы «Мультикор», состоящий из двух DSP-ядер «ELcore-30» работающих на общем поле памяти данных;
- «Гарвардская» архитектура DSP-ядер с оригинальной системой инструкций;
- набор инструкций, совмещающий процедуры обработки и пересылки;
- одно- и двухтактное исполнение вычислительных команд;
- 7-ступенчатый конвейер по выполнению 32– и 64–разрядных инструкций;
- расширенные возможности по динамическому диапазону обрабатываемых данных, позволяющие обрабатывать данные в 8/16/32/64–разрядных форматах с фиксированной точкой, 32-разрядном формате с плавающей точкой в стандарте IEEE754, либо программно в формате с плавающей точкой 32E16 (расширенный формат), обеспечивая при этом компромиссный выбор между точностью и производительностью. Аппаратные меры повышения точности и динамического диапазона (блочная плавающая точка; режим насыщения; инструкции преобразования форматов);
- аппаратная поддержка программных циклов;
- общий объем памяти программ и данных DSP-кластера – 320 Кбайт;
- подвижная граница между памятью программ и данных: память программ PRAM каждого DSP-ядра может иметь объем от 32 до 128 Кбайт, общая для 2-х DSP-ядер память данных XYRAM объемом от 64 до 256 Кбайт; при распределении памяти выделяемый объем памяти одинаков для обоих ядер;
- механизм прерываний каждого DSP от всех внешних портов, в том числе и от портов MFBSP (тот же набор запросов на прерывания, что и в CPU);
- доступ DSP-ядер ко всему адресному пространству микросхемы - адресуемым регистрам и памяти;
- встроенный кодер Хаффмана (JPEG) для более эффективного сжатия изображений;
- встроенный в каждый DSP 32-разрядный интервальный таймер, работающий от частоты DSP;
- максимальная пропускная способность коммутатора ядер с памятью –512 бит за такт;

- максимальная скорость обмена внешних устройств с памятью кластера – 64 бит за такт;
- пиковая суммарная производительность DSP-кластера (на частоте 250 МГц):
 - в формате плавающей точки (24Е8, стандарт IEEE 754): 4000 Моп/с (MFLOPs), что соответствует 16 операциям с плавающей точкой (IEEE 754) за 1 такт;
 - в формате фиксированной точки (int32): 4000 Моп/с, что соответствует 16 32-битным операциям с фиксированной точкой за 1 такт;
 - в формате фиксированной точки (int16): 16000 Моп/с, что соответствует 64 16-битным операциям с фиксированной точкой за 1 такт;
 - в формате фиксированной точки (int8): 24000 Моп/с, что соответствует 96 байтным операциям с фиксированной точкой за 1 такт.

Таблица 1.2. Параметры производительности микросхемы по некоторым процедурам сигнальной обработки

Процедура и параметр обработки	Значение
Тактовая частота, МГц	250
Пиковая производительность (смесь умножений, сложений, вычитаний)	
формат (int 16), млн. оп/с	16000
формат (float 32), млн. флоп/с	4000
формат (int 32), млн. оп/с	4000
формат (int 8), млн. оп/с	24000
Пиковая производительность по операциям MAC (умножить и накопить)	
формат (int 16), млн. MAC/с	4000
формат (float 32), млн. MAC/с	2000
формат (int 32), млн. MAC/с	1000
Пиковая производительность по операциям CMAC (умножить и накопить комплексные данные)	
формат (int16), млн. CMAC/с	1000
формат (int 8), млн. CMAC/с	2000
КИХ – фильтрация	
формат (float32), нс / (отвод • выход)	от 0,8
формат (int16), нс / (отвод • выход)	от 0,3
формат (int16), комплексные данные и коэффициенты, нс / (отвод • выход)	от 1
формат(float32), 16 отводов, 1 выход, нс / выходной отсчет	от 56
БПФ, комплексные данные	
БПФ – 1024, формат (float32), плавающая точка, мкс	16,7
БПФ – 2048, формат (float32), плавающая точка, мкс	37
БПФ – 1024, формат (int16), блочная плавающая точка, мкс	6
Пороговая обработка	
Поиск по массиву и упорядоченное размещение максимумов либо минимумов и их номеров:	

Процедура и параметр обработки	Значение
формат (int16), нс / (отсчет • максимум) формат (float32) или (int32), нс / (отсчет • максимум)	от 0,3 от 0,5
Медианная фильтрация, формат (int16), нс / (отсчет • отвод)	от 1
Корреляционный анализ	
Прямая взаимная корреляция комплексных данных в формате (int16) и комплексного эталона из знаков (± 1), нс / (отсчет • коэффициент корреляции)	от 0,12
Прямая взаимно-дифференциальная корреляция данных в формате (int16), нс / (отсчет • коэффициент корреляции)	от 0,032
Декодер Витерби / Турбо	
Операция ACS (сложение + сравнение + выбор) – базовая операция декодера Витерби, 16-разр. метрики путей, нс/метрика	0,26

1.4.4 Многоканальный коррелятор (МСС)

В качестве отличительных особенностей многоканального коррелятора (МКК или МСС) можно назвать:

- 24 следящих канала ГЛОНАСС/GPS повышенной точности, слежение за GPS L1, GLO L1, GLO L2 при помощи 6 подканалов, отстроенных друг от друга на определенное количество отсчетов данных; входные данные – две компоненты по 2 бита, накопленные на длительности от 1 до 16 мс, тактовая частота 15-40 МГц;
- 16 следящих каналов ГЛОНАСС/GPS, слежение за GPS L1, GLO L1, GLO L2 при помощи прямого и дифференциального подканалов, входные данные – две компоненты по 2 бита, накопление на длительности 1 мс, тактовая частота 15-40 МГц;
- 4 поисковых машины ГЛОНАСС/GPS, поиск в диапазонах GPS L1, GLO L1, GLO L2 при помощи свертки сигнала с ПСП на длительности 1 мс; входные данные – вещественная и мнимые компоненты по 2 бита. Накопление смешанного типа проходит в два этапа: сначала - когерентно на длительности от 1 до 16 мс, далее – результаты учитываются в некогерентном накоплении, этот цикл повторяется заданное количество раз от 1 до 16. Тактовая частота 15-40 МГц, для работы требует дополнительно подачи повышенной частоты. Повышенная частота должна составлять не менее 66 МГц, что необходимо для обеспечения вычисления требуемого количества корреляций за длительность одного чипа ПСП;
- канал прямого чтения данных с RFFE, выполняющий перенос сигнала с ПЧ на нулевую, снятие доплеровской частоты (ПЧ от 0 до $F_s/2$), накопления на длительности от одного отсчета данных, результаты накоплений сохраняются в буфере типа FIFO глубиной 2048 отсчетов;

- модуль формирования временной шкалы 1мс с возможностью задания кода частоты;
- модуль формирования секундной метки с возможностью задания кода частоты, начальной фазы и длительности активного состояния секундного импульса;
- модуль интерфейса с АЦП, сэмплирующий отсчеты от АЦП по переднему либо заднему фронту частоты оцифровки, преобразующий входной сигнал различных кодировок во внутреннюю и подсчитывающий количество состояний АЦП для системы АРУ;
- устройство расчета ПСП, используемое ЦП для оперативного вычисления параметров настройки следящих каналов для заданного номера спутника и задержки ПСП;
- отладочный имитатор сигнала спутников ГНСС, предназначенный для проверки базовой функциональности МКК. Имитатор позволяет задавать ПСП спутника, коэффициент шума, смешиваемого с сигналом, а также доплеровское смещение сигнала.

1.4.5 Порт внешней памяти (MPORT)

В качестве отличительных особенностей порта внешней памяти можно назвать:

- шина данных – 32 разряда,
- шина адреса – 32 разряда;
- встроенный контроллер для подключения к микропроцессору внешней памяти типов SRAM/ROM/SDRAM/Mobile SDRAM/EPROM/FLASH и внешних устройств;
- программное конфигурирование типа блоков памяти и их объема;
- программное управление числом тактов ожидания при обмене с асинхронной памятью;
- формирование сигналов выборки 5 блоков внешней памяти;
- перевод SDRAM в режим энергосбережения.

1.4.6 Периферийные устройства

В состав микросхемы входят следующие периферийные устройства:

- контроллер Ethernet MAC 10/100 Мбит/с;
- 4 универсальных порта MFBSP (LPORT, совместимый с Analog Devices, SPI, I2S, GPIO) с DMA;
- 4-канальный контроллер прямого доступа (DMA) типа память-память. Поддержка двухмерной и разрядно-инверсной адресации. 4 внешних запроса прямого доступа;
- контроллер прерываний (ICTR);
- порт ввода видеоданных (VPIN);
- порт вывода видеоданных (VPOUT);

- два универсальных асинхронных порта (UART) типа 16550;
- контроллер I2C;
- два универсальных 32-разрядных таймера, интервальные/реального времени (IT/RTT);
- 32-разрядный сторожевой таймер (WDT).

1.4.7 Фазовая автоподстройка частоты (PLL)

Для синхронизации работы компонентов микросхемы используются встроенные умножители на основе устройства фазовой автоподстройки частоты (PLL) с программным управлением.

1.4.8 Отладочный порт JTAG

В микросхеме 1892ВМ10Я предусмотрен отладочный порт JTAG, обеспечивающий доступ к модулю встроенных средств отладки программ (см. раздел 15). Для подключения микросхемы к компьютеру через этот порт необходимо использовать эмулятор MC-USB-JTAG PАЯЖ.467133.007.

1.4.9 Управление энергопотреблением

В микросхеме предусмотрены следующие варианты энергосбережения:

- программное управление коэффициентом умножения и деления умножителей частоты CPU и DSP;
 - программное отключение и включение частоты от любого блока;
 - программное отключение частоты от всего микропроцессора. Включение частоты – по любому прерыванию;
 - программное отключение частоты только от CPU микропроцессора; Включение частоты CPU – по любому прерыванию;
 - программное отключение частоты от всего микропроцессора за исключением таймеров. Включение частоты CPU – по любому прерыванию.
- Потребление микросхемы в различных режимах приведено в Приложении 2.

1.5 Средства разработки

1.5.1 Среда проектирования программного обеспечения

Разработка прикладного программного обеспечения для микросхемы 1892ВМ10Я может быть выполнена с помощью интегрированной среды разработки и отладки программного обеспечения MCStudio 3М/4, которая поставляется пользователю по отдельному соглашению.

Среда MCStudio 3М/4 обеспечивает полный цикл разработки и отладки программ на базе C-компилятора для CPU-ядра процессора и ассемблера для DSP-ядер микросхемы 1892ВМ10Я.

Среда MCStudio 3М/4 включает в себя:

- встроенный редактор для написания программ;
- набор инструментов для компилирования и сборки программ;
- отладчик.

Среда позволяет создавать и отлаживать одновременно несколько проектов – группу проектов, объединенных общим названием, одновременно создаваемых, редактируемых и отлаживаемых в MCStudio 3М/4.

Среда MCStudio 3М/4 обеспечивает:

- создание группы проектов, отдельных проектов и программ для различных устройств;
- ввод и редактирование текстов программ;
- компиляцию файлов, компоновку программ, подготовку образа памяти для загрузки в целевое устройство;
- отладку программ.

Программы могут быть написаны на ассемблере (для CPU или DSP) или на языке Си/C++ (для CPU).

1.5.2 Редактор

Среда MCStudio 3М/4 имеет встроенный редактор, обеспечивающий выполнение следующих функций:

- возможность написания и редактирования одновременно нескольких файлов программ;
- подсветку синтаксиса для программ на ассемблере и C/C++;

- управление файлами и модулями, входящими в состав проекта;
- быстрый доступ ко всем функциям редактируемой программы;
- визуализацию ошибок, возникающих в процессе компиляции;
- настройку внешнего вида редактора по желанию пользователя.

1.5.3 Набор инструментов для компиляции и сборки

Для каждого проекта можно выбрать соответствующий типу изделия набор инструментов для компилирования и отладки. Набор инструментов задается при создании проекта в зависимости от типа целевого устройства. В процессе работы с проектом пользователь может менять отдельные инструменты и их настройки по своему усмотрению.

Набор инструментов включает в себя:

- компилятор с языка C/C++ с препроцессором (для CPU-ядра);
- ассемблер с препроцессором (для CPU и DSP);
- дизассемблер (для CPU и DSP);
- линковщик (для CPU и DSP);
- библиотекарь (для CPU и DSP);
- утилиты подготовки исполняемого кода для загрузки образа памяти в целевое устройство (для CPU и DSP).

1.5.4 Отладчик

Среда MCStudio 3M/4 предоставляет возможность отладки программ в двух режимах:

- режим симулятора;
- режим эмулятора.

При работе в режиме симулятора отладка программ происходит на программной модели целевого устройства. В режиме эмулятора работа выполняется через порт JTAG реальной ИМС.

Подключение ПЭВМ к отладочному порту JTAG микросхемы возможно через LPT или USB.

Отладчик позволяет пользователю:

- загружать в симулятор одновременно несколько проектов из одной группы для различных устройств;
- отслеживать выполнение программ по исходному тексту или дизассемблеру в окне редактора кода;
- устанавливать и редактировать точки останова (в том числе и аппаратные);
- исполнять программы до точки останова или по шагам;

- получать сообщения об остановах и завершении программ;
- следить за состоянием счетчика команд в процессе выполнения программ;
- просматривать значения регистров устройств и задавать значения регистров в процессе отладки;
- просматривать информацию из памяти и записывать данные в память при остановах программы и сохранять данные из памяти в файл;
- получать информации о состоянии стека, локальных переменных исполняемой функции, задавать переменные для слежения, просматривать и редактировать список точек останова в процессе выполнения программы;
- визуально просматривать изображения в процессе отладки в трех режимах:
 - в виде текста из буфера StdOut;
 - в виде изображения;
 - в виде графика.

1.5.5 Библиотеки ЦОС

Для микросхемы 1892ВМ10Я разработан ряд библиотек с набором прикладных программ для реализации различных функций цифровой обработки сигналов:

- библиотека ЦОС;
- TETRA-аудиокодек;
- библиотека навигационного ПО;
- библиотека элементарных математических функций.

Соответствующая документация на библиотеки размещена на сайте изготовителя.

Использование библиотеки ЦОС позволяет осуществлять процедуры спектрального анализа, КИХ-фильтрации, арифметических и тригонометрических операций над векторами. В таблице 1.6 Приложения 1 приведены данные по времени выполнения функций прикладной библиотеки ЦОС для микросхемы 1892ВМ10Я.

1.5.6 Операционные системы

В настоящее время на MIPS32-совместимое CPU-ядро платформы «МУЛЬТИКОР» в составе микросхемы 1892ВМ10Я портированы ОС Linux, RTOS uOS, и QNX (защищенная операционная система реального времени (ЗОСРВ) «Нейтрино» КПА.10964-01).

1.5.7 Отладочный модуль

Для изучения возможностей микросхемы, отладки прикладных программ и макетирования пользовательских систем удобно использовать модуль отладочный NVCom-02TEM-3U РАЯЖ.441461.009.

Вместе с отладочным модулем поставляются:

- адаптер сетевой с выходным напряжением +12 В (не менее 1,8 А);
- кабель USB (для работы с портом UART);
- компакт-диск с технической документацией.

Отладочный модуль подключается к порту USB 2.0 персонального компьютера через эмулятор MC-USB-JTAG РАЯЖ.467133.007. Все перечисленные инструментальные средства поставляется пользователю по отдельному соглашению.

Подробные сведения о работе с отладочным модулем изложены в его руководстве пользователя.

1.6 Дополнительная документация

Для более подробного изучения микросхемы с целью ее применения, помимо настоящего руководства пользователя, также рекомендуются к изучению следующие документы, доступные на сайте <https://elvees.ru/>:

- Микросхема интегральная 1892ВМ10Я. Интегрированная среда разработки и отладки программ. РАЯЖ.00167-01.
- Микросхема интегральная 1892ВМ10Я. Библиотека навигационного ПО. РАЯЖ.00168-01.
- Микросхема интегральная 1892ВМ10Я. Библиотека ЦОС. РАЯЖ.00169-01.
- Микросхема интегральная 1892ВМ10Я. TETRA–аудиокодек. РАЯЖ.00170-01.
- Процессорное ядро RISCore32. Система команд.
- DSP-кластер DELcore-30M. Архитектура.
- DSP-кластер DELcore-30M. Архитектура. Приложение 1. Базовая система инструкций.
- DSP-кластер DELCORE-30M. Архитектура. Приложение 2. Расширение системы инструкций.
- DSP-ядро ELcore-30M. Перечень выявленных ограничений
- Библиотека элементарных математических функций для процессора 1892ВМ10Я. Руководство программиста.
- Техническое описание многоканального коррелятора.
- Описание набора тестов производительности CPU-ядра процессора 1892ВМ10Я.
- Модуль отладочный NVCom-02ТЕМ-3U rev1.2. Руководство пользователя.
- Работа с эмулятором USB-JTAG для процессоров серии «Мультикор».
- Сборка и настройка ядра mcLinux для процессора 1892ВМ10Я.
- Применение процессоров серии «Мультикор». Использование отладчика MDB.
- Применение процессоров серии «Мультикор». Работа с памятью. Преобразование адресов и кэширование.

- Применение процессоров серии «Мультикор». Рекомендации по проектированию принципиальной электрической схемы.
- Применение процессоров серии «Мультикор». Обработка прерываний.
- Применение процессоров серии «Мультикор». Работа с каналами DMA.
- Применение процессоров серии «Мультикор». Работа с портом внешней памяти общего назначения (MPORT).
- Работа с портом VPOUT микросхемы 1892BM10Я на примере модуля дисплея

МС-LCD-TOUCH.

- Применение SPI флэш-памяти S25FL256 совместно с микросхемой 1892BM10Я.
- Применение параллельной флэш-памяти S29GL256 совместно с микросхемой 1892BM10Я.

2. СИСТЕМНАЯ ОРГАНИЗАЦИЯ МИКРОСХЕМЫ

2.1 Карта памяти микросхемы

Карта физической памяти микросхемы 1892ВМ10Я приведена в Таблица 2.1. Здесь и далее, если это не оговорено специально, коды адреса и данных указаны в шестнадцатеричной системе счисления.

Таблица 2.1. Карта физической памяти 1892ВМ10Я

Диапазон адресов	Название области	Объем области, Мбайт
FFFF_FFFC 2000_0000	Внешняя память	3584
1FFF_FFFC 1C00_0000	Внешняя память (ПЗУ)	64
1BFF_FFFC 1800_0000	Внутренняя память	64
17FF_FFFC 0000_0000	Внешняя память	384

Вся внешняя память доступна через порт внешней памяти (MPORT).

Память СРАМ, а также внешняя память, могут адресоваться с точностью до байта.

Программный доступ к резервным областям запрещен, это может привести к непредсказуемым последствиям. Карта внутренней памяти 1892ВМ10Я приведена в таблице 2.2.

Таблица 2.2. Карта внутренней памяти 1892ВМ10Я

Диапазон адресов	Название области	Объем области, Кбайт
1BFF_FFFF 1880_0000	Резерв	56000
187F_FFFF 1840_0000	Память и регистры DSP-ядра	4096
183F_FFFF 1830_0000	Резерв	1024
182F_FFFF 182F_0000	Регистры CPU	64
182E_FFFF 1802_0000	Резерв	3000

Диапазон адресов	Название области	Объем области, Кбайт
1801_FFFF	Память CRAM	128
1800_0000		

Перечень программно доступных регистров для CPU и DSP приведен в таблице 2.3.

Таблица 2.3. Перечень программно доступных регистров для CPU и DSP

Условное обозначение регистра	Название регистра	Адрес регистра
<u>Регистры DMA MEM_CH</u>		
CSR_MEM_CH0	Регистр управления и состояния канала MEM_CH0 (по чтению сброс битов "END" и "DONE")	182F_0000
CP_MEM_CH0	Регистр указателя цепочки канала MEM_CH0	182F_0004
IR0_MEM_CH0	Регистр индекса "0" канала MEM_CH0	182F_0008
IR1_MEM_CH0	Регистр индекса "1" канала MemCh0	182F_000C
OR_MEM_CH0	Регистр смещений канала MEM_CH0	182F_0010
Y_MEM_CH0	Регистр параметров направления Y при двухмерной адресации канала MEM_CH0	182F_0014
RUN_MEM_CH0	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH0 На чтение: Регистр управления и состояния канала MEM_CH0 без сброса битов "END" и "DONE"	182F_0018
CSR_MEM_CH1	Регистр управления и состояния канала MEM_CH1 (по чтению сброс битов "END" и "DONE")	182F_0080
CP_MEM_CH1	Регистр указателя цепочки канала MEM_CH1	182F_0084
IR0_MEM_CH1	Регистр индекса "0" канала MEM_CH1	182F_0088
IR1_MEM_CH1	Регистр индекса "1" канала MemCh1	182F_008C
OR_MEM_CH1	Регистр смещений канала MEM_CH1	182F_0090
Y_MEM_CH1	Регистр параметров направления Y при двухмерной адресации канала MEM_CH1	182F_0094
RUN_MEM_CH1	На запись: псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH1 На чтение: Регистр управления и состояния канала MEM_CH1 без сброса битов "END" и "DONE"	182F_0098
CSR_MEM_CH2	Регистр управления и состояния канала MEM_CH2 (по чтению сброс битов "END" и "DONE")	182F_0100
CP_MEM_CH2	Регистр указателя цепочки канала MEM_CH2	182F_0104
IR0_MEM_CH2	Регистр индекса "0" канала MEM_CH2	182F_0108
IR1_MEM_CH2	Регистр индекса "1" канала MemCh2	182F_010C
OR_MEM_CH2	Регистр смещений канала MEM_CH2	182F_0110
Y_MEM_CH2	Регистр параметров направления Y при двухмерной адресации канала MEM_CH2	182F_0114
RUN_MEM_CH2	На запись: псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH2 На чтение: Регистр управления и состояния канала MEM_CH2 без сброса битов "END" и "DONE"	182F_0118
CSR_MEM_CH3	Регистр управления и состояния канала MEM_CH3 (по чтению сброс битов "END" и "DONE")	182F_0180
CP_MEM_CH3	Регистр указателя цепочки канала MEM_CH3	182F_0184
IR0_MEM_CH3	Регистр индекса "0" канала MEM_CH3	182F_0188
IR1_MEM_CH3	Регистр индекса "1" канала MemCh3	182F_018C
OR_MEM_CH3	Регистр смещений канала MEM_CH3	182F_0190
Y_MEM_CH3	Регистр параметров направления Y при двухмерной адресации канала MEM_CH3	182F_0194

Условное обозначение регистра	Название регистра	Адрес регистра
RUN_MEM_CH3	На запись: псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH3 На чтение: Регистр управления и состояния канала MEM_CH3 без сброса битов "END" и "DONE"	182F_0198
<u>Регистры DMA VPIN_CH</u>		
CSR_VPIN_CH	Регистр управления и состояния. При чтении: сброс битов END и DONE	182F_8800
CP_VPIN_CH	Регистр указателя цепочки	182F_8804
IR_VPIN_CH	Регистр индекса	182F_8808
RUN_VPIN_CH	При записи: псевдорегистр управления состоянием бита RUN регистра CSR. При чтении: регистр управления и состояния CSR без сброса битов "END" и "DONE"	182F_880C
<u>Регистры DMA VPOUT_CH</u>		
CSR_VPOUT_CH	Регистр управления и состояния. При чтении: сброс битов END и DONE	182F_9800
CP_VPOUT_CH	Регистр указателя цепочки	182F_9804
IR_VPOUT_CH	Регистр индекса	182F_9808
RUN_VPOUT_CH	При записи: псевдорегистр управления состоянием бита RUN регистра CSR. При чтении: регистр управления и состояния CSR без сброса битов "END" и "DONE"	182F_980C
<u>Регистры DMA EMAC_CH</u>		
CSR_EMAC_CH0	Регистр управления и состояния. При чтении: сброс битов END и DONE	182F_E800
CP_EMAC_CH0	Регистр указателя цепочки	182F_E804
IR_EMAC_CH0	Регистр индекса	182F_E808
RUN_EMAC_CH0	При записи: псевдорегистр управления состоянием бита RUN регистра CSR. При чтении: регистр управления и состояния CSR без сброса битов "END" и "DONE"	182F_E80C
CSR_EMAC_CH1	Регистр управления и состояния. При чтении: сброс битов END и DONE	182F_E840
CP_EMAC_CH1	Регистр указателя цепочки	182F_E844
IR_EMAC_CH1	Регистр индекса	182F_E848
RUN_EMAC_CH1	При записи: псевдорегистр управления состоянием бита RUN регистра CSR. При чтении: регистр управления и состояния CSR без сброса битов "END" и "DONE"	182F_E84C

Продолжение таблицы 2.3

Условное обозначение регистра	Название регистра	Адрес регистра
Регистры DMA MFBSP_RX_CH		
CSR_MFBSP_RX_CH0	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_7800
CP_MFBSP_RX_CH0	Регистр указателя цепочки	182F_7804
IR_MFBSP_RX_CH0	Регистр индекса	182F_7808
RUN_MFBSP_RX_CH0	На запись: псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_780C
CSR_MFBSP_RX_CH1	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_7840
CP_MFBSP_RX_CH1	Регистр указателя цепочки	182F_7844
IR_MFBSP_RX_CH1	Регистр индекса	182F_7848
RUN_MFBSP_RX_CH1	На запись: псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_784C
CSR_MFBSP_RX_CH2	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_7880
CP_MFBSP_RX_CH2	Регистр указателя цепочки	182F_7884
IR_MFBSP_RX_CH2	Регистр индекса	182F_7888
RUN_MFBSP_RX_CH2	На запись: псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_788C
CSR_MFBSP_RX_CH3	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_78C0
CP_MFBSP_RX_CH3	Регистр указателя цепочки	182F_78C4
IR_MFBSP_RX_CH3	Регистр индекса	182F_78C8
RUN_MFBSP_RX_CH3	На запись: псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_78CC

Продолжение таблицы 2.3

Условное обозначение регистра	Название регистра	Адрес регистра
<u>Регистры DMA MFBSP_TX_CH</u>		
CSR_MFBSP_TX_CH0	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_7C00
CP_MFBSP_TX_CH0	Регистр указателя цепочки	182F_7C04
IR_MFBSP_TX_CH0	Регистр индекса	182F_7C08
RUN_MFBSP_TX_CH0	На запись: псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_7C0C
CSR_MFBSP_TX_CH1	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_7C40
CP_MFBSP_TX_CH1	Регистр указателя цепочки	182F_7C44
IR_MFBSP_TX_CH1	Регистр индекса	182F_7C48
RUN_MFBSP_TX_CH1	На запись: псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_7C4C
CSR_MFBSP_TX_CH2	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_7C80
CP_MFBSP_TX_CH2	Регистр указателя цепочки	182F_7C84
IR_MFBSP_TX_CH2	Регистр индекса	182F_7C88
RUN_MFBSP_TX_CH2	На запись: псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_7C8C
CSR_MFBSP_TX_CH3	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_7CC0
CP_MFBSP_TX_CH3	Регистр указателя цепочки	182F_7CC4
IR_MFBSP_TX_CH3	Регистр индекса	182F_7CC8
RUN_MFBSP_TX_CH3	На запись: псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_7CCC

Продолжение таблицы 2.3

Условное обозначение регистра	Название регистра	Адрес регистра
<u>Регистры I2C</u>		
PRER[15:0]	Регистр предделителя частоты	182F_2000
CTR[8:0]	Регистр управления	182F_2004
TXR[7:0]	Регистр передачи данных	182F_2008
RXR[7:0]	Регистр приема данных	182F_200C
CR[7:0]	Регистр команд	182F_2010
SR[7:0]	Регистр состояния	182F_2014
PR_CNT[15:0]	Счетчик предделителя частоты	182F_2018
<u>Регистры UART0</u>		
RBR_UART0	Приемный буферный регистр	182F_3000
THR_UART0	Передающий буферный регистр	182F_3000
IER_UART0	Регистр разрешения прерываний	182F_3004
IIR_UART0	Регистр идентификации прерывания	182F_3008
FCR_UART0	Регистр управления FIFO	182F_3008
LCR_UART0	Регистр управления линией	182F_300C
LSR_UART0	Регистр состояния линии	182F_3014
SPR_UART0	Регистр ScratCH Pad	182F_301C
DLL_UART0	Регистр делителя младший	182F_3000
DLM_UART0	Регистр делителя старший	182F_3004
SCLR_UART0	Регистр предделителя (scaler)	182F_3014
<u>Регистры UART1</u>		
RBR_UART1	Приемный буферный регистр	182F_3800
...
SCLR_UART1	Регистр предделителя (scaler)	182F_3814
<u>Регистры интервального таймера IT0</u>		
ITCSR0	Регистр управления	182F_D000
ITPERIOD0	Регистр периода работы таймера	182F_D004
ITCOUNT0	Регистр счетчика	182F_D008
ITSCALE0	Регистр предделителя	182F_D00C
<u>Регистры WDT</u>		
WTCSR	Регистр управления	182F_D010
WTPERIOD	Регистр периода работы таймера	182F_D014
WTCOUNT	Регистр счетчика	182F_D018
WTSCALE	Регистр предделителя	182F_D01C
<u>Регистры интервального таймера IT1</u>		
ITCSR1	Регистр управления	182F_D020
ITPERIOD1	Регистр периода работы таймера	182F_D024
ITCOUNT1	Регистр счетчика	182F_D028
ITSCALE1	Регистр предделителя	182F_D02C

Продолжение таблицы 2.3

Условное обозначение регистра	Название регистра	Адрес регистра
<u>Регистры MFBSPO</u>		
TX_MFBSP0	Буфер передачи данных	182F_7000
RX_MFBSP0	Буфер приема данных	182F_7000
CSR_MFBSP0	Регистр управления и состояния	182F_7004
DIR_MFBSP0	Регистр управления направлением выводов порта ввода-вывода MFBSPO	182F_7008
GPIO_DR0	Регистр данных порта ввода-вывода	182F_700C
TCTR0	Регистр управления передатчиком	182F_7010
RCTR0	Регистр управления приёмником	182F_7014
TSR0	Регистр состояния передатчика	182F_7018
RSR0	Регистр состояния приёмника	182F_701C
TCTR_RATE0	Регистр управления темпом передачи данных	182F_7020
RCTR_RATE0	Регистр управления темпом приёма данных	182F_7024
<u>Регистры MFBSPI</u>		
TX_MFBSP1	Буфер передачи данных	182F_7100
RX_MFBSP1	Буфер приема данных	182F_7100
CSR_MFBSP1	Регистр управления и состояния	182F_7104
DIR_MFBSP1	Регистр управления направлением выводов порта ввода-вывода	182F_7108
GPIO_DR1	Регистр данных порта ввода-вывода	182F_710C
TCTR1	Регистр управления передатчиком	182F_7110
RCTR1	Регистр управления приёмником	182F_7114
TSR1	Регистр состояния передатчика	182F_7118
RSR1	Регистр состояния приёмника	182F_711C
TCTR_RATE1	Регистр управления темпом передачи данных	182F_7120
RCTR_RATE1	Регистр управления темпом приёма данных	182F_7124
<u>Регистры MFBSPI2</u>		
TX_MFBSP2	Буфер передачи данных	182F_7200
RX_MFBSP2	Буфер приема данных	182F_7200
CSR_MFBSP2	Регистр управления и состояния	182F_7204
DIR_MFBSP2	Регистр управления направлением выводов порта ввода-вывода	182F_7208
GPIO_DR2	Регистр данных порта ввода-вывода	182F_720C
TCTR2	Регистр управления передатчиком	182F_7210
RCTR2	Регистр управления приёмником	182F_7214
TSR2	Регистр состояния передатчика	182F_7218
RSR2	Регистр состояния приёмника	182F_721C
TCTR_RATE2	Регистр управления темпом передачи данных	182F_7220
RCTR_RATE2	Регистр управления темпом приёма данных	182F_7224
<u>Регистры MFBSPI3</u>		
TX_MFBSP3	Буфер передачи данных	182F_7300
RX_MFBSP3	Буфер приема данных	182F_7300
CSR_MFBSP3	Регистр управления и состояния	182F_7304
DIR_MFBSP3	Регистр управления направлением выводов порта ввода-вывода	182F_7308
GPIO_DR3	Регистр данных порта ввода-вывода	182F_730C
TCTR3	Регистр управления передатчиком	182F_7310
RCTR3	Регистр управления приёмником	182F_7314
TSR3	Регистр состояния передатчика	182F_7318
RSR3	Регистр состояния приёмника	182F_731C
TCTR_RATE3	Регистр управления темпом передачи данных	182F_7320
RCTR_RATE3	Регистр управления темпом приёма данных	182F_7324

Продолжение таблицы 2.3

Условное обозначение регистра	Название регистра	Адрес регистра
<u>Регистры VPIN</u>		
CSR_VPIN	Регистр управления и состояния	182F_8000
Line_cnt/Pix_cnt	Счетчик строк / счетчик пикселей	182F_8004
Frame_cnt	Счетчик кадров	182F_8008
FIFO_OUT	Выход FIFO	182F_800C
<u>Регистры VPOUT</u>		
CSR_VPOUT	Регистр управления и состояния	182F_9000
DIV	Регистр периода сигнала VCLKO_out	182F_9004
Hstart/Hend	Регистр начала/конца активной части строки	182F_9008
Vstart/Vend	Регистр начала/конца активной части кадра	182F_900C
Line_cnt/Pix_cnt	Счетчик строк / счетчик пикселей	182F_9010
Frame_cnt	Счетчик кадров	182F_9014
-	Не используется	182F_9018
FIFO_IN	Вход FIFO	182F_901C

Продолжение таблицы 2.3

Условное обозначение регистра	Название регистра	Адрес регистра
Регистры Ethernet MAC		
MAC_CONTROL[11:0]	Регистр управления MAC	182F_E000
MAC_ADDR_L[31:0]	Регистр младшей части исходного адреса MAC	182F_E004
MAC_ADDR_H[15:0]	Регистр старшей части исходного адреса MAC	182F_E008
DADDR_L[31:0]	Регистр младшей части адреса назначения	182F_E00C
DADDR_H[15:0]	Регистр старшей части адреса назначения	182F_E010
FCS_CLIENT[31:0]	Регистр контрольной суммы кадра	182F_E014
TYPE[15:0]	Регистр типа кадра	182F_E018
IFS_COLL_MODE[23:0]	Регистр IFS и режима обработки коллизии	182F_E01C
TX_FRAME_CONTROL[16:0]	Регистр управления передачи кадра	182F_E020
STATUS_TX[26:0]	Регистр статуса передачи кадра	182F_E024
UCADDR_L[31:0]	Регистр младшей части уникального адреса MAC	182F_E028
UCADDR_H[15:0]	Регистр старшей части уникального адреса MAC	182F_E02C
MCADDR_L[31:0]	Регистр младшей части группового адреса	182F_E030
MCADDR_H[15:0]	Регистр старшей части группового адреса	182F_E034
MCADDR_MASK_L[31:0]	Регистр младшей части маски группового адреса	182F_E038
MCADDR_MASK_H[15:0]	Регистр старшей части маски группового адреса	182F_E03C
HASHT_L[31:0]	Регистр младшей части хэш-таблицы	182F_E040
HASHT_H[31:0]	Регистр старшей части хэш-таблицы	182F_E044
RX_FRAME_CONTROL[9:0]	Регистр управления приема кадра	182F_E048
RX_FR_MaxSize[11:0]	Регистр максимального размера принимаемого кадра	182F_E04C
STATUS_RX[29:0]	Регистр статуса приема кадра	182F_E050
RX_FRAME_STATUS_FIFO [26:0]	FIFO статусов принятых кадров	182F_E054
MD_CONTROL[31:0]	Регистр управления порта MD	182F_E058
MD_STATUS[31:0]	Регистр статуса порта MD	182F_E05C
MD_MODE[8:0]	Регистр режима работы порта MD	182F_E060
TX_TEST_CSR[14:0]	Регистр управления и состояния режима тестирования TX_FIFO	182F_E064
TX_FIFO[31:0]	Передающее TX_FIFO	182F_E068
RX_TEST_CSR[14:0]	Регистр управления и состояния режима тестирования RX_FIFO	182F_E06C
RX_FIFO[31:0]	Принимающее RX_FIFO	182F_E070
Регистры МСС*		
	Базовый адрес регистров МСС коррелятора * Подробная карта памяти по регистрам МСС доступна в приложении 4.	182F_F000
		...
		182F_FFFC

Продолжение таблицы 2.3

Условное обозначение регистра	Название регистра	Адрес регистра
<u>Регистры MPORT</u>		
CSCON0	Регистр конфигурации блока внешней памяти, подключаемого к выводу nCS[0]	182F_1000
CSCON1	Регистр конфигурации блока внешней памяти, подключаемого к выводу nCS[1]	182F_1004
CSCON2	Регистр конфигурации блока внешней памяти, подключаемого к выводу nCS[2]	182F_1008
CSCON3	Регистр конфигурации блока внешней памяти, подключаемого к выводу nCS[3]	182F_100C
CSCON4	Регистр конфигурации внешней памяти, не вошедшей в блоки памяти, определяемые регистрами CSCON3 - CSCON0	182F_1010
SDRCON	Регистр конфигурации типа SDRAM	182F_1014
SDRTMR	Регистр временных параметров памяти типа SDRAM	182F_1018
SDRCSR	Регистр управления режимами памяти типа SDRAM	182F_101C
<u>Системные регистры</u>		
CR_PLL	Регистр управления PLL	182F_4000
CLK_EN	Регистр управления отключением частоты от устройств	182F_4004
CSR	Регистр управления и состояния	182F_4008
MASKR0	Регистр маски прерываний из регистра QSTR0	182F-4010
QSTR0	Регистр запросов прерываний от IT0, IT1, WDT, VPOUT, VPIN, ETHERNET MAC, PMSC, UART, nIRQ[3:0]	182F-4014
MASKR1	Регистр маски прерываний из регистра QSTR1	182F-4018
QSTR1	Регистр запросов прерываний от каналов DMA MEM_CH	182F-401C
MASKR2	Регистр маски прерываний из регистра QSTR2	182F-4020
QSTR2	Регистр запросов прерываний от MFBSP0, MFBSP1, MFBSP2, MFBSP3 и их DMA	182F-4024
IRQM	Регистр управления режимом приема внешних прерываний nIRQ[3:0]	182F-4030

2.2 Система синхронизации

Микросхема 1892BM10Я имеет следующие входы синхронизации:

- XTI - частота 9-12 МГц для синхронизации всех умножителей частоты микросхемы;
- RTC_XTI - частота таймера реального времени 32 КГц;
- PIXCLK – синхронизация приема пикселей порта VPIN;
- MCC_CLK – частота от 34 до 40 МГц для синхронизации коррелятора MCC.

Для синхронизации работы узлов микросхемы 1892BM10Я используются умножители частоты на основе схемы фазовой автоподстройки частоты (PLL). Имеются следующие умножители частоты:

- PLL_CORE – для формирования тактовой частоты работы ядра микросхемы: CPU, MPORT, UART, TIMER (IT0, IT1, WDT), I2C, MFBSP, коммутатора AXI, системной части всех устройств микросхемы;
- PLL_DSP – для формирования тактовой частоты работы DSP;

- PLL_MPORT – для формирования выходной частота SCLK (тактовая частота работы памяти типа SDRAM, подключенной к MPORT).

Частота, поступающая на вход, XTI делится на 2 и далее поступает на входы всех PLL.

Управление PLL осуществляется при помощи регистра CR_PLL, формат которого приведен в Таблица 2.4.

Таблица 2.4. Формат регистра CR_PLL

Номер разряда	Условное Обозначение	Назначение	Доступ	Исходное состояние
31:24	-	Не используется	-	0
23	PLL_DSP_EN	Выбор источника тактовой частоты для работы DSP: 1 – PLL_DSP; 0 – вход XTI.	R/W	0
22:16	CLK_SEL_DSP[6:0]	Коэффициент умножения/деления входной частоты PLL_DSP (частота XTI, деленная на 2): 00 – 1/16; 01 – 1 02 – 2; 03 – 3; ... 7E – 126; 7F – 127.	R/W	1
15	-	Не используется	-	0
14:8	CLK_SEL_MPORT[6:0]	Коэффициент умножения/деления входной частоты PLL_MPORT (частота XTI, деленная на 2): 00 – 1/16; 01 – 1 02 – 2; 03 – 3; ... 7E – 126; 7F – 127.	R/W	1
7	-	Резерв	-	0
6:0	CLK_SEL_CORE[6:0]	Коэффициент умножения/деления входной частоты PLL_CORE (частота XTI, деленная на 2): 00 – 1/16; 01 – 1 02 – 2; 03 – 3; ... 7E – 126; 7F – 127.	R/W	1

Нумерация разрядов всех регистров соответствует нумерации разрядов памяти CPU. Если разряды регистров доступны только по записи или не используются (резерв), то при чтении из них считываются нули. Если разряды регистров доступны только по чтению или не используются, то при записи в них необходимо указывать нули.

Выбор источника тактовой частоты для работы ядра микросхемы (далее CLK) определяется входом микросхемы PLL_EN:

- 1 – PLL_CORE;
- 0 – вход ХТИ.

Выбор источника формирования выходной частоты SCLK также определяется входом микросхемы PLL_EN:

- 1 – PLL_MPORT;
- 0 – вход ХТИ.

Следует заметить, что при использовании для CPU режима TLB отображения памяти вместо FM отображения, существует следующее ограничение на соотношение частот – частота для ядра микросхемы должна быть не ниже частоты для порта внешней памяти.

Отключение и включение тактовой частоты

В данной микросхеме имеется два режима энергосбережения:

- уменьшение внутренней тактовой частоты работы устройств;
- отключение внутренней тактовой частоты работы устройств.

Уменьшение внутренней тактовой частоты CLK выполняется при записи необходимого кода в поле CLK_SEL регистра CR_PLL. При этом значение тактовой частоты изменится через время не более чем 2 мс.

Отключение внутренней тактовой частоты устройств выполняется при помощи регистра CLK_EN, формат которого приведен в Таблица 2.5.

Таблица 2.5. Формат регистра CLK_EN

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	CLKEN_MCC	Управление включением тактовой частоты MCC, поступающей с контактной площадки: 1 – частота включена; 0 – частота выключена.	R/W	0
30:21	-	Не используется	R	0
20	CLKEN_EMAC	Управление включением тактовой частоты EMAC, DMA_EMAC, поступающей от PLL_CORE: 1 – частота включена; 0 – частота выключена.	R/W	0
19	CLKEN_VPOUT	Управление включением тактовой частоты VPOUT, DMA_VPOUT, поступающей от PLL_CORE: 1 – частота включена; 0 – частота выключена.	R/W	0
18	CLKEN_VPIN	Управление включением тактовой частоты VPIN, DMA_VPIN, поступающей от PLL_CORE: 1 – частота включена; 0 – частота выключена.	R/W	0
17:13	-	Не используется	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
12	CLKEN_DMA_MEM_CH	Управление включением тактовой частоты каналов DMA MEM_CH, поступающей от PLL_CORE соответственно: 1 – частота включена; 0 – частота выключена.	R/W	0
11:9	-	Не используется	R	0
8	CLKEN_MFBSP	Управление включением тактовой частоты MFBSP1, MFBSP2, MFBSP3, DMA_MFBSP, поступающей от PLL_CORE соответственно: 1 – частота включена; 0 – частота выключена.	R/W	0
7:6	-	Не используется	R	0
5:4	CLKEN_DSP[1:0]	Управление включением тактовой частоты DSP1 и DSP0 поступающей от PLL_DSP соответственно: 1 – частота включена; 0 – частота выключена. При выключении частоты соответствующего DSP его регистры становятся недоступны для CPU.	R/W	0
3	-	Не используется	R	0
2	CLKDSBL_CORE_2	Отключение тактовой частоты CPU, CRAM, коммутатора AXI, MPORT, UART, I2C, MFBSP0, поступающей от PLL_CORE. Выполняется посредством записи 0 в этот разряд. (От TIMER частота не отключается). Из этого разряда всегда считывается 1. Включение тактовой частоты осуществляется по любому прерыванию	R/W	1
1	CLKDSBL_CPU	Отключение тактовой частоты CPU, поступающей от PLL_CORE. Выполняется посредством записи 0 в этот разряд. Из этого разряда всегда считывается 1. Включение тактовой частоты осуществляется по любому прерыванию	R/W	1
0	CLKDSBL_CORE_1	Отключение тактовой частоты CPU, CRAM, коммутатора AXI, MPORT, UART, I2C, MFBSP0, TIMER, поступающей от PLL_CORE. Выполняется посредством записи 0 в этот разряд. Выполняется посредством записи 0 в этот разряд. Из этого разряда всегда считывается 1. Включение тактовой частоты осуществляется по любому прерыванию	R/W	1

Здесь и далее использованы следующие обозначения:

- R/W – разряд доступен по записи и чтению;
- R – разряд доступен только по чтению;
- W – разряд доступен только по записи.

Устройство, входная частота которого отключается, должно быть в неактивном состоянии. Все передачи данных, выполняемые им, должны быть завершены. После команды включения частоты устройства необходимо выполнить две команда NOP.

Перед отключением частоты при помощи разрядов CLKDSBL_CORE_2, CLKDSBL_CORE_1 необходимо:

- отключить частоту от EMAC, VPOUT, VPIN, DMA, MFBSP, DSP;
- проверить, что во всех DMA биты RUN=0.

2.3 Контроллер прерываний

Все сигналы внутренних и внешних прерываний поступают на входы псевдорегистров. Эти регистры не имеют элементов памяти и доступны только по чтению.

Каждый разряд регистров QSTR содержит запрос прерывания от внутренних узлов микросхемы и от внешних сигналов прерывания nIRQ[3:0] в не зависимости от состояния соответствующих разрядов регистров MASKR:

- 0 – нет запроса;
- 1 – есть запрос.

Сигналы внутренних прерываний формируются в соответствующих устройствах при выполнении определенных условий. В процессе обслуживания прерывания необходимо проанализировать состояние устройства для определения причины его возникновения. Сброс прерывания осуществляется в момент исключения причины возникновения данного прерывания. Например, прерывание от LPORT сбрасывается при записи данных в буфер LTx или при чтении данных из буфера LRx.

Все незамаскированные прерывания объединяются по «или» и поступают в поле IP[7:2] регистр Cause CPU.

Исходное состояние регистров QSTR – нули.

Каждое внутреннее прерывание можно замаскировать. Для этого имеются три 32-разрядных регистра маски MASKR0, MASK1 и MASK2, форматы которых аналогичны форматам соответствующих регистров QSTR0, QSTR1, QSTR2. Исходное состояние регистров маски – нули (все прерывания запрещены). Регистры маски доступны по записи и чтению.

Форматы регистров QSTR приведены в Таблица 2.6 - Таблица 2.8.

Таблица 2.6. Формат регистра QSTR0

Номер разряда	Условное обозначение прерывания	Название прерывания
31	INT_MCC	Прерывание от MCC
30-24	-	Не используется
23	INT_I2C	Прерывание от I2C
22	IRT0	Прерывание от таймера IT0
21	IRT1	Прерывание от таймера IT1
20	WDT	Прерывание от таймера WDT
19	VPOUT_TX	Прерывание от канала DMA VPOUT по передаче массива данных
18	VPOUT	Прерывание от контроллера VPOUT
17	VPIN_RX	Прерывание от канала DMA VPIN по приему массива данных
16	VPIN	Прерывание от контроллера VPIN
15	ETH_DMA_TX	DMA Прерывание от DMA контроллера Ethernet по завершению передачи данных или наличие запроса от Ethernet на передачу при выключенном DMA
14	ETH_DMA_RX	Прерывание от DMA контроллера Ethernet по завершению приема данных или наличие запроса от Ethernet на передачу при выключенном DMA
13	ETH_TX_FRAME	Прерывание от контроллера Ethernet по завершению попытки передачи пакета
12	ETH_RX_FRAME	Прерывание от контроллера Ethernet по приему кадра или по переполнению входного FIFO
11-6	-	Не используется
5	UART1	Прерывание от UART1
4	UART0	Прерывание от UART0
3-0	IRQ3- IRQ0	Внешние прерывание nIRQ[3:0]

Таблица 2.7. Формат регистра QSTR1

Номер разряда	Условное обозначение прерывания	Название прерывания
31:4	-	Не используется
3-0	MEM_CH3- MEM_CH0	Прерывание от каналов DMA MEM_CH3- MEM_CH0

Таблица 2.8. Формат регистра QSTR2

Номер разряда	Условное обозначение прерывания	Название прерывания
31:30	-	Не используется
29	DMA_MFBSP_RX3	Прерывание от канала DMA порта MFBSP3 при приеме данных
28	DMA_MFBSP_TX3	Прерывание от канала DMA порта MFBSP3 при передаче данных
27	-	Не используется
26	MFBSP_RXBUF3	Формируется, если порт включен на прием данных (в одном из режимов), а число 64-х разрядных слов в буфере приёма больше чем RLEV (RLEV устанавливается в регистре состояния приёмника RSR)
25	MFBSP_TXBUF3	Формируется, если порт включен на передачу данных (в одном из режимов), а число 64-х разрядных слов, находящихся в буфере передачи меньше, либо равно TLEV (TLEV устанавливается в регистре состояния передатчика TSR)
24	SRQ3	Запрос обслуживания от порта MFBSP3. Формируется, если порт выключен (LEN=0, SPI_I2S_EN=0), а на выводах LACK или LCLK присутствует сигнал высокого уровня
23:22	-	Не используется
21	DMA_MFBSP_RX2	Прерывание от канала DMA порта MFBSP2 при приеме данных
20	DMA_MFBSP_TX2	Прерывание от канала DMA порта MFBSP2 при передаче данных
19	-	Не используется
18	MFBSP_RXBUF2	Формируется, если порт включен на прием данных (в одном из режимов), а число 64-х разрядных слов в буфере приёма больше чем RLEV (RLEV устанавливается в регистре состояния приёмника RSR)
17	MFBSP_TXBUF2	Формируется, если порт включен на передачу данных (в одном из режимов), а число 64-х разрядных слов, находящихся в буфере передачи меньше, либо равно TLEV (TLEV устанавливается в регистре состояния передатчика TSR)
16	SRQ2	Запрос обслуживания от порта MFBSP2. Формируется, если порт выключен (LEN=0, SPI_I2S_EN=0), а на выводах LACK или LCLK присутствует сигнал высокого уровня
15:14	-	Не используется
13	DMA_MFBSP_RX1	Прерывание от канала DMA порта MFBSP1 при приеме данных
12	DMA_MFBSP_TX1	Прерывание от канала DMA порта MFBSP1 при передаче данных
11	=	Не используется
10	MFBSP_RXBUF1	Формируется, если порт включен на прием данных (в одном из режимов), а число 64-х разрядных слов в буфере приёма больше чем RLEV (RLEV устанавливается в регистре состояния приёмника RSR)

Номер разряда	Условное обозначение прерывания	Название прерывания
9	MF BSP_TXBUF1	Формируется, если порт включен на передачу данных (в одном из режимов), а число 64-х разрядных слов, находящихся в буфере передачи меньше, либо равно TLEV (TLEV устанавливается в регистре состояния передатчика TSR)
8	SRQ1	Запрос обслуживания от порта MF BSP1. Формируется, если порт выключен (LEN=0, SPI_I2S_EN=0), а на выводах LACK или LCLK присутствует сигнал высокого уровня
7:6	-	Не используется
5	DMA_MFBSP_RX0	Прерывание от канала DMA порта MF BSP0 при приеме данных
4	DMA_MFBSP_TX0	Прерывание от канала DMA порта MF BSP0 при передаче данных
3	-	Не используется
2	MF BSP_RXBUF0	Формируется, если порт включен на прием данных (в одном из режимов), а число 64-х разрядных слов в буфере приёма больше чем RLEV (RLEV устанавливается в регистре состояния приёмника RSR)
1	MF BSP_TXBUF0	Формируется, если порт включен на передачу данных (в одном из режимов), а число 64-х разрядных слов, находящихся в буфере передачи меньше, либо равно TLEV (TLEV устанавливается в регистре состояния передатчика TSR)
0	SRQ0	Запрос обслуживания от порта MF BSP0. Формируется, если порт выключен (LEN=0, SPI_I2S_EN=0), а на выводах LACK или LCLK присутствует сигнал высокого уровня

Регистры запросов прерывания от DSP и их регистры маски находятся в адресном пространстве DSP.

Для управления режимом приема внешних прерываний nIRQ[3:0] имеется регистр IRQM, формат которого приведен в Таблица 2.9.

Таблица 2.9. Формат регистра IRQM

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:12	-	Резерв	-	0
11:8	IRQ_MODE	Режим приема внешних прерываний nIRQ[3:0]: 0 - потенциальные сигналы, активный низкий уровень; 1 – прерывание формируется при переходе состояния входного сигнала с высокого уровня на низкий уровень. Прерывание запоминается на регистре. Регистр обнуляется при помощи разрядов IRQ_NULL	R/W	0
7:4	-	Резерв	-	0
3:0	IRQ_NULL	Обнуление запомненных прерываний при IRQ_MODE = 1. Прерывания nIRQ[3:0] обнуляются при записи 1 в разряды [3:0] соответственно.	RW1C	0

2.4 Системные регистры

Формат регистра управления и состояния CSR приведен в Таблица 2.10.

Таблица 2.10. Формат регистра управления и состояния CSR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:15	-	Не используется	-	0
14	FLUSH_D	При записи 1 в данный разряд кэш данных CPU останавливается в исходное состояние, то есть ее содержимое девалидируется. Эта процедура может использоваться для обеспечения когерентности кэш при работе DMA.	W	0
13	-	Не используется	-	0
12	FLUSH_I	При записи 1 в данный разряд кэш команд CPU останавливается в исходное состояние, то есть ее содержимое девалидируется. Эта процедура может использоваться для обеспечения когерентности кэш при работе DMA.	W	0
11	TST_CACHE	Режим работы кэш программ и кэш данных: 0 – нормальный режим; 1 – режим тестирования. Используется только при технологическом тестировании кэш программ. Пользователям устанавливать этот режим запрещено	R/W	0
10:2	-	Не используется	-	0
1	TR_CRAM	Режим размещения векторов прерываний при BEV = 0: 0 – вектора прерываний размещаются во внешней памяти (адреса типа 0x80000000); 1 – вектора прерывания размещаются во внутренней памяти CRAM (адреса типа 0xB8000000);	R/W	0
0	FM	Режим преобразования виртуальных адресов CPU в физические адреса: 0 – с использованием TLB; 1 – Fixed Mapped (FM).	R/W	1

2.5 Процедура начальной загрузки

По сигналу nRST (низкий уровень) все устройства микросхемы устанавливаются в исходное состояние. После его снятия (высокий уровень), дальнейшие действия определяются состоянием сигналов на входах микросхемы WSIZE[1:0].

Если WSIZE[1:0] = 11, то загрузка производится из блока памяти через порт SPI MFBSP0. Для этого может быть использована Flash память типа NX25P10 (фирма NexFlasah Technologies) или аналогичная. Объем загружаемой программы – 64 32-разрядных слов. Программа загружается в память CRAM, начиная с адреса 0x1800_0000. Первый байт, принятый по SPI, записывается в разряды с 31 по 24 (старший байт) 32-разрядного слова по адресу 0x1800_0000, второй байт записывается в разряды с 23 по 16 32-разрядного слова по адресу 0x1800_0000 и т.д. После загрузки всего массива программы CPU

стартует по этому же адресу. При этом к выводу nCS[3] может быть подключен 32-разрядный блок памяти.

Если WSIZE[1:0] = 00, 01 или 10, то в CPU возникает исключение, вектор которого расположен по физическому адресу 0x1FC0_0000 в блоке внешней памяти, подключенной к выводу nCS[3] (как правило, постоянное запоминающее устройство). При этом, разрядность этого блока памяти определяется кодом на выводах WSIZE[1:0], и ее изменить нельзя:

- 00, 10 – 32-разряда;
- 01 – 8-разрядов.

При использовании 8-разрядной памяти необходимо учитывать, что слово считывается из такой памяти байтами, и первым считывается старший байт слова. Таким образом, байты слова в 8-разрядной внешней памяти должны располагаться от старшего к младшему в порядке адресации.

В блоке внешней памяти, подключенной к выводу nCS[3] может находиться или только программа начальной загрузки или все программы. В первом случае основная программа может быть загружена через линковые или последовательные порты.

Программа начальной загрузки должна обеспечивать конфигурирование всех устройств микросхемы.

2.6 Логика взаимодействия CPU и DSP

2.6.1 Функции CPU

CPU является ведущим. Он имеет свою операционную систему (планировщик или монитор) и выполняет основную программу.

CPU имеет доступ к следующим ресурсам DSP:

- памяти данных;
- регистру управления и состояния DCSR;
- программному счетчику PC;
- регистру адреса останова SAR;
- памяти программ;
- архитектурным регистрам.

Обмен данными с этими ресурсами выполняется по командам Load, Store. Память DSP и его регистры для CPU являются словными, то есть состояние двух младших разрядов адреса является безразличным.

При штатной работе доступ к архитектурным регистрам DSP, как правило, не используется, а применяется только для его диагностики или для отладки программного обеспечения.

DSP выдает следующие прерывания в CPU, которые поступают на регистр QSTR:

- программное;
- по переполнению стека;
- при выполнении команды STOP;
- при достижении адреса останова при исполнении программы до адреса останова или завершении требуемого числа шагов при пошаговом исполнении программы.

CPU в DSP прерываний не формирует.

CPU управляет работой DSP посредством передачи ему задания (макрокоманды) и его запуска (перевод из режима STOP в режим RUN). Данная процедура выполняется в следующей последовательности:

- CPU передает в память DSP данные и параметры их обработки. Эта операция может отсутствовать;
- CPU передает в программную память DSP программный код, который должен быть выполнен. Эта операция может отсутствовать;
- CPU передает в DSP адрес первой выполняемой команды посредством записи в программный счетчик. Эта операция может отсутствовать, например, если следующая макрокоманда DSP должна выполняться с его текущего состояния;
- CPU переводит DSP в состояние RUN посредством записи в его регистр управления и состояния DCSR.

При работе с 2-портовой памятью программисту необходимо учитывать, что одновременное обращение по двум портам к одной и той же ячейке памяти может приводить в некоторых случаях к записи/считыванию непредсказуемых данных. Для правильной предсказуемой работы с 2-портовой памятью необходимо соблюдать следующие правила.

1) Допускается одновременное чтение одной и той же ячейки памяти по двум портам - в этом случае и состояние самой ячейки, и считываемые данные будут полностью корректны.

2) Недопустимой является одновременная запись по двум портам в одну и ту же ячейку. В этом случае в ячейку памяти будет записано непредсказуемое значение.

3) При одновременной записи по одному порту и чтении по другому порту одной и той же ячейки памяти запись будет выполнена корректно, а чтение может выдать непредсказуемое значение. Это объясняется тем, что из-за асинхронности обращений

считывание данных по одному порту может произойти во время переходного процесса записи в эту ячейку по другому порту, что и приводит к считыванию неправильных данных. Избежать этого программист может двумя способами: а) программным образом развести во времени обращения по записи и обращения по чтению в одну и ту же ячейку памяти; б) если по каким-то причинам отсутствие одновременных обращений по записи и чтению в одну и ту же ячейку памяти не может быть гарантировано, то можно избавиться от считываемых иногда переходных (непредсказуемых) значений при помощи повторных запросов на чтение этой же ячейки. Если два подряд обращения по чтению дают одинаковый результат, то такой результат считается правильным, в противном случае иницируется еще одно чтение ячейки.

2.6.2 Функции DSP

DSP является ведомым. Он работает под управлением CPU и выполняет его макрокоманды (задания). Однако DSP имеет доступ ко всем программно доступным регистрам и памяти микросхемы. На DSP заведены все прерывания от устройств микросхемы, описанные в п. 2.3.

Для управления своей работой DSP имеет программно доступный регистр управления и состояния DCSR. Формат этого регистра приведен в главе 3.

DSP может находиться в состояниях STOP или RUN и работает в старте стоповом режиме. То есть, после выполнения очередного задания CPU он останавливается и переходит в режим STOP посредством выполнения одноименной команды. DSP из состояния STOP в состояние RUN может перейти:

- по команде CPU;
- по сигналам от каналов DMA MEM_CH.

DSP может выполнить запуск работы каналов DMA MEM_CH посредством записи 1 в соответствующие разряды регистра DCSR.

3. ЦИФРОВОЙ СИГНАЛЬНЫЙ ПРОЦЕССОР

В состав процессора 1892BM10Я входит 2-ядерный DSP-кластер DELcore-30M - симметричный мультипроцессор (СМП), состоящий из 2-х DSP-ядер ELcore-30M - DSP0 и DSP1, работающих на общем поле памяти данных, имеющих набор общих регистров управления/состояния, а также буфера обмена XBUF.

Каждое из двух DSP-ядер ELcore-30M представляет собой ядро сопроцессора-акселератора сигнальной обработки. Оно имеет гарвардскую архитектуру с внутренним параллелизмом по потокам обрабатываемых данных и предназначено для обработки информации в форматах с фиксированной и с плавающей точкой. Система инструкций, реализующих параллельно несколько вычислительных операций и пересылок, 7-фазный программный конвейер и гибкие адресные режимы позволяют реализовать алгоритмы сигнальной обработки с высокой производительностью. Каждое DSP-ядро функционирует под управлением CPU-ядра и расширяет его возможности по обработке сигналов.

3.1 Основные технические характеристики DSP-кластера DELcore-30M

Основные технические характеристики DSP-кластера “DELcore-30M” следующие:

- 2-ядерный DSP-кластер “DELcore-30M” (Dual ELVEESs Core) - симметричный мультипроцессор (СМП) из IP –библиотеки платформы “МУЛЬТИКОР”, состоящий из двух DSP-ядер “ELcore-30”, работающих на общем поле памяти данных;
- «Гарвардская» архитектура DSP-ядер с оригинальной системой инструкций;
- набор инструкций, совмещающий процедуры обработки и пересылки;
- одно- и двухтактное исполнение вычислительных команд;
- 7-ступенчатый конвейер по выполнению 32– и 64–разрядных инструкций;
- расширенные возможности по динамическому диапазону обрабатываемых данных, позволяющие обрабатывать данные в 8/16/32–разрядных форматах с фиксированной точкой, плавающей точкой в стандарте IEEE754, либо программно в формате с плавающей точкой 32E16 (расширенный формат). Обеспечение при этом компромиссного выбора между точностью и производительностью. Аппаратные меры повышения точности и динамического диапазона (блочная плавающая точка; режим насыщения; инструкции преобразования форматов);
- аппаратная поддержка программных циклов;
- общий объем памяти программ и данных DSP-кластера – 320 Кбайт;
- подвижная граница между памятью программ и данных: память программ PRAM каждого DSP-ядра может иметь объем от 32 до 128 Кбайт, общая для 2-х DSP-ядер

память данных XYRAM объемом от 64 до 256 Кбайт; при распределении памяти выделяемый объем памяти одинаков для обоих ядер;

- механизм прерываний каждого DSP от всех внешних портов, в том числе и от портов MFBSP (тот же набор запросов на прерывания, что и в CPU);
- доступ DSP-ядер ко всему адресному пространству микросхемы - адресуемым регистрам и памяти;
- встроенный кодер Хаффмана (JPEG) для более эффективного сжатия изображений;
- встроенный в каждый DSP 32-разрядный интервальный таймер, работающий от частоты DSP;
- максимальная пропускная способность коммутатора ядер с памятью – 512 бит за такт;
- максимальная скорость обмена внешних устройств с памятью кластера – 64 бит за такт;
- пиковая суммарная производительность DSP-кластера (на частоте 250 МГц):
 - в формате плавающей точки (24e8, стандарт IEEE754): 4000 Моп/с. или 4800 GFLOPs, что соответствует 16 операциям с плавающей точкой (IEEE 754) за 1 такт;
 - в формате фиксированной точки (int32): 4000 Моп/с, что соответствует 64 32-битным операциям с фиксированной точкой за 1 такт;
 - в формате фиксированной точки (int16): 16000 Моп/с, что соответствует 64 16-битным операциям с фиксированной точкой за 1 такт;
 - в формате фиксированной точки (int8): 24000 Моп/с, что соответствует 96 байтным операциям с фиксированной точкой за 1 такт.

3.1.1 Структурная схема

Структурная схема 2-ядерного DSP-кластера DELcore-30MM приведена на Рисунок 3.1.

На схеме приняты следующие обозначения:

- DSP0 – DSP1 – два DSP-ядра ELcore-30M;
- PMEM – память программ;
- XYMEM – память данных;
- АНВ – контроллер шины CDB (slave);
- MEM_EXT_PORT, MEM_MUX_OUT – распределенный контроллер AXI Switch (slave);
- XBUF_02 – буфер обмена (регистровый файл 32 слова по 64 разряда, 6 портов);
- ArbBuf, MA_LocalArb – распределенный арбитр;
- DSP_logic – вычислительное ядро;
- AGU, AGU-Y – адресные генераторы памяти данных;
- PAG – адресный генератор памяти программ;

- PDC_17 – программный декодер;
- RF9 – регистровый файл 32 слова по 128 разрядов, 9 портов;
- COMM5 – коммутатор входных данных операционных устройств;
- OP1_unit, OP2_unit – операционные (вычислительные) устройства;
- CCR_REG, PDN – регистры признаков результата операции и параметра денормализации.

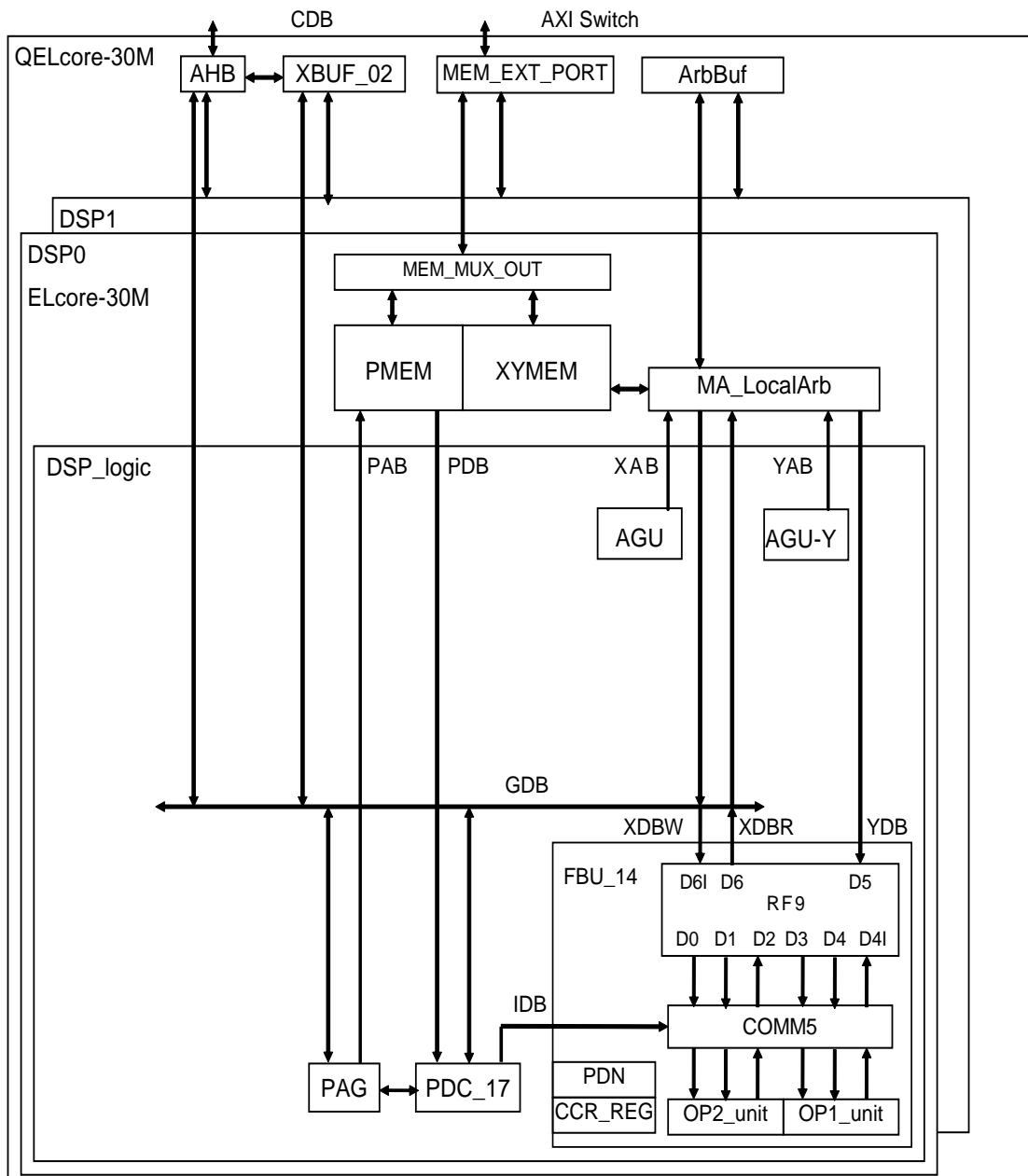


Рисунок 3.1. Структурная схема 2-ядерного DSP-кластера DELcore-30M

3.1.2 Внешний интерфейс DSP-кластера DELcore-30M

Управление кластером DSP осуществляется CPU. Внешний доступ ко всем регистрам DSP ядер, регистрам обменного буфера XBUF, а так же контрольным регистрам общим для обоих ядер DSP кластера осуществляется по шине CDB.

Доступ к программной памяти и памяти данных осуществляется по интерфейсу AXI Switch, позволяющий передавать по 64 бита за такт. При этом каждое DSP-ядро может запустить DMA обмен, используя один из доступных контроллеров DMA, а также получить прерывание от контроллера DMA, закончившего обмен. Для этих целей в интерфейсе кластера предусмотрены четыре пары векторных выводов, по которым передается информация, о том какой контроллер DMA должен быть запущен, и от какого именно контроллера поступило прерывание для конкретного DSP ядра.

Для каждого из DSP ядер кластера предусмотрен собственный сигнал синхронизации (тактовый сигнал), поэтому кроме системного такового сигнала шины CDB и AXI Switch, в кластер заводятся 2 тактовых сигнала для каждого из 2-х DSP ядер. Это сделано для обеспечения возможности независимого отключения тактовой частоты от каждого из DSP ядер с целью снижения энергопотребления.

3.1.3 Организация работы DSP-кластера DELcore-30M

Кластер DSP представляет собой 2-ядерную MIMD систему. Каждое DSP ядро обладает собственной программной памятью, и может работать независимо.

Для синхронизации работы DSP ядер в кластере предусмотрено два механизма: механизм прерываний и механизм обменов через XBUF в синхронном режиме.

Каждое DSP ядро может сформировать прерывание для другого ядра. Ядро, получившее прерывание, переходит в состояние RUN, если было остановлено, и начинает исполнение подпрограммы, адрес которой храниться в специальном регистре этого ядра.

Для оперативных обменов данными между CPU, DSP0, DSP1 в составе кластера имеется буфер обмена XBUF, состоящий из 32-х 64-разрядных регистров X0-X31, доступных по записи и чтению для всех процессорных ядер.

Буфер обмена XBUF представляет собой многопортовую память и допускает одновременное чтение одной и той же ячейки со стороны нескольких абонентов - CPU, DSP0, DSP1. При одновременном запросе на запись в одну и ту же ячейку приоритет отдается CPU, затем - DSP0, затем - DSP1.

Обменный буфер может работать в обычном режиме, когда при обмене данными через него не происходит никаких блокировок и в синхронном режиме. В синхронном режиме для конкретного регистра XBUF обязательно должны чередоваться операции чтения

записи, если какое-либо ядро пытается осуществить запись после записи или чтение после чтения – оно блокируется. Обмен через XBUF в синхронном режиме является дополнительным программным способом синхронизации ядер DSP.

Программная память и память данных кластера DSP физически организована как двухпортовая. По одному порту производятся внешние обращения от RISC ядра и контроллеров DMA, по другому порту производятся обращения от ядер DSP. Такая организация позволяет производить бесконфликтный фоновый обмен данными между памятью кластера DSP и внешними устройствами.

3.1.4 Организация памяти

Кластер DSP организован как система с асимметричным доступом к памяти (NUMA). Общее адресное пространство кластера состоит из локальных памяти XYRAM0, XYRAM1 каждого из DSP ядер. Таким образом, вся память разбита на 2 сегмента, при этом для каждого DSP ядра есть ближний (свой) сегмент памяти, обращения к которому в случае, если нет конфликтов с другим ядром, не приводят к простоям ядра. Другой же сегмент для него является дальним (чужим) и обращения к нему могут приводить к простоям ядра даже в отсутствии конфликтов между ядрами. Обращения к чужому сегменту памяти проходят через очередь обращений.

Операция записи является буферизованной, т.е. в отсутствии конфликтов между ядрами запись в дальний сегмент памяти не приводит к простоям ядра. Однако программисту следует учитывать, что физически запись в память происходит не сразу после исполнения инструкции, а через время, требуемое для прохождения данных по очереди обращений и на разрешение конфликтов (в отсутствии конфликтов запись корректных данных в дальнюю память осуществляется через 2 такта после исполнения инструкции записи в память).

3.1.5 Карта памяти

Карта памяти DSP кластера в составе процессора 1892BM10Я приведена на Рисунок 3.2.

Каждое из DSP-ядер имеет свою программную память (PRAM) объемом 32 Кбайт и общую для всех память данных XYRAM объемом 256 Кбайт.

Адреса в пространстве CPU		Внутренние адреса DSP
DSP0	DSP1	
0x187F_FFFC 0x187F_FF00		Буфер обмена XBUF (32*64)
		Резерв
0x1848_027C 0x1848_0000	0x1888_027C 0x1888_0000	Регистры данных и управления
		Резерв
0x1844_7FFC 0x1844_0000	0x1884_7FFC 0x1884_0000	Память программ PRAM 2*(8K*32)
		0x1FFF = PC_max PC 0x0000 = PC_min
0x1881_FFFC 0x1880_0000		Память данных XYRAM сегмент 1 (32K*32)
		0xFFFF 0x8000
0x1841_FFFC 0x1840_0000		Память данных XYRAM сегмент 0 (32K*32)
		0x7FFF 0x0000
		A0-A7, AT

Рисунок 3.2. Карта памяти DSP0-DSP1 в составе 1892BM10Я

Каждое из DSP-ядер имеет свою программную память (PRAM) объемом 4К 64-разрядных слов (32 Кбайт) и общую для всех память данных XYRAM объемом 64К 32-разрядных слов (всего 256 Кбайт).

Объем PRAM (DSP0) – 8К 32-разрядных слов (32 Кбайт).

Объем PRAM (DSP1) – 8К 32-разрядных слов (32 Кбайт).

Объем XYRAM – 64К 32-разрядных слов (256 Кбайт).

Для обеспечения возможности одновременного доступа к памяти программ и данных DSP как со стороны CPU (DMA), так и со стороны DSP блоки памяти XYRAM и PRAM аппаратно реализованы как 2-портовые. С внешней стороны возможны как 32-разрядные (CPU), так и 64-разрядные обращения (DMA). Со стороны DSP0–DSP1 возможны 32/64/128-разрядные обращения (чтение и запись) к памяти данных XYRAM.

Программная память PRAM со стороны DSP доступна только для чтения 32/64-разрядных слов инструкций.

Два входящих в состав процессора 1892BM10Я DSP-ядра работают на общем поле памяти данных XYRAM. Для каждого DSP-ядра сегмент памяти с соответствующим номером является «ближней» памятью, доступ к которой осуществляется с наименьшей задержкой. Доступ к остальной («дальней») памяти производится с дополнительной задержкой, необходимой для выполнения арбитража.

Указатели A0-A7 адресного генератора AGU и указатель AT адресного генератора AGU-Y полностью равноправны, т.е. по указателям A0-A7, AT каждому из DSP-ядер доступна вся память данных XYRAM.

Начальное состояние регистров A0-A7, AT каждого из DSP-ядер приведено в Таблица 3.1. Начальное состояние регистров A0-A7, AT.

Таблица 3.1. Начальное состояние регистров A0-A7, AT

Условное обозначение	Разрядность	Наименование	Начальное состояние	
			DSP0	DSP1
A0-A7	32 R/W	Адресный регистр AGU	0x0000	0x8000
AT	32 R/W	Адресный регистр AGU-Y	0x4000	0xC000

Таким образом, при начальной установке регистры A0-A7 указывают на начало, а регистры AT – на середину ближней (локальной) памяти соответствующего DSP-ядра.

3.1.6 Реконфигурируемая граница памяти программ и данных

В архитектуре DSP-кластера QELcore-30M™ предусмотрена подвижная граница между памятью программ и данных, таким образом, ресурсы памяти могут реконфигурироваться и использоваться довольно гибко.

Каждое ядро вычислительного кластера обладает локальной памятью, часть которой используется как программная память, а часть как память данных. При этом часть локальной памяти, используемая в качестве памяти данных, является частью общего адресного пространства всего кластера (Рисунок 3.3).

Локальная память данных вычислительного ядра состоит из 5 страниц размером 8К 32-разрядных слов. Одна страница всегда используется под программную память, три страницы могут быть задействованы как для расширения объёма памяти программ, так и как память данных, пятая страница всегда используется как память данных.

Сегмент 0 (ядро 0)

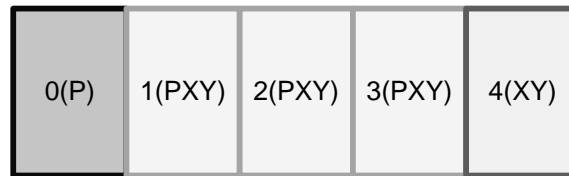


Рисунок 3.3. Организация локальной памяти DSP- ядра

Для управления положением границы между программной памятью и памятью данных в локальной памяти ядра используются биты $PmemCtr[1:0]$ регистра управления и состояния CSR на уровне DSP-кластера (общего для всех ядер), $PmemCtr[1:0] = CSR[3:2]$.

Бит $PmemCtr[1]$ включает использование дополнительных страниц под программную память; бит $PmemCtr[0]$ задает число дополнительных страниц, расширяющих программную память. При $PmemCtr[0]=0$ используются две дополнительные страницы, при $PmemCtr[0]=1$ используются три дополнительные страницы.

Ниже на рисунках представлено распределение адресов программной памяти каждого ядра и адресов общего поля программной памяти для различных значений управляющих бит $PmemCtr$.

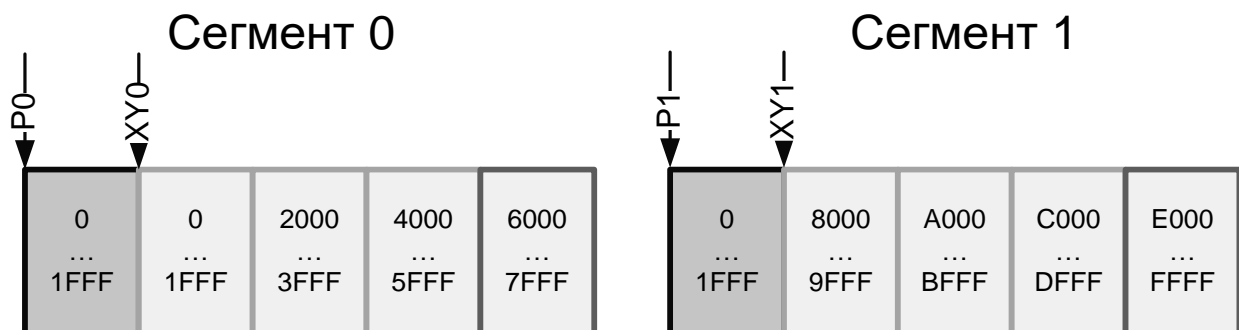


Рисунок 3.4. Распределение адресов по физическим страницам памяти для $PmemCtr = 00$

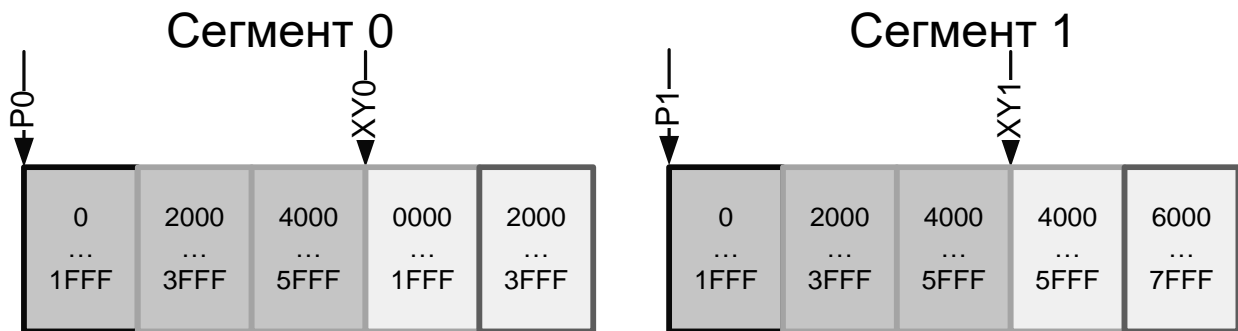


Рисунок 3.5. Распределение адресов по физическим страницам памяти для PmemCtr = 10

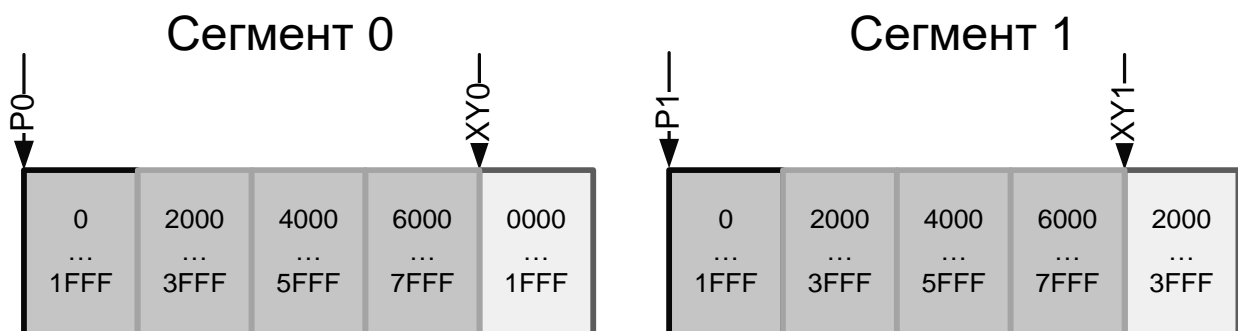


Рисунок 3.6. Распределение адресов по физическим страницам памяти для PmemCtr = 11

Каждое DSP-ядро может обращаться только к программной памяти, находящейся в его локальной памяти.

При любом значении бит PmemCtr участки локальной памяти данных всех вычислительных ядер образуют общее непрерывное адресное пространство.

При обращении к памяти данных в соответствии со значением бит PmemCtr происходит автоматическое определение физической страницы, к которой идет обращение и перенаправление запроса в данную страницу.

Для DSP-ядер общее адресное пространство (память данных) является неразрывным, однако общий объем памяти данных зависит от значения бит PmemCtr.

Для управляющего процессора начальный адрес каждого сегмента фиксирован и соответствует начальному адресу программной памяти соответствующего DSP-ядра (P0,P1,P2,P3). В отличие от DSP-кластера для управляющего процессора память данных не является неразрывным адресным пространством. Для управляющего процессора адрес начала участка памяти данных в каждом сегменте, не зависит от настроек PmemCtr, при записи в память данных определенного сегмента автоматически производится трансляция адресов и запись в нужную страницу данного сегмента памяти.

По сигналу начальной установки RSTn распределение адресов памяти данных по сегментам выполняется для случая PmemCtr = 0, а адресные указатели X (A0-A7) каждого

ядра устанавливаются на начало области памяти данных в сегменте памяти, соответствующем данному ядру, а адресный указатель Y (AT) на середину области данных локального сегмента. При изменении значения бит PmemCtr распределение адресов памяти данных по сегментам меняется, соответственно программисту следует учитывать данное перераспределение, либо при изменении значений бит PmemCtr автоматически запускать процедуру инициализации адресных регистров, записывая в них скорректированные значения указателей на начало области данных в каждом сегменте памяти.

3.1.7 Дисциплина отработки одновременных обращений к общему полю памяти данных со стороны DSP-ядер (арбитраж)

Так как память данных XYRAM является общим ресурсом для обоих DSP-ядер, при одновременном обращении к ней со стороны нескольких DSP-ядер возможны коллизии.

Для уменьшения числа таких коллизий память данных XYRAM разделена на 2 сегмента, каждый из которых содержит 4 страницы объемом 16К 32-разрядных слов. Аппаратно каждая страница реализована в виде четырех блоков памяти по 4К*32 бит каждый.

Таким образом, обращения от различных DSP-ядер к различным страницам памяти могут происходить одновременно и не приводят к коллизиям (конфликтам) и задержкам. Кроме того, возможны два одновременных обращения по X и Y указателям от одного DSP-ядра к одной странице памяти, при условии, что обращения идут к разным блокам памяти.

Коллизии возникают лишь при одновременном обращении нескольких DSP-ядер к одной и той же странице, либо при одновременном обращении X-указателя (A0-A7) и Y-указателя (AT) одного из DSP-ядер к одному физическому блоку памяти.

3.1.8 Доступ DSP кластера к ресурсам процессора

Каждое DSP ядро может обращаться к ресурсам процессора (внешняя и внутренняя памяти, регистры, периферия).

В целях совместимости адресация внутренней памяти DSP кластера не изменена.

Адресное пространство DSP находится в диапазоне адресов 0x00000000 – 0x000FFFFFF при пословной адресации, которая применяется в ядрах DSP, что соответствует диапазону 0x00000000 – 0x003FFFFFFC при побайтовой адресации, используемой в адресном пространстве всей системы на кристалле.

Таким образом, обращаясь к адресам адресного пространства DSP (0x00000000 – 0x000FFFFFF - пословная) ядро выполняет обращение к внутренней памяти кластера. В этом случае обращения в зависимости от адреса и номера DSP ядра могут направляться

либо в ближний сегмент памяти данного ядра (быстрые обращения), либо в дальний сегмент памяти другого ядра (обращения через коммутатор кластера).

При обращениях к старшим адресам адресного пространства, лежащим вне адресного пространства DSP (0x000FFFFFF - 0xFFFFFFFF - пословная), обращение от DSP ядра перенаправляется на глобальный коммутатор AXI и может быть направлено к любому адресуемому регистру или ячейке памяти, за исключением диапазона 0x00000000 – 0x003FFFFC (адреса полностью соответствуют карте памяти RISC ядра). Важной особенностью внешних обращений DSP, о которой необходимо помнить программисту, является тот факт, что при переходе из адресного пространства DSP с пословной адресацией в глобальное пространство с побайтовой адресацией выполняется аппаратный сдвиг значения адресного указателя на 2 бита влево. Так, например, обращение DSP ядра по значению A0 = 0x2ff00001 приведет к обращению по физическому адресу 0xbfc00004.

(DSP адресует память 32-х разрядными словами, поэтому реальный физический адрес внешнего обращения получается сдвигом влево на два разряда текущего значения адресного указателя).

Весь DSP кластер является одним мастером для шины AXI (все ядра кластера выполняют внешние обращения через один общий порт), таким образом, между обращениями от разных DSP ядер могут иметь место конфликты, даже если эти обращения выполняются к различным ресурсам процессора.

DSP ядро поддерживает 32, 64, 128 разрядные пересылки, в то время, как доступ ко многим ресурсам процессора возможен только 64/32 или даже только 32-х разрядными обращениями.

В связи с этим введен механизм разбиения обращения от DSP ядра на 32-х или 64-х разрядные обращения. Для управления режимом разбиения в регистре SR введены биты SplitMode = SR[15:14], назначение которых приведено в таблице.

Таблица 3.2. Режим разбиения в зависимости от значения бит SR[15:14] = SplitMode[1:0]

SplitMode[1:0]	Разрядность обращения от DSP	Обращения к ресурсам процессора
00/11 нет разбиения	32	одно 32-х разрядное
00/11 нет разбиения	64	одно 64-х разрядное
00/11 нет разбиения	128	одно 64-х разрядное. биты [127:96] как для данных на запись, так и читаемых данных игнорируются
01 разбиение на 32-х разрядные обращения	32	одно 32-х разрядное

SplitMode[1:0]	Разрядность обращения от DSP	Обращения к ресурсам процессора
01 разбиение на 32-х разрядные обращения	64	два 32-х разрядных
01 разбиение на 32-х разрядные обращения	128	четыре 32-х разрядных
10 разбиение на 64-х разрядные обращения	32	одно 32-х разрядное
10 разбиение на 64-х разрядные обращения	64	одно 64-х разрядное
10 разбиение на 64-х разрядные обращения	128	два 64-х разрядных

Запись во внешнюю память является буферизованной, таким образом операции записи не приводят к останову конвейера DSP ядра за исключением следующих случаев:

Идут непрерывные 128 разрядные записи и включено разбиение обращений (SplitMode = 01 или SplitMode = 10), либо идут непрерывные 128 или 64 разрядные записи и SplitMode = 01, в этом случае пропускной способности внешнего порта не хватает, буфер обращений переполняется, и до готовности принять новое обращение, ядро блокируется. Такая же ситуация может возникнуть при конфликтах между ядрами при одновременном обращении к внешнему адресному пространству.

Любое чтение по адресам из внешнего для DSP адресного пространства приводит к останову конвейера вплоть до момента получения прочитанных данных.

Поскольку каждое чтение приводит к останову, имеет смысл группировать чтения в два 128 разрядных обращения. Так, например, чтение группы регистров, выполненное по следующей программе:

```

Move (a0)+i0, r2.l
Move (a0)+i0, r4.l
Move (a0)+i0, r6.l
Move (a0)+i0, r8.l
Move (a0)+i0, r10.l
Move (a0)+i0, r12.l
Move (a0)+i0, r14.l
Move (a0)+i0, r16.l
    
```

в среднем занимает в 5.5-6 раз больше тактов, чем чтение пакета из 8 слов, выполненное командой

```

Move (a0), r2.q (at), r0.q.
    
```

3.2 Регистры управления и состояния DELcore-30M

На верхнем уровне кластера DSP имеются 4 регистра управления и состояния. Назначение и адреса этих регистров указаны в Таблица 3.3.

Таблица 3.3. Назначение и адреса регистров управления и состояния кластера DSP

Имя	Разрядность	Тип обращений	Назначение	Адрес
MASKR_DSP	32	R/W	Регистр маски прерываний	0x1848_1000
QSTR_DSP	32	R	Регистр запросов прерываний	0x1848_1004
CSR_DSP	32	R/W	Регистр управления и состояния	0x1848_1008
TOTAL_CLK_CNTR	32	R/W	Счетчик тактов	0x1848_100C

3.2.1 Регистр маски прерываний (MASKR_DSP)

Регистр маски прерываний MASKR_DSP содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») запрос на прерывание в CPU от соответствующего разряда регистра запросов прерываний QSTR_DSP. Регистр доступен по чтению и записи. Начальное состояние регистра MASKR_DSP=0x0.

3.2.2 Регистр запросов прерываний (QSTR_DSP)

Регистр запросов прерываний QSTR_DSP доступен только по чтению и содержит флаги запросов прерываний от 4-х DSP-ядер. Назначение разрядов регистра QSTR_DSP приведено в Таблица 3.4.

Таблица 3.4. Назначение разрядов регистра QSTR_DSP

Номер разряда	Наименование разряда	Назначение
0	PI0	Программное прерывание DSP0
1	SE0	Прерывание по ошибке стека DSP0
2	BREAK0	Прерывание по останову BREAK DSP0
3	STP0	Прерывание по останову STOP DSP0
4-7	-	Резерв
8	PI1	Программное прерывание DSP1
9	SE1	Прерывание по ошибке стека DSP1
10	BREAK1	Прерывание по останову BREAK DSP1
11	STP1	Прерывание по останову STOP DSP1
12-27	-	Резерв
28	WAIT	Прерывание по состоянию ожидания DSP0 – DSP1
29-31	-	Резерв

Начальное состояние регистра QSTR_DSP=0x0.

3.2.3 Регистр управления и состояния (CSR_DSP)

Регистр управления и состояния CSR_DSP доступен по чтению и записи и содержит биты управления кластером DSP-ядер. Назначение разрядов регистра CSR_DSP приведено в Таблица 3.5.

Таблица 3.5. Назначение разрядов регистра CSR_DSP

Номер разряда	Наименование разряда	Назначение
0	SYNSTART	Одновременный старт DSP0 – DSP1
1	SYNWORK	Работа XBUF в синхронном режиме
2-3	PMCONFIG	Конфигурация программной памяти
4-15	-	Резерв
16	HEN	Включение режима определения высокой плотности потоков
17	DEN	Разрешение установки явного приоритета (статический режим)
18	LEN	Бит разрешения ограничителя
19	-	Резерв
20-21	DPTR	Номер ядра, обладающего наивысшим приоритетом
24-29	Limit	Максимальное значение счетчика обращений
2-31	-	Резерв

Начальное состояние регистра CSR_DSP=0x0.

Запись «1» в разряд SYNSTART приводит к одновременному запуску двух DSP-ядер. При этом в регистрах DCSR каждого из DSP-ядер бит RUN устанавливается в «1», состояние других разрядов не изменяется. Запись «1» в разряд SYNWORK устанавливает буфер обмена XBUF в синхронный режим.

Арбитраж.

Для управления арбитражем обращений от различных DSP ядер в регистр CSR_DSP введены дополнительные разряды HEN, DEN, LEN, DPTR, Limit.

Более подробно данные биты описаны в п. 3.8.19.

3.2.4 Счетчик тактов (TOTAL_CLK_CNTR)

32-разрядный счетчик тактов (TOTAL_CLK_CNTR) выполняет подсчет числа тактов, в течение которых хотя бы одно из DSP-ядер находилось в состоянии RUN. Любая запись в данный счетчик приводит к его обнулению.

Начальное состояние счетчика тактов также равно нулю: TOTAL_CLK_CNTR = 0x0.

3.3 Структурная схема DSP-ядра ELcore-30M

Структурная схема DSP-ядра ELcore-30M приведена на Рисунок 3.7.

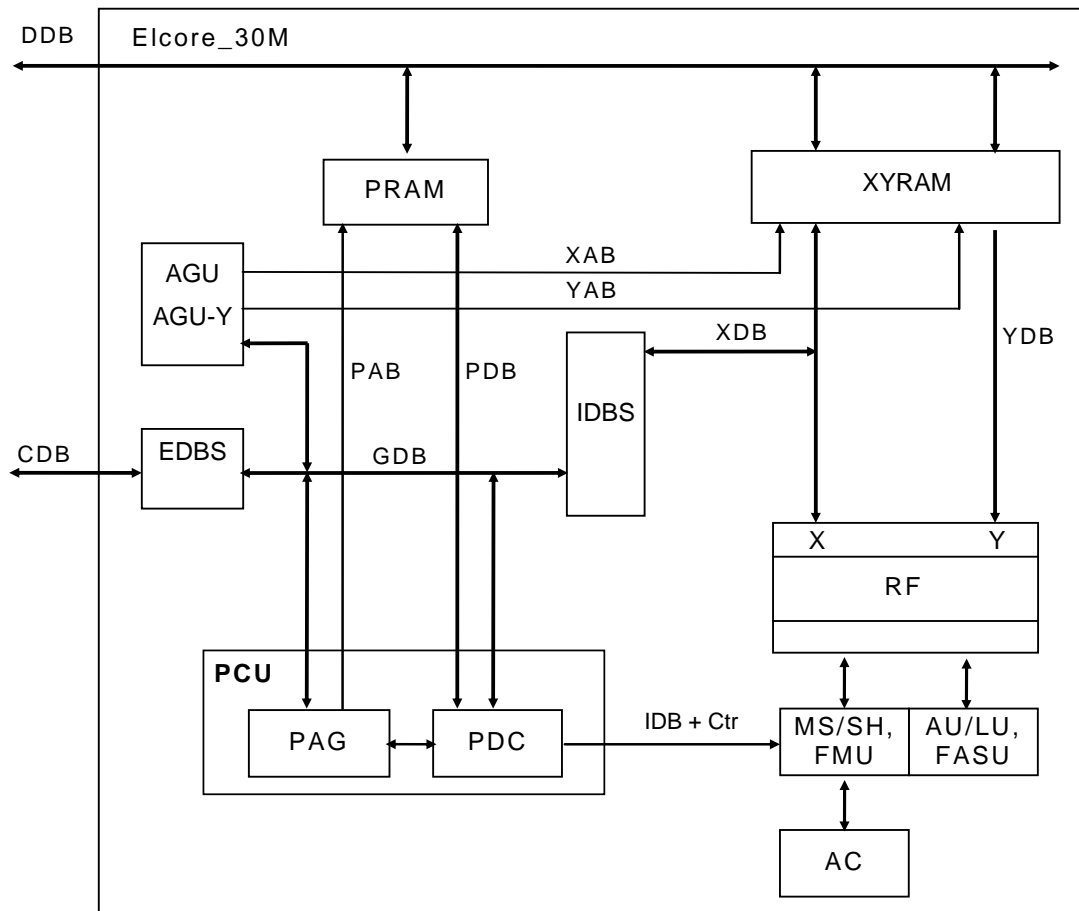


Рисунок 3.7. Структурная схема DSP-ядра Elcore-30M

3.4 Буфер обмена XBUF

Для оперативных обменов данными между CPU, DSP0 – DSP1 в составе 1892BM10Я имеется буфер обмена XBUF, состоящий из 32-х 64-разрядных регистров X0-X31, доступных по записи и чтению для всех процессорных ядер.

Буфер обмена XBUF представляет собой многопортовую память и допускает одновременное чтение одной и той же ячейки со стороны нескольких абонентов - CPU, DSP0 – DSP1. При одновременном запросе на запись в одну и ту же ячейку приоритет отдается CPU, затем - DSP0, затем - DSP1.

Особенностью работы XBUF в составе 1892BM10Я является то, что обмены со стороны DSP0 – DSP1 – 64-разрядные, а со стороны CPU – 32-разрядные. Размещение 64-разрядных регистров X0-X31 в адресном пространстве CPU приведено в таблице

3.4.1 Регистр флагов обмена EFR

Регистр флагов обмена (EFR) является общим для всего кластера DSP и предназначен для отображения флагов обменов через буфер XBUF. Регистр EFR содержит 32 бита, доступных только по чтению каждому из DSP-ядер и CPU, начальное состояние EFR=0x0.

Каждый разряд этого регистра формируется аппаратно и отображает тип последней транзакции, выполненной с соответствующей ячейкой XBUF (0 – чтение из XBUF, 1 – запись). Заметим, что *при 8/16/32-разрядных обращениях со стороны CPU изменение состояния EFR происходит только при обращении к младшему байту 64-разрядной ячейки XBUF.*

3.4.2 Режимы обменов с XBUF

Имеются два режима обменов с XBUF – обычный и синхронный (семафорный).

В обычном режиме (устанавливается битом 1 регистра CSR_DSP SYNWORK=0) любой из абонентов - CPU, DSP0 – DSP1 - в любое время может обращаться к любой ячейке XBUF, и это обращение немедленно исполняется (с учетом приоритета по записи).

В синхронном режиме (устанавливается битом 1 регистра CSR_DSP SYNWORK=1):

- CPU обращается к XBUF так же, как и в обычном режиме;
- обращения со стороны DSP0 – DSP1 могут выполняться с задержкой в зависимости от состояния регистра EFR и типа обращения. Если тип обращения не совпадает с типом последней транзакции, выполненной с данной ячейкой XBUF (то есть если за записью следует чтение, а за чтением - запись) то исполнение такого обращения происходит без задержки. Если же за записью вновь следует запрос на запись в ту же ячейку (либо за чтением – вновь запрос на чтение), то такое обращение выполняется с задержкой. Выдавшее запрос DSP переводится в состояние ожидания, продолжающееся до тех пор, пока соответствующий бит EFR не сменит свое значение на противоположное.

В регистре DCSR каждого DSP-ядра имеется бит WT=DCSR[4], указывающий на то, что DSP находится в состоянии ожидания при обращении к XBUF.

3.5 Программная модель DSP-ядра ELcore-30M

Программная модель DSP-ядра включает в себя память (программ и данных) и программно-доступные регистры. Регистры обменного буфера XBUF и регистр флагов обмена EFR являются общими для всего DSP-кластера, остальные регистры принадлежат конкретному DSP-ядру и входят в состав одного из его исполнительных устройств. К исполнительным устройствам DSP-ядра относятся:

- вычислительная секция ALU;
- адресные генераторы для XY-памяти данных (AGU и AGU-Y);
- устройство программного управления PCU.

По своему назначению все регистры делятся на регистры данных, объединенные в регистровый файл (RF), и регистры управления (все остальные). Регистры управления разделены на 4 подмножества:

- регистры адресных генераторов AGU, AGU-Y;
- регистры обменного буфера XBUF;
- регистры устройства управления PCU;
- регистры-аккумуляторы (в составе ALU).

Программно-доступные регистры DSP-ядра (включая стеки и регистровый файл) приведены на Рисунок 3.8.

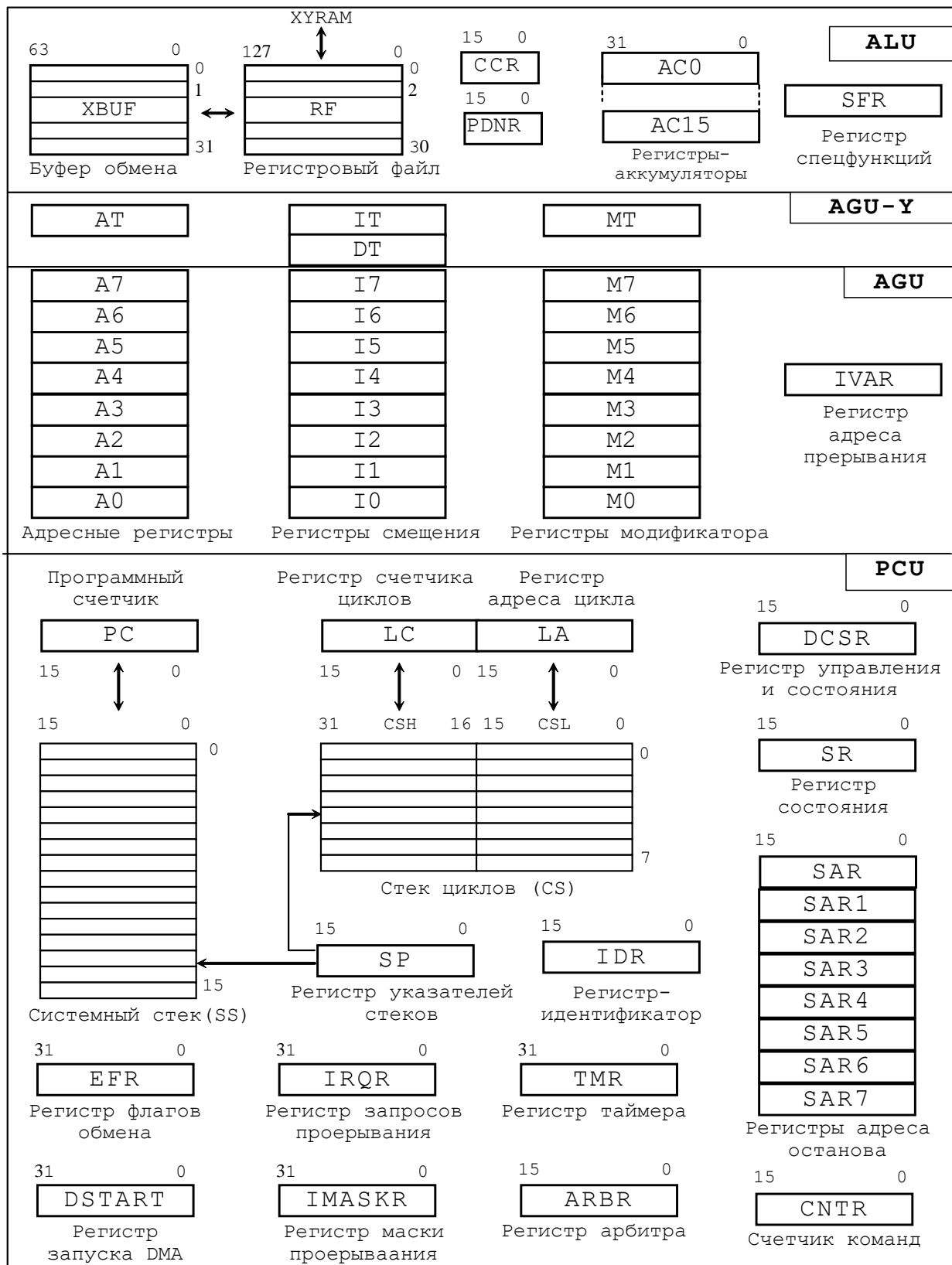


Рисунок 3.8. Программно-доступные регистры DSP-ядра ELcore-30M

3.6 Вычислительная секция (ALU)

3.6.1 Операционные блоки (MS/SH, FMU, AU/LU, FASU)

Операционные блоки выполняют следующие операции.

3.6.1.1 Умножитель-сдвигатель для форматов с фиксированной точкой (MS/SH):

- операции умножения с целыми числами со знаком и без знака;
- операции умножения чисел со знаком в дробном формате с фиксированной точкой (fractional);
- операции многоразрядного арифметического и логического сдвига в форматах с фиксированной точкой.

3.6.1.2 Умножитель для формата с плавающей точкой IEEE-754 (FMU):

- операции умножения чисел в формате с плавающей точкой IEEE-754;
- операции FIN (получение 8-разрядного приближения обратной величины);
- операции FINR (получение 8-разрядного приближения обратной величины квадратного корня).

3.6.1.3 Арифметическое устройство для форматов с фиксированной точкой (AU), включая логическое устройство (LU) и узел битовой обработки (BFU):

- арифметические операции в форматах с фиксированной точкой;
- преобразования форматов чисел;
- ограничение результатов с целью устранения выхода за пределы разрядной сетки (Saturation);
- логические операции;
- операции с битовыми полями.

3.6.1.4 Арифметическое устройство для формата с плавающей точкой (FASU):

- арифметические операции в форматах с плавающей точкой;
- преобразования форматов чисел.

3.6.2 Регистровый файл

Исходные данные и результаты всех операций ALU хранятся в регистровом файле (RF), который представляет собой реконфигурируемый массив регистров данных (16 регистров

по 128 разрядов; или 32 регистра по 64 разряда; или 32 регистра по 32 разряда; или 32 регистра по 16 разрядов). Структура регистрового файла приведена на Рисунок 3.9.

Для определения форматов регистров вводятся следующие мнемоники:

- R – 16-разрядные регистры;
- R.L – 32-разрядные регистры;
- R.D – 64-разрядные регистры;
- R.Q – 128-разрядные регистры.

16/32/64-разрядные регистры данных могут иметь номера с R0 по R31, а 128-разрядные регистры – только четные номера с R0 по R30. Четный и нечетный (с номером, большим на единицу) регистры одинаковой разрядности объединяются попарно и образуют 16 регистров большей разрядности с четными номерами, например, два 16-разрядных регистра R0 и R1 образуют 32-разрядный регистр R0.L.

127	64	63	32	31	16	15	0
R0.Q							
R1.D				R0.D			
				R1.L		R0.L	
R2.Q							
R2.D				R2.D			
				R3.L		R2.L	
R4.Q							
R5.D				R4.D			
				R5.L		R4.L	
R6.Q							
R7.D				R6.D			
				R7.L		R6.L	
R8.Q							
R9.D				R8.D			
				R9.L		R8.L	
R10.Q							
R11.D				R10.D			
				R11.L		R10.L	
R12.Q							
R13.D				R12.D			
				R13.L		R12.L	
R14.Q							
R15.D				R14.D			
				R15.L		R14.L	

127	64	63	32	31	16	15	0
R16.Q							
R17.D				R16.D			
				R17.L		R16.L	
R18.Q							
R19.D				R18.D			
				R19.L		R18.L	
R20.Q							
R21.D				R20.D			
				R21.L		R20.L	
R22.Q							
R23.D				R22.D			
				R23.L		R22.L	
R24.Q							
R25.D				R24.D			
				R25.L		R24.L	
R26.Q							
R27.D				R26.D			
				R27.L		R26.L	
R28.Q							
R29.D				R28.D			
				R29.L		R28.L	
R30.Q							
R31.D				R30.D			
				R31.L		R30.L	

Рисунок 3.9. Структура регистрового файла ELcore-30M

3.6.3 Регистры-аккумуляторы

Регистры-аккумуляторы предназначены для хранения данных, получаемых в результате выполнения операций умножения с накоплением. Начальное состояние регистров-аккумуляторов равно нулю.

Каждое DSP-ядро ELcore-30M содержит шестнадцать 32-разрядных регистров-аккумуляторов AC0-AC15, которые могут попарно объединяться в восемь 64-разрядных, либо четыре 128-разрядных регистров.

Структура регистрового файла регистров-аккумуляторов приводится на Рисунок 3.10.

AC.L – 32-разрядные регистры;

AC.D – 64-разрядные регистры;

AC.Q – 128-разрядные регистры.

Регистры-аккумуляторы доступны по записи и по чтению как со стороны CPU, так и со стороны DSP.

Адреса регистров-аккумуляторов в адресном пространстве CPU приведены в Таблица 3.21.

Начальное состояние регистров-аккумуляторов равно нулю.

127			64	63			32	31	0
AC0.Q									
AC2.D					AC0.D				
AC3.L		AC2.L		AC1.L		AC0.L			
AC4.Q									
AC6.D					AC4.D				
AC7.L		AC6.L		AC5.L		AC4.L			
AC8.Q									
AC10.D					AC8.D				
AC11.L		AC10.L		AC9.L		AC8.L			
AC12.Q									
AC14.D					AC12.D				
AC15.L		AC14.L		AC13.L		AC12.L			

Рисунок 3.10. Структура регистрового файла регистров-аккумуляторов ELcore-30M

3.6.4 Регистр PDNR

Регистр PDNR - регистр управления, предназначенный для измерения параметра денормализации (PDN) и управления режимом блочной экспоненты и режимом масштабирования (Scaling).

Назначение разрядов регистра PDNR приведено в Таблица 3.6.

Таблица 3.6. Назначение разрядов регистра PDNR

Разряды регистра	Идентификатор	Назначение
0 – 4	Spdn	текущий код PDN
5	F	(X/L) – формат анализируемой информации (0 – Long, 1 – X16)
7	Epdn	программный признак разрешения детектирования и изменения PDN (0 – нет разрешения, 1 – разрешение)
8,9	SC	величина масштабирования результата (00 – нет сдвига, 01 - сдвиг на 1 разряд, 10 - сдвиг на 2 разряда)
15	Esc	признак разрешения масштабирования результата (0 – нет разрешения, 1 – разрешение)
6,10-14	-	не используются

Начальное состояние регистра PDNR = 0x0000.

3.6.5 Регистр CCR

Регистр CCR - регистр управления, предназначенный для хранения признаков результатов вычислительных операций. Регистр CCR содержит два поля признаков: основное {Ev,U,N,Z,V,C} (разряды [5:0]) и дополнительное {Evm,Um,Nm,Zm,Vm,Cm} (разряды [15:10]). Поле признаков в младшем байте регистра CCR является основным, т.к. на его основе формируются условия исполнения команд.

Назначение разрядов регистра CCR приведено в Таблица 3.7.

Таблица 3.7. Назначение разрядов регистра CCR

Разряды регистра	Идентификатор	Назначение
0	C	признак переноса, сформированного в результате выполнения операции (0 – нет переноса, 1 – есть перенос)
1	V	признак переполнения результата (0 – нет переполнения, 1 – есть переполнение)
2	Z	признак нулевого результата (0 – результат не нулевой, 1 – результат нулевой)
3	N	знак результата (0 – знак положительный, 1 – знак отрицательный)
4	U	признак ненормализованного результата (0 – нормализованный результат, 1 – ненормализованный результат)
5	Ev	запомненный ранее возникший признак переполнения результата (0 – не было переполнения, 1 – было переполнение)
6	E	экспоненциальный признак (формируется командой CMPE)
7	t	признак истинности условия после исполнения условной команды (t=0 – безусловная команда либо условие ложно; t=1 – условие истинно)
8	S	бит включения режима насыщения результата (0 – отключение режима насыщения, 1 – включение режима насыщения)
9	RND	бит управления режимом округления результата (0 – CR (Convergent Rounding), 1 – TCR (Two's-Complement Rounding))
10	Cm	признак переноса сформированного в результате выполнения операции OP2 (0 – нет переноса, 1 – есть перенос)
11	Vm	признак переполнения результата операции OP2 (0 – нет переполнения, 1 – есть переполнение)
12	Zm	наличие нулевого результата операции OP2 (0 – результат не нулевой, 1 – результат нулевой)
13	Nm	значение знака результата операции OP2 (0 – знак положительный, 1 – знак отрицательный)

Разряды регистра	Идентификатор	Назначение
14	Um	признак ненормализованного результата операции OP2 (0 – нормализованный результат, 1 – ненормализованный результат)
15	Evm	запомненный ранее возникший признак переполнения результата операции OP2 (0 – не было переполнения, 1 – было переполнение)

Поля признаков формируются по следующим правилам:

- при исполнении одной операции типа OP1 (AU/LU/FASU) ее признаки помещаются только в основное поле;
- при исполнении одной операции типа OP2 (MS/SH/FMU) ее признаки помещаются в оба поля;
- при одновременном выполнении двух вычислительных операций признаки, формируемые операцией типа OP1, поступают в основное поле, признаки операции типа OP2 - в дополнительное поле;
- в тех случаях, когда операция типа OP1 заполняет только часть признаков в основном поле, оставшиеся, формируются операцией OP2.

Регистр CCR содержит также специальные признаки E, t и два управляющих разряда RND и S. Начальное состояние регистра CCR = 0x0000.

3.7 Устройства генерации адресов памяти данных (AGU, AGU-Y)

Общее пространство памяти данных DSP-ядра состоит из двух областей: X- и Y-памяти. Генерация адресов для памяти данных при внутренних обменах DSP осуществляется адресными генераторами - AGU и AGU-Y.

Устройства AGU, AGU-Y производят вычисление адресов, используя целочисленную 16-разрядную арифметику. При этом используется три типа арифметики: линейная, модульная и арифметика с обратным переносом. Устройства генерации адресов функционируют параллельно с другими ресурсами DSP, что обеспечивает высокую производительность обработки данных.

3.7.1 Архитектура AGU

Адресный генератор AGU формирует адрес XAB, обслуживающий память данных XRAM, а также, при определенных условиях, адрес YAB для памяти данных YRAM.

Блок-схема адресного генератора AGU приведена на Рисунок 3.11.

AGU содержит восемь наборов из трех регистров (триплетов), в число которых входят: регистр адреса An, регистр смещения In и регистр модификатора Mn (n=0,1,...,7).

AGU может модифицировать один адресный регистр из своего набора регистров в течение одного командного цикла. При этом содержание соответствующего регистра модификатора определяет тип используемой арифметики.

Входящее в состав адресного генератора арифметическое устройство АУ содержит три сумматора.

Первый 16-разрядный полный сумматор, называемый сумматором смещения, выполняет следующие операции модификации адреса:

- увеличение на 1;
- уменьшение на 1;
- увеличение на величину смещения In ;
- уменьшение на величину смещения In .

Второй полный сумматор, называемый модульным сумматором, добавляет (или вычитает) к результату первого сумматора величину модуля, которая хранится в соответствующем регистре модификатора Mn .

Третий полный сумматор, называемый сумматором обратного переноса, выполняет следующие операции модификации адреса с обратным направлением распространения переноса (от старших разрядов к младшим):

- увеличение на 1;
- уменьшение на 1;
- увеличение на величину смещения In ;
- уменьшение на величину смещения In .

Сумматор смещения работает параллельно с сумматором обратного переноса и имеет с ним общие входы. Единственная разница между ними состоит в направлении распространения переноса. Управляющая логика определяет, результат которого из трех сумматоров является выходом адресного генератора.

Рисунок 3.11. Блок-схема адресного генератора AGU

В состав AGU входят регистры адреса A0-A7, регистры смещения I0-I7 и регистры модификатора M0-M7. Регистры A_n, I_n, M_n, где n=0,...,7, составляют триплет. Это означает, что при модификации адресного регистра A_n могут быть использованы только регистры, имеющие тот же индекс – I_n, M_n.

Восемь регистровых триплетов адресного генератора:

- A0:I0:M0;
- A1:I1:M1;
- A2:I2:M2;
- A3:I3:M3;
- A4:I4:M4;
- A5:I5:M5;
- A6:I6:M6;
- A7:I7:M7.

Запись или чтение каждого из указанных регистров осуществляются через глобальную шину данных (GDB) DSP.

3.7.2 Программная модель AGU

С точки зрения программиста, адресный генератор AGU представляет собой восемь наборов по три регистра, как показано на Рисунок 3.12. Эти регистры могут использоваться для хранения адресных указателей или других данных. При косвенной адресации операндов в памяти автоматически включается механизм обновления адресных указателей. Адресные регистры могут быть запрограммированы для линейной адресации, модульной адресации или реверсивной адресации.



Рисунок 3.12. Программная модель AGU

3.7.3 Архитектура AGU-Y

Адресный генератор AGU-Y формирует адрес YAB для памяти данных YRAM.

В каждой секции DSP имеется отдельное устройство AGU-Y для генерации адресов сегмента памяти YRAM соответствующей секции.

Блок-схема адресного генератора AGU-Y приведена на Рисунок 3.13.

AGU-Y содержит набор регистров, в число которых входят: регистры адреса AT, регистры смещения IT и DT, регистр и модификатора MT.

AGU-Y может модифицировать адресный регистр AT в течение одного командного цикла. При этом содержание соответствующего регистра модификатора MT определяет тип используемой арифметики.

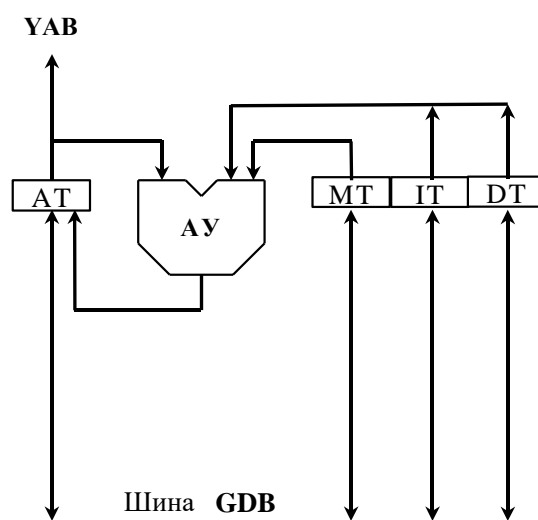


Рисунок 3.13. Блок-схема адресного генератора AGU-Y

Адрес, генерируемый AGU-Y, подается на адресную шину YAB.

Входящее в состав адресного генератора арифметическое устройство АУ содержит три сумматора.

Первый 16-разрядный полный сумматор, называемый сумматором смещения, выполняет следующие операции модификации адреса:

- увеличение на величину смещения IT;
- увеличение на величину смещения DT.

Второй полный сумматор, называемый модульным сумматором, добавляет (или вычитает) к результату первого сумматора величину модуля, которая хранится в регистре модификатора MT.

Третий полный сумматор, называемый сумматором обратного переноса, может выполнять следующие операции модификации адреса с обратным направлением распространения переноса – от старших разрядов к младшим:

- увеличение на величину смещения IT;
- увеличение на величину смещения DT.

Сумматор смещения работает параллельно с сумматором обратного переноса и имеет с ним общие входы. Единственная разница между ними состоит в направлении распространения переноса. Управляющая логика определяет, результат которого из трех сумматоров является выходом адресного генератора.

В состав AGU-Y входят регистр адреса AT, регистры смещения IT, DT и регистр модификатора MT.

Запись или чтение каждого из указанных регистров осуществляется через глобальную шину данных (GDB) DSP.

3.7.4 Программная модель AGU-Y

С точки зрения программиста, адресный генератор представляет собой восемь наборов по три регистра (AALU1) и набор из четырех регистров (AALU2), как показано на Рисунок 3.14. Регистр MT может быть запрограммирован для линейной адресации, модульной адресации или реверсивной адресации.



Рисунок 3.14. Программная модель AGU-Y

3.7.5 Назначение регистров адресных генераторов

32-разрядные адресные регистры А0-А7, АТ содержат адреса памяти данных. Содержимое адресного регистра может непосредственно указывать на данные в памяти либо используется для формирования указателя со смещением. Адресный регистр обновляется после формирования адресного указателя (пост-модификация).

16-разрядные регистры смещений I0-I7, IT содержат значения смещений, используемых для инкрементации или декрементации адресных регистров при выполнении обновления адреса.

16-разрядные регистры модификаторов M0-M7, MT определяют тип адресной арифметики, применяемой при модификации адреса.

Адресные АЛУ поддерживают три типа арифметики: *линейную, модульную и арифметику с обратным переносом*. Для модульной арифметики содержимое регистров модификаторов определяет также модуль.

3.7.6 Типы адресной арифметики

Значения модификатора Mn и соответствующие им типы адресной арифметики указаны в Таблица 3.8.

Таблица 3.8. Типы адресной арифметики

Модификатор Mn	Адресная арифметика
\$0000	Арифметика с обратным переносом
\$0001	Модуль 2
\$0002	Модуль 3
...	...
\$7FFE	Модуль 32767 ($2^{15} - 1$)
\$7FFF	Модуль 32768 (2^{15})
\$8001	Модуль 2 с кратным обращением
\$8003	Модуль 4 с кратным обращением
\$8007	Модуль 8 с кратным обращением
...	...
\$9FFF	Модуль 2^{13} с кратным обращением
\$BFFF	Модуль 2^{14} с кратным обращением
\$FFFF	Линейная арифметика (Модуль 2^{16})
Остальные комбинации – резерв	

Линейная адресная арифметика ($Mn = \$FFFF$).

Модификация адреса выполняется с использованием обычной 16-разрядной линейной (по модулю 65536) арифметики. 16-разрядное смещение, I_n , +1 или -1 могут использоваться для вычисления адреса. Диапазон значений может рассматриваться как знаковый (от -32768 до +32767) либо как беззнаковый (от 0 до 65535), так как адресное ALU работает в обоих случаях одинаково.

Адресная арифметика с обратным переносом ($Mn = \$0000$)

Этот вариант адресной арифметики выбирается посредством установки регистра модификатора в 0. Модификация адреса в этом случае выполняется аппаратно с распространением переноса в обратном направлении – от старших разрядов к младшим.

Операция модификации адреса с обратным переносом эквивалентна последовательному выполнению следующих процедур:

- изменению на обратный порядок следования разрядов в регистрах адреса и смещения (при этом старший бит становится младшим и т.д.);
- модификации адреса посредством нормальной операции сложения;
- возвращению первоначального порядка следования разрядов адреса.

В случае, когда величина смещения составляет $2^{(k-1)}$ (целая степень двойки), такая модификация адреса эквивалентна:

- обращению порядка следования к младших разрядов A_n ;
- увеличению на 1;
- возвращению исходного порядка следования к младших разрядов A_n .

Рассматриваемый режим адресной арифметики удобен при реализации алгоритма быстрого преобразования Фурье (БПФ).

Модульная адресная арифметика ($Mn = \text{Modulus} - 1$).

Модификация адреса выполняется по модулю M , где M - целое число в пределах от 2 до 32768. Арифметика по модулю M вынуждает значение адреса оставаться в пределах диапазона значений, отличающихся друг от друга не более чем на $M-1$.

Величина $M-1$ хранится в регистре модификатора адреса. Нижняя граница диапазона (базовый адрес) должна иметь нули в младших k разрядах, где $2^k \geq M$. Верхняя граница диапазона определяется как сумма нижней границы и модуля минус единица (базовый адрес + $M - 1$). Нижняя и верхняя границы диапазона определяются значением A_n .

При этом необязательно устанавливать A_n равным базовому адресу. Достаточно того, чтобы величина A_n находилась в пределах требуемого диапазона.

Если при вычислении адреса в этом режиме используется смещение In , его величина не должна превышать M .

Данный тип адресной арифметики удобен при организации циклических буферов для реализации на их основе структур данных типа очередей (FIFO), линий задержки и т.п.

Кратная модификация адреса по модулю.

Этот тип адресной арифметики выбирается посредством установки в «1» 15-го разряда регистра модификатора M_n , как это показано в Таблица 3.8.

Модификация адреса выполняется по модулю M , где M - степень двойки в пределах от 2^1 до 2^{14} . Арифметика по модулю M вынуждает значение адреса оставаться в пределах диапазона значений, отличающихся друг от друга не более чем на $M-1$.

Величина $M-1$ хранится в младших 15-ти разрядах регистра модификатора адреса M_n . Нижняя граница диапазона (базовый адрес) должна иметь нули в младших k разрядах, где $2^k \geq M$. Верхняя граница диапазона определяется как сумма нижней границы и модуля минус единица (базовый адрес + $M - 1$).

Нижняя и верхняя границы диапазона определяются значением A_n . При этом необязательно устанавливать A_n равным базовому адресу. Достаточно того, чтобы величина A_n находилась в пределах требуемого диапазона.

3.7.7 Особенности X- и Y- указателей

Виды адресации памяти данных XRAM сведены в Таблица 3.9. Режим адресации определяется полем “mode” командного слова инструкции.

Таблица 3.9. Виды X-адресации памяти данных (указатели A0-A7)

Код режима адресации (mode)	Обозначение	Пояснение
000	-	Отмена пересылки
001	(An)	Косвенная
010	(An)+	Пост - автоинкремент
011	(An)-	Пост - автодекремент
100	(An)+In	Пост - автоувеличение
101	(An)-In	Пост - автоуменьшение
110	(An+In)	Индексирование (An не меняется)
111	(An+dspl)	С непосредственным смещением (A не меняется)

Примечание. По установленному признаку “u” в командном слове вычисляется исполнительный адрес без выполнения самой пересылки.

Виды Y-адресации сведены в Таблица 3.10. Режим адресации определяется полем “AT” инструкции и управляющим параметром YM (11-й разряд регистра SR).

Таблица 3.10. Виды Y-адресации памяти данных (указатель AT)

Код режима адресации (поле "AT")	YM	Обозначение	Пояснение
00	X	-	Отмена пересылки
01	X	(AT)	Косвенная
10	X	(AT)+IT	Пост - автоувеличение
11	0	(AT)+IT	Индексирование (An не меняется)
11	1	(AT)+DT	Пост - автоувеличение

3.7.8 Разрядность адресной арифметики

В ELCORE-30M расширен до 32 разрядов формат адресных регистров A0 – A7, AT. Это вызвано расширением адресного пространства DSP и выходом его за пределы доступности 16-разрядных адресных регистров, существовавших в предшествующих модификациях DSP ELCORE-xx. При этом регистры смещения I0–I7, IT, DT и регистры модификаторов M0–M7 являются 16-разрядными. Важной особенностью адресной арифметики является то, что операции инкремента и декремента выполняются в 16-разрядном формате.

3.7.9 Регистр адреса вектора прерывания IVAR

В ELCORE-30M реализован механизм прерываний. При обработке прерывания автоматически выполняется команда JSR IVAR, по которой происходит переход на подпрограмму обработки прерываний, находящуюся по адресу, содержащемуся в регистре адреса вектора прерывания IVAR (16 бит, запись/чтение).

Начальное состояние регистра IVAR=0x1F00.

3.8 Устройство программного управления (PCU)

В настоящем разделе рассматривается устройство программного управления (PCU) и работа программного конвейера DSP.

3.8.1 Архитектура PCU

Устройство PCU включает в себя два аппаратных блока:

- программный адресный генератор PAG;
- программный декодер PDC.

Устройство PDC декодирует инструкции, поступающие из программной памяти, и генерирует сигналы управления программным конвейером.

Программный адресный генератор PAG выполняет вычисление адреса инструкции в программной памяти, организует выполнение программных циклов DO, управляет работой стеков. Ниже на Рисунок 3.15 приведена структурная схема PCU.

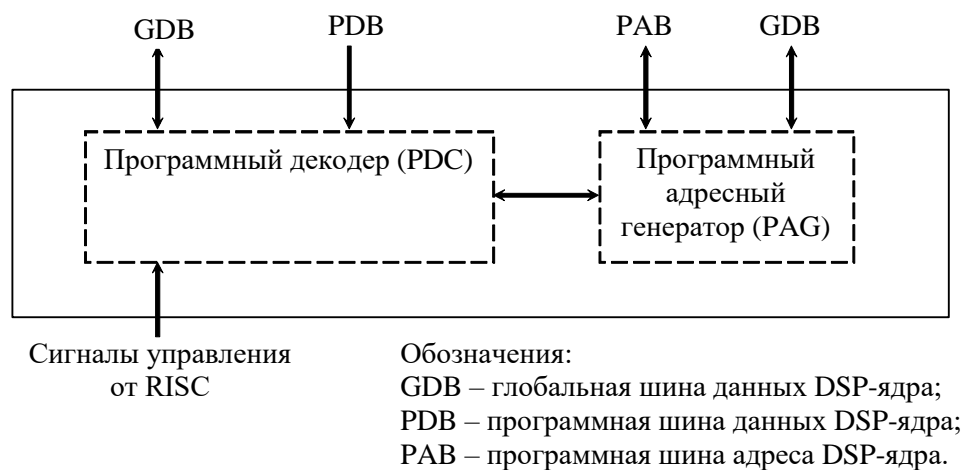


Рисунок 3.15. Структурная схема устройства программного управления (PCU)

3.8.2 Назначение и состав PCU

Устройство программного управления PCU контролирует выборку команд, их декодирование, аппаратно поддерживает организацию цикла DO. Программная модель PCU содержит следующие регистры и стеки:

- регистр управления и состояния DCSR;
- программный счетчик PC;
- регистр состояния SR;
- регистр-идентификатор IDR;
- регистр флагов обмена EFR;
- регистр запуска DMA DSTART;
- регистр запросов на прерывание IRQR;
- регистры масок запросов на прерывания IMASKR, QMASKR0, QMASKR1, QMASKR2;
- регистр управления арбитром памяти ARBR;
- регистр таймера TMR;
- регистр адреса окончания цикла LA;
- регистр счетчика циклов LC;
- системный стек SS;
- стеки циклов CSL, CSH;
- регистр указателей стека SP;
- регистры адреса останова SAR, SAR1 – SAR7;

- счетчик команд CNTR;
- регистр спецфункций SFR;
- отладочные регистры.

Устройство PCU содержит системный стек (SS) и стек циклов (CS). В дополнение к стандартным ресурсам программного управления – операциям программных переходов и ветвления – поддерживается механизм программных циклов DO.

Системный стек SS представляет собой внутреннюю последовательно адресуемую память объемом 15 16-разрядных слов, используемую для автоматического сохранения содержимого регистра программного счетчика PC при входе в подпрограмму или в программный цикл (DO, DOFOR).

Стек циклов CS предназначен для сохранения содержимого регистров счетчика цикла и адреса окончания цикла (LC и LA) при организации вложенных программных циклов. Каждая 32-разрядная ячейка стека адресуется как два 16-разрядных регистра – верхний CSH и нижний CSL регистры стека. Адресация стеков осуществляется при помощи регистра указателей стека SP.

Другие данные могут сохраняться в стеках и считываться из них при соответствующих обращениях. Стеки участвуют в обменах как 16-разрядные регистры управления – SS, CSL и CSH.

Устройство PCU управляет режимами работы DSP-ядра. DSP-ядро всегда находится в одном из трех возможных состояний (режимов):

- режим сброса (RESET);
- режим останова (STOP);
- режим выполнения программы (RUN).

В штатном режиме функционирования устройство PCU организует выполнение инструкций при помощи программного конвейера, включающего семь фаз.

3.8.3 Регистр управления и состояния DCSR

Регистр управления и состояния (DCSR) содержит разряды управления, определяющие состояние и режим работы DSP-ядра, а также прерывания, формируемые DSP-ядром для обработки в RISC-ядре.

Назначение разрядов регистра DCSR указано в Таблица 3.11.

Начальное состояние DCSR = 0x0000.

Таблица 3.11. Назначение разрядов регистра DCSR

Разряды регистра	Идентификатор	Назначение
0	PI	программное прерывание PI.
1	SE	прерывание по ошибке стека SE
2	BRK	прерывание по останову BREAK
3	STP	прерывание по останову STOP
4	WT	состояние ожидания обмена с XBUF
5-13	-	не используется
14	RUN	состояние исполнения программы
15	-	не используется

3.8.4 Программный счетчик PC

Регистр программного счетчика PC предназначен для хранения 16-разрядного адреса инструкции в программной памяти. Инкрементированное значение PC заносится в системный стек при инициализации нового программного цикла DO, DOFOR и при входе в подпрограмму.

Начальное состояние PC = 0x0000.

3.8.5 Регистр состояния SR

Регистр состояния SR содержит параметры управления и состояния DSP-ядра. Разряды [7:0] регистра SR доступны только по чтению, остальные - по записи/чтению.

Назначение разрядов регистра SR указано в Таблица 3.12.

Таблица 3.12. Назначение разрядов регистра SR

Разряды регистра	Идентификатор	Назначение
0	C	перенос
1	V	признак переполнения
2	Z	признак нулевого результата
3	N	признак отрицательного результата
4	U	признак ненормализованного результата
5	Ev	флаг переполнения (с сохранением)
6	E	экспоненциальный признак
7	t	признак истинности последнего условия
8	-	не используется
9	DD	управление режимом записи результата в инструкциях ADDSUB, ADDSUBL, ADDSUBX, FAS, CVFE (Double Destination)
10	BD	управление блокировкой конвейера (Blocking Disabled)
11	YM	режим адресации памяти YRAM
12-13	-	не используются
14-15	SplitMode	Управление режимом разбиения пересылок

Начальное состояние регистра SR = 0x0000.

Разряды [7:0] регистра SR содержат интегральные признаки предыдущей арифметической операции.

Бит DD (Double Destination) = SR[9] предназначен для выбора режимов исполнения вычислительных команд, формирующих двойной результат: ADDSUB, ADDSUBL, ADDSUBX, FAS, CVFE. При DD=0 (по умолчанию) указанные команды выполняются в варианте с двумя результатами и двумя адресами записи, при DD=1 один результат удвоенного формата записывается по одному адресу D.L(D.D). (Более подробную информацию можно получить из описания указанных инструкций).

Бит BD (Blocking Disabled) = SR[10] предназначен для управления автоматической блокировкой программного конвейера: при BD = 0 блокировка включена, при BD = 1 отключена.

Пояснение: автоматическая блокировка (включена по умолчанию при BD=0) вызывает торможение программного конвейера в тех случаях, когда последующая инструкция использует еще не сформированный результат предыдущей инструкции. Отключение автоматической блокировки (BD=1) может производиться с целью ускорения работы программы при условии хорошего понимания работы программного конвейера.

Отключение автоматической блокировки не оказывает влияния на остановы вычислительного ядра, вызванные конфликтами при обращении к памяти.

Назначение бита YM = SR[11] описано в Таблица 3.10.

DSP ядро поддерживает 32/64/128 разрядные пересылки, в то время, как доступ ко многим ресурсам процессора возможен только 32/64 или даже только 32-х разрядными обращениями. В связи с этим введен механизм разбиения обращений от DSP ядра на 32-х или 64-х разрядные. Для управления режимом разбиения в регистре SR введены биты SplitMode = SR[15:14], назначение которых описано в п.3.3.3.

3.8.6 Регистр-идентификатор IDR

Состояние регистров-идентификаторов DSP-ядер ELcore-30M в составе DSP-кластера: IDR=0xn108, где n=0,1 – номер DSP-ядра.

3.8.7 Регистр адреса окончания цикла LA

Регистр адреса окончания цикла LA содержит адрес последней инструкции в программном цикле DO, DOFOR. Этот регистр заносится в стек SS по команде DO, DOFOR и извлекается обратно по окончании вложенного цикла либо по команде ENDDO.

Начальное состояние LA = 0x0000.

3.8.8 Регистр счетчика циклов LC

Формат регистра LC приведен в Таблица 3.13.

Таблица 3.13. Назначение разрядов регистра LC

Разряды регистра	Идентификатор	Назначение
0 - 13	Nc	текущее значение 14-разрядного счетчика программных циклов Nc – разряды 0-13 регистра LC
14	LF	флаг цикла DO – разряд 14 регистра LC
15	FV	флаг цикла DOFOR – разряд 15 регистра LC

Значение счетчика программных циклов Nc определяет количество повторений программного цикла DO, в пределах от 1 до ($2^{14} - 1$). Этот регистр заносится в верхнюю (старшую) половину стека циклов CSL по команде DO (образуется вложенный программный цикл) и извлекается обратно по окончании вложенного цикла либо по команде ENDDO.

Начальное состояние LC = 0x0000.

3.8.9 Стеки SS, CSL, CSH

Устройство программного управления содержит системный стек SS и стеки циклов CSL, CSH. Системный стек SS имеет объем 15 16-разрядных слов и используется для автоматического сохранения содержимого регистра программного счетчика PC при входе в подпрограмму или в цикл DO, DOFOR. Стеки циклов имеют объем по 7×16 бит и предназначены для хранения соответственно длины цикла и адреса последней инструкции цикла (LC и LA). Стеки участвуют в обменах как 16-разрядные регистры управления – SS, CSL и CSH.

3.8.10 Регистр указателей стека SP

Регистр указателей стека SP содержит указатели на последнее записанное в стеки SS, CSH слово. Назначение разрядов регистра SP указано в Таблица 3.14.

Таблица 3.14. Назначение разрядов регистра SP

Разряды регистра	Идентификатор	Назначение
0 - 3	SP	указатель системного стека
4	SSE	флаг ошибки системного стека
5	UFS	флаг переполнения системного стека
6, 7	-	не используются
8-10	CP[2:0]	указатель стека циклов
11	CSE	флаг ошибки стека циклов
12	UFC	флаг переполнения стека циклов
13-15	-	не используются

Младший байт регистра SP содержит указатель и флаги системного стека; старший байт – указатель и флаги стека циклов.

Начальное состояние SP = 0x0000.

3.8.11 Регистры адреса останова SAR, SAR1-SAR7

Регистры адреса останова SAR, SAR1–SAR7 являются специализированными 16-разрядными регистрами, используемыми при отладке DSP-ядра. Регистры SAR, SAR1–SAR7 определяют точки останова (Breakpoint) - адрес инструкции, непосредственно перед исполнением которой должен произойти останов DSP-ядра. Перед исполнением инструкции с указанным адресом DSP-ядро переходит в состояние останова (RUN=0) и флаг прерывания BRK устанавливается в «1».

Начальное состояние SAR, SAR1–SAR7 = 0xFFFF.

3.8.12 Счетчик команд CNTR

Счетчик команд CNTR - специализированный 16-разрядный регистр, предназначенный для отладки DSP-ядра. Регистр CNTR задает пошаговый режим исполнения программ в соответствии с Таблица 3.15.

Начальное состояние CNTR = 0x0000.

Таблица 3.15. Назначение разрядов регистра CNTR

Счетчик CNTR	Режим исполнения программ
0x0000	Нормальный режим исполнения программ. Число исполняемых команд не ограничено.
N > 0	Пошаговый режим исполнения программ. После исполнения N инструкций DSP-ядро переходит в состояние останова (RUN=0) и флаг прерывания BRK устанавливается в “1”.

3.8.13 Регистры управления прерываниями и DMA-обменами

В ELCORE-30M имеется механизм прерываний, с помощью которого, в частности, осуществляется запуск DSP со стороны DMA. Кроме того, прерывания в DSP ELCORE-30M могут поступать также со стороны CPU, другого DSP-ядра, таймеров.

Для управления DMA-обменами и прерываниями имеется следующий набор регистров:

- вводится регистр запросов на прерывание DSP со стороны DMA, CPU, других DSP-ядер, таймеров – IRQR;
- вводится регистр маски запросов на прерывание DSP – IMASKR;
- вводится псевдорегистр (только запись) запуска со стороны DSP каналов DMA и других DSP-ядер – DSTART.

3.8.14 Механизм обработки прерываний

Обработка запросов на прерывание (в том числе на запуск DSP со стороны DMA) обрабатывается одинаковым образом:

- 1) аппаратно взводится в состояние «1» соответствующий бит регистра IRQR;
- 2) аппаратно переводится в состояние «1» бит RUN регистра DCSR (если он еще не находится в этом состоянии);
- 3) автоматически выполняется команда JSR IVAR, по которой происходит переход на подпрограмму обработки прерываний, находящуюся по адресу, содержащемуся в регистре адреса вектора прерывания IVAR.

Программа не может быть прервана в режиме отключения блокировок конвейера. Если прерывание приходит в момент работы основной программы в данном режиме, обработка прерывания автоматически откладывается до момента перехода программы в обычный режим.

Перед выполнением основного кода обработчика прерываний необходимо выполнить процедуру сохранения контекста. Перед возвратом в прерываемую программу из обработчика прерываний необходимо выполнить процедуру восстановления контекста. Если в прерываемой программе используется условные инструкции, необходимо сохранить значение CCR перед выполнением основного кода обработчика прерываний.

Если в прерываемой программе используется регистр PDNR для автоматического вычисления параметра денормализации - обязательно сохранение регистра PDNR перед выполнением основного кода обработчика прерываний. Если в прерываемой программе и в обработчике используется разные режимы функционирования DSP обязательно нужно сохранять значение SR перед выполнением основного кода обработчика прерываний. Если в обработчике прерываний используются аппаратные циклы и/или вызовы подпрограмм, необходимо сохранять стек DSP перед выполнением основного кода обработчика прерываний. Перед выполнением основного кода обработчика прерываний, необходимо сохранять все регистры, используемые в обработчике прерываний. Для сохранения/восстановления контекста необходим зарезервированный регистр, размерностью 64 бита, который бы не использовался основной программой.

Регистры CCR и PDNR необходимо сохранять в первую очередь и восстанавливать в последнюю очередь, поскольку многие инструкции сохранения/восстановления контекста могут модифицировать значение этих регистров.

Программа обработки прерывания должна оканчиваться командой возврата RTI.

Поступающие прерывания не имеют иерархии приоритетов и обрабатываются последовательно. Если во время обработки прерывания приходит новый запрос, то

обработка его начнется только после завершения текущей программы обработки прерывания.

3.8.15 Регистр запросов на прерывание DSP (IRQR)

Регистр IRQR содержит флаги запросов («1» - наличие запроса, «0» - отсутствие запроса) на прерывание DSP со стороны DMA, CPU, других DSP-ядер, таймера. Назначение разрядов регистра IRQR приведено в Таблица 3.16.

Регистр IRQR доступен по записи и чтению со стороны CPU и DSP.

Таким образом, состояние разрядов регистра IRQR может изменяться как аппаратно – при приходе соответствующего сигнала запроса на прерывание, так и программно – при записи со стороны CPU или DSP.

Таблица 3.16. Назначение разрядов регистра IRQR

Номер разряда	Наименование разряда	Назначение
0	DRQ0	Запрос на прерывание DSP со стороны канала DMA MemCh0
1	DRQ1	Запрос на прерывание DSP со стороны канала DMA MemCh1
2	DRQ2	Запрос на прерывание DSP со стороны канала DMA MemCh2
3	DRQ3	Запрос на прерывание DSP со стороны канала DMA MemCh3
4-23	-	Резерв
24	IRQ0	Запрос на прерывание DSP со стороны DSP0
25	IRQ1	Запрос на прерывание DSP со стороны DSP1
26-27	-	Резерв
28	INT_TMR	Запрос на прерывание DSP со стороны таймера TMR
29	FPE	Исключение при исполнении операции в формате плавающей точки (V=1)
30	QT0	Запрос на прерывание DSP со стороны CPU (QSTR0)
31	QT1	Запрос на прерывание DSP со стороны CPU (QSTR1, QSTR2)

Начальное состояние регистра IRQR =0x0.

3.8.16 Регистры масок запросов на прерывание DSP (IMASKR, QMASKR0, QMASKR1, QMASKR2)

Регистр IMASKR содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») запрос на прерывание DSP от соответствующего разряда регистра запросов прерываний IRQR. Регистр доступен по чтению и записи со стороны CPU или DSP. Начальное состояние регистра IMASKR=0x0.

Регистр маски запросов на прерывание QMASKR0 содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») прерывание DSP от соответствующего разряда регистра запросов прерываний со стороны CPU (регистр QSTR0).

Регистр маски запросов на прерывание QMASKR1 содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») прерывание DSP от соответствующего разряда регистра запросов прерываний со стороны CPU (регистр QSTR1).

Регистр маски запросов на прерывание QMASKR2 содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») прерывание DSP от соответствующего разряда регистра запросов прерываний со стороны CPU (регистр QSTR2).

Начальное состояние регистров QMASKR0, QMASKR1, QMASKR2 - нулевое.

3.8.17 Регистр запуска DMA со стороны DSP (DSTART)

Регистр DSTART доступен по только записи и предназначен для запуска соответствующего канала DMA со стороны DSP. Назначение разрядов регистра DSTART приведено в Таблица 3.17.

Таблица 3.17. Назначение разрядов регистра DSTART

Номер разряда	Наименование разряда	Назначение
0	DE0	Запрос со стороны DSP на запуск канала DMA MemCh0
1	DE1	Запрос со стороны DSP на запуск канала DMA MemCh1
2	DE2	Запрос со стороны DSP на запуск канала DMA MemCh2
3	DE3	Запрос со стороны DSP на запуск канала DMA MemCh3
4-23	-	Резерв
24	DSP0	Запрос на прерывание DSP0
25	DSP1	Запрос на прерывание DSP1
26-31	-	Резерв

3.8.18 Регистр таймера (TMR)

Регистр таймера TMR (32 разряда, запись/чтение) предназначен для формирования периодических запросов на прерывание DSP. Период запросов определяется значением, содержащимся в регистре TMR по формуле: $T_{INT} = (TMR + 1) * T_{CLK}$, где T_{CLK} - период тактовой частоты DSP.

При $TMR = 0$ запросы на прерывание DSP не формируются.

Регистр TMR доступен по записи и чтению. Начальное состояние регистра $TMR = 0x0$.

3.8.19 Регистр управления локальным арбитром (ARBR)

Принципы арбитража и режимы работы.

Вся память DSP кластера разбита на 2 сегмента, каждый из которых соответствует определенному DSP ядру и состоит из 4 страниц каждый. Таким образом, для каждого ядра существует сегмент “своей” или ближней памяти. В архитектуре глобального коммутатора предусмотрены 2 локальных арбитра, каждый из них осуществляет арбитраж обращений к определенному сегменту памяти. Каждый из локальных арбитров настраивается и работает независимо от другого арбитра. Таким образом, одно ядро может иметь высший приоритет для обращений к одному сегменту памяти и низший для обращений к другому.

Каждая страница памяти состоит из 4-х физических блоков по 4К 32 разрядных слов каждый. Для организации чтения 128 разрядных слов, а так же для повышения производительности при 32-х разрядных обменах с памятью применена технология расслоения памяти. Т.е. любые 4 последовательно идущих адреса одной страницы располагаются в 4-х разных физических блоках.

В случае если оба ядра обращаются к одной странице памяти, обрабатывается обращение от ядра, имеющего на данный момент высший приоритет (другое ядро останавливается до момента получения высшего приоритета). Если обращения идут к разным страницам (даже внутри одного сегмента), конфликтов не возникает. Конфликтов так же не возникает при обращении одного ядра по X и Y указателям к одной странице памяти, при условии, что обращения идут к разным физическим блокам (условие бесконфликтного обращения одного DSP кодной странице памяти: для 32-х и 64-х разрядных обращений $XAB \% 4 \neq YAB \% 4$).

Обращения к своей памяти не приводят к останову конвейера, если отсутствуют конфликты с другими ядрами, либо для данного ядра явно установлен высший приоритет для обращений к своей памяти (заданы значения бит DEN=1 и DPTR = 0 в регистре ARBR данного ядра).

Остальная память является для текущего ядра дальней. Чтение из дальней памяти неизбежно приводит к останову конвейера на четыре дополнительных такта. Одиночная запись в дальнюю память буферизуется и не приводит к блокировкам. Поддерживается пакетная запись в дальнюю память, которая так же проходит без дополнительных блокировок конвейера. Поддержка пакетных обращений имеет место при работе в режиме захвата, либо при явном задании высшего приоритета для данного ядра. При работе в режиме ограничения, максимальная длина пакета определяется значением ограничителя.

Локальный арбитр может работать в режиме *захвата* (режим по умолчанию). В этом режиме, ядро, получившее разрешение для обращений к определенному сегменту памяти, получает высший приоритет, и сохраняет его до тех пор, пока есть обращения к данному

сегменту памяти. Как только обращения от текущего ядра прекращаются, право на захват циклически передается следующему ядру.

Так же предусмотрен режим *ограничения*. В этом режиме включаются счетчики обращений для каждого ядра. Если значение счетчика обращений от ядра, обладающего высшим приоритетом, превышает заданный лимит, то высший приоритет автоматически передается следующему ядру, осуществляющему обращение к памяти. Если обращений со стороны других ядер нет – счетчик сбрасывается, и передачи приоритета не происходит.

В *статическом* режиме приоритет ядер задается явно.

Регистры управления локальными арбитрами располагаются в каждом из DSP ядер и задают режим работы соответствующего локального арбитра.

Назначение разрядов регистра ARBR приведено в Таблица 3.18.

Таблица 3.18. Назначение разрядов регистра ARBR

Номер разряда	Наименование разряда	Назначение
0	HEN	Включение режима определения высокой плотности потоков
1	DEN	разрешение установки явного приоритета (статический режим)
2	LEN	бит разрешения ограничителя
3	-	резерв
4-5	DPTR	номер ядра, обладающего наивысшим приоритетом
6-7	-	резерв
8-13	Limit	максимальное значение счетчика обращений
14-15	-	резерв

HEN – Включение режима определения высокой плотности потоков. Используется в режиме захвата (LEN = 0). Если HEN = 1, то включаются счетчики, определяющие плотность обращений ядер к данному сегменту. Если плотность обращений хотя бы от одного ядра больше 75% – то при значениях HEN = 1 и LEN = 0 передача приоритета происходит каждый такт.

DEN – разрешение установки явного приоритета (статический режим). Если данный бит установлен в 1, то при возникновении конфликта приоритет отдается обращению от ядра, номер которого определяется битами DPTR.

DPTR – определяет номер ядра, обладающего наивысшим приоритетом при обращении к сегменту памяти данного DSP. DPTR = 0 задает высший приоритет для данного ядра, 1 – высший приоритет для соседа с меньшим номером, далее циклически в сторону уменьшения номера ядра.

LEN – бит разрешения ограничителя. Если данный бит установлен в 1, арбитр работает в режиме ограничения, если бит установлен в 0 арбитр работает в режиме захвата.

Limit – задает максимальное значение счетчика обращений, в режиме ограничения. В этом режиме предусмотрена автоматическая смена приоритета.

Механизм передачи приоритета

Передача приоритета осуществляется циклически, между ядрами, осуществляющими обращение к памяти. Механизм передачи приоритета срабатывает в следующих случаях:

- ядро, обладавшее высшим приоритетом, не обращается к текущему сегменту памяти;
- в режиме захвата при $LEN = 0$ и $HEN = 1$ плотность обращений хотя бы от одного ядра больше 75%;
- в режиме ограничения $LEN = 1$, если значение счетчика обращений от ядра с высшим приоритетом достигло значения Limit.

В статическом режиме передачи приоритета не осуществляется.

Начальное состояние регистра ARBR = 0x0F01.

3.8.20 Регистр спецфункций (SFR)

Регистр спецфункций SFR (32 разряда, запись/чтение) предназначен для реализации специальных вычислительных функций. Назначение разрядов регистра SFR определяется реализуемой функцией.

Начальное состояние регистра SFR = 0.

3.8.21 Отладочные регистры

В ELcore-30M вводятся специализированные отладочные регистры и изменяется назначение связанных с отладкой бит в регистре управления DCSR. Состав и адреса специализированных отладочных регистров приведены в Таблица 3.19. Указанные регистры предназначены только для поддержки режима отладки. Их мнемонические имена не поддерживаются ассемблером DSP-ядра ELcore-30M. С введением данных регистров существующие регистры DCSR, SAR, CNTR, SAR1-SAR7 освобождаются от отладочных функций и могут использоваться только самой прикладной программой.

Регистры стадий программного счетчика dbPCx доступны только по чтению.

Таблица 3.19. Специализированные отладочные регистры ELcore-30M

Условное обозначение	Разрядность	Наименование	Адрес регистра (DSP0)	Адрес регистра (DSP1)
dbDCSR	16 R/W	Регистр управления в режиме отладки	0x1848_0500	0x1888_0500
Cnt_RUN	32 R	Счетчик тактов	0x1848_0518	0x1888_0518
dbPCe	16 R	Программный счетчик, стадия a	0x1848_0520	0x1888_0520
dbPCa	16 R	Программный счетчик, стадия f	0x1848_0524	0x1888_0524

Условное обозначение	Разрядность	Наименование	Адрес регистра (DSP0)	Адрес регистра (DSP1)
dbPCf	16 R	Программный счетчик, стадия d	0x1848_0528	0x1888_0528
dbPCd	16 R	Программный счетчик, стадия e	0x1848_052C	0x1888_052C
dbPCe1	16 R	Программный счетчик, стадия e1	0x1848_0530	0x1888_0530
dbPCe2	16 R	Программный счетчик, стадия e2	0x1848_0534	0x1888_0534
dbPCe3	16 R	Программный счетчик, стадия e3	0x1848_0538	0x1888_0538
dbSAR	16 R/W	Регистр адреса останова 0 в режиме отладки	0x1848_053C	0x1888_053C
dbCNTR	16 R/W	Счетчик исполненных команд в режиме отладки	0x1848_0540	0x1888_0540
dbSAR1	16 R/W	Регистр адреса останова 1 в режиме отладки	0x1848_0544	0x1888_0544
dbSAR2	16 R/W	Регистр адреса останова 2 в режиме отладки	0x1848_0548	0x1888_0548
dbSAR3	16 R/W	Регистр адреса останова 3 в режиме отладки	0x1848_054C	0x1888_054C
dbSAR4	16 R/W	Регистр адреса останова 4 в режиме отладки	0x1848_0550	0x1888_0550
dbSAR5	16 R/W	Регистр адреса останова 5 в режиме отладки	0x1848_0554	0x1888_0554
dbSAR6	16 R/W	Регистр адреса останова 6 в режиме отладки	0x1848_0558	0x1888_0558
dbSAR7	16 R/W	Регистр адреса останова 7 в режиме отладки	0x1848_055C	0x1888_055C

3.8.22 Регистр dbDCSR

Назначение разрядов регистра dbDCSR указано в Таблица 3.20.

Таблица 3.20. Назначение разрядов регистра dbDCSR

Разряды регистра	Идентификатор	Назначение
0-1	-	не используется
2	dbBRK	флаг останова исполнения программы в режиме отладки
5-13	-	не используется
14	dbRUN	состояние исполнения программы в режиме отладки
15	-	не используется

Начальное состояние dbDCSR = 0x0000.

Назначение бита dbRUN регистра dbDCSR в режиме отладки аналогично назначению бита DBG регистра DCSR в предыдущих модификациях DSP-ядер Elcore-xx.

Наличие этого бита позволяет производить автономную отладку DSP-ядра при остановленном контроллере (в том числе CPU). Установка бита dbRUN в «1» переводит DSP-ядро в состояние исполнения программы в режиме отладки, установка в «0» - в состояние останова. Бит dbRUN автоматически сбрасывается по останову dbBRK.

Флаг dbBRK (флаг останова исполнения программы в режиме отладки) устанавливается в «1» в случае останова DSP по одной из следующих причин:

- 1) по достижении адреса останова, содержащегося в одном из отладочных регистров dbSAR, dbSAR1-dbSAR7;
- 2) по завершении требуемого числа шагов, содержащегося в отладочном регистре dbCNTR.

Примечание. В случае останова по достижении адреса, содержащегося в одном из штатных регистров SAR, SAR1-SAR7 либо по завершении требуемого числа шагов, содержащегося в штатном регистре CNTR, флаг dbBRK в «1» не устанавливается.

3.8.23 Регистры dbSAR, dbSAR1-dbSAR7

Назначение регистров dbSAR, dbSAR1-dbSAR7 в режиме отладки аналогично назначению штатных регистров SAR, SAR1-SAR7 в режиме штатного исполнения программы.

Регистры dbSAR, dbSAR1-dbSAR7 определяют точки останова в режиме отладки. Перед исполнением инструкции с указанным адресом DSP-ядро переходит в состояние останова (dbRUN=0) и флаг dbBRK устанавливается в «1».

Начальное состояние dbSAR, dbSAR1-dbSAR7 равно 0xFFFF.

3.8.24 Регистр dbCNTR

Регистр dbCNTR задает пошаговый режим исполнения программ в режиме отладки аналогично тому, как регистр CNTR делает это в режиме штатного исполнения.

Начальное состояние dbCNTR = 0x0.

3.8.25 Регистр Cnt_RUN

Регистр Cnt_RUN представляет собой счетчик тактов, затраченных на исполнение программы начиная с момента последнего запуска DSP. Доступен только по чтению.

Начальное состояние Cnt_RUN = 0x0.

3.9 Программный конвейер DSP-ядра ELcore-30M

Программный конвейер DSP-ядра ELcore-30M содержит 7 фаз, содержание которых отличается для различных типов команд.

1) Исполнение вычислительных команд

1 фаза (A)	2 фаза (F)	3 фаза (D)	4 фаза (E)	5 фаза (E1)	6 фаза (E2)	7 фаза (E3)
Выдача адреса на PRAM	Чтение инструкции из PRAM	Декодирование инструкции	Формирование блокировок	Выборка данных из RF	Исполнение инструкции (1 фаза)	Исполнение инструкции (2 фаза)

2) Исполнение команд MOVE XRAM, YRAM -> RF

1 фаза (A)	2 фаза (F)	3 фаза (D)	4 фаза (E)	5 фаза (E1)	6 фаза (E2)	7 фаза (E3)
Выдача адреса на PRAM	Чтение инструкции из PRAM	Декодирование инструкции	Модификация адреса XRAM	Выдача адреса на XRAM	Чтение данных из XRAM	Запись данных в RF

3) Исполнение команд MOVE RF -> XRAM

1 фаза (A)	2 фаза (F)	3 фаза (D)	4 фаза (E)	5 фаза (E1)	6 фаза (E2)	7 фаза (E3)
Выдача адреса на PRAM	Чтение инструкции из PRAM	Декодирование инструкции	Модификация адреса XRAM	Запись данных в XRAM	-	-

4) Исполнение команд MOVE RF, RC, #16/32 -> RF

1 фаза (A)	2 фаза (F)	3 фаза (D)	4 фаза (E)	5 фаза (E1)	6 фаза (E2)	7 фаза (E3)
Выдача адреса на PRAM	Чтение инструкции из PRAM	Декодирование инструкции	Формирование блокировок	Выборка данных из RC	Запись данных в RF	-

5) Исполнение команд MOVE RF, #16/32 -> RC(кр. CCR, PDNR, AC)

1 фаза (A)	2 фаза (F)	3 фаза (D)	4 фаза (E)	5 фаза (E1)	6 фаза (E2)	7 фаза (E3)
Выдача адреса на PRAM	Чтение инструкции из PRAM	Декодирование инструкции	Выборка данных из RF	Запись данных в RC	-	-

Таким, образом, при исполнении различных операций фазы конвейера DSP-ядра ELScore-30M имеют следующее содержание:

а) при выполнении вычислительной операции:

1 фаза (A):	Формирование адреса памяти программ.
2 фаза (F):	Выборка инструкции из программной памяти.
3 фаза (D):	Декодирование инструкции.

4 фаза (E):	Формирование блокировок конвейера.
5 фаза (E1):	Чтение данных из RF.
6 фаза (E2):	Исполнение инструкции.
7 фаза (E3):	Исполнение инструкции, запись данных в RF.

б) при чтении из памяти данных:

1 фаза (A):	Формирование адреса памяти программ.
2 фаза (F):	Выборка инструкции из программной памяти.
3 фаза (D):	Декодирование инструкции.
4 фаза (E):	Формирование адреса памяти данных.
5 фаза (E1):	Выдача адреса на память данных.
6 фаза (E2):	Чтение из памяти данных в буферный регистр.
7 фаза (E3):	Запись данных в RF.

в) при записи в память данных:

1 фаза (A):	Формирование адреса памяти программ.
2 фаза (F):	Выборка инструкции из программной памяти.
3 фаза (D):	Декодирование инструкции.
4 фаза (E):	Формирование адреса памяти данных.
5 фаза (E1):	Выдача адреса на память данных и запись в память данных.

г) при записи в регистр RF:

1 фаза (A):	Формирование адреса памяти программ.
2 фаза (F):	Выборка инструкции из программной памяти.
3 фаза (D):	Декодирование инструкции.
4 фаза (E):	Формирование блокировок конвейера.
5 фаза (E1):	Чтение данных из RF или регистра управления.
6 фаза (E2):	Запись в RF.

д) при записи в регистр управления:

1 фаза (A):	Формирование адреса памяти программ.
2 фаза (F):	Выборка инструкции из программной памяти.
3 фаза (D):	Декодирование инструкции.
4 фаза (E):	Чтение данных из RF.
5 фаза (E1):	Запись в регистр управления.

Примечание. При записи/чтении памяти данных арбитром могут вводиться дополнительные такты ожидания.

3.10 Перечень адресуемых регистров DSP-кластера

Перечень адресуемых регистров DSP-кластера в составе микросхемы 1892BM10Я приведен в Таблица 3.21.

Таблица 3.21. Перечень адресуемых регистров DSP-кластера в составе микросхемы 1892BM10Я

(i=0,1– номер DSP; BASE(0)=0x1848 0000; BASE(1)=0x1888 0000)

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
		<u>Общие регистры управления и состояния</u>	
MASKR_DSP	32 R/W	Регистр маски прерываний	0x1848_1000
QSTR_DSP	32 R	Регистр запросов прерываний	0x1848_1004
CSR_DSP	32 R/W	Регистр управления и состояния	0x1848_1008
TOTAL_CLK_CNTR	32 R/W	Счетчик тактов	0x1848_100C
		<u>Регистры буфера обмена XBUF</u>	
X0[31:0]	32 R/W	Регистр обмена X0	0x187F_FF00
X0[63:32]	32 R/W	Регистр обмена X0	0x187F_FF04
X1[31:0]	32 R/W	Регистр обмена X1	0x187F_FF08
X1[63:32]	32 R/W	Регистр обмена X1	0x187F_FF0C
X2[31:0]	32 R/W	Регистр обмена X2	0x187F_FF10
X2[63:32]	32 R/W	Регистр обмена X2	0x187F_FF14
X3[31:0]	32 R/W	Регистр обмена X3	0x187F_FF18
X3[63:32]	32 R/W	Регистр обмена X3	0x187F_FF1C
X4[31:0]	32 R/W	Регистр обмена X4	0x187F_FF20
X4[63:32]	32 R/W	Регистр обмена X4	0x187F_FF24
X5[31:0]	32 R/W	Регистр обмена X5	0x187F_FF28
X5[63:32]	32 R/W	Регистр обмена X5	0x187F_FF2C
X6[31:0]	32 R/W	Регистр обмена X6	0x187F_FF30
X6[63:32]	32 R/W	Регистр обмена X6	0x187F_FF34
X7[31:0]	32 R/W	Регистр обмена X7	0x187F_FF38
X7[63:32]	32 R/W	Регистр обмена X7	0x187F_FF3C
X8[31:0]	32 R/W	Регистр обмена X8	0x187F_FF40
X8[63:32]	32 R/W	Регистр обмена X8	0x187F_FF44
X9[31:0]	32 R/W	Регистр обмена X9	0x187F_FF48
X9[63:32]	32 R/W	Регистр обмена X9	0x187F_FF4C
X10[31:0]	32 R/W	Регистр обмена X10	0x187F_FF50
X10[63:32]	32 R/W	Регистр обмена X10	0x187F_FF54
X11[31:0]	32 R/W	Регистр обмена X11	0x187F_FF58
X11[63:32]	32 R/W	Регистр обмена X11	0x187F_FF5C
X12[31:0]	32 R/W	Регистр обмена X12	0x187F_FF60
X12[63:32]	32 R/W	Регистр обмена X12	0x187F_FF64
X13[31:0]	32 R/W	Регистр обмена X13	0x187F_FF68
X13[63:32]	32 R/W	Регистр обмена X13	0x187F_FF6C
X14[31:0]	32 R/W	Регистр обмена X14	0x187F_FF70
X14[63:32]	32 R/W	Регистр обмена X14	0x187F_FF74
X15[31:0]	32 R/W	Регистр обмена X15	0x187F_FF78
X15[63:32]	32 R/W	Регистр обмена X15	0x187F_FF7C
X16[31:0]	32 R/W	Регистр обмена X16	0x187F_FF80
X16[63:32]	32 R/W	Регистр обмена X16	0x187F_FF84
X17[31:0]	32 R/W	Регистр обмена X17	0x187F_FF88
X17[63:32]	32 R/W	Регистр обмена X17	0x187F_FF8C
X18[31:0]	32 R/W	Регистр обмена X18	0x187F_FF90
X18[63:32]	32 R/W	Регистр обмена X18	0x187F_FF94
X19[31:0]	32 R/W	Регистр обмена X19	0x187F_FF98
X19[63:32]	32 R/W	Регистр обмена X19	0x187F_FF9C
X20[31:0]	32 R/W	Регистр обмена X20	0x187F_FFA0
X20[63:32]	32 R/W	Регистр обмена X20	0x187F_FFA4
X21[31:0]	32 R/W	Регистр обмена X21	0x187F_FFA8
X21[63:32]	32 R/W	Регистр обмена X21	0x187F_FFAC

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
X22[31:0]	32 R/W	Регистр обмена X22	0x187F_FF00
X22[63:32]	32 R/W	Регистр обмена X22	0x187F_FF04
X23[31:0]	32 R/W	Регистр обмена X23	0x187F_FF08
X23[63:32]	32 R/W	Регистр обмена X23	0x187F_FF0C
X24[31:0]	32 R/W	Регистр обмена X24	0x187F_FF10
X24[63:32]	32 R/W	Регистр обмена X24	0x187F_FF14
X25[31:0]	32 R/W	Регистр обмена X25	0x187F_FF18
X25[63:32]	32 R/W	Регистр обмена X25	0x187F_FF1C
X26[31:0]	32 R/W	Регистр обмена X26	0x187F_FF20
X26[63:32]	32 R/W	Регистр обмена X26	0x187F_FF24
X27[31:0]	32 R/W	Регистр обмена X27	0x187F_FF28
X27[63:32]	32 R/W	Регистр обмена X27	0x187F_FF2C
X28[31:0]	32 R/W	Регистр обмена X28	0x187F_FF30
X28[63:32]	32 R/W	Регистр обмена X28	0x187F_FF34
X29[31:0]	32 R/W	Регистр обмена X29	0x187F_FF38
X29[63:32]	32 R/W	Регистр обмена X29	0x187F_FF3C
X30[31:0]	32 R/W	Регистр обмена X30	0x187F_FF40
X30[63:32]	32 R/W	Регистр обмена X30	0x187F_FF44
X31[31:0]	32 R/W	Регистр обмена X31	0x187F_FF48
X31[63:32]	32 R/W	Регистр обмена X31	0x187F_FF4C
		<u>PCU</u>	
DCSR	16 R/W	Регистр режима работы	BASE(i)+0x0100
SR	16 R/W	Регистр состояния	BASE(i)+0x0104
IDR	16 R	Регистр-идентификатор	BASE(i)+0x0108
EFR	32 R	Регистр флагов обмена	BASE(i)+0x010C
DSTART	32 W	Регистр запуска DMA со стороны DSP и запросов на прерывания других DSP	BASE(i)+0x010C
IRQR	32 R/W	Регистр запросов на прерывание DSP	BASE(i)+0x0110
IMASKR	32 R/W	Регистр маски запросов на прерывания DSP	BASE(i)+0x0114
TMR	32 R/W	Регистр таймера DSP	BASE(i)+0x0118
ARBR	16 R/W	Регистр управления арбитром памяти DSP	BASE(i)+0x011C
PC	16 R/W	Программный счетчик	BASE(i)+0x0120
SS	16 R/W	Стек программного счетчика	BASE(i)+0x0124
LA	16 R/W	Регистр адреса цикла	BASE(i)+0x0128
CSL	16 R/W	Стек адреса цикла	BASE(i)+0x012C
LC	16 R/W	Счетчик циклов	BASE(i)+0x0130
CSH	16 R/W	Стек счетчика циклов	BASE(i)+0x0134
SP	16 R/W	Регистр указателя стека	BASE(i)+0x0138
SAR	16 R/W	Регистр адреса останова	BASE(i)+0x013C
CNTR	16 R/W	Счетчик исполненных команд	BASE(i)+0x0140
SAR1	16 R/W	Регистр адреса останова	BASE(i)+0x0144
SAR2	16 R/W	Регистр адреса останова	BASE(i)+0x0148
SAR3	16 R/W	Регистр адреса останова	BASE(i)+0x014C
SAR4	16 R/W	Регистр адреса останова	BASE(i)+0x0150
SAR5	16 R/W	Регистр адреса останова	BASE(i)+0x0154
SAR6	16 R/W	Регистр адреса останова	BASE(i)+0x0158
SAR7	16 R/W	Регистр адреса останова	BASE(i)+0x015C
		Регистры состояния ALU	
CCR	16 R/W	Регистр кодов условий	BASE(i)+0x0160
PDNR	16 R/W	Регистр параметра денормализации	BASE(i)+0x0164
SFR	32 R/W	Регистр специальных функций	BASE(i)+0x0168
QMASKR0	32 R/W	Регистр маски запросов на прерывание со стороны CPU (QSTR0)	BASE(i)+0x0170
QMASKR1	32 R/W	Регистр маски запросов на прерывание со стороны CPU (QSTR1)	BASE(i)+0x0174

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
QMASKR2	32 R/W	Регистр маски запросов на прерывание со стороны CPU (QSTR2)	BASE(i)+0x0178
		<u>AGU, AGU-Y</u>	
A0	32 R/W	Регистр адреса A0	BASE(i)+0x0080
A1	32 R/W	Регистр адреса A1	BASE(i)+0x0084
A2	32 R/W	Регистр адреса A2	BASE(i)+0x0088
A3	32 R/W	Регистр адреса A3	BASE(i)+0x008C
A4	32 R/W	Регистр адреса A4	BASE(i)+0x0090
A5	32 R/W	Регистр адреса A5	BASE(i)+0x0094
A6	32 R/W	Регистр адреса A6	BASE(i)+0x0098
A7	32 R/W	Регистр адреса A7	BASE(i)+0x009C
I0	32 R/W	Регистр индекса I0	BASE(i)+0x00A0
I1	32 R/W	Регистр индекса I1	BASE(i)+0x00A4
I2	32 R/W	Регистр индекса I2	BASE(i)+0x00A8
I3	32 R/W	Регистр индекса I3	BASE(i)+0x00AC
I4	32 R/W	Регистр индекса I4	BASE(i)+0x00B0
I5	32 R/W	Регистр индекса I5	BASE(i)+0x00B4
I6	32 R/W	Регистр индекса I6	BASE(i)+0x00B8
I7	32 R/W	Регистр индекса I7	BASE(i)+0x00BC
M0	32 R/W	Регистр модификатора M0	BASE(i)+0x00C0
M1	32 R/W	Регистр модификатора M1	BASE(i)+0x00C4
M2	32 R/W	Регистр модификатора M2	BASE(i)+0x00C8
M3	32 R/W	Регистр модификатора M3	BASE(i)+0x00CC
M4	32 R/W	Регистр модификатора M4	BASE(i)+0x00D0
M5	32 R/W	Регистр модификатора M5	BASE(i)+0x00D4
M6	32 R/W	Регистр модификатора M6	BASE(i)+0x00D8
M7	32 R/W	Регистр модификатора M7	BASE(i)+0x00DC
AT	32 R/W	Регистр адреса AT	BASE(i)+0x00E0
IT	16 R/W	Регистр индекса IT	BASE(i)+0x00E4
MT	16 R/W	Регистр модификатора MT	BASE(i)+0x00E8
DT	16 R/W	Регистр модификатора DT	BASE(i)+0x00EC
IVAR	16 R/W	Регистр адреса вектора прерывания	BASE(i)+0x00FC
		<u>Регистры данных RF</u>	
R0.L	32 R/W	Регистр данных	BASE(i)+0x0000
R2.L	32 R/W	Регистр данных	BASE(i)+0x0004
R4.L	32 R/W	Регистр данных	BASE(i)+0x0008
R6.L	32 R/W	Регистр данных	BASE(i)+0x000C
R8.L	32 R/W	Регистр данных	BASE(i)+0x0010
R10.L	32 R/W	Регистр данных	BASE(i)+0x0014
R12.L	32 R/W	Регистр данных	BASE(i)+0x0018
R14.L	32 R/W	Регистр данных	BASE(i)+0x001C
R16.L	32 R/W	Регистр данных	BASE(i)+0x0020
R18.L	32 R/W	Регистр данных	BASE(i)+0x0024
R20.L	32 R/W	Регистр данных	BASE(i)+0x0028
R22.L	32 R/W	Регистр данных	BASE(i)+0x002C
R24.L	32 R/W	Регистр данных	BASE(i)+0x0030
R26.L	32 R/W	Регистр данных	BASE(i)+0x0034
R28.L	32 R/W	Регистр данных	BASE(i)+0x0038
R30.L	32 R/W	Регистр данных	BASE(i)+0x003C
R1.L	32 R/W	Регистр данных	BASE(i)+0x0040
R3.L	32 R/W	Регистр данных	BASE(i)+0x0044
R5.L	32 R/W	Регистр данных	BASE(i)+0x0048
R7.L	32 R/W	Регистр данных	BASE(i)+0x004C
R9.L	32 R/W	Регистр данных	BASE(i)+0x0050
R11.L	32 R/W	Регистр данных	BASE(i)+0x0054

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
R13.L	32 R/W	Регистр данных	BASE(i)+0x0058
R15.L	32 R/W	Регистр данных	BASE(i)+0x005C
R17.L	32 R/W	Регистр данных	BASE(i)+0x0060
R19.L	32 R/W	Регистр данных	BASE(i)+0x0064
R21.L	32 R/W	Регистр данных	BASE(i)+0x0068
R23.L	32 R/W	Регистр данных	BASE(i)+0x006C
R25.L	32 R/W	Регистр данных	BASE(i)+0x0070
R27.L	32 R/W	Регистр данных	BASE(i)+0x0074
R29.L	32 R/W	Регистр данных	BASE(i)+0x0078
R31.L	32 R/W	Регистр данных	BASE(i)+0x007C
R1.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x0180
R1.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x0184
R3.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x0188
R3.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x018C
R5.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x0190
R5.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x0194
R7.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x0198
R7.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x019C
R9.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01A0
R9.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01A4
R11.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01A8
R11.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01AC
R13.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01B0
R13.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01B4
R15.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01B8
R15.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01BC
R17.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01C0
R17.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01C4
R19.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01C8
R19.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01CC
R21.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01D0
R21.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01D4
R23.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01D8
R23.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01DC
R25.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01E0
R25.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01E4
R27.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01E8
R27.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01EC
R29.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01F0
R29.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01F4
R31.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01F8
R31.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01FC
		<u>Регистры-аккумуляторы</u>	
AC0	32 R/W	Регистр-аккумулятор AC0	BASE(i)+0x0200
AC1	32 R/W	Регистр-аккумулятор AC1	BASE(i)+0x0204
AC2	32 R/W	Регистр-аккумулятор AC2	BASE(i)+0x0208
AC3	32 R/W	Регистр-аккумулятор AC3	BASE(i)+0x020C
AC4	32 R/W	Регистр-аккумулятор AC4	BASE(i)+0x0210
AC5	32 R/W	Регистр-аккумулятор AC5	BASE(i)+0x0214
AC6	32 R/W	Регистр-аккумулятор AC6	BASE(i)+0x0218
AC7	32 R/W	Регистр-аккумулятор AC7	BASE(i)+0x021C
AC8	32 R/W	Регистр-аккумулятор AC8	BASE(i)+0x0220
AC9	32 R/W	Регистр-аккумулятор AC9	BASE(i)+0x0224
AC10	32 R/W	Регистр-аккумулятор AC10	BASE(i)+0x0228

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
AC11	32 R/W	Регистр-аккумулятор AC11	BASE(i)+0x022C
AC12	32 R/W	Регистр-аккумулятор AC12	BASE(i)+0x0230
AC13	32 R/W	Регистр-аккумулятор AC13	BASE(i)+0x0234
AC14	32 R/W	Регистр-аккумулятор AC14	BASE(i)+0x0238
AC15	32 R/W	Регистр-аккумулятор AC15	BASE(i)+0x023C
		<u>Отладочные регистры</u>	
dbDCSR	16 R/W	Регистр управления в режиме отладки	BASE(i)+0x0500
Cnt_RUN	32 R	Счетчик тактов	BASE(i)+0x0518
dbPCa	16 R	Программный счетчик, стадия a	BASE(i)+0x0524
dbPCf	16 R	Программный счетчик, стадия f	BASE(i)+0x0528
dbPCd	16 R	Программный счетчик, стадия d	BASE(i)+0x052C
dbPCe	16 R	Программный счетчик, стадия e	BASE(i)+0x0520
dbPCe1	16 R	Программный счетчик, стадия e1	BASE(i)+0x0530
dbPCe2	16 R	Программный счетчик, стадия e2	BASE(i)+0x0534
dbPCe3	16 R	Программный счетчик, стадия e3	BASE(i)+0x0538
dbSAR	16 R/W	Регистр адреса останова 0 в режиме отладки	BASE(i)+0x053C
dbCNTR	16 R/W	Счетчик исполненных команд в режиме отладки	BASE(i)+0x0540
dbSAR1	16 R/W	Регистр адреса останова 1 в режиме отладки	BASE(i)+0x0544
dbSAR2	16 R/W	Регистр адреса останова 2 в режиме отладки	BASE(i)+0x0548
dbSAR3	16 R/W	Регистр адреса останова 3 в режиме отладки	BASE(i)+0x054C
dbSAR4	16 R/W	Регистр адреса останова 4 в режиме отладки	BASE(i)+0x0550
dbSAR5	16 R/W	Регистр адреса останова 5 в режиме отладки	BASE(i)+0x0554
dbSAR6	16 R/W	Регистр адреса останова 6 в режиме отладки	BASE(i)+0x0558
dbSAR7	16 R/W	Регистр адреса останова 7 в режиме отладки	BASE(i)+0x055C

4. ЦЕНТРАЛЬНЫЙ ПРОЦЕССОР

4.1 Основные характеристики

- Архитектура – MIPS32;
- 32-х битные пути передачи адреса и данных;
- кэш команд объемом 16 Кбайт;
- кэш данных объемом 16 Кбайт;
- архитектура привилегированных ресурсов в стиле ядра R4000:
 - регистры Count/Compare для прерываний реального времени;
 - отдельный вектор обработки исключений по прерываниям;
- программируемое устройство управления памятью:
 - два режима работы – с TLB и Fixed Mapped (FM);
 - 16 строк в режиме TLB;
 - в режиме FM адресные пространства отображаются с использованием битов регистров;
- устройство умножения и деления;
- сопроцессором арифметики в формате с плавающей точкой;
- поддержка отладки JTAG.

4.2 Блок диаграмма

Блок схема процессорного ядра RISCore32 приведена на Рисунок 4.1.

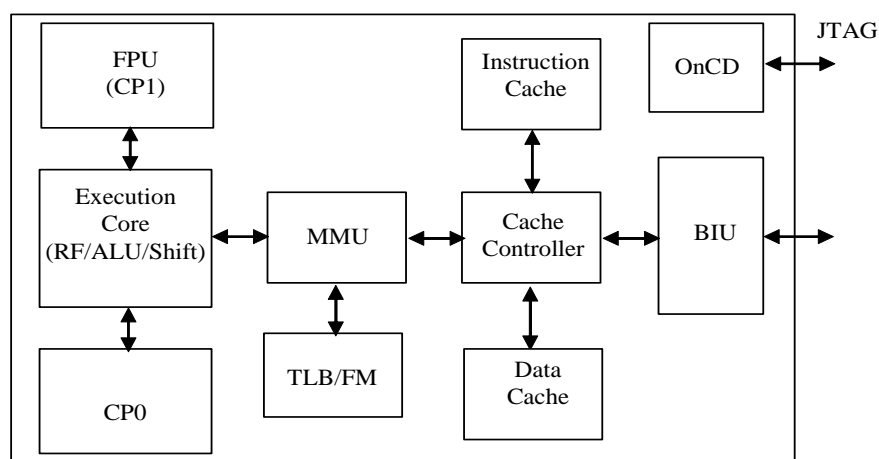


Рисунок 4.1. Блок схема процессорного ядра RISCore32

Ядро содержит следующие узлы:

- устройство исполнения (Execution Core);
- устройство целочисленного умножения и деления (MDU);
- системный управляющий сопроцессор (CP0);

- сопроцессор арифметики в формате с плавающей точкой (FPU);
- устройство управления памятью (MMU – Memory Management Unit);
- контроллер кэш (Cache Controller);
- устройство шинного интерфейса (BIU);
- кэш команд (Instruction Cache);
- кэш данных (Data Cashe);
- средства отладки программ (OnCD – On Chip Debugger) с JTAG портом.

4.3 Составляющие логические блоки

В следующих подразделах описываются устройства, входящие в состав процессорного ядра.

4.3.1 Устройство исполнения

Входящее в ядро устройство исполнения реализует архитектуру load-store (загрузка-сохранение) с одноктактными операциями арифметического логического устройства (АЛУ) (логические операции, операции сдвига, сложение и вычитание). В ядре имеется тридцать два 32-х битных регистра общего назначения, используемых для скалярных целочисленных операций и вычисления адреса. В регистровом файле есть два порта чтения и один порт записи. Также используются обходные пути передачи данных для минимизации количества остановок конвейера.

В состав устройства исполнения входят:

- 32-х битный сумматор, используемый для вычисления адреса данных;
- адресное устройство для вычисления адреса следующей команды;
- логика определения перехода и вычисления адреса перехода;
- блок выравнивания при загрузке данных;
- мультиплексоры обходных путей передачи данных для исключения остановок конвейера в тех случаях, когда команды, производящие данные и команды, использующие эти данные, расположены в программе достаточно близко;
- блок обнаружения Нуля/Единицы для реализации команд CLZ и CLO;
- АЛУ для выполнения побитных операций;
- сдвигающее устройство и устройство выравнивания при сохранении данных.

4.3.2 Устройство умножения/деления (MDU)

Устройство умножения/деления выполняет соответствующие операции. MDU выполняет операции умножения за 1 такт, операции деления за 8 тактов. Попытка активизировать следующую команду умножения/деления до завершения выполнения предыдущей, так же как и использование результата этой операции до того, как она закончена, вызывает

остановку конвейера. В MDU имеется вывод, определяющий формат операции – знаковый или беззнаковый.

4.3.3 Системный управляющий сопроцессор

Сопроцессор отвечает за преобразование виртуального адреса в физический, протоколы кэш, систему управления исключениями, выбор режима функционирования (Kernel/User) и за разрешение/запрещение прерываний. Конфигурационная информация доступна посредством чтения регистров CP0 (см. раздел 2.7 “Регистры CP0”).

4.3.4 Сопроцессор арифметики в формате с плавающей точкой (FPU)

Сопроцессор арифметики в формате с плавающей точкой выполняет операции в соответствии со стандартом ANSI/IEEE Standard 754-1985, “IEEE Standard for Binary Floating-Point Arithmetic.” Поддерживаются операции, как с одинарной, так и с двойной точностью. Сопроцессор выполняет дополнительные операции, не определенные стандартом. Сопроцессор содержит 16 64-разрядных регистра для хранения операндов с одинарной и двойной точностью. Сопроцессор также содержит регистры управления и состояния, которые обеспечивают обработку исключений в соответствии с требованиями стандарта.

4.3.5 Устройство управления памятью (MMU)

Процессорное ядро содержит устройство управления памятью (MMU), реализующее интерфейс между исполнительным блоком и контроллером кэш. Ядро может работать как в режиме TLB – с 16-строчной, полностью ассоциативной матрицей TLB, так и в режиме FM (Fixed Mapped), когда используются простые преобразования виртуального адреса в физический. Полностью устройство MMU описано в главе 3.

4.3.6 Контроллер кэш

В данной версии процессора реализованы кэш команд и кэш данных, виртуально индексируемые и контролируемые по физическому тэгу типа direct mapped, что позволяет осуществлять доступ к кэш параллельно с преобразованием виртуального адреса в физический. Объем каждой кэш составляет 16 Кбайт.

4.3.7 Устройство шинного интерфейса (BIU – Bus Interface Unit)

Устройство шинного интерфейса управляет внешними интерфейсными сигналами в соответствии со спецификацией шины АНВ (Advanced High-performance Bus) архитектуры АМВА (Advanced Microcontroller Bus Architecture).

4.3.8 OnCD контроллер

В ядре имеется устройство для отладки программ OnCD с портом JTAG.

4.4 Конвейер

В RISC-ядре процессора реализован конвейер, состоящий из пяти стадий и аналогичный конвейеру ядра R3000. Конвейер дает возможность процессору работать на высокой частоте, при этом минимизируется сложность устройства, а также уменьшается стоимость и потребление энергии.

В этой главе содержатся следующие разделы:

- раздел 4.4.1, “Стадии работы конвейера”;
- раздел 4.4.2, “Операции умножения и деления”;
- раздел 4.4.3, “Задержка выполнения команд перехода”;
- раздел 4.4.4, “Обходные пути передачи данных (Data bypass)”;
- раздел 4.4.4.1, “Задержка загрузки данных”.

4.4.1 Стадии конвейера

Конвейер содержит пять стадий:

- выборка команды (стадия I- Instruction);
- дешифрация команды (стадия D - Data);
- исполнение команды (стадия E - Execution);
- выборка из памяти (стадия M - Memory);
- обратная запись (стадия W – Write Back).

На Рисунок 4.2 показаны операции, выполняемые RISC-ядром на каждом этапе конвейера.

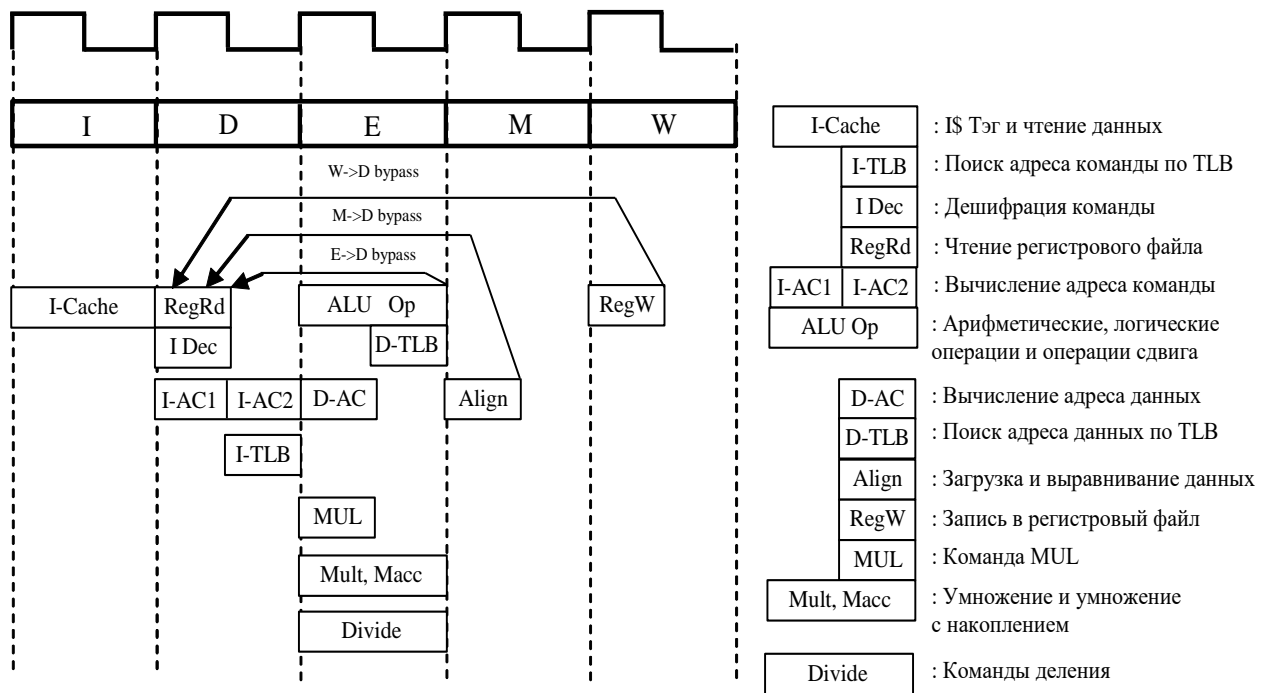


Рисунок 4.2

4.4.1.1 Стадия I: выборка команды

На этой стадии команда выбирается из командного кэша.

4.4.1.2 Стадия D: дешифрация команды

На этой стадии:

1. Операнды выбираются из регистрового файла.
2. Операнды передаются на эту стадию со стадий E, M и W.
3. ALU определяет, выполняется ли условие перехода и вычисляет виртуальный адрес перехода для команд перехода.
4. Осуществляется преобразование виртуального адреса в физический.
5. Производится поиск адреса команды по TLB и вырабатывается признак hit/miss.
6. Командная логика выбирает адрес команды.

4.4.1.3 Стадия E: исполнение

На этой стадии:

- ALU выполняет арифметические или логические операции для команд типа регистр-регистр;
- производится преобразование виртуального адреса в физический для данных, используемых командами загрузки и сохранения;

- производится поиск данных по TLB и вырабатывается признак hit/miss;
- все операции умножения и деления выполняются на этой стадии.

4.4.1.4 Стадия M: выборка из памяти

На этой стадии осуществляется загрузка и выравнивание загруженных данных в границах слова.

4.4.1.5 Стадия W: обратная запись

На этой стадии для команд типа регистр-регистр или для команд загрузки результат записывается обратно в регистровый файл.

4.4.2 Операции деления

Время выполнения операций деления соответствует 11 тактам.

4.4.3 Задержка выполнения команд перехода (Jump, Branch)

Конвейер осуществляет выполнение команд перехода с задержкой в один такт. Однотактная задержка является результатом функционирования логики, ответственной за принятие решения о переходе на стадии D конвейера. Эта задержка позволяет использовать адрес перехода, вычисленный на предыдущей стадии, для доступа к команде на следующей D-стадии. Слот задержки перехода (branch delay slot) позволяет отказаться от остановок конвейера при переходе. Вычисление адреса и проверка условия перехода выполняются одновременно на стадии D. Итоговое значение PC (счетчика команд) используется для выборки очередной команды на стадии I, которая является второй командой после перехода. На Рисунок 4.3 показан слот задержки перехода.

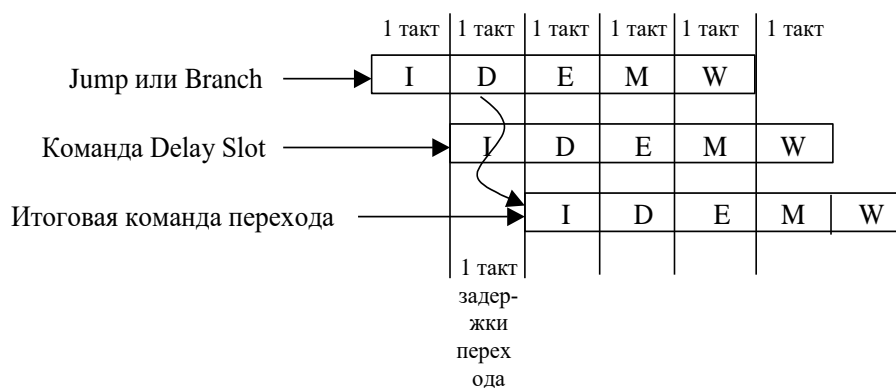


Рисунок 4.3. Слот задержки перехода

4.4.4 Обходные пути передачи данных (Data bypass)

Для большинства команд MIPS32 исходными операндами являются значения, хранящиеся в регистрах общего назначения. Эти операнды выбираются из регистрового файла в первой половине D-стадии. После исполнения на ALU результат, в принципе, готов для использования другими командами. Но запись результата в регистровый файл осуществляется только на стадии W. Это лишает следующую команду возможности использовать результат в течение 3-х циклов, если ее операндом является результат выполнения последней операции, сохраненный в регистровом файле. Для преодоления этой проблемы используются обходные пути передачи данных.

Мультиплексоры обходных путей передачи данных для обоих операндов располагаются между регистровым файлом и ALU (Рисунок 4.4). Они позволяют передавать данные с выхода стадий E, M и W конвейера прямо на стадию D, если один из регистров источника (source) декодируемой команды совпадает с регистром назначения (target) одной из предшествующих команд. Входы мультиплексоров подключены к обходным путям M→D и E→D, а также W→D.

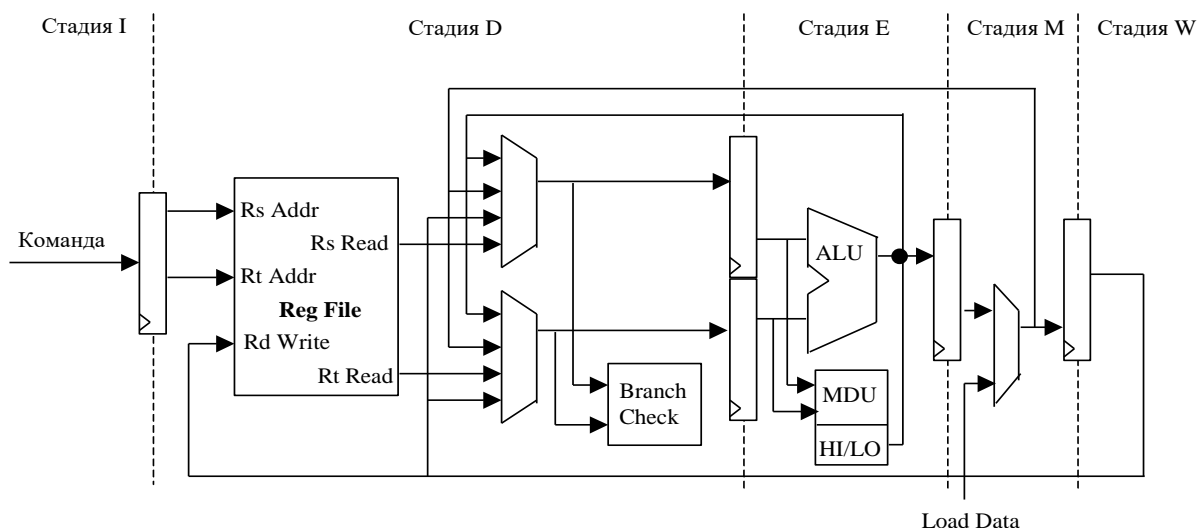


Рисунок 4.4

На Рисунок 4.5 показаны обходные пути передачи данных для команды Add₁, за которой следует команда Sub₂ и затем снова Add₃. Поскольку команда Sub₂ в качестве одного из операндов использует результат операции Add₁, используется обходной путь E→D. Следующая команда Add₃ использует результаты обеих предшествующих операций: Add₁ и Sub₂. Так как данные команды Add₁ в это время находятся на стадии M, используется обходной путь M→D. Кроме того, вновь используется обходной путь E→D для передачи результата операции Sub₂ команде Add₃.

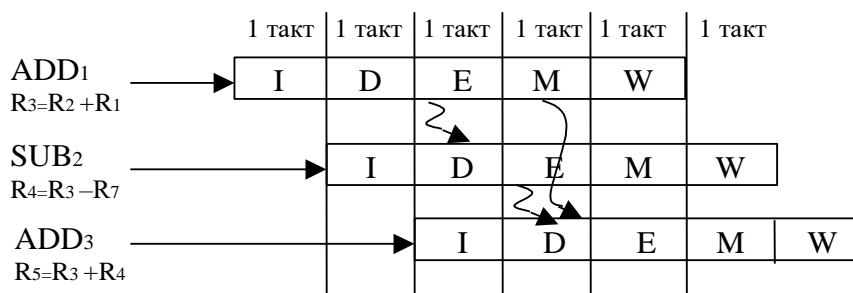


Рисунок 4.5

4.4.4.1 Регистр исключений (FEXR, CP1 Control Register 26)

Регистр исключений (Floating Point Exceptions Register - FEXR регистр) является альтернативным регистром для чтения и записи полей Cause и Flags, которые также хранятся в регистре FCSR. На Рисунок 4.6 представлен формат FEXR регистра, в Таблица 4.1 описаны поля этого регистра.

31	18	17	16	15	14	13	12	11	7	6	5	4	3	2	1	0
0		Cause						0			Flags				0	
		E	V	Z	O	U	I				V	Z	O	U	I	

Рисунок 4.6. Формат регистра FEXR

Таблица 4.1. Описание полей регистра FEXR

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
-	31:18, 11:7, 1:0	Не используются	0	0
Cause	17:12	Биты причины. Эти биты показывают исключительные ситуации, которые возникают во время выполнения FPU арифметических команд. См. описание поля Cause в регистре FCSR в Таблица 4.5.	R/W	Не определено
Flags	6:2	Флаговые биты. Это поле показывает любые исключительные ситуации, вызванные завершившимися командами со времени последнего программного сброса данного поля. См. описание поля Flags в регистре FCSR в .	R/W	Не определено

4.4.5 Задержка загрузки данных

Данные, выбираемые командами загрузки (Load), становятся доступными на конвейере только после выравнивания на стадии M. При этом данные, являющиеся исходными операндами, должны предоставляться командам для обработки уже на стадии D. Поэтому,

если сразу за командой загрузки следует команда, для которой один из регистров исходных операндов совпадает с регистром, в который производится загрузка данных, это вызывает приостановку в работе конвейера на стадии D. Эта приостановка осуществляется аппаратной вставкой команды NOP. Во время этой задержки часть конвейера, которая находится дальше стадии D, продолжает продвигаться. Если же команда, использующая загружаемые данные, следует за командой загрузки не сразу, а через одну или через две, то для обеспечения бесперебойной работы конвейера используется один из обходных путей передачи данных: $M \rightarrow D$ или $W \rightarrow D$ (Рисунок 4.7).

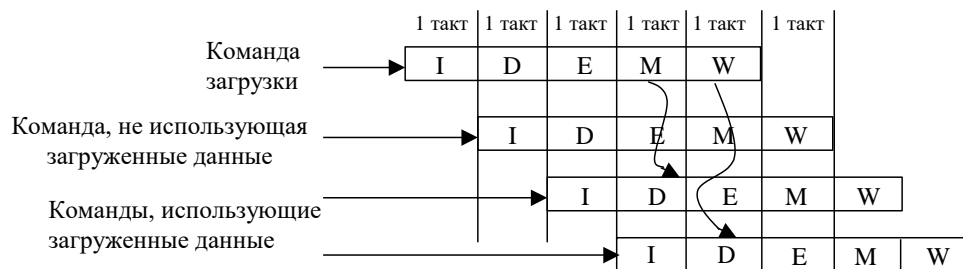


Рисунок 4.7

4.5 Сопроцессор арифметики в формате с плавающей точкой (FPU)

4.5.1 Введение

Сопроцессор арифметики в формате с плавающей точкой выполняет операции в соответствии со стандартом ANSI/IEEE Standard 754-1985, “IEEE Standard for Binary Floating-Point Arithmetic.” Поддерживаются операции, как с одинарной, так и с двойной точностью (single- or double-precision). Сопроцессор выполняет дополнительные операции не определенные стандартом. Сопроцессор содержит 16 64-разрядных регистра для хранения операндов с одинарной и двойной точностью. Сопроцессор также содержит регистры управления и состояния, которые обеспечивают обработку исключений в соответствии с требованиями стандарта.

FPU реализован как сопроцессор CP1.

4.5.2 Регистры FPU

4.5.2.1 Типы регистров

В FPU имеется три типа регистров:

- регистры общего назначения (FGR);
- регистры в формате с плавающей точкой (FPR);
- регистры управления (FCR).

32-разрядные регистры FGR являются прямо адресуемыми. FPU содержит 32 таких регистра.

64-разрядные регистры в формате с плавающей точкой FPR являются логическими и используются для хранения данных в процессе выполнения операций в формате с плавающей точкой. Эти регистры образованы конкатенацией двух соседних регистров FGR. В зависимости от операции, FPR содержит величину с одинарной или двойной точностью.

Регистры управления регистры FCR используются для выбора режима округления, обработки исключений и сохранения состояния.

В Таблица 4.2. приведены регистры управления FPU в порядке возрастания нумерации.

Таблица 4.2. Управляющие регистры FPU

Номер регистра	Название регистра	Функция
0	FIR	Регистр версии и реализации (Implementation and Revision register)
25	FCCR	Регистр кодов условий (Condition Codes register)
26	FEXR	Регистр исключений (Exceptions register)
28	FENR	Регистр разрешения исключений (Enables register)
31	FCSR	Регистр управления и состояния (Control/Status register)

В командах STC1 и CFC1 регистры FCCR, FEXR и FENR получают доступ к соответствующим частям регистра FCSR, т.е. эти регистры являются отражением соответствующих частей регистра FCSR.

Доступ к регистрам управления FPU не является привилегированным. Любая программа, которая выполняет инструкции с плавающей точкой, имеет доступ к регистрам управления FPU. Доступ к ним осуществляется посредством STC1 и CFC1 команд.

4.5.2.2 Регистры общего назначения и регистры в формате с плавающей точкой

32 регистра общего назначения (FGR) являются 32-разрядными и могут непосредственно адресоваться. Они используются в операциях в формате с плавающей точкой и индивидуально доступны по командам move, load и store. Перечень регистров FGR приведен в Таблица 4.3.

Таблица 4.3. Регистры FGR и FPR

Номер регистра FGR	Название регистра FGR	Название регистра FPR
0	FGR0	FPR0 (least)
1	FGR1	FPR0 (most)
2	FGR2	FPR2 (least)
3	FGR3	FPR2 (most)
·	·	·
·	·	·
·	·	·
28	FGR28	FPR28 (least)
29	FGR29	FPR28 (most)
30	FGR30	FPR30 (least)
31	FGR31	FPR30 (most)

Регистры в формате с плавающей точкой (FPR) формируются из регистров FGR, посредством их конкатенации. Для адресации этих регистров используется только четный номер. Нечетный номер является недопустимым. В процессе операций с одинарной точностью используется только младшая часть (least) регистра FPR используется.

4.5.2.3 Форматы величин, хранящихся в регистрах FPR

В отличие от процессора целочисленной арифметики, FPU не интерпретирует двоичную кодировку входных операндов и не производит двоичное кодирование результатов каждой операции. Значение, хранящееся в регистре FPR, имеет определенный формат или тип. Этот формат могут использовать только те команды, которые оперируют с ним (этим форматом). Формат может быть неизвестным (не интерпретируемым) либо одним из существующих числовых форматов: формат с плавающей точкой одинарной или двойной точностью, слово или двойное слово с фиксированной точкой.

Числовая величина в регистре FPR всегда установлена, когда она записана в этот регистр:

- при загрузке регистра FPR по команде load в регистр записываются двоичные данные, формат которых не интерпретируется;
- команды вычисления в формате с плавающей точкой или команды move, формируют в регистре FPR результат формата fmt.

Когда регистр FPR с не интерпретируемым значением используется как входной операнд для команды, которая требует значение в формате fmt и рассматривает двоичное содержимое как значение в формате fmt, значение в регистре FPR изменяется к значению в формате fmt. То есть, двоичное содержимое этого регистра не может рассматриваться в другом формате.

Если регистр FPR содержит значение в формате fmt, то вычислительные команды не должны использовать этот регистр как входной операнд другого формата. Если такое происходит, то значение в регистре становится неизвестным и результат команды также является неизвестным значением. Использование FPR регистра с неизвестным значением в качестве входного операнда команды приводит к результату, значение которого также неизвестно.

Формат величины, находящейся в регистре FPR, не изменяется, когда происходит чтение этого регистра командой store. Команда store выводит двоичную кодировку в соответствии со значением, содержащимся в регистре FPR. Если значение в регистре FPR неизвестно, то закодированное двоичное значение, выведенное операцией, неопределенно.

4.5.2.4 Управляющие регистры

4.5.2.4.1 Регистр реализации (FIR, CP1 Control Register 0)

Регистр реализации (Floating Point Implementation Register - FIR) - это 32-битный регистр доступный только на чтение. Он содержит информацию, которая определяет возможности FPU, идентификацию FPU и номер версии FPU. На Рисунок 4.8 показан формат регистра FIR, а в Таблица 4.4 описаны поля этого регистра.

31	18	17	16	15	8	7	0
0		D	S	Processor ID		Revision	

Рисунок 4.8. Формат FIR регистра

Таблица 4.4. Описание полей регистра FIR

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
-	31:18	Не используется	0	0
D	17	Указывает, реализованы ли тип данных двойной точности (D) и соответствующие инструкции: 0 - не реализованы 1 – реализованы	R	1
S	16	Указывает, реализованы ли тип данных одинарной точности (S) и соответствующие инструкции: 0 – не реализованы 1 - реализованы	R	1
Processor ID	15:8	Идентификация типа процессора вычислений с плавающей точкой (FPU)	R	0000 0000
Revision	7:0	Номер версии FPU. Это поле позволяет программам различать разные версии одного типа FPU.	R	0000 0000

4.5.2.4.2 Регистр управления и состояния (FCSR, CP1 Control Register 31)

Регистр управления и состояния (Floating Point Control and Status Register - FCSR) – это 32-битный регистр, который управляет работой FPU и содержит информацию о состоянии FPU:

- выбор режима округления для арифметических операций;
- выборочное разрешение исключений при возникновении соответствующих условий исключений;
- управление некоторыми опциями обработки денормализованных чисел;
- сообщает о любых IEEE исключениях произошедших во время последней выполненной команды;
- сообщает о IEEE исключениях произошедших в совокупности выполненных команд;
- показывает код условия, который является результатом команд сравнения.

Доступ к регистру *FCSR* не является привилегированным. Любая программа, которая имеет доступ к FPU (если он разрешён в регистре *Status*), может читать из или записывать в регистр *FCSR*. На Рисунок 4.9 представлен формат *FCSR* регистра, в Таблица 4.1 описаны поля этого регистра.

31	25	24	23	22-18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FCC		FS	FCC	0	Cause					Enables					Flags					RM		
7	6	5	4	3	2	1	0				E	V	Z	O	U	I	V	Z	O	U	I	

Рисунок 4.9. Формат регистра FCSR
Таблица 4.5. Описание полей регистра FCSR

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
FCC	31:25, 23	Коды условий. Эти биты содержат результат выполнения FPU команд сравнения и используются в командах условных переходов и в командах условных перемещений данных. Какой FCC бит используется точно определено в команде перехода или перемещения.	R/W	Не определено
FS	24	Сброс в ноль. Когда FS=1, денормализованный результат операции сбрасывается в ноль вместо появления исключения “Нереализованная операция” (Unimplemented Operation).	R/W	Не определено
-	22:18	Не используются	0	0
Cause	17:12	Биты причины. Эти биты показывают условия исключений, которые возникают во время выполнения арифметических команд. Бит устанавливается в 1, если соответствующая исключительная ситуация появилась во время выполнения команды и устанавливается в 0 в противоположном случае. По значениям этих бит можно определить какая исключительная ситуация вызвана выполнением предыдущей арифметической команды. Значение каждого бита данного поля представлено в Таблица 4.6.	R/W	Не определено
Enables	11:7	Биты разрешения соответствующего исключения при возникновении любой из пяти IEEE исключительных ситуаций. Исключение происходит в случае, когда соответствующие бит Cause и бит Enables одновременно установлены либо во время выполнения арифметической операции, либо при перемещении нового значения в регистр FCSR или FEXR и FENR по команде move. Обратите внимание, что бит E в поле Cause не имеет соответствующего бита в поле Enables, так как исключение “Нереализованная Операция” всегда разрешено. Значение каждого бита данного поля представлено в Таблица 4.6.	R/W	Не определено

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
Flags	6:2	<p>Флаговые биты. Это поле показывает любые исключительные ситуации, вызванные завершившимися командами со времени последнего программного сброса данного поля. Когда при арифметической операции возникает исключительная ситуация, которая не приводит к FPU исключению (соответствующий бит в Enables сброшен), то соответствующий бит (биты) устанавливается в поле Flags. В других ситуациях поле Flags остаётся без изменений.</p> <p>Арифметические операции, которые приводят к возникновению FPU исключения (бит в Enables установлен), не изменяют состояния бит в поле Flags.</p> <p>У этого поля нет аппаратного сброса, оно должно явно сбрасываться программой.</p> <p>Значение каждого бита данного поля представлено в Таблица 4.6.</p>	R/W	Не определено
RM	1:0	<p>Режим округления. Обозначает режим округления, который используется большинством операций в формате с плавающей точкой (некоторые операции используют специфический режим округления). Возможные кодировки этого поля представлены в Таблица 4.7.</p>	R/W	Не определено

Поля FCC, FS, Cause, Enables, Flags и RM в регистрах FCSR, FCCR, FEXR и FENR всегда обозначают правильные состояния. Это означает что, если новое значение поля записывается в FCSR регистр, то это новое значение можно прочитать в соответствующем альтернативном регистре FCCR, FEXR или FENR. И наоборот, записав новое значение поля в альтернативный регистр, его можно прочитать в FCSR регистре.

Таблица 4.6. Описание бит в полях Cause, Enables и Flags

Имя бита	Значение бита
E	Нереализованная операция (Unimplemented Operation) Этот бит существует только в поле Cause
V	Недействительная операция (Invalid Operation)
Z	Деление на ноль (Divide by Zero)
O	Переполнение (Overflow)
U	Потеря значимости (Underflow)
I	Неточность (Inexact)

Таблица 4.7. Описание режимов округления

Кодировка поля RM	Описание
0	RN – округление к ближайшему (round to nearest) Округление результата к ближайшему представимому значению. Когда два представимых значения одинаково близки, результат округляется к значению, чей наименее значащий бит равен 0 (чётный)
1	RTZ – округление к нулю (round towards zero) Округление результата к ближайшему значению, величина (модуль) которого не больше величины результата
2	RP – округление к плюс бесконечности (round towards plus infinity) Округление результата к ближайшему значению не меньшему чем сам результат
3	RM – округление к минус бесконечности (round towards minus infinity) Округление результата к ближайшему значению не большему чем сам результат.

4.5.2.4.3 Регистр кодов условий (FCCR, CP1 Control Register 25)

Регистр кодов условий (Floating Point Condition Codes Register - FCCR) является альтернативным регистром для чтения и записи поля кодов условий FCC, которое также хранятся в регистре FCSR. В отличие от FCSR регистра, в регистре FCCR восемь бит поля FCC являются смежными. На Рисунок 4.10 представлен формат *FCSR* регистра, в Таблица 4.8 описаны поля этого регистра.

31	8	7	0						
0000 0000 0000 0000 0000 0000		FCC							
		7	6	5	4	3	2	1	0

Рисунок 4.10. Формат регистра FCCR
Таблица 4.8. Описание полей регистра FCCR

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
-	31:8	Не используются	0	0
FCC	7:0	Коды условий. Эти биты содержат результат выполнения FPU команд сравнения и используются в командах условных переходов и в командах условных перемещений данных. Какой FCC бит используется точно определено в команде перехода или перемещения. См. описание поля FCC в регистре <i>FCSR</i> в Таблица 4.5.	R/W	Не определено

4.5.2.4.4 Регистр разрешения исключений (FENR, CP1 Control Register 28)

Регистр разрешения исключений (Floating Point Enable Register - *FENR регистр*) является альтернативным регистром для чтения и записи полей Enables, FS и RM, которые также хранятся в регистре *FCSR*. На Рисунок 4.11 представлен формат *FENR* регистра, в Таблица 4.9 описаны поля этого регистра.

31	12	11	10	9	8	7	6	3	2	1	0
0000 0000 0000 0000 0000						Enables		0000	FS	RM	
						V	Z	O	U	I	

Рисунок 4.11. Формат регистра FENR
Таблица 4.9. Описание полей регистра FENR

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
0	31:12, 6:3	Не используется	0	0
Enables	11:7	Биты разрешения соответствующего исключения при возникновении любой из пяти IEEE исключительных ситуаций. См. описание поля Enables в регистре FCSR в Таблица 4.5.	R/W	Не определено
FS	2	Сброс в ноль. Когда FS=1, денормализованный результат операции сбрасывается в ноль вместо появления исключения “Нереализованная операция” (Unimplemented Operation). См. описание поля FS в регистре FCSR в .	R/W	Не определено
RM	1:0	Режим округления. Обозначает режим округления, который используется большинством операций с плавающей точкой. См. описание поля RM в регистре FCSR в .	R/W	Не определено

4.5.3 Исключения FPU

4.5.3.1 Формирование исключения

При возникновении исключения команда, вызвавшая его, а также все последующие команды не выполняются и не изменяют содержимого регистров FGR. При необходимости, после обработки исключения выполнение прерванного потока команд может быть возобновлено.

В поле *Cause* содержатся признаки исключений. Оно обновляется при выполнении каждой арифметической операции в формате с плавающей точкой. Признак устанавливается в 1, если возникает соответствующее условие исключения, иначе он устанавливается в 0.

Исключение возникает каждый раз, если одновременно признак поля *Cause* и соответствующий ему бит *Enable* установлены в 1. Это происходит или во время выполнения операции в формате с плавающей точкой или, при передаче данных в регистр FCSR по команде *move*. Бита *Enable* для Unimplemented Operation не существует, то есть исключение по этому условию возникает всегда.

Содержимое поля *Cause* используется в обработчике исключения. Перед выходом из обработчика исключения по операции в формате с плавающей точкой, или перед установкой бит поля *Cause* по команде *move*, необходимо сначала обнулить

соответствующие биты *Enable*, для того, чтобы предотвратить повторное возникновение исключения.

Пользовательским программам не доступны биты поля *Cause*. Если эта информация необходима этим программам, то она должна быть доступна им другими путями, а не через регистр *Status*.

Если операция в формате с плавающей точкой устанавливает только неразрешенные биты поля *Cause*, то исключения не происходит, и записывается результат, определяемый стандартом IEEE (см. Таблица 4.10). Когда операция в формате с плавающей точкой не вызывает исключения, программа может контролировать условия исключения, считывая содержимое поля *Cause*.

Поле *Flag* – совокупная накопленная информация по условиям исключений. Команды, которые вызывают исключения, не обновляют биты поля *Flag*. Биты поля *Flag* устанавливаются в 1, если соответствующее условие исключения возникает, иначе биты остаются без изменения. Бита для условия исключения типа *Unimplemented Operation* в этом поле не предусмотрено. В результате выполнения операции в формате с плавающей точкой биты поля *Flag* никогда не сбрасываются, но могут быть установлены или сброшены (обнулены) при записи данных в регистр *FCSR* по команде *move*.

4.5.3.2 Условие исключений

В этом пункте описаны следующие пять условий исключения, определенных стандартом ANSI/IEEE Standard 754-1985:

- исключение по недопустимой операции (*Invalid Operation Exception*);
- исключение при делении на ноль (*Division By Zero Exception*);
- исключение по ложному переполнению (*Underflow Exception*);
- исключение по переполнению (*Overflow Exception*);
- неточное исключение (*Inexact Exception*).

Этот пункт также содержит описание исключения по нереализованной операции (*unimplemented operation*). Оно используется для сообщения о необходимости программной эмуляции команды. Обычно арифметическая операция IEEE может вызывать только одно условие исключения. Единственный случай, когда два исключения могут происходить в то же самое время, это *Inexact With Overflow* и *Inexact With Underflow*.

Под управлением программы, условие исключения IEEE может вызывать прерывание (*trap*) процессора или не вызывать его. Стандарт IEEE определяет результат операции при возникновении условия исключения для случая, когда прерывание процессора по этому исключению не разрешено. Для этого случая результаты операций приведены в Таблица 4.10. При переполнении результат операции зависит от режима округления.

Таблица 4.10. Результаты операций при исключениях

Бит	Описание	Результат операции
V	Invalid Operation	Quiet NaN
Z	Divide by Zero	Properly signed infinity
U	Underflow	Округленный результат (Rounded result)
I	Inexact	Округленный результат. Если это исключение вызвано переполнением (Overflow) при неразрешенном прерывании, то формируется результат с переполнением.
O	Overflow	Зависит от режима округления: 0 (RN) – infinity со знаком промежуточного результата; 1 (RZ) – format’s infinity со знаком промежуточного результата; 2 (RP) – при положительном переполнении – positive infinity. При отрицательном переполнении - format’s most negative infinity; 3 (RM) - при положительном переполнении – format’s largest finite number. При отрицательном переполнении – minus infinity.

4.5.3.3 Исключение по недопустимой операции

Это исключение возникает, если один или оба операнда недопустим для выполняемой операции.

Недопустимые операции:

- один или оба операнда являются NaN (за исключением не арифметических команд MOV.fmt, MOVT.fmt, MOVF.fmt, MOVN.fmt, и MOVZ. fmt);
- сложение или вычитание: вычитание бесконечных величин, таких как $(+\infty) + (-\infty)$ или $(-\infty) - (-\infty)$;
- умножение: $0 * \infty$, с любыми знаками;
- деление: $0/0$ или ∞ / ∞ , с любыми знаками;
- квадратный корень: операнд меньше чем 0 (-0 является допустимым значением);
- преобразование числа в формате с плавающей запятой к формату с фиксированной запятой, если возникает переполнение, или значение операнда равно infinity или NaN препятствуют точному представлению данных в необходимом формате;
- некоторые операции сравнения, в которых один или оба операнда имеют значение QNaN.

4.5.3.4 Исключение при делении на ноль

Это исключение возникает, если делитель равен нулю, а делимое является конечным числом, отличным от нуля. Результат, когда не возникает прерывания, равен бесконечности. Деление $(0/0)$ и $(\infty/0)$ не приводят к исключению. При делении $(0/0)$ возникает исключение по недопустимой операции. Результат $(\infty/0)$ – бесконечность со знаком.

4.5.3.5 Исключение по ложному переполнению (потеря значимости)

Два связанных события могут повлиять на возникновение ложного переполнения:

- близость результата к нулю (tininess): создание бесконечно малого результата отличного от нуля, находящегося в промежутке между $\pm 2^{E_{\min}}$, который из-за своей малой величины может вызывать впоследствии какое-либо другое исключение, например, как переполнение при делении;
- потеря точности: экстраординарная потеря точности во время аппроксимации таких малых чисел ненормированными числами.

Стандарт IEEE определяет, что «близость результата к нулю» может быть обнаружена в любой из следующих моментов времени:

- после округления, когда не нулевой результат получен из предположения неограниченности диапазона экспоненты и находится строго между $\pm 2^{E_{\min}}$;
- пред округлением, когда не нулевой результат получен из предположения неограниченности, как диапазона экспоненты, так и точности, и находится строго между $\pm 2^{E_{\min}}$.

В FPU близость результата к нулю обнаруживается после округления.

Стандарт IEEE определяет, что потеря точности может быть получена в результате любого из следующих условий:

- нарушение нормализации (denormalization), когда полученный результат отличается от вычисленного без ограничений диапазона экспоненты;
- неточный результат (inexact result), когда полученный результат отличается от вычисленного без ограничений диапазона экспоненты и точности.

В FPU потеря точности формируется, если получен неточный результат.

Если прерывание процессора при ложном переполнении не разрешено, признак U вырабатывается, когда обнаруживается одновременно и близость к нулю и потеря точности. При этом, результат может быть нулевым, ненормализованным или $2^{E_{\min}}$.

Если прерывание процессора при ложном переполнении разрешено, признак U вырабатывается, когда обнаруживается только близость к нулю, вне зависимости от потери точности.

4.5.3.6 Исключение при переполнении

Это исключение возникает, когда величина округленного результата в формате с плавающей запятой (где диапазон экспоненты не ограничен) больше, чем наибольшее конечное число результирующего формата (destination format's largest finite number).

Если прерывание процессора при переполнении не разрешено, результат определяется режимом округления и знаком промежуточного результата.

4.5.3.7 Неточное исключение

Неточное исключение возникает, если:

- округленный результат операции не является точным;
- округленный результат операции вызывает переполнение, а прерывание по переполнению не разрешено.

4.5.3.8 Исключение по нереализованной операции

Это исключения не регламентировано стандартом IEEE. Операции, которые не полностью поддерживаются аппаратурой, вызывают исключение, для того, чтобы программное обеспечение могло выполнить соответствующую операцию.

Для этого условия исключения не предусмотрено разрешающего бита, то есть прерывание процессора возникает всегда. После того, как соответствующее эмулирование будет выполнено, прерванная программа возобновляется.

4.5.4 Время выполнения команд FPU

Время выполнения команд в формате с плавающей точкой приведено в Таблица 4.11.

Таблица 4.11. Время выполнения команд FPU

Команда	Время выполнения, такты
BC1F, BC1T, FLOOR, ROUND, TRUNC	1
CFCL, CTC1, MFC1, MOVF	1
CVT.S, CVT.D, CEIL	1
ABS, ADD, SUB, MULL, NEG	2
SQRT.S/SQRT.D	6/16
DIV.S/DIV.D	5/8

4.6 Устройство управления памятью (MMU)

4.6.1 Введение

Процессорное ядро содержит устройство управления памятью (MMU), реализующее интерфейс между устройством исполнения и контроллером кэш. MMU преобразует виртуальный адрес в физический прежде, чем посылает запрос контроллеру кэш для сравнения тэга или блоку шинного интерфейса для доступа к внешнему запоминающему устройству. Это преобразование является очень полезным свойством функционирования операционных систем при управлении физической памятью таким образом, чтобы в ней размещались несколько процессов, активных в одной и той же области памяти, и может

быть даже на одном виртуальном адресе, но обязательно в различных областях физической памяти. Другие свойства MMU - защита зон памяти и определение протокола кэш.

MMU может выполнять преобразование адресов в двух режимах: в режиме TLB и в режиме FM. Режим преобразования определяется битом FM регистра CSR.

В режиме TLB используется полностью ассоциативная таблица преобразования адресов (TLB), имеющая 16 парных строк (entries). Во время преобразования осуществляется поиск соответствия по TLB. Если искомая строка отсутствует, генерируется прерывание.

В режиме FM (Fixed Mapped) работа MMU основана на простом алгоритме, обеспечивающем преобразование виртуального адреса в физический посредством механизма фиксированного отображения. Правила преобразования отличаются для различных областей виртуального адресного пространства (useg/kuseg, kseg0, kseg1, kseg2, kseg3).

На Рисунок 4.12 показано, взаимодействие MMU с процедурой доступа к кэш в режиме TLB, а на Рисунок 4.13 – в режиме FM.

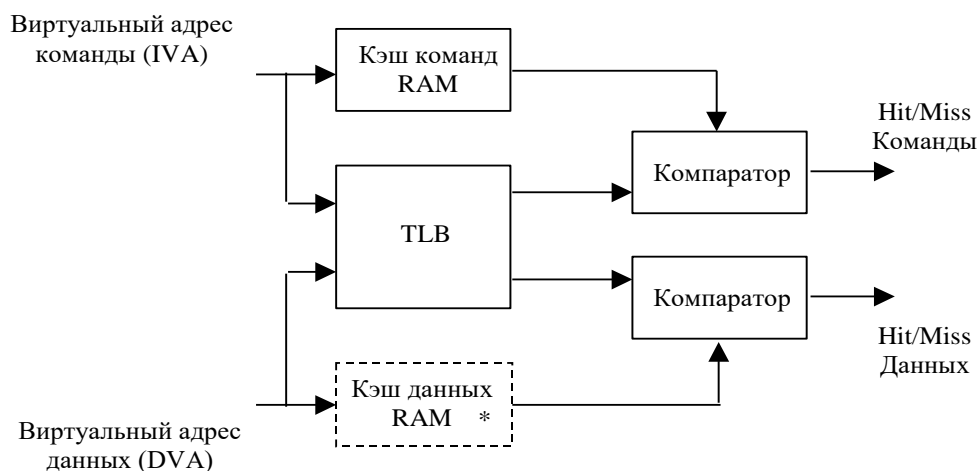


Рисунок 4.12

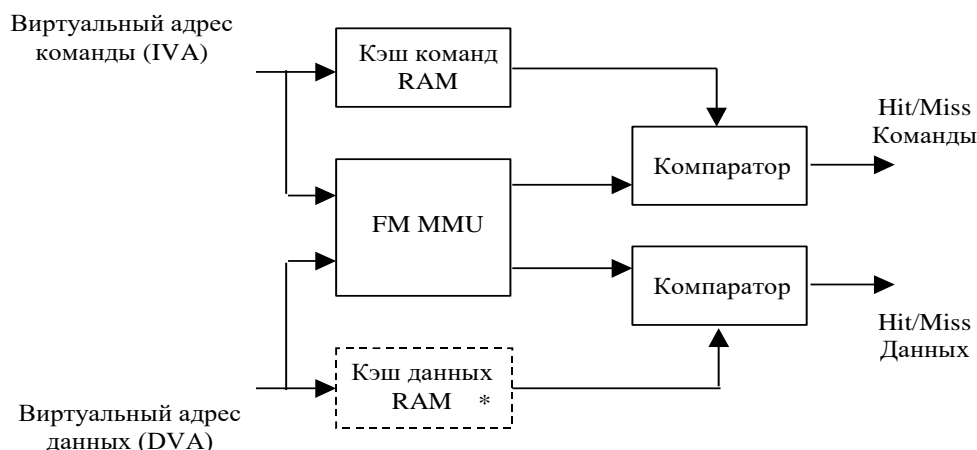


Рисунок 4.13

4.6.2 Режимы работы

Процессорное ядро поддерживает два режима работы:

- режим User (непривилегированный режим);
- режим Kernel (привилегированный режим).

Режим User в основном используется для прикладных программ. Режим Kernel обычно используется для обработки исключительных ситуаций и привилегированных функций операционной системы, включая управление сопроцессором CP0 и доступ к устройствам ввода-вывода.

Преобразования, выполняемые MMU, зависят от режима работы процессора.

4.6.2.1 Виртуальные сегменты памяти

Виртуальные сегменты памяти, на которые делится адресное пространство, различаются в зависимости от режима работы процессора. На Рисунок 4.14 показана сегментация для 4 Гбайт (2^{32} байт) виртуального адресного пространства, адресуемого 32-разрядным виртуальным адресом для обоих режимов работы.

Ядро входит в режим Kernel после аппаратного сброса или когда происходит исключение. В режиме Kernel программное обеспечение имеет доступ к полному адресному пространству и ко всем регистрам CP0. В режиме User доступ ограничен подмножеством виртуального адресного пространства (0x0000_0000 - 0x7FFF_FFFF) и запрещен доступ к функциям CP0. В режиме User недоступны виртуальные адреса 0x8000_0000 - 0xFFFF_FFFF и обращение к ним вызывает исключение.

0xFFFF_FFFF			kseg3
0xE000_0000			
0xDFFF_FFFF			kseg2
0xC000_0000			
0xBFFF_FFFF			kseg1
0xA000_0000			
0x9FFF_FFFF			kseg0
0x8000_0000			
0x7FFF_FFFF			
	useg		kuseg
0x0000_0000			

Рисунок 4.14. Карта виртуальной памяти для режимов User и Kernel

Каждый из сегментов, показанных на Рисунок 4.14, является либо отображаемым (mapped), либо неотображаемым (unmapped). Различие объясняется в следующих двух разделах.

4.6.2.1.1 Неотображаемые сегменты

В неотображаемом сегменте механизмы TLB или FM для преобразования виртуального адреса в физический адрес не используются. Особенно важно иметь неотображаемые сегменты памяти после аппаратного сброса, потому что TLB еще не запрограммировано и не может осуществлять преобразования.

Для неотображаемых сегментов преобразование виртуального адреса в физический является фиксированным.

Все неотображаемые сегменты, за исключением kseg0, никогда не кэшируемы. Кэшируемость kseg0 определяется полем K0 регистра Config CP0.

4.6.2.1.2 Отображаемые сегменты

В отображаемом сегменте для преобразования виртуального адреса в физический адрес используются TLB или FM.

В режиме TLB преобразование отображаемых сегментов имеет постраничную основу. При преобразовании выявляется информация о кэшируемости страницы, а также атрибуты защиты, относящиеся к странице.

Для режима FM отображаемые сегменты имеют закрепленное преобразование виртуального адреса в физический. Кэшируемость сегмента определяется значениями полей K23 и KU регистра Config CP0. При FM-преобразовании невозможна защита сегментов от записи.

4.6.2.2 Режим User

В режиме User доступно однородное виртуальное адресное пространство размером 2 Гбайт (2^{31} байт), называемое сегментом пользователя.

На Рисунок 4.15 показано размещение виртуального адресного пространства режима User.

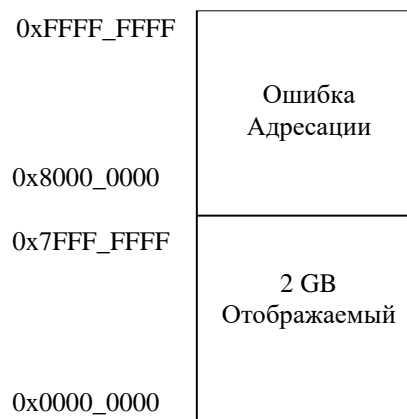


Рисунок 4.15

Сегмент потребителя начинается с адреса 0x0000_0000 и заканчивается адресом 0x7FFF_FFFF. Обращения по всем остальным адресам вызывают прерывания по ошибке адресации.

Процессор находится в режиме User, если в регистре Status CP0 установлены следующие значения разрядов:

- UM = 1;
- EXL = 0;
- ERL = 0.

В Таблица 4.12 приводятся характеристики сегмента useg режима User.

Таблица 4.12

Адрес	Регистр Состояния			Имя сегмента	Диапазон адресов	Размер сегмента
	EXL	ERL	UM			
					0x0000_0000	2GB

A(31)=0	0	0	1	useg	→ 0x7FFF_FFFF	(2 ³¹ байт)
---------	---	---	---	------	------------------	------------------------

Для всех допустимых виртуальных адресов режима User старший значащий бит адреса равен нулю, поскольку в режиме User допустимо обращение только к нижней половине карты виртуальной памяти. Любая попытка обращения по адресу со старшим битом, равным 1, в режиме User вызывает прерывание по ошибке адресации.

В режиме TLB виртуальный адрес перед преобразованием расширяется содержимым 8-разрядного поля ASID, образуя уникальный виртуальный адрес. Кэшируемость ссылки для страницы в этом режиме определяется установкой определенных бит строки TLB.

В режиме FM, область виртуальных адресов 0x0000_0000-0x7FFF_FFFF преобразуется в область физических адресов 0x4000_0000-0xBFFF_FFFF. Кэшируемость задается полем KU регистра Config CP0.

4.6.2.3 Режим Kernel

Процессор находится в режиме Kernel, когда регистр Status CP0 содержит хотя бы одно из следующих значений:

- UM = 0;
- ERL = 1;
- EXL = 1.

Когда обнаруживается исключение, биты EXL или ERL устанавливаются, и процессор входит в режим Kernel. При завершении процедуры обработки исключения обычно выполняется команда возвращения из исключения (ERET). Команда ERET осуществляет переход по PC исключения, очищает ERL и EXL (если ERL=0). В результате возможен возврат процессора в режим User.

Виртуальное адресное пространство режима Kernel разделено на области в соответствии со значением старших битов виртуального адреса, как показано на Рисунок 4.16. Кроме того, в Таблица 4.13 содержатся характеристики сегментов режима Kernel.

0xFFFF_FFFF	Kernel virtual address space Mapped , 512 MB	kseg3
0xE000_0000		
0xDFFF_FFFF	Kernel virtual address space Mapped, 512 MB	kseg2
0xC000_0000		
0xBFFF_FFFF	Kernel virtual address space Unmapped, Uncached, 512 MB	kseg1
0xA000_0000		
0x9FFF_FFFF	Kernel virtual address space Unmapped, 512 MB	kseg0
0x8000_0000		
0x7FFF_FFFF	Mapped, 2048 MB	kuseg
0x0000_0000		

Рисунок 4.16

Таблица 4.13

Адрес	Регистр Состояния			Имя сегмента	Диапазон адресов	Размер сегмента
	EXL	ERL	UM			
A(31)=0	UM = 0			kuseg	0x0000_0000 → 0x7FFF_FFFF	2 GB (2 ³¹)
A(31:29)=100 ₂	или EXL=1			kseg0	0x8000_0000 → 0x9FFF_FFFF	512 MB (2 ²⁹)
A(31:29)=101 ₂	или ERL=1			kseg1	0xA000_0000 → 0xBFFF_FFFF	512 MB (2 ²⁹)
A(31:29)=110 ₂				kseg2	0xC000_0000 → 0xDFFF_FFFF	512 MB (2 ²⁹)
A(31:29)=111 ₂				kseg3	0xE000_0000 → 0xFFFF_FFFF	512 MB (2 ²⁹)

4.6.2.3.1 Режим Kernel, пространство пользователя (kuseg)

Если старший значащий бит виртуального адреса $A[31]=0$, то выбирается виртуальное адресное пространство $kuseg$ объемом 2 Гбайт, отображенное на адреса $0x0000_0000 - 0x7FFF_FFFF$.

При $ERL=0$ в режиме TLB виртуальный адрес расширяется 8-битным значением поля ASID для образования уникального виртуального адреса. Кэшируемость определяется полем C строки TLB.

При $ERL=0$ в режиме FM, область виртуальных адресов $0x0000_0000-0x7FFF_FFFF$ преобразуется в область физических адресов $0x4000_0000-0xBFFF_FFFF$. Кэшируемость задается полем KU регистра Config CP0.

При $ERL = 1$ в режимах TLB и FM, область адресов пользователя становится неотображаемым и некэшируемым адресным пространством. Виртуальный адрес $kuseg$ соответствует тому же физическому адресу и не включает поле ASID. То есть, область виртуальных адресов $kuseg$ соответствует области физических адресов $0x0000_0000-0x7FFF_FFFF$.

4.6.2.3.2 Режим Kernel, пространство 0 режима Kernel (kseg0)

Если в режиме Kernel три старших бита виртуального адреса равны 100_2 , выбирается виртуальное адресное пространство $kseg0$. Это область размером 2^{29} байт (512 MB), которая расположена внутри границ, определяемых адресами $0x8000_0000$ и $0x9FFF_FFFF$.

Вне зависимости от состояния бита ERL и режима работы ссылки к $kseg0$ не отображаются, а физический адрес получается вычитанием $0x8000_0000$ из виртуального адреса. Кэшируемость сегмента $kseg0$ определяется значением поля K0 регистра Config CP0.

4.6.2.3.3 Режим Kernel, пространство 1 режима Kernel (kseg1)

Если в режиме Kernel три старших бита виртуального адреса равны 101_2 , выбирается виртуальное адресное пространство $kseg1$. Это область размером 2^{29} байт (512 MB), которая расположена внутри границ, определяемых адресами $0xA000_0000$ и $0xBFFF_FFFF$.

Вне зависимости от состояния бита ERL и режима работы ссылки к $kseg1$ не отображаются, а физический адрес получается вычитанием $0xA000_0000$ из виртуального адреса.

4.6.2.3.4 Режим Kernel, пространство 2 режима Kernel (kseg2)

Если в режиме Kernel три старших бита виртуального адреса равны 110_2 , выбирается виртуальное адресное пространство kseg2.

В режиме TLB вне зависимости от состояния бита ERL это виртуальное пространство отображается через TLB и его кэшируемость определяется полем C строки TLB.

В режиме FM вне зависимости от состояния бита ERL это виртуальное пространство зафиксировано в физических адресах $0xC000_0000 - 0xDFFF_FFFF$ и его кэшируемость определяется полем K23 Регистра Config CP0.

4.6.2.3.5 Режим Kernel, пространство 3 режима Kernel (kseg3)

Если в режиме Kernel три старших бита виртуального адреса равны 111_2 , выбирается 32-разрядное виртуальное адресное пространство kseg3.

В режиме TLB вне зависимости от состояния бита ERL это пространство отображается через TLB и его кэшируемость определяется полем C строки TLB.

В режиме FM вне зависимости от состояния бита ERL это виртуальное пространство зафиксировано в физических адресах $0xE000_0000 - 0xFFFF_FFFF$ и его кэшируемость определяется полем K23 регистра Config.

4.6.3 Буфер быстрого преобразования адреса (TLB)

В этой главе описывается управление памятью с помощью буфера быстрого преобразования адреса (TLB), которое осуществляется в режиме TLB.

В режиме TLB реализуется полностью ассоциативный буфер быстрого преобразования адреса (TLB), содержащий 16 двойных строк, позволяющих отображать 32 виртуальных страницы в соответствующие физические адреса. TLB организовано в виде 16 парных строк – четных и нечетных, содержащих страницы размером от 4 Кбайт до 16 Мбайт, которые хранятся в 4 Гбайтном физическом адресном пространстве. Задача TLB состоит в преобразовании виртуальных адресов и их соответствующего идентификатора адресного пространства (ASID) в физический адрес памяти. Преобразование выполняется путем сравнения старших разрядов виртуального адреса (вместе с битами поля ASID) с каждой из строк тэговой порции TLB и иначе называется поиском соответствия по TLB (поиском соответствия тэга одной из строк виртуальному адресу на входе TLB).

Буфер TLB организован в виде страничных пар для минимизации общего количества хранящейся информации. Каждая строка тэговой порции соответствует двум физическим строкам данных – строке четных страниц и строке нечетных страниц. Самый старший

разряд виртуального адреса, не участвующий в сравнении тэгов, определяет, какая строка из двух строк данных используется. Поскольку размер страницы может варьироваться для каждой пары страниц, определение адресных разрядов, участвующих в сравнении и разряда, задающего четность страницы, должно осуществляться динамически при поиске по TLB.

На Рисунок 4.17 показано содержание одной из 16 двойных строк TLB.

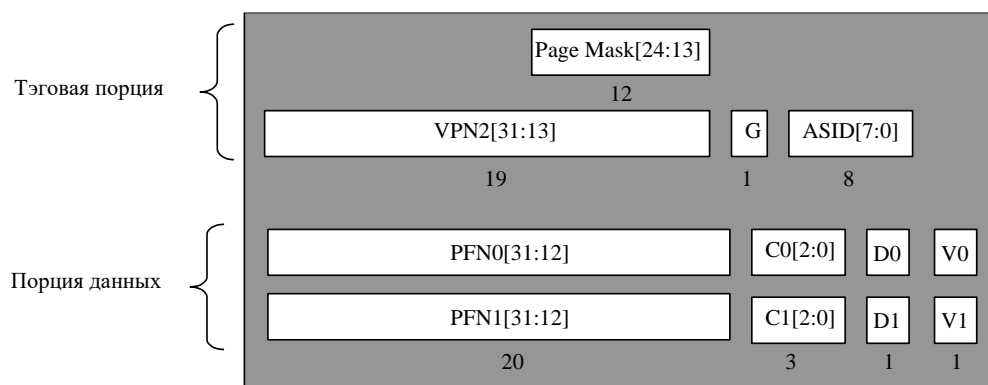


Рисунок 4.17

Описание полей строки TLB приведены в Таблица 4.14.

Таблица 4.14

Название поля	Описание																								
Page Mask[24:13]	Значение маски размера страницы. Определяет размер страницы маскировкой соответствующих разрядов VPN2, и тем самым исключением их из рассмотрения. Также используется для задания адресного разряда, определяющего четность страницы (PFN0-PFN1). См. следующую таблицу:																								
	<table border="1"> <thead> <tr> <th>Page Mask[11 0]</th> <th>Размер страницы</th> <th>Бит определения четности</th> </tr> </thead> <tbody> <tr> <td>0_0000 0</td> <td>4 Кб</td> <td>VAddr[12]</td> </tr> <tr> <td>000 _000 001</td> <td>16 Кб</td> <td>VAddr[14]</td> </tr> <tr> <td>00 _0000_ 11 1</td> <td>64 Кб</td> <td>VAddr[16]</td> </tr> <tr> <td>0000_0011_1111</td> <td>256 Кб</td> <td>VAddr[18]</td> </tr> <tr> <td>0000_1111 1111</td> <td>1 Мб</td> <td>VAddr[0]</td> </tr> <tr> <td>0011_111 _1111</td> <td>4 Мб</td> <td>VAddr[22]</td> </tr> <tr> <td>1111_1111_ 111</td> <td>16 Мб</td> <td>VAddr[24]</td> </tr> </tbody> </table>	Page Mask[11 0]	Размер страницы	Бит определения четности	0_0000 0	4 Кб	VAddr[12]	000 _000 001	16 Кб	VAddr[14]	00 _0000_ 11 1	64 Кб	VAddr[16]	0000_0011_1111	256 Кб	VAddr[18]	0000_1111 1111	1 Мб	VAddr[0]	0011_111 _1111	4 Мб	VAddr[22]	1111_1111_ 111	16 Мб	VAddr[24]
	Page Mask[11 0]	Размер страницы	Бит определения четности																						
	0_0000 0	4 Кб	VAddr[12]																						
	000 _000 001	16 Кб	VAddr[14]																						
	00 _0000_ 11 1	64 Кб	VAddr[16]																						
	0000_0011_1111	256 Кб	VAddr[18]																						
	0000_1111 1111	1 Мб	VAddr[0]																						
	0011_111 _1111	4 Мб	VAddr[22]																						
1111_1111_ 111	16 Мб	VAddr[24]																							
В столбце Page Mask приведены все возможные значения Page Mask. Поскольку каждая пара битов этого поля всегда имеет одинаковое значение, физическая строка в TLB содержит сокращенную версию Page Mask, содержащую только 6 бит. Однако для программы это значение всегда преобразуется в 12-битное.																									
Следует иметь в виду, что при кэшируемых ссылках, страницы размером 4 Кбайт использовать нельзя.																									

Название поля	Описание																		
VPN2[31:13]	Виртуальный номер страницы без младшего разряда. Данное поле содержит старшие разряды виртуального номера страницы. Виртуальный номер соответствует двум страницам TLB. Конкретная страница TLB выбирается младшим разрядом виртуального адреса страницы. Разряды 31:25 всегда участвуют в сравнении. Участие в сравнении разрядов 24:13 зависит от размера страницы, задаваемого полем Page Mask.																		
G	Бит глобальности. Если он установлен, данная строка является глобальной для всех процессов и подпроцессов, и таким образом, поле ASID исключается из рассмотрения.																		
ASID[7:0]	Идентификатор адресного пространства. Определяет процесс или подпроцесс, с которым ассоциируется данная строка TLB.																		
PFN0[31:12], PFN1[31:12]	Физический номер кадра. Задаёт старшие разряды физического адреса. Для страниц размером более 4 Кбайт используется подмножество этого поля.																		
C0[2:0], C1[2:0]	Кэшируемость. Содержит закодированное значение атрибута кэшируемости и определяет должна ли страница помещаться в кэш или нет. Поле кодируется следующим образом: <table border="1" data-bbox="523 801 1157 1093"> <thead> <tr> <th>C[2:0]</th> <th>Атрибуты кэшируемости</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>00</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>01</td> <td>Некэшируемая страница</td> </tr> <tr> <td>0 1</td> <td>Кэшируемая страница</td> </tr> <tr> <td>100</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>101</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>110</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>111</td> <td>При записи преобразуется в код 010</td> </tr> </tbody> </table>	C[2:0]	Атрибуты кэшируемости	000	При записи преобразуется в код 011	00	При записи преобразуется в код 011	01	Некэшируемая страница	0 1	Кэшируемая страница	100	При записи преобразуется в код 011	101	При записи преобразуется в код 011	110	При записи преобразуется в код 011	111	При записи преобразуется в код 010
C[2:0]	Атрибуты кэшируемости																		
000	При записи преобразуется в код 011																		
00	При записи преобразуется в код 011																		
01	Некэшируемая страница																		
0 1	Кэшируемая страница																		
100	При записи преобразуется в код 011																		
101	При записи преобразуется в код 011																		
110	При записи преобразуется в код 011																		
111	При записи преобразуется в код 010																		
D0, D1	“Dirty” (Грязная страница) – бит разрешения записи. Показывает, что в страницу была сделана запись и/или разрешена запись в данную страницу. Если этот бит установлен, разрешены операции сохранения в данной странице. Если не установлен, сохранения в данной странице будут вызывать исключения модификации.																		
V0, V1	Бит валидности. Показывает, что данная строка TLB и, соответственно, отображение виртуальной страницы, действительны. Если этот бит установлен, то обращения к данной странице разрешены. Если не установлен, то обращения к странице будут вызывать исключения инвалидности TLB (TLB invalid).																		

Для заполнения строки TLB используются команды TLBWI и TLBWR (см. документ “Процессорное ядро RISCore32. Система команд”). Перед запуском этих команд нужно обновить некоторые регистры CP0, записав в них значения, которые будут затем помещены в строку TLB.

- значение Page Mask задается в регистре Page Mask CP0;
- значения VPN2 и ASID задаются в регистре EntryHi CP0;
- значения PFN0, C0, D0, V0 и G задаются в регистре EntryLo0 CP0;
- значения PFN1, C1, D1, V1 и G задаются в регистре EntryLo1 CP0.

Биты глобальности G входят в оба регистра EntryLo0 и EntryLo1. Бит G строки TLB является результатом логической операции И, проведенной над битами глобальности из EntryLo0 и EntryLo1. Более подробно эти регистры описаны в 2.7 “Регистры CP0”.

Наличие идентификатора адресного пространства (ASID) дает возможность уменьшить частоту попаданий при поисках по TLB на контекстной основе. Это определяет возможность одновременного существования нескольких процессов как в TLB, так и в кэш команд. Значение ASID хранится в регистре EntryHi и сравнивается со значением ASID каждой строки.

4.6.4 Преобразование виртуального адреса в физический в режиме TLB

Преобразование виртуального адреса в физический начинается со сравнения полученного виртуального адреса с виртуальными адресами, хранящимися в TLB. Соответствие имеет место, если виртуальный номер страницы (VPN) адреса совпадает с полем VPN строки TLB с учетом маски, хранящейся в этой строке, а также выполняется одно из двух условий:

- установлен бит глобальности (G) для четных и нечетных страниц в строке TLB;
- поле ASID виртуального адреса совпадает с полем ASID строки TLB.

Это соответствие называется попаданием TLB. Если не имеется ни одного соответствия, возникает исключение промаха TLB и программному обеспечению дается возможность пополнить TLB из расположенной в памяти таблицы страниц виртуальных /физических адресов. На Рисунок 4.18 показана логика преобразования виртуального адреса в физический.

На этом рисунке виртуальный адрес расширяется 8-разрядным идентификатором адресного пространства (ASID), который уменьшает частоту попаданий при просмотрах TLB на контекстной основе. Это 8-разрядное поле ASID содержит номер, присвоенный процессу, и хранится в регистре EntryHi CP0.

1. Виртуальный адрес (VA), представленный виртуальным номером страницы (VPN), сравнивается с тэгом из строки TLB (VPN2) с учетом маски (PageMask).
2. Если имеется соответствие, номер страничного кадра (PFN0 или PFN1, в зависимости от значения бита четности – самого старшего бита, не участвующего в сравнении) извлекается и помещается в старшие разряды физического адреса (PA)
3. В младшие разряды физического адреса помещается смещение (Offset), не участвующее в сравнении.

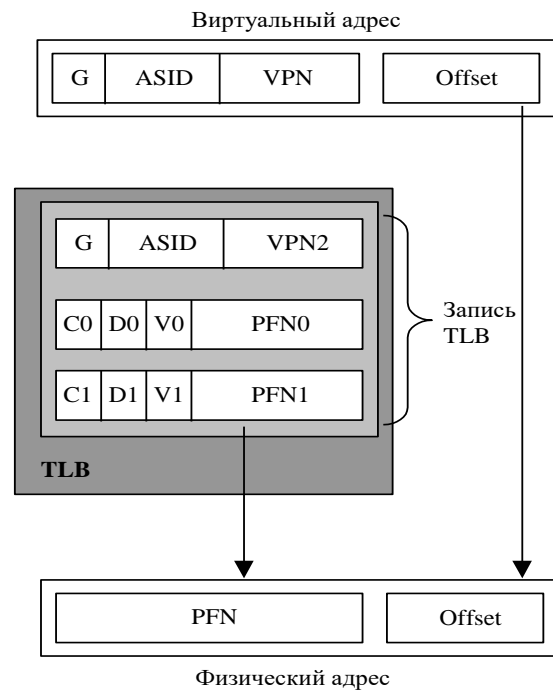


Рисунок 4.18

Когда происходит совпадение виртуальных адресов при поиске по TLB, физический номер кадра (PFN) извлекается из соответствующей физической порции строки TLB и дополняется смещением, взятым из виртуального адреса, формируя, таким образом, физический адрес. Смещение представляет собой адрес в пределах пространства страничного кадра. Как показано на рисунке, смещение не пропускается через TLB.

На Рисунок 4.19 показана блок-схема процесса преобразования адреса. В верхней части рисунка показан виртуальный адрес для страницы размером 4 Кбайт. Ширина поля смещения определяется размером страницы.

В нижней части рисунка показан виртуальный адрес для страницы размером 16 Мбайт.

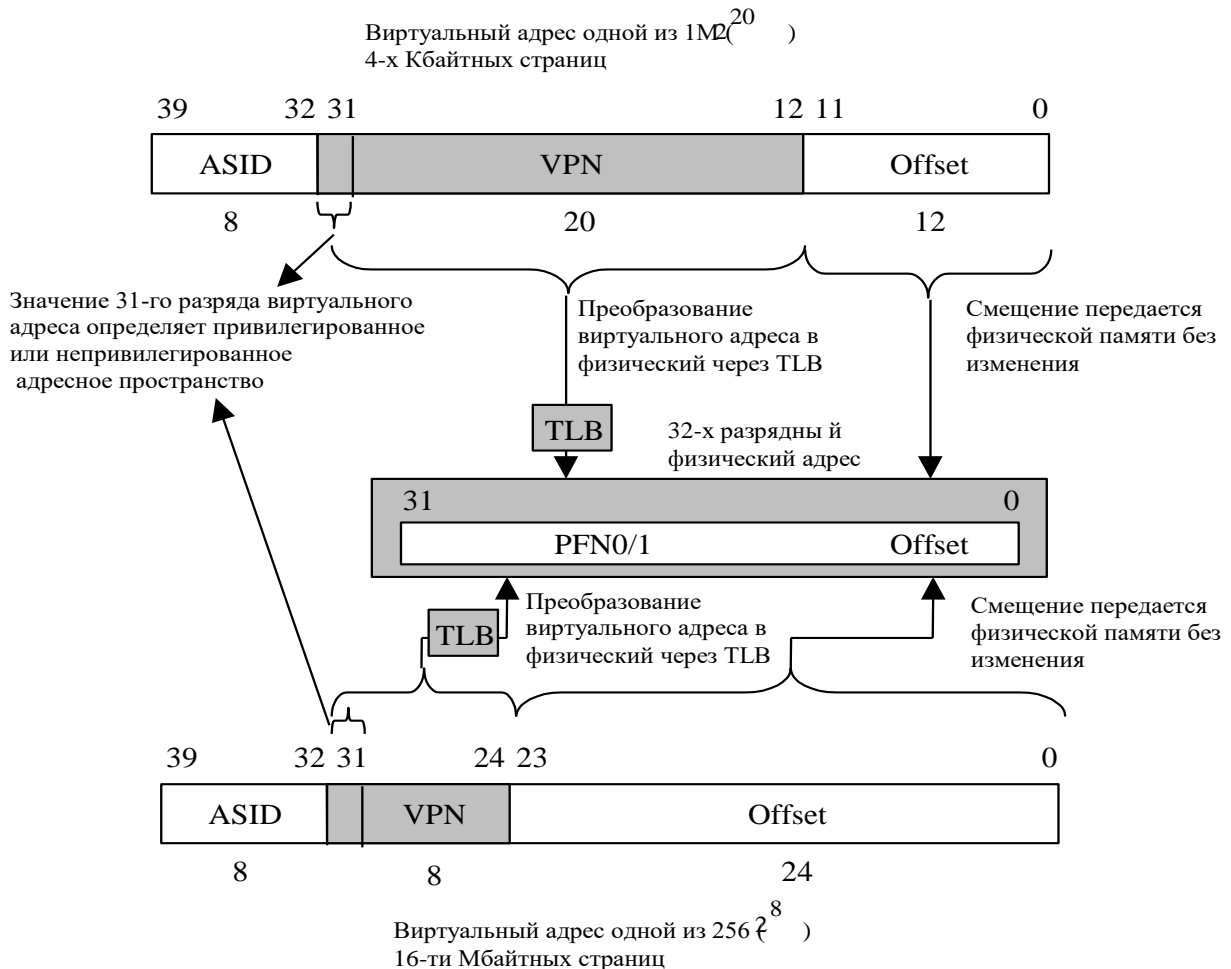


Рисунок 4.19

4.6.4.1 Попадания (hits), промахи (misses), и множественные попадания (multiple matches)

Каждая строка TLB содержит тэг и два поля данных. Если найдено соответствие, старшие разряды виртуального адреса заменяются физическим номером кадра (PFN), хранящимся в соответствующей строке массива данных TLB. Способ разбиения памяти при отображении определяется в терминах TLB-страниц. TLB поддерживает страницы различных размеров в пределах от 4 КБ до 16 МБ с шагом по степеням 4. Если соответствие найдено, но строка является недействительной или запрещенной (т.е., бит V в поле данных равен 0), выработывается исключение TLB Invalid.

Если соответствие не найдено, возникает исключение TLB Refill, и программное обеспечение пополняет TLB из таблицы страниц, находящейся в памяти. На Рисунок 4.20 показан алгоритм преобразования и условия возникновения исключений TLB.

Программное обеспечение может делать записи в конкретные строки TLB или использовать аппаратный механизм записи в случайно выбранные строки. Регистр Random определяет, в какую строку будет сделана запись командой TLBWR. Этот регистр

декрементируется на каждом такте продвижения конвейера, возвращаясь к максимальному значению после достижения величины, равной значению регистра Wired. Таким образом, строки TLB, чей номер меньше значения регистра Wired, не затрагиваются командой TLBWR, что позволяет зарезервировать TLB-отображения первостепенной важности.

В режиме TLB также реализован механизм сравнения при записи с целью предотвращения возникновения нескольких соответствий (множественных попаданий). Работает он следующим образом. При выполнении операции записи в TLB, поле VPN2 сравнивается с одноименными полями всех строк TLB. Если будет найдено соответствие, возникнет аппаратно обрабатываемое исключение, которое установит бит TS регистра Status CP0 и прервет эту операцию. Подробно исключения описаны в п. 4.7. В каждой строке TLB имеется скрытый бит, обнуляемый при аппаратном сбросе. Устанавливается этот бит при записи в данную строку, разрешая просмотр этой строки при поисках соответствий. Поэтому непроинициализированные строки не вызывают неадекватные преобразования адресов.

Замечание: этот скрытый бит инициализации приводит все строки TLB к инвалидному состоянию после аппаратного сброса, что делает ненужной процедуру очистки (flush) TLB. Но для совместимости с другими MIPS – процессорами рекомендуется заполнять значения тэгов уникальными величинами и обнулять бит валидности (V).

Очистить строку TLB (вывести ее из рассмотрения при поиске) можно, записав в нее значение с неотображаемым через TLB адресом.

Смена размера маски или других переменных строки TLB не приводит к исключению, если она не вводит в противоречие данной строки с другими строками. Например, увеличение размера страницы расширением маски в одной строке TLB может привести к перекрытию данной страницы с другими страницами TLB.

4.6.4.2 Размеры страниц и алгоритм замещения

Для управления общим количеством отображаемого адресного пространства и характеристиками замещения в различных областях памяти ядро обеспечивает два механизма. Первый заключается в том, что размер страницы может быть задан относительно каждой строки TLB, что позволяет отображать страницы размером от 4 Кбайт до 16 Мбайт (по степеням 4). В регистр Page Mask CP0 загружается требуемый размер страницы, который при выполнении операции записи попадает в очередную строку TLB. Таким образом, операционная система может задавать отображения особых назначений. Например, характерный кадровый буфер (frame buffer) может быть отображен на память всего одной строкой TLB.

Второй механизм управляет замещением, когда возникает промах при просмотре TLB. Для выбора строки TLB, в которую будет записано новое отображение, в процессорном ядре предусмотрен алгоритм случайного замещения. Но существует также способ программно предотвратить случайное замещение зарезервированных отображений, количество которых определяется значением регистра Wired CP0. (см. также п. 4.9.3.6).

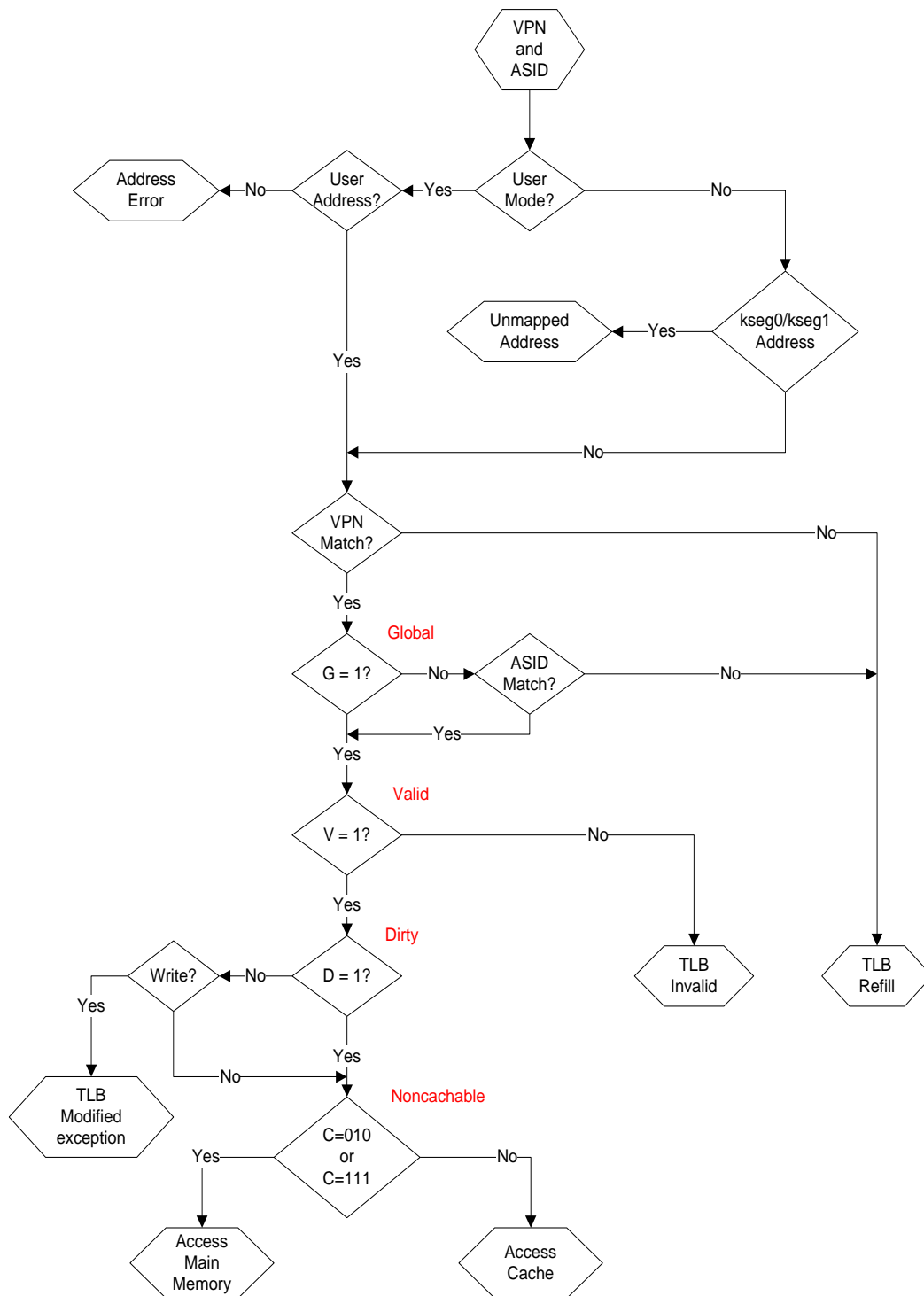


Рисунок 4.20. Алгоритм преобразования адреса через TLB

4.7 Кэш

СРУ имеет кэш команд и кэш данных типа direct mapped объемом по 16 Кбайт. Кэш данных работает по протоколу write-through.

Кэш состоит из двух массивов – массива тэгов и массива данных. Кэш индексируется виртуально, поскольку для выбора соответствующей строки в обоих массивах используется виртуальный адрес. Это позволяет осуществлять доступ к кэш параллельно с преобразованием виртуального адреса в физический. Контроль осуществляется по физическому тэгу, так-так массив тэгов содержит физический, а не виртуальный адрес. На рисунке 3.25 представлен формат каждой строки массивов тэгов и данных. Тэговая строка содержит 20 старших бита физического адреса (биты [31:12]) и бит валидности.

Строка данных содержит 4 32-х разрядных слова – всего 16 байт. До получения всей строки кэш конвейер останавливается.

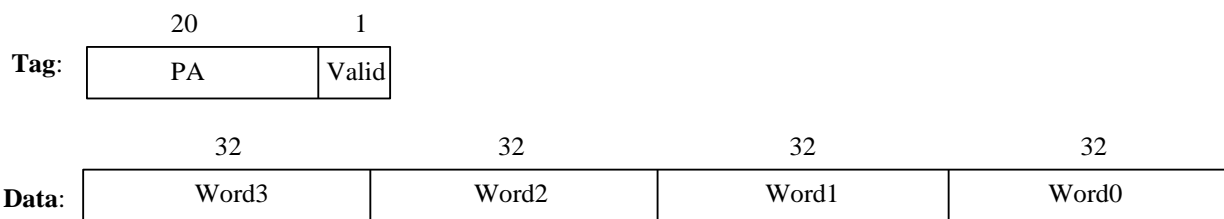


Рисунок 4.21. Формат массива кэш

Кэш имеет только два атрибута кэшируемости. Область может быть либо кэшируемой, либо некэшируемой (см. Таблица 4.44).

4.8 Исключения

Процессорное ядро способно принимать исключения от ряда источников, в том числе промах буфера преобразования адресов (TLB), арифметические переполнение, прерывание ввода-вывода, и системные вызовы. Обнаружив одно из этих исключений, СРУ приостанавливает нормальную последовательность исполнения команд, и процессор входит в режим Kernel.

В режиме Kernel ядро отключает прерывания и вынуждает процессор запустить программу обработчика исключений, расположенную в фиксированных адресах памяти. Обработчик сохраняет контекст процессора – содержимое счетчика команд, текущий режим процессора и статус разрешения прерываний. Таким образом, контекст может быть восстановлен по завершению обработки исключения.

При возникновении исключения в регистр Exception Program Counter (EPC) загружается адрес, начиная с которого исполнение команд может возобновиться после завершения обработки исключения. В регистр EPC помещается адрес команды, вызвавшей

исключение или, если команда находилась в слоте задержки перехода, адрес команды перехода, предшествующей слоту задержки. Чтобы различить эти ситуации, программное обеспечение должно проанализировать бит BD (branCH delay) в регистре Cause CP0

4.8.1 Условия исключений

Исключения обрабатываются на стадии M конвейера. Когда исключительная ситуация обнаруживается, команда, находящаяся на стадии M, и все команды, следующие за ней на конвейере, отменяются. Соответственно, все условия остановки конвейера, относящиеся к этой команде, а также условия последующих исключений, которые также могут относиться к ней, игнорируются, поскольку обслуживание приостановок для отмененной команды не приносит выигрыша.

Когда условие исключения обнаруживается на стадии M, процессор заполняет необходимые регистры CP0 значениями, относящимися к состоянию исключения, изменяет счетчик команд (PC) на адрес соответствующего вектора обработки исключения и очищает признаки исключения, относящиеся к более ранним стадиям конвейера.

Такая реализация позволяет завершить исполнение команды, находящейся на стадии W, и запретить завершение последующих команд. Таким образом, значения, сохраненного в регистре EPC (в случае ошибок – в Error PC), достаточно для возобновления исполнения. Это также обеспечивает поступление исключений в соответствии с порядком исполнения команд – команда, вызывающая исключение, может быть уничтожена командой с более поздней стадии конвейера, также вызвавшей исключение.

4.8.2 Приоритеты исключений

В Таблица 4.15 перечислены все возможные исключения со своими относительными приоритетами, от высшего к низшему. Некоторые из этих исключений могут случаться одновременно, в этом случае вызывается исключение с наивысшим приоритетом.

Таблица 4.15

Исключение	Описание
Reset	Аппаратный сброс
NMI	Внешнее немаскируемое прерывание и прерывание от таймера WDT (см. табл. 7.2).
TLB_Ri, TLB_Ii	Промах TLB при выборке команды, Попадание в инвалидную страницу TLB (V=0) при выборке команды
AdELi	Ошибка выравнивания адреса при выборке команды; Ссылка на адрес режима Kernel при работе в режиме User при выборке команды
Mcheck	Запись в TLB, создающая конфликт с существующей строкой TLB
Sys	Выполнение команды SYSCALL
Bp	Выполнение команды BREAK
SpU	Выполнение команды сопроцессора в режиме User
RI	Выполнение зарезервированной команды

Ov	Переполнение в арифметической команде
Tr	Выполнение trap (когда условие trap истинно)
AdELd	Ошибка выравнивания адреса при загрузке данных;
AdES	Ссылка на адрес режима Kernel при работе в режиме User при загрузке данных Ошибка выравнивания адреса при сохранении данных; Попытка сохранения по адресу Kernel в режиме User
TLB_Rd, TLB_Id	Промах TLB при загрузке данных; Попадание в инвалидную страницу TLB (V=0) при загрузке данных
TLB_M	Сохранение в TLB-странице с D=0
Interrupt	Установка немаскируемых HW или SW - прерываний

4.8.3 Расположение векторов исключений

Векторы исключений аппаратного сброса и NMI всегда находятся по адресу 0xBFC_0000. Адреса всех других исключений являются комбинациями векторных смещений и базового адреса. В Таблица 4.16 приведены базовые адреса как функции исключения, состояния бита BEV Регистра Status и состояния бита TR_CRAM системного регистра CSR. В Таблица 4.17 приведены смещения от базового адреса как функции исключения. В Таблица 4.18 эти две таблицы сведены в одну таблицу, содержащую все возможные адреса векторов исключений как функции состояний, влияющих на выбор этих векторов.

Таблица 4.16

Исключение	StatusBEV		
	0		1
	CSRTR_CRAM		
	0	1	
Reset, NMI	0xBFC0_0000		
Остальные исключения	0x8000_0000	0xB800_0000	0xBFC0_0200

Таблица 4.17. Базовые адреса векторов исключений

Исключение	Смещение вектора
TLB Refill, EXL = 0	0x000
Reset, NMI	0x000
Исключения общего характера (General Exeptions)	0x180
Interrupt, Cause _{IV} = 1	0x200

Таблица 4.18. Векторы исключений

Исключение	BEV	EXL	IV	CSRTR_C RAM	Вектор
Reset, NMI	-	-	-	-	0xBFC0_0000
TLB Refill	0	0	-	0	0x8000_0000
TLB Refill	0	1	-	0	0x8000_0180
TLB Refill	0	0	-	1	0xB800_0000
TLB Refill	0	1	-	1	0xB800_0180
TLB Refill	1	0	-	-	0xBFC0_0200
TLB Refill	1	1	-	-	0xBFC0_0380
Interrupt	0	0	0	0	0x8000_0180
Interrupt	0	0	1	0	0x8000_0200
Interrupt	0	0	0	1	0xB800_0180
Interrupt	0	0	1	1	0xB800_0200
Interrupt	1	0	0	-	0xBFC0_0380
Interrupt	1	0	1	-	0xBFC0_0400

Остальные	0	-	-	0	0x8000_0180
Остальные	0	-	-	1	0xB800_0180
Остальные	1	-	-	-	0xBFC0_0380

4.8.4 Обработка общих исключений

Кроме исключений аппаратного сброса и NMI, которые обслуживаются особым образом, обработка всех остальных исключений происходит в соответствии со следующим основным маршрутом:

- если бит EXL Регистра Состояния (Status) очищен, в регистр EPC загружается значение PC, по которому выполнение программы будет перезапущено, и при необходимости устанавливается бит BD в Регистре Причины (Cause). Если команда не находится в слоте задержки перехода, бит BD в Регистре Причины будет очищен, а в регистр EPC загружается значение, соответствующее текущему PC. Если же команда находится в слоте задержки перехода, бит BD в Регистре Причины устанавливается в “1”, и в EPC загружается значение, равное PC - 4. Если бит EXL в Регистре Состояния установлен, в регистр EPC ничего не загружается, и бит BD в Регистре Причины не модифицируется;
- в поля SE и ExcCode Регистра Причины загружаются значения, соответствующие исключению;
- устанавливается бит EXL в Регистре Состояния (Status);
- процессор стартует с вектора исключения.

Значение, загруженное в EPC, представляет собой адрес возврата из исключения и в обычной ситуации программе обработки исключения не требуется его модифицировать. Однако, если такая модификация производится, между командой изменения EPC и командой возврата из исключения должен находиться как минимум один слот задержки (NOP, например).

Программе также не нужно просматривать бит BD в Регистре Причины, если не возникает потребность определить действительный адрес команды, вызвавшей исключение.

Operation:

```

if StatusEXL == 0 then
  if InstructionInBranchDelaySlot then
    EPC <= PC - 4
    CauseBD <= 1
  else
    EPC <= PC
    CauseBD <= 0
  endif
  if (ExceptionType == TLBRefill) then
    vectorOffset <= 0x000

    elseif (ExceptionType == Interrupt) and
    (CauseIV == 1) then
    
```

```

vectorOffset <= 0x200
else
vectorOffset <= 0x180
endif
else
vectorOffset <= 0x180
endif
CauseCE <= FaultingCoprocesorNumber
CauseExcCode <= ExceptionType
StatusEXL <= 1
if (StatusBEV == 1) then
PC <= 0xBFC0_0200 + vectorOffset
else
PC <= 0x8000_0000 + vectorOffset
Endif

```

4.8.5 Исключения

В следующих разделах описаны все исключения в порядке, соответствующем Таблица 4.15.

4.8.5.1 Исключение по аппаратному сбросу (Reset Exception)

Это немаскируемое исключение, которое происходит при установке сигнала аппаратного сброса. Когда возникает исключение аппаратного сброса, процессор выполняет полную начальную инициализацию, то есть приводит автоматы к начальному состоянию и переводит процессор в состояние, из которого он может начать запуск команд, находящихся в некешируемой и неотображаемой области. После возникновения исключения аппаратного сброса состояние процессора не определено, за исключением следующего:

1. Регистр Random устанавливается в значение, равное количеству строк TLB - 1.
2. Регистр Wired устанавливается в 0.
3. Регистр Config устанавливается в свое начальное состояние (boot state).
4. Поля BEV, TS, NMI и ERL Регистра Status устанавливаются в заданные значения.
5. В PC загружается значение 0xBFC0_0000 (виртуальный адрес).

Вектор исключения:

Reset (0xBFC0_0000)

Operation:

```

Random <= TLBEntries - 1
Wired <= 0
Config <= ConfigurationState
StatusBEV <= 1
StatusTS <= 0

```

$$\text{Status}_{\text{NMI}} \leq 0$$

$$\text{Status}_{\text{ERL}} \leq 1$$

$$\text{PC} \leq 0\text{xBFC0_0000}$$

4.8.5.2 Исключение по немаскируемому прерыванию (Non Maskable Interrupt – NMI Exception)

Немаскируемое прерывание возникает по положительному фронту входного сигнала NMI или при срабатывании сторожевого таймера WDT. Исключение NMI происходит только в пределах границ команды, поэтому оно не вызывает сброса или другую переинициализацию аппаратных средств. Состояние кэш, памяти, а также другие состояния процессора остаются неизменными. Значения регистров также сохраняются за исключением следующего:

1. Поля BEV, TS, NMI и ERL регистра Status принимают заданные значения.
2. В регистр ErrorEPC загружается значение PC - 4, если прерывание произошло на фоне команды в слоте задержки перехода. В противном случае в регистр ErrorEPC загружается значение PC.
3. В PC загружается значение 0xBFC0_0000.

Вектор исключения:

Reset (0xBFC0_0000)

Operation:

$$\text{Status}_{\text{BEV}} \leq 1$$

$$\text{Status}_{\text{TS}} \leq 0$$

$$\text{Status}_{\text{NMI}} \leq 1$$

$$\text{Status}_{\text{ERL}} \leq 1$$

if InstructionInBranCHDelaySlot then

$$\text{ErrorEPC} \leq \text{PC} - 4$$

else

$$\text{ErrorEPC} \leq \text{PC}$$

endif

$$\text{PC} \leq 0\text{xBFC0_0000}$$

4.8.5.3 Исключение по обновлению TLB — выборка команды или доступ к данным (TLB Refill Exception – Instruction Fetch or Data Access)

Исключение TLB Refill происходит во время выборки команды или доступа к данным, если в TLB нет ни одной строки, соответствующей ссылке к отображенному адресному пространству, и бит EXL в регистре Status равен 0.

Значение поля ExcCode регистра Cause:

TLBL: Произошла ссылка по загрузке данных или выборке команды

TLBS: Произошла ссылка по сохранению данных

Дополнительно сохраняемые состояния:

Таблица 4.19

Состояние регистра	Значение
BadVAddr	ошибочный адрес
Context	поле BadVPN2 содержит VA _{31:13} ошибочного адреса
EntryHi	поле VPN2 содержит VA _{31:13} ошибочного адреса; поле ASID содержит ASID отсутствующей ссылки

Вектор исключения:

Вектор TLB Refill (смещение 0x000)

4.8.5.4 Исключение по инвалидности TLB — выборка команды или доступ к данным (TLB Invalid Exception – Instruction Fetch or Data Access)

Исключение TLB Invalid происходит во время выборки команды или доступа к данным в одном из следующих случаев:

1. В TLB нет ни одной строки, соответствующей ссылке к отображенному адресному пространству, и бит EXL в регистре Status равен 1.
2. Строка TLB соответствует ссылке к отображенному адресу, но ее бит валидности выключен.

Значение поля ExcCode регистра Cause:

TLBL: Произошла ссылка по загрузке данных или выборке команды

TLBS: Произошла ссылка по сохранению данных

Дополнительно сохраняемые состояния:

Таблица 4.20

Состояние регистра	Значение
BadVAddr	ошибочный адрес
Context	поле BadVPN2 содержит VA _{31:13} ошибочного адреса
EntryHi	поле VPN2 содержит VA _{31:13} ошибочного адреса; поле ASID содержит ASID отсутствующей ссылки

Вектор исключения:

Общий Вектор исключения (смещение 0x180).

4.8.5.5 Исключение по ошибке адресации— выборка команды / доступ к данным (Address Error Exception – Instruction Fetch / Data Access)

Исключение по ошибке адресации во время доступа к команде или данным возникает при попытке выполнить одно из следующих действий:

1. Выбрать команду, загрузить или сохранить слово данных, если они не выровнены в границах слова.
2. Загрузить или сохранить половину слова, если оно не выровнено в границах полуслова.
3. Обратиться по адресу пространства Kernel при работе в режиме User.

Значение поля ExcCode регистра Cause:

ADEL: Произошла ссылка по загрузке данных или выборке команды

ADES: Произошла ссылка по сохранению данных

Дополнительно сохраняемые состояния:

Таблица 4.21

Состояние регистра	Значение
BadVAddr	ошибочный адрес

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

4.8.5.6 Исключение по аппаратному контролю (Mcheck – Machine check Exception)

Данное исключение возникает, если при выполнении команды записи в TLB (TLBWI или TLBWR) обнаруживается, что поле виртуального адреса записываемой строки соответствует такому же полю одной из строк, уже хранящихся в TLB.

При возникновении данной ситуации запись в TLB не выполняется и устанавливается бит TS в регистре Status. Этот бит является статусным и не влияет на функционирование процессорного ядра. Сбрасывается он программно после разрешения данной ситуации, осуществляемого очисткой конфликтных строк в TLB.

Значение поля ExcCode регистра Cause:

MCNck

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180).

4.8.5.7 Исключение исполнения – системный вызов (System Call Exception)

Исключение System Call является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение System Call возникает при исполнении команды SYSCALL.

Значение поля ExcCode регистра Cause:

Sys

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

4.8.5.8 Исключение исполнения — Breakpoint (Execution Exception – Breakpoint)

Исключение Breakpoint является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение Breakpoint возникает при исполнении команды BREAK.

Значение поля ExcCode регистра Cause:

Вр

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

4.8.5.9 Исключение исполнения — зарезервированная команда (Execution Exception – Reserved Instruction)

Исключение зарезервированной команды является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение зарезервированной команды вызывается при исполнении команды с неопределенным старшим кодом операции (major opcode) или полем функции.

Значение поля ExcCode регистра Cause:

RI

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180).

4.8.5.10 Искключение исполнения — недоступен сопроцессор (Execution Exception – Coprocessor Unusable)

Исключение недоступности сопроцессора является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение недоступности сопроцессора вызывается при попытке исполнения команды сопроцессора CP0 в режиме User.

Значение поля ExhCode регистра Cause:

CrU

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180).

4.8.5.11 Исключение исполнения — целочисленное переполнение (Execution Exception – Integer Overflow)

Исключение целочисленного переполнения является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение целочисленного переполнения вызывается, когда выбранные целочисленные команды приводят к переполнению в двоичном коде.

Значение поля ExhCode регистра Cause:

Ov

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180).

4.8.5.12 Исключение исполнения — Trap (Execution Exception – Trap)

Исключение Trap является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение Trap вызывается, если условие команды trap истинно (TRUE).

Значение поля ExcCode регистра Cause:

Tr

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180).

4.8.5.13 Исключение сохранения в запрещенной области (TLB Modified Exception)

Это исключение возникает при обращении по записи данных к отображенному адресу, если выполняется следующее условие:

Найденная строка TLB действительна, но страница запрещена для записи.

Значение поля ExcCode регистра Cause:

Mod

Дополнительно сохраняемые состояния:

Таблица 4.22

Состояние регистра	Значение
BadVAddr	Ошибочный адрес
Context	Поля BadVPN2 содержат VA _{31:13} ошибочного адреса
EntryHi	Поле VPN2 содержит VA _{31:13} ошибочного адреса; поле ASID содержит ASID отсутствующей ссылки

Вектор исключения:

Общий Вектор исключения (смещение 0x180).

4.8.5.14 Исключение прерывания (Interrupt Exception)

Исключение прерывания возникает, когда сигнал одного или более разрешенных регистром Status прерываний устанавливается на входе процессора.

Значение поля ExcCode регистра Cause:

Int

Дополнительно сохраняемые состояния:

Таблица 4.23

Состояние регистра	Значение
CauseIp	Указывает код прерывания

Вектор исключения:

Общий Вектор исключения (смещение 0x180), если бит IV регистра Cause равен 0;

Вектор прерывания (смещение 0x200), если бит IV регистра Cause равен 1.

4.8.6 Алгоритмы обработки исключений

В этом разделе приведены алгоритмы обработки следующих исключений:

- общие исключения;
- исключения пропуска при поиске по TLB;
- исключения Reset и NMI.

Исключения аппаратно обрабатываются, а затем программно обслуживаются.

Алгоритмы обработки исключений приведены на Рисунок 4.22, Рисунок 4.23, Рисунок 4.24.

Все исключения кроме Reset, NMI и TLB-miss первого уровня. Прерывания могут быть замаскированы битами IE и IM

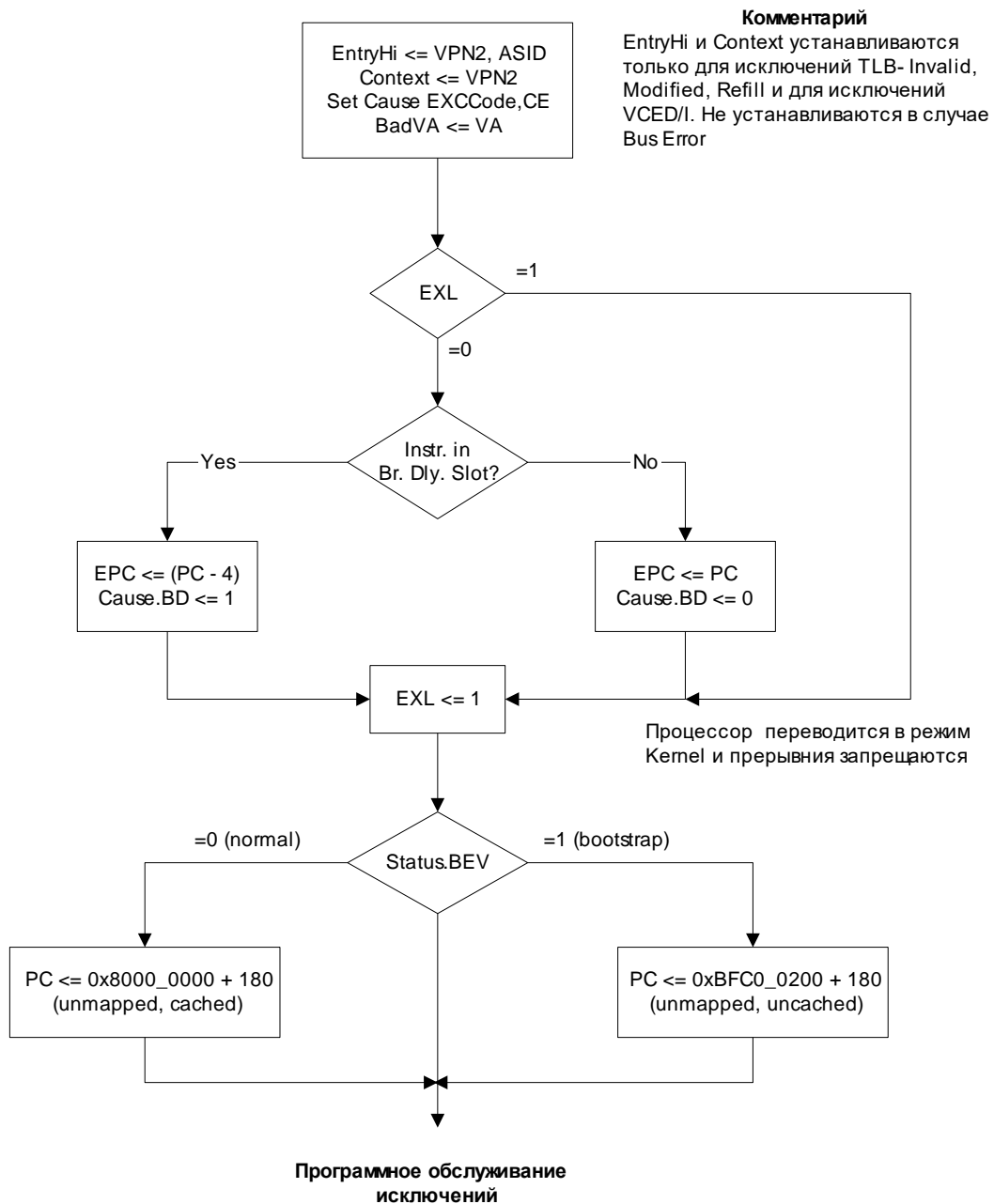


Рисунок 4.22. Обработка общих исключений

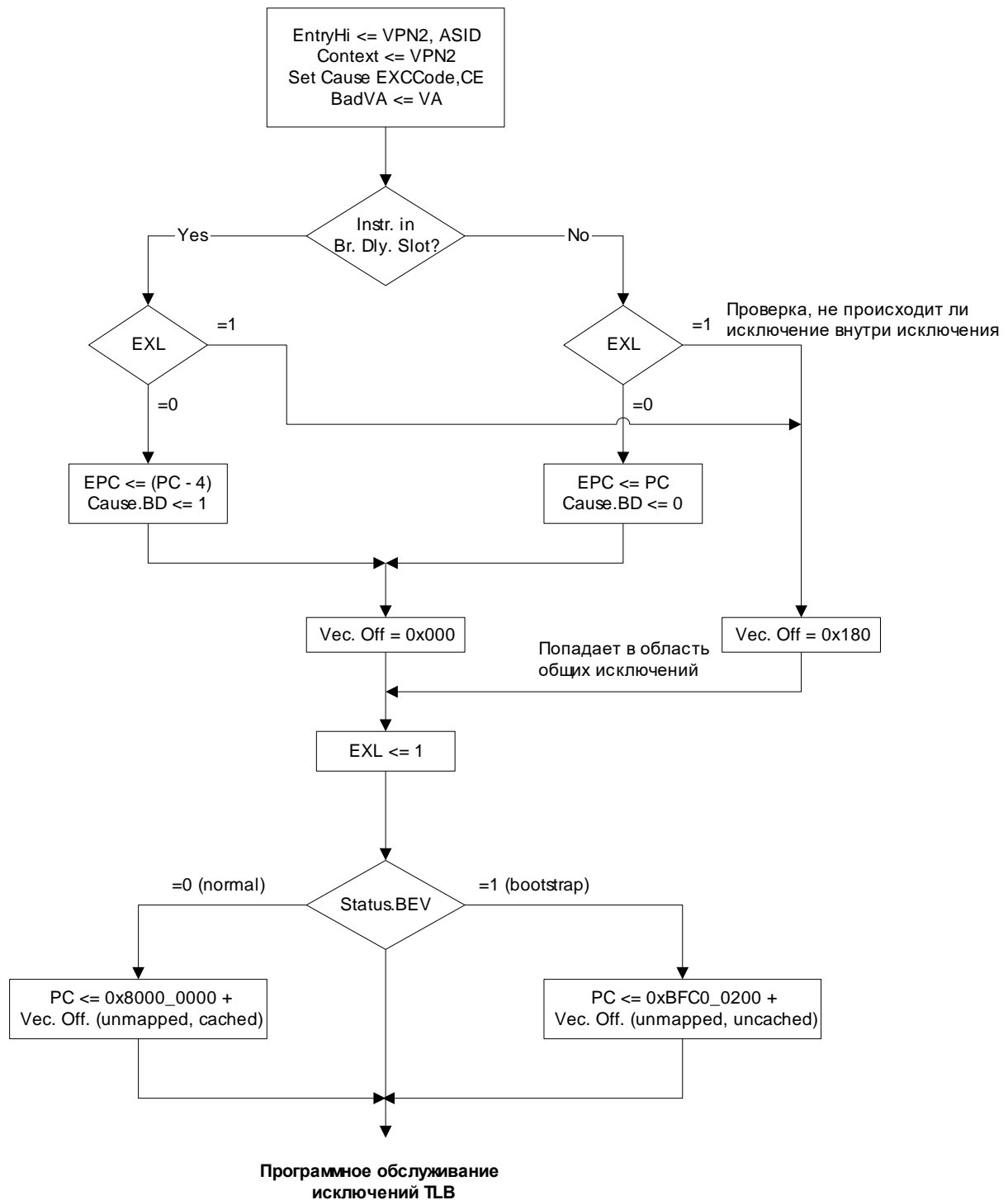


Рисунок 4.23. Обработка исключений TLB Refill и TLB Invalid

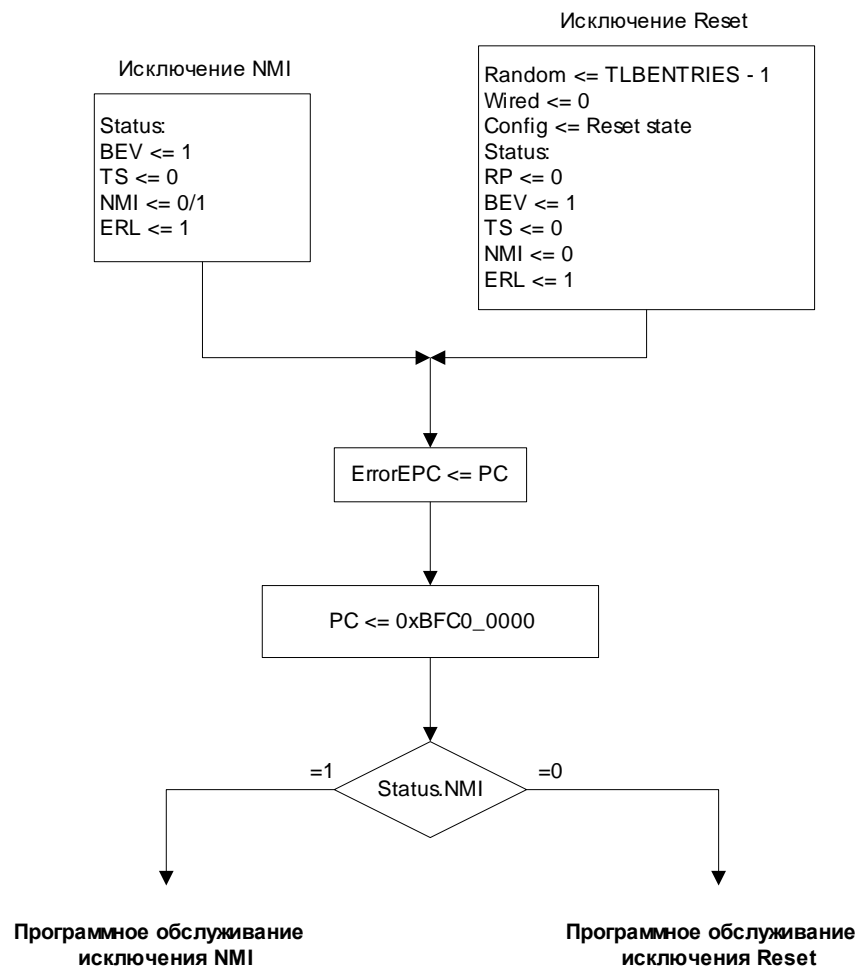


Рисунок 4.24. Обработка исключений Reset и NMI

4.9 Регистры CP0

4.9.1 Назначение

Системный Управляющий Сопроцессор (CP0) обеспечивает регистровый интерфейс с процессорным ядром MIPS32 и поддерживает управление памятью, преобразование адреса, обработку исключений и другие привилегированные операции. Каждому регистру CP0 соответствует определяющий его уникальный номер; этот номер называется *номером регистра*. Например, регистру PageMask соответствует 5-й номер регистра.

После записи нового значения в регистр CP0 (с помощью команды MTC0), его обновление происходит не сразу, а по прошествии периода от 0 и более команд. Этот период называется периодом особой ситуации.

4.9.2 Обзор регистров CP0

В Таблица 4.24 приведены все регистры CP0 в порядке возрастания нумерации. В разделе 5.3 каждый из этих регистров описан отдельно.

Таблица 4.24. Регистры CP0

Номер регистра	Название регистра	Функция
0	Index ¹	Индекс матрицы TLB (режим TLB)
1	Random ¹	Случайным образом сгенерированный индекс для буфера TLB (режим TLB)
2	EntryLo0 ¹	Младшая часть строки TLB для виртуальных страниц с четными номерами (режим TLB)
3	EntryLo1 ¹	Младшая часть строки TLB для виртуальных страниц с нечетными номерами (режим TLB)
4	Context ²	Указатель на строку в таблице страниц памяти (режим TLB)
5	PageMask ¹	Управление переменным размером страниц строк TLB (режим TLB)
6	Wired ¹	Управление количеством закрепленных “привязанных” строк TLB (режим TLB)
7	Reserved	Резерв
8	BadVAddr ²	Содержит адрес, вызвавший последнее связанное с адресацией исключение
9	Count ²	Счетчик процессорных циклов
10	EntryHi ¹	Старшая часть строки TLB (режим TLB)
11	Compare ²	Управление прерыванием таймера
12	Status ²	Состояние и управление процессором
13	Cause ²	Причина последнего исключения
14	EPC ²	Значение счетчика команд во время последнего исключения
15	PRId	Идентификация и ревизия процессора
16	Config/Config1	Конфигурационный регистр
17	LLAddr	Загрузка адреса сопряжения
18-19	Не реализованы	
20-22	Reserved	Резерв
23-24	Не реализованы	
25-27	Reserved	Резерв
28-29	Не реализованы	
30	ErrorEPC ²	Значение счетчика команд при последней ошибке
31	Не реализован	

¹Регистры, используемые при управлении памятью.

²Регистры, используемые при обработке исключений.

4.9.3 Регистры CP0

Регистры CP0 обеспечивают интерфейс между системой команд (ISA) и архитектурой процессора. Каждый регистр, описанный в этом разделе, представлен своим порядковым номером и значением поля select.

Все поля описанных регистров характеризуются свойствами записи / чтения, а также значением после аппаратного сброса. Свойства записи / чтения охарактеризованы в Таблица 4.25.

Таблица 4.25

Свойства записи/чтения	Аппаратная интерпретация	Программная интерпретация
R/W	Поле, в котором все биты программно и аппаратно доступны по записи и чтению. Аппаратное обновление этого поля доступно для программы при чтении программой. Программное обновление этого поля доступно для процессора при чтении процессором. Если значение поля после сброса не определено, программа или процессор должны проинициализировать это поле, чтобы первое чтение возвратило предсказуемое значение.	
R	Поле, значение которого постоянно или обновляется только процессором. Значение поля после начальной установки восстанавливается также при включении питания. Если значение поля не определено после начальной установки, процессор обновляет его только при условиях, определенных при описании поля.	Поле, для которого значение, записанное программой, процессором игнорируется. Программное прочтение этого поля возвращает последнее обновленное процессором значение. Если значение поля не определено после начальной установки, программное прочтение этого поля возвратит непредсказуемое значение кроме тех случаев, когда произошло обновление процессором значения этого поля по возникновению условий, определенных в описании поля условий.
0	Поле, значение которого процессором не обновляется и всегда равно нулю.	Программное чтение всегда возвращает ноль.

4.9.3.1 Регистр Index (Регистр 0 CP0, Select 0)

Регистр Index является 32-х разрядным регистром, доступным для чтения и записи. Он содержит индекс доступа к TLB для команд TLBP, TLBR и TLBWI. Ширина поля индекса зависит от количества строк TLB и равна 4.

Функционирование процессора НЕОПРЕДЕЛЕНО, если в регистр Index записано значение большее или равное количеству строк TLB.

Формат регистра Index

31	30	4	3	0
R				Index

Таблица 4.26. Описание полей регистра Index

Поля		Описание	Чтение/запись	Начальное состояние
Имя	Биты			
R	31	Неудачная проба. Устанавливается в 1, если предыдущей командой TLBProbe (TLBP) не было найдено соответствия в TLB.	R	Не определено

0	30:4	При чтении возвращается нуль	0	0
Index	3:0	Индекс строки TLB, к которой относятся команды TLBRead и TLBWrite	R/W	Не определено

4.9.3.2 Регистр Random (Регистр CP0 1, Select 0)

Регистр Random доступен только для чтения, и его значение используется как индекс TLB для команды TLBWR. Ширина поля Random определяется таким же образом, как для регистра Index.

Значение этого регистра изменяется между верхней и нижней границами следующим образом:

1. Нижняя граница определяется количеством строк TLB, зарезервированных для использования операционной системой (содержимое регистра Wired). Строка, чей индекс равен значению Wired, является первой из доступных для записи командой TLB Write Random (TLBWR).
2. Верхняя граница равна общему количеству строк TLB минус 1.

Регистр Random уменьшается на 1 при продвижении конвейера RISC, возвращаясь к максимальному значению по достижению величины, равной значению регистра Wired.

Процессор инициализирует регистр Random значением, равным верхней границе по возникновению исключения Reset и по записи в регистр Wired.

Формат регистра Random

31				4	3	0
0						Random

Таблица 4.27. Описание полей регистра Random

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
0	31:4	При чтении возвращается нуль	0	0
Random	3:0	Случайный индекс строки TLB	R	TLB Entries - 1

4.9.3.3 EntryLo0, EntryLo1 (Регистры 2 и 3 CP0, Select 0)

Пара регистров EntryLo действует как интерфейс между TLB и командами TLBR, TLBWI, TLBWR.

В режиме TLB EntryLo0 содержит строки для четных страниц TLB, а EntryLo1 – для нечетных страниц.

После ошибки адресации и возникновения исключений TLB refill, TLB invalid и TLB modified, содержимое регистров EntryLo0 и EntryLo1 не определено.

Формат регистров EntryLo0, EntryLo1

31	30	29	26	25	6	5	3	2	1	0
----	----	----	----	----	---	---	---	---	---	---

R	0	PFN	C	D	V	G
---	---	-----	---	---	---	---

Таблица 4.28. Описание полей регистров EntryLo0 и EntryLo1

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
R	31:30	Резервные. При чтении возвращается нуль	R	0
0	29:26	При чтении возвращается нуль	R	0
PFN	25:6	Номер страничного кадра. Соответствует битам 31:12 физического адреса.	R/W	Не определено
C	5:3	Атрибут когерентности страницы. См. Таблица 4.29	R/W	Не определено
D	2	“Dirty” – бит, разрешающий запись. Указывает на то, что в страницу была сделана запись, и/или страница открыта для записи. Если этот бит равен 1, разрешается сохранение в этой странице. Если он равен 0, сохранение в этой странице вызывает исключение TLB Modified.	R/W	Не определено
V	1	Бит валидности. Указывает, на то, что строка TLB и, соответственно, отображение виртуальной страницы, является действительным. Если этот бит равен 1, доступ к странице разрешается. Если этот бит равен 0, доступ к странице вызывает исключение TLB Invalid.	R/W	Не определено
G	0	Бит глобальности. При записи в TLB битом G в строке TLB становится логическое “И” битов G EntryLo0 и EntryLo1. Если бит G строки TLB равен 1, результат сравнения полей ASID игнорируется при поиске по TLB. При чтении строки TLB биты G EntryLo0 и EntryLo1 отражают состояние бита G TLB.	R/W	Не определено

В Таблица 4.29 приведена кодировка для поля C регистров EntryLo0 и EntryLo1 и полей K0, K23 и KU регистра Config.

Таблица 4.29. Атрибуты когерентности Кэш

Значение C[5:3]	Описание
0, 1, 3*, 4, 5, 6	Кэшируемая, некогерентная область
2*, 7	Некэшируемая область
* - Архитектура MIPS32 предусматривает только эти два значения. Остальные значения не используются и отображаются в используемые значения. Например, 0, 1, 4, 5 и 6 отображаются в 3, а 7 – в 2.	

4.9.3.4 Регистр Context (Регистр 4 CP0, Select 0)

Регистр Context доступен для чтения и записи, и содержит указатель на строку в матрице PTE (page table entry). Эта матрица является структурой данных операционной системы, в которой содержатся преобразования виртуального адреса в физический. При возникновении промаха TLB, операционная система загружает в TLB недостающее преобразование из матрицы PTE. Регистр Context дублирует часть информации, содержащейся в регистре BadVAddr, но организован таким образом, что операционная система может прямо ссылаться к 8-байтной матрице PTE в памяти.

При возникновении исключения TLB (TLB Refill, TLB Invalid, или TLB Modified) биты VA_{31:13} виртуального адреса записываются в поле BadVPN2 регистра Context. Поле PTEBase записывается и используется операционной системой.

После возникновения исключения ошибки адресации значение поля BadVPN2 регистра Context не определено.

Формат регистра Context

31	23	22	4	3	0
PTEBase		BadVPN2			

Таблица 4.30. Описание полей регистра Context

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
PTEBase	31:23	Это поле используется операционной системой и обычно содержит значение, позволяющее операционной системе использовать регистр Context в качестве указателя на текущую матрицу PTE в памяти.	R/W	Не определено
BadVPN2	22:4	Это поле заполняется процессором при промахе TLB. Оно содержит биты VA _{31:13} пропущенного виртуального адреса	R	Не определено
0	3:0	При чтении возвращается нуль	0	0

4.9.3.5 Регистр PageMask (Регистр 5 CP0, Select 0)

Регистр PageMask доступен для чтения и записи, и используется для чтения TLB и записи в TLB. Он содержит маску сравнения, которая устанавливает переменную размера страниц для каждой строки TLB, как показано в таблице 3.32. Если значение регистра отлично от значений, приведенных в таблице, поведение процессора при поиске по TLB не определено.

Формат регистра PageMask

31	25	24	13	12	0
0	Mask			0	

Таблица 4.31. Описание полей регистра PageMask

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
Mask	24:13	Бит маски, содержащий “1”, указывает на то, что соответствующий бит виртуального адреса не должен принимать участие при поиске соответствия по TLB	R/W	Не определено
0	31:25, 12:0	При чтении возвращается нуль	0	0

Таблица 4.32. Таблица возможных значений поля Mask регистра PageMask.

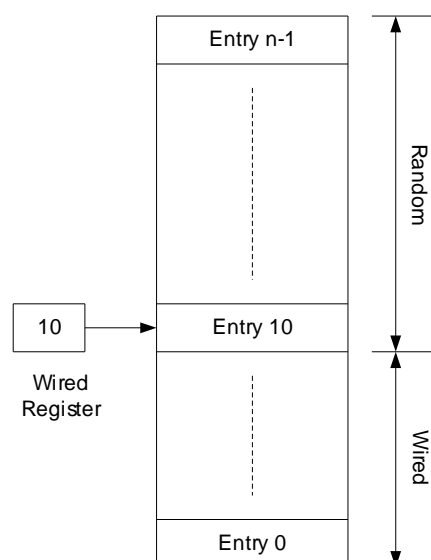
Размер страницы	Бит											
	24	23	22	21	20	19	18	17	16	15	14	13
4 КБАЙТ	0	0	0	0	0	0	0	0	0	0	0	0
16 Кбайт	0	0	0	0	0	0	0	0	0	0	1	1
64 Кбайт	0	0	0	0	0	0	0	0	1	1	1	1
256 Кбайт	0	0	0	0	0	0	1	1	1	1	1	1
1 Мбайт	0	0	0	0	1	1	1	1	1	1	1	1
4 Мбайт	0	0	1	1	1	1	1	1	1	1	1	1
16 Мбайт	1	1	1	1	1	1	1	1	1	1	1	1

4.9.3.6 Регистр Wired (Регистр 6 CP0, Select 0)

Регистр Wired доступен для чтения и записи. Этот регистр определяет границу между случайными и “привязанными” строками TLB, как показано на Рисунок 4.25. Ширина поля Wired определяется так же, как для описанного выше регистра Index. “Привязанные” строки зафиксированы, то есть они не являются удаляемыми и не могут быть перезаписаны командой TLBWR. Эти строки могут быть перезаписаны только командой TLBWI.

Регистр Wired устанавливается в нулевое состояние исключением по аппаратному сбросу (Reset). Запись в регистр Wired вызывает установку регистра Random в значение, равное его верхней границе.

Если значение, записанное в регистр Wired, больше или равно числу строк TLB, операция процессора не определена.


Рисунок 4.25. “Привязанные” и случайные строки TLB

Формат регистра Wired

31	4 3 0
0	Wired

Таблица 4.33. Описание полей регистра Wired

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
0	31:4	При чтении возвращается нуль	0	0
Wired	3:0	Граница между “привязанными” и случайными строками TLB.	R/W	0

4.9.3.7 Регистр BadVAddr (Регистр 8 CP0, Select 0)

Регистр BadVAddr доступен только для чтения и содержит последний виртуальный адрес, вызвавший одно из следующих исключений:

- ошибка адреса (AdEL или AdES);
- TLB Refill;
- TLB Invalid;
- TLB Modified.

Формат регистра BadVAddr

31	0
BadVAddr	

Таблица 4.34. Описание полей регистра BadVAddr

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
BadVAddr	31:0	Виртуальный адрес, вызвавший исключение	R	Не определено

4.9.3.8 Регистр Count (Регистр 9 CP0, Select 0)

Регистр Count действует как таймер, увеличивающий свое значение каждый такт.

Регистр Count может быть записан в функциональных или диагностических целях, включая установку или синхронизацию процессора.

Формат регистра Count

31	0
COUNT	

Таблица 4.35. Описание полей регистра Count

Поля		ОПИСАНИЕ	Чтение/ запись	Начальное состояние
Имя	Биты			
Count	31:0	Счетчик	R/W	Не определено

4.9.3.9 Регистр EntryHi (Регистр 10 CP0, Select 0)

Регистр EntryHi содержит информацию соответствия виртуального адреса, используемая при чтении, записи и операциях доступа к TLB.

При возникновении исключений TLB (TLB Refill, TLB Invalid или TLB Modified) биты VA_{31:13} виртуального адреса записываются в поле VPN2 регистра EntryHi. В поле ASID, которое используется в процессе сравнения при поиске по TLB, программно записывается идентификатор текущего адресного пространства.

Поле VPN2 регистра EntryHi не определено после прерывания по ошибке адресации.

Формат регистра EntryHi

31	0
VPN2	ASID

Таблица 4.36. Описание полей регистра EntryHi

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
VPN2	31:13	Разряды VA _{31:0} виртуального адреса (виртуальный номер страницы, деленный на 2). Это поле записывается аппаратно при исключении TLB или при чтении TLB, и программно перед записью в TLB.	R/W	Не определено
0	12:8	При чтении возвращается ноль	0	0
ASID	7:0	Идентификатор адресного пространства. Это поле записывается аппаратно при чтении TLB, и программно при установке текущего значения ASID для записи в TLB и для сравнения при поиске по TLB с соответствующими полями ASID в строках TLB.	R/W	Не определено

4.9.3.10 Регистр Compare (Регистр 11 CP0, Select 0)

Регистр Compare действует совместно с регистром Count с целью реализации функции таймера и прерывания по таймеру. Прерывание по таймеру является выходным сигналом процессора.

Результат сравнения регистров Count и Compare заведен на 15 разряд регистра Cause. Когда значение регистра Count равняется значению регистра Compare, этот бит имеет единичное состояние. Он остается в этом состоянии, пока в регистр Compare не будет произведена запись.

Для диагностических целей регистр Compare доступен для чтения и записи. Однако при нормальном функционировании регистр Compare используется только для записи. При записи значения в регистр Compare в качестве побочного эффекта происходит очистка прерывания по таймеру.

Формат регистра Compare

31	0
Compare	

Таблица 4.37. Описание полей регистра Compare

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
Compare	31:0	Период счета таймера	R/W	Не определено

4.9.3.11 Регистр Status (Регистр 12 CP0, Select 0)

Регистр Status (SR) является регистром, доступным для чтения и записи. Он содержит поля рабочего режима, разрешения прерываний и диагностические состояния процессора. Для задания режимов функционирования процессора, поля этого регистра объединяются следующим образом:

Разрешение прерываний: Прерывания разрешаются, когда истинны все следующие условия:

- IE = 1;
- EXL = 0;
- ERL = 0.

Если эти условия выполнены, прерывания разрешаются установкой битов IM.

Рабочие режимы: Процессор всегда находится в одном из двух режимов – Kernel или User. Режим задается установкой следующих битов регистра Status CPU.

- режим User: UM = 1, EXL = 0, and ERL = 0;
- режим Kernel: UM = 0 или EXL = 1 или ERL = 1.

Формат Status регистра

31	28	27	26	23	22	21	20	19	18	16	15	8	7	5	4	3	2	1	0
CU3-CU0	0	0	BEV	TS	0	NMI	0	IM7-IM0	0	UM	0	ERL	EXL	IE					

Таблица 4.38. Описание полей регистра Status

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
CU3-CU0	31:28	Управление доступом к сопроцессорам 3, 2, 1 и 0 соответственно: 0 – доступ запрещен; 1 – доступ разрешен. Сопроцессор 0 всегда доступен в режиме kernel в не зависимости от состояния бита CU0. CU1 соответствует FPU (сoproцессор 1). Сoproцессоров 2 и 3 в CPU нет. Обращение к ним запрещено, так как это приведет к непредсказуемой ситуации	R/W	Не определено
-	27	Не используется	0	0
-	26:23	При чтении возвращается ноль	0	0

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
BEV	22	Управление размещением векторов исключения: 0: Нормальный 1: Начальная загрузка	R/W	1
TS	21	TLB-закрытие системы. Этот бит устанавливается, если при выполнении команд TLBWI или TLBWR образуется команда, которая приводит к условию закрытия, если оно разрешено. Программа может записывать в этот разряд только 0, чтобы очистить его, и не может вызвать переход этого бита из 0 в 1.	R/W	0
NMI	19	Указывает, что вход в вектор исключения начальной установки был осуществлен по причине возникновения NMI. 0: Не NMI (Аппаратный сброс) 1: NMI Программное обеспечение может записывать в этот бит только 0, чтобы очистить его, и не может записать 1.	R/W	1 для NMI, иначе 0
-	18:16	При чтении возвращается нуль	0	0
IM[7:0]	15:8	Маска прерываний: управление разрешением внешних, внутренних и программных прерываний. Прерывание принимается в случае, если установлен бит IE регистра Status и установлены соответствующие биты как в поле IM[7:0] регистра Status, так и в поле IP[7:0] регистра Cause. 0: Запрос на прерывание не разрешен. 1: Запрос на прерывание разрешен.	R/W	Не определено
-	7:5	При чтении возвращается нуль	0	0
UM	4	Указывает на то, что процессор работает в непривилегированном режиме (User): 0: Процессор работает в привилегированном режиме (Kernel) 1: Процессор работает в непривилегированном режиме (User) Замечание: процессор может также находиться в режиме Kernel, если установлены биты EXL или ERL. Это условие не влияет на состояние бита UM.	R/W	Не определено
-	3	При чтении возвращается нуль	0	0

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
ERL	2	Уровень ошибки. Устанавливается процессором при возникновении исключений Reset и NMI. 0: Нормальный уровень 1: Уровень ошибки Когда бит ERL установлен: Процессор находится в режиме Kernel. Прерывания запрещены. Команда ERET использует адрес возврата, содержащийся в ErrorEPC вместо EPC. kuseg используется как неотображаемая и некэшируемая область. Это позволяет иметь доступ к главной памяти при ошибках кэш. Поведение процессора не определено если бит ERL установлен при выполнении кода из useg/kuseg.	R/W	1
EXL	1	Уровень исключения. Устанавливается процессором при возникновении любого исключения, кроме Reset и NMI. 0: Нормальный уровень 1: Уровень исключения Когда бит EXL установлен: Процессор переходит в привилегированный режим (Kernel). Прерывания запрещены. Исключения TLB Refill используют общий вектор исключения вместо вектора TLB Refill. Если происходит другое исключение, EPC не модифицируется.	R/W	Не определено
IE	0	Разрешение прерывания. 0: Отключает прерывания 1: Разрешает прерываниям	R/W	Не определено

4.9.3.12 Регистр Cause (Регистр 13 CP0, Select 0)

Регистр Cause, в основном, описывает причину последнего исключения. Кроме того, поля регистра управляют запросами на программные прерывания и определяют вектор, которым обрабатываются прерывания. Все поля регистра Cause, за исключением IP[1:0], IV и WP, доступны только для чтения.

Формат регистра Cause

31	30	24	23	22		16	15	10	9	8	7	6		2	1	0
BD	0	IV		0		IP[7:2]	IP[1:0]	0	Exc Code	0				0		0

Таблица 4.39. Описание полей регистра Cause

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
BD	31	Указывает на то, что последнее исключение произошло в слоте задержки перехода: 0: Не в слоте задержки 1: В слоте задержки Замечание: бит BD не модифицируется на новом исключении, если установлен бит EXL.	R	Не определено
0	30:24	При чтении возвращается нуль	0	0
IV	23	Указывает, какой вектор используется для обслуживания исключений прерывания – общий или специальный вектор прерываний: 0: Используется общий вектор исключения (0x180) 1: Используется специальный вектор прерываний (0x200)	R/W	Не определено
0	22:16	При чтении возвращается нуль	0	0
IP[7:2]	15:10	Указывает, какое прерывание установлено: 15 – COMPARE; 14 – прерывания от DSP, объединенные по ИЛИ; 13 - не используется 12 – прерывания, объединенные по ИЛИ в псевдорегистре QSTR2; 11 - прерывания, объединенные по ИЛИ в псевдорегистре QSTR1; 10 - прерывания, объединенные по ИЛИ в псевдорегистре QSTR0;	R	Не определено
IP[1:0]	9:8	Управляет запросами программных прерываний (посредством записи «1» в данные разряды): 9: Запрос программного прерывания 1; 8: Запрос программного прерывания 0.	R/W	Не определено
ID	7	Прерывание от встроенных средств отладки программ (OnCD).	R/W	0
Exc Code	6:2	Код исключения — см. Таблица 4.40		
0	1:0	При чтении возвращается нуль	0	0

Таблица 4.40. Описание поля Exc Code регистра Cause

Значение Exc Code	Мнемоника	Описание
0	Int	Прерывание
1	Mod	TLB-исключение модификации
2	TLBL	TLB-исключение (загрузка или вызов команды)
3	TLBS	TLB-исключение (сохранение)
4	AdEL	Прерывание по ошибке адресации (загрузка или вызов команды)
5	AdES	Прерывание по ошибке адресации (сохранение)
6-7	-	Не используются
8	Sys	Системное исключение
9	Bp	Исключение Breakpoint
10	RI	Исключение зарезервированной команды
11	CrU	Исключение недоступности сопроцессора
12	Ov	Исключение целочисленного переполнения
13	Tr	Исключение Trap
14	-	Не используется

Значение Exc Code	Мнемоника	Описание
15	FPE	Исключение от сопроцессора арифметики в формате с плавающей точкой (FPU)
16:23	-	Не используется
24	MCNeck	Аппаратный контроль
25-31	-	Не используется

4.9.3.13 Регистр EPC (Регистр 14 CP0, Select 0)

Программный счетчик исключения (EPC) является регистром, доступным для чтения и записи. EPC содержит адрес, начиная с которого возобновляется исполнение программы после завершения обработки исключения. Все биты регистра EPC значимы и должны перезаписываться.

Для синхронных (точных) исключений, EPC содержит одно из следующего:

- виртуальный адрес команды, которая была прямой причиной исключения;
- виртуальный адрес команды перехода (Branch или Jump), непосредственно предшествующей исключению, если команда, вызвавшая исключение, находится в слоте задержки перехода и установлен бит BD в регистре Cause.

Если установлен бит EXL в регистре Status, процессор не записывает адрес в регистр EPC при возникновении новых исключений. Однако новое значение можно записать в EPC командой MTC0.

Формат регистра EPC

31	0
EPC	

Таблица 4.41. Описание полей регистра EPC

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
EPC	31:0	Программный счетчик исключения	R/W	Не определено

4.9.3.14 Регистр PRId (Регистр 15 CP0, Select 0)

Регистр идентификации процессора (PRId) – это 32-х разрядный регистр, доступный только для чтения. Он содержит информацию, идентифицирующую изготовителя, опции изготовителя, идентификацию процессора, и версию процессора.

Формат регистра PRId

31	24	23	16	15	8	7	0
R		Company ID		Processor ID		Revision	

Таблица 4.42. Описание полей регистра PRId

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
R		При чтении возвращается ноль	R	0
Company ID	23:16	Идентификация компании, которая проектировала или изготовляла процессор.	R	1010
Processor ID	15:8	Идентификация типа процессора.	R	10010
Revision	7:0	Номер версии процессора. Позволяет программам различать разные версии одного типа процессора.	R	0

4.9.3.15 Регистр Config (Регистр 16 CP0, Select 0)

Регистр Config определяет различную конфигурационную информацию, а также информацию о возможностях процессора. Большинство полей регистра Config инициализируется аппаратно при выполнении исключения Reset или имеет постоянное значение, и только поле K0 должно быть проинициализировано программно обработчиком исключения Reset.

Формат регистра Config

31	30	28	27	25	24	21	20	19	18	17	16	15	14	13	12	10	9	7	6	3	2	0	
M	K23	KU	0	MDU	R	MM	BM	BE	AT	AR	MT	0	K0										

Таблица 4.43. Описание полей регистра Config

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
M	31	Этот бит аппаратно устанавливается в высокий уровень, указывая на наличие регистра Config1	R	1
K23	30:28	Это поле управляет кэшируемостью адресных сегментов kseg2 и kseg3 в режиме FM. В режиме TLB не используется. См. Таблица 4.44	FM:R/W	FM:010
			TLB:R	TLB:000
KU	27:25	Это поле управляет кэшируемостью адресных сегментов kuseg и useg в режиме FM. В режиме TLB не используется. См. табл.Таблица 4.44	FM:R/W	FM:010
			TLB:R	TLB:000
0	24:21	Не используются	0	0
MDU	20	Тип MDU: итеративный умножитель и делитель	R	1
R	19	При чтении возвращается ноль	0	0
MM	18:17	Режим No Merging для 32 bit collapsing write buffer	R	0
BM	16	Тип передачи Burst: последовательный	R	0
BE	15	Режим endian: Little endian	R	0
AT	14:13	Тип архитектуры, реализованной процессором: MIPS32.	R	0
AR	12:10	Номер версии: 1	R	0

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
MT	9:7	Тип MMU: 1: Стандартный TLB (FM = 0) 3: Фиксированное отображение (FM = 1) 0, 2, 4-7: зарезервированы	R	TLB: 01
				FM: 11
R	6:3	При чтении возвращается нуль	0	0
K0	2:0	Алгоритм когерентности для kseg0, см. Таблица 4.44	R/W	010

Таблица 4.44. Атрибуты когерентности кэш

Значение C[5:3]	
0, 1, 3*, 4, 5, 6	Кэшируемая, некогерентная область
2*, 7	Некэшируемая область
* - Архитектура MIPS32 предусматривает только эти два значения. Остальные значения не используются и отображаются в используемые значения. Например, 0, 1, 4, 5 и 6 отображается в 3, а 7 – в 2.	

4.9.3.16 Регистр Config1 (Регистр 16 CP0, Select 1)

Регистр Config1 является дополнением к регистру Config и кодирует дополнительную информацию о возможностях процессора. Все поля регистра Config1 доступны только для чтения.

Формат регистра Config1

31	30	25	24	22	21	19	18	16	15	13	12	10	9	7	6	5	4	3	2	1	0				
R	MMUSize		IS		IL		IA		DS		DL		DA		R		PC		WR		CA		EP		FP

Таблица 4.45. Описание полей Config1 регистра

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
R	31	При чтении возвращается нуль	0	0
Размер MMU	30:25	Это поле содержит количество строк TLB минус 1. В режиме TLB возвращается 15 в десятичном формате, в режиме Fixed Mapping – 0	R	001111 (FM = 0)
				000000 (FM = 1)
IS	24:22	Количество наборов кэш команд: резервная опция	R	111
IL	21:19	Размер строки кэш команд: 16 байт	R	011
IA	18:16	Тип кэш команд: Direct mapped	R	0
DS	15:13	Нет кэш данных	R	0
DL	12:10	Нет кэш данных	R	0
DA	9:7	Нет кэш данных	R	0
R	6:5	При чтении возвращается нуль	0	0
PC	4	Нет регистра Performance Counter	R	0
WR	3	Нет регистра WATCH	R	0
CA	2	Не реализовано	R	0
EP	1	EJTAG не реализован	R	0
FP	0	Нет плавающей арифметики	R	0

4.9.3.17 Регистр LLAddr – Load Linked Address (Регистр 17 CP0, Select 0)

Регистр LLAddr содержит физический адрес последней команды Load Linked (LL). Этот регистр используется только для диагностических целей.

Формат LLAddr регистра

31	28	27	0
0	Paddr[31:4]		

Таблица 4.46. Описание полей LLAddr регистра

Поля		ОПИСАНИЕ	Чтение/ запись	Начальное состояние
Имя	Биты			
0	31:28	При чтении возвращается ноль	0	0
Paddr[31:4]	27:0	Физический адрес последней команды LL	R	Не определено

4.9.3.18 Регистр ErrorEPC (Регистр 30 CP0, Select 0)

Доступный для чтения и записи, регистр ErrorEPC полностью подобен регистру EPC, но используется при возникновении исключений ошибок. Все биты регистра ErrorEPC значимы и должны перезаписываться. Регистр ErrorEPC также используется для сохранения значения счетчика команд при возникновении исключений Reset и немаскируемого прерывании (NMI).

Регистр ErrorEPC содержит виртуальный адрес, начиная с которого может возобновиться исполнение программы после обработки ошибочной ситуации.

Этот адрес может быть:

- виртуальным адресом команды, вызвавшей исключение;
- виртуальным адресом команды перехода (BranCH или Jump), непосредственно предшествующей исключению, если команда, вызвавшая ошибку, находится в слоте задержки перехода.

В отличие от регистра EPC, для регистра ErrorEPC не имеется соответствующего признака слота задержки перехода.

Формат регистра ErrorEPC

31	0
ErrorEPC	

Таблица 4.47. Описание полей регистра ErrorEPC

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
ErrorEPC	31:0	Счетчик команд при исключении ошибки	R/W	Не определен

Регистры WatchLo, WatchHi, Debug, DEPC, TagLo, DataLo, DeSave не реализованы

4.10 Особенности реализации процессорного ядра

Процессорное ядро RISCore32 может иметь ряд архитектурных особенностей в зависимости от реализации в каждой конкретной микросхеме. Далее перечислены особенности ядра RISCore32 для микросхемы 1892ВМ10Я, которые нужно учитывать при разработке программного обеспечения.

1. В слотах задержки любых команд перехода разрешена только команда NOP.
2. Если используется пошаговая отладка программ, то после команд загрузки LWC1, LDC1, LW, LWL, LWR, LB, LBU, LH, LHU, LL разрешена только команда NOP.
3. После записи памяти командой SDC1 (сохранение 64 бит) нельзя выполнять операцию чтения памяти разрядностью меньше 64 бит (LW, LWC1, LH, LB) при включённом кэше данных.
4. При входе в любой обработчик прерывания должна быть реализована девалидация кэша инструкций, путем записи «1» в поля FLUSH_I регистра CSR микросхемы. После записи регистра CSR для синхронизации состояния необходимо произвести контрольное чтение из него.

5. МНОГОКАНАЛЬНЫЙ КОРРЕЛЯТОР

В составе микросхемы 1892ВМ10Я использовано IP – ядро Многоканального коррелятора (МКК) из IP – библиотеки платформы «МУЛЬТИКОР».

В качестве отличительных особенностей многоканального коррелятора можно назвать:

- 24 следящих каналов ГЛОНАСС/GPS повышенной точности, слежение за GPS L1, GLO L1, GLO L2 при помощи 6 подканалов, отстроенных друг от друга на определенное количество отсчетов данных; входные данные – две компоненты по 2 бита, накопленные на длительности от 1 до 16 мс, тактовая частота 15-40 МГц;
- 16 следящих каналов ГЛОНАСС/GPS, слежение за GPS L1, GLO L1, GLO L2 при помощи прямого и дифференциального подканалов, входные данные – две компоненты по 2 бита, накопление на длительности 1 мс, тактовая частота 15-40 МГц;
- 4 поисковых машины ГЛОНАСС/GPS, поиск в диапазонах GPS L1, GLO L1, GLO L2 при помощи свертки сигнала с ПСП на длительности 1 мс; входные данные – вещественная и мнимые компоненты по 2 бита. Накопление смешанного типа проходит в два этапа: сначала - когерентно на длительности от 1 до 16мс, далее – результаты учитываются в некогерентном накоплении, этот цикл повторяется заданное количество раз от 1 до 16. Тактовая частота 15-40 МГц, для работы требует дополнительно подачи повышенной частоты. Повышенная частота должна составлять не менее 66 МГц, что необходимо для обеспечения вычисления требуемого количества корреляций за длительность одного чипа ПСП;
- канал прямого чтения данных с RFFE, выполняющий перенос сигнала с ПЧ на нулевую, снятие доплеровской частоты (ПЧ от 0 до $F_s/2$), накопления на длительности от одного отсчета данных, результаты накоплений сохраняются в буфере типа FIFO глубиной 2048 отсчетов;
- модуль формирования временной шкалы 1мс с возможностью задания кода частоты;
- модуль формирования секундной метки с возможностью задания кода частоты, начальной фазы и длительности активного состояния секундного импульса;
- модуль интерфейса с АЦП, сэмплирующий отсчеты от АЦП по переднему либо заднему фронту частоты оцифровки, преобразующий входной сигнал различных кодировок во внутреннюю и подсчитывающий количество состояний АЦП для системы АРУ;

- устройство расчета ПСП, используемое ЦП для оперативного вычисления параметров настройки следящих каналов для заданного номера спутника и задержки ПСП;
- отладочный имитатор сигнала спутников ГНСС, предназначенный для проверки базовой функциональности МКК. Имитатор позволяет задавать ПСП спутника, коэффициент шума, смешиваемого с сигналом, а также доплеровское смещение сигнала.

Детальное описание МКК представлено в отдельном документе «Техническое описание многоканального коррелятора микросхемы 1892ВМ10Я».

6. ИНТЕРВАЛЬНЫЙ ТАЙМЕР

6.1 Назначение

Интервальный таймер (ИТ) предназначен для выработки периодических прерываний на основе деления тактовой частоты CPU либо внешней тактовой частоты – XTI или RTCXTI. Основные характеристики таймера:

- число разрядов делителя – 32;
- число разрядов предделителя – 8;
- программное управление стартом и остановкой таймера;
- доступ ко всем регистрам обеспечивается в любой момент времени.

В 1892BM10Я имеется два интервальных таймера ИТ0, ИТ1.

6.2 Структурная схема ИТ

Структурная схема ИТ представлена на Рисунок 6.1.

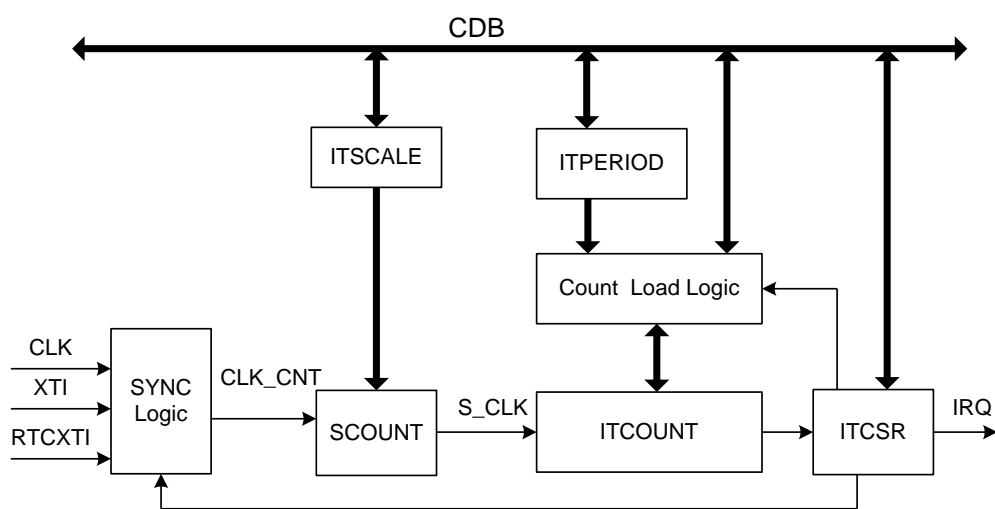


Рисунок 6.1. Структурная схема ИТ

В состав таймера входят следующие основные узлы:

- ИТCSR - регистр управления и состояния;
- ИТCOUNT - счетчик основного делителя;

- ITPERIOD - регистр периода основного делителя;
- ITSCALE - регистр предделителя;
- SCOUNT – счетчик предделителя;
- SYNC Logic – логика синхронизации частот;
- Count Load Logic - логика загрузки счетчика основного делителя.

На структурной схеме интервального таймера использованы следующие обозначения:

- CDB – шина данных CPU;
- CLK – тактовая частота работы CPU;
- XTI – внешняя тактовая частота;
- RTCXTI – внешняя тактовая частота;
- CLK_CNT – выходная частота логики синхронизации;
- S_CLK – выходная частота предделителя;
- IRQ – запрос на прерывание от таймера реального времени.

На вход интервального таймера поступает тактовая частота CPU и внешние тактовые частоты: XTI, RTCXTI. Для правильной работы таймера должны выполняться соотношения:

$$f_{XTI} \leq \frac{f_{CLK}}{4}, f_{RTCXTI} \leq \frac{f_{CLK}}{4}, \text{ где } f_{XTI}, f_{RTCXTI} \text{ и } f_{CLK} \text{ значения частот XTI, RTCXTI и CLK}$$

соответственно. Как правило, RTCXTI имеет частоту 32,768 кГц.

Описание регистров интервального таймера в Таблица 6.1. приведен перечень программно-доступных регистров ИТ.

Таблица 6.1. Перечень регистров ИТ

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние
ITCSR[4:0]	Регистр управления и состояния	W/R	0
ITPERIOD[31:0]	Регистр периода	W/R	FFFF_FFFF
ITCOUNT[31:0]	Регистр счетчика основного делителя частоты	W/R	0000_0000
ITSCALE[7:0]	Регистр предделителя частоты	W/R	0000

Формат регистра ITCSR приведен в Таблица 6.2.

Таблица 6.2. Формат регистра ITCSR

Номер разряда	Условное обозначение	Описание
0	EN	Разрешение работы таймера: 0 – запрещение работы (неактивное состояние таймера); 1 – разрешение работы (активное состояние таймера).
1	INT	Признак срабатывания таймера. Состояние данного разряда транслируется в соответствующие биты ITR1 или ITR0 регистра QSTR0 (на входе этого регистра он объединяется по логическому «или» с одноименными разрядами регистров управления и

Номер разряда	Условное обозначение	Описание
		состояния таймеров WDT и IT). Сбрасывается при записи нуля в этот разряд.
2	TICK	Бит тестирования регистра счетчика ITCOUNT и регистра предделителя IRTSCALE. При записи 1 в бит TICK декрементируется значение счетчика ITCOUNT и предделителя IRTSCALE. Поле доступно только по записи.
4:3	CLK_SEL	Задаёт тактовую частоту от которой работает IT: 00 – CLK – тактовая частота CPU; 01 – XTI – внешняя тактовая частота; 10 – RTCXTI – внешняя тактовая частота;

8-разрядный регистр ITSCALE используется для задания коэффициента предделения тактовой частоты CLK_CNT, которая поступает на вход счетчика SCOUNT.

32-разрядные регистр ITPERIOD используется для задания периода работы основного делителя.

32-разрядный счетчик основного делителя частоты ITCOUNT работает в режиме декремента. На вход этого счетчика поступает частота (S_CLK) с выхода счетчика предделителя.

Если ITPERIOD = 0000_7FFF, ITSCALE = 0000, при этом в регистре ITCSR задана работа от внешней частоты RTCXTI (ITCSR[4:3]=10), а частота RTCXTI = 32,768 кГц, то интервальный таймер формирует прерывание каждую секунду.

6.3 Программирование IT

Перед началом работы с таймером необходимо задать источник тактовой частоты в регистре ITCSR[4:3]=CLK_SEL. Затем необходимо загрузить значение периода в регистр ITPERIOD и значение коэффициента предделения частоты в регистр ITSCALE.

Для активизации таймера необходимо в бит EN регистра ITCSR записать 1. В момент этой записи содержимое регистров ITSCALE и ITPERIOD переписывается в счетчики SCOUNT и ITCOUNT соответственно. После этого оба счетчика начинают работать в режиме декремента. При этом предделитель работает от частоты CLK_CNT, а счетчик ITCOUNT – от частоты S_CLK, формируемой предделителем.

Когда оба счетчика SCOUNT и ITCOUNT достигают нулевого состояния, в регистре ITCSR устанавливается бит INT и формируется запрос на прерывание, а содержимое регистров ITSCALE и ITPERIOD снова переписывается в счетчики SCOUNT и ITCOUNT соответственно. Далее таймер работает аналогичным образом.

Запрос на прерывание формируется каждые $\{(itperiod + 1) * (irtscale + 1)\}$ тактов CLK_CNT, где itperiod и irtscale – содержимое регистров ITPERIOD и ITSCALE соответственно.

26.01.2023

При необходимости, в любой момент времени в регистры ITCOUNT и ITPERIOD можно произвести запись новых данных и тем самым изменить значение обрабатываемого временного интервала.

7. СТОРОЖЕВОЙ ТАЙМЕР

7.1 Назначение

Сторожевой таймер (WDT) предназначен для:

- вывода системы из зависания, если программное обеспечение зациклилось и не формирует соответствующих управляющих воздействий;
- выработки прерываний на основе деления тактовой частоты CPU.

Основные характеристики таймера:

- число разрядов основного делителя – 32;
- число разрядов предделителя – 8;
- программное управление стартом и остановкой таймера;
- два режима работы: режим сторожевого таймера (WDM) и режим интервального таймера (ITM);
- два режима отработки временных интервалов: однократный и периодический;
- доступ ко всем регистрам обеспечивается в любой момент времени.

7.2 Структурная схема

Структурная схема сторожевого таймера приведена на Рисунок 7.1.

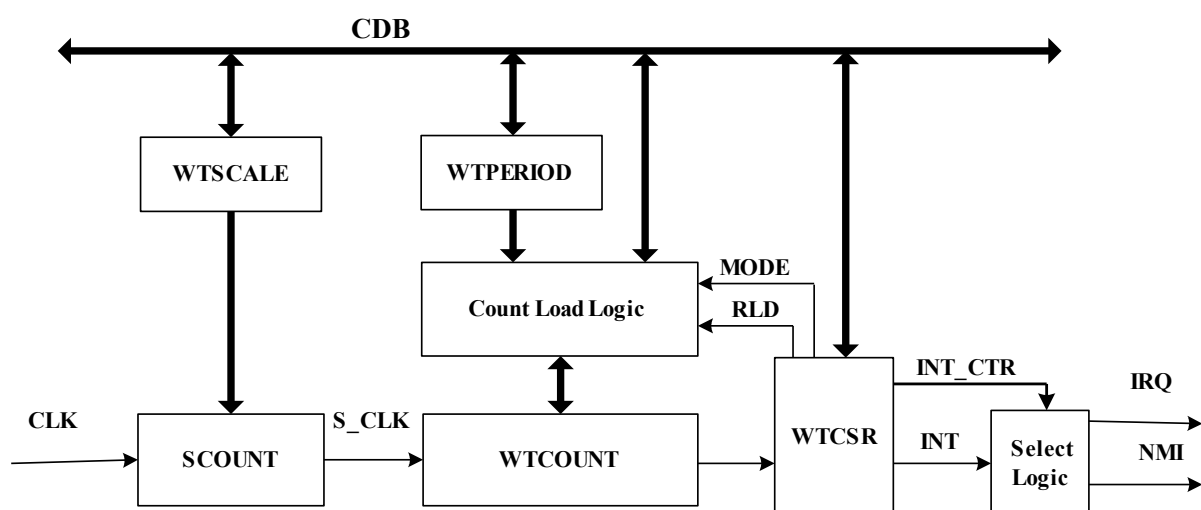


Рисунок 7.1. Структурная схема сторожевого таймера

В состав сторожевого таймера входят следующие основные узлы:

- WTCSR - регистр управления и состояния;

- WTCOUNT - счетчик основного делителя;
- WTPERIOD - регистр периода основного делителя;
- WTSCALE - регистр предделителя;
- SCOUNT – счетчик предделителя;
- Count Load Logic - логика загрузки счетчика основного делителя.

На структурной схеме интервального таймера использованы следующие обозначения:

- CDB – шина данных CPU;
- CLK – тактовая частота работы CPU;
- S_CLK – выходная частота предделителя;
- IRQ – запрос на прерывание от интервального таймера;
- NMI – немаскируемое прерывание.

7.3 Описание регистров WDT

В Таблица 7.1 приведен перечень программно-доступных регистров WDT.

Таблица 7.1. Перечень программно-доступных регистров WDT

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние
WTCSR[14:0]	Регистр управления и состояния	W/R	0000
WTPERIOD[31:0]	Регистр периода	W/R – в неактивном состоянии; R – в активном состоянии.	FFFF_FFFF
WTCOUNT[31:0]	Регистр счетчика основного делителя частоты	W/R – в неактивном состоянии; R – в активном состоянии.	0000_0000
WTSCALE[15:0]	Регистр предделителя частоты	W/R – в неактивном состоянии; R – в активном состоянии.	0000

8-разрядный регистр WTSCALE используется для задания коэффициента предделения тактовой частоты CPU (CLK), которая поступает на вход счетчика SCOUNT.

32-разрядные регистр WTPERIOD используется для задания периода работы основного делителя.

32-разрядный счетчик основного делителя частоты WTCOUNT работает в режиме декремента. На вход этого счетчика поступает частота S_CLK с выхода счетчика предделителя.

Формат регистра WTCSR приведен в Таблица 7.2.

Таблица 7.2. Формат регистра WTCSR

Номер разряда	Условное обозначение	Описание
7: 0	KEY	Поле для записи ключей. Запись в это поле последовательности кодов A0 (ключ KEY1) и F5 (ключ KEY2) приводит к переключению таймера из режима сторожевого таймера (WDM) в режим интервального таймера (ITM). Поле доступно по чтению и записи. Поле доступно по записи только в режиме WDM: когда EN=1 или когда таймер находится в состоянии Timeout. Сбрасывается в ноль при переводе таймера из режима ITM в режим WDM. Значение в исходном состоянии – 0.
8	EN	Разрешение работы таймера: 0 – запрещение работы (неактивное состояние таймера); 1 – разрешение работы (активное состояние таймера). Доступен по чтению и записи. Запись нуля в этот бит при работе таймера в режиме WDM не имеет эффекта. Значение в исходном состоянии – 0.
9	INT	Признак срабатывания таймера. В зависимости от содержимого поля INT_CTR состояние данного разряда транслируется или в разряд WDT_QSTR0 или в сигнал включения частоты ядра микросхемы. Сбрасывается при записи нуля в этот разряд, а также при переводе таймера из режима ITM в режим WDM. Доступен по чтению и записи в режиме ITM и только по чтению в режиме WDM. Значение в исходном состоянии – 0.
10	MODE	Режим работы таймера: 0 – режим сторожевого таймера (WDM); 1 – режим обычного таймера (ITM). Доступен по чтению и записи при EN=0 и только по чтению при EN=1. Значение в исходном состоянии – 0.
11	RLD	Бит управления перезагрузкой SCOUNT и WTCOUNT при работе в режиме ITM: 0 – таймер однократно обрабатывает временной интервал и останавливается; 1 – таймер обрабатывает заданный временной интервал периодически. После обработки очередного временного интервала содержимое WTSCALE и WTPERIOD загружается в SCOUNT и WTCOUNT соответственно. Доступен по чтению и записи при EN=0 и только по чтению при EN=1. Значение в исходном состоянии – 0.
13: 12	INT_CTR	Управления типом прерывания, которое формируется таймером WDT: 00 – прерывание не формируется; 01 – обычное прерывание (QSTR[20]). Как правило, используется в режиме ITM; 10 – сигнал включения частоты ядра микросхемы. Используется в режиме WDM; 11 – прерывание не формируется. Формируется внешний сигнал WDT (см. табл. 15.2). Поле доступно по чтению и записи при EN=0 и только по чтению при EN=1. Значение в исходном состоянии – 0.

7.4 Программирование WDT

Диаграмма состояний WDT приведена на рисунке 7.2.

В исходном состоянии WDT находится в режиме сторожевого таймера. Для перевода его в режим интервального таймера необходимо записать 1 в бит MODE регистра WTCSR. Следует отметить, что смена режима работы таймера посредством записи в бит MODE возможна, если таймер не активен (EN=0).

Перед началом работы с таймером WDT необходимо загрузить значение периода в регистр WTPERIOD и значение коэффициента предделения частоты в регистр WTSCALE.

Для активизации таймера необходимо в бит EN регистра WTCSR записать 1. В момент этой записи содержимое регистров WTSCALE и WTPERIOD переписывается в счетчики SCOUNT и WTCOUNT соответственно. После этого оба счетчика начинают работать в режиме декремента. При этом предделитель работает от частоты CLK, а счетчик WTCOUNT – от частоты S_CLK, формируемой предделителем.

После активизации таймера, WTCOUNT, WTPERIOD, WTSCALE, а также поля INT_CTR, MODE, RLD регистра WTCSR, становятся не доступными по записи.

Сторожевой таймер в режиме WDM необходимо периодически обслуживать. То есть, если он был активизирован в режиме WDM, то для того, чтобы не возникло состояния Timeout необходимо периодически выполнять следующую последовательность действий:

- переключить таймер из режима WDM в режим ITM посредством последовательной записи в поле KEY регистра WTCSR кодов A0 и F5;
- остановить таймер посредством записи 0 в бит EN регистра WTCSR;
- установить MODE=0.

Если вслед за значением A0 в поле KEY будет записано значение \neq F5, то таймер перейдет в состояние Timeout.

Если после активизации таймера в режиме WDM, он не будет переведен в режим ITM, то, когда оба счетчика SCOUNT и WTCOUNT достигнут нулевого значения, таймер перейдет в состояние Timeout.

В состоянии Timeout таймер формирует признак INT и останавливается, а запись в какой-либо из его регистров блокируется. Для вывода WDT из состояния Timeout необходимо его переключить в режим ITM посредством последовательной записи в поле KEY регистра WTCSR кодов A0 и F5.

При переключении таймера из неактивного состояния в режиме ITM в режим WDM путем записи 0 в поле MODE регистра WTCSR происходит обнуление полей KEY и INT.

При работе таймера в режиме ITM при RLD=0 он однократно обрабатывает заданный временной интервал, устанавливает INT=1 и останавливается (когда оба счетчика SCOUNT и WTCOUNT достигают нулевого состояния). Если RLD=1, то каждый раз после достижения счетчиками нулевого состояния и установки INT=1, происходит перезагрузка значений периода и коэффициента предделения частоты. То есть, таймер обрабатывает заданный временной интервал периодически до тех пор, пока он не будет остановлен.

Запрос на прерывание формируется каждые $\{(wtperiod + 1) * (wtscale + 1)\}$ тактов работы CPU, где wtperiod и wtscale – содержимое регистров WTPERIOD и WTSCALE соответственно.

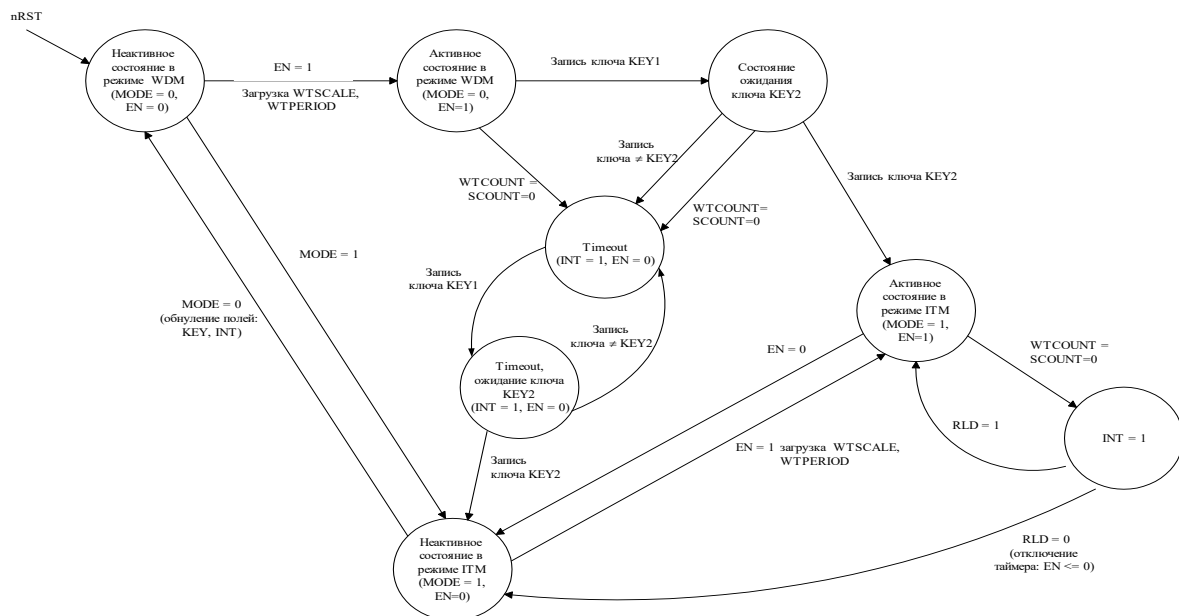


Рисунок 7.2. Диаграмма состояний WDT

8. КОНТРОЛЛЕР ПРЯМОГО ДОСТУПА В ПАМЯТЬ (DMA)

8.1 Общие положения

8.1.1 Типы каналов

Контроллер DMA 1892BM10Я имеет 20 каналов. Перечень каналов приведен в Таблица 8.1.

Таблица 8.1. Каналы DMA

Условное обозначение канала	Назначение канала
CPU	-
DSP	-
VPIN_CH	Прием данных из контроллера VPIN в память (внешнюю или внутреннюю)
VPOUT_CH	Передача данных из памяти (внешней или внутренней) в контроллер VPOUT
MFBSР_RX_C H0 – MFBSР_RX_C H3	Прием данных из контроллеров MFBSР0:3 в память (внешнюю или внутреннюю)
MFBSР_TX_C H0 – MFBSР_TX_C H3	Передача данных из памяти (внешней или внутренней) в контроллеры MFBSР0:3
EMAC_CH0 – EMAC_CH1	EMAC_CH1 - передача данных из памяти (внешней или внутренней) в контроллер EMAC; EMAC_CH0 - прием данных из контроллера EMAC в память (внешнюю или внутреннюю)
MEM_CH0 – MEM_CH3	Обмен данными типа память-память

Памятью могут быть SRAM, блоки памяти сопроцессоров DSP: XRAM, YRAM и PRAM, внешняя память, доступная через порт MPORT.

Каналы имеют внешний сигнал запроса передачи данных (nDMAR[3-0]), позволяющий организовывать эффективный обмен данными с внешними устройствами. Внешние сигналы запроса коммутируются по следующим правилам: nDMAR[0] на канал MEM_CH0; nDMAR[1] на канал MEM_CH1; ...; nDMAR[3] на канал MEM_CH3. nDMAR[i] может одновременно запускать тот относящийся к нему канал в котором установлен бит MASK (10 разряд регистра CSR).

Если при работе DMA изменяется программный код в памяти, то когерентность кэш программ CPU (ICACHE) аппаратно не обеспечивается. В этом случае для обеспечения когерентности используется бит FLUSH в регистре CSR.

8.1.2 Организация обмена данными в микросхеме

Для передачи данных в 1892BM10Я имеются: шина CDB (CPU Data Bus) и коммутатор SWITCH.

CPU без конфликтов с DMA обменивается данными с памятью CRAM, с системными регистрами (CSR, MASKR, QSTR), а также с регистрами таймеров (IT0, IT1, WDT), сопроцессоров (DSP), MPORT, MFBSP3:MFBSP0, EMAC, VPIN, VPOUT, I2C, UART).

Коммутатор обеспечивает передачу данных между любым исполнительным устройством (Slave) и любым задатчиком (Master). Исполнительными устройствами являются блоки внутренней памяти (CRAM, память DSP) или любая внешняя память, доступная через MPORT. Задатчиками могут быть CPU, каналы DMA контроллеров MFBSP3:MFBSP0, EMAC, VPIN, VPOUT, и каналы DMA типа память-память.

Процесс передачи данных между любыми парами Slave - Master выполняется параллельно и без конфликтов. Конфликт между задатчиками возникает, если они через коммутатор пытаются обменяться данными с одним и тем же исполнительным устройством.

8.1.3 Темп передачи

DMA_MEM осуществляют передачу 64/32-разрядными словами данных.

Каналы за один цикл занятия коммутатора передают пачку данных. Размер пачки задается полем WN в регистре CSR соответствующего канала DMA и определяется системными требованиями по передаче данных. Если после передачи пачки данных нет запросов от других каналов DMA или CPU, то данный канал без перерыва начинает передавать следующую пачку данных и т.д.

CPU за один цикл занятия коммутатора SWITCH выполняет одну из следующих операций (после этого шина освобождается):

- чтение одного слова данных по команде Load;
- запись одного слова данных по команде Store;
- выборка команды из внешней памяти;
- процедура Refill (загрузка из внешней памяти в ICACHE 4 команды), если адрес команды CACHED, а ее нет в ICACHE (ситуация MISS).

8.1.4 Прерывания DMA

Канал DMA формирует прерывание (при условии, если установлен соответствующий бит в регистре MASKR и в регистре STATUS RISC-ядра:

- при единичном состоянии бита DONE;

- при единичном состоянии битов END.

Обнуление битов DONE и END (и снятие соответствующего прерывания) выполняется посредством чтения содержимого регистра CSR или записью в них нуля CPU.

8.2 Процедура самоинициализации

Каналы DMA MEM_CH могут выполнять процедуру самоинициализации (выполнение цепочки передач DMA).

Для выполнения самоинициализации в каналах имеется 32-разрядный регистр CP, в котором хранится начальный адрес блока параметров очередного DMA обмена. Младшие три разряда регистра CP игнорируются (адреса выровнены по границе 64-разрядного слова). Младший (нулевой разряд) регистра CP используется для старта режима самоинициализации. Эти параметры при самоинициализации аппаратно загружаются в 64-разрядном формате в соответствующие регистры канала DMA. Процедура этой загрузки ничем не отличается от обычного DMA обмена. Блок параметров может размещаться в любой памяти.

Параметры для самоинициализации размещаются в памяти в шести последовательных 32-разрядных словах, следующим образом (в порядке возрастания адресов):

Смещение	Параметр
0x00	IR0
0x04	IR1
0x08	{OR1 ₁₆ , OR0 ₁₆ }
0x0C	{WCY ₁₆ , ORY ₁₆ }
0x10	CP
0x14	CSR

Если необходимо продолжить цепочку команд, то необходимо указать CHEN=1. В режиме самоинициализации при записи параметров в регистр CSR биты END и DONE недоступны.

Для запуска работы канала DMA в режиме с самоинициализацией необходимо в регистр CP записать адрес первого блока параметров DMA передачи. При этом 0 разряд записываемых данных должен содержать 1 (признак пуска самоинициализации). В результате этого, соответствующий канал загрузит в свои регистры параметры DMA передачи и начнет обмен данными.

После окончания передачи блока данных бит END в регистре CSR устанавливается в единичное состояние, если бит IM = 1 - выдается прерывание. По окончании передачи блока данных также проверяется состояние бита CHEN. Если он равен 1, то будет загружен следующий блок параметров DMA передачи и т.д. В противном случае цепочка DMA обменов закончится и в регистре CSR бит DONE установится в единичное состояние и выдается прерывание.

При необходимости каналы DMA могут инициализироваться программно. Для этого RISC должен загрузить все необходимые регистры индекса и смещения, а затем регистр CSR. При загрузке регистра CSR бит RUN необходимо установить в единичное состояние. Следует отметить, что бит RUN может быть использован для приостановки канала DMA. Для этого в любой момент времени в него необходимо записать 0. Для продолжения работы соответственно в бит RUN необходимо записать 1. Бит RUN может быть использован также для приостановки выполнения цепочки, если при загрузке очередных параметров он будет равен 0. Для продолжения выполнения цепочки в бит RUN необходимо записать 1. Для удобства организации обмена только с битом RUN выделен персональный адрес в адресном пространстве канала DMA MEM_CH.

Процедура инициализации DMA портов MFBSP, EMAC, VPIN, VPOUT аналогична каналам MEM_CH. Параметры для самоинициализации размещаются в памяти в двух последовательных 64-разрядных словах, следующим образом (в порядке возрастания адресов):

Смещение	Параметр
0x00	-
0x04	IR
0x08	CP
0x0C	CSR

8.3 Каналы обмена данными типа память - память

В 1892BM10Я имеется 4 канала MEM_CH, которые обеспечивают обмен данными между двумя областями любых блоков памяти (внутренних или внешних).

Для управления работой каждого канала MEM_CH имеются следующие регистры:

- регистр управления и состояния – CSR_MEM_CH;
- регистры индекса (физический адрес памяти) - IR0, IR1;
- регистры смещения - OR, Y;
- регистр начального физического адреса блока параметров DMA передачи для выполнения процедуры самоинициализации (CP);
- псевдорегистр управления состоянием бита RUN регистра CSR (RUN_MEM_CH).

Исходное состояние регистров CSR_MEM_CH: разряды [15:0] – нули, а состояние разрядов 31:16 не определено. Исходное состояние остальных регистров не определено.

Формат регистров CSR_MEM_CH этих каналов приведен в Таблица 8.2.

Таблица 8.2. Формат регистра управления и состояния каналов MEM_CN

Номер разряда	Условное Обозначение	Назначение
0	RUN	Состояние работы канала DMA: 0 – состояние останова; 1 – состояние обмена данными. Устанавливается в 1 при записи 1 в этот разряд. Устанавливается в 0: при записи 0 в этот разряд и после окончания передачи данных, оставшихся в канале; при завершении передачи блока данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
1	DIR	Направление обмена данными: 0 – память по IR0 => память по IR1; 1 – память по IR1 => память по IR0.
5:2	WN	Пакет данных, который передается по коммутатору AXI Switch за одно предоставление прямого доступа: 0 – 1 слово; F – 16 слов. Посредством этого параметра можно плавно изменять приоритет каналов DMA относительно CPU, DSP и относительно друг друга
6	EN64	Формат передаваемых данных по коммутатору AXI Switch: 0 – 32 разряда; 1 – 64 разряда. При передаче 32-разрядными словами: WCX – число 32-разрядных слов; адрес в IR0, IR1 должен быть выровнен по границе 32-разрядного слова. При передаче 64-разрядными словами: WCX – число 64-разрядных слов; адрес в IR0, IR1 должен быть выровнен по границе 64-разрядного слова
7	START_DSP	Разрешение запуска работы DSP-ядра (перевод из состояния STOP в состояние RUN) после завершения передачи блока данных: 0 – запуск запрещен; 1 – запуск разрешен.
8	MODE	Режим модификации адреса регистра IR0 0 – линейный режим; 1 – режим с обратным переносом.
9	2D	Режим модификации адреса регистра IR1: 0 – одномерный режим; 1 – двухмерный режим.
10	MASK	Маска внешнего запроса прямого доступа nDMAR: 0 – запрос запрещен; 1 – запрос разрешен. Если разряд равен нулю, то канал работает только под управлением бита RUN. Если разряд равен 1, то для инициализации канала необходимо также наличие запроса nDMAR (низкий уровень).

Номер разряда	Условное Обозначение	Назначение
11	FLYBY	Признак выполнения обмена данными в режиме Flyby: 0 – обычный режим; 1 – режим Flyby. Обмен данными между внешней памятью и внешним устройством
12	CHEN	Разрешение выполнения очередной процедуры самоинициализации: 0 – выполнение очередной процедуры самоинициализации запрещено; 1 – выполнение очередной процедуры самоинициализации разрешено. Используется только при обмене цепочкой блоков данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
13	IM	Маска разрешение установки признака END: 0 – установки признака запрещено; 1 – установки признака разрешено. Используется только при обмене цепочкой блоков данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
14	END	Признак завершения передачи блока данных. Устанавливается в 1 при завершении передачи блока данных (при IM=1). Устанавливается в 0 при чтении содержимого этого регистра. Доступен по записи и чтению.
15	DONE	Признак завершения передачи блока данных. Устанавливается в 1 при завершении передачи блока данных при CHEN=0 (CHEN=1 может быть только при использовании процедуры самоинициализации). Устанавливается в 0 при чтении содержимого этого регистра
31:16	WCX	Число слов данных, которые должен передать канал DMA при одномерной адресации (блок данных). Число слов в строке при двухмерной адресации. Количество передаваемых слов = WCX + 1. Содержимое этого поля уменьшается на 1 после передачи каналом DMA очередного слова данных

Все разряды регистра CSR_MEM_CH доступны по записи и чтению.

Состоянием разряда 0 регистра CSR_MEM_CH можно управлять, используя адрес псевдорегистра RUN. При этом остальные разряды этого регистра не изменяются. Эта процедура может быть использована для временной приостановки канала DMA. При чтении по адресу псевдорегистра RUN считывается содержимое регистра CSR_MEM_CH без сброса битов END и DONE.

32-разрядные регистры индекса IR0, IR1 содержат начальные физические адреса источника и приемника данных (или, наоборот, в зависимости от содержимого разряда DIR регистра CSR_MEM_CH) памяти микросхемы. В зависимости от содержимого

разряда EN64 адреса в этих регистрах должны быть выровнены по границе 32 или 64-разрядного слова.

Формат регистра смещения OR приведен в Таблица 8.3.

Таблица 8.3. Формат регистра индекса и смещения каналов MEM_CN

Номер разряда	Условное Обозначение	Назначение
15:0	OR0	Смещение (приращение) адреса для индексного регистра IR0 после передачи каждого слова данных
31:16	OR1	Смещение (приращение) адреса для индексного регистра IR1 после передачи каждого слова данных

Модификация индексного регистра IR0 при помощи смещения OR0 обеспечивается в режимах с прямым или обратным переносами. Режим с обратным переносом используется при реализации алгоритма быстрого преобразования Фурье (БПФ). Модификация индексного регистра IR1 при помощи смещения OR1 обеспечивается только в режиме с прямым переносом.

В режиме модификации индексного регистра с прямым переносом смещение, задаваемое полями OR0, OR1, рассматривается как число со знаком в диапазоне -32768 до $+32767$ слов данных (32 или 64-разрядных). Алгоритм модификации адреса с прямым переносом:

```
for ( x = 0; x < WCX; x++ ) { пересылка по адресу IR0;
    модификация адреса для 64-х разрядного обмена: IR0 = IR0 +
    {{13{OR0[15]}},OR0,000};
    модификация адреса для 32-х разрядного обмена: IR0 = IR0 +
    {{14{OR0[15]}},OR0,00};
    пересылка по адресу IR1;
    модификация адреса для 64-х разрядного обмена: IR1 = IR1 +
    {{13{OR1[15]}},OR1,000};
    модификация адреса для 32-х разрядного обмена: IR1 = IR1 +
    {{14{OR1[15]}},OR1,00};
}
```

В режиме модификации индексного регистра с обратным переносом смещение, задаваемое полем OR0, имеет диапазон от 0 до +65535. Модификация адреса в этом случае выполняется с распространением переноса в обратном направлении – от старших разрядов к младшим. Операция модификации адреса с обратным переносом эквивалентна последовательному выполнению следующих процедур:

- 16-разрядное смещение OR0 дополняется до 32 разрядов: со стороны младших – двумя или тремя нулями, (для 32 или 64-разрядного обменов соответственно, а со стороны старших разрядов – четырнадцатью или тринадцатью нулями, для 32 и 64-разрядного обменов соответственно;

- изменение на обратный порядок следования разрядов в регистрах адреса и смещения. При этом старший бит становится младшим;
- модификация адреса посредством операции сложения с прямым переносом;
- восстановление первоначального порядка следования разрядов регистра адреса.

Модификацию адреса с обратным переносом можно описать при помощи следующих выражений:

$IR0 [0:31] = IR0[0:31] + \{000, OR0[0:15], 0000000000000\}$ – для 64-разрядного обмена;
 $IR0 [0:31] = IR0[0:31] + \{00, OR0[0:15], 00000000000000\}$ – для 32-разрядного обмена.

Канала MEM_CN обеспечивают передачу двумерных массивов (матриц $W[m;n]$). При этом, память (внутренняя или внешняя) адресуется в двухмерном режиме. Для этого имеется 32-разрядный регистр Y, формат которого приведен в Таблица 8.4.

Таблица 8.4. Формат регистра Y

Номер разряда	Условное Обозначение	Назначение
15:0	OY	Смещение (приращение) адреса памяти в 32-разрядных словах по направлению Y. Используется только при двухмерной адресации.
31:16	WCY	Число строк по Y направлению. Используется только при двухмерной адресации. Количество передаваемых строк = WCY + 1.

При двухмерном режиме адресации поле WCX регистра CSR содержит число слов в строке (X направление), а поле WCY регистра Y содержит число строк (Y направление). Пересылка каждого слова данных осуществляется по индексному регистру IR1 с его последующей инкрементацией на величину, соответствующую содержимому поля OR1 регистра OR (X направление) или поля OY регистра Y. Двухмерная адресация выполняется следующим образом:

Содержимое счетчика WCX сохраняется в буферном регистре;

1 цикл. Индексный регистр внешней памяти модифицируется с использованием смещения OR1. Счетчик WCX декрементируется. Если он равен 0, то переход ко второму циклу.

2 цикл. Состояние счетчика WCX восстанавливается из буферного регистра. Индексный регистр внешней памяти модифицируется с использованием смещения OY. Счетчик WCY декрементируется. Если он не равен 0, то переход к первому циклу. Если он равен 0, то работа канала завершается.

Функционально двумерная адресация эквивалентна следующему двойному циклу (реализуется только по IR1, OR1):

```

for ( y = 0; y <= WCY; y++ ) {
    for ( x = 0; x < WCX; x++ ) { пересылка по адресу IR1
                                для 64-х разрядного обмена : IR1 =
IR1 + {{13{OR1[15]}},OR1,3'h0};
                                для 32-х разрядного обмена : IR1 =
IR1 + {{14{OR1[15]}},OR1,2'h0}
                                };
                                пересылка по адресу IR1
                                для 64-х разрядного обмена : IR1 = IR1 +
{{13{ORY[15]}},ORY,3'h0};
                                для 32-х разрядного обмена : IR1 = IR1 +
{{14{ORY[15]}},ORY,2'h0};
                                };
}

//общее кол-во пересылок (WCX=1)*(WCY+1)
Работа по внешним запросам.
    
```

Каждый канал MEM_CH3:0 имеет внешний сигнал запроса обмена данными nDMAR3:0 соответственно, позволяющий организовывать эффективный обмен данными с внешними устройствами. Для работы по внешним запросам необходимо сначала настроить канал DMA (в том числе установить бит MASK регистра CSR_MEM_CH в «1»), а затем активизировать внешнее устройство на формирование сигналов nDMAR.

По каждому переходу сигнала nDMAR из «1» в «0» DMA выполняет процедуру передачи одной пачки слов размером в соответствии с полем WN регистра CSR_MEM_CH. Внешнее устройство может снять сигнал nDMAR в начале этой пачки или выдавать сигнал nDMAR в виде отрицательного импульса длительностью не менее 1,5 периодов системной тактовой частоты CLK (частота, на которой работает CPU).

Необходимо иметь в виду, что факт перехода сигнала nDMAR из «1» в «0» запоминается в DMA при MASK=1 вне зависимости от состояния бита RUN. Если в процессе работы в DMA будет запомнен «лишний» факт перехода сигнала nDMAR из «1» в «0», то его можно сбросить, выполнив операцию записи в регистр CSR.

8.4 Каналы DMA для портов

Для обслуживания портов VPIN, VPOUT, EMAC, MFBSР имеются следующие каналы DMA:

VPIN_CH,

VPOUT_CH,

EMAC_CH1, EMAC_CH0,

MFBSР_TX_CH3, MFBSР_TX_CH2, MFBSР_TX_CH1, MFBSР_TX_CH0,

MFBSР_RX_CH3, MFBSР_RX_CH2, MFBSР_RX_CH1, MFBSР_RX_CH0.

Формат регистров управления и состояния CSR каналов этих портов приведен в Таблица 8.5.

Таблица 8.5. Формат регистров управления и состояния DMA портов

Номер разряда	Условное обозначение	Назначение
0	RUN	Состояние работы канала DMA: 0 – состояние останова; 1 – состояние обмена данными. Устанавливается в 1 при записи 1 в этот разряд. Устанавливается в 0: при завершении передачи блока данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
1	-	Резерв
5:2	WN	Число слов данных (пачка), которое передается за одно предоставление прямого доступа. Допустимые значения от 0x7 (8 слов) до 0xF (16 слов). Посредством этого параметра можно плавно изменять приоритет каналов DMA относительно других устройств и относительно друг друга.
6	IPD	Запрет прерывания по запросу от порта при выключенном канале DMA (RUN=0). 0 – разрешено; 1 – запрещено
11:7	-	Резерв
12	CHEN	Разрешение выполнения очередной процедуры самоинициализации: 0 – выполнение очередной процедуры самоинициализации запрещено; 1 – выполнение очередной процедуры самоинициализации разрешено. Используется только при обмене цепочкой блоков данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации

Номер разряда	Условное обозначение	Назначение
13	IM	Маска разрешение установки признака END: 0 – установки признака запрещено; 1 – установки признака разрешено. Используется только при обмене цепочкой блоков данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
14	END	Признак завершения передачи блока данных. Устанавливается в 1 при завершении передачи блока данных (при IM=1). Устанавливается в 0 при чтении содержимого этого регистра.
15	DONE	Признак завершения передачи блока данных. Устанавливается в 1 при завершении передачи блока данных при CHEN=0 (CHEN=1 может быть только при использовании процедуры самоинициализации). Устанавливается в 0 при чтении содержимого этого регистра
31:16	WCX	Кроме EMAC_CH: число 64-разрядных слов данных, которые должен передать канал DMA (блок данных). количество передаваемых слов: WCX + 1; содержимое этого поля уменьшается на 1 после передачи каналом DMA очередного слова данных. Для EMAC_CH: число байт данных, которое должен передать канал DMA (блок данных); количество передаваемых байт: WCX + 1; содержимое этого поля уменьшается на число переданных байт данных. Исходное состояние поля не определено.

Все разряды регистра CSR доступны по записи и чтению.

Бит RUN может быть использован для остановки работы канала DMA портов. Для этого в любой момент времени в него необходимо записать 0. Эта процедура возможна, если длина массива данных, указанного в канале DMA порта, равна длине массива данных, который порт передаст. Для продолжения работы в бит RUN необходимо записать 1.

Если порт прекратил обмен данными по внешней причине, то длина массива данных, указанного в канале DMA порта, будет не равна длине массива данных, который порт действительно передаст. В этом случае для остановки работы порта и его канала DMA необходимо использовать следующие алгоритмы:

1. Остановить MFBSP, для чего в регистр CSR_MFBSP необходимо записать 0.
(Данная запись остановит и приемник и передатчик, если нужно остановить только приемник или только передатчик необходимо использовать запись 0 в поле REN, регистра RCTR для остановки приемника, или TEN, регистра TCTR для остановки передатчика)*.

2. Выполнить операцию записи 0 в бит RUN регистра CSR соответствующего канала DMA MFBSP (при этом, бит RUN может в 0 не установиться).
3. Установить в регистре EMERG_MFBSP в 1 бит RX_DBG, если останавливался приемник или TX_DBG, если останавливался передатчик (TX_RDY_MODE) регистра.
4. Дождаться установки в 0 бита RUN регистра CSR соответствующего канала DMA MFBSP.
5. Установить в регистре EMERG_MFBSP в 0 биты RX_DBG и TX_DBG.
6. Сбросить буфер приема или буфер передачи (в зависимости от того останавливался приемник или передатчик) записью 1 в поле RST_RXBUF или RST_TXBUF, регистра EMERG_MFBSP*.

*действия приведены для режимов SPI и I2S для режима LPорт в п1 останов выполняется только записью 0 в CSR_MFBSP, а сброс буфера в п 6 записью 1 в поле RST_LPTVUF. Следует отметить, что при выполнении этих алгоритмов «хвост» передаваемых данных из порта теряется, а в «хвосте» приемного буфера данные будут недостоверны.

Состоянием разряда 0 регистра CSR можно управлять, используя адрес псевдорегистра RUN. При этом остальные разряды этого регистра не изменяются. Эта процедура может быть использована для временной приостановки канала DMA. При чтении по адресу псевдорегистра RUN считывается содержимое регистра CSR без сброса битов END и DONE.

Канал DMA устанавливает соответствующее прерывание в регистре QSTR при DONE=1 или END=1.

Порт Ethernet MAC имеет возможность изменять поле WN канала EMAC_CN в сторону уменьшения его значения, в случае если в FIFO порта осталось количество слов меньше чем указано в поле WN.

Более подробная информация приведена при описании соответствующих портов.

Для задания адреса памяти (внутренней или внешней) каналы DMA портов содержат следующие регистры:

- регистр управления и состояния (CSR);
- регистр индекса (адрес памяти) (IR);
- регистр начального адреса блока параметров DMA передачи (CP).

32-разрядный индексный регистр IR содержат физический адрес памяти. После каждой передачи данных к индексу IR прибавляется смещение на одно 64-х разрядное слово.

Памятью могут быть SRAM, блоки памяти сопроцессоров DSP: XRAM, YRAM и PRAM, внешняя память, доступная через MPORT.

DMA порты передают данные 64-разрядными словами.

8.4.1 Особенности DMA порта Ethernet MAC

DMA порт Ethernet MAC имеет следующие особенности:

- порт Ethernet MAC имеет возможность изменять поле WN канала EMAC_CH в сторону уменьшения его значения, в случае если в FIFO порта осталось количество слов меньше чем указано в поле WN;
- 32-разрядный индексный регистр IR содержат физический адрес памяти с точностью до байта. После каждой передачи данных к индексу IR прибавляется смещение равное количеству переданных байт;
- канал DMA_EMAC_CH1 обеспечивает передачу данных из памяти (внешней или внутренней) в передающее FIFO – TX_FIFO;
- канал DMA_EMAC_CH0 обеспечивает передачу данных из принимающего FIFO – RX_FIFO в память (внешнюю или внутреннюю);
- в каналах DMA_EMAC_CH1 и DMA_EMAC_CH0 передача происходит с точностью до байта, необходимо выравнивание начальных адресов данных по границе 64-разрядного слова.

9. ПОРТ ВНЕШНЕЙ ПАМЯТИ

9.1 Введение

Порт внешней памяти (MPORT) позволяет организовать обмен данными с широким набором устройств памяти и периферии. Внешний интерфейс порта обеспечивает подключение без дополнительной логики следующие типы памяти: SRAM/ROM/ EPROM/FLASH/ SDRAM/Mobile SDRAM.

Порт внешней памяти имеет следующие основные характеристики:

- шина данных внешней памяти – 32 разряда;
- шина адреса внешней памяти – 32 разряда;
- программное конфигурирование типа блока памяти и его объема;
- управление числом тактов ожидания при обмене с асинхронной памятью;
- формирование сигналов выборки 5 блоков внешней памяти.

9.2 Регистры порта внешней памяти

Перечень регистров порта внешней памяти приведен в таблице 9.1.

Таблица 9.1. Регистры порта внешней памяти

Условное обозначение регистра	Название регистра
CSCON0	Регистр конфигурации 0
CSCON1	Регистр конфигурации 1
CSCON2	Регистр конфигурации 2
CSCON3	Регистр конфигурации 3
CSCON4	Регистр конфигурации 4
SDRCON	Регистр конфигурации памяти типа SDRAM.
SDRTMR	Регистр параметров SDRAM
SDRCTR	Регистр управления и состояния SDRAM
FLY_WS	Регистр внешних устройств

При описании полей и значений регистров используются обозначения:

- R – только чтение;
- W1 – пуск операции, реальная запись не производится;
- RW – чтение и запись;
- RW1 – Чтение, пуск операции;
- [i] – номер разряда;
- i:j – неразрывная группа разрядов, i –старший разряд группы, j –младший;
- ox – далее следует шестнадцатеричный код;
- SCLK– частота SDRAM.

Термины и обозначения временных параметров и команд управления SDRAM соответствуют стандарту JESD79C.

9.2.1 Регистр конфигурации CSCON0

Регистр CSCON0 предназначен для конфигурирования блока внешней памяти, подключаемого к выводу nCS[0].

Формат регистра приведен в Таблица 9.2.

Таблица 9.2. Назначение разрядов регистра CSCON0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	-	Резерв	R	0
23	-	Резерв	RW	0
22:21	T	Тип памяти блока памяти: 00 – асинхронная без ожидания сигнала ACK; 10 – асинхронная с ожиданием сигнала ACK; 01 – синхронная динамическая; 11 – резерв.	RW	0
20	E	Разрешение формирования сигнала nCS[0]: 0 – запрещено; 1 – разрешено.	RW	0
19:16	WS	Число тактов ожидания при обращении к блоку памяти, если он сконфигурирован как асинхронная память.	RW	0xF
15:8	CSBA	Разряды 31:24 базового адреса блока памяти. Младшие разряды базового адреса равны нулю.	RW	0
7:0	CSMASK	Разряды маски 31:24 при определении базового адреса блока памяти. Младшие разряды маски равны нулю.	RW	0

Сигнал nCS[0] формируется, если при $E = 1$ выполнено условие $PHA[31:24] \& CSMASK = CSBA$, где PHA – 32-разрядный физический адрес.

Если это условие выполнено, но $E = 0$, то обмен будет произведен с блоком внешней памяти, подключенным к выводу nCS[4].

Минимальный размер блока – 16 Мбайт (при $CSMASK = 0xFF$). Для увеличения размера блока в младшие разряды поля CSMASK необходимо записать соответствующее число нулей. Например, для блока размером в 128 Мбайт, разряды 2:0 CSMASK должны быть равны нулю.

Регистры CSCON должны быть сконфигурированы таким образом, чтобы определяемые ими блоки памяти занимали уникальные адресные пространства. Если эти пространства перекрываются, то результат обмена данными будет непредсказуем.

В поле WS регистров CSCON задается количество тактов ожидания в тактах частоты SCLK, которое необходимо добавить в цикл шины при обращении к асинхронной внешней памяти. При аппаратном сбросе микропроцессора в поле WS всех регистров

CSCON устанавливается значение $0x\text{F}$ (15 тактов). При $\text{WS} = 0$ цикл шины составляет 2 такта SCLK.

Внешнее управление длительностью цикла обмена микропроцессора с асинхронной памятью осуществляется сигналом ACK. Сигнал ACK позволяет вставлять такты ожидания непосредственно в начатый цикл обмена данными. Количество вставленных тактов ожидания равно максимальному количеству дополнительных тактов, заданных полем WS и сигналом ACK.

9.2.2 Регистр конфигурации CSCON1

Регистр CSCON1 предназначен для конфигурирования блока внешней памяти, подключаемого к выводу nCS[1].

Формат регистра приведен в Таблица 9.3.

Таблица 9.3. Назначение разрядов регистра CSCON1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	-	Резерв	R	0
23	-	Резерв	RW	0
22:21	T	Тип памяти блока памяти: 00 – асинхронная без ожидания сигнала ACK; 10 – асинхронная с ожиданием сигнала ACK; 01 – синхронная динамическая; 11 – резерв.	RW	0
20	E	Разрешение формирования сигнала nCS[1]: 0 – запрещено; 1 – разрешено.	RW	0
19:16	WS	Число тактов ожидания при обращении к блоку памяти, если он сконфигурирован как асинхронная память.	RW	$0x\text{F}$
15:8	CSBA	Разряды 31:24 базового адреса блока памяти. Младшие разряды базового адреса равны нулю.	RW	0
7:0	CSMASK	Разряды маски 31:24 при определении базового адреса блока. Младшие разряды маски равны нулю.	RW	0

9.2.3 Регистр конфигурации CSCON2

Регистр CSCON2 предназначен для конфигурирования блока внешней памяти, подключаемого к выводу nCS[2].

Формат регистра приведен в Таблица 9.4.

Таблица 9.4. Назначение разрядов регистра C5CON2

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	-	Резерв.	R	0
23	-	Резерв	RW	0
22:21	T	Тип памяти блока памяти: 00 – асинхронная без ожидания сигнала ACK; 10 – асинхронная с ожиданием сигнала ACK; 01, 11 – резерв.	RW	0
20	E	Разрешение формирования сигнала nCS[2]: 0 – запрещено; 1 – разрешено.	RW	0
19:16	WS	Число тактов ожидания при обращении к блоку памяти, если он сконфигурирован как асинхронная память.	RW	0xF
15:8	CSBA	Разряды 31:24 базового адреса блока памяти. Младшие разряды базового адреса равны нулю.	RW	0
7:0	CSMASK	Разряды маски 31:24 при определении базового адреса блока. Младшие разряды маски равны нулю.	RW	0

Память, подключаемая к выводу nCS[2], может быть асинхронной или синхронной статической.

9.2.4 Регистр конфигурации C5CON3

Регистр C5CON3 предназначен для конфигурирования блока памяти, подключаемого к выводу nCS[3].

Формат регистра приведен в Таблица 9.5.

Таблица 9.5. Назначение разрядов регистра C5CON3

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	OVER	Признак того, что при обмене данными с любым блоком асинхронной памяти, сконфигурированном на ожидание сигнала ACK, этот сигнал не был установлен в течение 256 периодов частоты SCLK	RW	0
30:29	-	Резерв.	R	0
28	-	Резерв	RW	0
27:26	-	Резерв.	R	0
25:24	WSIZE	Состояние сигналов на одноименных входах микропроцессора. Они определяют источник и разрядность данных при начальной загрузке программ микропроцессора после снятия сигнала nRST: 00,10 – загрузка производится из 32-разрядного блока памяти, подключенного к выводу nCS[3]; 01 – загрузка производится из 8-разрядного блока памяти, подключенного к выводу nCS[3]; 11 – загрузка производится из порта MFBSP0 по шине SPI. При этом к выводу nCS[3] может быть подключен 32-разрядный блок памяти	R	Определяется состояние сигналов на одноименных входах микропроцессора
23:22	-	Резерв.	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
21:20	ADDR	Используются при программной записи данных в 8-разрядную асинхронную память (в том числе и Flash): при выполнении команды Store Word на линии адреса A[1:0] микропроцессора выдается содержимое поля ADDR[1:0] соответственно	RW	0
19:16	WS	Число тактов ожидания при обращении к памяти блока.	RW	0
15:0	-	Резерв.	R	0

Область памяти, определяемая регистром CSCON3, размещается в диапазоне физических адресов от 0x1C00_0000 до 0x1FFF_FFFF (64 Мбайт). Память данного блока может быть только асинхронной. Доступ к данному блоку памяти всегда разрешен. При обмене данными с этим блоком сигнал ACK безразличен.

Как правило, к выводу nCS[3] подключается блок памяти программ, реализованный на FLASH, PROM, EEPROM и т.д. Разрядность этого блока, в зависимости от состояния сигналов на выводах микросхемы WSIZE может быть 8 или 32.

8-разрядная память подключается к выводам D[7:0] микропроцессора. Шину адреса A[31:0] к этой памяти необходимо подключать, начиная с 0 разряда (к 32-разрядной памяти адрес подключается, начиная со 2 разряда). 32-разрядное слово из 8-разрядной памяти считывается байтами, причем сначала считывается старший байт слова. Запись данных в 8-разрядную память выполняется побайтно в соответствии с рекомендациями п.9.3.5.

Признак OVER формируется, если в соответствующем регистре CSCON бит AE=1, а от памяти не поступил сигнал ACK в течение 256 тактов SCLK. В этом случае операция обмена данными заканчивается обычным образом, за исключением того, что считываемые данные не определены, а записываемые данные теряются. Состояние бита OVER не влияет на выполнение последующих операций обмена данными.

9.2.5 Регистр конфигурации CSCON4

Регистр CSCON4 предназначен для конфигурирования внешней памяти, не вошедшей в блоки памяти, определяемые регистрами CSCON3 - CSCON0.

Данный блок памяти подключается к выводу nCS[4].

Формат регистра приведен в Таблица 9.6.

Таблица 9.6. Назначение разрядов регистра CSCON4

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:20	-	Резерв.	R	0
19:16	WS	Число тактов ожидания при обращении к памяти блока.	RW	0
15:0	-	Резерв.	R	0

Память данного блока может быть только асинхронной разрядности 32. Доступ к данному блоку памяти всегда разрешен. При обмене данными с этим блоком сигнал АСК безразличен.

9.2.6 Регистр конфигурации SDRCON

Регистр SDRCON предназначен для программирования конфигурационных параметров синхронной памяти SDRAM или Mobile SDRAM.

Формат регистра приведен в Таблица 9.7.

Таблица 9.7. Формат регистра SDRCON

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	Резерв	R	0
29:16	tRFR	Период регенерации SDRAM в тактах частоты SCLK	RW	0
15:13	PASR	Режим саморегенерации Mobile SDRAM (Partial-Array Self Refresh): Программируется по спецификации микросхем памяти	RW	0
12	-	Резерв	RW	0
11:10	TCSR	Режим управления температурным датчиком Mobile SDRAM (Temperature Compensated Self Refresh): Программируется по спецификации микросхем памяти в соответствии с рекомендациями производителя	RW	0
8:9	DS	Мощность выходов микросхем Mobile SDRAM, подключенных к контроллеру (Drive Strength): 00 – полная (Full strength driver); 01 – половина (Half strength driver); 10 – четверть (Quarter strength driver); 11 – восьмая часть (Eighth strength driver). Программируется по спецификации микросхем памяти в соответствии с рекомендациями производителя	RW	0
7	MOBILE	Тип памяти, подключенной к MPORT: 0 – SDRAM; 1 – Mobile SDRAM	RW	0
6:4	CL	Задержка данных при чтении (CAS latency): 010 – 2 такта SCLK; 011 – 3 такта SCLK. Остальные значения этого поля – резерв	RW	0
3	-	Резерв	R	0
2:0	PS	Размер страницы микросхем SDRAM, подключенных к MPORT: 100– 256; 000 – 512; 001 – 1024; 010 – 2048; 011 – 4096. Остальные значения этого поля – резерв. Число банков SDRAM – 4	RW	0

Память данного типа может быть размещена только в блоке памяти, подключенном к выводам nCS[0] или nCS[1].

Преобразование физического адреса в адрес 32 - разрядной памяти SDRAM при различных значениях параметра PS представлено в таблицах 9.8, 9.9, 9.10. Разряды физического адреса в таблицах обозначены строчными буквами “а”.

Таблица 9.8. Отображение адреса строки для 32-разрядной памяти

PS	Адрес SDRAM												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
000	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13
001	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14
010	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15
011	a28	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16
100	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12

Таблица 9.9. Отображение адреса столбца для 32-разрядной памяти

PS	Адрес SDRAM												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
000	0	0	0	0	a10	a9	a8	a7	a6	a5	a4	a3	a2
001	0	0	0	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2
010	0	a12	0	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2
011	a13	a12	0	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2
100	0	0	0	0	0	a9	a8	a7	a6	a5	a4	a3	a2

Таблица 9.10. Отображение адреса банка для 32-разрядной памяти

PS	Адрес банка SDRAM	
	BA1	BA0
000	a12	a11
001	a13	a12
010	a14	a13
011	a15	a14
100	a11	a10

Период регенерации должен определяться индивидуально для используемой конфигурации памяти. Например, при тактовой частоте SCLK 100 МГц для обеспечения 8192 цикловой регенерации за 64 мс необходимо в поле tRFR записать код 0x30D, что соответствует 7,81 мкс на строку.

9.2.7 Регистр параметров SDRAM

Регистр SDRTMR предназначен для задания интервалов (в тактах частоты SCLK) между различными командами SDRAM.

Значения 0, 1, ..., n параметра в таблице соответствуют интервалу в 1, 2, ..., n+1 тактов. Например, значение 0xF параметра tRFC задает интервал 16 тактов между командами Refresh, а значение 0 – интервал в один такт.

Формат регистра приведен в таблице 9.11.

Таблица 9.11. Формат регистра SDRTMR

Номер разряда	Условное обозначение параметра	Назначение	Доступ	Исходное состояние
31:24	-	Резерв.	R	0
23:20	tRFC	Минимальный интервал между командами Refresh.	RW	0
19:16	tRAS	Минимальная задержка между командами Active и Precharge.	RW	0
15:14	-	Резерв.	R	0
13:12	-	Резерв.	RW	0
11:10	-	Резерв.	R	0
9:8	tRCD	Минимальная задержка между командами Active и Read/Write.	RW	0
7:6	-	Резерв.	R	0
5:4	tRP	Минимальный период команд Precharge	RW	0
3:2	-	Резерв.	R	0
1:0	tWR	Минимальная задержка между записью данных и командой Precharge(Write recovery).	RW	0

При вычислении параметров в соответствии с рабочей частотой и со спецификацией используемой памяти, полученные значения необходимо округлять до ближайшего меньшего целого. Например, если в спецификации указано время tRCD = 20 нс, то при частоте SCLK 133 МГц (период 7.5 нс) минимальный интервал в 2.7 такта нужно округлить до 2 и в поле tRCD регистра SDRTMR записать код 0x2.

При тактовой частоте SCLK 100 МГц необходимо установить: tRFC = 7, tRAS = 5, tRTW = 1, tRCD = 2, tRP = 2, tWR = 2.

9.2.8 Регистр состояний и управления SDRCSR

Регистр SDRCSR предназначен для запуска команд изменения режима работы SDRAM и индикации их исполнения.

Следует отметить, что одновременно допускается запуск только одной команды. Нарушение этого правила приводит к непредсказуемым последствиям.

Формат регистра SDRCSR приведен в Таблица 9.12.

Таблица 9.12. Формат регистра SDRCSR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:5	-	Резерв.	R	0
5	DPD	Если установлен бит MOBILE регистра SDRCON, то при записи 1 в данный разряд MPORT переводит Mobile SDRAM в “глубокий” режим пониженного потребления (Deep Power Down). Если MOBILE = 0, эта команда игнорируется. При чтении - признак окончания данной команды: устанавливается в 1 после завершения команды; сбрасывается записью команды EXIT	RW1	0
4	EXIT	При записи 1 в данный разряд MPORT выполняет последовательность команд вывода SDRAM из режимов саморегенерации и пониженного потребления. При чтении - признак выполнения команды выхода SDRAM из указанных режимов: устанавливается в 1 после завершения команды; сбрасывается при записи любой команды.	RW1	0
3	PWDN	При записи 1 в данный разряд MPORT переводит SDRAM в режим пониженного потребления. При чтении - признак окончания данной команды: устанавливается в 1 после завершения команды; сбрасывается записью команды EXIT.	RW1	0
2	SREF	При записи 1 в данный разряд MPORT переводит SDRAM в режим саморегенерации. При чтении - признак окончания данной команды: устанавливается в 1 после завершения команды; сбрасывается записью команды EXIT.	RW1	0
1	AREF	При записи 1 в данный разряд MPORT выполняет команду авторегенерации SDRAM. При чтении - признак окончания команды авторегенерации: устанавливается в 1 после завершения данной команды; сбрасывается при записи любой команды.	RW1	0
0	INIT	При записи 1 в данный разряд MPORT выполняет инициализацию SDRAM с параметрами: Burst Length – 1; Burst Type – Sequential; CAS Latency – поле CL регистра SDRCON; Operation Mode – Standart Operation WB – Single Location Access При установленном бите MOBILE регистра SDRCON дополнительно загружаются параметры DS, PASR и TCSR. При чтении - признак окончания команды инициализации: устанавливается в 1 после завершения данной команды;	RW1	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
		сбрасывается при записи любой команды		

При запуске любой команды изменения режимов MPORT ожидает завершения текущего обмена (в том числе аппаратное выполнение Auto Refresh), приостанавливает выполнение очередного обмена с SDRAM и выполняет необходимую последовательность команд SDRAM. Во время исполнения команды значение регистра SDRCSR – 0.

По команде INIT выполняется последовательность команд инициализации:

- Precharge;
- пауза tRP, Refresh;
- пауза tRFC, Refresh;
- пауза tRFC, Load Mode Register;
- пауза tMRD, установка индикатора INIT.

Длительность выполнения команды INIT составляет примерно 30 тактов SCLK.

До выполнения начальной инициализации необходимо записать все параметры в регистры SDRCON и SDRTMR.

Команда INIT должна запускаться только через 200 мкс после того, как на SDRAM установилось стабильное напряжение электропитания.

По команде AREF MPORT выполняет:

- Precharge;
- пауза tRP;
- Refresh;
- пауза tRFC, установка индикатора AREF.

При выполнении программной регенерации в режиме “burst” необходимо перед выполнением очередной команды авторегенерации убедиться в завершении предыдущей проверкой установки индикатора AREF.

По команде PDP MPORT выполняет:

- Precharge;
- пауза 1 такт SCLK;
- сброс СKE, Burst Termination;
- пауза tRFC, установка индикатора PDP.

После выполнения данной команды память находится в режиме deep power down.

По команде PWDN MPORT выполняет:

- Precharge;
- пауза 1 такт SCLK;

- сброс CKE, NOP;
- пауза tRFC, установка индикатора PWDN.

После выполнения данной команды память находится в режиме precharge power down.

В этом состоянии MPORT не контролирует выполнение интервала tREFC, поэтому для сохранения информации необходимо чередовать команды PWDN и EXIT с периодичностью tRFR.

По команде SREF MPORT выполняет:

- Precharge;
- пауза tRP;
- сброс CKE, Refresh;
- пауза tRFC, установка индикатора SREF.

После выполнения команд PDP, PWDN и SREF MPORT находится в состоянии ожидания команды EXIT и игнорирует другие команды изменения режимов SDRAM.

По команде EXIT контроллер устанавливает CKE и, после паузы tXSNR (или 2 такта SCLK при выходе из режимов PDP и PWDN), выполняет AREF и устанавливается индикатор EXIT.

MPORT игнорирует команду EXIT при сброшенных индикаторах PDP, PWDN и SREF.

9.3 Временные диаграммы обмена данными

9.3.1 Общие положения

При описании временных диаграмм используются условные обозначения в соответствии с Таблица 9.13.

Таблица 9.13. Условные обозначения

Условное обозначение	Описание
	Стабильное значение
	Возможное значение
	область изменения из «0» в «1»

	область изменения из «1» в «0»
	Достоверное значение
	Для входов: Не воспринимается, допустимо любое переключение Для выходов: состояние не определено
	Переключение выхода из (в) высокоимпедансное состояние (центральная линия)
	Повторение сигнала в течение неопределенного времени
T_i	$i = 1, 2, \dots$ фаза обмена на временной диаграмме
n	Число дополнительных тактов ожидания, задаваемых полем WS регистров CSCON
w	Число тактов ожидания поступления высокого уровня сигнала ACK
nCSx	Один из четырёх сигналов nCS[3:0]
nOEx	Один из четырёх сигналов nOE[3:0]
●	Момент приема данных из памяти

9.3.2 Обмен данными с асинхронной памятью

Временные диаграммы записи данных в асинхронную память приведены на Рисунок 9.1 - Рисунок 9.3.

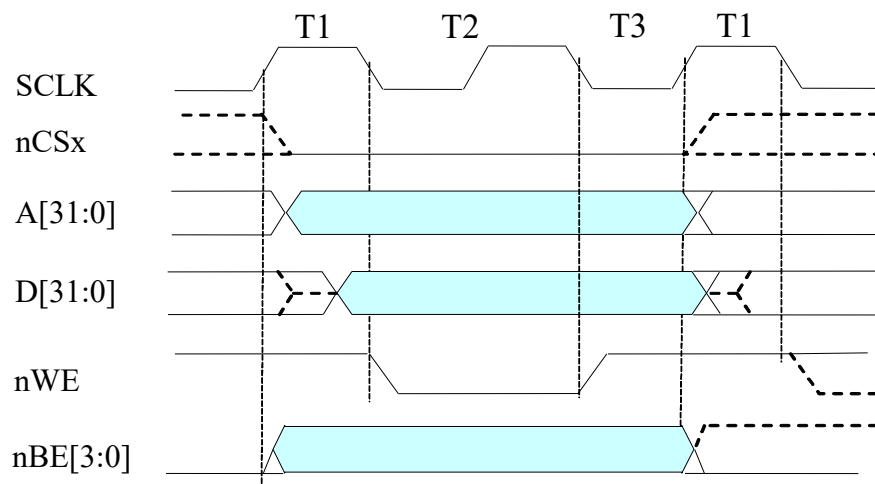
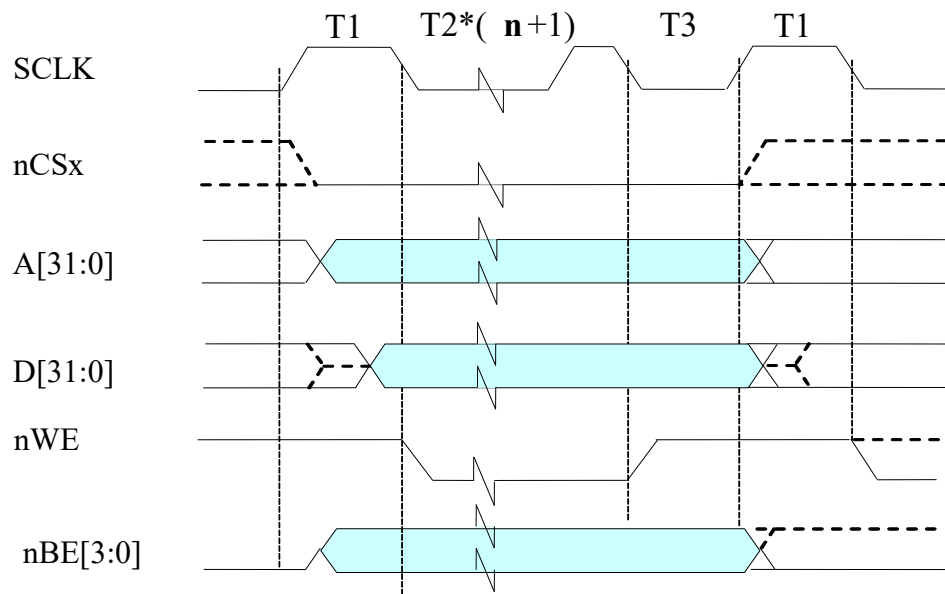
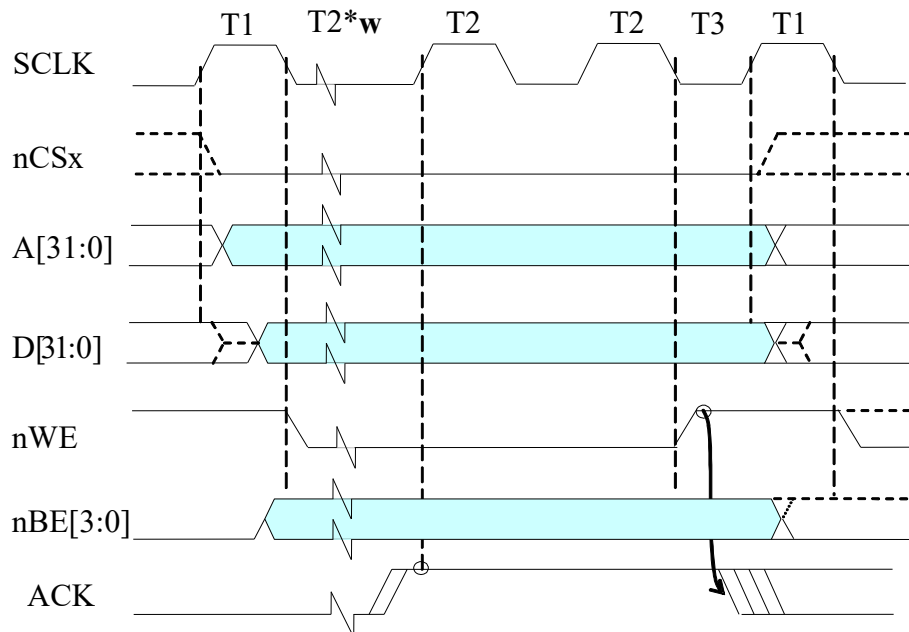


Рисунок 9.1. Запись в асинхронную память без дополнительных тактов ожидания

Рисунок 9.2. Запись в асинхронную память с n дополнительными тактами ожидания

Рисунок 9.3. Запись в асинхронную память с ожиданием сигнала ACK

Временные диаграммы чтения данных из асинхронной памяти приведены на Рисунок 9.4 - Рисунок 9.6.

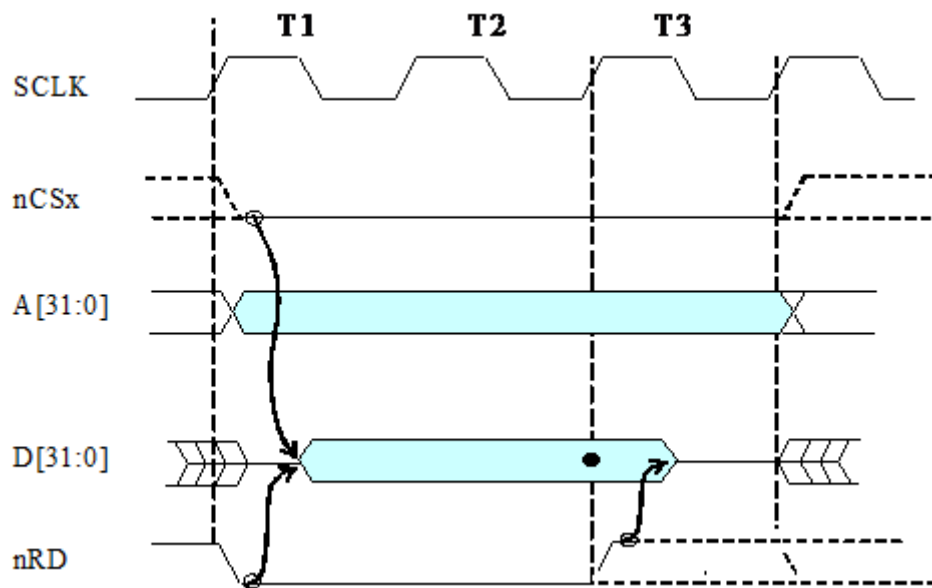


Рисунок 9.4. Чтение асинхронной памяти без дополнительных тактов ожидания

Следует отметить, что при чтении подряд нескольких слов данных из одного и того же банка асинхронной памяти сигнал nRD может не переходить в состояние 1 (выборка команд CPU, выполнение процедуры Refill, выполнение подряд нескольких команд LW из кэшируемой области, чтение данных по DMA и т.д.).

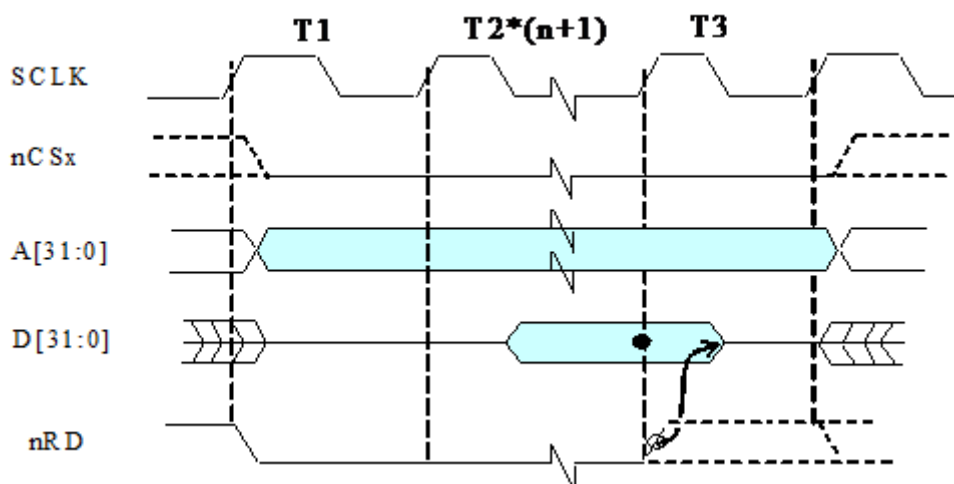


Рисунок 9.5. Чтение асинхронной памяти с n дополнительными тактами ожидания

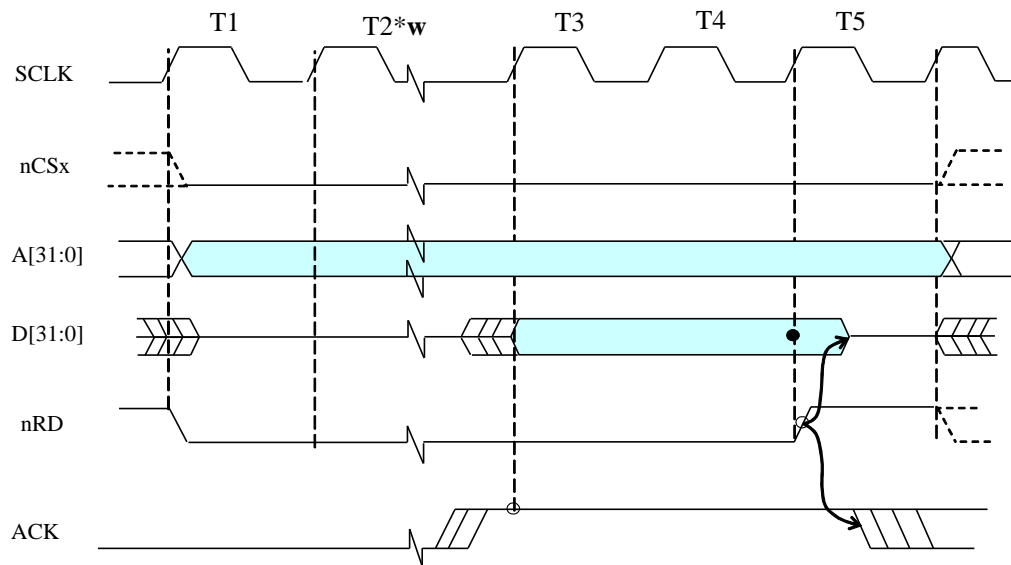


Рисунок 9.6. Чтение данных из асинхронной памяти с ожиданием сигнала ACK

Как правило, в блоке внешней памяти, подключенному к сигналу выборки памяти nCS[3], размещается постоянное запоминающее устройство (ПЗУ), реализованное на FLASH, PROM, EEPROM и т.д.

В зависимости от состояния выводов микросхемы WSIZE этот блок внешней памяти может быть 8 или 32-разрядным. На Рисунок 9.7 приведена временная диаграмма чтения 32-разрядного слова из 8-разрядного ПЗУ при WSIZE = 01.

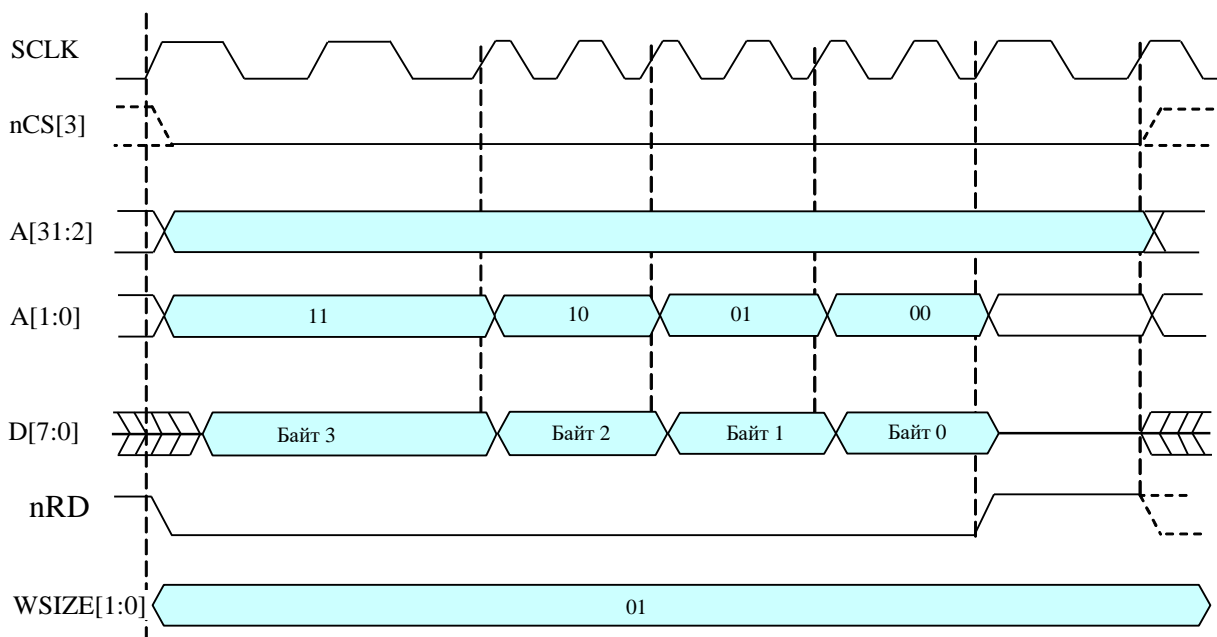


Рисунок 9.7. Чтение 32-разрядного слова из 8-разрядного ПЗУ (n = 0)

Если CPU выполняет программу из кэшируемой области внешней памяти, то загрузка строки кэш (процедура Refill) выполняются посредством чтения четырех слов в режиме burst. Адрес, по которому начинается burst, выровнен по 16-байтной границе. На Рисунке 9.8 приведена временная диаграмма выполнение процедуры Refill из 32-разрядной асинхронной памяти. На Рисунок 9.9 приведена временная диаграмма выполнение процедуры Refill из 8-разрядного ПЗУ.

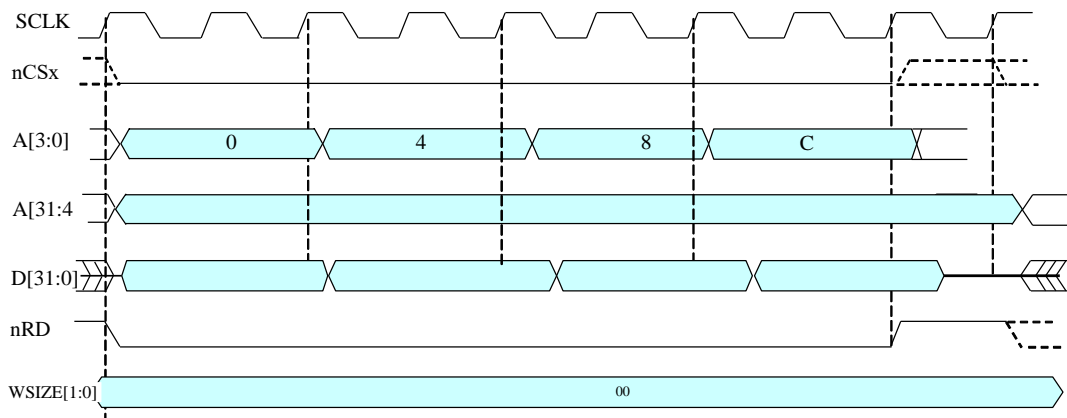


Рисунок 9.8. Выполнение процедуры Refill из 32-разрядной асинхронной памяти (n = 0)

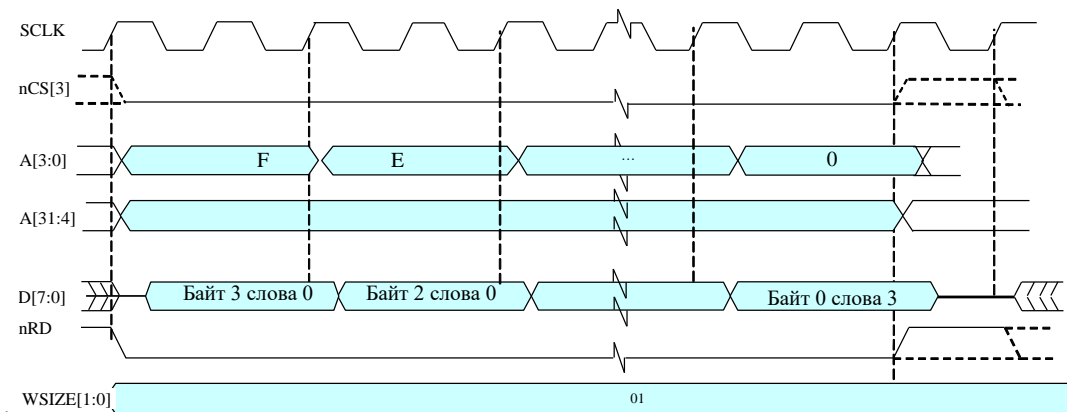


Рисунок 9.9. Выполнение процедуры Refill из 8-разрядного ПЗУ (n = 0)

9.3.3 Обмен данными с синхронной памятью

Временные диаграммы с синхронной памятью приведены на Рисунках 9.10-9.16. Временные диаграммы инициализации и регенерации SDRAM приведены на Рисунках 9.17, 9.18 соответственно.

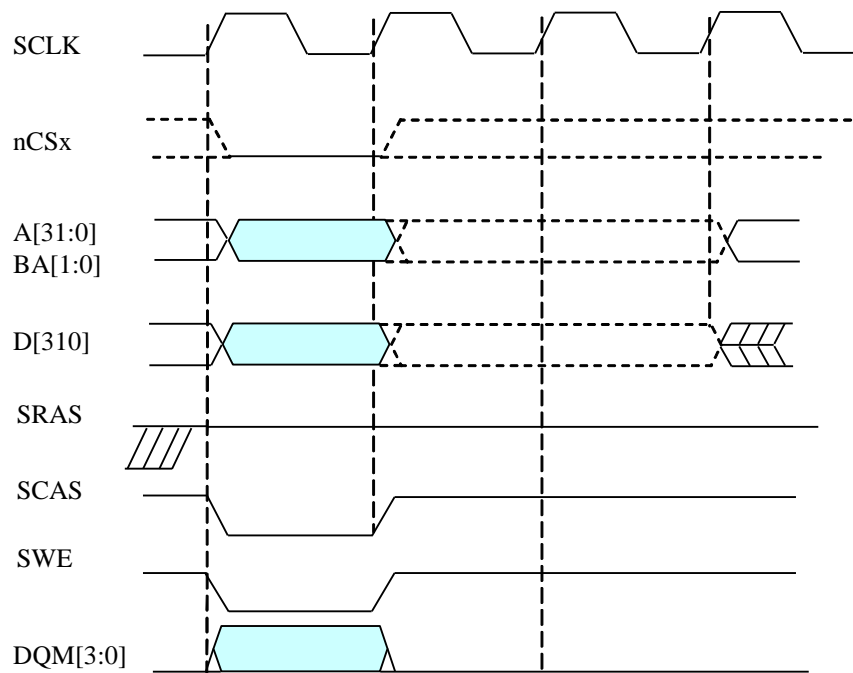


Рисунок 9.10. Запись одного слова данных в SDRAM

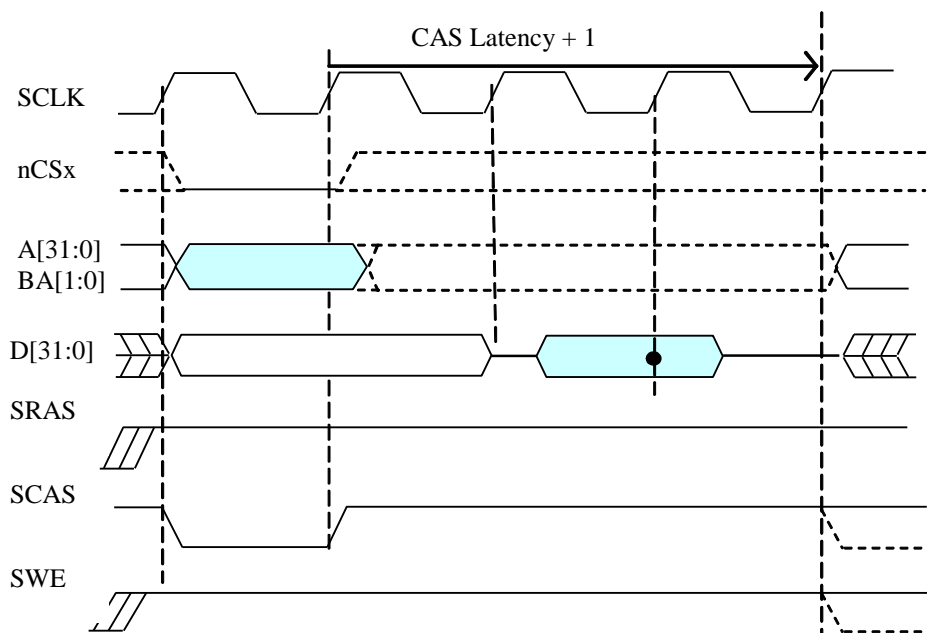


Рисунок 9.11. Чтение одного слова данных из SDRAM

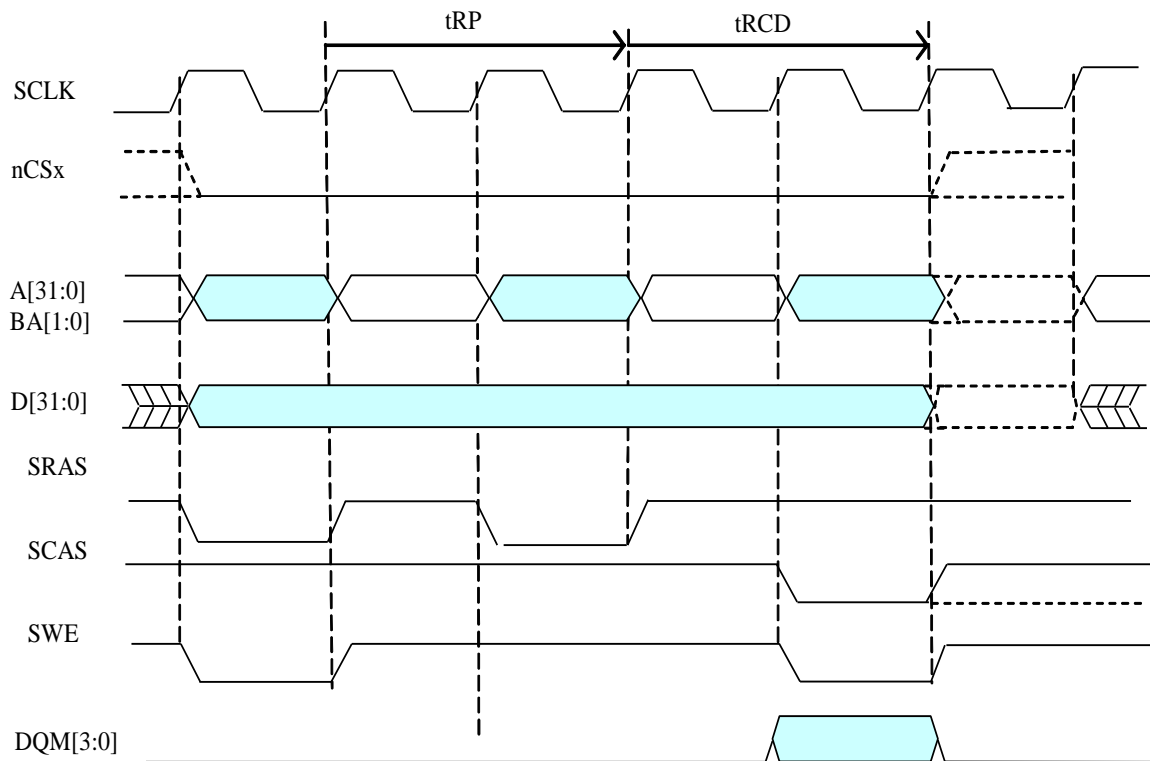


Рисунок 9.12. Запись одного слова данных в SDRAM с деактивизацией строки

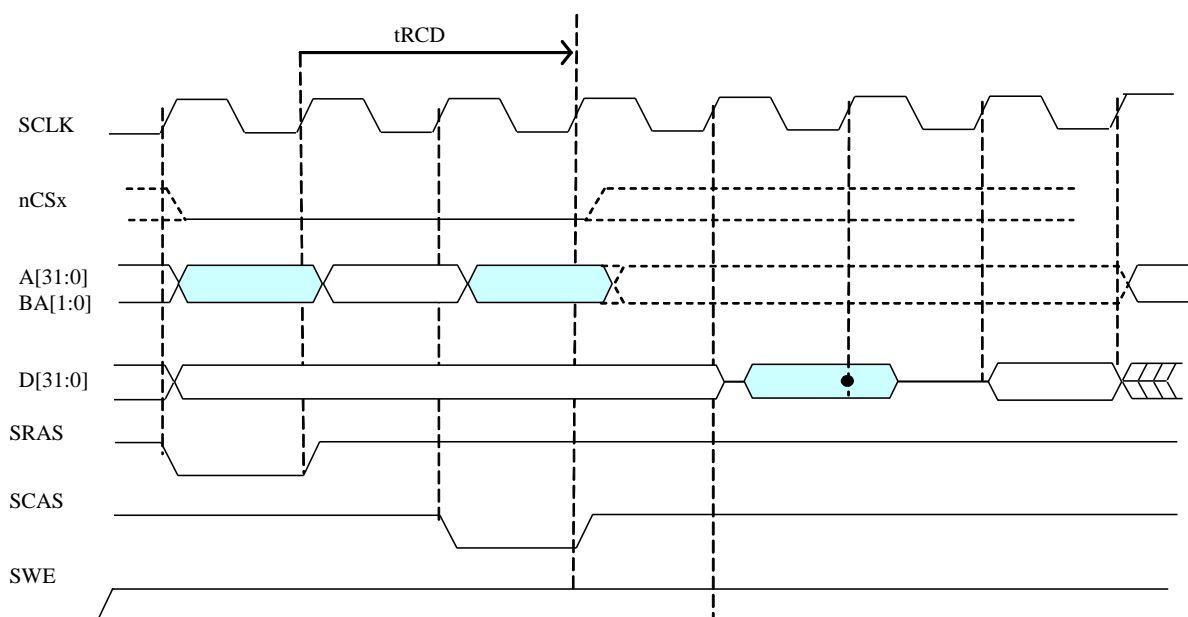


Рисунок 9.13. Чтение одного слова данных из SDRAM с активизацией строки

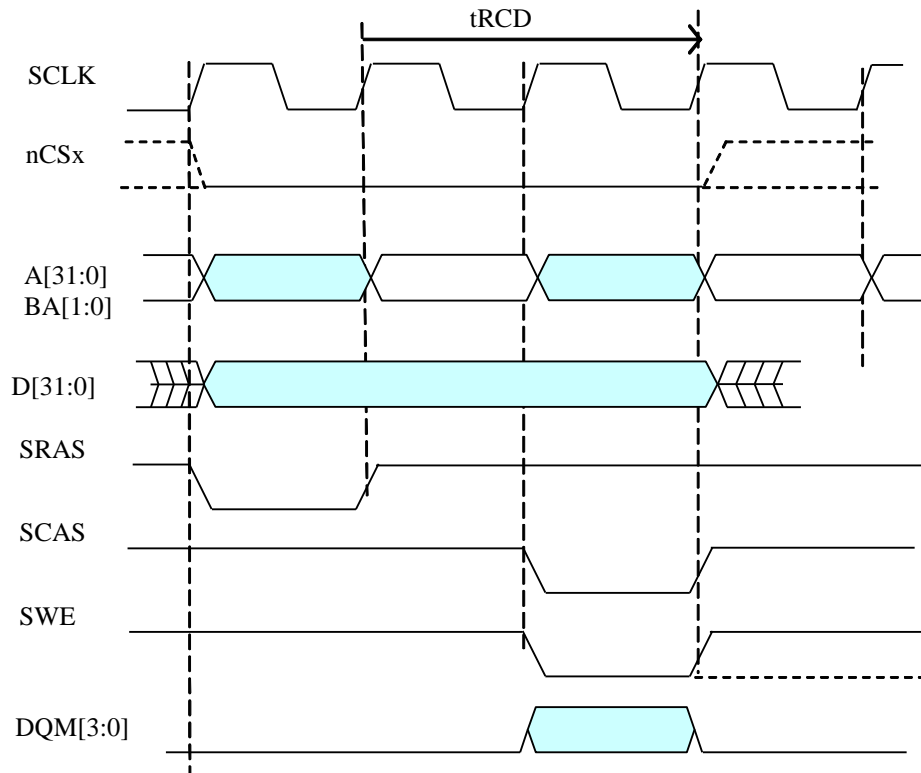


Рисунок 9.14. Запись одного слова данных в SDRAM с активизацией строки

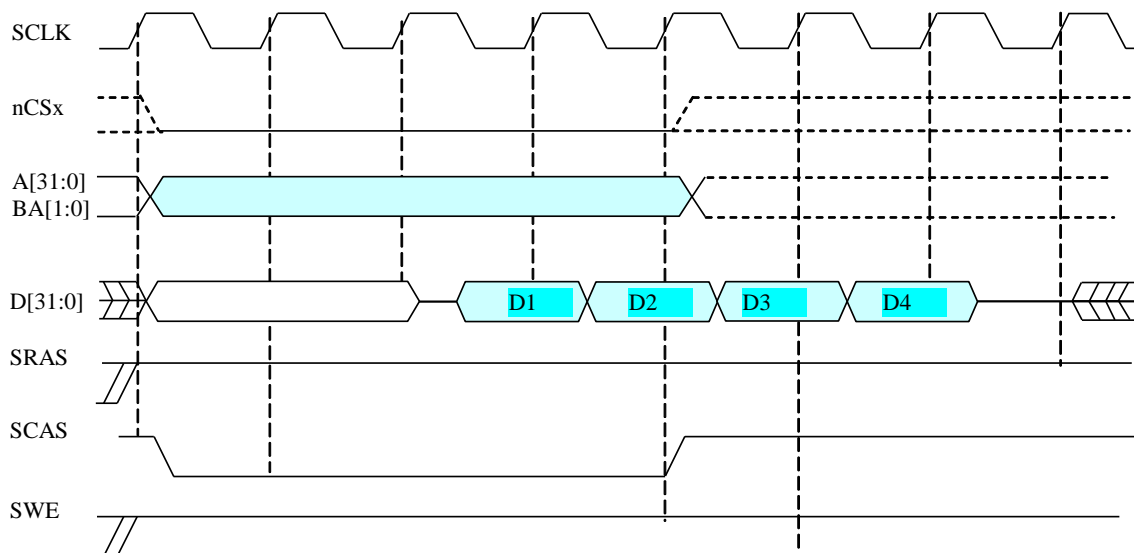


Рисунок 9.15. Чтение 4-х слов данных из SDRAM в режиме “burst”

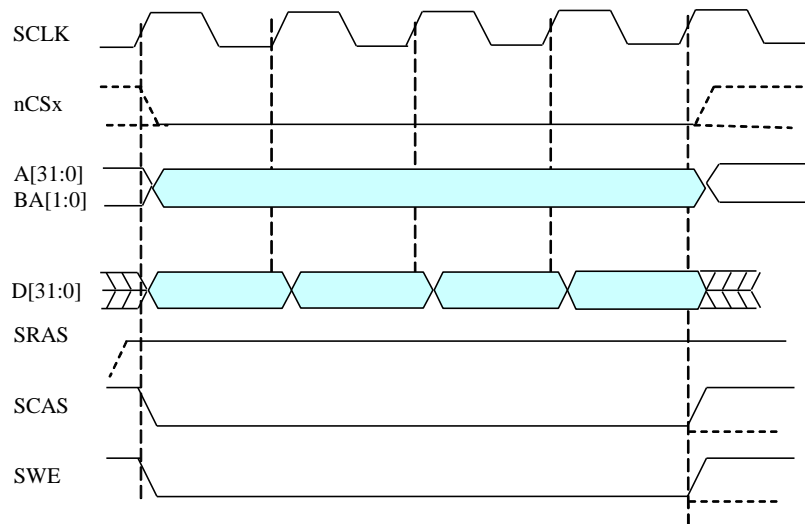


Рисунок 9.16. Запись 4-х слов данных в SDRAM в режиме “burst”

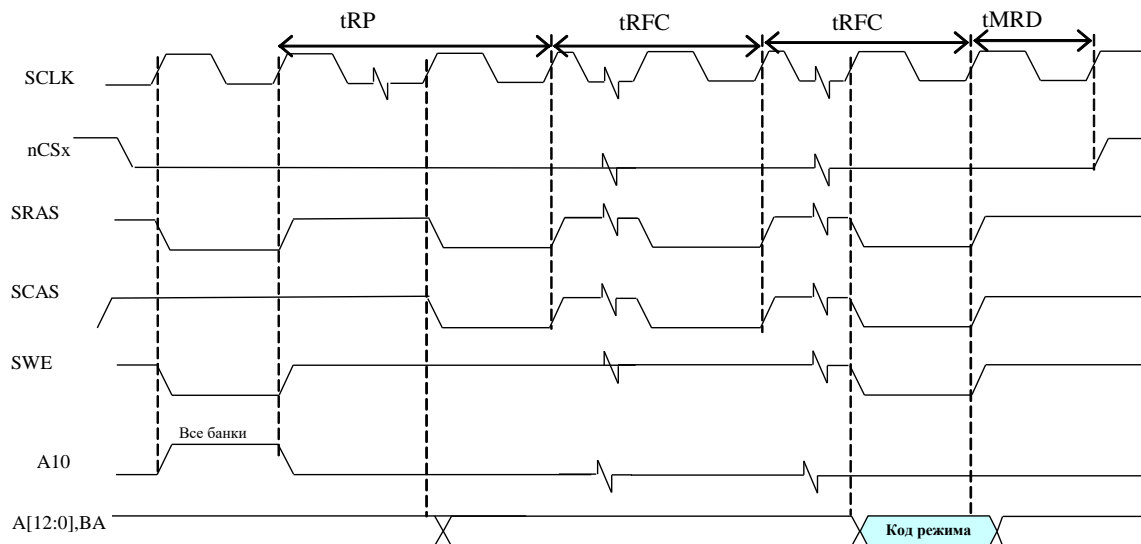


Рисунок 9.17. Инициализация SDRAM. Для Mobile SDRAM после команды LMR дополнительно выполняется команда LME

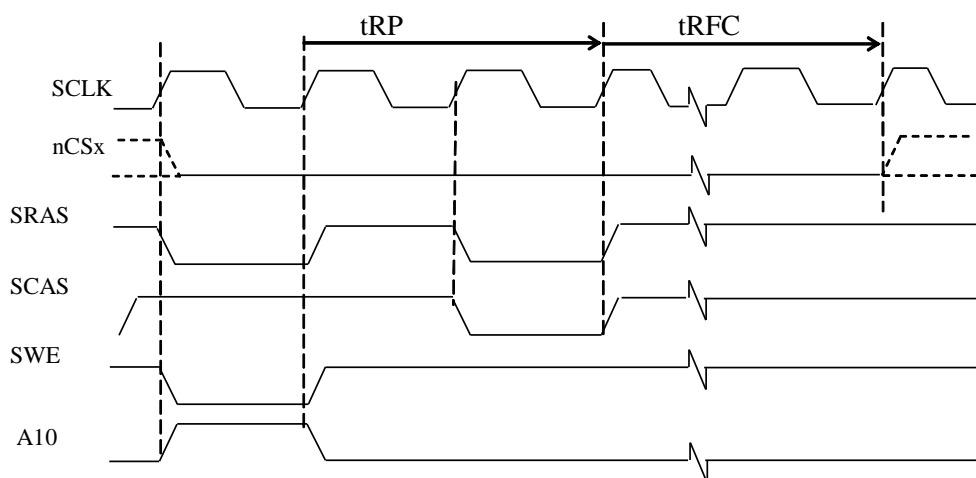


Рисунок 9.18. Регенерация SDRAM. Рекомендации по подключению внешней памяти

9.3.4 Память типа SDRAM

Выходы адреса микросхем типа SDRAM подключаются к выводам шины адреса порта внешней памяти следующим образом:

- номер банка SDRAM – к выводам BA[1:0];
- адрес A[12:0] SDRAM – к выводам A[14:13], A10, A[11:2] соответственно.

На Рисунок 9.19 представлен пример схемы одновременного подключения 16-ти и 32-х разрядной памяти типа SDRAM.

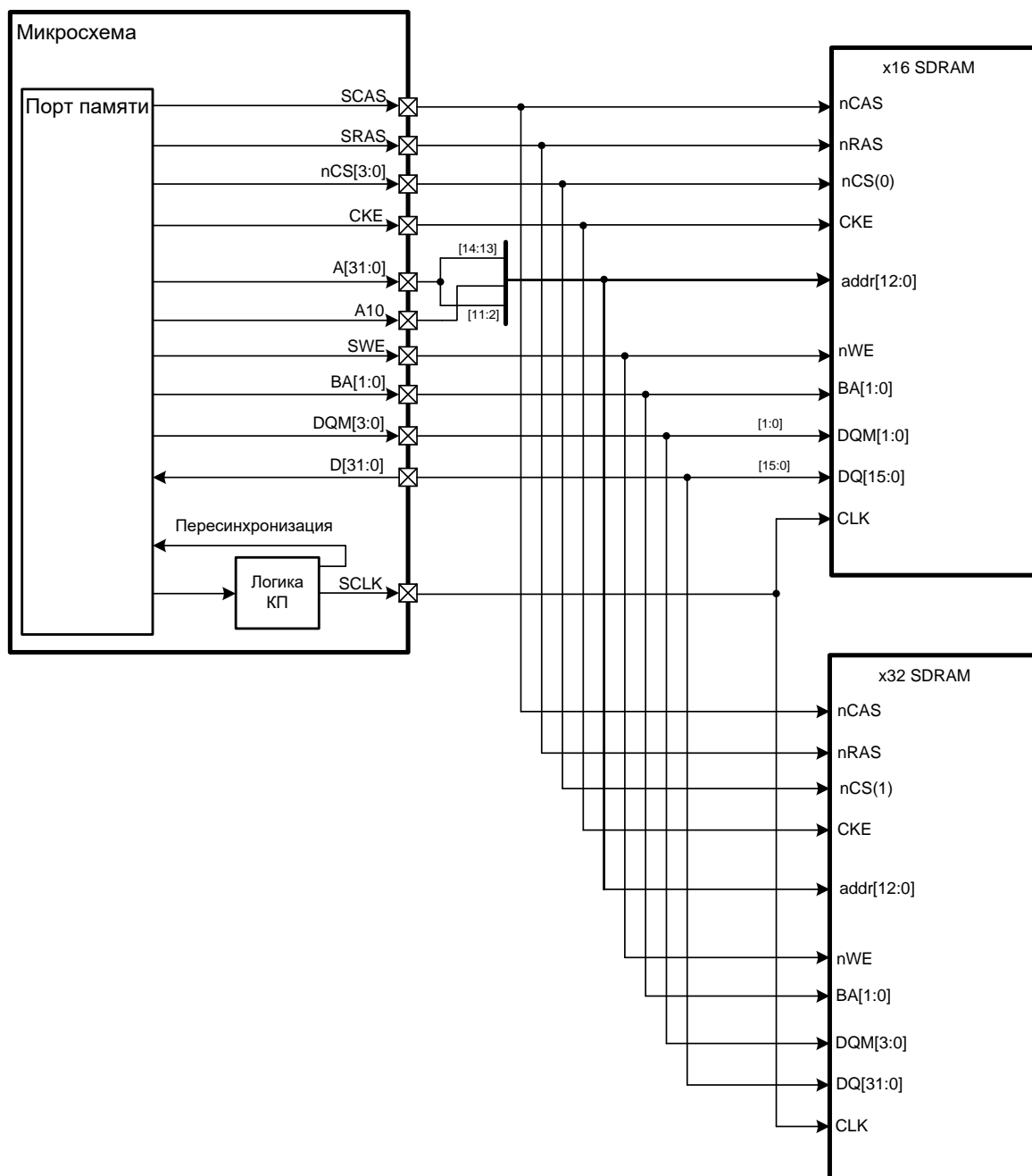


Рисунок 9.19. Пример схемы подключения памяти типа SDRAM

При подключении нескольких памятей, используя разные сигналы выбора nCS, нужно учитывать, что настройки всех памятей должны соответствовать настройкам, заданным в регистре SDRCON.

В качестве SDRAM памяти можно, например, упомянуть памяти типа MT48LC4M32B2 или аналоги.

9.3.5 Память типа Flash

К микропроцессору можно подключать 32-разрядную или 8-разрядную память типа Flash.

32-разрядная память Flash подключается к микропроцессору аналогично асинхронной памяти. Как правило, она подключается к сигналу выборки памяти nCS[3] и используется для старта микропроцессора. Но при необходимости память Flash может быть подключена к любому из четырех сигналов выборки памяти nCS[3:0]. На Рисунок 9.20 представлен пример подключения 32 - разрядной памяти Flash. В качестве такой памяти можно упомянуть память типа Micron M58BW32F или аналоги.

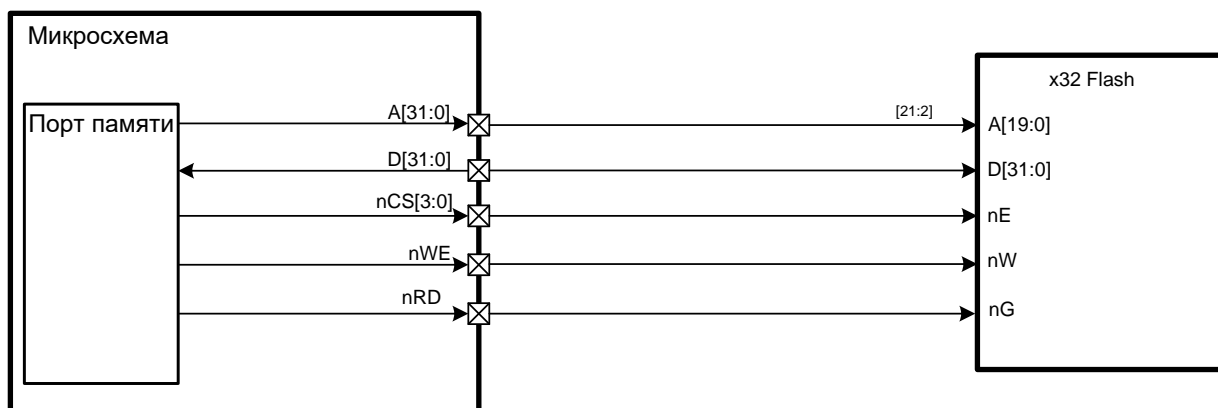


Рисунок 9.20. Пример подключения 32-разрядной памяти типа Flash

8-разрядная память Flash подключается только к сигналу выборки памяти nCS[3]. При этом, входы WSIZE микропроцессора необходимо установить в состояние 01 а адресную шину микропроцессора подключить к памяти Flash, начиная с 0 разряда (к 32-разрядной памяти адрес подключается, начиная со 2 разряда). Вывод nWE микропроцессора необходимо подключить к входу разрешения записи памяти. На Рисунок 9.21 представлен пример подключения 8 - разрядной памяти Flash. В качестве такой памяти можно упомянуть память типа Micron M9EW или аналоги.

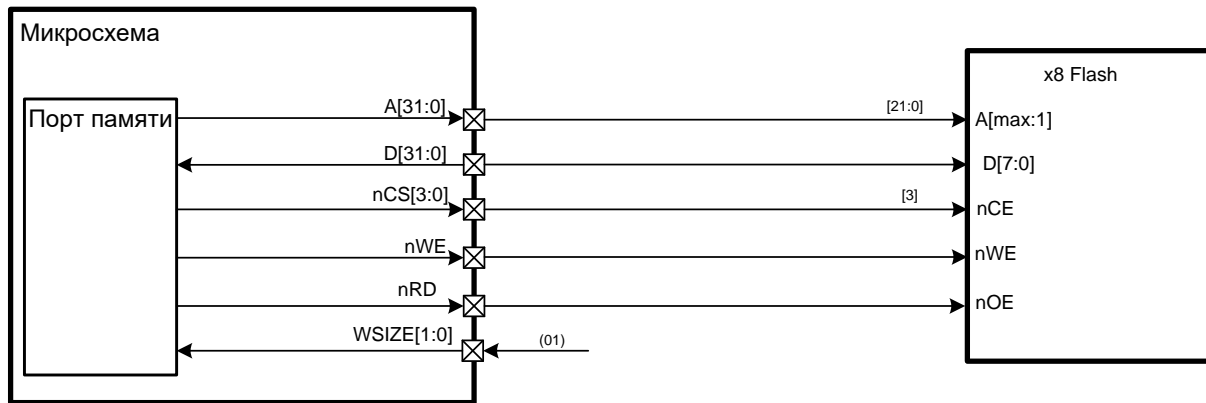


Рисунок 9.21. Пример подключения 8-разрядной памяти типа Flash

При использовании 8-разрядной памяти Flash возможны следующие варианты ее программирования:

1. Микросхемы этой памяти программируются на программаторе и потом распаиваются на плату или устанавливаются в контактирующее устройство.
2. Микросхемы этой памяти программируются на плате программно с использованием команды Store Byte. В этом случае MPORT выдает на выходы A[1:0] номер байта и коммутирует заказанный байт на выходы D[7:0]. При использовании других модификаций команды Store (например, Store Word, Store Halfword) MPORT выдает на разряды адреса A[1:0] состояние, заданное полем ADDR регистра CSCON3, а на выходы D[7:0] коммутирует младший байт операнда.
3. Микросхемы этой памяти программируются на плате через порт JTAG микропроцессора. В этом случае запись в память производится командой Store Word, поэтому перед каждой записью необходимо устанавливать в разрядах 21:20 регистра CSCON3 необходимое значение адреса байта. Для процесса программирования через порт JTAG необходим специальный драйвер, который не входит в состав MC Studio.

10. КОНТРОЛЛЕР ETHERNET MAC 10/100

10.1 ВВЕДЕНИЕ

10.1.1 Назначение

Контроллер Ethernet MAC 10/100 (EMAC) предназначен для использования в качестве порта Ethernet для обмена данными через приемопередатчик PHY в сети Ethernet. Контроллер Ethernet MAC поддерживает обмен данными в сети Ethernet со скоростью 10 Мбит/с, либо 100 Мбит/с. Следует иметь в виду, что для обмена данными со скоростью 100 Мбит/с частота, формируемая PLL_CORE, должна быть не менее 100 МГц.

10.1.2 Основные характеристики

Контроллер Ethernet MAC 10/100 имеет следующие основные характеристики:

- соответствует стандарту Ethernet IEEE Std 802.3-2005;
- поддерживает полудуплексный (CSMA/CD), дуплексный режимы работы;
- в состав контроллера входит буферное FIFO передаваемых данных, размером 0,5К 64-разрядных слов или 4К байт;
- в состав контроллера входит буферное FIFO принятых данных, размером 0,5К 64-разрядных слов или 4К байт;
- запись буферного FIFO передаваемых данных обеспечивается 64-разрядным каналом DMA на запись – EMAC_CH1 (передача данных осуществляется с точностью до байта, начальный адрес данных должен быть выравнен по границе 64-разрядного слова);
- чтение буферного FIFO принятых данных обеспечивается 64-разрядным каналом DMA на чтение – EMAC_CH0 (передача данных осуществляется с точностью до байта, начальный адрес данных должен быть выравнен по границе 64-разрядного слова);
- передаваемый кадр MAC целиком помещается в буферное FIFO, поэтому при возникновении коллизии повторная передача кадра будет выполняться из буферного FIFO;
- поддерживает режим зацикливания тракта приема данных на тракт передачи, в этом режиме контроллер принимает только передаваемые от него данные;
- поддерживает различные режимы фильтрации принимаемых кадров MAC по адресу назначения: распознавание уникального адреса MAC, широковещательный адрес, распознавание группового адреса по маске либо по хэш-таблице;

- поддерживает различные режимы отбрасывания принятых кадров MAC, при проверке которых были обнаружены ошибки: слишком короткий кадр, слишком длинный кадр, кадр с ошибкой в контрольной сумме, кадр с ошибкой длины;
- в состав контроллера входит отдельное буферное FIFO статусов принятых кадров MAC размером 64 слова статуса.

10.2 Функциональное описание

10.2.1 Структурная схема

Контроллер Ethernet MAC 10/100 включает:

- блок управления и состояния;
- устройство DMA – DMA Engine;
- блок передачи кадров – TransmitFrame;
- блок приема кадров – ReceiveFrame;
- порт управления PHY – MD_PORT.

На Рисунок 10.1 приведена структурная схема контроллера MAC 10/100.

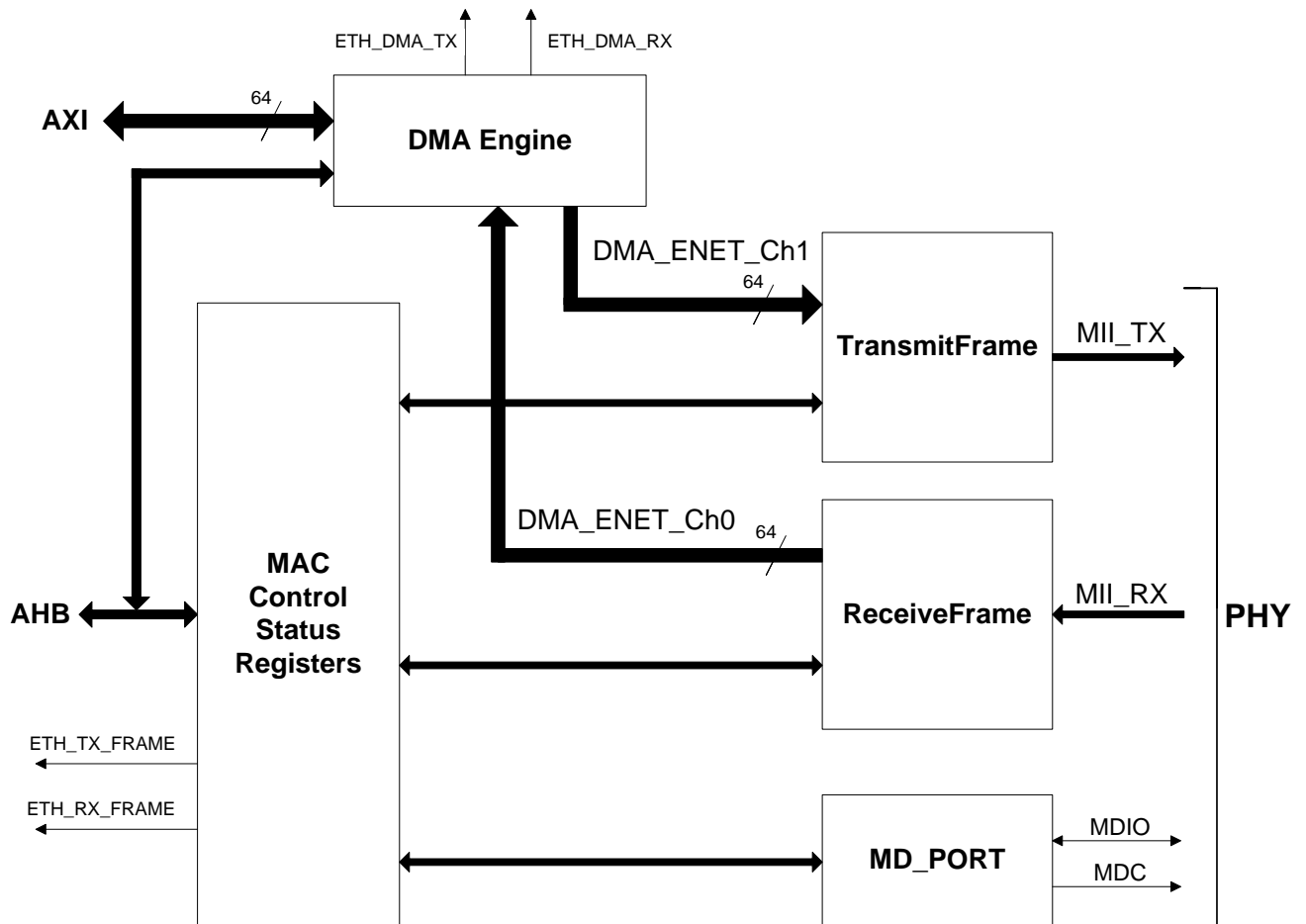


Рисунок 10.1. Структурная схема контроллера MAC 10/100

Блок управления и состояния содержит регистры управления и состояния контроллера MAC.

Устройство DMA содержит регистры управления и состояния каналов DMA. Устройство DMA обеспечивает обмен данными по каналам EMAC_CH1, EMAC_CH0 между буферными FIFO передаваемых/принятых данных и памятью (внешней или внутренней).

Блок передачи кадров – TransmitFrame – выполняет передачу кадров MAC по шине МП. В состав блока передачи кадров входит передающее FIFO – TX_FIFO размером 4К байт, блок вычисления временной задержки перед повторной передачей кадра при обнаружении коллизии – BACKOFF, а также блок вычисления контрольной суммы передаваемого кадра – CALC_CRC32.

На Рисунок 10.2 приведена структурная схема блока передачи кадров.

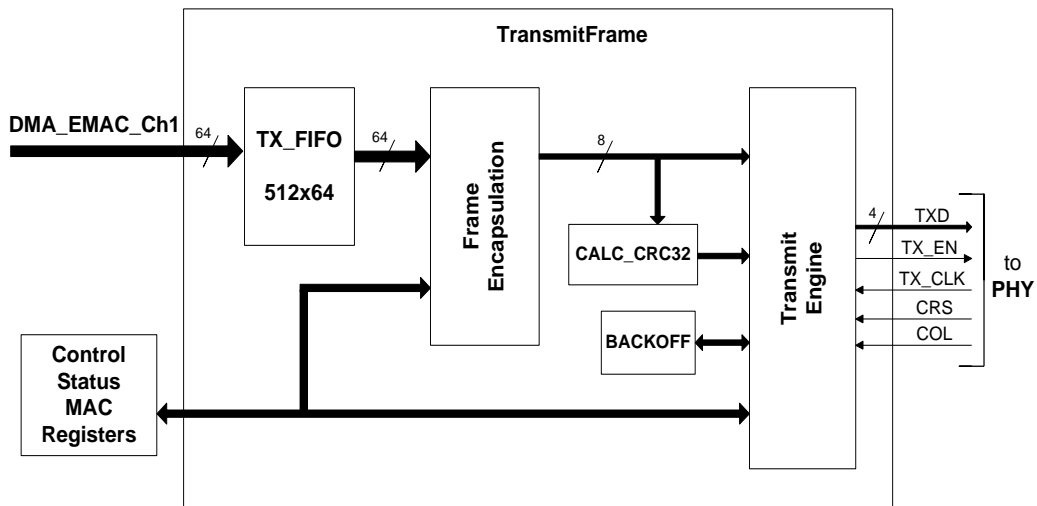


Рисунок 10.2. Структурная схема блока передачи кадров

Блок приема кадров – ReceiveFrame – выполняет прием кадров MAC по шине МП. В состав блока приема кадров входит принимающее FIFO – RX_FIFO размером 4К байт, блок распознавания адреса назначения принятого кадра MAC – DADDR_CHECK, блок вычисления и проверки контрольной суммы принятого кадра – CRC32_CHECK, а также FIFO статусов принятых кадров размером 64 слова статуса.

На Рисунок 10.3 приведена структурная схема блока приема кадров.

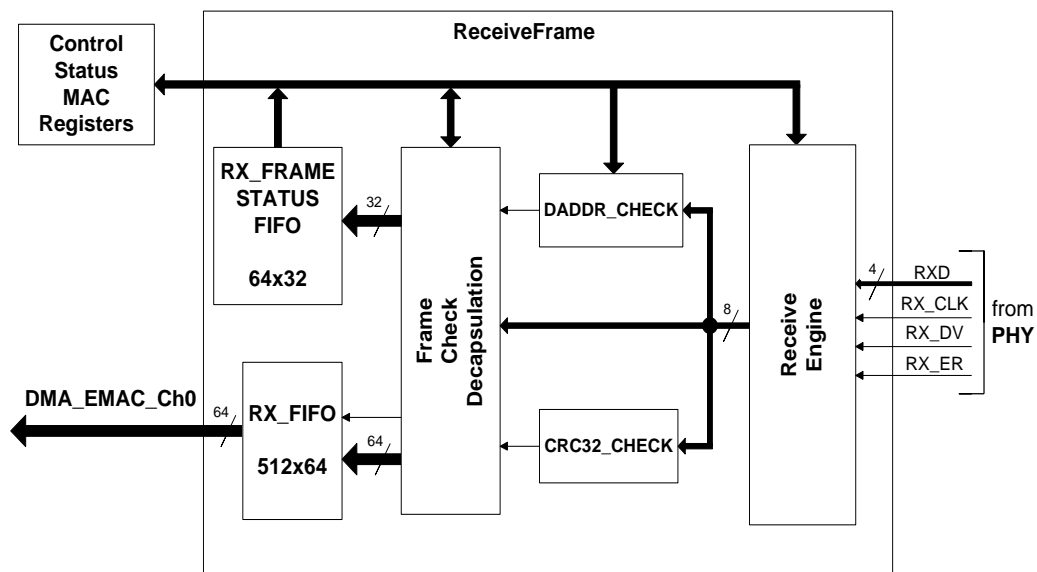


Рисунок 10.3. Структурная схема блока приема кадров

Порт управления PHY – MD_PORT – выполняет обмен управляющими и статусными данными с приемопередатчиком PHY.

10.3 Программная модель

10.3.1 Программирование контроллера Ethernet MAC 10/100

10.3.1.1 Порт управления PHY – MD_PORT

Порт управления PHY предназначен для обмена управляющими и статусными данными с приемопередатчиком PHY.

Обмен данными с приемопередатчиком PHY осуществляется по последовательному двухпроводному интерфейсу управления MD. Интерфейс управления MD состоит из двунаправленного сигнала для обмена данными MDIO и сигнала тактовой частоты MDC.

Тактовая частота MDC интерфейса управления MD формируется портом управления PHY и передается в приемопередатчик PHY для тактирования данных, передаваемых по сигналу MDIO. Для формирования тактовой частоты MDC используется делитель системной частоты HCLK, входящий в состав порта управления PHY.

Коэффициент деления системной частоты при формировании тактовой частоты MDC задается в разрядах регистра MD_MODE<7:0> = MDC_Divider. Для корректной работы порта управления PHY значение коэффициента деления системной частоты должно быть четным и не нулевым. Для корректного обмена данными по интерфейсу управления MD тактовая частота MDC не должна превышать 2,5 МГц.

Порт управления PHY выполняет следующие операции:

- запись в регистр приемопередатчика PHY;
- чтение регистра приемопередатчика PHY.

Для того чтобы запустить операцию на выполнение необходимо установить код операции в разрядах регистра управления порта – MD_CONTROL<31:30> = MD_OP. После завершения выполнения операции код операции MD_OP автоматически сбрасывается.

Адрес приемопередатчика PHY, с которым выполняется обмен данными, задается в разрядах регистра управления порта MD_CONTROL<28:24> = PHY_ADDR.

Адрес регистра приемопередатчика PHY, в который выполняется запись, либо из которого выполняется чтение данных, задается в разрядах регистра управления порта MD_CONTROL<20:16> = PHYREG_ADDR.

При выполнении операции записи в регистр приемопередатчика PHY 16-разрядные данные для записи должны быть установлены в разрядах регистра управления порта MD_CONTROL<15:0> = WR_DT.

После завершения выполнения операции чтения регистра приемопередатчика PHY прочтенные 16-разрядные данные сохраняются в разрядах регистра статуса порта MD_STATUS <15:0> = RD_DT.

После задания кода операции MD_OP порт начинает выполнять операцию и считается занятым, то есть недоступным для выполнения новой операции.

Для отслеживания состояния порта используется бит статусного регистра порта MD_STATUS<29> = MD_BUSY. Во время выполнения операции устанавливается бит занятости порта MD_BUSY, а после завершения выполнения операции бит MD_BUSY сбрасывается.

Обмен данными с приемопередатчиком PHY по интерфейсу управления MD выполняется в соответствии с форматом кадра управления. Формат кадра управления представлен в Таблица 10.1.

Таблица 10.1. Формат кадра управления

Число бит	Название поля	Поле кадра управления	Значение при операции записи	Значение при операции чтения
32	Преамбула	PRE	1111...1111	1111...1111
2	Начало кадра	ST	01	01
2	Код операции	OP	01	10
5	Адрес PHY	PHYAD	PHY_ADDR	PHY_ADDR
5	Адрес регистра	REGAD	PHYREG_ADDR	PHYREG_ADDR
2	Разворот (turnaround)	TA	10	Z0
16	Данные	DATA	WR_DT	RD_DT

Таким образом, при выполнении операции портом по интерфейсу MD последовательно передаются 64 бита кадра управления в течение 64 тактов частоты MDC. То есть временная задержка на выполнение операции портом управления PHY составляет 64 такта частоты MDC.

По завершении выполнения операции порт выставляет соответствующий флаг в разрядах регистра статуса порта MD_STATUS<31:30> = MD_OP_END. Флаги завершения выполнения операции MD_OP_END доступны для записи и могут быть сброшены записью нулей в соответствующие биты регистра MD_STATUS.

Во время выполнения операции регистр управления порта MD_CONTROL и разряды регистра статуса порта MD_STATUS<31:30> = MD_OP_END не доступны для записи.

Флаги завершения выполнения операции MD_OP_END являются запросом на прерывание от порта управления PHY. Запрос на прерывание от порта управления PHY маскируется.

В бите MD_CONTROL<29> = MD_MASK устанавливается маска запроса на прерывание от порта управления PHY.

Бит MD_MODE<8> = RST_MD предназначен для программного сброса порта управления PHY, а также регистров MD_MODE, MD_CONTROL, MD_STATUS. После установления бит RST_MD автоматически сбрасывается.

10.3.1.2 Блок передачи кадров TransmitFrame

Перед началом работы необходимо сконфигурировать блок передачи кадров – в регистре управления MAC установить бит MAC_CONTROL<0> = FULLD = 0/1 для задания полудуплексного/дуплексного режима работы контроллера. Также для разрешения работы блока передачи кадров должен быть установлен бит MAC_CONTROL<2> = EN_TX = 1.

Формирование кадра при передаче может выполняться в одном из двух режимов:

- передаваемый кадр формируется в блоке передачи кадров;
- в блок передачи кадров передается уже сформированный кадр.

На Рисунок 10.4 приведен формат кадра MAC.

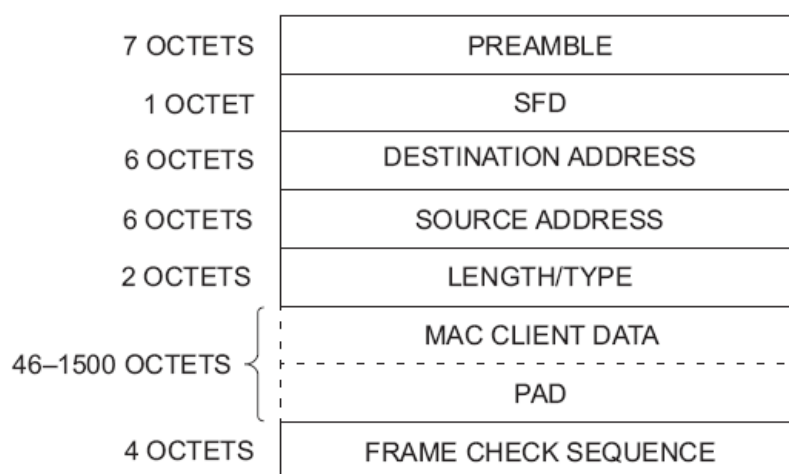


Рисунок 10.4. Формат кадра MAC

При передаче кадра блок передачи кадров автоматически вставляет в начале каждого передаваемого кадра 8 байт полей <PREAMBLE> и <SFD>. Каждый байт поля <PREAMBLE> имеет значение 0x55, а байт поля <SFD> имеет значение 0xD5.

10.3.1.2.1 Режим формирования передаваемого кадра в блоке передачи кадров

По умолчанию кадр формируется в блоке передачи кадров, при этом бит TX_FRAME_CONTROL<14> = DisEncapFR = 0, то есть разрешен режим формирования кадра в блоке передачи кадров.

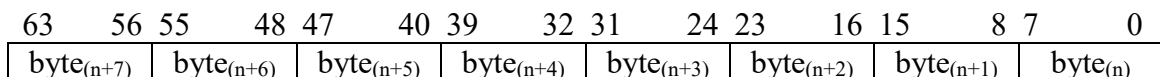
В этом режиме для формирования передаваемого кадра необходимо установить регистры MAC_ADDR_L, MAC_ADDR_H, DADDR_L, DADDR_H, TYPE, FCS_CLIENT, значение которых задает значение полей передаваемого кадра:

{MAC_ADDR_H, MAC_ADDR_L}	=> поле <SOURCE ADDRESS>;
{DADDR_H, DADDR_L}	=> поле <DESTINATION ADDRESS>;
TYPE	=> поле <LENGTH/TYPE>, используемое как поле <TYPE>;
FCS_CLIENT	=> поле <FCS> – уже вычисленная клиентом MAC контрольная сумма CRC32;

Разряды регистра

TX_FRAME_CONTROL<11:0> = LENGTH => задают значение поля <LENGTH/TYPE>, используемое как поле <LENGTH>;

Содержание поля <DATA> передается по DMA-каналу на запись DMA_EMAC_CH1 в передающее FIFO – TX_FIFO – в виде последовательности 64-разрядных слов. Каждое 64-разрядное слово состоит из 8 байт поля <DATA>, начиная с байта, который должен быть передан первым, и заканчивая байтом, который должен быть передан последним:



→
Байты передаются, начиная с младшего

В случае если последнее 64-разрядное слово поля <DATA> содержит меньше чем 8 байт для передачи, то передаваемые байты помещаются в соответствующие младшие разряды слова: 1 байт – в разряды <7:0>, 2 байта – в разряды <15:0>, 3 байта – в разряды <23:0>, 4 байта – в разряды <31:0>, 5 байт – в разряды <39:0>, 6 байт – в разряды <47:0>, 7 байт – в разряды <55:0>. Оставшиеся старшие разряды слова заполняются произвольными (нулевыми) значениями. Признаком того, что все данные кадра переданы в TX_FIFO и, что можно аппаратно дополнить 64-разрядную строку нулями, является запись команды на передачу кадра TX_REQ.

Бит регистра TX_FRAME_CONTROL<12> = TYPE_EN – задает в каком качестве используется поле <LENGTH/TYPE> в передаваемом кадре.

Если бит TYPE_EN=0, то в кадре используется поле <LENGTH> и его значение определяется разрядами TX_FRAME_CONTROL<11:0>.

Если бит TYPE_EN=1, то в кадре используется поле <TYPE> и его значение определяется значением регистра TYPE.

Независимо от значения бита TYPE_EN необходимо установить разряды регистра TX_FRAME_CONTROL<11:0> = LENGTH для задания числа байт в поле <DATA>

передаваемого кадра – этот параметр используется блоком передачи кадров при передаче кадра. Значение LENGTH должно быть не нулевым.

Бит регистра TX_FRAME_CONTROL<13> = FCS_CLT_EN – задает источник формирования поля <FCS>.

Если бит FCS_CLT_EN=0, то значение поля <FCS> – контрольная сумма CRC32 передаваемого кадра – вычисляется в блоке CALC_CRC32 при передаче кадра.

Если бит FCS_CLT_EN=1, то значение поля <FCS> – уже вычисленная клиентом MAC контрольная сумма CRC32, заданная в регистре FCS_CLIENT.

Бит регистра TX_FRAME_CONTROL<15> = Dis_PAD – запрещает/разрешает автоматическое добавление в кадр поля <PAD>, в случае когда число байт в поле <DATA> меньше 46 байт (минимальный размер поля <DATA> в соответствии со стандартом Ethernet).

Если бит Dis_PAD = 0, тогда:

$$\left. \begin{array}{l} \text{если бит TX_FRAME_CONTROL<13> = FCS_CLT_EN = 0,} \\ \text{а значение TX_FRAME_CONTROL<11:0> = LENGTH < 46 байт,} \end{array} \right\} \Rightarrow$$

=> то в кадр после поля <DATA> добавляется поле <PAD>.

Число байт в поле <PAD> определяется как разность (46 – LENGTH).

Каждый байт поля <PAD> имеет значение 0x99.

Если бит Dis_PAD = 1, либо если бит TX_FRAME_CONTROL<13> = FCS_CLT_EN = 1, то, несмотря на число байт в поле <DATA>, автоматического добавления поля <PAD> в кадр выполняться не будет.


10.3.1.2.2 Режим передачи, при котором в блок передачи кадров передается уже сформированный кадр

Для отключения режима формирования кадра в блоке передачи кадров необходимо установить бит TX_FRAME_CONTROL<14> = DisEncapFR = 1. В этом случае готовый для передачи сформированный кадр должен быть передан в блок передачи кадров.

Содержание кадра передается по DMA-каналу на запись DMA_EMAC_CH1 в передающее FIFO – TX_FIFO – в виде последовательности 64-разрядных слов. Каждое 64-разрядное

слово состоит из 8 байт кадра, начиная с байта, который должен быть передан первым и заканчивая байтом, который должен быть передан последним:

63	56	55	48	47	40	39	32	31	24	23	16	15	8	7	0
byte _(n+7)		byte _(n+6)		byte _(n+5)		byte _(n+4)		byte _(n+3)		byte _(n+2)		byte _(n+1)		byte _(n)	


 Байты передаются, начиная с младшего

В случае если последнее 64-разрядное слово кадра содержит меньше чем 8 байт для передачи, то передаваемые байты помещаются в соответствующие младшие разряды слова: 1 байт – в разряды <7:0>, 2 байта – в разряды <15:0>, 3 байта – в разряды <23:0>, 4 байта – в разряды <31:0>, 5 байт – в разряды <39:0>, 6 байт – в разряды <47:0>, 7 байт – в разряды <55:0>. Оставшиеся старшие разряды слова аппаратно заполняются произвольными (нулевыми) значениями. Признаком того, что все данные кадра переданы в TX_FIFO и, что можно аппаратно дополнить 64-разрядную строку нулями, является запись команды на передачу кадра TX_REQ.

Кадр, переданный в TX_FIFO, должен быть сформирован в соответствии с форматом кадра MAC, приведенным на Рисунок 10.4 и состоять из полей: <DESTINATION ADDRESS>, <SOURCE ADDRESS>, <LENGTH/TYPE>, <DATA>. Таким образом, сначала в TX_FIFO должно быть передано содержание поля <DESTINATION ADDRESS>, затем содержание поля <SOURCE ADDRESS>, далее содержание поля <LENGTH/TYPE> (старший байт первым), а затем содержание поля <DATA>. Также кадр, переданный в TX_FIFO, может содержать уже вычисленное значение поля <FCS>. Тогда содержание поля <FCS> должно быть передано сразу же вслед за содержанием поля <DATA>. При этом при компоновке байт полей кадра в 64-разрядные слова не должно быть пустых байт на границах полей. Таким образом, кадр после разбиения на 64-разрядные слова должен иметь следующую структуру (когда в состав кадра не входит поле <FCS>), представленную в Таблица 10.2.

Таблица 10.2. Структура кадра MAC, не включающего поле <FCS>

	63	48	47	32	31
Word 0	SOURCE ADDRESS<15:0>		DESTINATION ADDRESS<47:32>		DESTINATION ADDRESS<31:0>
1	DATA<byte1, byte0>		LENGTH/TYPE<7:0>	LENGTH/TYPE<15:8>	SOURCE ADDRESS<47:16>
2	DATA<byte9, byte8, byte7, byte6>				DATA<byte5, byte4, byte3, byte2>
...	...				
N	DATA<byte _(LEN-1) , byte _(LEN-2) , byte _(LEN-3) , byte _(LEN-4) >			DATA<byte _(LEN-5) , byte _(LEN-6) , byte _(LEN-7) , byte _(LEN-8) >	

либо: N	0x00, DATA<byte _(LEN-1) , byte _(LEN-2) , byte _(LEN-3) >	DATA<byte _(LEN-4) ,byte _(LEN-5) ,byte _(LEN-6) ,byte _(LEN-7) >
либо: N	0x00, 0x00, DATA<byte _(LEN-1) , byte _(LEN-2) >	DATA<byte _(LEN-3) ,byte _(LEN-4) ,byte _(LEN-5) ,byte _(LEN-6) >
либо: N	0x00, 0x00, 0x00, DATA<byte _(LEN-1) >	DATA<byte _(LEN-2) ,byte _(LEN-3) ,byte _(LEN-4) ,byte _(LEN-5) >
либо: N	0x00, 0x00, 0x00, 0x00	DATA<byte _(LEN-1) ,byte _(LEN-2) ,byte _(LEN-3) ,byte _(LEN-4) >
либо: N	0x00, 0x00, 0x00, 0x00	0x00, DATA<byte _(LEN-1) , byte _(LEN-2) ,byte _(LEN-3) >
либо: N	0x00, 0x00, 0x00, 0x00	0x00, 0x00, DATA<byte _(LEN-1) , byte _(LEN-2) >
либо: N	0x00, 0x00, 0x00, 0x00	0x00, 0x00, 0x00, DATA<byte _(LEN-1) >

Где LEN – число байт в поле <DATA>: byte₀, byte₁, ... , byte_(LEN-1).

В случае, когда кадр, переданный в TX_FIFO, содержит уже вычисленное значение поля <FCS>, то кадр имеет следующую структуру, представленную в Таблица 10.3:

Таблица 10.3. Структура кадра MAC, включающего поле <FCS>

	63	48	47	32	31
Word 0					
0	SOURCE ADDRESS<15:0>		DESTINATION ADDRESS<47:32>		DESTINATION ADDRESS<31:0>
1	DATA<byte ₁ , byte ₀ >		LENGTH/TYPE<7:0>	LENGTH/TYPE<15:8>	SOURCE ADDRESS<47:16>
2	DATA<byte ₉ , byte ₈ , byte ₇ , byte ₆ >			DATA<byte ₅ , byte ₄ , byte ₃ , byte ₂ >	
...	...				
N-1	DATA<byte _(LEN-5) ,byte _(LEN-6) ,byte _(LEN-7) ,byte _(LEN-8) >			DATA<byte _(LEN-9) ,byte _(LEN-10) ,byte _(LEN-11) ,byte _(LEN-12) >	
N	FCS<31:0>			DATA<byte _(LEN-1) ,byte _(LEN-2) ,byte _(LEN-3) ,byte _(LEN-4) >	
либо: N-1	DATA<byte _(LEN-4) ,byte _(LEN-5) ,byte _(LEN-6) ,byte _(LEN-7) >			DATA<byte _(LEN-8) ,byte _(LEN-9) ,byte _(LEN-10) ,byte _(LEN-11) >	
N	0x00, FCS<31:8>			FCS<7:0>,DATA<byte _(LEN-1) ,byte _(LEN-2) ,byte _(LEN-3) >	
либо: N-1	DATA<byte _(LEN-3) ,byte _(LEN-4) ,byte _(LEN-5) ,byte _(LEN-6) >			DATA<byte _(LEN-7) ,byte _(LEN-8) ,byte _(LEN-9) ,byte _(LEN-10) >	
N	0x00, 0x00, FCS<31:16>			FCS<15:0>, DATA<byte _(LEN-1) ,byte _(LEN-2) >	
либо: N-1	DATA<byte _(LEN-2) ,byte _(LEN-3) ,byte _(LEN-4) ,byte _(LEN-5) >			DATA<byte _(LEN-6) ,byte _(LEN-7) ,byte _(LEN-8) ,byte _(LEN-9) >	

	63	48	47	32	31
Word 0					
N	0x00, 0x00, 0x00, FCS<31:24>			FCS<23:0>, DATA<byte _(LEN-1) >	
либо: N-1	DATA<byte _(LEN-1) ,byte _(LEN-2) ,byte _(LEN-3) ,byte _(LEN-4) >			DATA<byte _(LEN-5) ,byte _(LEN-6) ,byte _(LEN-7) ,byte _(LEN-8) >	
N	0x00, 0x00, 0x00, 0x00			FCS<31:0>	
либо: N-1	FCS<7:0>,DATA<byte _(LEN-1) ,byte _(LEN-2) ,byte _(LEN-3) >			DATA<byte _(LEN-4) ,byte _(LEN-5) ,byte _(LEN-6) ,byte _(LEN-7) >	
N	0x00, 0x00, 0x00, 0x00			0x00, FCS<31:8>	
либо: N-1	FCS<15:0>, DATA<byte _(LEN-1) , byte _(LEN-2) >			DATA<byte _(LEN-3) ,byte _(LEN-4) ,byte _(LEN-5) ,byte _(LEN-6) >	
N	0x00, 0x00, 0x00, 0x00			0x00, 0x00, FCS<31:16>	
либо: N-1	FCS<23:0>, DATA<byte _(LEN-1) >			DATA<byte _(LEN-2) ,byte _(LEN-3) ,byte _(LEN-4) ,byte _(LEN-5) >	
N	0x00, 0x00, 0x00, 0x00			0x00, 0x00, 0x00, FCS<31:24>	

Бит регистра TX_FRAME_CONTROL<13> = FCS_CLT_EN – задает источник формирования поля <FCS>.

Если бит FCS_CLT_EN=0, то значение поля <FCS> – контрольная сумма CRC32 передаваемого кадра – вычисляется в блоке CALC_CRC32 при передаче кадра.

При этом кадр, переданный в TX_FIFO, содержит следующие поля: <DESTINATION ADDRESS>, <SOURCE ADDRESS>, <LENGTH/TYPE>, <DATA>.

Если бит FCS_CLT_EN=1, то значение поля <FCS> – уже вычисленная клиентом MAC контрольная сумма CRC32, переданная вместе с остальными полями кадра в TX_FIFO.

При этом кадр, переданный в TX_FIFO, содержит поля: <DESTINATION ADDRESS>, <SOURCE ADDRESS>, <LENGTH/TYPE>, <DATA>, <FCS>.

Также должны быть установлены разряды регистра TX_FRAME_CONTROL<11:0> = LENGTH для задания числа байт кадра, переданного в TX_FIFO, – этот параметр используется блоком передачи кадров при передаче кадра. Значение LENGTH должно быть не нулевым.

В случае, когда FCS_CLT_EN=0, значение LENGTH соответствует числу байт полей <DESTINATION ADDRESS>, <SOURCE ADDRESS>, <LENGTH/TYPE> и <DATA>, то есть (12 байт + число байт поля <DATA>).

В случае, когда FCS_CLT_EN=1, значение LENGTH соответствует числу байт всех полей кадра: <DESTINATION ADDRESS>, <SOURCE ADDRESS>, <LENGTH/TYPE>, <DATA> и <FCS>, то есть (16 байт + число байт поля <DATA>).

Бит регистра TX_FRAME_CONTROL<15> = Dis_PAD – запрещает/разрешает автоматическое добавление в кадр поля <PAD>, в случае когда число байт в кадре меньше 64 байт (минимальный размер кадра в соответствии со стандартом Ethernet).

Если бит Dis_PAD = 0, тогда:

если бит TX_FRAME_CONTROL<13> = FCS_CLT_EN = 0, } =>

а значение TX_FRAME_CONTROL<11:0> = LENGTH < 60 байт

(4 байта поля <FCS> вычисляются контроллером при передаче),

=> то во время передачи кадра перед передачей поля <FCS> передается поле <PAD>. Число байт в поле <PAD> определяется как разность (60 – LENGTH).

Каждый байт поля <PAD> имеет значение 0x99.

Если бит Dis_PAD = 1, либо если бит TX_FRAME_CONTROL<13> = FCS_CLT_EN = 1, то, несмотря на число байт в кадре, автоматического добавления поля <PAD> при передаче кадра выполняться не будет.

10.3.1.2.3 Передача кадра

Для того чтобы запустить передачу кадра необходимо установить в регистре управления передачи кадра бит запроса на передачу кадра, то есть TX_FRAME_CONTROL<16> = TX_REQ = 1.

Перед тем как будет установлен бит запроса на передачу кадра, в блок передачи кадров должны быть переданы данные, необходимые для формирования кадра.

В случае, когда разрешен режим формирования кадра в блоке передачи кадров, тогда необходимо установить регистры MAC_ADDR_L, MAC_ADDR_H, DADDR_L, DADDR_H, TYPE, FCS_CLIENT, TX_FRAME_CONTROL, а также содержание поля <DATA> должно быть полностью передано в TX_FIFO.

В случае, когда в блок передачи кадров передается уже сформированный кадр, тогда необходимо установить регистр TX_FRAME_CONTROL, а содержание кадра должно быть полностью передано в TX_FIFO.

Перед тем как начать передавать данные в TX_FIFO должна быть разрешена работа передающего TX_FIFO с DMA-каналом на запись DMA_EMAC_CH1.

Для того чтобы разрешить работу передающего TX_FIFO с каналом DMA_EMAC_CH1 необходимо установить в регистре управления MAC бит MAC_CONTROL<1> = EN_TX_DMA = 1.

Число 64-разрядных слов в передающем FIFO – TX_FIFO – отображается в разрядах регистра статуса STATUS_TX<26:16> = TXW (TXW содержит информацию о количестве данных в TX_FIFO с точностью до байта, но в регистре статуса отображена информация с точностью до 64-разрядного слова округленного в большую сторону).

Также, перед тем как будет установлен запрос на передачу кадра, должен быть сконфигурирован регистр IFS и режима обработки коллизий – IFS_COLL_MODE.

После выставления бита запроса на передачу кадра TX_REQ = 1 в связи с синхронизацией системной частоты HCLK и частоты передачи TX_CLK блоку передачи кадров требуется временная задержка, прежде чем он начнет обрабатывать запрос на передачу кадра. Для отслеживания состояния блока передачи кадров используется бит статусного регистра STATUS_TX<0> = ONTX_REQ. Как только блок передачи кадров начинает обработку запроса на передачу кадра устанавливается бит ONTX_REQ и продолжает стоять в течение обработки запроса на передачу кадра. По завершении обработки запроса на передачу кадра бит ONTX_REQ сбрасывается. Сразу после начала обработки запроса на передачу кадра блок передачи кадров буферизует содержимое регистров MAC_ADDR_L, MAC_ADDR_H, DADDR_L, DADDR_H, TYPE, FCS_CLIENT, TX_FRAME_CONTROL, IFS_COLL_MODE. Таким образом, после того как был установлен бит запроса на передачу кадра TX_REQ = 1 необходимо дождаться выставления бита ONTX_REQ = 1 в статусном регистре, и после этого все регистры блока передачи кадров могут быть переустановлены для передачи следующего кадра. В передающее TX_FIFO также может быть передано содержимое следующего кадра. В течении времени после того как был установлен бит TX_REQ, но еще не выставился бит ONTX_REQ попытка записи в регистры блока передачи кадров игнорируется.

После выставления бита запроса на передачу кадра TX_REQ = 1 – он не может быть сброшен и будет продолжать стоять в течение обработки запроса на передачу кадра. По завершении обработки запроса на передачу кадра бит TX_REQ автоматически сбрасывается. После этого бит запроса на передачу может быть выставлен снова для передачи следующего кадра.

Если бит разрешения работы блока передачи кадров MAC_CONTROL<2> = EN_TX будет сброшен, после того как блок передачи кадров начал обработку запроса на передачу кадра, то, не смотря на это, обработка текущего запроса на передачу будет продолжена.

Если был установлен бит запроса на передачу кадра TX_REQ = 1 и при этом бит разрешения работы блока передачи кадров MAC_CONTROL<2>=EN_TX=0, тогда блок передачи кадров сразу же завершает обработку запроса на передачу кадра и сообщает об этом выставлением в регистре статуса бита STATUS_TX<3> = TX_DONE = 1. По

завершении обработки запроса на передачу кадра блок передачи кадров также сообщает результат передачи кадра в разрядах регистра статуса $STATUS_TX\langle 8:4 \rangle = TX_REZ = 0x01$ – transmitDisabled – передача не разрешена.

Если был установлен бит запроса на передачу кадра $TX_REQ = 1$ и при этом число слов в передающем $TX_FIFO - TXW$ меньше, чем значение разрядов регистра $TX_FRAME_CONTROL\langle 11:0 \rangle = LENGTH$, то есть $TXW < LENGTH$, тогда блок передачи кадров сразу же завершает обработку запроса на передачу кадра и сообщает об этом выставлением в регистре статуса бита $STATUS_TX\langle 3 \rangle = TX_DONE = 1$. По завершении обработки запроса на передачу кадра блок передачи кадров также сообщает результат передачи кадра в разрядах регистра статуса $STATUS_TX\langle 8:4 \rangle = TX_REZ = 0x02$ – NotEnoughDataErr – в TX_FIFO недостаточно данных для передачи.

Если контроллер MAC работает в полудуплексном режиме (бит $MAC_CONTROL\langle 0 \rangle = FULLD = 0$), то когда блок передачи кадров начинает обработку запроса на передачу кадра ($ONTX_REQ = 1$), то сначала он проверяет занята ли среда передача.

Для отслеживания занятости среды передачи используется бит статусного регистра $STATUS_TX\langle 2 \rangle = BUSY$. Когда в среде передачи обнаруживается наличие несущей, это означает, что в среде идет передача от одной из передающих станций (в том числе и от контроллера MAC), тогда устанавливается бит $BUSY$ – среда занята. Как только среда передачи освобождается, бит $BUSY$ сбрасывается.

В случае если блок передачи кадров обнаруживает занятость среды передачи, тогда он задерживает передачу кадра и ожидает, когда среда передачи освободится, то есть когда другая станция закончит свою передачу. После того, как среда передачи освобождается, блок передачи кадров, перед тем как начать передавать кадр, выдерживает временную задержку, называемую межкадровым интервалом – `interFrameSpacing`.

Значение межкадрового интервала `interFrameSpacing` задается в разрядах регистра $IFS_COLL_MODE\langle 31:24 \rangle = IFS$. В соответствии со стандартом Ethernet межкадровый интервал IFS по умолчанию равен времени передачи 96 бит, что соответствует 24 тактам частоты передачи TX_CLK . Значение IFS должно быть не меньше 4 тактов частоты передачи TX_CLK .

Межкадровый интервал рассматривается в качестве двух последовательных временных интервалов: начальный интервал, равный значению $(IFS - 8)$, что по умолчанию соответствует первым 16 тактам TX_CLK после начала отсчета межкадрового интервала, и заключительный интервал, который соответствует последующим 8 тактам TX_CLK . Блок передачи кадров начинает отсчитывать межкадровый интервал после того как освобождается среда передачи, если в течение начального интервала вновь обнаруживается занятость среды передачи, то блок передачи кадров снова ждет когда освободится среда и после этого заново начинает отсчитывать межкадровый интервал. Если же в течение начального интервала среда передачи остается свободной, то блок

передачи кадров затем продолжает ожидать в течение заключительного интервала, но при этом уже не отслеживая занятость среды. Таким образом, как только истечет заключительный интервал межкадрового интервала, блок передачи кадров сразу же начинает передачу своего кадра в среду передачи.

Бит статусного регистра STATUS_TX<1>=ONTransmit позволяет отслеживать состояние блока передачи кадров. Когда блок передачи кадров передает кадр в среду передачи, тогда бит ONTransmit устанавливается и продолжает стоять в течение всей передачи кадра. Как только блок передачи кадров завершает передачу кадра, бит ONTransmit сбрасывается.

Если контроллер MAC работает в дуплексном режиме (бит MAC_CONTROL<0> = FULLD = 1), то среда передачи всегда доступна. Таким образом, в дуплексном режиме блок передачи кадров сразу же после начала обработки запроса на передачу начинает передавать кадр. Однако, в случае выполнения последовательных передач кадров блок передачи кадров между передачами выдерживает временную задержку – межкадровый интервал – interFrameSpacing. Межкадровый интервал interFrameSpacing в соответствии со стандартом Ethernet равен времени передачи 96 бит, что соответствует 24 тактам частоты передачи TX_CLK.

Во время передачи блок передачи кадров последовательно передает байты всех полей кадра: <DESTINATION ADDRESS>, <SOURCE ADDRESS>, <LENGTH/TYPE>, <DATA>, <FCS>.

Если контроллер MAC работает в полудуплексном режиме (бит MAC_CONTROL<0> = FULLD = 0), и во время передачи кадра не было обнаружено коллизии, либо если контроллер MAC работает в дуплексном режиме (бит MAC_CONTROL<0>= FULLD = 1), то блок передачи кадров, передав байты последнего поля <FCS>, завершает передачу кадра и затем завершает обработку запроса на передачу кадра и сообщает об этом выставлением в регистре статуса бита STATUS_TX<3>=TX_DONE= 1.

По завершении обработки запроса на передачу кадра блок передачи кадров также сообщает результат передачи кадра в разрядах регистра статуса STATUS_TX<8:4> = TX_REZ = 0x04 – transmitOK – передача кадра успешно выполнена.

По завершении обработки запроса на передачу кадра, если передача кадра была успешно выполнена, то число слов в передающем TX_FIFO – TXW декрементируется в соответствии с размером данных переданного кадра.

Флаг завершения обработки запроса на передачу кадра TX_DONE, а также код результата передачи кадра TX_REZ после их установки блоком передачи кадров продолжают стоять, а при выставлении следующего запроса на передачу кадра автоматически сбрасываются.

Флаг завершения обработки запроса на передачу кадра TX_DONE доступен по записи, когда блок передачи кадров не выполняет обработку запроса на передачу кадра, то есть

когда бит `TX_REQ = 0`. Таким образом, после завершения обработки запроса на передачу кадра флаг `TX_DONE` может быть сброшен записью нуля в соответствующий бит регистра `STATUS_TX`.

Код результата передачи кадра `TX_REZ` доступен только по чтению.

Бит `MAC_CONTROL<9> = CP_TX` предназначен для сброса указателей передающего `TX_FIFO` между передачами кадров. Когда установлен запрос на передачу кадра, то есть бит `TX_REQ = 1`, бит `CP_TX` не доступен по записи. В связи с синхронизацией системной частоты `HCLK` и частоты передачи `TX_CLK` сброс указателей передающего `TX_FIFO` происходит с временной задержкой. Также, если сброс указателей выполняется на фоне работы канала `DMA` на запись, то перед выполнением сброса указателей требуется временная задержка, необходимая для завершения запущенных на передачу по каналу `DMA` пакетов данных. После установки бит `CP_TX` продолжает стоять, при этом бит становится недоступным для записи и поэтому не может быть сброшен. После выполнения сброса указателей, передающего `TX_FIFO` бит `CP_TX` автоматически сбрасывается, после чего бит снова доступен для записи. В результате сброса указателей число слов в передающем `TX_FIFO` обнуляется – `STATUS_TX<26:16> = TXW = 0`.

Флаг завершения обработки запроса на передачу кадра `TX_DONE` является запросом на прерывание от блока передачи кадров. Запрос на прерывание от блока передачи кадров маскируется. В бите `MAC_CONTROL<3> = MASK_TX_DONE` устанавливается маска запроса на прерывание от блока передачи кадров.

Бит `MAC_CONTROL<10> = RST_TX` предназначен для программного сброса блока передачи кадров, а также регистров `MAC_ADDR_L`, `MAC_ADDR_H`, `DADDR_L`, `DADDR_H`, `TYPE`, `FCS_CLIENT`, `IFS_COLL_MODE`, `TX_FRAME_CONTROL`, `STATUS_TX` и разрядов регистра `MAC_CONTROL<3:0>`. В связи с синхронизацией системной частоты `HCLK` и частоты передачи `TX_CLK` требуется временная задержка для выполнения программного сброса блока передачи кадров. Также, если программный сброс выполняется на фоне работы канала `DMA` на запись, то перед выполнением программного сброса требуется временная задержка, необходимая для завершения запущенных на передачу по каналу `DMA` пакетов данных. После установки бит `RST_TX` продолжает стоять, при этом бит становится недоступным для записи и поэтому не может быть сброшен. После выполнения программного сброса блока передачи кадров бит `RST_TX` автоматически сбрасывается, после чего бит снова доступен для записи.

На Рисунок 10.5 приведен порядок обработки запроса на передачу кадра блоком передачи кадров.

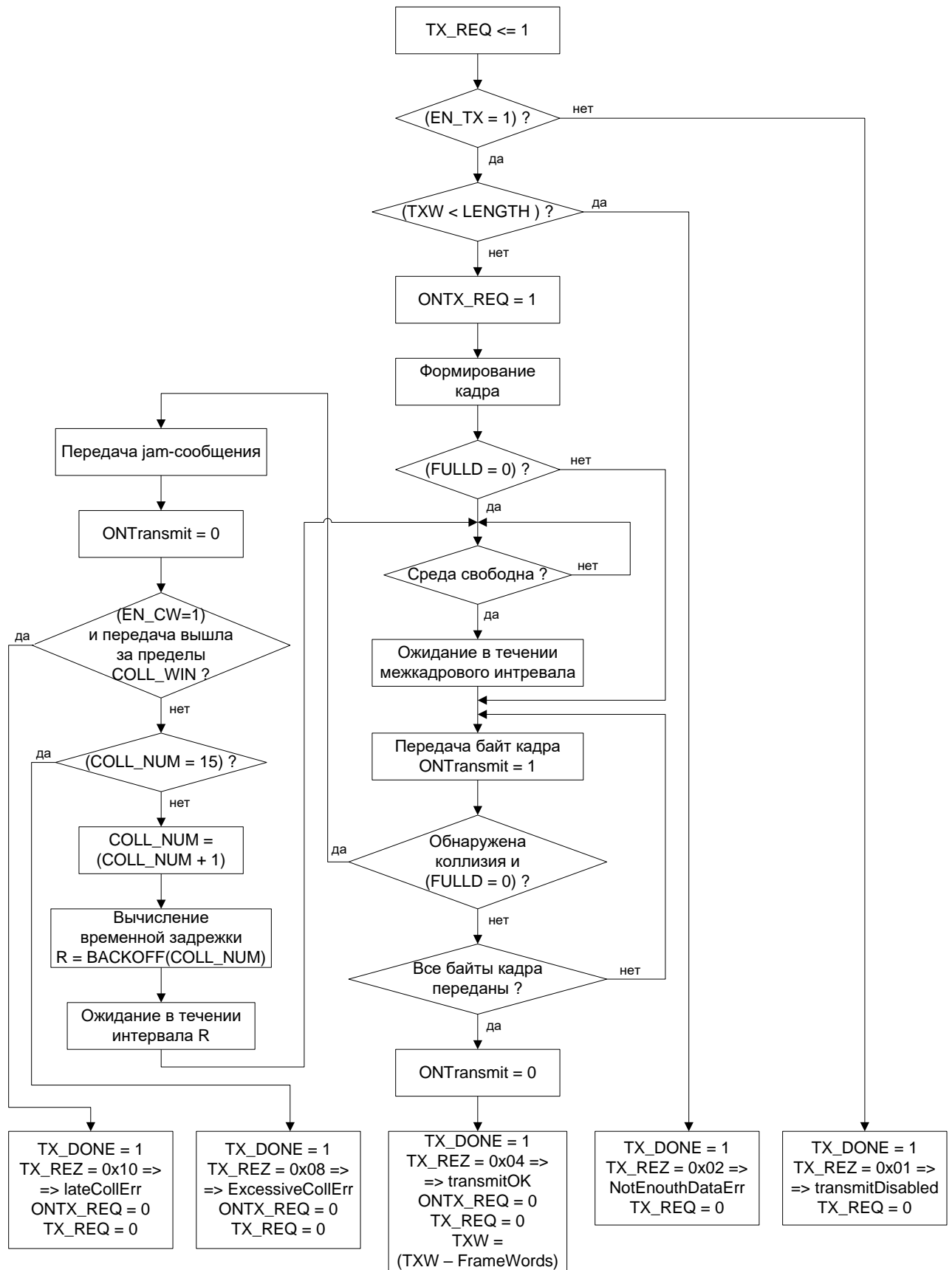


Рисунок 10.5. Порядок обработки запроса на передачу кадра

10.3.1.2.4 Обработка коллизий при передаче кадра

Когда контроллер MAC работает в полудуплексном режиме (бит $MAC_CONTROL<0> = FULLD = 0$), то во время передачи кадра в среде передачи может произойти коллизия. В случае обнаружения коллизии во время передачи кадра, блок передачи кадров вместо содержимого кадра начинает передавать 32-разрядное jam-сообщение, состоящее из 4 повторяющихся байт, чтобы сообщить другим станциям об обнаружении коллизии. После передачи jam-сообщения блок передачи кадров останавливает передачу и инкрементирует счетчик попыток повторных передач.

Значение повторяющегося байта jam-сообщения задается в разрядах регистра $IFS_COLL_MODE<23:16> = JAMB$.

Наличие коллизии в среде передачи отслеживается значением бита регистра статуса $STATUS_TX<3> = ONCOL$.

Значение счетчика попыток повторных передач отображается в разрядах регистра статуса $STATUS_TX<15:12> = COLL_NUM$. Во время первой попытки передачи значение счетчика $COLL_NUM = 0$. Счетчик попыток повторных передач $COLL_NUM$ доступен только по чтению. Значение счетчика попыток повторных передач $COLL_NUM$ автоматически сбрасывается при выставлении следующего запроса на передачу кадра.

После завершения передачи jam-сообщения блок передачи кадров переходит в состояние ожидания. Блок передачи кадров находится в состоянии ожидания в течение временной задержки, вычисленной в блоке $BACKOFF$ в соответствии текущим значением номера попытки повторной передачи. По истечении временной задержки блок передачи кадров выполняет повторную попытку передачи кадра. В случае последующих обнаружений коллизий, блок передачи кадров будет выполнять повторные передачи кадра до тех пор, когда будет достигнуто максимальное количество попыток повторных передач кадра – $ATTEMPT_NUM$. Максимальное количество попыток повторных передач кадра задается в разрядах регистра $IFS_COLL_MODE<3:0> = ATTEMPT_NUM$ и по умолчанию равно 15. Таким образом, по умолчанию блок передачи кадров выполняет до 16 попыток передачи кадра в соответствии со стандартом Ethernet.

В случае, когда при передаче кадра достигается максимальное количество попыток повторных передач кадра $ATTEMPT_NUM$, и при этом последняя попытка передачи кадра также прерывается коллизией, тогда блок передачи кадров завершает обработку запроса на передачу кадра. Блок передачи кадров сообщает о завершении обработки запроса на передачу кадра выставлением в регистре статуса бита $STATUS_TX<3> = TX_DONE = 1$. По завершении обработки запроса на передачу кадра блок передачи кадров также сообщает результат передачи кадра в разрядах регистра статуса $STATUS_TX<8:4> = TX_REZ = 0x08$ – $ExcessiveCollErr$ – ошибка превышения максимального количества попыток повторных передач кадра.

Во время передачи кадра в среде передачи обычно может быть обнаружена коллизия в течение определенного временного промежутка после начала передачи, который требуется для распространения сигнала от передающей станции до всех остальных станций в среде передачи. Такой временной промежуток с начала передачи кадра называется окном коллизии. Размер окна коллизии задается как число байт кадра, для передачи которых требуется определенный промежуток времени, и устанавливается в разрядах регистра $IFS_COLL_MODE\langle 23:16 \rangle = COLL_WIN$. Размер окна коллизии должен быть больше 14 байт. В соответствии со стандартом Ethernet размер окна коллизии равен временному интервалу $slotTime$, который равен времени передачи 512 бит, что соответствует времени передачи 64 байт кадра. Таким образом, по умолчанию размер окна коллизии $COLL_WIN$ равен 64 байта. Для разрешения отслеживания окна коллизии должен быть установлен бит $IFS_COLL_MODE\langle 4 \rangle = EN_CW = 1$. По умолчанию отслеживание окна коллизии разрешено.

В случае обнаружении коллизии во время передачи кадра, если разрешено отслеживание окна коллизии ($IFS_COLL_MODE\langle 4 \rangle = EN_CW = 1$), то блок передачи кадров проверяет вышла ли текущая передача за пределы окна коллизии. Таким образом, если обнаружена коллизия и при этом разрешено отслеживание окна коллизии ($IFS_COLL_MODE\langle 4 \rangle = EN_CW = 1$), а текущая передача вышла за пределы окна коллизии, то блок передачи кадров после завершения передачи jam-сообщения не делает повторных попыток передачи кадра, а завершает обработку запроса на передачу кадра. Блок передачи кадров сообщает о завершении обработки запроса на передачу кадра выставлением в регистре статуса бита $STATUS_TX\langle 3 \rangle = TX_DONE = 1$.

По завершении обработки запроса на передачу кадра блок передачи кадров также сообщает результат передачи кадра в разрядах регистра статуса $STATUS_TX\langle 8:4 \rangle = TX_REZ = 0x10$ – lateCollErr – ошибка поздней коллизии.

В случае, когда отслеживание окна коллизии не разрешено, то есть бит $IFS_COLL_MODE\langle 4 \rangle = EN_CW = 0$, тогда независимо от момента обнаружения коллизий, блок передачи кадров будет выполнять повторные попытки передачи кадра до тех пока передача кадра не будет успешно завершена или пока не будет достигнуто максимальное количество попыток повторных передач кадра.

Если коллизия обнаруживается в первые несколько тактов после успешного завершения передачи кадра, то блок передачи кадров завершает обработку запроса на передачу кадра и сообщает об этом выставлением в регистре статуса бита $STATUS_TX\langle 3 \rangle = TX_DONE = 1$, а также сообщает результат передачи кадра в разрядах регистра статуса $STATUS_TX\langle 8:4 \rangle = TX_REZ = 0x14$ – одновременно transmitOK и lateCollErr – передача кадра успешно выполнена и при этом ошибка поздней коллизии.

Когда контроллер MAC работает в дуплексном режиме (бит $MAC_CONTROL\langle 0 \rangle = FULLD = 1$), тогда в среде передачи не может возникать коллизий. Таким образом,

передача кадра при работе в дуплексном режиме не может быть прервана и всегда успешно завершается с первой попытки передачи.

10.3.1.3 Блок CALC_CRC32

Блок CALC_CRC32 вычисляет контрольную сумму CRC32 передаваемого кадра.

Контрольная сумма представляет собой 32-разрядное значение, которое вычисляется как функция от содержимого полей кадра: <DESTINATION ADDRESS>, <SOURCE ADDRESS>, <LENGTH/TYPE>, <DATA>, <PAD>.

Алгоритм вычисления контрольной суммы CRC32 определяется полиномом:

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1 ;$$

Разряды вычисленной контрольной суммы CRC<31:0> помещаются в поле <FCS> так, что старший разряд CRC<31> помещается в младший разряд поля FCS<0>, а младший разряд CRC<0> помещается в старший разряд поля FCS<31>. Таким образом, поле FCS<31:0> = {CRC<0>, CRC<1>, ..., CRC<30>, CRC<31>}.

Следует отметить, что если при передаче кадра используется регистр FCS_CLIENT, то в этот регистр помещается непосредственно значение контрольной суммы CRC<31:0>, то есть FCS_CLIENT<31:0> = CRC<31:0>.

Если же в TX_FIFO передается сформированный кадр, содержащий уже вычисленное значение поля <FCS>, то в этом случае формат поля <FCS> должен соответствовать выражению: FCS<31:0> = {CRC<0>, CRC<1>, ..., CRC<30>, CRC<31>}.

10.3.1.4 Блок BACKOFF

Блок BACKOFF вычисляет временную задержку перед повторной передачей кадра при обнаружении коллизии. Временная задержка определяется как целое число R временных интервалов slotTime. Временной интервал slotTime равен времени передачи 512 бит, что соответствует 128 тактам частоты передачи TX_CLK.

R – целое число временных интервалов slotTime – вычисляется как случайное значение в диапазоне $0 \leq R < 2K$,

где $K = \min(n, 10)$, $1 \leq n \leq 15$, n – номер попытки повторной передачи.

Для блока BACKOFF предусмотрен тестовый режим работы. Для включения тестового режима работы блока BACKOFF необходимо установить бит IFS_COLL_MODE<7> = TM_BACKOFF = 1. В тестовом режиме работы целое число временных интервалов slotTime – R – вычисляется в диапазоне: $0 \leq R \leq 1$.

10.3.1.5 Режим тестирования TX_FIFO

Для тестирования записи данных по DMA-каналу в передающее TX_FIFO предусмотрен режим тестирования TX_FIFO. Для включения режима тестирования TX_FIFO необходимо установить в регистре управления и состояния режима тестирования TX_FIFO бит разрешения режима тестирования – TX_TEST_CSR<0> = TM_TX_FIFO = 1.

Когда разрешен режим тестирования передающего TX_FIFO, то обмен по каналу DMA с TX_FIFO невозможен. Данные поступающие на запись в TX_FIFO при разрешенном режиме тестирования игнорируются.

Если разрешен режим тестирования, то TX_FIFO доступно для чтения по адресу TX_FIFO. Таким образом, в режиме тестирования последовательными чтениями 32-разрядных слов может быть вычитано содержимое TX_FIFO. При этом чтение TX_FIFO начинается с нулевой ячейки.

Число прочтенных 32-разрядных слов из TX_FIFO отображается в разрядах регистра управления и состояния режима тестирования TX_TEST_CSR<14:4> = TM_TX_RDW. После сброса бита разрешения режима тестирования TX_FIFO число прочтенных из TX_FIFO слов – TM_TX_RDW – обнуляется.

10.3.1.6 Блок приема кадров ReceiveFrame

Для разрешения работы блока приема кадров должен быть установлен бит MAC_CONTROL<4> = EN_RX = 1.

Блок приема кадров может быть сконфигурирован для работы в режиме заикливания блока приема кадров на блок передачи кадров. Для задания режима заикливания в регистре управления MAC необходимо установить бит MAC_CONTROL<5> = LOOPBACK = 1.

Для задания параметров фильтрации кадров по адресу назначения необходимо установить биты регистра RX_FRAME_CONTROL<9:6>, а также регистры UCADDR_L, UCADDR_H, MCADDR_L, MCADDR_H, MCADDR_MASK_L, MCADDR_MASK_H, HASHT_L, HASHT_H.

В регистре RX_FR_MaxSize необходимо установить значение максимального размера принимаемого кадра в байтах. По умолчанию максимальный размер принимаемого кадра равен 1518 байт в соответствии со стандартом Ethernet.

Также в разрядах регистра RX_FRAME_CONTROL<5:0> необходимо задать параметры проверки и обработки принятого кадра.

Блок приема кадров постоянно анализирует состояние сигнала RX_DV для обнаружения трансляции кадра в среде передачи.

В случае, когда блок приема кадров обнаруживает, что установился сигнал RX_DV и при этом бит разрешения работы блока приема кадров MAC_CONTROL<4> = EN_RX = 0, тогда блок приема кадров пропускает транслируемый кадр и сообщает об этом выставлением в регистре статуса бита STATUS_RX<0> = RCV_Disabled = 1. Бит RCV_Disabled после выставления продолжает стоять и будет автоматически сброшен после завершения трансляции пропускаемого кадра в среде передачи, то есть когда снимется сигнал RX_DV.

Когда блок приема кадров обнаруживает, что установился сигнал RX_DV и при этом установлен бит разрешения работы блока приема кадров MAC_CONTROL<4> = EN_RX = 1, тогда блок приема кадров начинает прием кадра.

Если бит разрешения работы блока приема кадров MAC_CONTROL<4> = EN_RX будет сброшен после того как блок приема кадров начал прием кадра, то, несмотря на это, прием текущего кадра будет продолжен.

Когда контроллер MAC работает в полудуплексном режиме (бит MAC_CONTROL<0> = FULLD = 0), то контроллер MAC может выполнять либо прием, либо передачу кадра. Таким образом, если в полудуплексном режиме блок передачи кадров выполняет передачу кадра, то во время передачи блок приема кадров пропускает транслируемые на прием кадры.

Бит регистра MAC_CONTROL<6> = FULLD_RX – включает тестовый режим работы блока приема кадров, при работе в котором блок приема кадров будет принимать транслируемые на прием кадры во время выполнения блоком передачи кадров передачи данных при работе контроллера в полудуплексном режиме (FULLD=0).

В начале приема кадра блок приема кадров ожидает на прием байты полей <PREAMBLE> и <SFD>. При этом поле <PREAMBLE> может содержать от 1 до 7 байт, либо поле <PREAMBLE> может отсутствовать, и тогда кадр начинается сразу с поля <SFD>.

Если после принятия 8 байт блок приема кадров не обнаружил поле <SFD>, 1 байт которого имеет значение 0xD5, то блок приема кадров прекращает прием транслируемых данных, которые не являются корректным кадром.

Как только блок приема кадров при приеме первых 8 байт обнаруживает поле <SFD>, блок приема кадров начинает прием 6 байт поля <DESTINATION ADDRESS> – адреса назначения. Принятый 48-разрядный адрес назначения поступает в блок DADDR_CHECK. В блоке DADDR_CHECK выполняется распознавание принятого адреса назначения в соответствии с заданными параметрами в битах регистра RX_FRAME_CONTROL<9:6>, а

также в соответствии со значениями регистров UCADDR_L, UCADDR_H, MCADDR_L, MCADDR_H, MCADDR_MASK_L, MCADDR_MASK_H, HASHT_L, HASHT_H.

В случае, когда принятый адрес назначения не был распознан в блоке DADDR_CHECK, тогда блок приема кадров прекращает прием текущего транслируемого кадра, так как данный кадр считается предназначенным для другой станции.

В случае, когда принятый адрес назначения был распознан в блоке DADDR_CHECK, тогда текущий транслируемый кадр считается предназначенным для контроллера MAC и блок приема кадров продолжает прием остальных полей кадра.

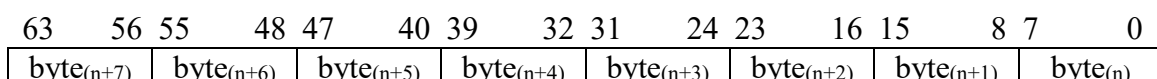
Бит статусного регистра STATUS_RX<1> = ONReceive позволяет отслеживать состояние блока приема кадров. Если был распознан адрес назначения и блок приема кадров выполняет прием кадра, то бит ONReceive устанавливается и продолжает стоять в течение приема кадра. Как только блок приема кадров завершает прием кадра, бит ONReceive сбрасывается.

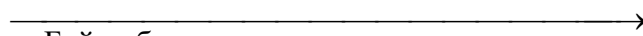
Во время приема кадра по принимаемым байтам полей кадра, за исключением 4 байт поля <FCS>, в блоке CRC32_CHECK вычисляется контрольная сумма CRC32. После завершения приема кадра в блоке CRC32_CHECK контрольная сумма CRC32, вычисленная по данным принятого кадра, сравнивается со значением принятого поля <FCS>. В случае, если вычисленное значение не совпадает с принятым, то блок CRC32_CHECK выставляет флаг ошибки контрольной суммы принятого кадра.

В случае если во время приема кадра устанавливается сигнал RX_ER, то блок приема кадров определяет, что была обнаружена ошибка принятых данных.

В случае, когда объем транслируемых данных превышает максимальный допустимый размер принимаемого кадра, заданный в регистре RX_FR_MaxSize, тогда после приема объема данных, равного максимальному размеру принимаемого кадра + 1 байт, дальнейший прием транслируемого кадра прекращается.

При приеме кадра блок приема кадров компонует поступающие байты полей кадра в 64-разрядные слова и сохраняет их в принимающее FIFO – RX_FIFO. Каждое 64-разрядное слово составляется из 8 принятых байт кадра в порядке их поступления, начиная с байта, который был принят первым:




 Байты были приняты, начиная с младшего

В случае если для компоновки последнего 64-разрядного слова из принятых байт кадра остается меньше 8 принятых байт кадра, то последние принятые байты кадра помещаются

в соответствующие младшие разряды слова: 1 байт – в разряды <7:0>, 2 байта – в разряды <15:0>, 3 байта – в разряды <23:0>, 4 байта – в разряды <31:0>, 5 байт – в разряды <39:0>, 6 байт – в разряды <47:0>, 7 байт – в разряды <55:0>. Оставшиеся старшие разряды слова заполняются нулевыми значениями.

Таким образом, при приеме кадра в принимающее RX_FIFO последовательно записываются поступающие поля кадра: <DESTINATION ADDRESS>, <SOURCE ADDRESS>, <LENGTH/TYPE>, <DATA>, <PAD>, <FCS>.

Если во время приема кадра при записи принятых байт кадра в принимающее RX_FIFO происходит переполнение принимающего RX_FIFO, то блок приема кадров прекращает прием транслируемого кадра, а уже принятые байты кадра отбрасываются. Для сообщения об этом блок приема кадров выставляет в регистре статуса флаг переполнения принимающего RX_FIFO – STATUS_RX<23> = RX_FIFO_OVF_Err = 1, а также инкрементируется число пропущенных кадров из-за переполнения FIFO – NUM_Missed_FR. Число пропущенных кадров отображается в разрядах регистра статуса STATUS_RX<29:24> = NUM_Missed_FR.

Как только сбрасывается сигнал RX_DV блок приема кадров завершает прием кадра. После завершения приема кадра блок приема кадров выполняет проверку и обработку принятого кадра в соответствии с заданными параметрами в разрядах регистра RX_FRAME_CONTROL<5:0>.

В случае если во время приема кадра поступает нечетное число полубайт данных, то блок приема кадров принимает целое число байт данных кадра, а нечетный полубайт данных отбрасывает.

Порядок проверки принятого кадра блоком приема кадров:

1. Если размер принятого кадра составляет меньше 18 байт, то такой кадр считается некорректным и блок приема кадров отбрасывает этот кадр.
2. Если размер принятого кадра составляет меньше 64 байт (минимальный размер кадра в соответствии со стандартом Ethernet), то такой кадр определяется как слишком короткий кадр и для него устанавливается статусный флаг – RX_FRAME_STATUS<17> = frameTooShort = 1.
3. Если во время приема кадра объем транслируемых данных превысил максимальный размер принимаемого кадра, заданный в регистре RX_FR_MaxSize, то такой кадр определяется как слишком длинный кадр и для него устанавливается статусный флаг – RX_FRAME_STATUS<16> = frameTooLong = 1.
4. Если при приеме кадра поступило нечетное число полубайт, то есть нецелое число байт данных, то для такого кадра устанавливается статусный флаг – RX_FRAME_STATUS<18> = DribbleNibble = 1.
5. Если блок CRC32_CHECK выставляет флаг ошибки контрольной суммы принятого кадра, а при приеме кадра поступило нечетное число полубайт данных, то

- принятый кадр определяется как кадр с ошибкой выравнивания и для него устанавливается статусный флаг – RX_FRAME_STATUS<14> = alignmentError = 1.
6. Если блок CRC32_CHECK выставляет флаг ошибки контрольной суммы принятого кадра, и при приеме кадра поступило целое число байт данных, либо если во время приема кадра была обнаружена ошибка принятых данных (RX_ER = 1), то принятый кадр определяется как кадр с ошибкой проверки кадра и для него устанавливается статусный флаг – RX_FRAME_STATUS<15> = frameCheckError = 1.
 7. Если в принятом кадре значение поля <LENGTH/TYPE> ≤ 1500 байт, то в соответствии со стандартом Ethernet поле <LENGTH/TYPE> в данном кадре трактуется как поле <LENGTH>. Для такого кадра устанавливается статусный флаг – RX_FRAME_STATUS<19> = LEN_FIELD = 1.
 8. Если для принятого кадра установлен статусный флаг LEN_FIELD = 1, в принятом кадре не обнаружено поле <PAD>, а число байт данных в поле <DATA> принятого кадра не совпадает со значением, принятого поля <LENGTH>, то принятый кадр определяется как кадр с ошибкой длины поля данных <DATA> и для него устанавливается статусный флаг – RX_FRAME_STATUS<13> = lengthError = 1.
 9. Если при проверке принятого кадра для него не выставляется ни один из статусных флагов: frameTooShort, frameTooLong, alignmentError, frameCheckError, lengthError, – тогда кадр считается успешно принятым без обнаружения ошибок и для такого кадра устанавливается статусный флаг – RX_FRAME_STATUS<12> = receiveOK = 1.

После проверки принятого кадра блок приема кадров выполняет затем его обработку в соответствии с заданными параметрами в разрядах регистра RX_FRAME_CONTROL<5:0>:

1. Если для принятого кадра во время проверки был установлен статусный флаг frameTooShort = 1, а бит разрешения приема слишком коротких кадров RX_FRAME_CONTROL<2> = Accept_TooShort = 0, то принятый кадр отбрасывается.
2. Если для принятого кадра во время проверки был установлен статусный флаг frameTooLong = 1, а бит разрешения отбрасывания слишком длинных кадров RX_FRAME_CONTROL<3> = Discard_TooLong = 1, то принятый кадр отбрасывается.
3. Если для принятого кадра во время проверки был установлен статусный флаг alignmentError = 1 или статусный флаг frameCheckError = 1, а бит разрешения отбрасывания кадров с ошибкой проверки контрольной суммы RX_FRAME_CONTROL<4> = Discard_FCSCHErr = 1, то принятый кадр отбрасывается.
4. Если для принятого кадра во время проверки был установлен статусный флаг lengthError = 1, а бит разрешения отбрасывания кадров с ошибкой длины поля

данных $RX_FRAME_CONTROL<5> = Discard_LengthErr = 1$, то принятый кадр отбрасывается.

5. Если принятый кадр после проверки не был отброшен, а бит отключения сохранения поля <FCS> в принятом кадре $RX_FRAME_CONTROL<0> = Dis_RCV_FCS = 1$, то блок приема кадров удаляет из принятого кадра последние 4 байта – байты поля <FCS>. Блок приема кадров сообщает об удалении поля <FCS> в принятом кадре выставлением для него статусного флага – $RX_FRAME_STATUS<20> = FCS_Del = 1$.
6. Если принятый кадр после проверки не был отброшен, и при этом в принятом кадре было обнаружено поле <PAD>, бит отключения сохранения поля <FCS> в принятом кадре $RX_FRAME_CONTROL<0> = Dis_RCV_FCS = 1$, а бит отключения удаления в принятом кадре поля <PAD> $RX_FRAME_CONTROL<1> = Dis_PAD_Del = 0$, то блок приема кадров удаляет из принятого кадра байты поля <PAD>. Блок приема кадров сообщает об удалении поля <PAD> в принятом кадре выставлением для него статусного флага – $RX_FRAME_STATUS<21> = PAD_Del = 1$.

Значение числа байт в принятом кадре сохраняется в разрядах статуса принятого кадра $RX_FRAME_STATUS<11:0> = RX_FR_LENGTH$.

В случае, когда после проверки принятого кадра блок приема кадров отбрасывает кадр, тогда блок приема кадров никак не сообщает о том, что кадр принимался и был отброшен, число слов в принимающем $RX_FIFO - RXW$ остается неизменным.

Число 64-разрядных слов в принимающем $FIFO - RX_FIFO$ – отображается в разрядах регистра статуса $STATUS_RX<22:12> = RXW$ (RXW содержит информацию о количестве данных в RX_FIFO с точностью до байта, но в регистре статуса отображена информация с точностью до 64-разрядного слова округленного в меньшую сторону).

В случае, когда после проверки и обработки принятого кадра блоком приема кадров кадр не был отброшен, тогда считается, что блок приема кадров принял кадр.

В процессе проверки и обработки принятого кадра блок приема кадров формирует статус принятого кадра RX_FRAME_STATUS . По принятию кадра блок приема кадров записывает сформированный статус принятого кадра RX_FRAME_STATUS в $FIFO$ статусов принятых кадров – $RX_FRAME_STATUS_FIFO$. $FIFO$ статусов принятых кадров имеет объем в 64 слова статусов кадров.

При этом по принятию кадра инкрементируется число принятых кадров – NUM_RX_FR . Число принятых кадров отображается в разрядах регистра статуса $STATUS_RX<10:4> = NUM_RX_FR$.

Также по принятию кадра число слов в принимающем $RX_FIFO - RXW$ инкрементируется в соответствии с размером данных принятого кадра. После этого данные принятого кадра доступны для вычитывания по DMA-каналу чтения

DMA_EMAC_CH0. Данные принятого кадра вычитываются по DMA-каналу чтения из принимающего RX_FIFO в виде последовательности 64-разрядных слов (с точностью до байта). Так как DMA может передавать данные с точностью до байта, то в случае когда длина кадра не кратна 8-ми байт, нет необходимости вычитывать нулевые байты дополняющие 64-разрядную строку. Выгрузку очередного кадра предваряет чтение FIFO статусов, что является командой к отбросу ненужных нулевых байтов.

Для обнаружения наличия принятых кадров в принимающем RX_FIFO используется бит статусного регистра STATUS_TX<3> = RX_DONE. Флаг наличия принятых кадров в принимающем RX_FIFO – RX_DONE устанавливается, когда в FIFO статусов принятых кадров имеются непрочитанные статусы принятых кадров, то есть FIFO статусов не пустое. После опустошения FIFO статусов принятых кадров флаг RX_DONE автоматически сбрасывается. При вычитывании слова статуса кадра из FIFO статусов принятых кадров, число принятых кадров NUM_RX_FR декрементируется. FIFO статусов принятых кадров доступно только по чтению. Указатели FIFO статусов принятых кадров могут быть сброшены путем выполнения записи по адресу FIFO статусов произвольного значения. При сбросе указателей FIFO статусов число принятых кадров NUM_RX_FR обнуляется.

Если FIFO статусов принятых кадров полное, то есть NUM_RX_FR = 64, и при этом блок приема кадров завершает прием нового кадра, тогда при попытке записи статуса принятого кадра в заполненное FIFO статусов блок приема кадров обнаруживает переполнение FIFO статусов принятых кадров. При обнаружении переполнения FIFO статусов принятых кадров блок приема кадров отбрасывает принятый кадр и сообщает об этом выставлением в регистре статуса флага переполнения FIFO статусов принятых кадров – STATUS_RX<11> = FR_STATUS_OVF_Err = 1. Также при этом инкрементируется число пропущенных кадров из-за переполнения FIFO – NUM_Missed_FR. Так как принятый кадр отбрасывается, то число слов в принимающем RX_FIFO – RXW остается неизменным.

Флаг переполнения FIFO статусов принятых кадров FR_STATUS_OVF_Err и флаг переполнения принимающего RX_FIFO – RX_FIFO_OVF_Err доступны по записи и в случае их выставления могут быть сброшены записью нулей в соответствующие биты регистра STATUS_RX.

Бит MAC_CONTROL<11> = CP_RX предназначен для сброса указателей принимающего RX_FIFO между приемами кадров. Во время приема кадра (ONReceive = 1) бит CP_RX не доступен по записи. В связи с синхронизацией системной частоты HCLK и частоты приема RX_CLK сброс указателей принимающего RX_FIFO происходит с задержкой. Также, если сброс указателей выполняется на фоне работы канала DMA на чтение, то перед выполнением сброса указателей требуется временная задержка, необходимая для завершения запущенных на передачу по каналу DMA пакетов данных. После установки бит CP_RX продолжает стоять, при этом бит становится недоступным

для записи и поэтому не может быть сброшен. После выполнения сброса указателей принимающего RX_FIFO бит CP_RX автоматически сбрасывается, после чего бит снова доступен для записи. В результате сброса указателей число слов в принимающем RX_FIFO обнуляется – $STATUS_RX<22:12> = RXW = 0$.

Флаг наличия принятых кадров в принимающем RX_FIFO – RX_DONE, а также флаги переполнения принимающего RX_FIFO, FIFO статусов принятых кадров – RX_FIFO_OVF_Err и FR_STATUS_OVF_Err – выставление одного из этих флагов является запросом на прерывание от блока приема кадров. Запрос на прерывание от блока приема кадров маскируется.

В бите MAC_CONTROL<7> = MASK_RX_DONE устанавливается маска флага RX_DONE (флаг наличия принятых кадров в принимающем RX_FIFO), выставление которого является запросом на прерывание от блока приема кадров.

В бите MAC_CONTROL<8> = MASK_RX_FIFO_OVF_ERR устанавливается маска флагов RX_FIFO_OVF_Err и FR_STATUS_OVF_Err (флагов переполнения принимающего RX_FIFO и FIFO статусов принятых кадров), выставление одного из которых является запросом на прерывание от блока приема кадров.

На Рисунок 10.6 приведен порядок приема кадров блоком приема кадров.

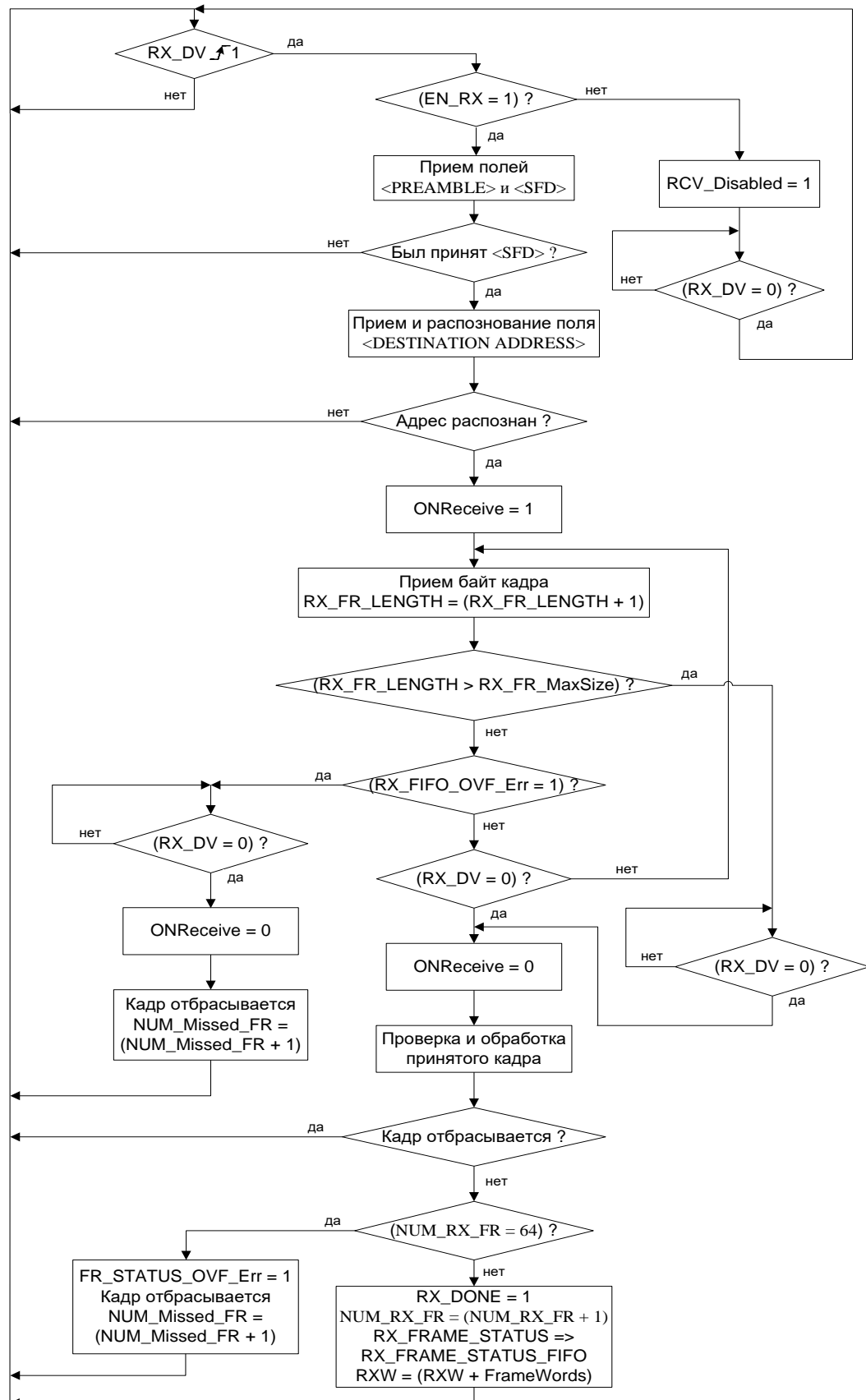


Рисунок 10.6. Порядок приема кадров

Бит MAC_CONTROL<12> = RST_RX предназначен для программного сброса блока приема кадров, а также регистров UCADDR_L, UCADDR_H, MCADDR_L, MCADDR_H,

MCADDR_MASK_L, MCADDR_MASK_H, HASHT_L, HASHT_H, RX_FR_MaxSize, RX_FRAME_CONTROL, STATUS_RX, разрядов регистра MAC_CONTROL<8:4> и указателей FIFO статусов принятых кадров. В связи с синхронизацией системной частоты HCLK и частоты приема RX_CLK требуется временная задержка для выполнения программного сброса блока приема кадров.

Также, если программный сброс выполняется на фоне работы канала DMA на чтение, то перед выполнением программного сброса требуется временная задержка, необходимая для завершения запущенных на передачу по каналу DMA пакетов данных. После установки бит RST_RX продолжает стоять, при этом бит становится недоступным для записи и поэтому не может быть сброшен. После выполнения программного сброса блока приема кадров бит RST_RX автоматически сбрасывается, после чего бит снова доступен для записи.

10.3.1.7 Блок DADDR_CHECK

Блок DADDR_CHECK после принятия в блоке приема кадров 6 байт поля <DESTINATION ADDRESS> выполняет распознавание принятого адреса назначения в соответствии с заданными параметрами в битах регистра RX_FRAME_CONTROL<9:6>, а также в соответствии со значениями регистров UCADDR_L, UCADDR_H, MCADDR_L, MCADDR_H, MCADDR_MASK_L, MCADDR_MASK_H, HASHT_L, HASHT_H.

Порядок распознавания принятого адреса назначения:

- если установлен бит разрешения приема кадров с любым адресом назначения $RX_FRAME_CONTROL<9> = EN_ALL = 1$, то принятый адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг – $RX_FRAME_STATUS<16> = ALL = 1$;
- если значение принятого 48-разрядного адреса назначения $DA<47:0> = 0xFFFFFFFF$, то такой адрес назначения является ширококвещательным. Если при этом не установлен бит запрещения приема кадров с ширококвещательным адресом назначения $RX_FRAME_CONTROL<6> = Dis_BC = 0$, то принятый адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг – $RX_FRAME_STATUS<25> = BC = 1$;
- если принятый адрес назначения DA является индивидуальным адресом ($DA<0> = 0$), тогда принятый 48-разрядный адрес назначения $DA<47:0>$ сравнивается с 48-разрядным значением уникального адреса MAC, сформированного из значения регистров UCADDR_L, UCADDR_H:

$DA<47:0> \stackrel{?}{=} \{UCADDR_H<15:0>, UCADDR_L<31:0>\}$. При совпадении значения принятого адреса назначения и значения уникального адреса MAC, адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг – $RX_FRAME_STATUS<22> = UC = 1$;

- если принятый адрес назначения DA является групповым адресом ($DA<0> = 1$) и при этом установлен бит $RX_FRAME_CONTROL<7> = EN_MCM = 1$, тогда принятый 48-разрядный адрес назначения $DA<47:0>$ сравнивается с 48-разрядным значением группового адреса MAC, сформированного из значения регистров MCADDR_L, MCADDR_H с учетом наложения на 48-разрядные адреса маски, заданной в регистрах MCADDR_MASK_L, MCADDR_MASK_H. Таким образом, на значение принятого адреса назначения накладывается маска:

$DA<47:0> \& \{MCADDR_MASK_H<15:0>, MCADDR_MASK_L<31:0>\}$, также на значение группового адреса MAC накладывается маска:

$\{MCADDR_H<15:0>, MCADDR_L<31:0>\} \&$
 $\{MCADDR_MASK_H<15:0>, MCADDR_MASK_L<31:0>\}$

, а затем полученные замаскированные значения адресов сравниваются:

$DA \& MCADDR_MASK = MCADDR \& MCADDR_MASK$.

При совпадении замаскированных адресов, адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг – $RX_FRAME_STATUS<23> = MCM = 1$;

- если принятый адрес назначения DA является групповым адресом ($DA<0> = 1$) и при этом установлен бит $RX_FRAME_CONTROL<8> = EN_MCMT = 1$, тогда по принятому 48-разрядному адресу назначения $DA<47:0>$ в блоке CRC32_CHECK вычисляется контрольная сумма $DA_CRC<31:0>$. Значение бита вычисленной контрольной суммы $DA_CRC<31>$ определяет младшая или старшая часть хэш-таблицы будет использоваться для распознавания адреса назначения. Если бит $DA_CRC<31> = 0$, то для распознавания адреса используется младшая часть хэш-таблицы, заданная в регистре HASHT_L. Если бит $DA_CRC<31> = 1$, то для распознавания адреса используется старшая часть хэш-таблицы, заданная в регистре HASHT_H. Значение пяти бит вычисленной контрольной суммы $DA_CRC<30:26>$ задает номер бита в используемой части (старшей или младшей) хэш-таблицы (HASHT_L или HASHT_H). Таким образом, из 64 разрядов хэш-таблицы, заданной в регистрах HASHT_L и HASHT_H, выбирается один бит. Если выбранный таким образом из хэш-таблицы бит установлен в 1, тогда адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг – $RX_FRAME_STATUS<24> = MCMT = 1$.

На Рисунок 10.7 приведен порядок распознавания принятого адреса назначения.

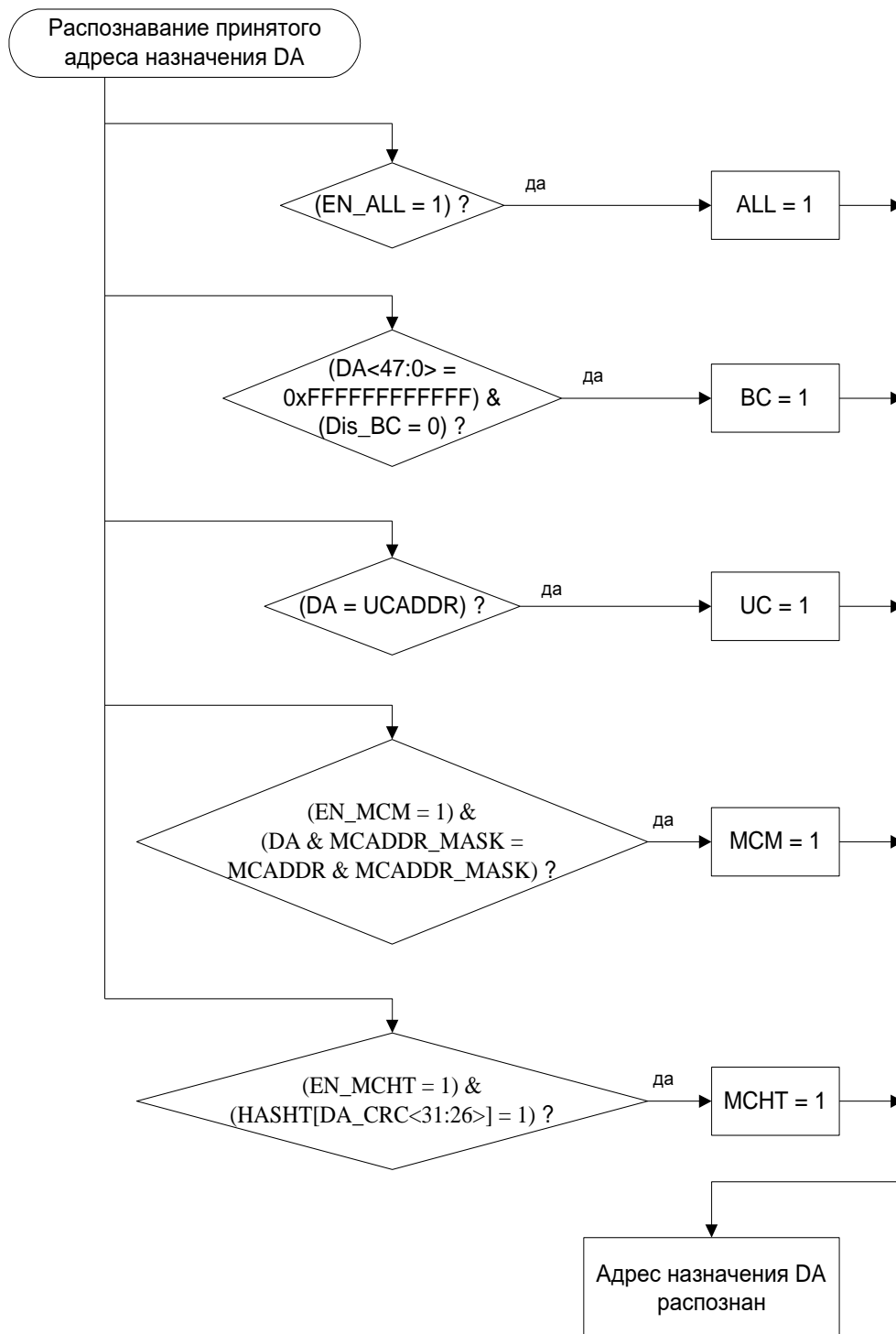


Рисунок 10.7. Порядок распознавания адреса назначения

10.3.1.8 Блок CRC32_CHECK

Блок CRC32_CHECK во время приема кадра блоком приема кадров вычисляет по принимаемым байтам полей кадра контрольную сумму CRC32.

Контрольная сумма представляет собой 32-разрядное значение, которое вычисляется как функция от содержимого полей кадра: <DESTINATION ADDRESS>, <SOURCE ADDRESS>, <LENGTH/TYPE>, <DATA>, <PAD>.

Алгоритм вычисления контрольной суммы CRC32 определяется полиномом:

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1 ;$$

После завершения приема в блоке приема кадров всех полей кадра 32-разрядное значение вычисленной контрольной суммы CRC<31:0> сравнивается со значением принятых 4 байт поля <FCS>. Если вычисленное значение контрольной суммы CRC<31:0> не совпадает с поступившим значением FCS<31:0>, тогда блок CRC32_CHECK устанавливает флаг ошибки контрольной суммы принятого кадра.

Также блок CRC32_CHECK после принятия в блоке приема кадров 6 байт поля <DESTINATION ADDRESS> вычисляет для блока DADDR_CHECK контрольную сумму DA_CRC только по байтам поля <DESTINATION ADDRESS>.

10.3.1.9 Режим тестирования RX_FIFO

Для тестирования чтения данных по DMA-каналу из принимающего RX_FIFO предусмотрен режим тестирования RX_FIFO.

Для включения режима тестирования необходимо установить в регистре управления и состояния режима тестирования RX_FIFO бит разрешения режима тестирования – RX_TEST_CSR<0> = TM_RX_FIFO = 1. Бит разрешения режима тестирования TM_RX_FIFO не доступен по записи когда разрешена работа блока приема кадров MAC_CONTROL<4> = EN_RX = 1 или во время приема кадра (ONReceive = 1).

При установке бита разрешения режима тестирования RX_FIFO – TM_RX_FIFO = 1, автоматически устанавливается бит сброса указателей принимающего RX_FIFO – MAC_CONTROL<11> = CP_RX = 1. Таким образом, после разрешения режима тестирования RX_FIFO необходимо дождаться выполнения сброса указателей принимающего RX_FIFO, то есть дождаться когда бит CP_RX будет автоматически сброшен.

Когда разрешен режим тестирования, тогда RX_FIFO становится недоступным для чтения по DMA-каналу.

Если разрешен режим тестирования, то RX_FIFO доступно для записи по адресу RX_FIFO. Таким образом, в режиме тестирования последовательными записями 32-разрядных слов может быть заполнено RX_FIFO. При этом запись RX_FIFO начинается с нулевой ячейки.

Число записанных в RX_FIFO 32-разрядных слов отображается в разрядах регистра управления и состояния режима тестирования RX_TEST_CSR<14:4> = TM_RX_WRW. После сброса бита разрешения режима тестирования RX_FIFO число записанных в RX_FIFO слов – TM_RX_WRW – обнуляется.

При сбросе бита TM_RX_FIFO значение RXW обновляется в соответствии с числом записанных в тестовом режиме слов. После этого данные записанные в RX_FIFO в тестовом режиме могут вычитаны по DMA-каналу из RX_FIFO.

После сброса бита разрешения режима тестирования RX_FIFO и последующего вычитывания по DMA-каналу тестовых данных, записанных в RX_FIFO, для возможности дальнейшей корректной работы с RX_FIFO необходимо выполнить сброс указателей принимающего RX_FIFO. Для этого необходимо установить бит MAC_CONTROL<11> = CP_RX.

10.3.2 Регистры контроллера Ethernet MAC 10/100

В Таблица 10.4 приведен перечень программно-доступных регистров контроллера Ethernet MAC 10/100.

Таблица 10.4. Перечень регистров контроллера Ethernet MAC 10/100

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние
MAC_CONTROL[11:0]	Регистр управления MAC	WR/RD	0000_0000
MD_MODE[8:0]	Регистр режима работы порта MD	WR/RD	0000_0040
MD_CONTROL[31:0]	Регистр управления порта MD	WR/RD	0000_0000
MD_STATUS[31:0]	Регистр статуса порта MD	WR/RD	0000_0000
MAC_ADDR_L[31:0]	Регистр младшей части исходного адреса MAC	WR/RD	0000_0000
MAC_ADDR_H[15:0]	Регистр старшей части исходного адреса MAC	WR/RD	0000_0000
DADDR_L[31:0]	Регистр младшей части адреса назначения	WR/RD	0000_0000
DADDR_H[15:0]	Регистр старшей части адреса назначения	WR/RD	0000_0000
FCS_CLIENT[31:0]	Регистр контрольной суммы кадра	WR/RD	0000_0000
TYPE[15:0]	Регистр типа кадра	WR/RD	0000_0000
IFS_COLL_MODE[23:0]	Регистр IFS и режима обработки коллизии	WR/RD	18c3_401f
TX_FRAME_CONTROL[16:0]	Регистр управления передачи кадра	WR/RD	0000_0000
STATUS_TX[26:0]	Регистр статуса передачи кадра	WR/RD	0000_0000
UCADDR_L[31:0]	Регистр младшей части уникального адреса MAC	WR/RD	0000_0000

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние
UCADDR_H[15:0]	Регистр старшей части уникального адреса MAC	WR/RD	0000_0000
MCADDR_L[31:0]	Регистр младшей части группового адреса	WR/RD	0000_0000
MCADDR_H[15:0]	Регистр старшей части группового адреса	WR/RD	0000_0000
MCADDR_MASK_L[31:0]	Регистр младшей части маски группового адреса	WR/RD	0000_0000
MCADDR_MASK_H[15:0]	Регистр старшей части маски группового адреса	WR/RD	0000_0000
HASHT_L[31:0]	Регистр младшей части хэш-таблицы	WR/RD	0000_0000
HASHT_H[31:0]	Регистр старшей части хэш-таблицы	WR/RD	0000_0000
RX_FR_MaxSize[11:0]	Регистр максимального размера принимаемого кадра	WR/RD	0000_05ee
RX_FRAME_CONTROL[9:0]	Регистр управления приема кадра	WR/RD	0000_0000
STATUS_RX[29:0]	Регистр статуса приема кадра	WR/RD	0000_0000
RX_FRAME_STATUS_FIFO [26:0]	FIFO статусов принятых кадров	WR/RD	0000_0000
TX_TEST_CSR[14:0]	Регистр управления и состояния режима тестирования TX_FIFO	WR/RD	0000_0000
TX_FIFO[31:0]	Передающее TX_FIFO	RD	0000_0000
RX_TEST_CSR[14:0]	Регистр управления и состояния режима тестирования RX_FIFO	WR/RD	0000_0000
RX_FIFO[31:0]	Принимающее RX_FIFO	WR	0000_0000

10.3.2.1 Регистр управления MAC (MAC_CONTROL)

Таблица 10.5. Формат регистра управления MAC

Номер разряда	Условное обозначение	Описание
0	FULLD	Режим работы контроллера: FULLD=0 – полудуплексный режим, FULLD=1 – дуплексный режим. Доступен по чтению и записи. Значение в исходном состоянии – 0.
1	EN_TX_DMA	Разрешение работы передающего TX_FIFO с DMA-каналом. Доступен по чтению и записи. Значение в исходном состоянии – 0.
2	EN_TX	Разрешение работы блока передачи кадров. Доступен по чтению и записи. Значение в исходном состоянии – 0.
3	MASK_TX_DONE	Маска запроса на прерывание от блока передачи кадров. Доступен по чтению и записи. Значение в исходном состоянии – 0.
4	EN_RX	Разрешение работы блока приема кадров. Доступен по чтению и записи. Значение в исходном состоянии – 0.
5	LOOPBACK	Режим закликивания блока приема кадров на блок передачи кадров.
6	FULLD_RX	Тестовый режим работы блока приема кадров, включение которого при работе контроллера в полудуплексном режиме (FULLD=0) позволяет блоку приема кадров принимать данные во время выполнения блоком передачи кадров передачи данных.

Номер разряда	Условное обозначение	Описание
7	MASK_RX_DONE	Маска запроса прерывания по наличию принятых кадров в принимающем FIFO. Доступен по чтению и записи. Значение в исходном состоянии – 0.
8	MASK_RX_FIFO_OVF_ERR	Маска запроса прерывания по переполнению принимающего FIFO, либо переполнению FIFO статусов принятых кадров. Доступен по чтению и записи. Значение в исходном состоянии – 0.
9	CP_TX	Сброс указателей передающего TX_FIFO. Доступен по чтению и записи. После установки в 1 не доступен по записи, сбрасывается автоматически. Во время обработки запроса на передачу кадра не доступен по записи. Значение в исходном состоянии – 0.
10	RST_TX	Программный сброс блока передачи кадров контроллера. Доступен по чтению и записи. После установки в 1 не доступен по записи, сбрасывается автоматически. Значение в исходном состоянии – 0.
11	CP_RX	Сброс указателей принимающего RX_FIFO. Доступен по чтению и записи. После установки в 1 не доступен по записи, сбрасывается автоматически. Во время приема кадра не доступен по записи. Значение в исходном состоянии – 0.
12	RST_RX	Программный сброс блока приема кадров контроллера. Доступен по чтению и записи. После установки в 1 не доступен по записи, сбрасывается автоматически. Значение в исходном состоянии – 0.

10.3.2.2 Регистр режима работы порта MD (MD_MODE)

Таблица 10.6. Формат регистра режима работы порта MD

Номер разряда	Условное обозначение	Описание
7: 0	MDC_Divider	Коэффициент деления системной частоты при формировании частоты MDC. Должен иметь четное, не нулевое значение. Доступен по чтению и записи. Значение в исходном состоянии – 0x40.
8	RST_MD	Программный сброс порта управления PHY. Доступен по чтению и записи. Автоматически сбрасывается после установки. Значение в исходном состоянии – 0.

10.3.2.3 Регистр управления порта MD (MD_CONTROL)

Таблица 10.7. Формат регистра управления порта MD

Номер разряда	Условное обозначение	Описание
15: 0	WR_DT	Данные для записи в регистр PHY. Доступны по чтению и записи. Значение в исходном состоянии – 0000.
20:16	PHYREG_ADDR	Адрес регистра PHY. Доступен по чтению и записи. Значение в исходном состоянии – 00.
23:21	–	Резерв

Номер разряда	Условное обозначение	Описание
28:24	PHY_ADDR	Адрес PHY. Доступен по чтению и записи. Значение в исходном состоянии – 00.
29	MD_MASK	Маска запроса на прерывание от порта управления PHY. Доступен по чтению и записи. Значение в исходном состоянии – 0.
31:30	MD_OP	Код выполняемой операции: MD_OP = 00 – состояние IDLE; MD_OP = 01 – операция чтения; MD_OP = 10 – операция записи; MD_OP = 11 – запрещенная комбинация. Доступен по чтению и записи. Значение в исходном состоянии – 00.

10.3.2.4 Регистр статуса порта MD (MD_STATUS)

Таблица 10.8. Формат регистра статуса порта MD

Номер разряда	Условное обозначение	Описание
15: 0	RD_DT	Данные, прочтенные из регистра PHY. Доступны только по чтению. Значение в исходном состоянии – 0000.
28:16	–	Резерв
29	MD_BUSY	Признак занятости порта управления PHY – выполняется операция записи/чтения. Доступен только по чтению. Значение в исходном состоянии – 0.
31:30	MD_OP_END	Флаги завершения выполнения операции: MD_OP_END = 01 – завершилась операция чтения по порту MD; MD_OP_END = 10 – завершилась операция записи по порту MD. Доступны по чтению и записи. Значение в исходном состоянии – 00.

10.3.2.5 Регистр младшей части исходного адреса MAC (MAC_ADDR_L)

Таблица 10.9. Формат регистра младшей части исходного адреса MAC

Номер разряда	Условное обозначение	Описание
31: 0	MAC_ADDR_L	Младшая часть исходного адреса в поле <SOURCE ADDRESS> передаваемого кадра. Доступен по чтению и записи. Значение в исходном состоянии – 00000000.

10.3.2.6 Регистр старшей части исходного адреса MAC (MAC_ADDR_H)

Таблица 10.10. Формат регистра старшей части исходного адреса MAC

Номер разряда	Условное обозначение	Описание
15: 0	MAC_ADDR_H	Старшая часть исходного адреса в поле <SOURCE ADDRESS> передаваемого кадра. Доступен по чтению и записи. Значение в исходном состоянии – 0000.

10.3.2.7 Регистр младшей части адреса назначения (DADDR_L)

Таблица 10.11. Формат регистра младшей части адреса назначения

Номер разряда	Условное обозначение	Описание
31: 0	DADDR_L	Младшая часть исходного адреса в поле <DESTINATION ADDRESS> передаваемого кадра. Доступен по чтению и записи. Значение в исходном состоянии – 00000000.

10.3.2.8 Регистр старшей части адреса назначения (DADDR_H)

Таблица 10.12. Формат регистра старшей части адреса назначения

Номер разряда	Условное обозначение	Описание
15: 0	DADDR_H	Старшая часть исходного адреса в поле <DESTINATION ADDRESS> передаваемого кадра. Доступен по чтению и записи. Значение в исходном состоянии – 0000.

10.3.2.9 Регистр контрольной суммы кадра (FCS_CLIENT)

Таблица 10.13. Формат регистра контрольной суммы кадра

Номер разряда	Условное обозначение	Описание
31: 0	FCS_CLIENT	Вычисленная клиентом MAC контрольная сумма передаваемого кадра CRC32. Доступен по чтению и записи. Значение в исходном состоянии – 00000000.

10.3.2.10 Регистр типа кадра (TYPE)

Таблица 10.14. Формат регистра типа кадра

Номер разряда	Условное обозначение	Описание
15: 0	TYPE	Если DisEncapFR = 0, то регистр задает значение поля <TYPE> передаваемого кадра. Доступен по чтению и записи. Значение в исходном состоянии – 0000.

10.3.2.11 Регистр IFS и режима обработки коллизии (IFS_COLL_MODE)

Таблица 10.15. Формат регистра IFS и режима обработки коллизии

Номер разряда	Условное обозначение	Описание
3: 0	ATTEMPT_NUM	Максимальное количество попыток повторных передач кадра. Доступен по чтению и записи. Значение в исходном состоянии – 0xF.
4	EN_CW	Разрешение отслеживания окна коллизии. Доступен по чтению и записи. Значение в исходном состоянии – 1.
6:5	–	Резерв

Номер разряда	Условное обозначение	Описание
7	TM_BACKOFF	Включение тестового режима работы блока BACKOFF. Доступен по чтению и записи. Значение в исходном состоянии – 0.
15:8	COLL_WIN	Размер окна коллизии (число переданных байт). Доступен по чтению и записи. При записи значения $\leq 0xE$ (14 байт), автоматически устанавливается значение $0xF$ (15 байт). Значение в исходном состоянии – $0x40$ (64 байта).
23:16	JAMB	Значение повторяющегося байта 32-разрядного jam-сообщения. Доступен по чтению и записи. Значение в исходном состоянии – $0xC3$.
31:24	IFS	Значение межкадрового интервала – interFrameSpacing – в тактах частоты передачи TX_CLK. Доступен по чтению и записи. Значение в исходном состоянии – $0x18$ (24 такта).

10.3.2.12 Регистр управления передачи кадра (TX_FRAME_CONTROL)

Таблица 10.16. Формат регистра управления передачи кадра

Номер разряда	Условное обозначение	Описание
11: 0	LENGTH	Если DisEncapFR = 0, то LENGTH – число байт поля <DATA> передаваемого кадра в передающем TX_FIFO. Если DisEncapFR = 1, то LENGTH – число байт передаваемого кадра в передающем TX_FIFO. Если DisEncapFR = 0 и TYPE_EN = 0, то LENGTH также задает значение поля <LENGTH/TYPE> передаваемого кадра. Доступен по чтению и записи. Значение LENGTH должно быть не нулевым. Значение в исходном состоянии – 000.
12	TYPE_EN	Если DisEncapFR = 0, то бит TYPE_EN задает в каком качестве используется поле <LENGTH/TYPE> в передаваемом кадре. Если TYPE_EN = 0, то – поле <LENGTH>; Если TYPE_EN = 1, то – поле <TYPE>. Доступен по чтению и записи. Значение в исходном состоянии – 0.
13	FCS_CLT_EN	Если FCS_CLT_EN = 0, то значение поля <FCS> вычисляет блок передачи кадров при передаче кадра; Если FCS_CLT_EN = 1, то значение поля <FCS> – уже вычисленная контрольная сумма CRC32, заданная в регистре FCS_CLIENT. Доступен по чтению и записи. Значение в исходном состоянии – 0.
14	DisEncapFR	Запрещает/разрешает режим формирования кадра в блоке передачи кадров. Если DisEncapFR = 0, то разрешен режим формирования кадра в блоке передачи кадров; Если DisEncapFR = 1, то в блок передачи кадров передается уже сформированный кадр. Доступен по чтению и записи. Значение в исходном состоянии – 0.
15	DisPAD	Запрещает/разрешает автоматическое добавление в кадр поля <PAD>, в случае когда число байт в поле <DATA> меньше 46 байт / число байт в кадре меньше 64 байт. Доступен по чтению и записи. Значение в исходном состоянии – 0.

Номер разряда	Условное обозначение	Описание
16	TX_REQ	Запрос на передачу кадра. По завершении обработки запроса на передачу бит TX_REQ автоматически сбрасывается. Доступен по чтению и записи. Во время обработки запроса на передачу кадра бит TX_REQ не доступен по записи. Значение в исходном состоянии – 0.

10.3.2.13 Регистр статуса передачи кадра (STATUS_TX)

Таблица 10.17. Формат регистра статуса передачи кадра

Номер разряда	Условное обозначение	Описание
0	ONTX_REQ	Блок передачи кадров выполняет обработку запроса на передачу кадра. Доступен только по чтению. Значение в исходном состоянии – 0.
1	ONTransmit	Блок передачи кадров выполняет передачу кадра. Доступен только по чтению. Значение в исходном состоянии – 0.
2	BUSY	Среда передачи занята – обнаружено наличие несущей. Доступен только по чтению. Значение в исходном состоянии – 0.
3	TX_DONE	Флаг завершения обработки запроса на передачу кадра. Доступен по чтению и записи. Во время обработки запроса на передачу кадра бит TX_DONE не доступен по записи. Значение в исходном состоянии – 0.
8:4	TX_REZ	Код результата передачи кадра: TX_REZ = 0x01 – transmitDisabled – передача не разрешена; TX_REZ = 0x02 – NotEnoughDataErr – в передающем TX_FIFO недостаточно данных для передачи; TX_REZ = 0x04 – transmitOK – передача кадра успешно выполнена; TX_REZ = 0x08 – ExcessiveCollErr – ошибка превышения максимального количества попыток повторных передач кадра; TX_REZ = 0x10 – lateCollErr – ошибка поздней коллизии; TX_REZ = 0x14 – transmitOK и lateCollErr – передача кадра прошла успешно и сразу по завершении передачи была обнаружена коллизия; Доступен только по чтению. Значение в исходном состоянии – 00.
10:9	–	Резерв
11	ONCOL	Наличие коллизии в среде передачи. Доступен только по чтению. Значение в исходном состоянии – 0.
15:12	COLL_NUM	Счетчик попыток повторных передач кадра. Доступен только по чтению. Значение в исходном состоянии – 0.
25:16	TXW	Число 64-разрядных слов в передающем TX_FIFO (округлено в большую сторону). TXW = 0x000 – FIFO пустое; TXW = 0x200 – FIFO полное. Доступен только по чтению. Значение в исходном состоянии – 000.

10.3.2.14 Регистр младшей части уникального адреса MAC (UCADDR_L)

Таблица 10.18. Формат регистра младшей части уникального адреса MAC

Номер разряда	Условное обозначение	Описание
31: 0	UCADDR_L	Младшая часть уникального адреса MAC при приеме. Доступен по чтению и записи. Значение в исходном состоянии – 00000000.

10.3.2.15 Регистр старшей части уникального адреса MAC (UCADDR_H)

Таблица 10.19. Формат регистра старшей части уникального адреса MAC

Номер разряда	Условное обозначение	Описание
15: 0	UCADDR_H	Старшая часть уникального адреса MAC при приеме. Доступен по чтению и записи. Значение в исходном состоянии – 0000.

10.3.2.16 Регистр младшей части группового адреса (MCADDR_L)

Таблица 10.20. Формат регистра младшей части группового адреса

Номер разряда	Условное обозначение	Описание
31: 0	MCADDR_L	Младшая часть группового адреса при приеме. Доступен по чтению и записи. Значение в исходном состоянии – 00000001.

10.3.2.17 Регистр старшей части группового адреса (MCADDR_H)

Таблица 10.21. Формат регистра старшей части группового адреса

Номер разряда	Условное обозначение	Описание
15: 0	MCADDR_H	Старшая часть группового адреса при приеме. Доступен по чтению и записи. Значение в исходном состоянии – 0000.

10.3.2.18 Регистр младшей части маски группового адреса (MCADDR_MASK_L)

Таблица 10.22. Формат регистра младшей части маски группового адреса

Номер разряда	Условное обозначение	Описание
31: 0	MCADDR_MASK_L	Младшая часть маски группового адреса при приеме. Доступен по чтению и записи. Значение в исходном состоянии – 00000000.

10.3.2.19 Регистр старшей части маски группового адреса (MCADDR_MASK_H)

Таблица 10.23. Формат регистра старшей части маски группового адреса

Номер разряда	Условное обозначение	Описание
15: 0	MCADDR_MASK_H	Старшая часть маски группового адреса при приеме. Доступен по чтению и записи. Значение в исходном состоянии – 0000.

10.3.2.20 Регистр младшей части хэш-таблицы (HASHT_L)

Таблица 10.24. Формат регистра младшей части хэш-таблицы

Номер разряда	Условное обозначение	Описание
31: 0	HASHT_L	Младшая часть хэш-таблицы. Доступен по чтению и записи. Значение в исходном состоянии – 00000000.

10.3.2.21 Регистр старшей части хэш-таблицы (HASHT_H)

Таблица 10.25. Формат регистра старшей части хэш-таблицы

Номер разряда	Условное обозначение	Описание
31: 0	HASHT_H	Старшая часть хэш-таблицы. Доступен по чтению и записи. Значение в исходном состоянии – 00000000.

10.3.2.22 Регистр максимального размера принимаемого кадра (RX_FR_MaxSize)

Таблица 10.26. Формат регистра максимального размера принимаемого кадра

Номер разряда	Условное обозначение	Описание
11: 0	RX_FR_MaxSize	Максимальный размер принимаемого кадра в байтах. Доступен по чтению и записи. Значение в исходном состоянии – 000.

10.3.2.23 Регистр управления приема кадра (RX_FRAME_CONTROL)

Таблица 10.27. Формат регистра управления приема кадра

Номер разряда	Условное обозначение	Описание
0	Dis_RCV_FCS	Отключение сохранения поля <FCS> в принятом кадре. Доступен по чтению и записи. Значение в исходном состоянии – 0.
1	Dis_PAD_Del	Отключение удаления поля <PAD> в принятом кадре. Доступен по чтению и записи. Значение в исходном состоянии – 0.

Номер разряда	Условное обозначение	Описание
2	Accept_TooShort	Разрешение приема слишком коротких кадров, размер которых меньше 64 байт. Доступен по чтению и записи. Значение в исходном состоянии – 0.
3	Discard_TooLong	Разрешение отбрасывания слишком длинных кадров, размер которых больше RX_FR_MaxSize. Доступен по чтению и записи. Значение в исходном состоянии – 0.
4	Discard_FCSCHErr	Разрешение отбрасывания кадров с ошибкой проверки контрольной суммы. Доступен по чтению и записи. Значение в исходном состоянии – 0.
5	Discard_LengthErr	Разрешение отбрасывания кадров с ошибкой длины поля данных. Доступен по чтению и записи. Значение в исходном состоянии – 0.
6	Dis_BC	Запрещение приема кадров с широковещательным адресом назначения. Доступен по чтению и записи. Значение в исходном состоянии – 0.
7	EN_MCM	Разрешение приема кадров с групповым адресом назначения, совпадающим с замаскированным групповым адресом назначения. Доступен по чтению и записи. Значение в исходном состоянии – 0.
8	EN_MCHT	Разрешение приема кадров с групповым адресом назначения, разрешенным для приема в хэш-таблице. Доступен по чтению и записи. Значение в исходном состоянии – 0.
9	EN_ALL	Разрешение приема кадров с любым адресом назначения. Доступен по чтению и записи. Значение в исходном состоянии – 0.

10.3.2.24 Регистр статуса приема кадра (STATUS_RX)

Таблица 10.28. Формат регистра статуса приема кадра

Номер разряда	Условное обозначение	Описание
0	RCV_Disabled	Прием не разрешен. Доступен только по чтению. Значение в исходном состоянии – 0.
1	ONReceive	Блок приема кадров выполняет прием кадра. Доступен только по чтению. Значение в исходном состоянии – 0.
2	–	Резерв
3	RX_DONE	Флаг наличия принятых кадров в принимающем RX_FIFO. Доступен только по чтению. Значение в исходном состоянии – 0.
10:4	NUM_RX_FR	Число принятых кадров. NUM_RX_FR = 0x00 => RX_DONE = 0 – FIFO статусов пустое; NUM_RX_FR ≠ 0x00 => RX_DONE = 1 – FIFO статусов не пустое; NUM_RX_FR = 0x40 – FIFO статусов полное. Доступен только по чтению. Значение в исходном состоянии – 00.
11	FR_STATUS_OVF_Err	Флаг переполнения FIFO статусов принятых кадров. Доступен по чтению и записи. Значение в исходном состоянии – 0.

Номер разряда	Условное обозначение	Описание
21:12	RXW	Число 64-разрядных слов в принимающем RX_FIFO (округлено в меньшую сторону). RXW = 0x000 – FIFO пустое; RXW = 0x200 – FIFO полное. Доступен только по чтению. Значение в исходном состоянии – 000.
22	–	Резерв
23	RX_FIFO_OVF_Err	Флаг переполнения принимающего RX_FIFO. Доступен по чтению и записи. Значение в исходном состоянии – 0.
29:24	NUM_Missed_FR	Число пропущенных кадров из-за переполнения принимающего RX_FIFO или FIFO статусов принятых кадров. Доступен по чтению и записи. Значение в исходном состоянии – 00.

10.3.2.25 FIFO статусов принятых кадров (RX_FRAME_STATUS_FIFO)

Статус принятого кадра RX_FRAME_STATUS доступен только по чтению.

Значение в исходном состоянии – 00000000.

Таблица 10.29. Формат слова FIFO статусов принятых кадров

Номер разряда	Условное обозначение	Описание
11:0	RX_FR_LENGTH	Число байт в принятом кадре.
12	receiveOK	Флаг успешного принятия кадра без ошибок.
13	lengthError	Флаг ошибки длины поля данных в принятом кадре.
14	alignmentError	Флаг ошибки выравнивания в принятом кадре.
15	frameCheckError	Флаг ошибки при проверке принятого кадра.
16	frameTooLong	Флаг принятия слишком длинного кадра.
17	frameTooShort	Флаг принятия слишком короткого кадра.
18	DribbleNibble	Флаг поступления нечетного числа полубайт кадра.
19	LEN_FIELD	Флаг распознавания поля <LENGTH> в принятом кадре.
20	FCS_Del	Флаг удаления поля <FCS> в принятом кадре.
21	PAD_Del	Флаг удаления поля <PAD> в принятом кадре.
22	UC	Флаг распознавания адреса назначения принятого кадра при совпадении с уникальным адресом MAC.
23	MCM	Флаг распознавания группового адреса назначения принятого кадра при совпадении с замаскированным групповым адресом назначения MAC, когда разрешен прием кадров с таким адресом назначения.
24	MCMT	Флаг распознавания группового адреса назначения принятого кадра разрешенного для приема в хэш-таблице, когда разрешен прием кадров с таким адресом назначения.
25	BC	Флаг распознавания широковещательного адреса назначения принятого кадра когда разрешен прием кадров с широковещательным адресом назначения.
26	ALL	Флаг распознавания адреса назначения принятого кадра, когда разрешен прием кадров с любым адресом назначения.

10.3.2.26 Регистр управления и состояния режима тестирования TX_FIFO (TX_TEST_CSR)

Таблица 10.30. Формат регистра управления и состояния режима тестирования TX_FIFO

Номер разряда	Условное обозначение	Описание
0	TM_TX_FIFO	Разрешение режима тестирования TX_FIFO. Доступен по чтению и записи. Значение в исходном состоянии – 0.
3: 1	–	Резерв
14:4	TM_TX_RDW	Число прочтенных 32-разрядных слов из TX_FIFO в режиме тестирования. Доступен только по чтению. Значение в исходном состоянии – 000.

Регистр управления и состояния режима тестирования RX_FIFO (RX_TEST_CSR)

Таблица 10.31. Формат регистра управления и состояния режима тестирования RX_FIFO

Номер разряда	Условное обозначение	Описание
0	TM_RX_FIFO	Разрешение режима тестирования RX_FIFO. Доступен по чтению и записи. Значение в исходном состоянии – 0.
3: 1	–	Резерв
14:4	TM_RX_WRW	Число записанных 32-разрядных слов в RX_FIFO в режиме тестирования. Доступен только по чтению. Значение в исходном состоянии – 000.

11. МНОГОФУНКЦИОНАЛЬНЫЙ БУФЕРИЗИРОВАННЫЙ ПОСЛЕДОВАТЕЛЬНЫЙ ПОРТ (MFBSPP)

11.1 Особенности MFBSPP

Многофункциональный буферизированный последовательный порт (MFBSPP) позволяет вести обмен параллельно-последовательным кодом с другими микросхемами по линковому интерфейсу (LPORT), либо обмениваться аудиоданными и управляющей информацией с внешними устройствами по последовательным интерфейсам в дуплексном режиме, с возможностью независимой настройки приёмника и передатчика. Гибкость последовательного порта позволяет организовывать передачу с широким спектром внешних устройств. Дополнительно порт позволяет организовывать обмен данными с внешними устройствами, используя входы-выходы общего назначения. На Рисунок 11.1 изображен MFBSPP с двумя каналами DMA (на приём и передачу) в составе микропроцессора. По каналу DMA направления передачи осуществляется передача данных внешнему устройству, подключенному к микропроцессору через MFBSPP. По каналу DMA направления приёма осуществляется приём данных из внешнего устройства, подключенного к микропроцессору через MFBSPP.

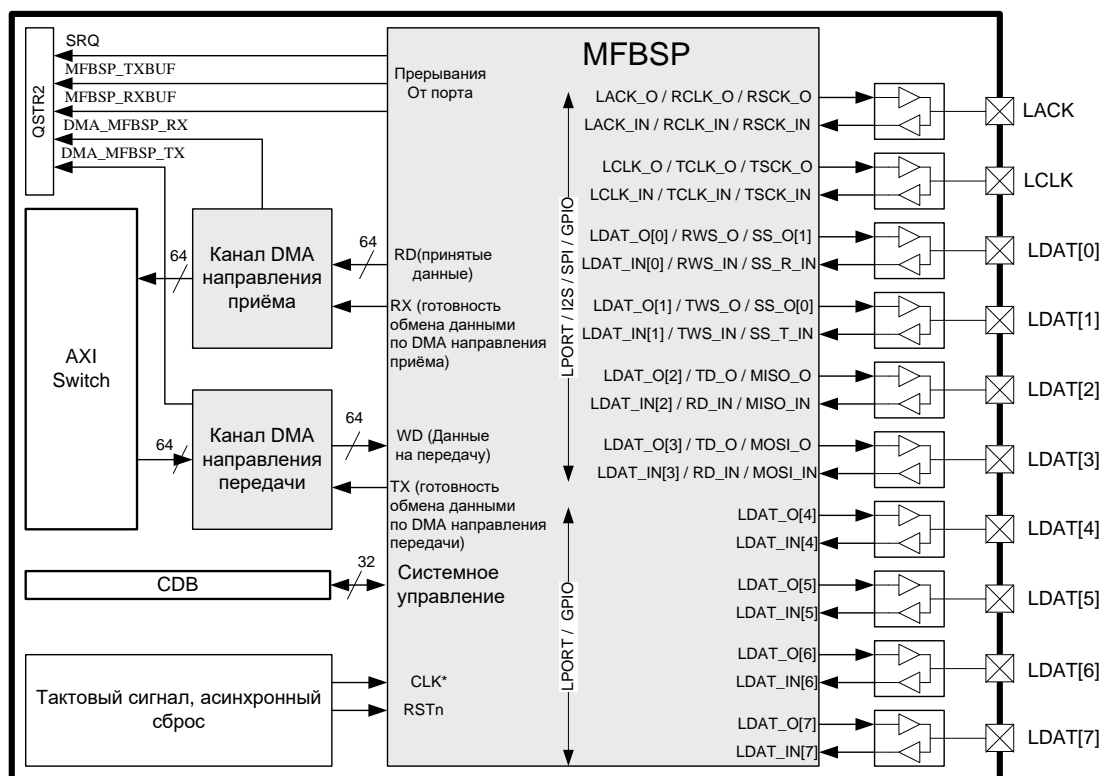


Рисунок 11.1. MFBSPP в составе микропроцессора

*MFBSР использует системный тактовый сигнал CPU (CLK), при этом на MFBSР0 тактовый сигнал CLK подается постоянно, когда включен тактовый сигнал CPU, что позволяет реализовать режим начальной загрузки через MFBSР0. Для MFBSР1, MFBSР2, MFBSР3 и DMA MFBSР есть возможность программно включать и выключать подачу тактового сигнала

11.1.1 Основные характеристики MFBSР в режиме I2S

В режиме I2S порт позволяет вести дуплексный обмен последовательными данными с внешними устройствами, используя следующие форматы передачи данных: Left-Justified, Right-Justified (при программной предобработке данных), DSP, I2S, FSB (Fast Serial Bus используемый в микросхеме CMX981;

Ограничение использования формата I2S: приемник MFBSР, в текущей версии порта, в режиме ведомого устройства не позволяет принимать слова от передатчика, если число тактов между фронтами сигнала выбора канала меньше чем $RWORDLEN+1$ (разрядность передаваемых слов меньше, чем установленная разрядность принимаемых передатчиком слов).

Приёмник и передатчик:

Поддерживается независимая настройка передатчика и приёмника, что позволяет организовать одновременные передачу и прием последовательных данных по разным последовательным интерфейсам и на различных частотах;

Возможен перевод приёмника в зависимый от передатчика режим (когда приемник использует тактовый и контрольный сигналы передатчика), что позволяет задействовать меньшее количество выводов;

Направление любого вывода задается программно, что заметно повышает гибкость при использовании порта;

Тактовые и управляющие сигналы как приемника, так и передатчика можно формировать аппаратными средствами порта MFBSР, либо принимать их от внешнего устройства;

Темп передачи данных:

Передача данных в режиме I2S может вестись на частотах от $CLK/2$ до $CLK/(2*2^{10})$ (где CLK – тактовая частота, подаваемая на порт со стороны системы);

Частоту контрольного сигнала (TWS/RWS) можно задавать в пределах от $ICLK/2$ до $ICLK/(2*2^{16})$, где ICLK – рабочая частота интерфейса (TCLK для передатчика и RCLK для приемника);

Приём и передача данных:

Порт позволяет принимать и передавать слова длиной от 2-х до 32-х бит, как младшим, так и старшим битом вперед;

В режиме I2S поддерживается режим паковки/распаковки 32-х разрядного слова в два 16-ти разрядных с автоматическим определением левого/правого канала;

Специальная логика обмена позволяет обнулять или дополнять старшим разрядом избыточные биты при чтении принятых слов длиной меньше 32 в обычном режиме и длиной меньше 16 в режиме паковки;

Порт поддерживает приём и передачу данных фреймами с синхронизацией начала каждого фрейма. Число слов в одном фрейме может быть выбрано в пределах от 1 до 64;

Буферы приёма и передачи:

Используется буферизация в направлении передачи на 18 32-разрядных слов;

Используется буферизация в направлении приёма на 18 32-разрядных слов;

Доступ к буферам приёма и передачи возможен как в 32-х разрядном режиме (обмен данными непосредственно с CPU), так и в 64-х разрядном режиме с использованием каналов DMA;

Степень заполнения буфера передачи, при которой инициируется загрузка данных в порт с помощью DMA, регулируется программно;

Для каждого порта MFBSP предусмотрено два независимых канала DMA на приём и на передачу.

11.1.2 Основные характеристики MFBSP в режиме SPI

В режиме SPI порт позволяет вести дуплексный обмен последовательными данными с внешними устройствами, порт поддерживает 4 формата передачи SPI (для всех сочетаний CPOL и CPHA по спецификации Motorola), при этом возможна передача данных как по стандарту Microwire (SDO, SDI), так и по стандарту Motorola (MOSI, MISO), а также по интерфейсу C-BUS (аналог SPI);

Приёмник и передатчик:

Поддерживается независимая настройка передатчика и приёмника, что позволяет организовать одновременные передачу и прием последовательных данных по разным последовательным интерфейсам и на различных частотах;

Возможен перевод приёмника в зависимый от передатчика режим (когда приемник использует тактовый и контрольный сигналы передатчика), что позволяет задействовать меньшее количество выводов;

Направление любого вывода задается программно, что заметно повышает гибкость при использовании порта;

Шина выбора ведомых устройств:

Тактовые сигналы и сигналы шины выбора ведомых устройств можно формировать аппаратными средствами порта MFBSP, программно управлять шиной выбора ведомых устройств, либо принимать тактовые сигналы и сигнал выбора, ведомого от внешнего устройства;

В режиме ведущего устройства портом используется двухразрядная шина выбора ведомых устройств, что позволяет параллельно подключать до двух ведомых SPI устройств;

В режиме ведомого устройства возможен независимый выбор внешним устройством приёмника и передатчика MFBSP;

Темп передачи данных:

Передача данных в режиме SPI может вестись на частотах от $CLK/2$ до $CLK/(2*2^{10})$ (где CLK – тактовая частота, подаваемая на порт со стороны системы);

Приём и передача данных:

Порт позволяет принимать и передавать слова длиной от 2-х до 32-х бит, как младшим, так и старшим битом вперед;

Специальная логика обмена позволяет обнулять или дополнять старшим разрядом избыточные биты при чтении принятых слов длиной меньше 32 бит;

Порт позволяет вести обмен данными в режиме автоматического формирования сигналов выбора ведомого, с возможностью передачи от 1 до 64 слов без изменения уровня сигнала выбора ведомого;

Буферы приёма и передачи:

Используется буферизация в направлении передачи на 18 32-разрядных слов;

Используется буферизация в направлении приёма на 18 32-разрядных слов;

Доступ к буферам приёма и передачи возможен как в 32-х разрядном режиме (обмен данными непосредственно с CPU), так и в 64-х разрядном режиме с использованием каналов DMA;

Степень заполнения буфера передачи, при которой инициируется загрузка данных в порт с помощью DMA, регулируется программно;

Для каждого порта MFBSP предусмотрено два независимых канала DMA на приём и на передачу;

В данной реализации порта существует ограничение на выбор направления выводов в режиме SPI: тактовый и управляющий сигналы в режиме SPI должны быть либо оба заданы как вход, либо оба заданы как выход;

В данной реализации порта не предусмотрена возможность соединения нескольких микропроцессоров по цепочке с использованием SPI интерфейса. микропроцессор может только управлять загрузкой последовательных данных в другие ведомые устройства, соединенные по цепочке.

11.1.3 Основные характеристики MFBSP в режиме LPORT

В режиме LPORT порт позволяет вести обмен с внешними устройствами по линковому интерфейсу (совместимому с ADSP21160 LINK PORT).

Приёмник и передатчик:

В режиме LPORT MFBSP может работать либо только как передатчик, либо только как приёмник (передача данных в одном направлении);

Темп передачи данных:

Передача данных по интерфейсу LPORT может вестись в диапазоне от CLK/32 до CLK/2 (где CLK – тактовая частота, подаваемая на порт со стороны системы);

Для микросхемы 1892BM10Я диапазон ограничен сверху значением 50 МГц.

Приём и передача данных:

По параллельно-последовательному интерфейсу LPORT возможна передача данных как тетрадами, так и байтами;

Буферы приёма и передачи:

Используется буферизация в направлении передачи на 16 32-разрядных слов;

Используется буферизация в направлении приёма на 18 32-разрядных слов;

Доступ к буферам приёма и передачи возможен как в 32-х разрядном режиме (обмен данными непосредственно с CPU), так и в 64-х разрядном режиме с использованием каналов DMA;

Степень заполнения буфера передачи, при которой инициируется закачка данных в порт с помощью DMA, регулируется программно.

В зависимости от выбранного направления порта используется либо канал DMA направления приёма, либо канал DMA направления передачи.

11.1.4 Основные характеристики MFBSP в режиме порта ввода-вывода общего назначения

В режиме порта ввода-вывода общего назначения все 10 выводов порта могут использоваться как входы выходы общего назначения;

Направление каждого вывода задаётся программно;

В режиме последовательного порта (режимы SPI или I2S) 4 незадействованных в передаче последовательных данных выводов MFBSP (LDAT[7:4]) могут быть использованы в качестве вводов-выводов общего назначения.

11.2 Общие сведения об MFBSP

11.2.1 Режимы работы MFBSP

Многофункциональный порт MFBSP может быть использован как порт ввода-вывода общего назначения, как линковый порт (LPORT), либо как последовательный порт. В случае если MFBSP используется как последовательный порт, приёмник и передатчик могут настраиваться независимо. Как приёмник, так и передатчик MFBSP могут работать в режиме SPI либо в режиме I2S. Таким образом, для MFBSP существует 6 различных режимов работы, которые задаются битами LEN и SPI_I2S_EN регистра CSR_MFBSP, битом TMODE регистра TCTR и битом RMODE регистра RCTR. Режимы работы MFBSP и задающие их сочетания значений управляющих бит приведены в Таблица 11.1.

Таблица 11.1. Режимы работы MFBSP

№	Значение бит, задающих режим				Режим работы MFBSP
	LEN	SPI_I2S_EN	TMODE	RMODE	
1	0	0	x	x	Порт ввода-вывода общего назначения
2	1	0	x	x	Линковый порт(LPORT)
3	0	1	0	0	Последовательный порт Передатчик – I2S Приёмник – I2S
4	0	1	0	1	Последовательный порт Передатчик – I2S Приёмник – SPI
5	0	1	1	0	Последовательный порт Передатчик – SPI Приёмник – I2S
6	0	1	1	1	Последовательный порт Передатчик – SPI Приёмник – SPI

Более подробное описание функциональных особенностей порта для режима I2S приведено в параграфе 11.3.

Более подробное описание функциональных особенностей порта для режима SPI приведено в параграфе 11.4.

Более подробное описание функциональных особенностей порта для режима LPORT приведено в параграфе 11.5.

Более подробное описание функциональных особенностей порта для режима порта ввода-вывода общего назначения приведено в параграфе 11.6.

11.2.2 Структурная схема многофункционального буферизированного последовательного порта

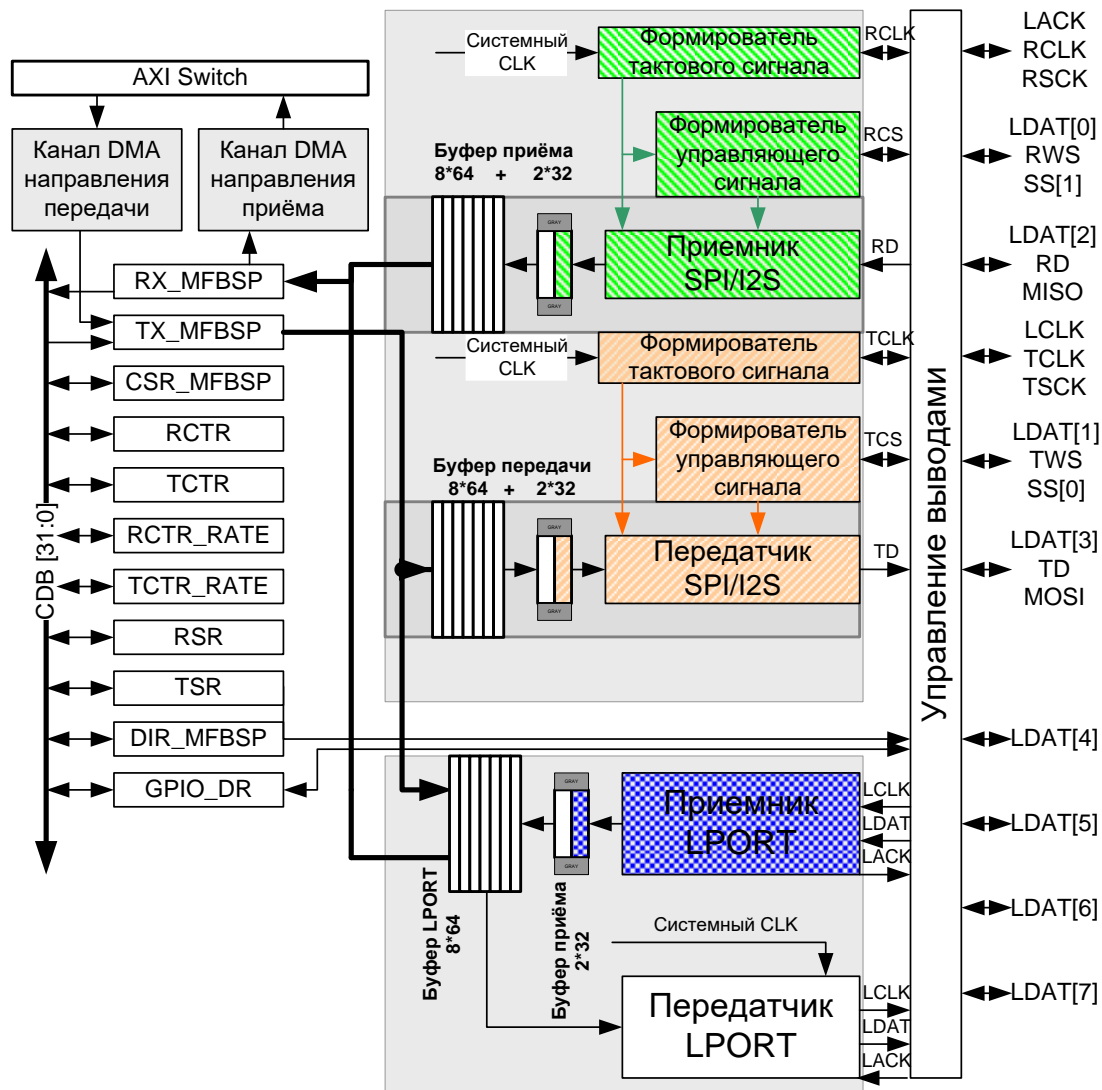


Рисунок 11.2. Структурная схема MFBSP (Защищена патентом РФ №2360282 от 27 июня 2009 года)

На Рисунок 11.1 показан MFBSP в составе микропроцессора. Порт поддерживает дуплексный обмен последовательными данными, поэтому для каждого MFBSP предусмотрено два канала DMA – один на приём и один на передачу. Каждый из внешних выводов порта двунаправленный, направление каждого вывода задается независимо.

На Рисунок 11.2 представлена более подробная структурная схема MFBSP.

В состав совмещенного контроллера входят два основных блока: контроллер LPORT и контроллер SPI/I2S. Включение контроллера LPORT производится установкой бита LEN, регистра CSR_MFBSP в 1, включение контроллера SPI_I2S производится установкой бита SPI_I2S_EN, регистра CSR_MFBSP в 1 (Таблица 11.1). Одновременная работа блоков LPORT и SPI/I2S и соответственно установка бит LEN и SPI_I2S_EN в 1 не допускается.

В состав контроллера SPI/I2S входят приёмник, передатчик, буфер приёма и буфер передачи. Приёмник и передатчик могут работать одновременно и независимо. Приёмник осуществляет синхронный приём последовательного кода с внешнего вывода схемы и запись принятых данных в буфер приёма. Передатчик осуществляет чтение данных из буфера передачи и синхронную выдачу их последовательным кодом на внешний вывод схемы. Запись передаваемых данных в буфер передачи осуществляется при записи по адресу псевдорегистра TX_MFBSP (доступ со стороны CPU или DMA направления передачи), чтение принятых данных из буфера приёма осуществляется при чтении по адресу псевдорегистра RX_MFBSP (доступ со стороны CPU или DMA направления приёма).

Последовательным портом при обмене данными используется только 6 выводов LCLK, LACK, LDAT[3:0]. Если порт работает в режиме SPI/I2S, выходы LDAT[4:7] могут использоваться как входы-выводы общего назначения.

В состав контроллера LPORT входят приёмник, передатчик и буфер LPORT. В зависимости от направления обмена данными работает либо приёмник, либо передатчик. В зависимости от направления обмена данными буфер LPORT выполняет функции либо буфера приёма, либо буфера передачи. Приёмник осуществляет синхронный приём параллельно-последовательного кода с внешних выводов схемы и запись принятых данных в буфер LPORT. Передатчик осуществляет чтение данных из буфера LPORT и синхронную выдачу их параллельно последовательным кодом на внешние выводы схемы. Запись передаваемых данных в буфер LPORT осуществляется при записи по адресу псевдорегистра TX_MFBSP (доступ со стороны CPU или DMA направления передачи), чтение принятых данных из буфера LPORT осуществляется при чтении по адресу псевдорегистра RX_MFBSP (доступ со стороны CPU или DMA направления приёма).

LPORT при обмене данными использует выходы LCLK, LACK, LDAT[7:0].

MFBSPS использует системный тактовый сигнал CPU (CLK), при этом на MFBSPO тактовый сигнал CLK подается постоянно, когда включен тактовый сигнал CPU, что позволяет реализовать режим начальной загрузки через MFBSPO. Для MFBSPP1, MFBSPP2, MFBSPP3 и DMA MFBSPP есть возможность программно включать и выключать подачу тактового сигнала

Включение частоты портов происходит не моментально, поэтому чтение из регистров или запись в регистры MFBSPP сразу после команды включения частоты MFBSPP может привести к ошибкам. Чтобы убедиться, что обращение к регистрам происходит после фактического включения частоты необходимо прочитать регистр CLK_EN и провести с прочитанными данными любые действия, например:

```
sw r26, CLK_EN //включение частоты  
lw r26, CLK_EN //чтение состояния CLK_EN
```

or r26, r26 //обработка прочитанных данных

При отключенной частоте MFBSР чтение и запись в регистры MFBSР1-MFBSР3 не допускается.

11.2.3 Назначение выводов порта в различных режимах

Таблица 11.2 содержит наименования выводов порта для каждого из режимов – LPORT, SPI, I2S. Таблица 11.3 содержит информацию о назначении каждого вывода в различных режимах.

Таблица 11.2. Обозначение выводов порта для различных режимов работы

LPORT	I2S	SPI
LDAT[7]	-	-
LDAT[6]	-	-
LDAT[5]	-	-
LDAT[4]	-	-
LDAT[3]	TD	MOSI
LDAT[2]	RD	MISO
LDAT[1]	TWS	SS[0]
LDAT[0]	RWS	SS[1]
LCLK	TCLK	TCLK
LACK	RCLK	RCLK

Таблица 11.3. Назначение выводов порта в различных режимах

Наименование вывода	Режим работы порта	Направление вывода	Назначение вывода
LDAT[7:0]	LPORT	IO	Внешняя шина данных LPORT.
LCLK	LPORT	IO	Тактовый сигнал LPORT
LACK	LPORT	IO	Подтверждение готовности приема
TD	I2S	IO	Передаваемые последовательные данные
RD	I2S	IO	Принимаемые последовательные данные
TCLK	I2S	IO	Тактовый сигнал передатчика I2S
RCLK	I2S	IO	Тактовый сигнал приемника I2S
TWS	I2S	IO	Сигнал выбора канала для передаваемых данных
RWS	I2S	IO	Сигнал выбора канала для принимаемых данных
MOSI	SPI	IO	Вывод последовательных данных. Направление вывода определяется программно
MISO	SPI	IO	Вывод последовательных данных. Направление вывода определяется программно
TCLK	SPI	IO	Тактовый сигнал передатчика SPI
RCLK	SPI	IO	Тактовый сигнал приемника SPI

Наименование вывода	Режим работы порта	Направление вывода	Назначение вывода
SS [0]	SPI	IO	<p><i>В режиме ведущего:</i> Сигнал выбора устройства 0.</p> <p><i>В режиме ведомого:</i> сигнал выбора ведомого. Низкий уровень на входе SS[0] обозначает, что передатчику MFBSPP необходимо выдавать последовательные данные (если приёмник MFBSPP находится в зависимом от передатчика режиме, то активизируется и приёмник).</p>
SS [1]	SPI	IO	<p><i>В режиме ведущего:</i> Если приёмник в зависимом от передатчика режиме - сигнал выбора устройства 1. Если передатчик в независимом от приёмника режиме – сигнал выбора приёмником устройства 0.</p> <p><i>В режиме ведомого:</i> Сигнал выбора ведомого. Только в случае когда приёмник в независимом от передатчика режиме. Низкий уровень на входе SS[1] обозначает, что приёмнику MFBSPP необходимо принимать последовательные данные.</p>

11.2.4 Перечень регистров MFBSPP

Таблица 11.4 содержит перечень регистров многофункционального порта.

Таблица 11.4. Перечень регистров многофункционального буферизованного порта

Условное Обозначение регистра	Внутренний Адрес	Доступ	Название регистра
TX_MFBSPP	0x0	W	Буфер передачи данных
RX_MFBSPP	0x0	R	Буфер приёма данных
CSR_MFBSPP	0x1	R/W	Регистр управления и состояния
DIR_MFBSPP	0x2	R/W	Регистр управления направлением выводов порта ввода-вывода
GPIO_DR	0x3	R/W	Регистр данных порта ввода-вывода
TCTR	0x4	R/W	Регистр управления передатчиком
RCTR	0x5	R/W	Регистр управления приёмником
TSR	0x6	R/W	Регистр состояния передатчика
RSR	0x7	R/W	Регистр состояния приёмника
TCTR_RATE	0x8	R/W	Регистр управления темпом передачи данных
RCTR_RATE	0x9	R/W	Регистр управления темпом приёма данных
TSTART	0xA	R/W	псевдорегистр <code>ten</code> – запуск/останов передатчика без изменения настроек передатчика
RSTART	0xB	R/W	псевдорегистр <code>ren</code> – запуск/останов приемника без изменения настроек приемника
EMERG_MFBSPP	0xC	R/W	Регистр аварийного управления портом
IMASK_MFBSPP	0xD	R/W	Регистр маски прерываний от порта

11.2.5 Каналы DMA многофункциональных портов MFBSР

Для каждого порта предусмотрено два канала DMA – один для приема данных, другой для передачи данных.

По каналу DMA направления передачи осуществляется передача данных внешнему устройству, подключенному к микропроцессору через MFBSР. По каналу DMA направления приёма осуществляется приём данных из внешнего устройства, подключенного к микропроцессору через MFBSР.

При обмене данными через MFBSР с использованием DMA максимальный размер пачки составляет 8 64-разрядных слов. Если значение бит WN в контрольном регистре DMA превосходит максимальный размер пачки, то WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

По умолчанию при работе передатчика с DMA заполнение буфера передачи происходит до тех пор, пока буфер в состоянии принять очередную пачку, размером WN. Однако имеется возможность программно регулировать степень заполнения буфера передачи, путем установки бит TBES, регистра TSR. В этом случае значение выражения TBES+1 – задает эффективный размер буфера передачи. Передача очередной пачки происходит только в случае, если при записи этой пачки в буфер передачи число 64 разрядных слов в буфере передачи не превысит TBES+1. При попытке передать пачку со значением WN > TBES, значение WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

По умолчанию при работе приёмника с DMA, считывание данных из буфера приёма происходит если в буфере чтения содержится число слов большее, либо равное размеру пачки (WN). Степень заполнения буфера приёма, при которой начинается откачка данных с помощью DMA регулируется установкой значения WN соответствующего канала DMA.

11.2.6 Прерывания от каналов DMA MFBSР

Бит DMA_MFBSР_RX, регистра QSTR2, устанавливается, если есть прерывание от соответствующего порту канала DMA направления приёма.

Бит DMA_MFBSР_TX, регистра QSTR2, устанавливается, если есть прерывание от соответствующего порту канала DMA направления передачи.

Если соответствующий канал DMA разрешен, то прерывания от канала DMA формируются по завершению передачи или приема всего блока данных.

11.2.7 Прерывания от MFBSBP

Бит MFBSBP_TXBUF, регистра QSTR2, устанавливается в случае, если число 64-х разрядных слов, находящихся в буфере передачи, меньше, либо равно пороговому значению TLEV, задаваемому в регистре TSR (Рисунок 11.3). Для установки бита MFBSBP_TXBUF также необходимо, чтобы линковый порт был включен на передачу (LEN=1 и LTRAN=1) либо включен передатчик SPI/I2S (SPI_I2S_EN=1, TEN=1) и разрешена установка прерывания MFBSBP_TXBUF по условию превышения порога (TX_LEV_IRQ_EN). MFBSBP_TXBUF также устанавливается в случае, если имела место ошибка передачи TERR и разрешена установка прерывания MFBSBP_TXBUF при ошибке передачи (чтение из пустого буфера передачи) : TX_ERR_IRQ_EN.

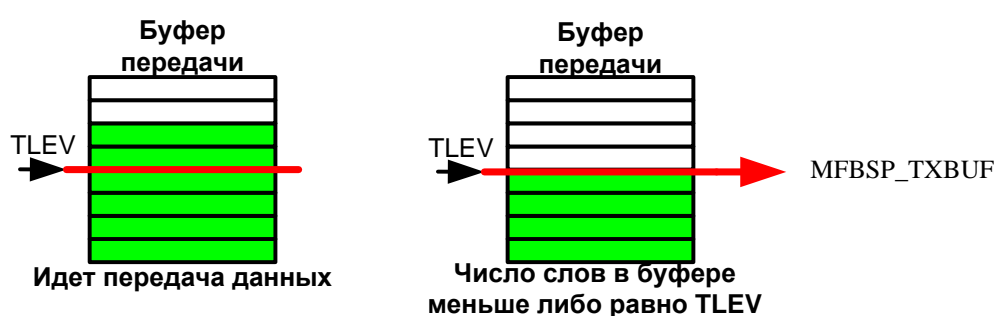


Рисунок 11.3. Назначение бит TLEV, регистра TSR

MFBSBP_TXBUF может формироваться в двух режимах: с автоматическим сбросом при чтении регистра TSR и без автоматического сброса при чтении TSR. Данный режим определяется состоянием бита TXBUF_R_EN, регистра IMASK_MFBSBP.

В случае если выбран режим без автоматического сброса прерывание установлено всегда, когда имеет место превышение уровня TLEV. В случае если установлен режим с автоматическим сбросом управление битом MFBSBP_TXBUF осуществляется следующим образом: прерывание MFBSBP_TXBUF автоматически сбрасывается, если число 64-х разрядных слов, находящихся в буфере передачи, становится больше порогового значения TLEV и при этом во время передачи не возникало ошибки (TERR = 0). Даже если описанное условие не выполнено, прерывание можно программно сбросить, прочитав регистр TSR. В этом случае прерывание сбросится и запомнится текущее значение слов в буфере передачи. Если число слов в буфере передачи начнет уменьшаться или произойдет ошибка передачи, то прерывание снова установится. Увеличение числа слов в буфере передачи не приведет к установке прерывания, даже, если число слов в буфере ниже порога TLEV (Рисунок 11.4).

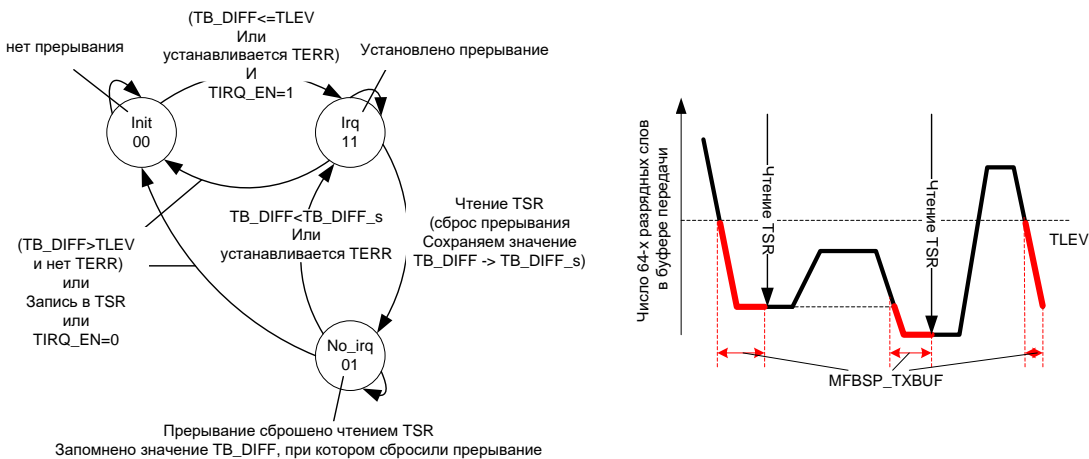


Рисунок 11.4. Механизм установки и сброса прерывания MFBSP_TXBUF. На рисунке $TIRQ_EN = (LEN \& LTRAN \parallel TEN \& SPI_I2S_EN)$

Бит **MFBSP_RXBUF**, регистра **QSTR2**, устанавливается в случае, если число 64-х разрядных слов в буфере приёма больше чем пороговое значение **RLEV**, задаваемое в регистре **RSR** (Рисунок 11.5). Для установки бита **MFBSP_RXBUF** также необходимо, чтобы линковый порт был включен на приём ($LEN=1$ и $LTRAN=0$) либо включен приёмник **SPI/I2S** ($SPI_I2S_EN=1$, $REN=1$) и разрешена установка прерывания **MFBSP_RXBUF** по условию превышения порога прерывания ($TX_LEV_IRQ_EN$). **MFBSP_RXBUF** также устанавливается в случае, если имела место ошибка приема **RERR** и разрешена установка прерывания **MFBSP_RXBUF** при ошибке передачи (запись в полный буфер приема): **RX_ERR_IRQ_EN**.

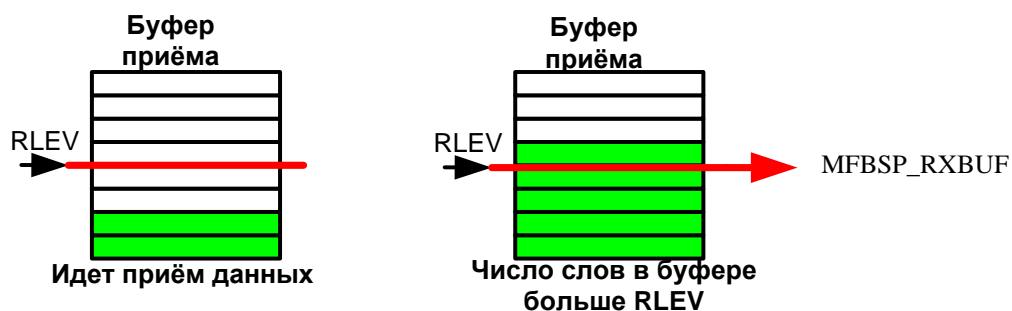


Рисунок 11.5. Назначение бит RLEV, регистра RSR

MFBSP_RXBUF может формироваться в двух режимах: с автоматическим сбросом при чтении регистра **RSR** и без автоматического сброса при чтении **RSR**. Данный режим определяется состоянием бита **RXBUF_R_EN**, регистра **IMASK_MFBS**.

В случае если выбран режим без автоматического сброса прерывание установлено всегда, когда имеет место превышение уровня **RLEV**. В случае если установлен режим с автоматическим сбросом управление битом **MFBSP_RXBUF** осуществляется следующим образом: прерывание **MFBSP_RXBUF** автоматически сбрасывается, если число 64-х разрядных слов, находящихся в буфере приёма, становится меньше порогового значения **RLEV** и при этом во время приёма не возникало ошибки ($RERR = 0$). Даже если описанное условие не выполнено, прерывание можно программно сбросить, прочитав регистр **RSR**.

В этом случае прерывание сбросится и запомнится текущее значение слов в буфере чтения. Если число слов в буфере чтения начнет увеличиваться, то прерывание снова установится. Уменьшение числа слов в буфере чтения не приведет к установке прерывания, даже, если превышен порог RLEV (Рисунок 11.6).

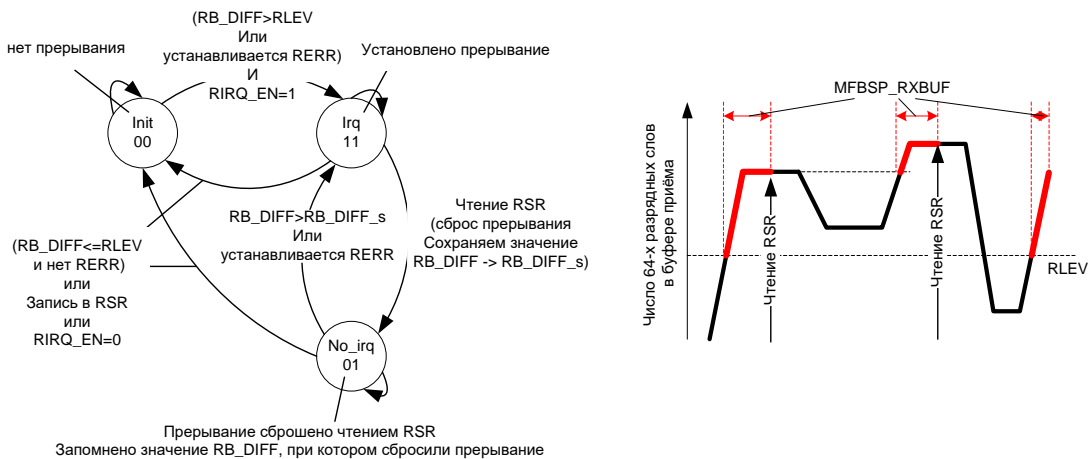


Рисунок 11.6. Механизм установки и сброса прерывания MFBSP_RXBUF. На рисунке $RIRQ_EN = (LEN \& !LTRAN \parallel REN \& SPI_I2S_EN)$

Бит SRQ, регистра QSTR2, формируется при запросе на обслуживание, если порт MFBSP выключен ($LEN=0$, $SPI_I2S_EN=0$) и на выводах LACK или LCLK высокий уровень, при условии, что разрешено прерывание по запросу на обслуживание ($LPT_IRQ_EN=1$).

11.3 Работа MFBSP в режиме I2S

11.3.1 Назначение MFBSP в режиме I2S

Режим I2S буферизированного последовательного порта предназначен для организации дуплексного обмена аудиоданными с внешними устройствами последовательным кодом.

Порт в режиме I2S позволяет одновременно передавать и принимать последовательные данные. Приемник и передатчик контроллера настраиваются независимо, при этом возможен перевод приёмника в зависимое от передатчика состояние.

Порт поддерживает передачу аудиоданных в формате I2S, с поочередной передачей левого и правого каналов, а также передачу данных фреймами от 1 до 64 слов в каждом фрейме.

Поддерживается независимое задание направления каждого из выводов порта, осуществляемое установкой соответствующих бит регистра DIR_MFBSP.

Ограничение использования формата I2S: приемник MFBSP, в текущей версии порта, в режиме ведомого устройства не позволяет принимать слова от передатчика, если число тактов между фронтами сигнала выбора канала меньше чем RWORDLEN+1 (разрядность передаваемых слов меньше, чем установленная разрядность принимаемых передатчиком слов).

11.3.2 Регистр управления и состояния CSR_MFBSP (режим I2S)

Регистр CSR_MFBSP (Таблица 11.5) используется для включения режима последовательного порта и разрешения прерываний от MFBSP.

Таблица 11.5. Назначение разрядов регистра CSR_MFBSP в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:15	-	Резерв	-	0
14:11	-	В режиме I2S не используется	-	0
10	-	Резерв	-	0
9	SPI_I2S_EN	Включение режима SPI/I2S: 0 – Работа в режиме LPORT 1 – Работа в режиме SPI/I2S	RW	0
8:5	-	В режиме I2S не используется	-	0
4:3	LSTAT	Состояние буфера: При LTRAN = 0 показывает состояние буфера приёма При LTRAN = 1 показывает состояние буфера передачи 00 – буфер пуст; 10 – буфер не пуст; 11 – буфер полон.	R	0
2	-	В режиме I2S не используется	-	0
1	LTRAN	Назначение бит LSTAT: 0 - LSTAT отображает состояние буфера приёма 1 - LSTAT отображает состояние буфера передачи	RW	0
0	LEN	В режиме I2S должен быть установлен в 0	RW	0

11.3.3 Регистр управления направлением выводов DIR_MFBSP (режим I2S)

Регистр управления направлением выводов DIR_MFBSP (Таблица 11.6) предназначен для индивидуальной настройки направления каждого вывода последовательного порта.

Таблица 11.6. Назначение разрядов регистра DIR_MFBSP в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
9:6	LDAT_DIR[7:4]	Направление выводов LDAT[7:4]	RW	0
5	TD_DIR	Направление вывода TD: 0 – TD – вход (при RD_DIR = 1 последовательные данные принимаются со входа TD) 1 – TD – выход (TD – является выходом для передачи последовательных данных)	RW	0
4	RD_DIR	Направление вывода RD: 0 – RD – вход (последовательные данные принимаются со входа RD) 1 – RD – выход (RD – является выходом для передачи последовательных данных)	RW	0
3	TCS_DIR	Направление вывода TWS: 0 – TWS – вход (Сигнал выбора слова TWS принимается от внешнего источника) 1 – TWS – выход (Сигнал выбора слова TWS формируется передатчиком)	RW	0
2	RCS_DIR	Направление вывода RWS: 0 – RWS – вход (Сигнал выбора слова RWS принимается от внешнего источника) 1 – RWS – выход (Сигнал выбора слова RWS формируется приёмником)	RW	0
1	TCLK_DIR	Направление вывода TCLK: 0 – TCLK – вход (тактовый сигнал TCLK принимается от внешнего источника) 1 – TCLK – выход (тактовый сигнал TCLK формируется передатчиком)	RW	0
0	RCLK_DIR	Направление вывода RCLK: 0 – RCLK – вход (тактовый сигнал RCLK принимается от внешнего источника) 1 – RCLK – выход (тактовый сигнал RCLK формируется приёмником)	RW	0

Примечание. При RD_DIR = 0 и TD_DIR = 0 данные снимаются с RD,

при RD_DIR = 1 и TD_DIR = 1 на TD и RD выдаются одинаковые данные с передатчика.

11.3.4 Регистр управления приёмником RCTR (режим I2S)

Таблица 11.7. Назначение разрядов регистра RCTR в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	Резерв	-	0
29	RCS_CONT	Включение непрерывного формирования сигнала RWS: 0 – RWS – Формируется если буфер приёма не полон. По заполнении буфера приёма формирование сигнала RWS прекращается. 1 – RWS – формируется непрерывно, если установлен бит REN	RW	0
28	RCLK_CONT	Включение непрерывного формирования сигнала RCLK: 0 – RCLK – формируется только во время приема (пока буфер приёма не полон). Если буфер приёма полон – сигнал не формируется 1 – RCLK – формируется непрерывно, если установлен бит REN	RW	0
27	RSWAP	Порядок упаковки в 32 разрядное слово, перед записью в буфер приёма: 0 – левый канал пишется в старшие 16 разрядов 1 – левый канал пишется в младшие 16 разрядов (Используется в режиме с включенным паковщиком)	RW	0
26	RSIGN	Значение заполнителя: Если длина принимаемого слова меньше 32 при отключенном паковщике или меньше 16 при включенном паковщике, то неиспользуемые биты принятого слова заполняются При RSIGN = 0 нулями При RSIGN = 1 значением старшего разряда в принятом слове	RW	0
25	RPACK	Включение режима паковки: 0 – режим паковки выключен. Данные, принятые по каждому из каналов пишутся отдельным 32-разрядным словом в буфер приёма 1 – режим паковки включен. Данные, принятые по левому и правому каналу пакуются в 32-х разрядное слово. При этом разрядность принимаемых слов не должна превышать 16.	RW	0
24:20	RWORDLEN	Длина принимаемого слова: Число бит в принимаемом слове равно RWORDLEN + 1. RWORDLEN должно быть больше 0.	RW	5'b0
19	RMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW RW	1
18	RCSNEG	Полярность управляющего сигнала приёмника: При RDSPMODE=0: RCSNEG = 0 – левый канал принимается при высоком уровне RWS RCSNEG = 1 – левый канал принимается при низком уровне RWS каждый фронт контрольного сигнала является активным и инициирует приём нового слова. При RDSPMODE=1: задаёт полярность активного фронта: RCSNEG = 0 - передний фронт активный; RCSNEG = 1 - задний фронт активный;	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
17:12	RWORDCNT	Число слов во фрейме: Определяет число принимаемых в течении одного фрейма слов. Число принимаемых слов равно $RWORDCNT + 1$. Число бит, принимаемых в пределах одного фрейма, равно $(RWORDCNT + 1) * (RWORDLEN + 1)$ При $RPACK = 1$ обязательно $RWORDCNT = 0$	RW	0
11	RDEL	Задержка начала приёма данных на такт: 0 – захват бит принимаемого слова начинается по первому после активного фронта управляющего сигнала RWS фронту приёма такового сигнала RCLK (используется для передачи в форматах Left-Justified и Right-Justified) 1 – захват бит принимаемого слова начинается по второму после активного фронта управляющего сигнала RWS фронту приёма такового сигнала RCLK (используется для передачи в формате I2S)	RW	0
10	RNEG	Полярность тактового сигнала приёмника: Задаёт исходное состояние вывода RCLK и фронт, по которому осуществляется захват данных приёмником (фронт приёма) 0 – захват данных по заднему фронту RCLK. 1 – захват данных по переднему фронту RCLK. Исходное состояние $RCLK = RNEG$.	RW	0
9	RDSPMODE	Формат передачи данных: 0 – передача в формате I2S 1 – передача в формате DSP	RW	0
8:4	-	Резерв	-	0
3	RCS_CP	Дублирование сигнала TWS: 0 – выводы TWS и RWS независимы 1 – сигнал RWS, идущий на блок приёмника, дублирует TWS	RW	0
2	RCLK_CP	Дублирование TCLK: 0 – выводы TCLK и RCLK независимы 1 – сигнал RCLK, идущий на блок приёмника, дублирует TCLK	RW	0
1	RMODE	Режим работы приёмника: 0 – режим I2S 1 – режим SPI	RW	0
0	REN	Разрешение работы приёмника: 0 – приемник выключен 1 – приемник включен	RW	0

11.3.5 Регистр управления передатчиком TCTR (режим I2S)

Таблица 11.8. Назначение разрядов регистра TCTR в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	В режиме I2S не используется	-	0
29	TCS_CONT	Включение непрерывного формирования сигнала TWS: 0 – TWS – формируется только если буфер передачи не пуст. После передачи последнего слова из буфера передачи формирование сигнала TWS прекращается 1 – TWS – формируется непрерывно, если установлен бит TEN	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
28	TCLK_CONT	Включение непрерывного формирования сигнала TCLK: 0 – TCLK – формируется только во время передачи. Если буфер передачи пуст – сигнал не формируется 1 – TCLK – формируется непрерывно, если установлен бит TEN	RW	0
27	TSWAP	Порядок распаковки 32-х разрядного слова: Определяет порядок распаковки из 32 разрядного слова 0 – в левый канал передаются старшие 16 разрядов 1 – в левый канал передаются младшие 16 разрядов (Используется в режиме с включенным распаковщиком)	RW	0
26	-	Резерв	-	0
25	TPACK	Включение режима распаковки: 0 – режим распаковки выключен. Каждое слово из буфера передачи используется для одной передачи по одному каналу 1 – режим распаковки включен. Слово из буфера передачи передается двумя посылками (по левому и правому каналу). При этом разрядность передаваемых слов не должна превышать 16 бит	RW	0
24:20	TWORDLEN	Длина передаваемого слова: Число бит в передаваемом слове равно TWORDLEN + 1. TWORDLEN должно быть больше 0.	RW	5'b0
19	TMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW	1
18	TCSNEG	Полярность управляющего сигнала передатчика: При TDSPMODE=0: TCSNEG = 0 – Левый канал передаётся с высоким уровнем TWS TCSNEG = 1 – Левый канал передаётся с низким уровнем TWS каждый фронт контрольного сигнала является активным и инициирует передачу нового слова. При TDSPMODE=1: задаёт полярность активного фронта: TCSNEG = 0 – передний фронт активный; TCSNEG = 1 – задний фронт активный;	RW	0
17:12	TWORDCNT	Число слов во фрейме: Определяет число передаваемых в течении одного фрейма слов. Число передаваемых слов равно TWORDCNT + 1. Число бит, передаваемых в пределах одного фрейма, равно (TWORDCNT + 1)*(TWORDLEN+1) При TPACK=1 обязательно TWORDCNT=0	RW	0
11	TDEL	Задержка начала передачи данных на такт: 0 – выдача первого бита передаваемого слова начинается по первому после активного фронта управляющего сигнала TWS фронту выдачи такового сигнала TCLK (используется для передачи в форматах Left-Justified и Right-Justified) 1 – выдача первого бита передаваемого слова начинается по второму после активного фронта управляющего сигнала TWS фронту выдачи такового сигнала TCLK (используется для передачи в формате I2S)	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
10	TNEG	Полярность тактового сигнала передатчика: Задаёт исходное состояние вывода TCLK и фронт, по которому осуществляется выдача данных передатчиком (фронт выдачи) 0 – выдача данных по переднему фронту TCLK. 1 – выдача данных по заднему фронту TCLK. Исходное состояние TCLK = TNEG.	RW	0
9	TDSPMODE	Формат передачи данных: 0 – передача в формате I2S 1 – передача в формате DSP	RW	0
8:4	-	Резерв	-	0
3	-	В режиме I2S не используется	-	0
2	TD_ZER_EN	Обнуление избыточных бит передаваемого слова: 0 – Если длина слова меньше размеров окна, отведенного под передачу слова, после передачи всех бит слова на внешней шине данных остаётся значение нулевого бита передаваемого слова. 1 – Если длина слова меньше размеров окна, отведенного под передачу слова, после передачи всех бит слова на внешнюю шину данных подаётся 0, вплоть до начала передачи следующего слова. ВНИМАНИЕ! Режим с включенным обнулением избыточных бит при передаче слова корректно функционирует только при условии, что частота последовательного порта TCLK \leq CLK/4, где CLK – рабочая частота подаваемая на порт, со стороны системы.	RW	0
1	TMODE	Режим работы передатчика: 0 – режим I2S 1 – режим SPI	RW	0
0	TEN	Разрешение работы передатчика: 0 – передатчик выключен 1 – передатчик включен	RW	0

11.3.6 Регистр состояния приёмника RSR (режим I2S)

Таблица 11.9. Назначение разрядов регистра RSR в режиме I2S

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	RB_DIFF	Количество принятых 64-разрядных слов в буфере приёма (мах 8).	R	0
23:19	-	Резерв	-	0
18:16	RLEV	Порог прерывания от буфера приёма: Прерывание формируется если число принятых 64-х разрядных слов больше RLEV	RW	7
15:11	-	Резерв	-	0
10	RXBUF	Результирующее прерывание MFBSР_RXBUF	R	0
9	RXBUF_D	Прерывание MFBSР_RXBUF без механизма автоматического сброса при чтении RSR	R	0
8	RXBUF_R	Прерывание MFBSР_RXBUF с механизмом автоматического сброса при чтении RSR	R	0
7	RRUN	Идёт приём: 0 – приёмник в состоянии ожидания 1 – идёт приём очередного слова	R	0

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
6	RERR	Ошибка передачи: 0 – приём проходил в штатном режиме 1 - была запись в полный буфер приёма (потеря данных). Флаг сбрасывается записью 0 в 6-й разряд регистра RSR.	RW	0
5	RSBF	Буфер пересинхронизации в направлении приёма полон: 0 – буфер пересинхронизации в направлении приёма не полон 1 – буфер пересинхронизации в направлении приёма полон	R	0
4	RSBE	Буфер пересинхронизации в направлении приёма пуст: 0 – буфер пересинхронизации в направлении приёма не пуст 1 – буфер пересинхронизации в направлении приёма пуст	R	1
3	RBHL	Достигнут порог прерывания в буфере приёма: 1 – число 64-х разрядных слов в буфере приёма больше чем задано в RLEV 0 – число 64-х разрядных слов в буфере приёма меньше либо равно RLEV	R	0
2	RBHF	Буфер приёма полон на половину или более: 1 – буфер приёма заполнен на половину или больше (из буфера приёма можно считать как минимум 4 слова) 0 – буфер приёма заполнен меньше чем на половину	R	0
1	RBF	Буфер приёма полон: 0 – буфер приёма не полон 1 – буфер приёма полон	R	0
0	RBE	Буфер приёма пуст: 0 – буфер приёма не пуст 1 – буфер приёма пуст	R	1

11.3.7 Регистр состояния передатчика TSR (режим I2S)

Таблица 11.10. Назначение разрядов регистра TSR в режиме I2S

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	TB_DIFF	Количество свободных 64-разрядных позиций в буфере передачи (в буфер передачи можно записать еще TB_DIFF 64-разрядных слов).	R	8
23	-	Резерв	-	0
22:20	TBES	Эффективный размер буфера передачи Актуален только для режима работы с DMA. Значение TBES+1 – определяет максимальный объем буфера передачи. Т.е. в режиме работы с DMA буфер передачи не может быть заполнен больше, чем на TBES+1 64 разрядных слов.	RW	7
19	-	Резерв	-	0
18:16	TLEV	Порог прерывания от буфера передачи: Прерывание формируется если число 64-х разрядных слов в буфере передачи меньше либо равно TLEV. В режиме передачи данных с использованием DMA определяет степень заполнения буфера передачи, при которой происходит запись в буфер очередной пачки данных	RW	0

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
15:11	-	Резерв	-	0
10	TXBUF	Результирующее прерывание MFBSP_TXBUF	R	0
9	TXBUF_D	Прерывание MFBSP_TXBUF без механизма автоматического сброса при чтении TSR	R	0
8	TXBUF_R	Прерывание MFBSP_TXBUF с механизмом автоматического сброса при чтении TSR	R	0
7	TRUN	Идёт передача: 0 – передатчик в состоянии ожидания 1 – идёт передача очередного слова	R	0
6	TERR	Ошибка передачи: 0 – передача проходила в штатном режиме 1 - было чтение из пустого буфера передачи (передача некорректных данных). Флаг сбрасывается записью 0 в 6-й разряд регистра TSR.	RW	0
5	TSBF	Буфер пересинхронизации в направлении передачи полон: 0 – буфер пересинхронизации в направлении передачи не полон 1 – буфер пересинхронизации в направлении передачи полон	R	0
4	TSBE	Буфер пересинхронизации в направлении передачи пуст: 0 – буфер пересинхронизации в направлении передачи не пуст 1 – буфер пересинхронизации в направлении передачи пуст	R	1
3	TBLL	Достигнут порог прерывания в буфере передачи: 1 – число 64-х разрядных слов в буфере передачи меньше либо равно TLEV 0 – число 64-х разрядных слов в буфере передачи больше TLEV	R	1
2	TBNF	Буфер передачи заполнен на половину или более: 1 – буфер передачи заполнен на половину или больше 0 – буфер передачи заполнен меньше чем на половину (в буфер передачи можно записать еще как минимум 4 слова)	R	0
1	TBF	Буфер передачи полон: 0 – буфер передачи не полон 1 – буфер передачи полон	R	0
0	TBE	Буфер передачи пуст: 0 – буфер передачи не пуст 1 – буфер передачи пуст	R	1

11.3.8 Регистр управления темпом приёма RCTR_RATE (режим I2S)

Таблица 11.11. Назначение разрядов регистра RCTR_RATE в режиме I2S

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
31:16	RCS_RATE	Делитель частоты управляющего сигнала приёмника: Задаёт частоту управляющего сигнала приёмника, определяемую, как $RCLK/((RCS_RATE+1)*2)$, где RCLK – частота тактового сигнала приёмника RCS_RATE обязательно должно быть больше либо равно $(RWORDLEN+1)*(RWORDCNT+1)-1$	RW	0
15:12	-	В режиме I2S не используется	-	0
11:10	-	Резерв	-	0
9:0	RCLK_RATE	Делитель частоты приёмника: В случае, если частота формируется самим приёмником, определяет частоту приёмника $RCLK = CLK/((RCLK_RATE+1)*2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0

11.3.9 Регистр управления темпом передачи TCTR_RATE (режим I2S)

Таблица 11.12. Назначение разрядов регистра TCTR_RATE в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	TCS_RATE	Делитель частоты управляющего сигнала передатчика: Задаёт частоту управляющего сигнала передатчика, определяемую как $TCLK/((RCS_RATE+1)*2)$, где TCLK – частота тактового сигнала передатчика. TCS_RATE обязательно должно быть больше либо равно $(TWORDLEN+1)*(TWORDCNT+1)-1$	RW	0
15:12	-	В режиме I2S не используется	-	0
11:10	-	Резерв	-	0
9:0	TCLK_RATE	Делитель частоты передатчика: В случае, если частота формируется самим передатчиком, определяет частоту передатчика $TCLK = CLK/((TCLK_RATE+1)*2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0

11.3.10 Псевдорегистр TSTART (режим I2S)

Таблица 11.13. Назначение разрядов регистра TSTART в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Резерв	-	0
0	TEN	Разрешение работы передатчика: 0 – передатчик выключен 1 – передатчик включен Доступ к полю TEN регистра TCTR без изменения настроек TCTR	RW	0

11.3.11 Псевдорегистр RSTART (режим I2S)

Таблица 11.14. Назначение разрядов регистра RSTART в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Резерв	-	0
0	REN	Разрешение работы передатчика: 0 – приемник выключен 1 – приемник включен Доступ к полю REN регистра RCTR без изменения настроек RCTR	RW	0

11.3.12 Регистр аварийного управления портом EMERG_MFBSP (режим I2S)

Таблица 11.15. Назначение разрядов регистра EMERG_MFBSP в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Резерв	-	0
5	RX_DBG	Включение аварийной прокачки данных канала DMA направления приема. 0 – работа в обычном режиме 1 – сигнал готовности передачи данных по DMA каналу направления приема постоянно удерживается в 1 (по DMA принимаются невалидные данные)	RW	0
4	TX_DBG	Включение аварийной прокачки данных канала DMA направления передачи. 0 – работа в обычном режиме 1 – сигнал готовности передачи данных по DMA каналу направления передачи постоянно удерживается в 1 (данные передаваемые DMA теряются)	RW	0
3	-	Резерв	-	0
2	RST_RXBUF	Сброс буфера приема последовательного порта и буфера пересинхронизации направления приема. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
1	RST_TXBUF	Сброс буфера передачи последовательного порта и буфера пересинхронизации направления передачи. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
0	RST_LPTBUF	Сброс буфера линкового порта и буфера пересинхронизации направления приема. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0

11.3.13 Регистр маски прерываний от порта IMASK (режим I2S)

Таблица 11.16. Назначение разрядов регистра IMASK в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:15	-	Резерв	-	0
14	RXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSP_RXBUF 0 – прерывание не сбрасывается при чтении RSR 1 – прерывание сбрасывается при чтении RSR	RW	1
13	RX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера приема 0 – прерывание MFBSP_RXBUF не будет устанавливаться при превышении порога RLEV 1 - прерывание MFBSP_RXBUF будет устанавливаться при превышении порога RLEV	RW	1
12	RX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSP_RXBUF не будет устанавливаться при переполнении буфера приема 1 - прерывание MFBSP_RXBUF будет устанавливаться при переполнении буфера приема	RW	1
11:7	-	Резерв	-	0
6	TXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSP_TXBUF 0 – прерывание не сбрасывается при чтении TSR 1 – прерывание сбрасывается при чтении TSR	RW	1
5	TX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера передачи 0 – прерывание MFBSP_TXBUF не будет устанавливаться, если число слов в буфере передачи меньше порога TLEV 1 - прерывание MFBSP_TXBUF будет устанавливаться, если число слов в буфере передачи меньше порога TLEV	RW	1
4	TX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSP_TXBUF не будет устанавливаться при чтении из пустого буфера передачи 1 - прерывание MFBSP_TXBUF будет устанавливаться при чтении из пустого буфера передачи	RW	1
3:1	-	Резерв	-	0
0	LPT_IRQ_EN	Разрешение прерывания по запросу на обслуживание 0 – SRQ запрещено 1 – SRQ разрешено	RW	1

11.3.14 Структурная схема MFBSР для режима I2S

На Рисунок 11.7 представлена структурная схема MFBSР для режима I2S.

Включение режима I2S производится установкой бит $LEN=0$, $SPI_I2S_EN=1$, регистра $CSR_MFBSР$ и $TMODE = 0$ регистра $TCTR$ для передатчика, $RMODE = 0$ регистра $RCTR$ для приёмника.

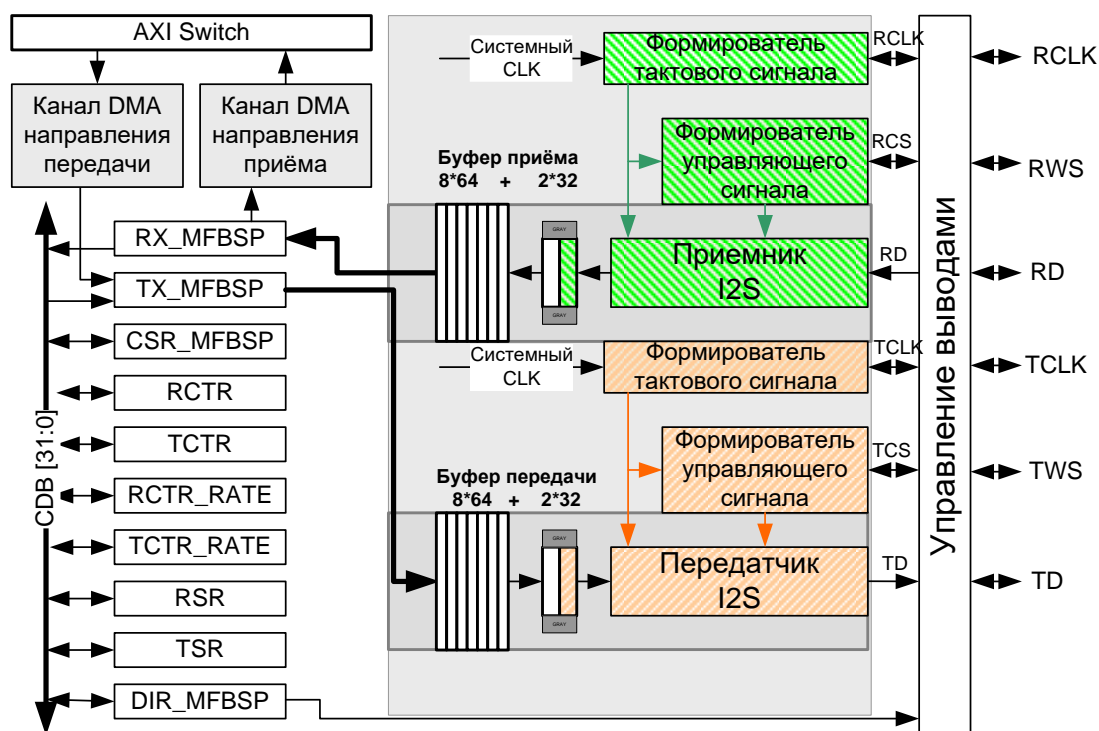


Рисунок 11.7. Структурная схема MFBSР для режима I2S

11.3.15 Варианты соединения порта с внешними устройствами

Программно управляя направлением выводов последовательного порта (см. описание регистра $DIR_MFBSР$) можно организовать множество вариантов соединения схемы с внешними устройствами через MFBSР (Рисунок 11.8, Рисунок 11.9, Рисунок 11.10).

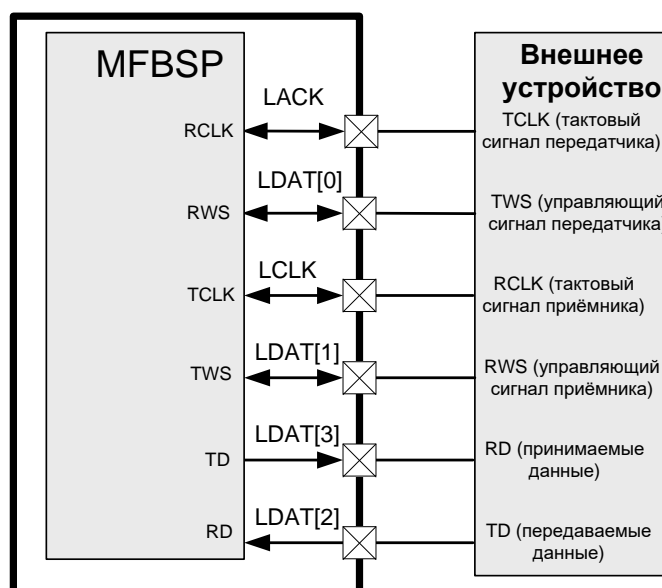


Рисунок 11.8. Соединение двух устройств по интерфейсу I2S в дуплексном режиме. Приёмник и передатчик независимые (задействовано 6 внешних выводов). Направление выводов TCLK, TWS, RCLK и RWS может быть произвольным в зависимости от требований внешнего устройства (режим №3 по Таблица 11.1)

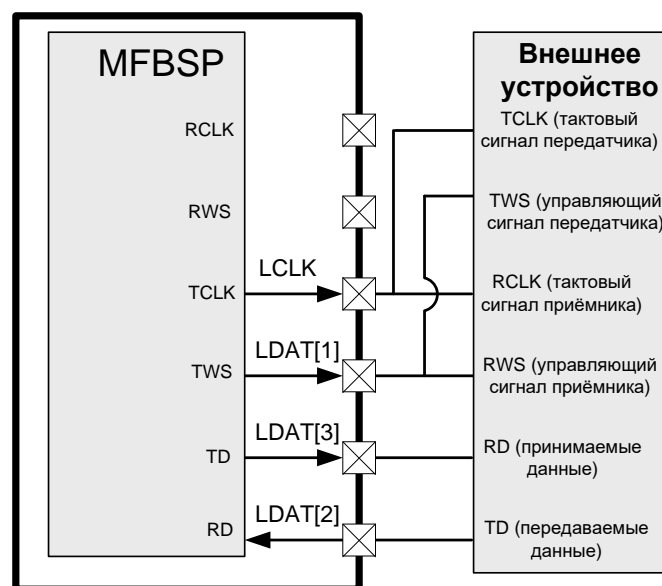


Рисунок 11.9. Соединение двух устройств по интерфейсу I2S в дуплексном режиме. Приёмник в зависимом от передатчика режиме (задействовано 4 внешних вывода) (режим №3 по Таблица 11.1)

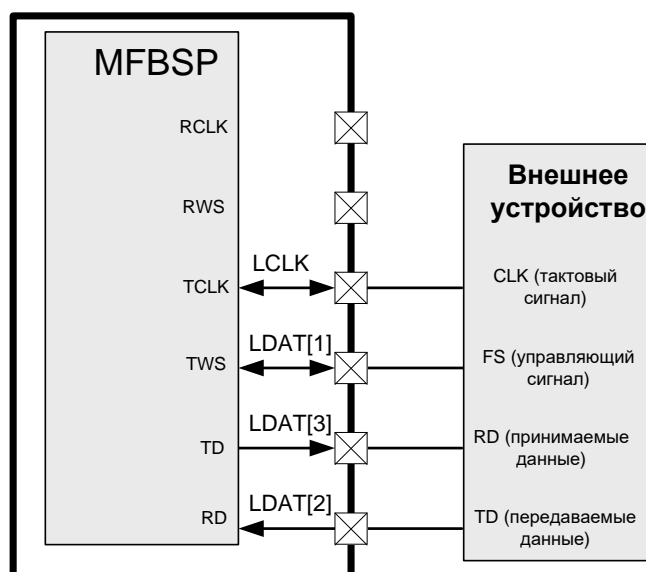


Рисунок 11.10. Соединение двух устройств по интерфейсу I2S в дуплексном режиме. Приёмник в зависимом от передатчика режиме (задействовано 4 внешних вывода). Как приёмником, так и передатчиком используются тактовый и управляющий сигналы с выводов TCLK и TWS. Направление выводов TCLK и TWS может быть произвольным в зависимости от требований внешнего устройства (режим №3 по Таблица 11.1)

11.3.16 Передача данных в режиме I2S

В режиме I2S возможна передача аудио данных с использованием сигнала выбора канала (бит (T/R)DSPMODE = 0). При этом программно задаётся полярность тактового сигнала, полярность управляющего сигнала и наличие задержки выдачи данных относительно фронта управляющего сигнала (см. описание регистров TCTR и RCTR). На Рисунок 11.11 представлены временные диаграммы для данного режима.

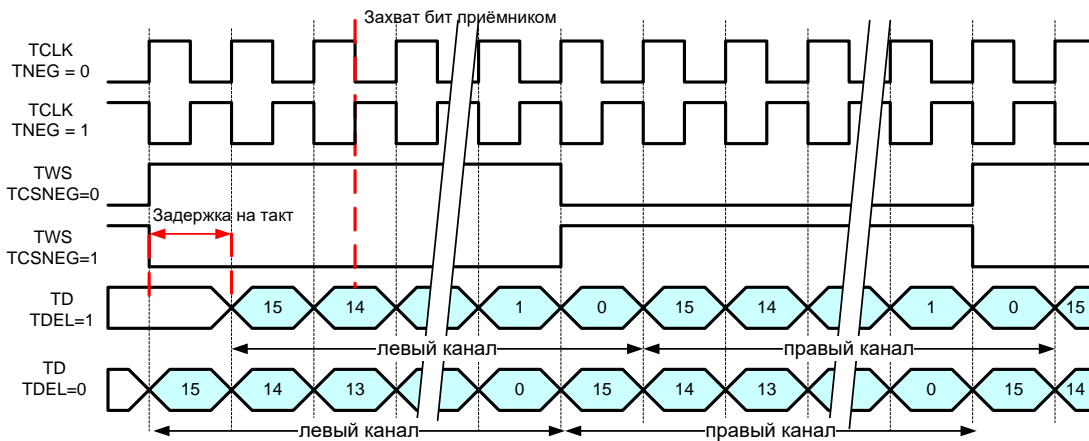


Рисунок 11.11. Передача в режиме I2S (формат I2S) TMODE = 0, TDSPMODE=0, TMBF = 1, TCS_RATE = TWORDLEN = 15 диаграммы тактового сигнала TCLK представлены для различных значений TNEG, диаграммы управляющего сигнала TWS представлены для различных значений TCSNEG, диаграммы для последовательных данных представлены для различных значений TDEL

В режиме I2S (бит (T/R)MODE = 0) также возможна передача последовательных слов с использованием сигнала синхронизации фрейма (бит (T/R)DSPMODE = 1). При этом программно задаётся полярность тактового сигнала, полярность активного фронта управляющего сигнала и наличие задержки выдачи данных относительно фронта управляющего сигнала (Рисунок 11.12).

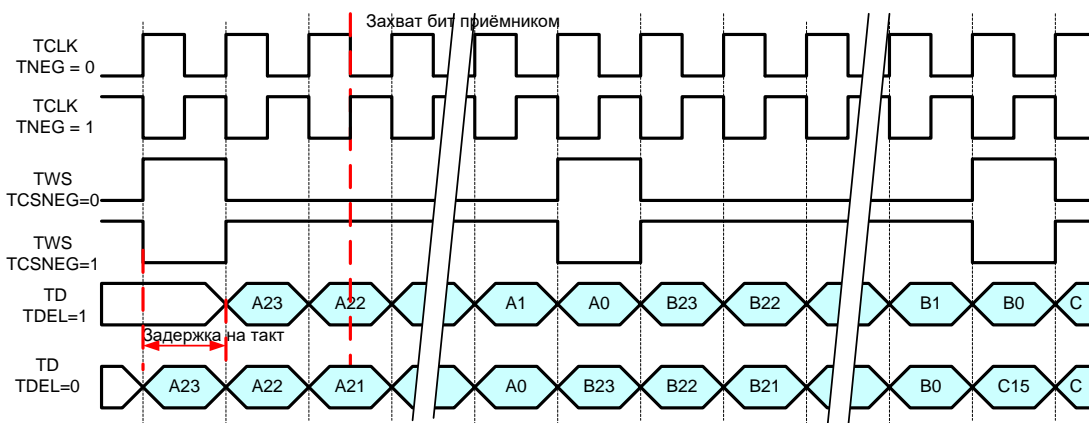


Рисунок 11.12. Передача в режиме I2S (формат DSP) TMODE = 0, TDSPMODE=1, TMBF = 1, TCS_RATE = TWORDLEN = 23 диаграммы тактового сигнала TCLK представлены для различных значений TNEG, диаграммы управляющего сигнала TWS представлены для различных значений TCSNEG, диаграммы для последовательных данных представлены для различных значений TDEL

Если управляющий сигнал формируется логикой MFBS (вывод (T/R)WS – сконфигурирован как выход), то частота управляющего сигнала (либо частота импульсов синхронизации в формате DSP) может задаваться программно от $ICLK/2$ до $ICLK/(2 \cdot 2^{16})$, где ICLK – рабочая частота интерфейса TCLK для передатчика и RCLK для приемника (см. описание регистров TCTR_RATE и RCTR_RATE). Временные диаграммы для данного случая представлены на Рисунок 11.13.

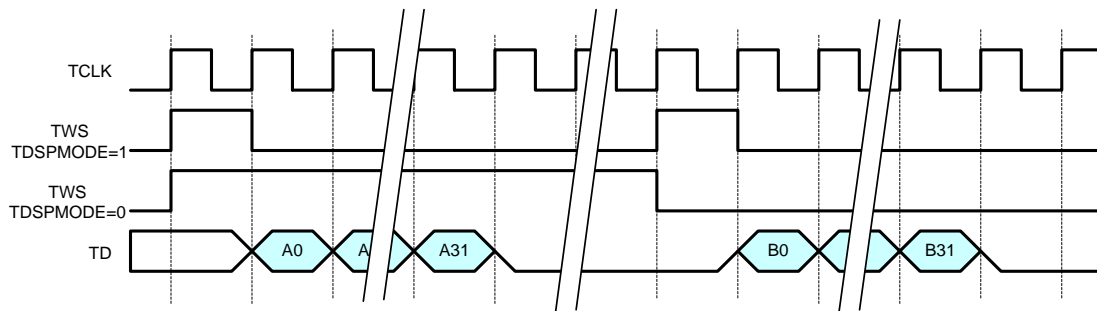


Рисунок 11.13. Передача в режиме I2S TMODE = 0, TMBF = 0, TWORDLEN = 31, TCS_RATE>TWORDLEN, TNEG = 0, TCSNEG=0, TDEL = 1. Диаграммы управляющего сигнала TWS представлены для различных значений TDSPMODE

MFBSPP позволяет передавать от 1 до 64 слов в пределах одного фрейма (Рисунок 11.15). В этом случае с приходом сигнала синхронизации фрейма начинается передача первого слова, с передачей последнего бита первого слова из буфера передачи сразу считывается следующее слово и в следующем такте начинают передаваться биты очередного слова и так до тех пор, пока не будет передано число слов равное TWORDCNT+1. По окончании передачи последнего слова фрейма, порт ожидает очередного сигнала синхронизации фрейма. Сигнал синхронизации пришедший в момент, когда передача слов фрейма еще не закончилась игнорируется. Буфер передачи может вместить максимум 18 32-х разрядных слов, если в пределах фрейма передаётся больше 18 слов необходимо следить за тем, что бы буфер передачи был не пуст (при включенном канале DMA это происходит автоматически). Приёмник MFBSPP аналогичным образом может принимать от 1 до 64-х слов в пределах одного фрейма.

В режиме I2S, при (T/R)MODE = 0, (T/R)DSPMODE =0) выполняется автоматическая синхронизация принимаемых и передаваемых данных таким образом, что первое слово переданное передатчиком будет передано в левый канал, а первое слово принятое приемником будет принято из левого канала (Рисунок 11.14).

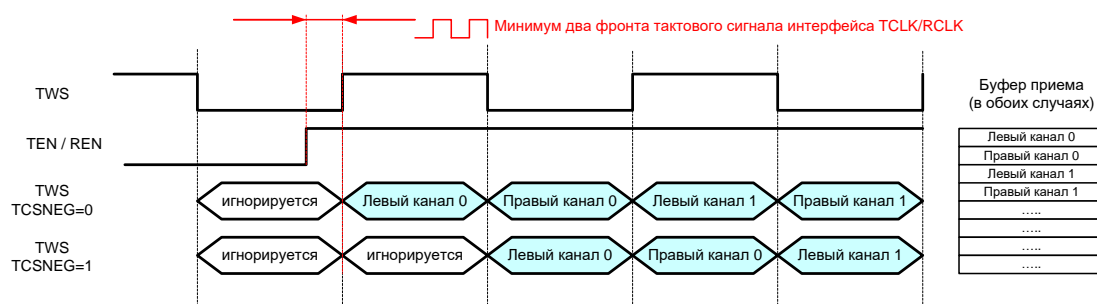


Рисунок 11.14. Синхронизация передаваемых и принимаемых данных по каналам (левый/правый) в режиме I2S после включения приемника или передатчика для различных значений TCSNEG

При работе порта в режиме I2S ((T/R)MODE = 0), в случае если используется управляющий сигнал, формируемый внешним устройством (порт в режиме ведомого), то, как для передатчика, так и для приемника после первого включения порта (TEN/REN=1), перед первым фронтом сигнала выбора слова / фрейм селекта (TWS) необходима подача

как минимум двух импульсов тактового сигнала, необходимых для целей синхронизации. В противном случае первый импульс управляющего сигнала может быть проигнорирован (передача начнется со следующего активного фронта управляющего сигнала).

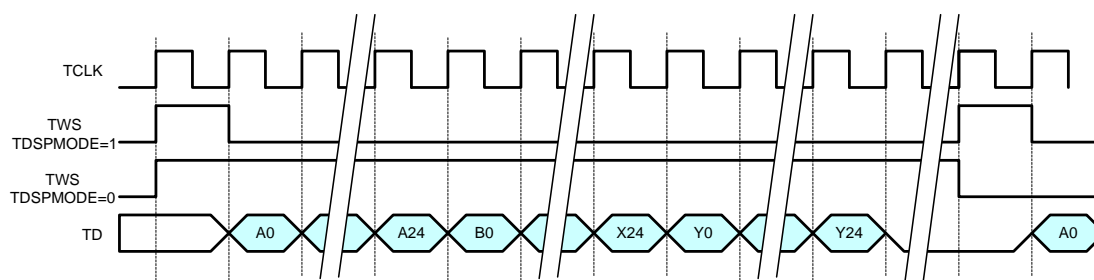


Рисунок 11.15. Передача в режиме I2S TMODE = 0, TMBF = 0, TWORDLEN = 24, TWORDCNT=Y-1, TCS_RATE+1>(TWORDLEN+1)*(TWORDCNT+1), TNEG = 0, TCSNEG=0, TDEL = 1. Диаграммы управляющего сигнала TWS представлены для различных значений TDSPMODE

В режиме I2S (только в формате I2S (T/R)DSPMODE=0) предусмотрен режим паковщика / распаковщика. В этом режиме 32 разрядные слова из буфера передачи автоматически разбиваются на 2 16-ти разрядных слова и передаются по разным каналам. Соответственно для приёмника два принятых по разным каналам слова группируются в одно 32-х разрядное слово, которое записывается в буфер приёма. В данном режиме длина передаваемого или принимаемого слова может быть в пределах от 2 до 16 бит. Порядок выдачи разбитого слова и порядок сборки определяется битами TCSNEG, TSWAP, RCSNEG, RSWAP. Данный режим возможен только при передаче одного слова во фрейме (TWORDCNT=RWORDCNT=0).

Пример настроек для передачи по интерфейсу FSB (CMX981): TMODE = RMODE = 0, TDSPMODE = RDSPMODE = 1, TMBF = RMBF = 1, TNEG = RNEG = 1, TDEL = RDEL = 1, TCSNEG = RCSNEG = 0, TCS_RATE >= TWORDLEN, RCS_RATE >= RWORDLEN. Приемник при этом должен быть независим от передатчика, т.е. RCS_CP = 0. Если шиной используется один тактовый сигнал для приема и передачи необходимо установить RCLK_CP в 1, в этом случае приемником будет использоваться тактовый сигнал передатчика.

11.3.17 Формирование тактовых сигналов приёмника (RCLK) и передатчика (TCLK)

На Рисунок 11.16 представлена схема формирования тактовых сигналов приёмника и передатчика в режиме I2S.

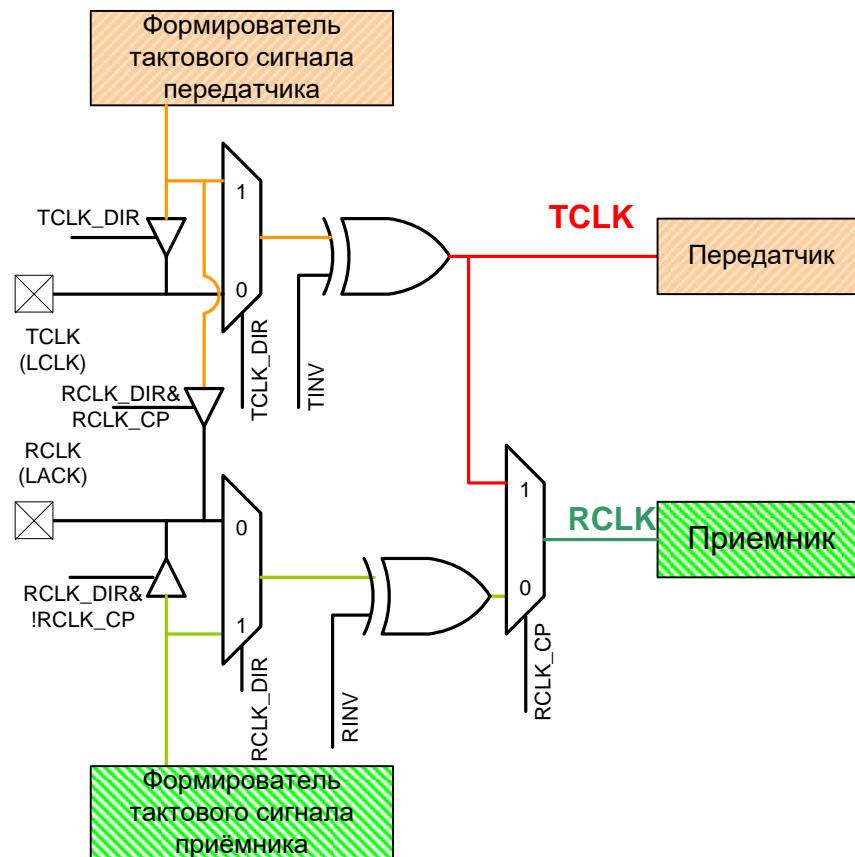


Рисунок 11.16. Схема формирования тактовых сигналов приёмника и передатчика в режиме I2S

В зависимости от значения бита `TCLK_DIR`, тактовый сигнал передатчика `TCLK` может как формироваться самим передатчиком, так приниматься с внешнего вывода. В зависимости от значений бит `TMODE`, `TNEG` и `TDEL` тактовый сигнал либо передаётся передатчику без изменений, либо инвертируется.

В зависимости от значения бита `RCLK_DIR`, тактовый сигнал приёмника `RCLK` может как формироваться самим приёмником, так приниматься с внешнего вывода. В зависимости от значений бит `RMODE`, `RNEG` и `RDEL` тактовый сигнал либо передаётся приёмнику без изменений, либо инвертируется.

Если бит `RCLK_CP` установлен в 1, то тактовый сигнал приёмника копирует тактовый сигнал передатчика. Для корректной работы устройства в этом случае настройки полярности тактового сигнала приёмника и передатчика должны совпадать (`TNEG=RNEG`, `TDEL=RDEL`).

При `RCLK_CP = 1` тактовый сигнал передатчика передаётся на внешний вывод приёмника, только если передатчик сам формирует тактовый сигнал и вывод тактового сигнала приёмника сконфигурирован как выход (`TCLK_DIR=1`, `RCLK_DIR=1`).

Если биты `RCLK_CONT=1` и `RCLK_DIR=1` то `RCLK` формируется непрерывно, пока установлен бит `REN`. Если `RCLK_CONT=0` и `RCLK_DIR=1` то `RCLK` формируется только

до момента заполнения буфера приёма. Если $RCLK_DIR=0$, то $RCLK$ принимается с внешнего вывода схемы.

Если биты $TCLK_CONT=1$ и $TCLK_DIR=1$ то $TCLK$ формируется непрерывно, пока установлен бит TEN . Если $TCLK_CONT=0$ и $TCLK_DIR=1$ то $TCLK$ формируется только в процессе передачи очередного слова. Если $TCLK_DIR=0$, то $TCLK$ принимается с внешнего вывода схемы.

11.3.18 Формирование управляющих сигналов приёмника и передатчика в режиме I2S

На Рисунок 11.17 представлена схема формирования управляющих сигналов в режиме I2S.

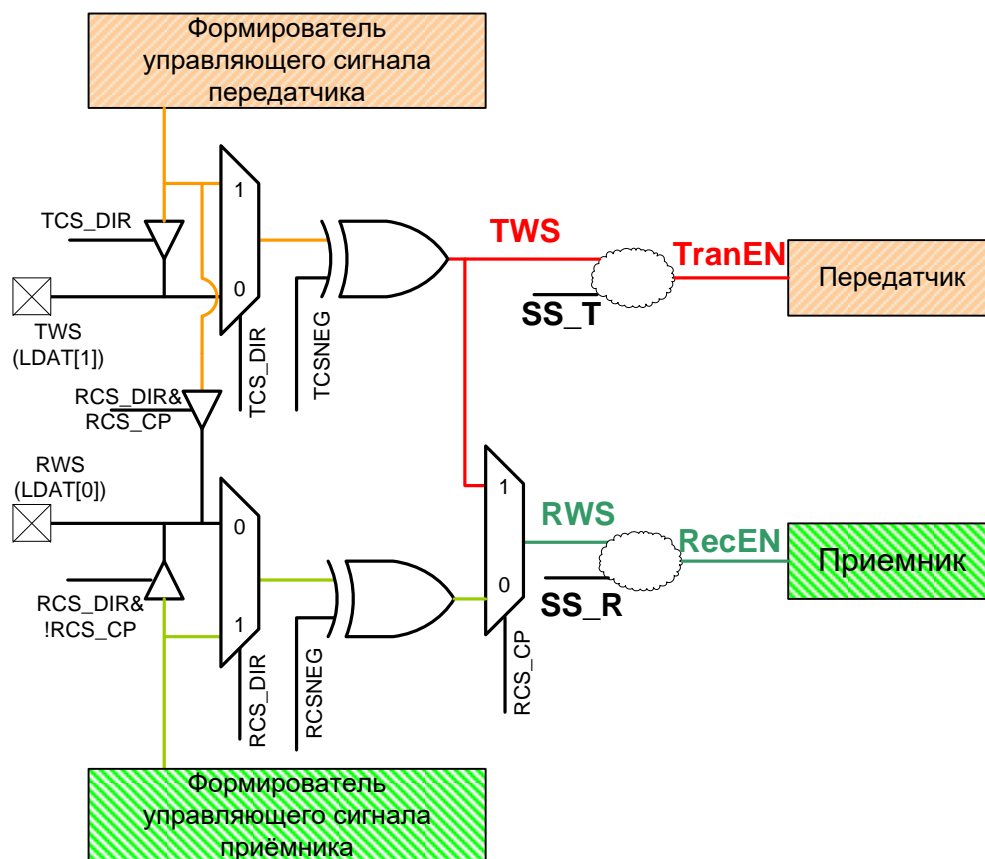


Рисунок 11.17. Схема формирования управляющих сигналов в режиме I2S

В зависимости от значения бита TCS_DIR , задающего направление вывода TWS , управляющий сигнал передатчика TWS может как формироваться самим передатчиком, так приниматься с внешнего вывода. В зависимости от значения бита $TCSNEG$ управляющий сигнал либо передается передатчику без изменений, либо инвертируется.

В зависимости от значения бита RCS_DIR , задающего направление вывода RWS , управляющий сигнал приёмника $RCLK$ может как формироваться самим приёмником, так

приниматься с внешнего вывода. В зависимости от значения бита RCSNEG управляющий сигнал либо передаётся приёмнику без изменений, либо инвертируется.

Если бит RCS_CP установлен в 1, то управляющий сигнал приёмника копирует управляющий сигнал передатчика. Для корректной работы устройства в этом случае настройки полярности управляющего сигнала приёмника и передатчика должны совпадать (TCSNEG=RCSNEG).

При RCS_CP = 1 управляющий сигнал передатчика передаётся на внешний вывод приёмника, только если передатчик сам формирует управляющий сигнал и вывод управляющего сигнала приёмника сконфигурирован как выход (TCS_DIR=1, RCS_DIR=1).

Если направление вывода RWS задано как выход и RCS_CONT=0, то управляющий сигнал RWS формируется до тех пор, пока не заполнится буфер приёма, если RCS_CONT=1 то, RWS формируется непрерывно, пока установлен бит REN. Если направление вывода задано как вход, управляющий сигнал RWS принимается от внешнего устройства. Если установлен бит RCS_CP, RWS копирует TWS, независимо от направления вывода.

Если направление вывода TWS задано как выход и TCS_CONT=0, то управляющий сигнал TWS формируется только во время передачи очередного слова, если TCS_CONT=1 TWS формируется непрерывно, пока установлен бит TEN. Если направление вывода задано как вход, управляющий сигнал TWS принимается от внешнего устройства.

11.3.19 Тракт передачи данных

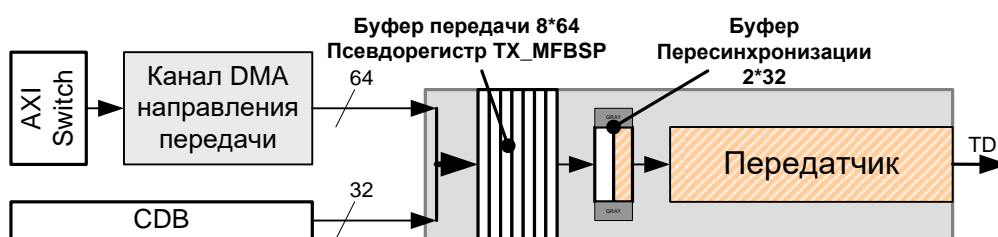


Рисунок 11.18. Тракт передачи данных для режима I2S

На Рисунок 11.18 представлен тракт передачи данных для режима I2S.

Что бы инициировать передачу данных по последовательному порту необходимо включить последовательный порт (SPI_I2S_EN=1) и передатчик (TEN=1), после чего либо начать производить запись передаваемых 32-х разрядных слов в буфер передачи по адресу псевдорегистра TX_MFBSP, либо включить канал DMA в направления передачи для соответствующего порта (в этом случае обмен данными с портом будет вестись 64-х разрядными словами).

Данные записанные в буфер передачи автоматически перемещаются в буфер пересинхронизации направления передачи, если он не полон. Запись в буфер пересинхронизации направления передачи осуществляется на системной частоте CLK, чтение из буфера пересинхронизации осуществляется на частоте передатчика TCLK. Как только в буфере пересинхронизации оказалось хотя бы одно слово, передатчиком инициируется передача. Передатчиком производится последовательная выдача бит очередного 32-х разрядного слова до тех пор, пока число переданных бит не достигнет $TWORDLEN+1$, после чего производится считывание очередного слова из буфера пересинхронизации. По мере передачи слов в освобождающийся буфер пересинхронизации перемещается слово из буфера передачи. После выборки последнего слова из буфера передачи (буфер передачи пуст) в буфере пересинхронизации остаётся еще два слова. Фактическое окончание передачи можно идентифицировать по состоянию буфера пересинхронизации, либо считав бит TRUN регистра TSR.

Если управляющий сигнал формируется передатчиком, то при считывании последнего слова из буфера пересинхронизации передача останавливается. Передача продолжится только после того как в буфер пересинхронизации снова начнут поступать данные.

Если передатчик использует внешнюю частоту и внешний управляющий сигнал, в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота передатчика, однако ее должно быть достаточно для того, чтобы успеть переместить очередное слово в буфер пересинхронизации (за время передачи одного слова должно быть хотя бы три импульса системной частоты CLK). Если внешний управляющий сигнал инициировал передачу слова при пустом буфере пересинхронизации устанавливается флаг ошибки передачи (TERR), в этом случае передаётся ошибочное слово. Если управляющий сигнал формируется самим передатчиком, системная частота может быть много меньше частоты передатчика, однако это скажется на скорости передачи данных.

Установка бита TERR в процессе передачи говорит о том, что порт произвел попытку чтения из пустого буфера передачи. Это значит, что передатчиком было передано некорректное слово.

В направлении передачи порт обладает буферизацией на 18 32-х разрядных слов. В случае передачи данных посредством DMA запись блоков данных в буфер передачи происходит до тех пор, пока буфер готов принять очередной блок, размер которого определяется битами WN, регистра CSR соответствующего канала DMA.

Степень заполнения буфера можно программно регулировать, используя биты TBES. В этом случае значение выражения $TBES+1$ – задает эффективный размер буфера передачи. Передача очередной пачки происходит только в случае, если при записи этой пачки в буфер передачи число 64 разрядных слов в буфере передачи не превысит $TBES+1$. При попытке передать пачку со значением $WN > TBES$, значение WN автоматически

корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

Так, при $WN=0$ и $TBES=0$ очередное 64-х разрядное слово будет подкачиваться в буфер передачи только если он пуст. В этом случае по окончании работы DMA в момент прерывания от соответствующего канала передатчику останется передать ещё 4 32-х разрядных слова (два 32-х разрядных слова в буфере пересинхронизации и одно 64-х разрядное слово в буфере передачи).

Установка бита SPI_I2S_EN в 0 приведет к программному сбросу передатчика, и все данные находящиеся в буфере передачи будут утеряны.

11.3.20 Тракт приёма данных

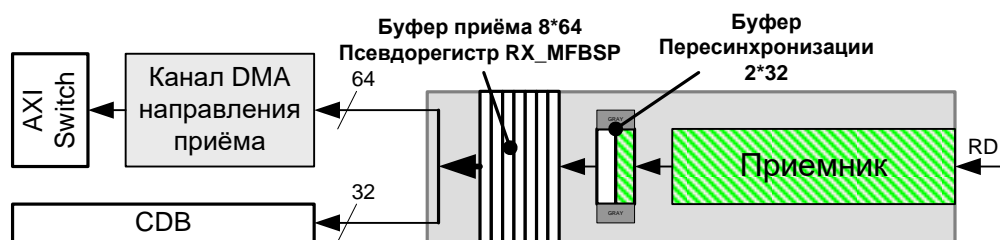


Рисунок 11.19. Тракт приёма данных в режиме I2S

На Рисунок 11.19 представлен тракт передачи данных для режима I2S.

Что бы перевести приёмник в режим готовности необходимо включить последовательный порт ($SPI_I2S_EN=1$) и приёмник ($REN=1$), после чего либо начать ожидание появления прочитанных данных в буфере приёма, либо включить канал DMA в направления приёма для соответствующего порта.

Приёмник принимает последовательные биты, поступающие с внешнего вывода до тех пор, пока число принятых бит не достигнет значения $RWORDLEN+1$. После этого принятое 32-х разрядное слово (если $RWORDLEN < 31$ незадействованные биты обнуляются) перемещается в буфер пересинхронизации. Запись в буфер пересинхронизации направления приёма осуществляется на частоте приёмника $RCLK$, чтение из буфера пересинхронизации осуществляется на системной частоте CLK . Из буфера пересинхронизации принятое слово автоматически перемещается в буфер приёма, если он не полон. Если в буфере приёма есть хотя бы одно 32-х разрядное слово, то принятые 32-х разрядные слова можно считывать, обращаясь по адресу псевдорегистра RX_MFBS . Принимать данные можно также включив соответствующий порту канал DMA направления приёма (в этом случае обмен данными с портом осуществляется 64-х разрядными словами).

Если приёмник использует внешнюю частоту, то в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота приёмника, однако ее должно быть достаточно для того, что бы успеть переместить очередное слово из буфера пересинхронизации (за время приёма одного слова должно быть хотя бы три импульса системной частоты CLK). Если при заполненном буфере пересинхронизации приёмником был произведен приём очередного слова и инициирована попытка записи в буфер пересинхронизации устанавливается флаг ошибки приёма (RERR), а последнее принятое слово теряется.

Установка бита RERR в процессе передачи говорит о том, что порт произвел попытку записи в полный буфер приёма. Это значит, что принятое слово было потеряно.

В направлении приёма порт обладает буферизацией на 18 32-х разрядных слов. В случае приёма данных посредством DMA чтение блоков данных из буфера приёма происходит до тех пор, пока в буфере приёма достаточно слов для чтения очередного блока, размер которого определяется битами WN, регистра CSR соответствующего канала DMA. DMA обмены возможны только 64 разрядными словами, таким образом, если было принято нечетное количество 32-х разрядных слов, после окончания работы DMA необходимо прочитать оставшееся слово, обратившись к псевдорегистру RX_MFBSP.

Установка бита SPI_I2S_EN в 0 приведет к программному сбросу приёмника и все данные находящиеся в буфере приёма будут утеряны.

11.3.21 Прерывания от последовательного порта

Прерывание MFBSP_RXBUF устанавливается, в случае если включен приемник (I2S_SPI_EN=1, REN = 1) и в буфер приёма записано количество слов большее, чем установлено уровнем прерывания RLEV, либо произошла ошибка приема (RERR = 1).

Прерывание MFBSP_TXBUF устанавливается, в случае если включен передатчик (I2S_SPI_EN=1, REN = 1) и в буфере передачи осталось количество слов меньшее, либо равное чем установлено уровнем прерывания TLEV, либо произошла ошибка передачи (TERR = 1).

11.4 Работа MFBSPP в режиме SPI

11.4.1 Назначение последовательного порта в режиме SPI

Режим SPI буферизированного последовательного порта предназначен для организации дуплексного обмена последовательными данными с внешними устройствами.

Порт в режиме SPI позволяет одновременно передавать и принимать последовательные данные. Приемник и передатчик контроллера могут настраиваются независимо, при этом возможен перевод приёмника в зависимое от передатчика состояние.

Поддерживается независимое задание направления каждого из выводов порта, осуществляемое установкой соответствующих бит регистра DIR_MFBSP. Однако для режима SPI имеется ограничение: направление выводов тактового сигнала и сигнала выбора ведомого должно совпадать.

В режиме ведущего устройства к MFBSP параллельно может быть подключено до двух ведомых SPI устройств.

Формирование сигнала выбора, ведомого возможно, как в автоматическом, так и в программном режиме. В автоматическом режиме после передачи каждой группы слов (число слов в группе может принимать значения от 1 до 64) сигнал выбора, ведомого возвращается в высокое состояние. При программном управлении сигналами выбора, ведомого данные сигналы изменяются посредством записи в контрольный регистр передатчика.

В данной реализации порта существует ограничение на выбор направления выводов в режиме SPI: тактовый и управляющий сигналы в режиме SPI должны быть либо оба заданы как вход, либо оба заданы как выход;

В данной реализации порта не предусмотрена возможность соединения нескольких микропроцессоров по цепочке с использованием SPI интерфейса. Микропроцессор может только управлять загрузкой последовательных данных в другие ведомые устройства, соединенные по цепочке.

В данной реализации порта в режиме ведомого устройства сигнал выбора, ведомого предварительно пересинхронизируется на внутреннюю частоту порта, поэтому для устойчивой работы порта в режиме ведомого SPI устройства уровень сигнала SS, если необходима его установка в 1 между передачами, должен удерживаться как минимум два периода внутренней частоты CLK. Поэтому, если приемник работает в зависимом от передатчика режиме (RCS_CP=1, RCLK_CP=1), передатчик работает на максимальной частоте (TCLK_RATE=0) и формирует сигнал SS в автоматическом режиме (SS_DO=0, TCS_DIR=1), необходимо установить значение TSS_RATE \geq 1 чтобы удерживать сигнал SS в высоком уровне как минимум два периода внутренней частоты CLK.

11.4.2 Регистр управления и состояния CSR_MFBSP (режим SPI)

Регистр CSR_MFBSP (Таблица 11.17) используется для включения режима последовательного порта и разрешения прерываний от MFBSP.

Таблица 11.17. Назначение разрядов регистра CSR_MFBSP в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:15	-	Резерв	-	0
14:11	-	В режиме SPI не используется	-	0
10	-	Резерв	-	0
9	SPI_I2S_EN	Включение режима SPI/I2S: 0 – Работа в режиме LPORT 1 – Работа в режиме SPI/I2S	RW	0
8:5	-	В режиме I2S не используется	-	0
4:3	LSTAT	Состояние буфера: При LTRAN = 0 показывает состояние буфера приёма При LTRAN = 1 показывает состояние буфера передачи 00 – буфер пуст; 10 – буфер не пуст; 11 – буфер полон.	R	0
2	-	В режиме I2S не используется	-	0
1	LTRAN	Назначение бит LSTAT: 0 - LSTAT отображает состояние буфера приёма 1 - LSTAT отображает состояние буфера передачи	RW	0
0	LEN	В режиме SPI должен быть установлен в 0	RW	0

11.4.3 Регистр управления направлением выводов DIR_MFBSP (режим SPI)

Регистр управления направлением выводов DIR_MFBSP (Таблица 11.18) предназначен для индивидуальной настройки направления каждого вывода последовательного порта.

Таблица 11.18. Назначение разрядов регистра DIR_MFBSP в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
9:6	LDAT_DIR[7:4]	Направление выводов LDAT[7:4]	RW	0
5	TD_DIR	Направление вывода MOSI: 0 – MOSI – вход (при RD_DIR = 1 последовательные данные принимаются со входа MOSI - эквивалент SDI) 1 – MOSI - выход (MOSI – является выходом для передачи последовательных данных и является эквивалентом SDO)	RW	0
4	RD_DIR	Направление вывода MISO: 0 – MISO – вход (последовательные данные принимаются со входа MISO - эквивалент SDI) 1 – MISO - выход (MISO – является выходом для передачи последовательных данных и является эквивалентом SDO)	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
3	TCS_DIR	Направление вывода SS[0]: 0 – SS[0] – вход (управляющий сигнал для передатчика снимается с вывода SS[0]) 1 – SS[0] – выход, управляющий сигнал формируется передатчиком	RW	0
2	RCS_DIR	Направление вывода SS[1]: 0 – SS[1] – вход (управляющий сигнал для приёмника снимается с вывода SS[1]) 1 – SS[1] – выход, в этом случае на SS[1] в зависимости от состояния бита RCS_CP подаются управляющие сигналы, формируемые либо приёмником, либо передатчиком	RW	0
1	TCLK_DIR	Направление вывода TSCK: 0 – TSCK – вход (тактовый сигнал TSCK принимается от внешнего источника) 1 – TSCK – выход (тактовый сигнал TSCK формируется передатчиком)	RW	0
0	RCLK_DIR	Направление вывода RSCK: 0 – RSCK – вход (тактовый сигнал RSCK принимается от внешнего источника) 1 – RSCK – выход (тактовый сигнал RSCK формируется приёмником)	RW	0

Примечание. При RD_DIR = 0 и TD_DIR = 0 данные снимаются с MISO, при RD_DIR = 1 и TD_DIR = 1 на MOSI и MISO выдаются одинаковые данные с передатчика.

11.4.4 Регистр управления приёмником RCTR (режим SPI)

Таблица 11.19. Назначение разрядов регистра RCTR в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	Резерв	-	0
29	-	В режиме SPI не используется	-	0
28	-	В режиме SPI не используется	-	0
27	-	В режиме SPI не используется	-	0
26	RSIGN	Значение заполнителя: Если длина принимаемого слова меньше 32 при отключенном паковщике или меньше 16 при включенном паковщике, то неиспользуемые биты принятого слова заполняются При RSIGN = 0 нулями При RSIGN = 1 значением старшего разряда в принятом слове	RW	0
25	RPACK	В режиме SPI обязательно RPACK=0.	RW	0
24:20	RWORDLEN	Длина принимаемого слова: Число бит в принимаемом слове равно RWORDLEN + 1. RWORDLEN должно быть больше 0.	RW	5'b0
19	RMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW RW	1
18	-	В режиме SPI не используется	-	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
17:12	RWORDCNT	Число слов во фрейме: Определяет число принимаемых в течении одного фрейма слов. Число принимаемых слов равно $RWORDCNT + 1$. Число бит, принимаемых в пределах одного фрейма, равно $(RWORDCNT + 1) * (RWORDLEN + 1)$ Во время приёма фрейма состояние сигнала выбора ведомого не меняется.	RW	0
11	RDEL	Задержка начала приёма данных на пол такта: (Эквивалентно CPHA в спецификации Motorola). Задаёт фронт, по которому производится захват данных приёмником (фронт приёма). Ниже приведено соответствие полярности фронта приёма значениям бит RNEG, RDEL: RNEG = 0, RDEL = 0 – захват по переднему фронту RSCK RNEG = 0, RDEL = 1 – захват по заднему фронту RSCK RNEG = 1, RDEL = 0 – захват по заднему фронту RSCK RNEG = 1, RDEL = 1 – захват по переднему фронту RSCK	RW	0
10	RNEG	Полярность тактового сигнала приёмника: (эквивалентно CPOL в спецификации Motorola). Задаёт исходное состояние вывода RSCK и фронт, по которому производится захват данных приёмником (фронт приёма). Ниже приведено соответствие полярности фронта приёма значениям бит RNEG, RDEL: RNEG = 0, RDEL = 0 – захват по переднему фронту RSCK RNEG = 0, RDEL = 1 – захват по заднему фронту RSCK RNEG = 1, RDEL = 0 – захват по заднему фронту RSCK RNEG = 1, RDEL = 1 – захват по переднему фронту RSCK Исходное состояние RSCK = RNEG.	RW	0
9	-	В режиме SPI не используется	-	0
8:4	-	резерв	-	0
3	RCS_CP	Управление сигналом выбора ведомого приёмника: 0 – сигнал SS[1] принимается приёмником с внешнего вывода или формируется самим приёмником. 1 – сигнал SS[1] формируется передатчиком и является сигналом выбора ведомого устройства 1. Приёмник осуществляет приём данных синхронно с передатчиком. (в этом случае RCLK_CP должно быть так же в 1).	RW	0
2	RCLK_CP	Дублирование сигнала RSCK: 0 – RSCK формируется или принимается независимо от передатчика 1 – RSCK приёмника дублирует TSCK передатчика (в этом случае RCS_CP должно быть так же в 1).	RW	0
1	RMODE	Режим работы приёмника: 0 – режим I2S 1 – режим SPI	RW	0
0	REN	Разрешение работы приёмника: 0 – приемник выключен 1 – приемник включен	RW	0

11.4.5 Регистр управления передатчиком TCTR (режим SPI)

Таблица 11.20. Назначение разрядов регистра TCTR в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	SS[1]	биты управления шиной Slave Select:	RW	0
30	SS[0]	Позволяют выбрать одно из двух подключенных ведомых устройств. При SS_DO = 0 установка соответствующего бита SS в 1 означает выбор ведомого устройства, с которым будет производиться обмен данными При SS_DO = 1 значения бит SS передаются на выходы SS напрямую	RW	0
29	-	В режиме SPI не используется	-	0
28	-	В режиме SPI не используется	-	0
27	-	В режиме SPI не используется	-	0
26	-	Резерв	-	0
25	TPACK	В режиме SPI обязательно TPACK=0.	RW	0
24:20	TWORDLEN	Длина передаваемого слова: Число бит в передаваемом слове равно TWORDLEN + 1. TWORDLEN должно быть больше 0.	RW	5'b0
19	TMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW	1
18	-	В режиме SPI не используется	-	0
17:12	TWORDCNT	Число слов во фрейме: Определяет число передаваемых в течении одного фрейма слов. Число передаваемых слов равно TWORDCNT + 1. Число бит, передаваемых в пределах одного фрейма, равно (TWORDCNT + 1)*(TWORDLEN+1) Во время передачи фрейма состояние сигнала выбора ведомого не меняется.	RW	0
11	TDEL	Задержка начала передачи данных на пол такта: (Эквивалентно CPHA в спецификации Motorola). Задаёт фронт, по которому производится выдача данных передатчиком (фронт выдачи). Ниже приведено соответствие полярности фронта выдачи значениям бит TNEG, TDEL: TNEG = 0, TDEL = 0 – выдача по заднему фронту TSCK TNEG = 0, TDEL = 1 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 0 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 1 – выдача по заднему фронту TSCK	RW	0
10	TNEG	Полярность тактового сигнала передатчика: (эквивалентно CPOL в спецификации Motorola). Задаёт исходное состояние вывода TSCK и фронт, по которому производится выдача данных передатчиком (фронт выдачи). Ниже приведено соответствие полярности фронта выдачи значениям бит TNEG, TDEL: TNEG = 0, TDEL = 0 – выдача по заднему фронту TSCK TNEG = 0, TDEL = 1 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 0 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 1 – выдача по заднему фронту TSCK Исходное состояние TSCK = TNEG.	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
9	-	В режиме SPI не используется	-	0
8:4	-	резерв	-	0
3	SS_DO	управление выводами SS: 0 – управление выводами SS производится в автоматическом режиме. С началом передачи вывод SS, для которого соответствующий бит SS, регистра TCRT установлен в 1 переводится в низкое состояние, с окончанием передачи вывод SS переводится в высокое состояние. Если соответствующий выводу бит SS установлен в 0 вывод SS всегда находится в высоком состоянии. 1 – значения бит SS напрямую передаются на внешние выводы. В этом случае необходимо программное управление шиной SS в процессе передачи	RW	0
2	-	В режиме SPI не используется	-	0
1	TMODE	Режим работы передатчика: 0 – режим I2S 1 – режим SPI	RW	0
0	TEN	Разрешение работы передатчика: 0 – приемник выключен 1 – приемник включен	RW	0

11.4.6 Регистр состояния приёмника RSR (режим SPI)

Таблица 11.21. Назначение разрядов регистра RSR в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	RB_DIFF	Количество принятых 64-разрядных слов в буфере приёма (макс 8).	R	0
23:19	-	Резерв	-	0
18:16	RLEV	Порог прерывания от буфера приёма: Прерывание формируется если число принятых 64-х разрядных слов больше RLEV	RW	7
15:11	-	Резерв	-	0
10	RXBUF	Результирующее прерывание MFBSP_RXBUF	R	0
9	RXBUF_D	Прерывание MFBSP_RXBUF без механизма автоматического сброса при чтении RSR	R	0
8	RXBUF_R	Прерывание MFBSP_RXBUF с механизмом автоматического сброса при чтении RSR	R	0
7	RRUN	Идёт приём: 0 – приёмник в состоянии ожидания 1 – идёт приём очередного слова	R	0
6	RERR	Ошибка передачи: 0 – приём проходил в штатном режиме 1 – была запись в полный буфер приёма (потеря данных). Флаг сбрасывается записью 0 в 6-й разряд регистра RSR.	RW	0
5	RSBF	Буфер пересинхронизации в направлении приёма полон: 0 – буфер пересинхронизации в направлении приёма не полон 1 – буфер пересинхронизации в направлении приёма полон	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
4	RSBE	Буфер пересинхронизации в направлении приёма пуст: 0 – буфер пересинхронизации в направлении приёма не пуст 1 – буфер пересинхронизации в направлении приёма пуст	R	1
3	RBHL	Достигнут порог прерывания в буфере приёма: 1 – число 64-х разрядных слов в буфере приёма больше чем задано в RLEV 0 – число 64-х разрядных слов в буфере приёма меньше либо равно RLEV	R	0
2	RBHF	Буфер приёма полон на половину или более: 1 – буфер приёма заполнен на половину или больше (из буфера приёма можно считать как минимум 4 слова) 0 – буфер приёма заполнен меньше чем на половину	R	0
1	RBF	Буфер приёма полон: 0 – буфер приёма не полон 1 – буфер приёма полон	R	0
0	RBE	Буфер приёма пуст: 0 – буфер приёма не пуст 1 – буфер приёма пуст	R	1

11.4.7 Регистр состояния передатчика TSR (режим SPI)

Таблица 11.22. Назначение разрядов регистра TSR в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	TB_DIFF	Количество свободных 64-разрядных позиций в буфере передачи (в буфер передачи можно записать еще TB_DIFF 64-разрядных слов).	R	8
23	-	Резерв	-	0
22:20	TBES	Эффективный размер буфера передачи Актуален только для режима работы с DMA. Значение TBES+1 – определяет максимальный объем буфера передачи. Т.е. в режиме работы с DMA буфер передачи не может быть заполнен больше, чем на TBES+1 64 разрядных слов.	RW	7
19	-	Резерв	-	0
18:16	TLEV	Порог прерывания от буфера передачи: Прерывание формируется если число 64-х разрядных слов в буфере передачи меньше либо равно TLEV. В режиме передачи данных с использованием DMA определяет степень заполнения буфера передачи, при которой происходит запись в буфер очередной пачки данных	RW	0
15:11	-	Резерв	-	0
10	TXBUF	Результирующее прерывание MFBSP_TXBUF	R	0
9	TXBUF_D	Прерывание MFBSP_TXBUF без механизма автоматического сброса при чтении TSR	R	0
8	TXBUF_R	Прерывание MFBSP_TXBUF с механизмом автоматического сброса при чтении TSR	R	0
7	TRUN	Идёт передача: 0 – передатчик в состоянии ожидания 1 – идёт передача очередного слова	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
6	TERR	Ошибка передачи: 0 – передача проходила в штатном режиме 1 - было чтение из пустого буфера передачи (передача некорректных данных). Флаг сбрасывается записью 0 в 6-й разряд регистра TSR.	RW	0
5	TSBF	Буфер пересинхронизации в направлении передачи полон: 0 – буфер пересинхронизации в направлении передачи не полон 1 – буфер пересинхронизации в направлении передачи полон	R	0
4	TSBE	Буфер пересинхронизации в направлении передачи пуст: 0 – буфер пересинхронизации в направлении передачи не пуст 1 – буфер пересинхронизации в направлении передачи пуст	R	1
3	TBLL	Достигнут порог прерывания в буфере передачи: 1 – число 64-х разрядных слов в буфере передачи меньше либо равно TLEV 0 – число 64-х разрядных слов в буфере передачи больше TLEV	R	1
2	TBHF	Буфер передачи заполнен на половину или более: 1 – буфер передачи заполнен на половину или больше 0 – буфер передачи заполнен меньше чем на половину (в буфер передачи можно записать еще как минимум 4 слова)	R	0
1	TBF	Буфер передачи полон: 0 – буфер передачи не полон 1 – буфер передачи полон	R	0
0	TBE	Буфер передачи пуст: 0 – буфер передачи не пуст 1 – буфер передачи пуст	R	1

11.4.8 Регистр управления темпом приёма RCTR_RATE (режим SPI)

Таблица 11.23. Назначение разрядов регистра RCTR_RATE в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	-	В режиме SPI не используется	-	0
15:12	RSS_RATE	Если сигнал SS формируется приёмником, то задает время удержания сигнала SS в высоком уровне между передачами слов. Время удержания SS определяется как $TRCLK/2*(RSS_RATE+1)$, где TRCLK период тактового сигнала RCLK	RW	0
11:10	-	Резерв	-	0
9:0	RCLK_RATE	Делитель частоты приёмника: В случае, если частота формируется самим приёмником, определяет частоту приёмника $RSCK = CLK/((RCLK_RATE+1)*2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0

11.4.9 Регистр управления темпом передачи TCTR_RATE (режим SPI)

Таблица 11.24. Назначение разрядов регистра TCTR_RATE в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	-	В режиме SPI не используется	-	0
15:12	TSS_RATE	Если сигнал SS формируется передатчиком, то задает время удержания сигнала SS в высоком уровне между передачами слов. Время удержания SS определяется как $TTCLK/2*(TSS_RATE+1)$, где TTCLK период тактового сигнала TCLK	RW	0
11:10	-	Резерв	-	0
9:0	TCLK_RATE	Делитель частоты передатчика: В случае, если частота формируется самим передатчиком, определяет частоту передатчика $TSCK = CLK/((TCLK_RATE+1)*2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0

11.4.10 Псевдорегистр TSTART (режим SPI)

Таблица 11.25. Назначение разрядов регистра TSTART в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Резерв	-	0
0	TEN	Разрешение работы передатчика: 0 – передатчик выключен 1 – передатчик включен Доступ к полю TEN регистра TCTR без изменения настроек TCTR	RW	0

11.4.11 Псевдорегистр RSTART (режим SPI)

Таблица 11.26. Назначение разрядов регистра RSTART в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Резерв	-	0
0	REN	Разрешение работы передатчика: 0 – приемник выключен 1 – приемник включен Доступ к полю REN регистра RCTR без изменения настроек RCTR	RW	0

11.4.12 Регистр аварийного управления портом EMERG_MFBSP (режим SPI)

Таблица 11.27. Назначение разрядов регистра EMERG_MFBSP в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Резерв	-	0
5	RX_DBG	Включение аварийной проочки данных канала DMA направления приема. 0 – работа в обычном режиме 1 – сигнал готовности передачи данных по DMA каналу направления приема постоянно удерживается в 1 (по DMA принимаются невалидные данные)	RW	0
4	TX_DBG	Включение аварийной проочки данных канала DMA направления передачи. 0 – работа в обычном режиме 1 – сигнал готовности передачи данных по DMA каналу направления передачи постоянно удерживается в 1 (данные передаваемые DMA теряются)	RW	0
3	-	Резерв	-	0
2	RST_RXBUF	Сброс буфера приема последовательного порта и буфера пересинхронизации направления приема. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
1	RST_TXBUF	Сброс буфера передачи последовательного порта и буфера пересинхронизации направления передачи. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
0	RST_LPTBUF	Сброс буфера линкового порта и буфера пересинхронизации направления приёма. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0

11.4.13 Регистр маски прерываний от порта IMASK (режим SPI)

Таблица 11.28. Назначение разрядов регистра IMASK в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:15	-	Резерв	-	0
14	RXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSP_RXBUF 0 – прерывание не сбрасывается при чтении RSR 1 – прерывание сбрасывается при чтении RSR	RW	1
13	RX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера приема 0 – прерывание MFBSP_RXBUF не будет устанавливаться при превышении порога RLEV 1 - прерывание MFBSP_RXBUF будет устанавливаться при превышении порога RLEV	RW	1
12	RX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSP_RXBUF не будет устанавливаться при переполнении буфера приема 1 - прерывание MFBSP_RXBUF будет устанавливаться при переполнении буфера приема	RW	1
11:7	-	Резерв	-	0
6	TXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSP_TXBUF 0 – прерывание не сбрасывается при чтении TSR 1 – прерывание сбрасывается при чтении TSR	RW	1
5	TX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера передачи 0 – прерывание MFBSP_TXBUF не будет устанавливаться, если число слов в буфере передачи меньше порога TLEV 1 - прерывание MFBSP_TXBUF будет устанавливаться, если число слов в буфере передачи меньше порога TLEV	RW	1
4	TX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSP_TXBUF не будет устанавливаться при чтении из пустого буфера передачи 1 - прерывание MFBSP_TXBUF будет устанавливаться при чтении из пустого буфера передачи	RW	1
3:1	-	Резерв	-	0
0	LPT_IRQ_EN	Разрешение прерывания по запросу на обслуживание 0 – SRQ запрещено 1 – SRQ разрешено	RW	1

11.4.14 Структурная схема MFBSB для режима SPI

На Рисунок 11.20 представлена структурная схема MFBSB для режима SPI.

Включение режима SPI производится установкой бит $LEN=0$, $SPI_I2S_EN=1$, $TMODE = 1$ (для передатчика), $RMODE = 1$ (для приёмника).

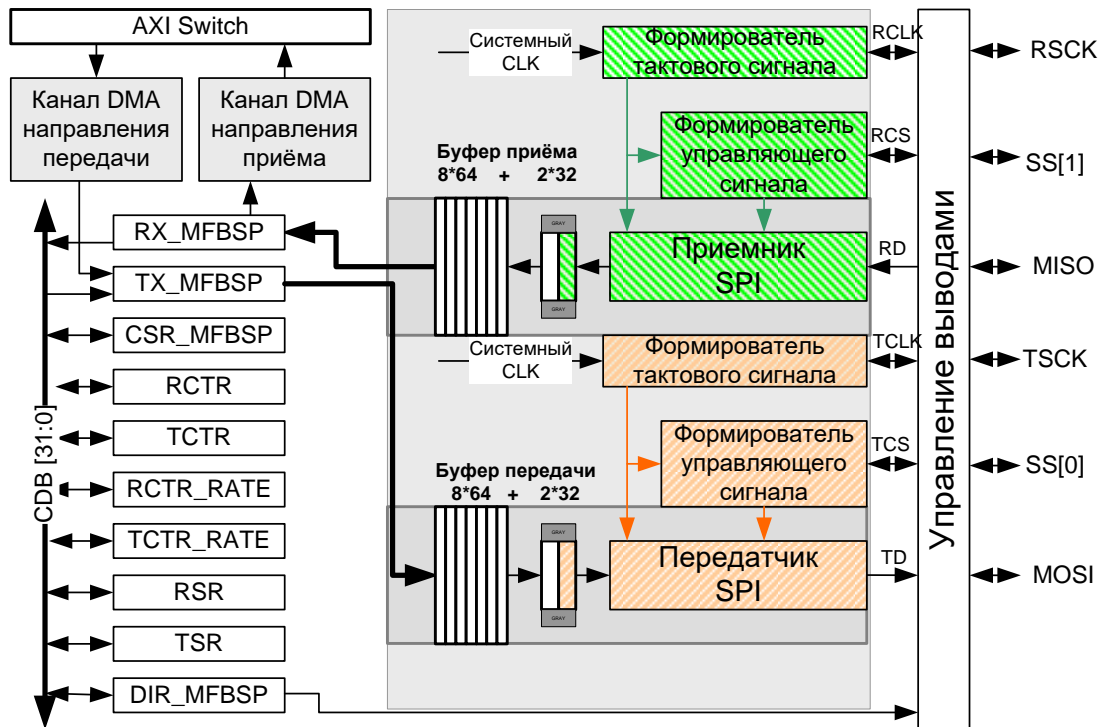


Рисунок 11.20. Структурная схема MFBSB для режима SPI

11.4.15 Варианты соединения порта с внешними устройствами

Программно управляя направлением выводов последовательного порта (см. описание регистра DIR_MFBSB) можно организовать множество вариантов соединения схемы с внешними устройствами через MFBSB (Рисунок 11.21, Рисунок 11.22, Рисунок 11.23).

MFBSB позволяет подключить два ведомых SPI устройства. Выбор ведомого устройства, с которым будет производиться обмен осуществляется битами SS , регистра $TCTR$. Если настройки двух устройств совпадают (для обоих ведомых значения $TNEG$, $TDEL$, $TWORDLEN$ одинаковы) тогда перед для смены ведомого устройства достаточно изменить значение бит SS . Если настройки двух ведомых различаются, то для смены ведомого необходимо сначала выключить MFBSB ($spi_i2s_en=0$, $len=0$), и только после этого записать новые настройки в регистры $TCTR$ и $RCTR$.

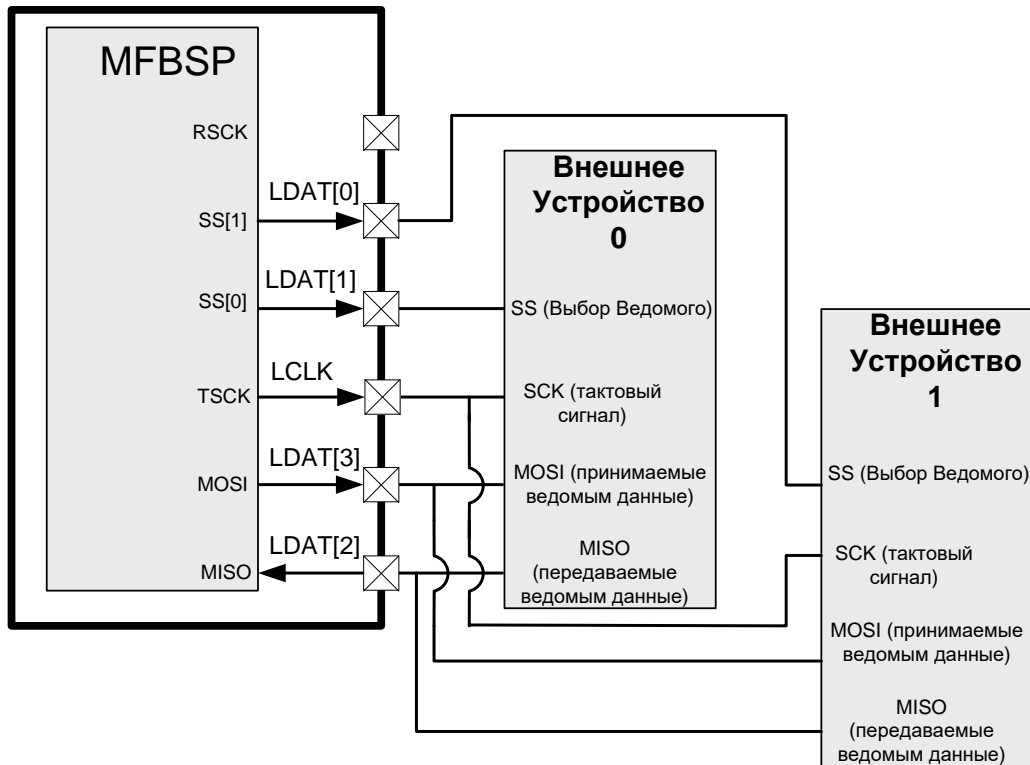


Рисунок 11.21. Подключение к MFBSP двух ведомых устройств по интерфейсу SPI. Приёмник в зависимом от передатчика режиме (режим №6 по Таблица 11.1)

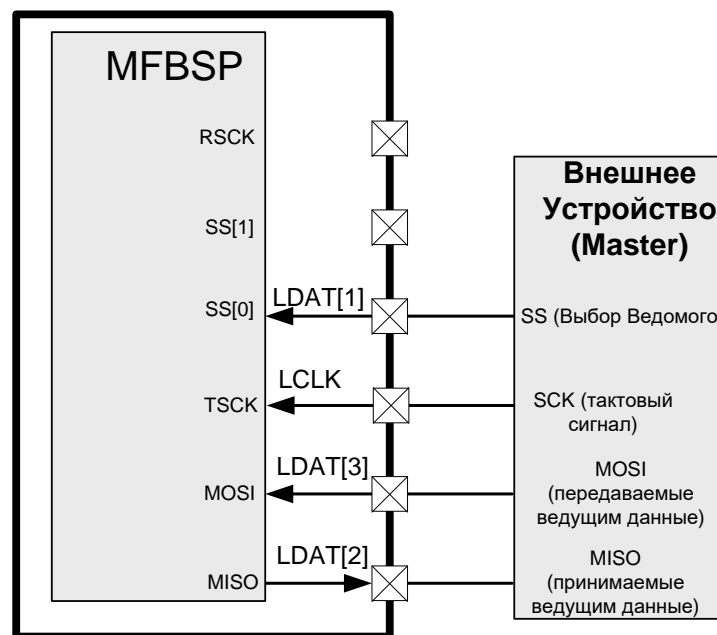


Рисунок 11.22. Подключение MFBSP по интерфейсу SPI к внешнему ведущему устройству. Приёмник в зависимом от передатчика режиме (режим №6 по Таблица 11.1)

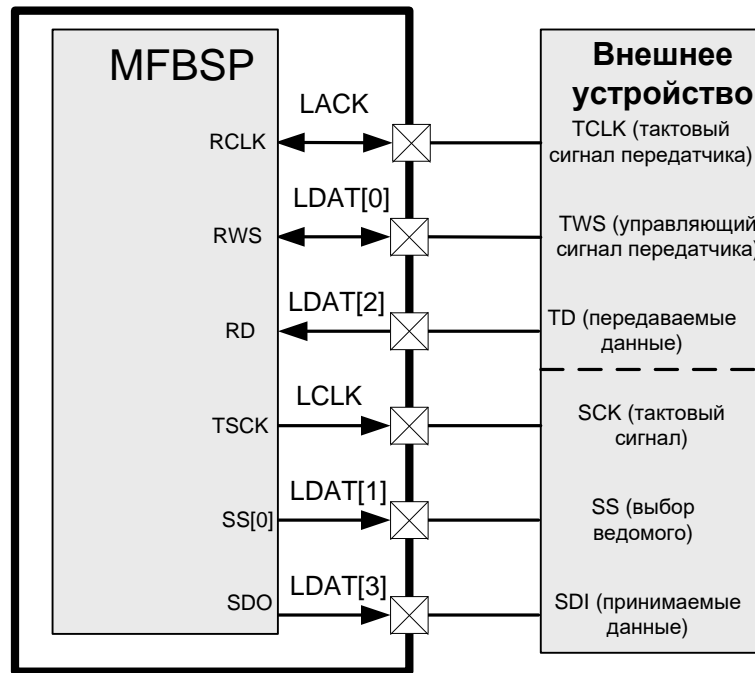


Рисунок 11.23. Организация передачи управляющих данных по интерфейсу SPI и приёма аудиоданных по интерфейсу I2S (режим №5 по Таблица 11.1)

11.4.16 Передача данных в режиме SPI

В режиме SPI возможна передача данных при четырёх сочетаниях бит TDEL и TNEG (Рисунок 11.24, Рисунок 11.25). При этом TNEG – задает начальное состояние вывода TCLK и полярность фронта, по которому производится чтение. TDEL задает смещение передаваемых данных на пол фазы. Значения RNEG и RDEL приёмника должны соответствовать TNEG и TDEL передатчика. После аппаратного сброса SS_DO=0, в этом случае управление сигналом выбора ведомого производится в автоматическом режиме.

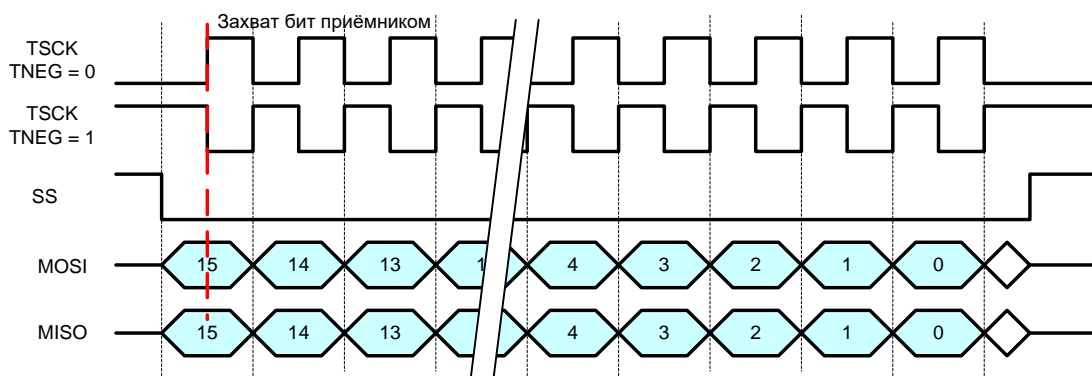


Рисунок 11.24. Передача одного слова в режиме SPI с автоматической генерацией управляющего сигнала TMODE = 1, TMBF = 1, TDEL = 0, SS_DO = 0. Диаграммы тактового сигнала TSCK представлены для различных значений TNEG

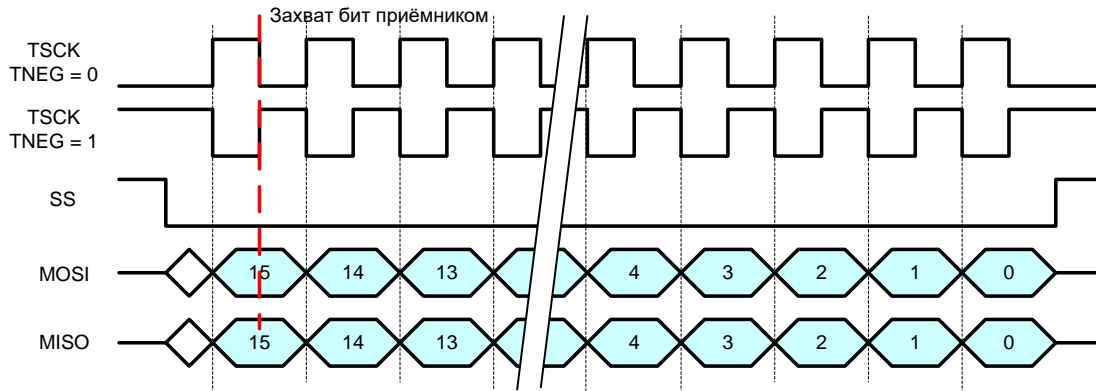


Рисунок 11.25. Передача одного слова в режиме SPI с автоматической генерацией управляющего сигнала $TMODE = 1$, $TMBF = 1$, $TDEL = 1$, $SS_DO = 0$. Диаграммы тактового сигнала TCK представлены для различных значений TNEG

Чтобы передать несколько слов без изменения уровня на внешнем выводе SS, можно использовать программное управление внешним выводом SS, в этом случае SS_DO необходимо установить в 1, программно установить вывод SS в 0, записать передаваемые данные в буфер передачи (или включить канал DMA на передачу), дождаться фактического окончания передачи (бит TRUN регистра TSR сбрасывается в 0), после чего программно установить вывод SS в 1 (Рисунок 11.26).

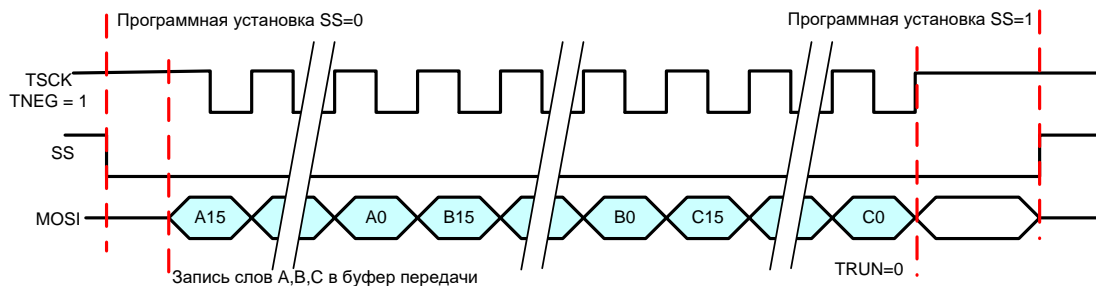


Рисунок 11.26. Передача трёх слов в режиме SPI с программным управлением сигналом SS, $TMODE = 1$, $TMBF = 1$, $TDEL = 0$, $TNEG = 0$, $SS_DO = 1$

В режиме SPI также имеется возможность программно регулировать количество слов, которое будет передано без изменения уровня сигнала SS (Рисунок 11.27). Количество слов может быть задано в пределах от 1 до 64 и определятся битом TWORDCNT. Буфер передачи может вместить максимум 18 32-х разрядных слов, если в пределах фрейма передаётся больше 18 слов необходимо следить за тем, чтобы буфер передачи был не пуст (при включенном канале DMA это происходит автоматически).

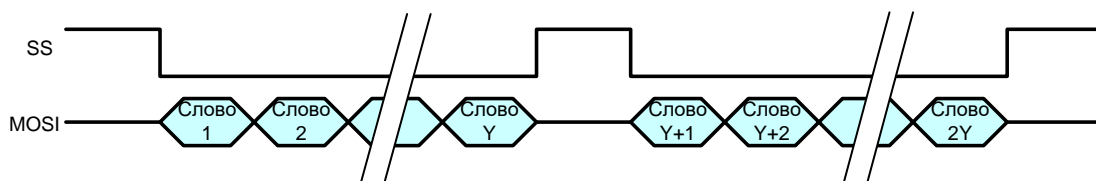


Рисунок 11.27. Передача в режиме SPI, $TWORDCNT=Y-1$

В режиме ведомого устройства сигнал выбора ведомого предварительно пересинхронизируется на внутреннюю частоту порта, поэтому для устойчивой работы порта в режиме ведомого SPI устройства уровень сигнала SS, если необходима его установка в 1 между передачами, должен удерживаться как минимум два периода внутренней частоты CLK.

Непосредственно к тактовому сигналу TSCK данное ограничение не применяется, т.е. частота TSCK может быть больше CLK.

Когда MFBSР работает в режиме ведущего SPI устройства, время удержания сигнала SS при автоматическом формировании данного сигнала может регулироваться программно. В этом случае время между последним фронтом тактового сигнала для последней пересылки и установкой сигнала SS в 1 равно времени между установкой и сбросом сигнала SS и равно времени между сбросом сигнала SS первым фронтом тактового сигнала для новой пересылки. Это время определяется как $TSS = (TSS_RATE + 1) * TTCLK / 2$, где TTCLK – период тактового сигнала, генерируемого портом для последовательной передачи данных. Если необходимо формировать сигнал SS средствами приёмника – то для этих целей используется поле RSS_RATE (Рисунок 11.28).

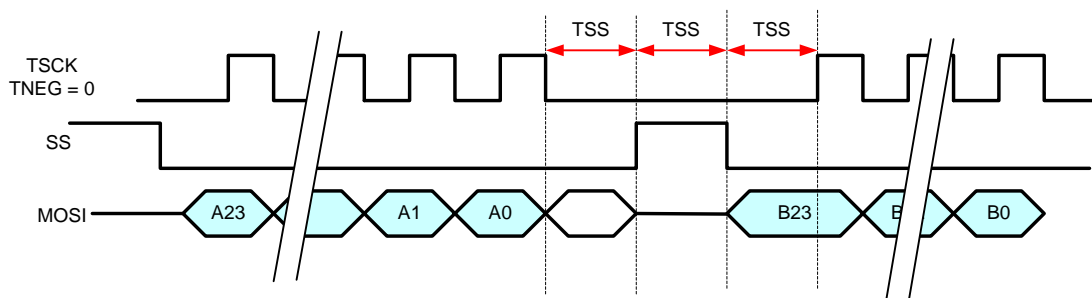


Рисунок 11.28. Управление временем удержания сигнала SS в высоком уровне между передачами, на картинке TNEG = 0, TDEL = 0, TMBF = 1, TWORDLEN = 23, TSS_RATE = 1

11.4.17 Пример чтения 8-разрядного слова по заданному адресу из ведомого устройства с интерфейсом C-BUS

Для чтения слова по указанному адресу по интерфейсу C-BUS необходима передача двух 8ми битных слов.

Для организации такого чтения необходимо записать соответствующий ведомому устройству бит SS, регистра TCTR, 1;

Перевести порт в режим SPI (LEN = 0, SPI_I2S_EN = 1, RMODE = 1, TMODE = 1);

Настроить приемник и передатчик: TDEL = RDEL = 0; TNEG = RNEG = 0; TWORDLEN = RWORDLEN = 5'h0F; RCLK_CP = 1; RCS_CP = 1, SS_DO = 0;

Включить приемник и передатчик $REN = 1$, $TEN = 1$;

Записать в регистр TX_MFBSP 32-х разрядное слово, содержащее во втором байте 7ми разрядный адрес и бит WR , значение младшего байта не важно.

Ожидаем до тех пор, пока в буфер приёма не будет записано принятое слово ($RSR[0]$ сбрасывается в 0)

В прочитанном по адресу RX_MFBSP 32-х разрядном слове, младшие 8 бит – слово, прочитанное из ведомого устройства.

На Рисунок 11.29 представлены временные диаграммы для передачи по интерфейсу CBUS.

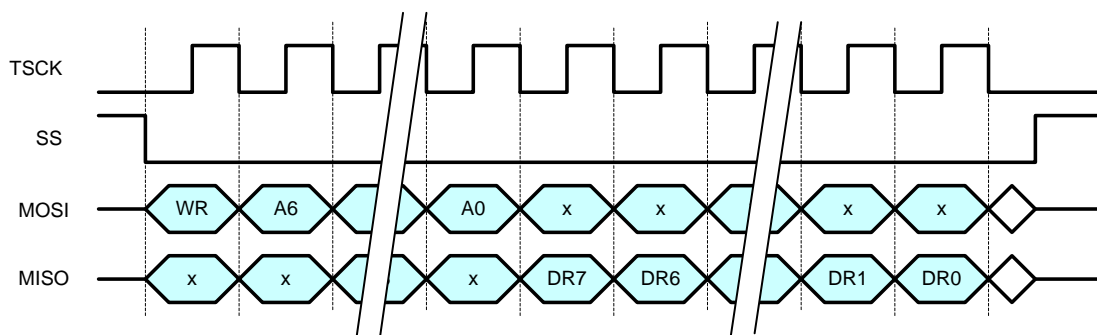


Рисунок 11.29. Пример чтения 8-ми разрядного слова из ведомого устройства (интерфейс C-BUS)

11.4.18 Формирование тактовых сигналов приёмника (RSCK) и передатчика (TSCK)

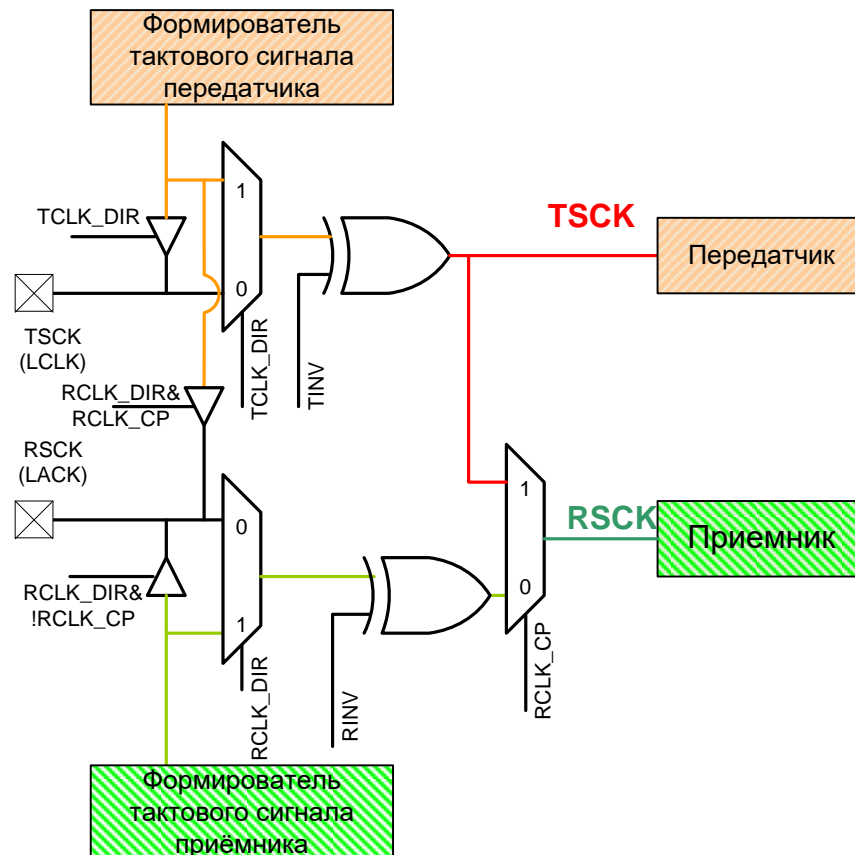


Рисунок 11.30. Схема формирования тактовых сигналов приёмника и передатчика в режиме SPI

На Рисунок 11.30 представлена схема формирования тактовых сигналов приёмника и передатчика в режиме SPI.

В зависимости от значения бита TCLK_DIR, тактовый сигнал передатчика TSCK может как формироваться самим передатчиком, так приниматься с внешнего вывода. В зависимости от значений бит TMODE, TNEG и TDEL тактовый сигнал либо передаётся передатчику без изменений, либо инвертируется.

В зависимости от значения бита RCLK_DIR, тактовый сигнал приёмника RSCK может как формироваться самим приёмником, так приниматься с внешнего вывода. В зависимости от значений бит RMODE, RNEG и RDEL тактовый сигнал либо передаётся приёмнику без изменений, либо инвертируется.

Если бит RCLK_CP установлен в 1, то тактовый сигнал приёмника копирует тактовый сигнал передатчика. Для корректной работы устройства в этом случае настройки полярности тактового сигнала приёмника и передатчика должны совпадать (TNEG=RNEG, TDEL=RDEL).

При $RCLK_CP = 1$ тактовый сигнал передатчика передаётся на внешний вывод приёмника, только если передатчик сам формирует тактовый сигнал и вывод тактового сигнала приёмника сконфигурирован как выход ($TCLK_DIR=1, RCLK_DIR=1$).

11.4.19 Формирование управляющих сигналов приёмника и передатчика в режиме SPI

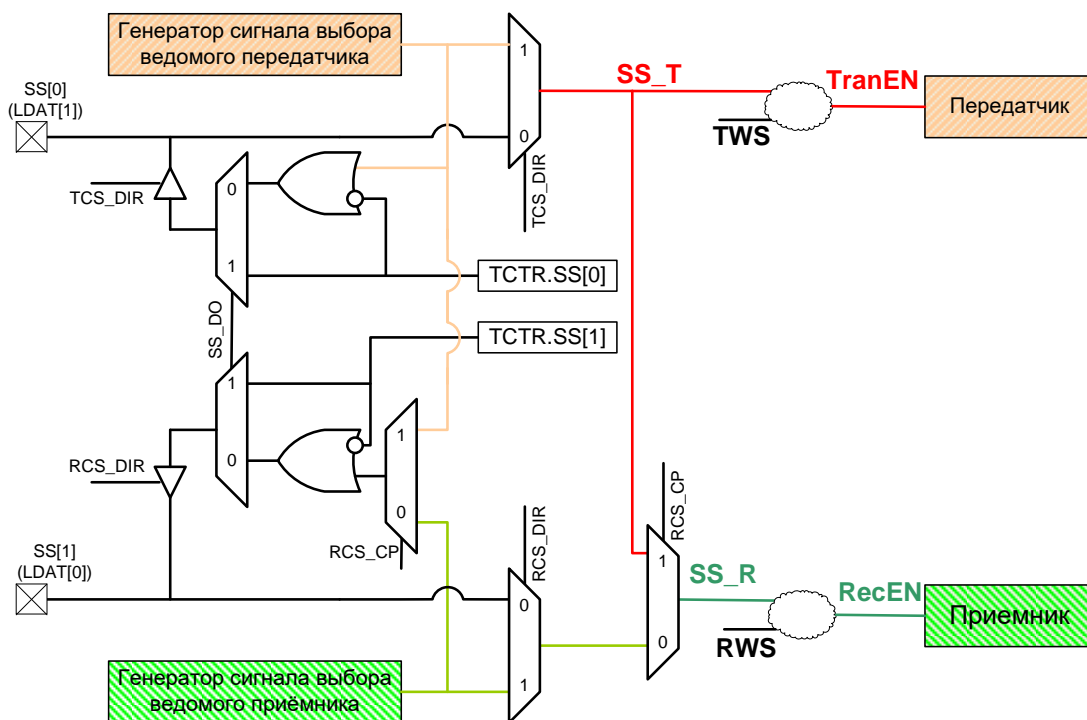


Рисунок 11.31. Схема формирования управляющих сигналов в режиме SPI

На Рисунок 11.31 представлена схема формирования управляющих сигналов в режиме SPI.

SS – шина выбора ведомого устройства. Низкий уровень сигнала SS, поданный на ведомое устройство означает, что данное устройство выбрано и с приходом тактового сигнала SCK должно начать обмен данными с ведущим устройством.

MFBSP с зависимым от передатчика приёмником в режиме ведущего позволяет параллельно подключать до двух ведомых устройств по шине SPI и формировать сигналы выбора ведомого устройства как в автоматическом режиме, так и программно.

MFBSP с зависимым от передатчика приёмником может работать как ведомое SPI устройство, управляемое внешним сигналом $SS[0]$ и внешней тактовой частотой TSCK, обеспечивая обмен данными в дуплексном режиме.

MFBSP позволяет организовать независимый приём и передачу данных по интерфейсу SPI. В этом случае $SS[0]$ – управляющий сигнал передатчика, $SS[1]$ – управляющий сигнал приёмника.

При $TCS_DIR = 1$ передатчик SPI формирует сигнал выбора ведомого, $SS[0]$ - выход. В автоматическом ($SS_DO=0$) режиме формирования управляющего сигнала перед началом передачи очередного слова сигнал выбора ведомого переводится в низкий уровень, а по окончании передачи слова сигнал выбора ведомого снова переводится в высокий уровень. Изменение уровня на выводе $SS[0]$ происходит только в случае, если соответствующий бит $SS[0]$ регистра $TCTR$ установлен в 1. Если приёмник в зависимом от передатчика режиме ($RCS_CP = 1$) и $SS[1]$ сконфигурирован как выход ($RCS_DIR=1$), то вывод $SS[1]$ используется как сигнал выбора дополнительного ведомого устройства. Изменение уровня на выводе $SS[1]$ происходит только, в случае, если соответствующий бит $SS[1]$ регистра $TCTR$ установлен в 1. В случае программного управления шиной SS ($SS_DO = 1$) значения бит $SS[1:0]$ контрольного регистра $TCTR$ передаются непосредственно на выходы $SS[1:0]$.

Если приёмник в зависимом от передатчика режиме ($RCS_CP=1$) и вывод $SS[0]$ сконфигурирован как вход ($TCS_DIR = 0$), тогда MFBSР работает в режиме дуплексного ведомого SPI устройства. Сигнал выбора ведомого принимается с внешнего вывода $SS[0]$ и используется как приёмником, так и передатчиком.

Если приёмник работает в независимом от передатчика режиме ($RCS_CP=0$), то в режиме ведущего, когда вывод $SS[1]$ сконфигурирован как выход ($RCS_DIR=1$) формируемый приёмником сигнал выбора ведомого направляется на вывод $SS[1]$. При автоматическом формировании управляющего сигнала ($SS_DO = 0$) перед началом приёма очередного слова сигнал $SS[1]$ автоматически переводится в низкий уровень и переводится в высокий уровень по окончании приёма каждого слова. В режиме ведущего устройства приём слов приёмником ведётся до заполнения буфера приёма. В режиме ведомого устройства, когда вывод $SS[1]$ сконфигурирован как вход ($RCS_DIR=0$) независимый приёмник ($RCS_CP=0$) принимает сигнал выбора ведомого с вывода $SS[1]$.

В режиме SPI направление выводов тактового сигнала и управляющего сигнала должно строго совпадать. Т.е. $TCLK_DIR=TCS_DIR$. В случае если приёмник работает независимо от передатчика, то $RCLK_DIR=RCS_DIR$.

11.4.20 Тракт передачи данных

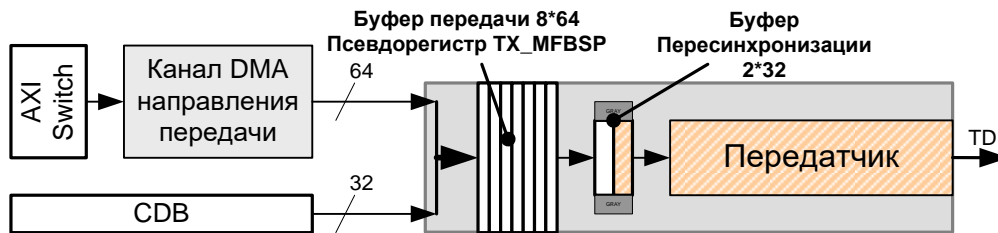


Рисунок 11.32. Тракт передачи данных в режиме SPI

На Рисунок 11.32 представлен тракт передачи данных в режиме SPI.

Что бы инициировать передачу данных по последовательному порту необходимо включить последовательный порт ($SPI_I2S_EN=1$) и передатчик ($TEN=1$), после чего либо начать производить запись передаваемых 32-х разрядных слов в буфер передачи по адресу псевдорегистра TX_MFBS , либо включить канал DMA в направления передачи для соответствующего порта (в этом случае обмен данными с портом будет вестись 64-х разрядными словами).

Данные записанные в буфер передачи автоматически перемещаются в буфер пересинхронизации направления передачи, если он не полон. Запись в буфер пересинхронизации направления передачи осуществляется на системной частоте CLK , чтение из буфера пересинхронизации осуществляется на частоте передатчика $TCLK$. Как только в буфере пересинхронизации оказалось хотя бы одно слово передатчиком инициируется передача. Передатчиком производится последовательная выдача бит очередного 32-х разрядного слова до тех пор, пока число переданных бит не достигнет $TWORDLEN+1$, после чего производится считывание очередного слова из буфера пересинхронизации. По мере передачи слов в освобождающийся буфер пересинхронизации перемещается слово из буфера передачи. После выборки последнего слова из буфера передачи (буфер передачи пуст) в буфере пересинхронизации остаётся еще два слова. Фактическое окончание передачи можно идентифицировать по состоянию буфера пересинхронизации, либо считав бит $TRUN$ регистра TSR .

Если управляющий сигнал формируется передатчиком, то при считывании последнего слова из буфера пересинхронизации передача останавливается. Передача продолжится только после того как в буфер пересинхронизации снова начнут поступать данные.

Если передатчик использует внешнюю частоту и внешний управляющий сигнал, в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота передатчика, однако ее должно быть достаточно для того, чтобы успеть переместить очередное слово в буфер пересинхронизации (за время передачи одного слова должно быть хотя бы три импульса системной частоты CLK). Если внешний управляющий сигнал инициировал передачу слова при пустом буфере пересинхронизации устанавливается флаг ошибки передачи ($TERR$), в этом случае передаётся ошибочное

слово. Если управляющий сигнал формируется самим передатчиком, системная частота может быть много меньше частоты передатчика, однако это скажется на скорости передачи данных.

Установка бита TERR в процессе передачи говорит о том, что порт произвел попытку чтения из пустого буфера передачи. Это значит, что передатчиком было передано некорректное слово.

В направлении передачи порт обладает буферизацией на 18 32-х разрядных слов. В случае передачи данных посредством DMA запись блоков данных в буфер передачи происходит до тех пор, пока буфер готов принять очередной блок, размер которого определяется битами WN, регистра CSR соответствующего канала DMA.

Степень заполнения буфера можно программно регулировать, используя биты TBES. В этом случае значение выражения $TBES+1$ – задает эффективный размер буфера передачи. Передача очередной пачки происходит только в случае, если при записи этой пачки в буфер передачи число 64 разрядных слов в буфере передачи не превысит $TBES+1$. При попытке передать пачку со значением $WN > TBES$, значение WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

Так, при $WN=0$ и $TBES=0$ очередное 64-х разрядное слово будет подкачиваться в буфер передачи только если он пуст. В этом случае по окончании работы DMA в момент прерывания от соответствующего канала передатчику останется передать ещё 4 32-х разрядных слова (два 32-х разрядных слова в буфере пересинхронизации и одно 64-х разрядное слово в буфере передачи).

Установка бита SPI_I2S_EN в 0 приведет к программному сбросу передатчика, и все данные находящиеся в буфере передачи будут утеряны.

11.4.21 Тракт приёма данных

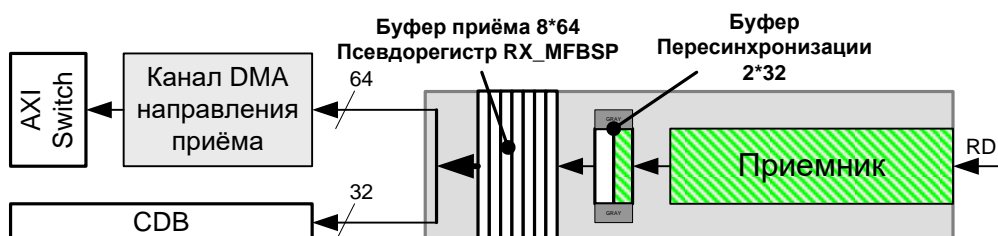


Рисунок 11.33. Тракт приёма данных в режиме SPI

На Рисунок 11.33 представлен тракт приёма данных в режиме SPI.

Что бы перевести приёмник в режим готовности необходимо включить последовательный порт ($SPI_I2S_EN=1$) и приёмник ($REN=1$), после чего либо начать ожидание появления

прочитанных данных в буфере приёма, либо включить канал DMA в направления приёма для соответствующего порта.

Приёмник принимает последовательные биты, поступающие с внешнего вывода до тех пор, пока число принятых бит не достигнет значения $RWORDLEN+1$. После этого принятое 32-х разрядное слово (если $RWORDLEN < 31$ незадействованные биты обнуляются) перемещается в буфер пересинхронизации. Запись в буфер пересинхронизации направления приёма осуществляется на частоте приёмника RCLK, чтение из буфера пересинхронизации осуществляется на системной частоте CLK. Из буфера пересинхронизации принятое слово автоматически перемещается в буфер приёма, если он не полон. Если в буфере приёма есть хотя бы одно 32-х разрядное слово, то принятые 32-х разрядные слова можно считывать, обращаясь по адресу псевдорегистра RX_MFBSP. Принимать данные можно также включив соответствующий порту канал DMA направления приёма (в этом случае обмен данными с портом осуществляется 64-х разрядными словами).

Если приёмник использует внешнюю частоту, то в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота приёмника, однако ее должно быть достаточно для того, что бы успеть переместить очередное слово из буфера пересинхронизации (за время приёма одного слова должно быть хотя бы три импульса системной частоты CLK). Если при заполненном буфере пересинхронизации приёмником был произведен приём очередного слова и инициирована попытка записи в буфер пересинхронизации устанавливается флаг ошибки приёма (RERR), а последнее принятое слово теряется.

Установка бита RERR в процессе передачи говорит о том, что порт произвел попытку записи в полный буфер приёма. Это значит, что принятое слово было потеряно.

В направлении приёма порт обладает буферизацией на 18 32-х разрядных слов. В случае приёма данных посредством DMA чтение блоков данных из буфера приёма происходит до тех пор, пока в буфере приёма достаточно слов для чтения очередного блока, размер которого определяется битами WN, регистра CSR соответствующего канала DMA. DMA обмены возможны только 64 разрядными словами, таким образом, если было принято нечетное количество 32-х разрядных слов, после окончания работы DMA необходимо прочитать оставшееся слово, обратившись к псевдорегистру RX_MFBSP.

Установка бита SPI_I2S_EN в 0 приведет к программному сбросу приёмника и все данные находящиеся в буфере приёма будут утеряны.

11.4.22 Прерывания от последовательного порта

Прерывание MFBSP_RXBUF устанавливается, в случае если включен приемник (I2S_SPI_EN=1, REN = 1) и в буфер приёма записано количество слов большее, чем установлено уровнем прерывания RLEV, либо произошла ошибка приема (RERR = 1).

Прерывание MFBSP_TXBUF устанавливается, в случае если включен передатчик (I2S_SPI_EN=1, REN = 1) и в буфере передачи осталось количество слов меньшее, либо равное чем установлено уровнем прерывания TLEV, либо произошла ошибка передачи (TERR = 1).

11.5 Работа MFBSP в режиме линкового порта (LPORT)

11.5.1 Назначение линкового порта

Линковый порт предназначен для обмена данными между различными микросхемами последовательно-параллельным кодом.

Порт может передавать 32-х разрядные слова частями по 4 бита за 8 пересылок, либо частями по 8 бит за 4 пересылки, выбор одного из этих режимов осуществляется установкой бита LDW, регистра CSR_MFBSP.

11.5.2 Регистр управления и состояния CSR_MFBSP (режим LPORT)

Таблица 11.29. Назначение разрядов регистра CSR_MFBSP в режиме LPORT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:17	-	Резерв	RW	0
16	-	Резерв	RW	0
15	-	Резерв	RW	0
14:11	LCLK_RATE [4:1]	Делитель частоты LPORT: $LCLK = CLK / (2 * (LCLK_RATE + 1))$	RW	0
10	-	Резерв	RW	0
9	SPI_I2S_EN	В режиме LPORT должен быть установлен в 0	RW	0
8	SRQ_RX	Признак запроса обслуживания на прием данных	R	0
7	SRQ_TX	Признак запроса обслуживания на передачу данных	R	0
6	LDW	Разрядность внешней шины данных: 0 - 4-разряда (32-разрядное слово передается за 8 посылок); 1 - 8-разряда (32-разрядное слово передается за 4 посылки).	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
5	LRERR	Ошибка приема данных: 0 – приняты все биты данных; 1 – приняты не все биты данных.	R	0
4:3	LSTAT	Состояние буфера: При LTRAN = 0 показывает состояние буфера приёма При LTRAN = 1 показывает состояние буфера передачи 00 – буфер пуст; 10 – буфер не пуст; 11 – буфер полон.	R	0
2	LCLK_RATE[0]	Делитель частоты LPORT: $LCLK = CLK / (2 * (LCLK_RATE + 1))$	RW	0
1	LTRAN	Режим работы порта: 0 – приемник; 1 – передатчик.	RW	0
0	LEN	Разрешение работы порта: 0 – все выводы порта находятся в высокоимпедансном состоянии; 1 – порт работает в соответствии с состоянием бита LTRAN.	RW	0

Биты LSTAT, LRERR сбрасываются при LEN=0.

11.5.3 Регистр состояния приёмника RSR (режим LPORT)

Таблица 11.30. Назначение разрядов регистра RSR в режиме LPORT

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	RB_DIFF	Количество принятых 64-разрядных слов в буфере приёма (max 8).	R	0
23:19	-	Резерв	-	0
18:16	RLEV	Порог прерывания от буфера приёма: Прерывание формируется если число принятых 64-х разрядных слов больше RLEV	RW	7
15:11	-	Резерв	-	0
10	RXBUF	Результирующее прерывание MFBSP_RXBUF	R	0
9	RXBUF_D	Прерывание MFBSP_RXBUF без механизма автоматического сброса при чтении RSR	R	0
8	RXBUF_R	Прерывание MFBSP_RXBUF с механизмом автоматического сброса при чтении RSR	R	0
7	-	В режиме LPORT не используется	R	0
6	-	В режиме LPORT не используется	R	0
5	RSBF	Буфер пересинхронизации в направлении приёма полон: 0 – буфер пересинхронизации в направлении приёма не полон 1 – буфер пересинхронизации в направлении приёма полон	R	0
4	RSBE	Буфер пересинхронизации в направлении приёма пуст: 0 – буфер пересинхронизации в направлении приёма не пуст 1 – буфер пересинхронизации в направлении приёма пуст	R	1

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
3	RBHL	Достигнут порог прерывания в буфере приёма: 1 – число 64-х разрядных слов в буфере приёма больше чем задано в RLEV 0 – число 64-х разрядных слов в буфере приёма меньше либо равно RLEV	R	0
2	RBHF	Буфер приёма полон на половину или более: 1 – буфер приёма заполнен на половину или больше (из буфера приёма можно считать как минимум 4 слова) 0 – буфер приёма заполнен меньше чем на половину	R	0
1	RBF	Буфер приёма полон: 0 – буфер приёма не полон 1 – буфер приёма полон	R	0
0	RBE	Буфер приёма пуст: 0 – буфер приёма не пуст 1 – буфер приёма пуст	R	1

11.5.4 Регистр состояния передатчика TSR (режим LPORT)

Таблица 11.31. Назначение разрядов регистра TSR в режиме LPORT

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	TB_DIFF	Количество свободных 64-разрядных позиций в буфере передачи (в буфер передачи можно записать еще TB_DIFF 64-разрядных слов).	R	8
23	-	Резерв	-	0
22:20	TBES	Эффективный размер буфера передачи. Актуален только для режима работы с DMA. Значение TBES+1 – определяет максимальный объем буфера передачи. Т.е. в режиме работы с DMA буфер передачи не может быть заполнен больше, чем на TBES+1 64 разрядных слов.	RW	7
19	-	Резерв	-	0
18:16	TLEV	Порог прерывания от буфера передачи: Прерывание формируется если число 64-х разрядных слов в буфере передачи меньше либо равно TLEV. В режиме передачи данных с использованием DMA определяет степень заполнения буфера передачи, при которой происходит запись в буфер очередной пачки данных	RW	0
15:11	-	Резерв	-	0
10	TXBUF	Результирующее прерывание MFBSР_TXBUF	R	0
9	TXBUF_D	Прерывание MFBSР_TXBUF без механизма автоматического сброса при чтении TSR	R	0
8	TXBUF_R	Прерывание MFBSР_TXBUF с механизмом автоматического сброса при чтении TSR	R	0
7	-	В режиме LPORT не используется	R	0
6	-	В режиме LPORT не используется	RW	0
5	-	В режиме LPORT не используется	R	0
4	-	В режиме LPORT не используется	R	0
3	TBLL	Достигнут порог прерывания в буфере передачи: 1 – число 64-х разрядных слов в буфере передачи меньше либо равно TLEV 0 – число 64-х разрядных слов в буфере передачи больше TLEV	R	1

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
2	TBNF	Буфер передачи заполнен на половину или более: 1 – буфер передачи заполнен на половину или больше 0 – буфер передачи заполнен меньше чем на половину (в буфер передачи можно записать еще как минимум 4 слова)	R	0
1	TBF	Буфер передачи полон: 0 – буфер передачи не полон 1 – буфер передачи полон	R	0
0	TBE	Буфер передачи пуст: 0 – буфер передачи не пуст 1 – буфер передачи пуст	R	1

11.5.5 Регистр аварийного управления портом EMERG_MFBSP (режим LPORT)

Таблица 11.32. Назначение разрядов регистра EMERG_MFBSP в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Резерв	-	0
5	RX_DBG	Включение аварийной проочки данных канала DMA направления приема. 0 – работа в обычном режиме 1 – сигнал готовности передачи данных по DMA каналу направления приема постоянно удерживается в 1 (по DMA принимаются невалидные данные)	RW	0
4	TX_DBG	Включение аварийной проочки данных канала DMA направления передачи. 0 – работа в обычном режиме 1 – сигнал готовности передачи данных по DMA каналу направления передачи постоянно удерживается в 1 (данные передаваемые DMA теряются)	RW	0
3	-	Резерв	-	0
2	RST_RXBUF	Сброс буфера приема последовательного порта и буфера пересинхронизации направления приема. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
1	RST_TXBUF	Сброс буфера передачи последовательного порта и буфера пересинхронизации направления передачи. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
0	RST_LPTBUF	Сброс буфера линкового порта и буфера пересинхронизации направления приёма. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0

11.5.6 Регистр маски прерываний от порта IMASK (режим LPORТ)

Таблица 11.33. Назначение разрядов регистра IMASK в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:15	-	Резерв	-	0
14	RXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSP_RXBUF 0 – прерывание не сбрасывается при чтении RSR 1 – прерывание сбрасывается при чтении RSR	RW	1
13	RX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера приема 0 – прерывание MFBSP_RXBUF не будет устанавливаться при превышении порога RLEV 1 - прерывание MFBSP_RXBUF будет устанавливаться при превышении порога RLEV	RW	1
12	RX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSP_RXBUF не будет устанавливаться при переполнении буфера приема 1 - прерывание MFBSP_RXBUF будет устанавливаться при переполнении буфера приема	RW	1
11:7	-	Резерв	-	0
6	TXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSP_TXBUF 0 – прерывание не сбрасывается при чтении TSR 1 – прерывание сбрасывается при чтении TSR	RW	1
5	TX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера передачи 0 – прерывание MFBSP_TXBUF не будет устанавливаться, если число слов в буфере передачи меньше порога TLEV 1 - прерывание MFBSP_TXBUF будет устанавливаться, если число слов в буфере передачи меньше порога TLEV	RW	1
4	TX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSP_TXBUF не будет устанавливаться при чтении из пустого буфера передачи 1 - прерывание MFBSP_TXBUF будет устанавливаться при чтении из пустого буфера передачи	RW	1
3:1	-	Резерв	-	0
0	LPT_IRQ_EN	Разрешение прерывания по запросу на обслуживание 0 – SRQ запрещено 1 – SRQ разрешено	RW	1

11.5.7 Структурная схема MFBSР для режима линкового порта

На Рисунок 11.34 представлена структурная схема MFBSР для режима линкового порта.

Включение линкового порта происходит при установке бита LEN в 1 и бита SPI_I2S_EN в 0.

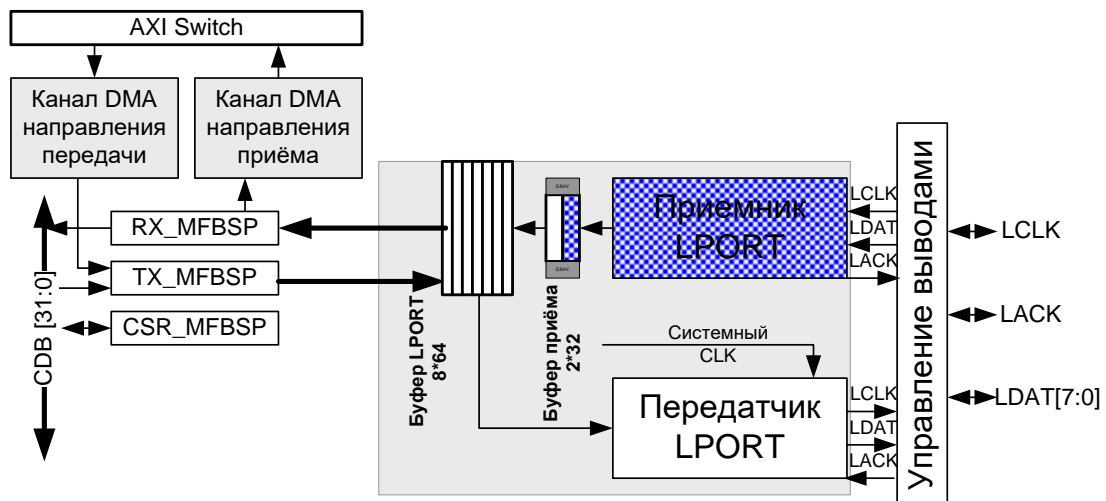


Рисунок 11.34. Структурная схема MFBSР для режима LPORT

11.5.8 Соединение с внешними устройствами

На Рисунок 11.35 и Рисунок 11.36 представлены варианты соединения MFBSР с внешними устройствами в режиме линкового порта.

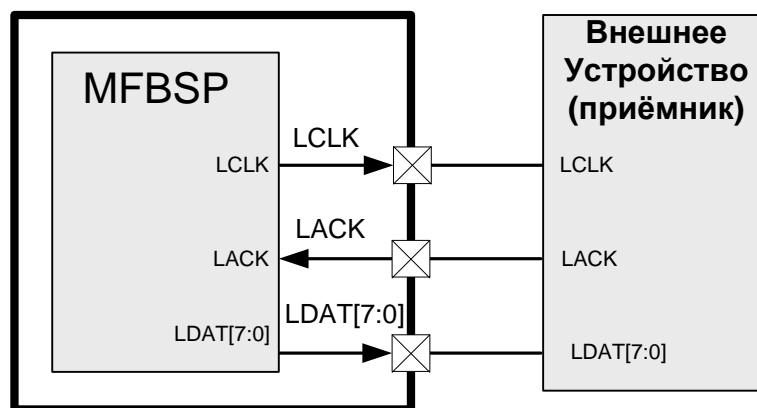


Рисунок 11.35. MFBSР в режиме передатчика LPORT (LCLK, LDAT-выходы, LACK - вход) (режим №2 по Таблица 11.1)

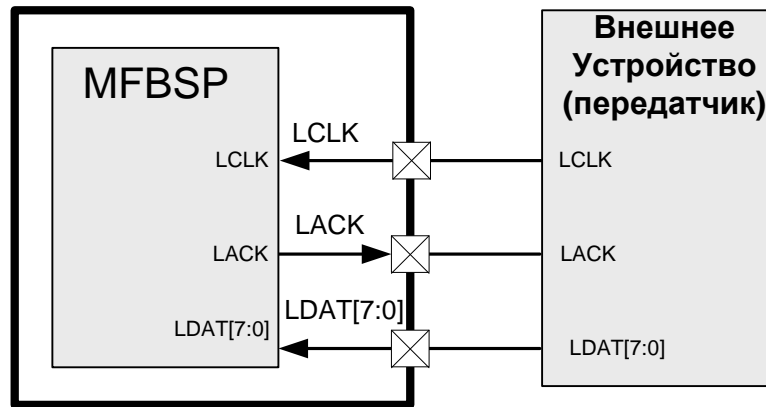


Рисунок 11.36. MFBSP в режиме приёмника LPORT (LCLK, LDAT-входы, LACK - выход) (режим №2 по Таблица 11.1)

11.5.9 Передача данных по линковому порту

По линковому порту передача данных происходит в одном направлении (либо передача данных, либо приём данных).

Для смены направления обмена данными по линковому порту необходимо сначала выключить порт (установить бит LEN, регистра CSR_MFBSP в 0), затем включить порт, установив требуемое значение направления передачи данных (бит LTRAN, регистра CSR_MFBSP)

Передача данных по линковому порту возможна для любых сочетаний частот приёмника и передатчика, скорость передачи данных будет определяться самым медленным устройством.

Для корректной передачи данных необходимо, чтобы значение бита LDW у приёмника и у передатчика совпадало.

Если для передатчика LDW=1, а для приёмника LDW=0 приёмник будет упаковывать два 32х разрядных слова в одно 32-х разрядное слово, выкидывая из каждого байта старшие 4 бита.

Установка значений LDW для передатчика LDW=0, а для приёмника LDW=1 не допускается.

Временная диаграмма работы линкового порта приведена на Рисунок 11.37.

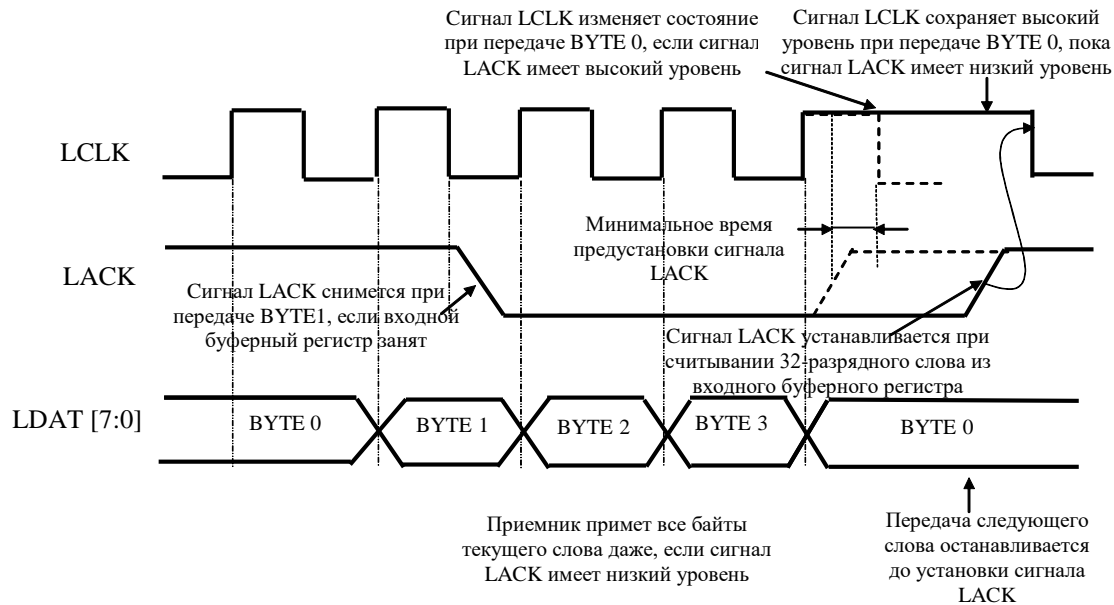


Рисунок 11.37. Временная диаграмма работы линкового порта (LDW=1)

При LDW=0 передача 32-разрядного слова выполняется за 8 посылок, а при LDW=1 - за 4 посылки. Передатчик изменяет данные LDAT по положительному фронту LCLK, а приемник защелкивает данные в буфере приёма по отрицательному фронту.

Исходное состояние сигнала LACK – высокий уровень. Сигнал LACK снимется приемником по заднему фронту LCLK при передаче BYTE1, если в буфере приёма осталось место для приёма всего одного слова. При этом приемник примет все байты текущего 32-разрядного слова даже, если сигнал LACK имеет низкий уровень. Сигнал LACK устанавливается при считывании 32-разрядного слова из входного буферного регистра.

Передатчик после выставления BYTE0 анализирует состояние сигнала LACK. Если LACK=1, то LCLK продолжает изменять свое состояние и после BYTE 0 передается BYTE 1 и так далее. Если LACK=0, то LCLK сохраняет высокий уровень при передаче BYTE 0, пока сигнал LACK имеет низкий уровень.

Если линковый порт деактивизирован (LEN=0) сигналы LDAT, LCLK LACK являются входами. Поэтому эти сигналы необходимо привязывать к земле через резисторы 10 кОм. Если порт настроен как передатчик, LDAT и LCLK становятся выходами, а LACK – входом. Если порт настроен как приемник, LDAT и LCLK становятся входами, а LACK – выходом.

LPORT может выполнять либо только приём либо только передачу данных. Поэтому LPORT снабжен одним буфером на 8 64-х разрядных слов, используем как в направлении приёма, так и в направлении передачи. В направлении приёма

дополнительно встроен буфер на 2 32-х разрядных слова, используемый для пересинхронизации с внешней частоты LCLK на внутреннюю системную частоту.

Таким образом, LPORT обладает буферизацией в направлении передачи на 8 64-разрядных слов (16 32-разрядных слов) и буферизацией в направлении приёма на 9 64-разрядных слов (18 32-разрядных слов).

В случае передачи данных посредством DMA запись блоков данных в буфер передачи происходит до тех пор, пока буфер готов принять очередной блок, размер которого определяется битами WN, регистра CSR соответствующего канала DMA.

Степень заполнения буфера можно программно регулировать, используя биты TBES. В этом случае значение выражения $TBES+1$ – задает эффективный размер буфера передачи. Передача очередной пачки происходит только в случае, если при записи этой пачки в буфер передачи число 64 разрядных слов в буфере передачи не превысит $TBES+1$. При попытке передать пачку со значением $WN > TBES$, значение WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

Так, при $WN=0$ и $TBES=0$ очередное 64-х разрядное слово будет подкачиваться в буфер передачи только если он пуст. В этом случае по окончании работы DMA в момент прерывания от соответствующего канала передатчику останется передать ещё 4 32-х разрядных слова (два 32-х разрядных слова в буфере пересинхронизации и одно 64-х разрядное слово в буфере передачи).

Принимаемые портом данные сначала помещаются в буфер пересинхронизации и только через два такта перемещаются в буфер LPORT. При опросе контрольных регистров порта доступно состояние только буфера LPORT без учёта буфера пересинхронизации. Таким образом, после заполнения основного буфера LPORT могут быть приняты ещё два 32-х разрядных слова, которые будут перемещаться из буфера пересинхронизации в общий буфер LPORT по мере освобождения буфера LPORT.

Запись данных в буфер пересинхронизации LPORT осуществляется по внешней частоте LCLK, а перемещение данных из буфера пересинхронизации в буфер LPORT осуществляется по внутренней системной частоте CLK. Если внутренняя системная частота более чем в 4 раза меньше внешней частоты LCLK, скорости перемещения данных между двумя буферами может быть недостаточно, что будет приводить к периодическому заполнению буфера пересинхронизации. К потере данных это не приведет, поскольку в LPORT предусмотрен механизм останова передачи по заполнению буфера приёма, однако это приведёт к замедлению обмена данными по линковым портам.

11.5.10 Прерывания от линковых портов

Если линковый порт не активизирован ($LEN=0$, $SPI_I2S_EN=0$), он формирует прерывание по запросу обслуживания, если:

- на внешней шине выставлены данные на прием (активное состояние сигнала LCLK);
- из внешней шины поступил запрос на выдачу данных (активное состояние сигнала LACK).

Данное прерывание сбрасывается после установки $LEN=1$.

Если MFBSP используется в режиме линкового порта, то чтобы избежать ложной установки прерывания SRQ в случае, когда порт выключен и на выводах LACK или LCLK установлено высокоимпедансное состояние, необходимо к выводам LACK и LCLK подключить pull-down резисторы.

При $LPT_IRQ_EN=0$ данное прерывание маскируется

Если включен линковый порт ($LEN=1$) прерывания от MFBSP формируются в случае если в буфер приёма записано количество слов большее, чем установлено уровнем прерывания RLEV (MFBSP_RXBUF), либо если при включенном передатчике в буфере передачи осталось количество слов меньшее, либо равное чем установлено уровнем прерывания TLEV (MFBSP_TXBUF).

11.6 Работа MFBSP в режиме порта ввода-вывода общего назначения

Если многофункциональный порт выключен ($LEN=0$, $SPI_I2S_EN =0$), внешние линии LDAT[7:0], LCLK, LACK можно использовать как 10-разрядный двунаправленный порт ввода-вывода.

Если включен режим последовательного порта ($SPI_I2S_EN = 1$), незадействованные в организации последовательной передачи данных выводы LDAT[7:4] могут быть использованы в качестве вводов-выводов общего назначения. Единственным ограничением в данной ситуации является то, что для определения режима работы последовательного порта используются биты GPIO_DR[5:0], которые не должны меняться в процессе передачи данных по последовательному порту. Поэтому при управлении выводами общего назначения LDAT[7:4] (управляются битами DIR_MFBSP [9:6]) запись в регистр DIR_MFBSP необходимо проводить таким образом, что бы текущие значения бит DIR_MFBSP [5:0] не менялись.

При работе в режиме выводов общего назначения данные с внешних выводов порта защелкиваются по положительному фронту тактового сигнала. Поэтому следует

учитывать, что чтение данных с внешних выводов порта будет происходить с задержкой в 1 такт.

11.6.1 Регистр данных порта ввода вывода GPIO_DR

10-разрядный регистр данных порта ввода-вывода (GPIO_DR) предназначен для реализации гибкого интерфейса с внешними устройствами. Внешние выводы порта ввода-вывода совмещены с внешними выводами линкового порта.

Соответствие разрядов регистра GPIO_DR и внешних линий линкового порта приведено в Таблица 11.34.

Таблица 11.34. Назначение разрядов регистра GPIO_DR

Номер разряда Регистра GPIO_DR	Внешние выводы MFBSPP	Значение после сброса
9:2	LDAT[7:0]	0
1	LCLK	0
0	LACK	0

11.6.2 Регистр управления направлением выводов DIR_MFBSP

Настройка направления выводов порта ввода-вывода осуществляется программно при помощи 10-разрядного регистра DIR_MFBSP. Если DIR_MFBSP установлен в 0, то соответствующий разряд порта ввода-вывода является входом, если же разряд DIR_MFBSP установлен в 1, то соответствующий разряд порта ввода-вывода является выходом.

Таблица 11.35. Назначение разрядов регистра GPIO_DR

Номер разряда Регистра DIR_MFBSP	Внешние выводы MFBSPP	Значение после сброса
9:2	Направление выводов LDAT[7:0]	0
1	Направление вывода LCLK	0
0	Направление вывода LACK	0

11.7 Рекомендации по аварийному выключению передатчика

В режимах SPI и I2S при TDEL = 1 выключение порта путем записи 0 в TEN, без сброса бита SPI_I2S_EN может привести к сбою в буфере передачи, и после очередного включения передатчика (TEN=1) данные будут передаваться некорректно.

Решения:

1. Если передатчик был выключен при TDEL=1, перед его очередным включением необходимо сбросить записью 1 в бит RST_TXBUF.
2. В режиме мастер выключать передатчик (если есть необходимость в дальнейшем использовать порт) вообще нет необходимости – отсутствие данных в буфере передачи автоматически останавливает дальнейшую передачу.

12. ПОРТ ВВОДА ВИДЕОДАНЫХ VPIN

12.1 Назначение

Порт ввода видеоданных VPIN предназначен для ввода цифровых видеоданных по 8/10/12-разрядному параллельному интерфейсу. В частности, порт обеспечивает ввод информации с видеодатчиков на основе ПЗС или КМОП-матриц в формате байеровской цветовой модели (Bayer color pattern), стандарта BT.656 (ITU-R Recommendation BT.656), монохромного видео с последовательной разверткой (raw video). Порт обеспечивает простое аппаратное сопряжение с широким набором стандартных видеодатчиков, АЦП и кодеков.

12.2 Архитектура и функционирование порта VPIN

Структурная схема порта приведена на Рисунок 12.1.

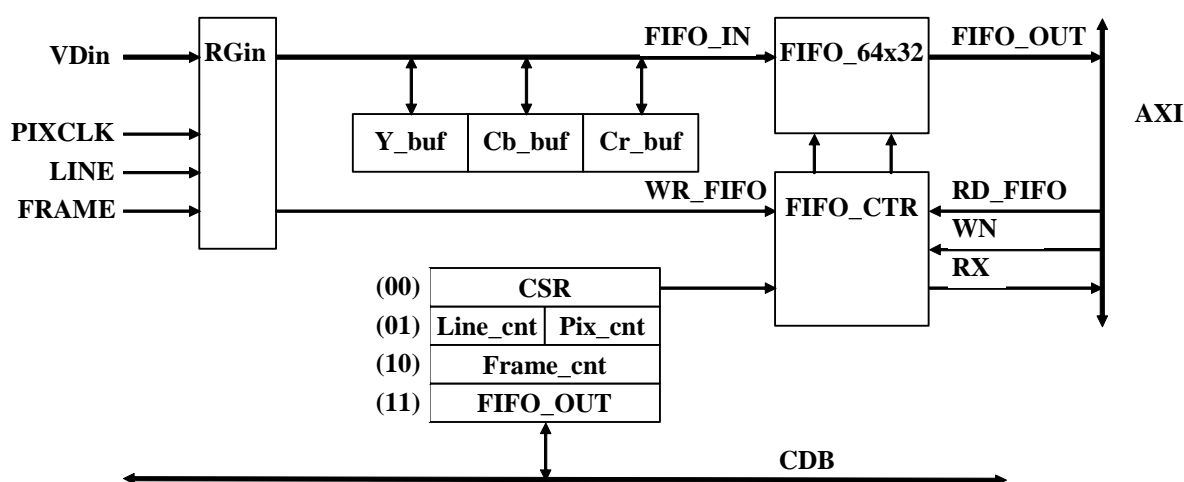


Рисунок 12.1. Структурная схема порта VPIN

В состав порта входят следующие основные блоки:

- RGIN – входной регистр видеоданных;
- Y_buf – буферный регистр для хранения компоненты Y входных видеоданных;
- Cb_buf – буферный регистр для хранения компоненты Cb входных видеоданных;
- Cr_buf – буферный регистр для хранения компоненты Cr входных видеоданных;
- FIFO_64x32 – буферная память типа FIFO объемом 32 слова по 64 разряда;
- FIFO_CTRL – устройство управления (контроллер) FIFO;
- CSR, Line_cnt/Pix_cnt, Frame_cnt, FIFO_OUT – программно-доступные регистры порта.

Входные видеоданные Vdin[9:0] поступают на вход порта в сопровождении трех сигналов синхронизации:

- синхронизации пикселей PIXCLK;
- строчной синхронизации LINE;
- кадровой синхронизации FRAME.

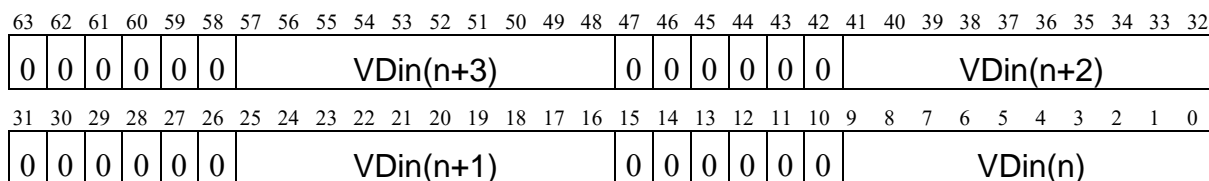
Временные диаграммы поступающих сигналов приведены на рис.19.2-19.5.

Предполагается, что входные видеоданные изменяются по положительному фронту сигнала PIXCLK. Сигналы строчной синхронизации LINE и кадровой синхронизации FRAME служат соответственно для подтверждения активной части строки (LINE=1) и активной части кадра (FRAME =1).

Входные видеоданные записываются во входной регистр R_{Gi}n по отрицательному фронту сигнала синхронизации PIXCLK при наличии одновременно активных уровней строчной и кадровой синхронизации (LINE= FRAME =1). Затем видеоданные переписываются в промежуточный регистр, работающий на системной частоте HCLK, и вся дальнейшая работа порта происходит на системной частоте.

Перед тем, как быть записанными в FIFO, данные переупорядочиваются при помощи специальных буферов цветовой компонент Y_buf, Cb_buf, Cr_buf.

Переупорядочивание производится с целью объединения в одно 64-разрядное слово четырех выборок, относящихся к одной цветовой компоненте. Структура 32-разрядного слова, поступающего на вход FIFO VDin, приведена ниже.



С выхода FIFO данные могут быть прочитаны как со стороны соответствующего канала DMA по шине AMBA AXI, так и со стороны центрального процессора по шине AMBA AHB.

Чтение 64-разрядных данных из FIFO по шине AMBA AXI происходит под управлением сигналов:

- RX - сигнал наличия данных в FIFO;
- WN - число считываемых из FIFO слов (число слов вычисляется по формуле $WN+1$);
- RDY_DMA - сигнал начала чтения данных из FIFO по шине AMBA AXI;
- RD_FIFO - сигнал завершения чтения данных из FIFO по шине AMBA AXI.

Чтение данных из FIFO по шине AMBA AHB производится 32-разрядными словами согласно протоколу данной шины, по отношению к которой порт VPIN является ведомым абонентом (Slave). Примечание: переключение указателя адреса FIFO происходит при чтении из 64-разрядной ячейки FIFO старшего 32-разрядного слова.

Кроме того, по шине AMBA АНВ происходит запись-чтение программно доступных регистров порта VPIN.

Порт VPIN может выдавать центральному процессору прерывание в зависимости от состояния соответствующей маски по следующим событиям:

- FIFO заполнено;
- начало строки;
- конец строки;
- начало кадра;
- конец кадра;
- двойная ошибка при декодировании маркера по стандарту BT.656.

12.3 Программно-доступные регистры

По шине AMBA АНВ центральный процессор в зависимости от выбранного адреса HADDR[3:2] может произвести обращение к одному из программно-доступных регистров порта VPIN, перечень которых приводится в Таблица 12.1.

Таблица 12.1. Программно-доступные регистры порта VPIN

HADDR[3:2]	Условное обозначение	Число разрядов	Тип	Назначение
00	CSR	32	R/W	Регистр управления и состояния
01	Line_cnt/Pix_cnt	32	R	Счетчик строк / счетчик пикселей
10	Frame_cnt	32	R	Счетчик кадров
11	FIFO_OUT	32	R	Выход FIFO

12.3.1 Регистр управления и состояния (CSR)

Регистр управления и состояния CSR является 32-разрядным регистром, доступным по записи и чтению. Назначение разрядов регистра CSR приведено в Таблица 12.2.

Таблица 12.2. Назначение разрядов регистра CSR

Номер разряда	Условное обозначение	Назначение
31	CLR	Очистка порта. Установка этого бита в «1» приводит к остановке работы порта и сбросу всех указателей и счетчиков в «0».
30	RUN	RUN=0 – порт в состоянии останова; RUN=1 - порт в состоянии работы (при условии, что CLR=0).
29	Snapshot	Съемка одного кадра. Установка этого бита в «1» (при условии, что RUN=1, CLR=0) приводит к открытию порта для ввода одного ближайшего полного видеокadra, после чего порт останавливается. Перед каждым запуском данного режима необходима очистка порта (CLR=1).

Номер разряда	Условное обозначение	Назначение
28:23	INT_MSK	Маска прерывания: CSR[28]=1 – разрешено прерывание по заполнению FIFO; CSR[27]=1 – разрешено прерывание по началу кадра; CSR[26]=1 – разрешено прерывание по концу кадра; CSR[25]=1 – разрешено прерывание по началу строки; CSR[24]=1 – разрешено прерывание по концу строки; CSR[23]=1 – разрешено прерывание по двойной ошибке декодирования маркера; CSR[19]=1 – разрешено прерывание по ошибке FIFO.
22	MRK	MRK=1 - режим декодирования маркера.
21:20	ORPM	Способ интерпретации входных видеоданных (для нечетных строк): ORPM=00 – монохроматический видеосигнал (Y); ORPM=10 – бихроматический видеосигнал (Y/C); ORPM=11 – 3-компонентный видеосигнал (Y/Cb/Cr).
19	INT_MSK	CSR[19]=1 – разрешено прерывание по ошибке FIFO
18	-	Резерв
17:16	ERPM	Способ интерпретации входных видеоданных (для четных строк): ERPM=00 – монохроматический видеосигнал (Y); ERPM=10 – бихроматический видеосигнал (Y/C); ERPM=11 – 3-компонентный видеосигнал (Y/Cb/Cr).
15	FDMA	Очистка DMA (Flush DMA) – при установке этого бита порт постоянно выдает каналу DMA сигнал готовности к передаче данных
14:4	-	Резерв
3	fifo_empty	Флаг пустого FIFO
2	fifo_err	Флаг ошибки FIFO (запись в заполненное FIFO)
1	fifo_full	Флаг заполненности FIFO
0	INT	Флаг прерывания

Начальное состояние регистра CSR=0x0.

12.3.2 Регистр - счетчик строк/ счетчик пикселей (Line_cnt/Pix_cnt)

Регистр-счетчик строк/ счетчик пикселей Line_cnt/Pix_cnt является 32-разрядным регистром, доступным только по чтению. Назначение разрядов регистра Line_cnt/Pix_cnt приведено в Таблица 12.3.

Таблица 12.3. Назначение разрядов регистра Line_cnt/Pix_cnt

Номер разряда	Условное обозначение	Назначение
31:28	-	0x0.
29:16	Line_cnt	12-разрядный счетчик строк. Автоматически обнуляется в начале каждого кадра.
15:12	-	0x0.
11:0	Pix_cnt	12-разрядный счетчик пикселей. Автоматически обнуляется в начале каждой строки.

Начальное состояние регистра Line_cnt/Pix_cnt =0x0.

12.3.3 Регистр - счетчик кадров (Frame_cnt)

Регистр-счетчик строк/ счетчик пикселей Frame_cnt является 32-разрядным регистром, доступным только по чтению. Назначение разрядов регистра Frame_cnt приводится в Таблица 12.4.

Таблица 12.4. Назначение разрядов регистра Frame_cnt

Номер разряда	Условное обозначение	Назначение
31	F	Поле (BT.656)
30	V	V=0 - активная часть кадра (BT.656)
29	H	H=0 - активная часть строки (BT.656)
28	DBLERR	Двойная ошибка при декодировани маркера (BT.656)
27	h2FRAME	Текущее состояние сигнала FRAME
26	h2LINE	Текущее состояние сигнала LINE
25:24	-	0x0
23:0	Frame_cnt	24-разрядный счетчик кадров. Обнуляется при очистке порта (CLR=1).

Начальное состояние регистра Frame_cnt =0x60000000.

12.4 Режимы работы порта VPIN

12.4.1 Способы интерпретации входных видеоданных

Поля ORPM, ERPM регистра CSR определяют способ интерпретации портом входного видеопотока. Возможны три варианта:

ORPM(ERPM) = 00 – монохроматический видеосигнал (Y);

ORPM(ERPM) = 10 – бихроматический видеосигнал (Y/C);

ORPM(ERPM) = 11 – 3-компонентный видеосигнал (Y/Cb/Cr).

Временные диаграммы поступающих сигналов для трех указанных вариантов приведены на Рисунок 12.2 - Рисунок 12.4. На Рисунок 12.5 приведены временные диаграммы сигналов LINE, FRAME.

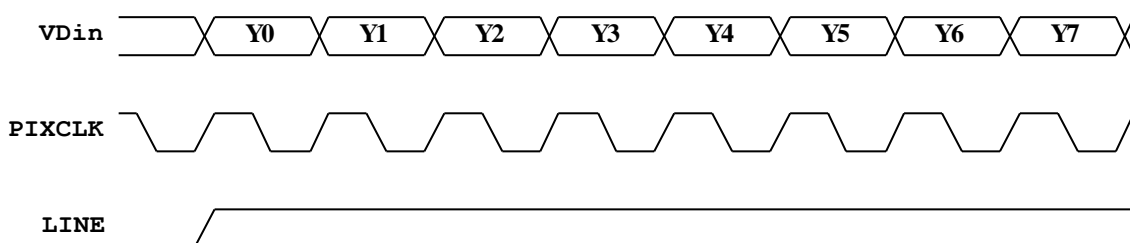


Рисунок 12.2. Временные диаграммы входных сигналов при 1-компонентных видеоданных

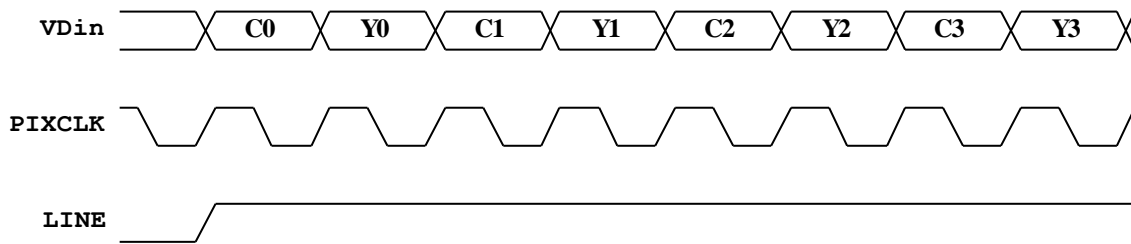


Рисунок 12.3. Временные диаграммы входных сигналов при 2-компонентных видеоданных

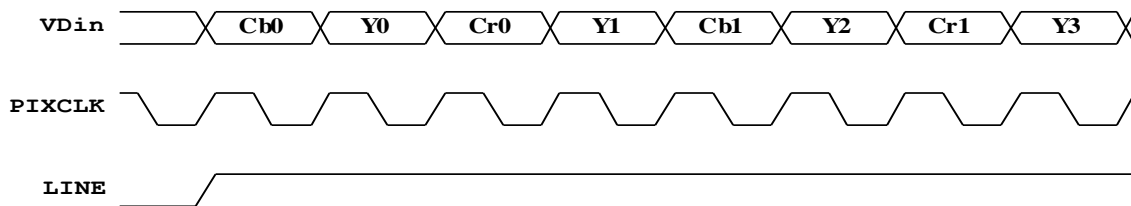


Рисунок 12.4. Временные диаграммы входных сигналов при 3-компонентных видеоданных

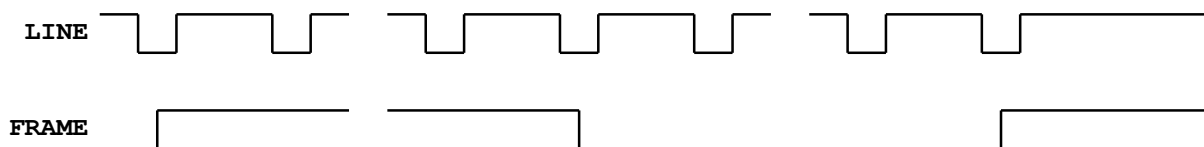


Рисунок 12.5. Временные диаграммы сигналов LINE, FRAME

12.4.2 Упаковка цветных компонент

Перед тем, как быть записанными в FIFO, данные переупорядочиваются при помощи специальных буферов цветных компонент Y_buf, Cb_buf, Cr_buf.

Пиксели одного цвета упаковываются в одно 64-разрядное слово. Способы упаковки в зависимости от интерпретации входных видеоданных приведены на Рисунок 12.6 - Рисунок 12.8.

Номер слова	...	10	9	8	7	6	5	4	3	2	1	0
Видеоданные	...	Y43	Y39	Y35	Y31	Y27	Y23	Y19	Y15	Y11	Y7	Y3
		Y42	Y38	Y34	Y30	Y26	Y22	Y18	Y14	Y10	Y6	Y2
		Y41	Y37	Y33	Y29	Y25	Y21	Y17	Y13	Y9	Y5	Y1
		Y40	Y36	Y32	Y28	Y24	Y20	Y16	Y12	Y8	Y4	Y0

Рисунок 12.6. Структура видеопотока, поступающего на выход FIFO при ORPM(ERPM) = 00

Номер слова	...	10	9	8	7	6	5	4	3	2	1	0
Видеоданные	...	Y23	C19	Y19	C15	Y15	C11	Y11	C7	Y7	C3	Y3
		Y22	C18	Y18	C14	Y14	C10	Y10	C6	Y6	C2	Y2
		Y21	C17	Y17	C13	Y13	C9	Y9	C5	Y5	C1	Y1
		Y20	C16	Y16	C12	Y12	C8	Y8	C4	Y4	C0	Y0

Рисунок 12.7. Структура видеопотока, поступающего на выход FIFO при ORPM(ERPM) = 10

Номер слова	...	10	9	8	7	6	5	4	3	2	1	0
Видеоданные	...	Y23	C19	Y19	C15	Y15	C11	Y11	C7	Y7	C3	Y3
		Y22	C18	Y18	C14	Y14	C10	Y10	C6	Y6	C2	Y2
		Y21	C17	Y17	C13	Y13	C9	Y9	C5	Y5	C1	Y1
		Y20	C16	Y16	C12	Y12	C8	Y8	C4	Y4	C0	Y0

Рисунок 12.8. Структура видеопотока, поступающего на выход FIFO при ORPM(ERPM) = 11, PB=0

12.4.3 Режим съемки одного кадра (Snapshot)

Съемка одного кадра производится в следующем порядке:

- выполняется очистка порта (CLR=1);
- в регистр CSR записываются биты RUN=Snapshot=1 (при CLR=0).

После выполнения съемки кадра порт останавливается (хотя биты RUN и Snapshot остаются в состоянии “1”). В счетчике кадров устанавливается значение Frame_cnt=0x1.

12.4.4 Режим декодирования маркеров ВТ.656

Порт VPIN способен воспринимать и декодировать цифровой видеопоток в соответствии со стандартом ВТ.656 (ITU-R Recommendation ВТ.656). Согласно данному стандарту, строчная и кадровая синхронизация видеоданных производится при помощи встроенных в видеопоток специальных маркеров – SAV (Start Active Video) и EAV (End Active Video), обозначающих соответственно начало и конец строки.

Сигналы LINE и FRAME в данном режиме используются только для разрешения записи, но не в качестве строчной и кадровой синхронизации.

Режим декодирования маркера устанавливается битом MRK=1 регистра CSR.

Маркеры помещаются в старшем байте (разряды VDin[9:2]) входных видеоданных.

Для того, чтобы обеспечить возможность отличить маркеры от пикселей, в стандарте ВТ.656 вводится следующее ограничение: значения видеопикселей могут находиться в диапазоне от 1 до 254 (от 0x01 до 0xFE в шестнадцатеричной системе). Значения 0x00 и 0xFF используются только для кодирования маркеров.

Маркер состоит из четырех байт. Первые три байта представляют собой фиксированный префикс 0xFF 0x00 0x00, четвертый байт содержит информацию о текущем состоянии сигналов кадровой и строчной синхронизации.

Структура и назначение бит в четвертом байте маркера приведены в таблице ниже

DBin	1-й байт (0xFF)	2-й байт (0x00)	3-й байт (0x00)	4-й байт
DBin[9]	1	0	0	1
DBin[8]	1	0	0	F (поле) ^{*)}
DBin[7]	1	0	0	V (вертикальный бланк) ^{**)}
DBin[6]	1	0	0	H (горизонтальный бланк) ^{***)}
DBin[5]	1	0	0	P3 (бит защиты 3) ^{****)}
DBin[4]	1	0	0	P2 (бит защиты 2) ^{****)}
DBin[3]	1	0	0	P1 (бит защиты 1) ^{****)}
DBin[2]	1	0	0	P0 (бит защиты 0) ^{****)}

^{*)} F=0 для 1-го поля, F=1 для 2-го поля;

^{**)} V=0 для активной V=1 для неактивной части поля;

^{***)} H=0 для SAV, H=1 для EAV;

^{****)} Биты защиты P0-P3 определяются состоянием бит F, V, H.

Состояние бит защиты P0-P3 в зависимости от F, V, H приводится в таблице ниже.

F	V	H	P3	P2	P1	P0
0	0	0	0	0	0	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	0
1	0	0	0	1	1	1
1	0	1	1	0	1	0
1	1	0	1	1	0	0
1	1	1	0	0	0	1

Наличие кода защиты P0-P3 позволяет исправлять одиночные ошибки при передаче F, V, H и обнаруживать двойные ошибки. Коррекция значений F, V, H производится согласно приводимой ниже таблице.

Полученные P3-P0	Полученные значения F, V, H							
	000	001	010	011	100	101	110	111
0000	000	000	000	-	000	-	-	111
0001	000	-	-	111	-	111	111	111
0010	000	-	-	011	-	101	-	-
0011	-	-	010	-	100	-	-	111
0100	000	-	-	011	-	-	110	-
0101	-	001	-	-	100	-	-	111
0110	-	011	011	011	100	-	-	011
0111	100	-	-	011	100	100	100	-
1000	000	-	-	-	-	101	110	-
1001	-	001	010	-	-	-	-	111
1010	-	101	010	-	101	101	-	101
1011	010	-	010	010	-	101	010	-

1100	-	001	110	-	110	-	110	110
1101	001	001	-	001	-	001	110	-
1110	-	-	-	011	-	101	110	-
1111	-	001	010	-	100	-	-	-

Прочерком в таблице обозначены случаи обнаружения двойных ошибок. В этих случаях в регистре Frame_cnt устанавливается флаг двойной ошибки DBLERR и, при соответствующем состоянии маски, возникает прерывание.

13. ПОРТ ВЫВОДА ВИДЕОДАНЫХ VPOUT

13.1 Назначение

Порт вывода видеоданных VPOUT предназначен для вывода цифровых видеоданных по 16-разрядному параллельному интерфейсу. В частности, порт обеспечивает вывод видеoinформации в формате стандартов BT.656 (ITU-R Recommendation BT.656), SMPTEх, 16-разрядного RGB (5R/6G/5B) и монохромного видео с последовательной разверткой (raw video). Порт обеспечивает простое аппаратное сопряжение с широким набором стандартных видеокодеков, видео-ЦАП и LCD-контроллеров.

13.2 Архитектура и функционирование порта VPOUT

Структурная схема порта приведена на Рисунок 13.1.

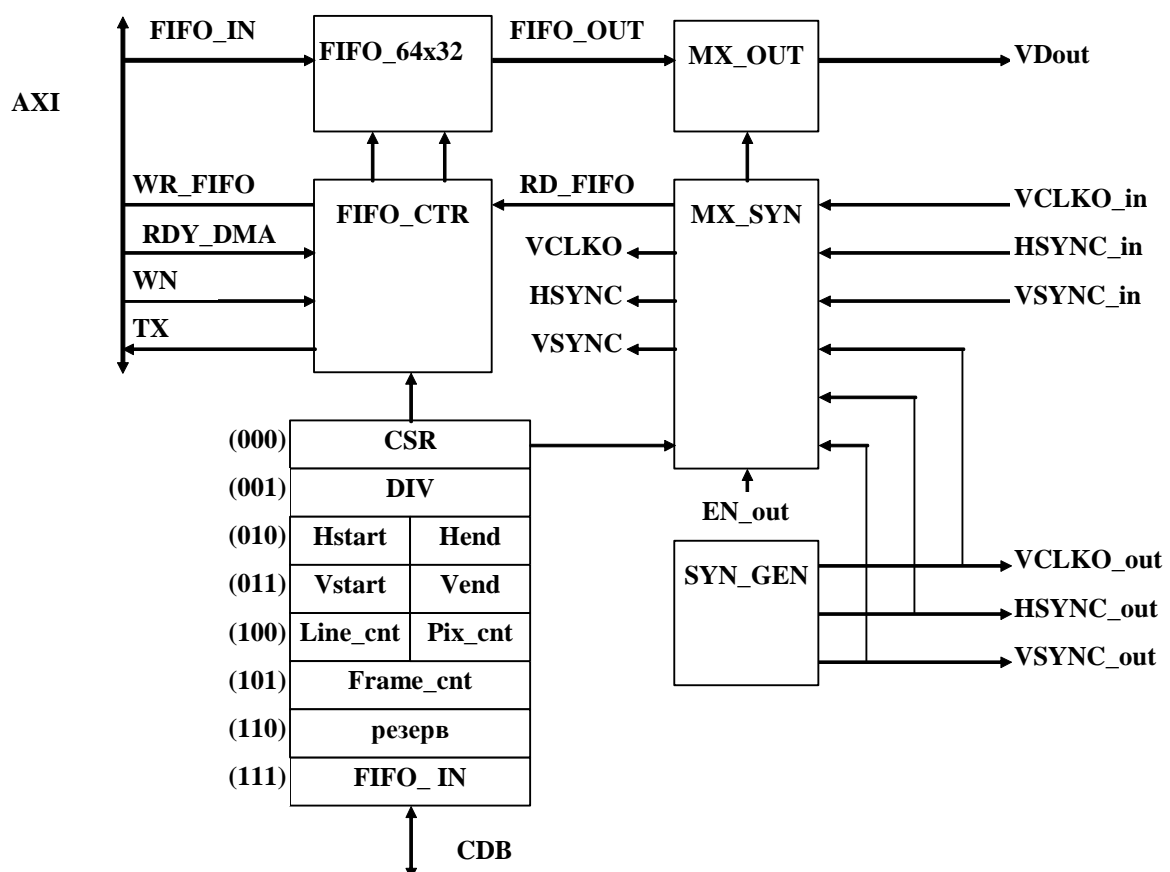


Рисунок 13.1. Структурная схема порта VPOUT

В состав порта входят следующие основные блоки:

- FIFO_64x32 – буферная память типа FIFO объемом 32 слова по 64 разряда;
- FIFO_CTRL – устройство управления (контроллер) FIFO;

- MX_OUT – мультиплексор выходных данных;
- MX_SYN – мультиплексор сигналов синхронизации;
- SYN_GEN – генератор сигналов синхронизации;
- CSR, DIV, Hstart/Hend, Vstart/Vend, Line_cnt/Pix_cnt, Frame_cnt, FIFO_IN – программно-доступные регистры порта.

Выходные видеоданные VDout[15:0] поступают на выход порта в сопровождении сигналов синхронизации:

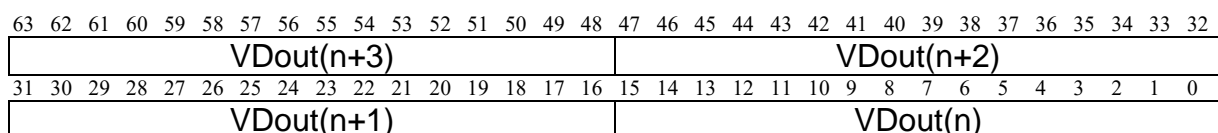
- синхронизации пикселей VCLKO;
- строчной синхронизации HSYNC;
- кадровой синхронизации VSYNC.

Сигналы синхронизации VCLKO, VSYNC могут быть либо внешними (VCLKO_in, VSYNC_in) либо внутренними, т.е. генерироваться самим портом (VCLKO_out, VSYNC_out). Выбор осуществляется при помощи сигналов EN_VCLKO, EN_VSYNC. Сигнал HSYNC может формироваться только от внутренней синхронизации.

Видеоданные изменяются по положительному фронту сигнала VCLKO. Сигналы строчной и кадровой синхронизации служат соответственно для подтверждения активной части строки и активной части кадра.

Видеоданные поступают на выход по положительному фронту сигнала пиксельной синхронизации при наличии одновременно активных (высоких) уровней строчной и кадровой синхронизации. В остальной части работа порта происходит на системной частоте HCLK.

Структура 64-разрядного слова, поступающего на выход порта VDout, приведена ниже.



Данные в FIFO могут быть записаны как со стороны соответствующего канала DMA по AMBA AXI, так и со стороны центрального процессора по шине AMBA AHB.

Порт VPOUT может выдавать центральному процессору прерывание в зависимости от состояния соответствующей маски по следующим событиям: 1) пустое FIFO, 2) чтение из пустого FIFO (ошибка FIFO), 3) начало строки, 4) конец строки, 5) начало кадра, 6) конец кадра.

13.3 Программно-доступные регистры

Перечень программно-доступных регистров VPOUT приведен в Таблица 13.1.

Таблица 13.1. Перечень программно-доступных регистров VPOUT

HAADDR[4:2]	Условное обозначение	Число бит	Тип	Назначение
000	CSR	32	R/W	Регистр управления и состояния
001	DIV	32	R/W	Регистр периода сигнала VCLKO_out
010	Hstart/Hend	32	R/W	Регистр начала/конца активной части строки
011	Vstart/Vend	32	R/W	Регистр начала/конца активной части кадра
100	Line_cnt/Pix_cnt	32	R	Счетчик строк / счетчик пикселей
101	Frame_cnt	32	R	Счетчик кадров
110	-	-	-	резерв
111	FIFO_IN	32	W	Вход FIFO

13.3.1 Регистр управления и состояния (CSR)

Регистр управления и состояния CSR является 32-разрядным регистром, доступным по записи и чтению. Назначение разрядов регистра CSR приведено в Таблица 13.2.

Таблица 13.2

Номер разряда	Обозначение	Назначение
31	CLR	Очистка порта. Установка этого бита в «1» приводит к остановке работы порта и сбросу всех указателей и счетчиков в «0».
30	RUN	RUN=0 – порт в состоянии останова; RUN=1 - порт в состоянии работы (при условии, что CLR=0).
29	FEN	Разрешение переключения сигнала поля (F): FEN=0 – видеокادر состоит из одного поля, FEN=1 – видеокادر состоит из двух полей.
28:23	INT_MSK	Маска прерывания: CSR[28]=1 – разрешено прерывание по пустому FIFO; CSR[27]=1 – разрешено прерывание по началу кадра; CSR[26]=1 – разрешено прерывание по концу кадра; CSR[25]=1 – разрешено прерывание по началу строки; CSR[24]=1 – разрешено прерывание по концу строки; CSR[23]=1 – разрешено прерывание по чтению из пустого FIFO.
22	EN_VCLKO	Бит выбора внутренней/внешней синхронизации VCLKO При EN_VCLKO=0 - выбор внешней синхронизации: VCLKO=VCLKO_in; При EN_VCLKO =1 - выбор внутренней синхронизации: VCLKO=VCLKO_out;
21	EN_HSYNC	Бит выбора внутренней/внешней синхронизации HSYNC При EN_HSYNC = 0 - выбор внешней синхронизации: HSYNC = HSYNC_in; При EN_HSYNC = 1 - выбор внутренней синхронизации: HSYNC = HSYNC_out;
20	EN_VSYNC	Бит выбора внутренней/внешней синхронизации VSYNC При EN_VSYNC = 0 - выбор внешней синхронизации: VSYNC = VSYNC_in; При EN_VSYNC = 1 - выбор внутренней синхронизации: VSYNC = VSYNC_out;
19	Snapshot	Выбор режима Snapshot. В этом режиме передается один кадр, после чего все сигналы синхронизации сбрасываются в «0».

Номер разряда	Обозначение	Назначение
18:3	-	Резерв
2	fifo_err	Флаг ошибки FIFO (чтение из пустого FIFO)
1	fifo_empty	Флаг пустого FIFO
0	INT	Флаг прерывания

Начальное состояние регистра CSR=0x0.

13.3.2 Регистр периода сигнала VCLKO_out (DIV)

Регистр DIV является 32-разрядным регистром, доступным по записи и чтению. Назначение разрядов регистра приведено в Таблица 13.3.

Таблица 13.3

Номер разряда	Условное обозначение	Назначение
31:16	-	резерв
15:0	DIV	16-разрядный целочисленный коэффициент деления системной частоты HCLK для получения частоты синхронизации пикселей VCLKO_out.

Регистр DIV содержит в 16-ти младших разрядах целочисленный коэффициент деления системной частоты HCLK для получения частоты синхронизации пикселей VCLKO_out. Период сигнала VCLKO_out определяется формулой:

$$TVCLKO_out = THCLK * (DIV + 1)$$

Начальное состояние регистра DIV =0x0.

13.3.3 Регистр начала/конца активной части строки (Hstart/Hend)

Регистр начала/конца активной части строки (Hstart/Hend) является 32-разрядным регистром, доступным по записи и чтению. Назначение разрядов регистра приведено в Таблица 13.4.

Таблица 13.4

Номер разряда	Условное обозначение	Назначение
31:28	-	0x0.
29:16	Hstart	Число пикселей в неактивной части строки.
15:12	-	0x0.
11:0	Hend	Число пикселей в строке.

Начальное состояние регистра Hstart/Hend =0x0.

13.3.4 Регистр начала/конца активной части кадра (Vstart/Vend)

Регистр начала/конца активной части строки (Vstart/Vend) является 32-разрядным регистром, доступным по записи и чтению. Назначение разрядов регистра приведено в Таблица 13.5.

Таблица 13.5

Номер разряда	Условное обозначение	Назначение
31:28	-	0x0.
29:16	Vstart	Число строк в неактивной части кадра (поля).
15:12	-	0x0.
11:0	Vend	Число строк в кадре (поле).

Начальное состояние регистра Vstart/Vend = 0x0.

Примечание. В старших половинах регистров Hstart/Hend, Vstart/Vend для правильной генерации сигналов синхронизации должны быть установлены ненулевые значения. Старшие половины этих регистров (Hstart и Vstart) показывают соответственно количество темновых пикселей в строке и темновых строк в кадре. При отсутствии темновых элементов контроллер генерирует одну бесконечно длинную строку.

В строке должно быть не менее двух темновых элементов, в кадре – не менее одной темновой строки.

Например, при HSTART_HEND = 0x0002_2002 и VSTART_VEND = 0x0001_0002 формируется кадр из одной строки длиной 8192 пикселей.

При HSTART_HEND = 0x0002_0402 и VSTART_VEND = 0x0001_0009 этот же массив будет передан 8-ю строками по 1024 элемента и т.д.

13.3.5 Регистр - счетчик строк/ счетчик пикселей (Line_cnt/Pix_cnt)

Регистр-счетчик строк/счетчик пикселей Line_cnt/Pix_cnt является 32-разрядным регистром, доступным только по чтению. Назначение разрядов регистра Line_cnt/Pix_cnt приведено в Таблица 13.6.

Таблица 13.6

Номер разряда	Условное обозначение	Назначение
31:28	-	0x0.
29:16	Line_cnt	12-разрядный счетчик строк. Автоматически обнуляется в начале каждого кадра.
15:12	-	0x0.
11:0	Pix_cnt	12-разрядный счетчик пикселей. Автоматически обнуляется в начале каждой строки.

Начальное состояние регистра Line_cnt/Pix_cnt = 0x0.

13.3.6 Регистр - счетчик кадров (Frame_cnt)

Регистр-счетчик строк/счетчик пикселей Frame_cnt является 32-разрядным регистром, доступным только по чтению. Назначение разрядов регистра Frame_cnt приведено в Таблица 13.7.

Таблица 13.7

Номер разряда	Условное обозначение	Назначение
31	F	Поле
30	VSYNC	Текущее состояние сигнала кадровой синхронизации
29	HSYNC	Текущее состояние сигнала строчной синхронизации
28:24	-	0x0
23:0	Frame_cnt	24-разрядный счетчик кадров. Обнуляется при очистке порта (CLR=1).

Начальное состояние регистра Frame_cnt = 0x0.

13.4 Режимы работы порта VPOUT

Выбор внутренних либо внешних сигналов синхронизации VCLKO, VSYNC осуществляется разрядами EN_VCLKO, EN_VSYNC регистра CSR. При нулевых значениях указанных разрядов используется внешний сигнал, при единичных значениях – внутренний. По сигналу сброса указанные разряды устанавливаются в нулевое состояние, то есть по умолчанию выводы VCLKO, VSYNC сконфигурированы как входы.

В зависимости от значения управляющего разряда FEN регистра CSR возможны два режима формирования сигнала кадровой синхронизации VSYNC:

- FEN=0 – видеокадр состоит из одного поля;
- FEN=1 – видеокадр состоит из двух полей.

В первом случае сигнал поля F (31-й разряд регистра Frame_cnt) всегда остается равным нулю, во втором – переключается из “0” в “1” и обратно после окончания последней строки данного поля:

- F = 0 – для первого поля;
- F = 1 - для второго поля;

Второе поле отличается от первого тем, что его длительность (определяемая параметром Vend) и длительность его неактивной части (определяемая параметром Vstart) увеличены на единицу. Это объясняется структурой кадра, принятой в основных телевизионных стандартах – NTSC и PAL.

Временные диаграммы сигналов синхронизации пикселей VCLKO, строчной синхронизации HSYNC_out, кадровой синхронизации VSYNC, F приведены на Рисунок 13.5, Рисунок 13.6. На этих же диаграммах приведены формулы, связывающие

между собой периоды сигналов синхронизации пикселей T_C , строчной синхронизации T_H , кадровой синхронизации T_V и параметры $Hstart$, $Hend$, $Vstart$, $Vend$.

Параметры $Hstart$, $Hend$, $Vstart$, $Vend$ должны устанавливаться кратными 4 (это объясняется 64-разрядной структурой FIFO, записывающего/считывающего одновременно по 4 пикселя).

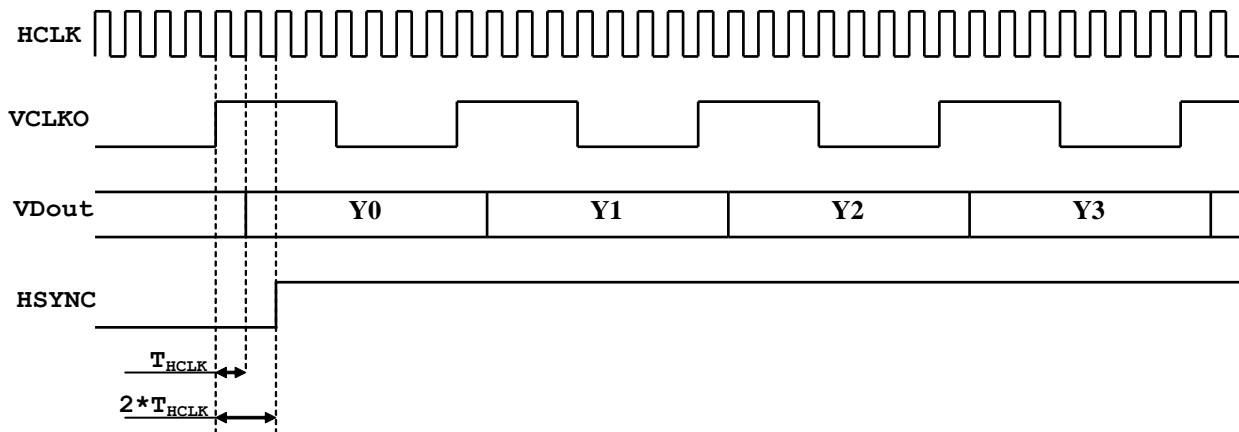


Рисунок 13.2. Временные диаграммы сигналов $VDout$, $VCLKO$, $HSYNC$

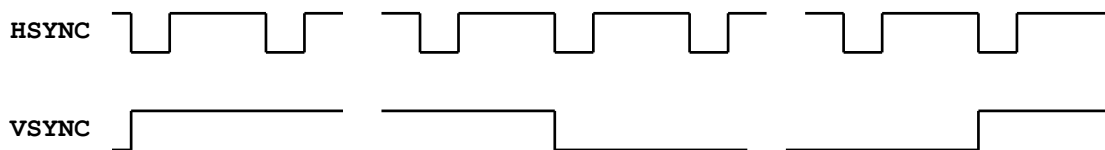


Рисунок 13.3. Временные диаграммы сигналов $VSYNC$, $HSYNC$

Номер слова	...	10	9	8	7	6	5	4	3	2	1	0
Видеоданные	...	Y43	Y39	Y35	Y31	Y27	Y23	Y19	Y15	Y11	Y7	Y3
		Y42	Y38	Y34	Y30	Y26	Y22	Y18	Y14	Y10	Y6	Y2
		Y41	Y37	Y33	Y29	Y25	Y21	Y17	Y13	Y9	Y5	Y1
		Y40	Y36	Y32	Y28	Y24	Y20	Y16	Y12	Y8	Y4	Y0

Рисунок 13.4. Структура видеопотока, поступающего на выход FIFO

При передаче данных по окончании каждого кадра (по фронту спада сигнала $VSYNC$) происходит принудительный сброс указателей FIFO. Таким образом, установленный в DMA порта заказ на передачу данных должен быть не более чем на 1 кадр, и каждый следующий кадр должен производиться новый запуск DMA.

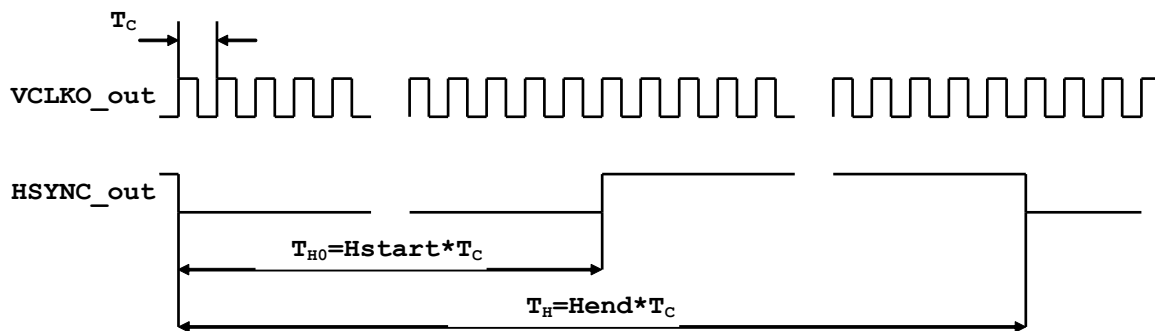


Рисунок 13.5. Временные диаграммы сигналов VCLK_out, HSYNC_out

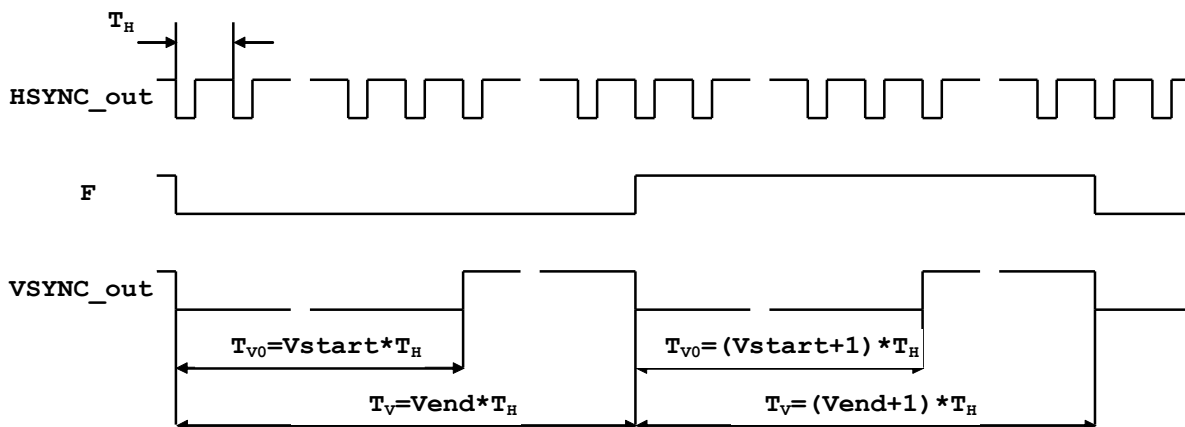


Рисунок 13.6. Временные диаграммы сигналов HSYNC_out, VSYNC_out

13.5 Рекомендации по применению порта VPOUT

13.5.1 Формирование временных диаграмм выходных сигналов Vdout, VCLKO, HSYNC, VSYNC

Все выходные сигналы порта - VDout, VCLKO, HSYNC, HSYNC – формируются по переднему фронту системной частоты HCLK (частоты ядра), но со сдвигом относительно друг друга, как это показано на Рисунок 13.2 - сигналы VDout сдвинуты относительно переднего фронта VCLKO на один период T_{HCLK} , а сигналы HSYNC и VSYNC относительно VDout еще на один период T_{HCLK} .

Для надежной передачи данных через порт VPOUT следует соблюдать ограничение, согласно которому период выходной частоты порта VCLKO должен превышать период частоты ядра не менее чем в 6 раз в том случае, если передаваемые данные фиксируются на приемной стороне по заднему фронту VCLKO ($DIV \geq 5$), и не менее чем в 3 раза в том случае, если передаваемые данные фиксируются по переднему фронту VCLKO ($DIV \geq 2$).

13.5.2 Формирование прерываний

Порт формирует прерывания по следующим событиям:

- чтение из пустого FIFO;
- пустое FIFO;
- начало строки;
- конец строки;
- начало кадра;
- конец кадра.

При этом два первых вида событий - чтение из пустого FIFO и пустое FIFO – считаются более важными, и они маскируют (запрещают) формирование других видов прерываний.

Таким образом, условием формирования прерывания по концу кадра (так же как по началу кадра, по началу и концу строки) является наличие в этот момент непустого FIFO.

Пустым считается FIFO, указатели записи и чтения в данный момент равны. При этом необходимо учитывать, что любое чтение из FIFO, даже из пустого, приводит к изменению указателя чтения. Таким образом, уже на следующем такте после чтения из пустого FIFO оно уже не считается пустым. Чтение из FIFO производится по переднему фронту каждого четвертого импульса VCLKO при условии высоких уровней HSYNC и VSYNC.

Необходимо также учитывать, что по концу каждого кадра указатели записи и чтения FIFO сбрасываются в нулевое состояние.

13.5.3 Взаимодействие порта VPOUT с DMA

При организации взаимодействия DMA и порта важно, учитывая логику работы того и другого устройства, соблюдать правильный порядок действий.

Важным отличием DMA от порта является возможность DMA находиться в состоянии ожидания. Если порт выключен (RUN=0), то DMA не начинает передачу. Если порт включен (RUN=1), но HSYNC или VSYNC находятся в нулевом состоянии, DMA заполняет FIFO и ожидает, пока оба сигнала HSYNC, VSYNC перейдут в высокий уровень и FIFO начнет опорожняться.

В отличие от DMA, порт не может находиться в состоянии ожидания. При высоких уровнях HSYNC, VSYNC он читает данные из FIFO независимо от того, есть они там или нет, и переключает указатель чтения. По концу кадра все указатели сбрасываются.

С учетом этого, работа связки DMA-VPOUT должна быть организована в следующем порядке:

1. Инициализация регистров DMA (кроме CSR DMA).
2. Запуск DMA (запись в CSR DMA).
3. Инициализация регистров порта VPOUT (кроме CSR VPOUT).
4. Запуск порта (запись в CSR VPOUT).

Для обеспечения правильной работы цепочек DMA важным условием является то, что переключение от одного задания DMA к другому должно происходить на фоне неактивного состояния порта, т.е. в промежутке между кадрами ($VSYNC=0$). С этой целью во всех элементах цепочки, кроме первого, бит RUN первоначально должен быть установлен в нулевое состояние, и переключение его в единичное состояние должно производиться при наличии двух условий: а) завершении предыдущего DMA-задания и б) окончания кадра ($VSYNC=0$).

Окончание DMA-задания определяется по соответствующему прерыванию, а окончание кадра удобнее определять не по прерыванию порта (хотя такой способ возможен), а путем чтения регистра FrameCnt порта VPOUT, 30-й бит которого указывает текущее состояние сигнала VSYNC.

14. УНИВЕРСАЛЬНЫЙ АСИНХРОННЫЙ ПОРТ (UART)

14.1 Общие положения

Универсальный асинхронный порт (далее UART) имеет следующие характеристики:

- по архитектуре совместим с UART 16550;
- частота приема и передачи данных – от 50 до 1 М baud;
- FIFO для приема и передачи данных имеют объем по 16 байт;
- полностью программируемые параметры последовательного интерфейса: длина символа от 5 до 8 бит; генерация и обнаружение бита четности; генерация стопового бита длиной 1, 1.5 или 2 бита;
- диагностический режим внутренней петли;
- эмуляция символьных ошибок.

В 1892BM10Я имеется 2 порта UART. Структурная схема UART приведена на Рисунок 14.1.

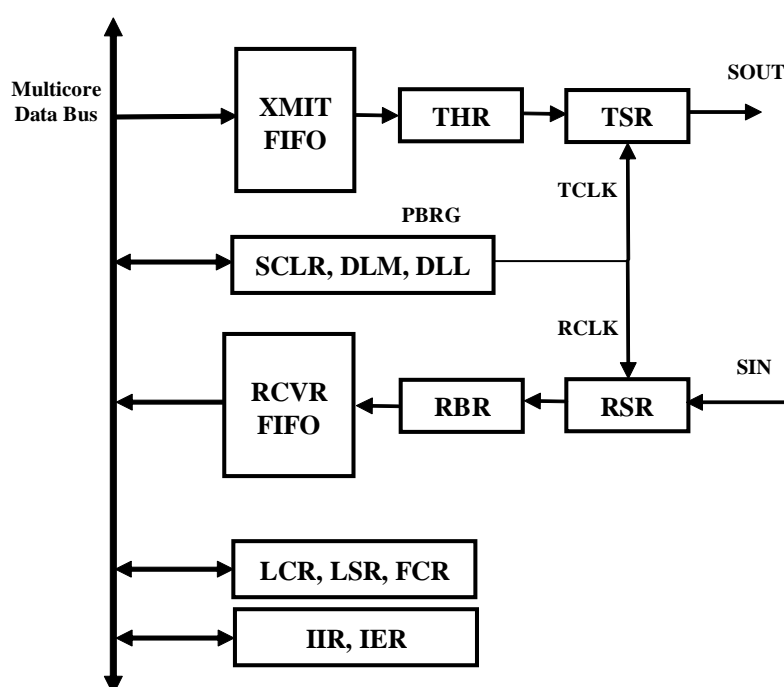


Рисунок 14.1. Структурная схема UART

Передаваемые данные записываются в регистр THR, а затем аппаратно переписываются в передающий сдвигающий регистр (TSR), если он пуст. После этого в регистр THR может быть записаны следующие данные.

После приема данных в приемный сдвигающий регистр (RSR) данные переписываются в регистр RBR, если он не занят.

14.2 Регистры UART

14.2.1 Общие положения

Перечень регистров UART приведен в Таблица 14.1.

Таблица 14.1. Перечень регистров UART

Условное обозначение регистра	Название регистра	Смещение	Доступ (R-чтение, W-запись)
RBR	Приемный буферный регистр	0 (DLAB=0)	R
THR	Передающий буферный регистр	0 (DLAB=0)	W
IER	Регистр разрешения прерываний	1 (DLAB=0)	R/W
IIR	Регистр идентификации прерывания	2	R
FCR	Регистр управления FIFO	2	W
LCR	Регистр управления линией	3	R/W
MCR	Регистр управления модемом	4	R/W
LSR	Регистр состояния линии	5	R
MSR	Регистр состояния модема	6	R/W
SPR	Регистр Scratch Pad	7	R/W
DLL	Регистр делителя младший	0 (DLAB=1)	R/W
DLM	Регистр делителя старший	1 (DLAB=1)	R/W
SCLR	Регистр предделителя (scaler)	5	W

14.2.2 Регистр LCR

Формат регистра LCR приведен в Таблица 14.2.

Таблица 14.2. Формат регистра LCR

Номер бита	Условное обозначение	Назначение
1:0	WLS (Word Length Select)	Количество бит данных в передаваемом символе: 00 - 5 бит, 01 - 6 бит, 10 - 7 бит, 11 - 8 бит.
2	STB (Number Stop Bits)	Количество стоп-бит: 0 - 1 стоп-бит, 1 - 2 стоп-бита (для 5-битного символа стоп-бит имеет длину 1,5 бита). Приемник анализирует только первый стоп бит.
3	PEN (Parity Enable)	Разрешение генерации (передатчик) или проверки (приемник) контрольного бита: 1 - контрольный бит (паритет или постоянный) разрешен, 0 - запрещен.
4	EPS (Even Parity Select)	Выбор типа контроля (при PEN=1): 0 - нечетность, 1 - четность.
5	STP (Stick Parity)	Принудительное формирование бита паритета: 0 - контрольный бит генерируется в соответствии с паритетом выводимого символа, 1 - постоянное значение контрольного бита: при EPS=1 - нулевое, при EPS=0 - единичное.

Номер бита	Условное обозначение	Назначение
6	SBC (Set Break Control)	Формирование обрыва линии: 0 – нормальная работа; 1 – на выходе SOUT устанавливается низкий уровень (Spacing level). Это влияет только на выход SOUT, а не на логику передачи символа.
7	DLAB (Divisor LatCH Access bit)	Управление доступом к регистрам: 0 – разрешен доступ к регистрам RBR, THR, IER; 1 – разрешен доступ к регистрам DLL, DLM

Исходное состояние регистра LCR – нули.

Бит SBC используется как признак «Внимание» для приемного терминала, подключенному к выходу UART. Для того чтобы не было передано ошибочного символа при использовании бита SBC, необходимо выполнять следующую последовательность действий:

- загрузить в регистр THR все нули по признаку THRE=1;
- установить SBC=1 по следующему THRE=1;
- дождаться TEMT=1.

Для восстановления нормальной передачи необходимо установить SBC=0.

14.2.3 Регистр FCR

Формат регистра FCR приведен в Таблица 14.3.

Таблица 14.3. Формат регистра FCR

Номер бита	Условное обозначение	Назначение
0	FEWO (FIFO Enable)	Разрешение работы XMIT и RCVR FIFO: 0 – символьный режим; 1 – режим FIFO. При изменении состояния этого бита, данные из FIFO, не удаляются. Запись в биты RFR, TFR, RFTL выполняется, если FEWO=1.
1	RFR (Receiver FIFO Reset)	Установка RCVR FIFO в исходное состояние. Регистр RSR не обнуляется. После записи 1 в этот бит он автоматически сбрасывается.
2	TFR (Transmitter FIFO Reset)	Установка XMIT FIFO в исходное состояние. Регистр TSR не обнуляется. После записи 1 в этот бит он автоматически сбрасывается.
5:3	-	Резерв
7:6	RFTL (RCVR FIFO Trigger Level)	Порог заполнения RCVR FIFO (в байтах), при котором формируется прерывание: 00 – 1; 01 – 4; 10 – 8; 11 – 14.

Исходное состояние регистра FCR – нули.

14.2.4 Регистр LSR

Формат регистра LSR приведен в Таблица 14.4.

Таблица 14.4. Формат регистра LSR

Номер бита	Условное обозначение	Назначение
0	RDR (Receiver Data Ready)	Готовность данных. Устанавливается после приема символа данных и передачи его в регистр RBR или FIFO. Сбрасывается после чтения регистра RBR (в символьном режиме) или чтения всего содержимого RCVR FIFO (в режиме FIFO)
1	OE (Overrun Error)	Ошибка переполнения. Устанавливается, если содержимое регистра RBR не было прочитано, в сдвигающий регистр принят следующий символ и начат прием очередного символа. При этом новый символ записывается в сдвигающий регистр вместо старого. В режиме FIFO устанавливается, если после перехода порогового (trigger) уровня FIFO заполнено до конца, во входной сдвигающий регистр полностью принят следующий символ и начат прием очередного символа. При этом в FIFO ничего не передается. Бит сбрасывается при чтении содержимого регистра LSR.
2	PE (Parity Error)	Ошибка контрольного бита (паритета или фиксированного). В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. Бит сбрасывается при чтении содержимого регистра LSR.
3	FE (Framing Error)	Ошибка кадра. Устанавливается, если стоп-бит равен нулю (Spacing level). В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. После этой ошибки UART пересинхронизируется. Бит сбрасывается при чтении содержимого регистра LSR.
4	BI (Break Interrupt)	Обрыв линии. Устанавливается, если вход приема данных находится в состоянии 0 (Spacing level) не менее чем время передачи всего символа. В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. При возникновении этой ситуации, в FIFO загружается только один нулевой символ. Прием следующих символов разрешается после того, как вход приема данных перейдет в единичное состояние (Marking state) и будет принят действительный стартовый бит. Бит сбрасывается при чтении содержимого регистра LSR.
5	THRE (Transmitter Holding Register Empty)	Передающий буферный регистр пуст. Показывает, что UART готов принять следующий символ для передачи. Устанавливается, когда содержимое регистра THR передается в передающий сдвигающий регистр. Одновременно с этим генерируется прерывание THREI, если оно разрешено. Бит сбрасывается при записи символа в регистр THR. В режиме FIFO этот бит устанавливается, когда XMIT FIFO пусто, и сбрасывается, если в XMIT FIFO записывается хотя бы один символ.
6	TEMT (Transmitter Empty)	Передатчик пуст. Устанавливается, если регистры THR и TSR пусты. Имеет нулевое состояние, если хотя бы один из регистров THR и TSR не пуст. В режиме FIFO этот бит устанавливается, если нет символов ни в XMIT FIFO, ни в регистре TSR.
7	EIRF (Error in RCVR FIFO)	Наличие хотя бы одного признака ошибки в FIFO. В символьном режиме этот бит всегда равен нулю. Бит сбрасывается при чтении содержимого регистра LSR, если в FIFO нет больше признаков ошибок.

Исходное состояние бит THRE, TEMT – 1, остальных – 0.

Установка бит OE, PE, FE, BI приводит к формированию прерыванию по состоянию входа приема данных (Receiver Line Status Interrupt), если это прерывание разрешено.

14.2.5 Регистр IER

Формат регистра IER приведен в Таблица 14.5. Исходное состояние регистра IER – нули.

Таблица 14.5. Формат регистра IER

Номер бита	Условное обозначение	Назначение
0	ERBI	Разрешение прерывания по наличию принятых данных (RDAI), а также по таймауту (CTI)
1	ETBEI	Разрешение прерывания по отсутствию данных в регистре THR (THREI)
2	ERLSI	Разрешение прерывания по статусу приема данных (RLSI)
3	EMSI	Разрешение прерывания по статусу модема (MSI)
7:4	-	Резерв

14.2.6 Регистр IIR

Формат регистра IIR приведен в Таблица 14.6.

Таблица 14.6. Формат регистра IIR

Номер бита	Условное обозначение	Назначение
0	IP (Interrupt Pending)	Признак наличия прерывания: 0 – есть прерывание; 1 – нет прерывания.
3:1	ID[2:0]	Код идентификации прерывания в соответствии с Таблица 14.7.
5:4	-	Резерв
7:6	FE	Признак разрешения работы RCVR и XMIT FIFO

Исходное состояние бита IP – 1, остальных – 0.

Таблица 14.7. Идентификация прерываний

Код поля ID[2:0]	Уровень приоритета (1 – наивысший)	Тип прерывания	Причина прерывания	Условие сброса прерывания
011	1	Статус приема данных (RLSI – Receiver Line Status Interrupt)	OE - Overrun Error; PE - Parity Error; FE - Framing Error; BI - Break Interrupt.	Чтение содержимого регистра LSR. Чтение из FIFO символа, по которому сформировано это прерывание. Обнуление FIFO.

Код поля ID[2:0]	Уровень приоритета (1 – наивысший)	Тип прерывания	Причина прерывания	Условие сброса прерывания
010	2	Наличие принятых данных (RDAI – Received Data Available Interrupt)	Наличие данных в регистре RBR или достижение заданного порога FIFO	Чтение содержимого регистра RBR. Считывание данных из FIFO до уровня ниже порогового.
110	2	Таймаут (CTI – Character Timeout Interrupt)	С момента приема последнего символа в RCVR FIFO прошло время, равное длительности передачи 4-х символов и не было ни чтения FIFO, ни приема очередного символа.	Чтение содержимого регистра RBR. Прием очередного символа. Сброс FIFO.
001	3	Регистр THR пуст (THREI – Transmitter Holding Register Empty Interrupt)	Регистр THR пуст	Чтение содержимого регистра IIR, если источником прерывания является это условие. Запись символа в регистр THR
000	4	Статус модема (MSI – Modem Status Interrupt)	Изменение состояния сигналов на входах порта nCTS, nDSR, nRI, nDCD	Чтение содержимого регистра MSR.

14.3 Программируемый генератор скорости обмена

В UART имеется программируемый генератор скорости обмена данными (PBRG – Programmable Baud Rate Generator). Он состоит из 8-разрядного предделителя и 16-разрядного основного делителя частоты. На вход предделителя поступает системная тактовая частота CLK, на которой работает CPU, UART и другие устройства. Выходная частота предделителя поступает на вход основного делителя. Выходная частота генератора PBRG в 16 раз больше частоты обмена последовательными данными.

Значение частоты на выходе предделителя равно $CLK/(SCLR + 1)$. Коэффициент деления основного делителя задается 16-разрядным регистром, который является конкатенацией регистров DLM и DLL

Период частот передачи и приема (TCLK и RCLK) UART вычисляется по формуле:

$CLK/(SCLR + 1) / ((\text{конкатенация содержимого регистров DLM и DLL}) * 16)$. Минимальная величина, которая может быть записана в регистры {DLM, DLL}, равна 1.

Исходное состояние регистров DLL, DLM, SCLR – нули.

14.4 Работа с FIFO по прерыванию

Если установлен режим работы с FIFO (EFWO=1 в регистре FCR) и разрешены прерывания по приему (бит ERI=1 в регистре IER), то в процессе приема:

- формируется прерывание, если число символов в RCVR FIFO достигло запрограммируемого порога. Это прерывание сбрасывается, если при чтении из FIFO число символов оставшихся в нем, станет меньше запрограммируемого порога;
- одновременно с этим в регистре IIR устанавливается индикатор наличия принятых данных RDAI. Индикатор обнуляется, при чтении из FIFO до снижения запрограммируемого порога;
- может возникнуть прерывание по статусу приема данных (RLSI), приоритет которого выше, чем RDA;
- бит RDR в регистре LSR устанавливается в момент передачи символа из регистра RSR в RCVR FIFO. Этот бит обнуляется при считывании из FIFO всех символов данных.

Если установлен режим работы с FIFO (EFWO=1 в регистре FCR) и разрешены прерывания по приему (ERI=1 в регистре IER), то генерируется прерывание по таймауту, если с момента приема последнего символа в RCVR FIFO прошло время, равное длительности передачи 4-х символов и за это время не было:

- ни чтения RCVR FIFO;
- ни приема в RCVR FIFO очередного символа.

При 12-битном символе и скорости передачи 300 бод, прерывание по этой причине возникнет через 160 мс.

При возникновении прерывания по таймауту оно обнуляется при считывании символа из RCVR FIFO. При этом обнуляется и таймер, генерирующий данное прерывание. Если прерывание по таймауту не возникло, то таймер таймаута обнуляется при приеме нового символа или при считывании символа из RCVR FIFO.

Если установлен режим работы с FIFO (EFWO=1 в регистре FCR) и разрешены прерывания по передаче данных (бит ETI=1 в регистре IER), то генерируется прерывание по передаче следующим образом:

- формируется прерывание THREI, если XMIT FIFO пусто. Это прерывание обнуляется, как только выполняется запись символа в регистр THR (при приеме данного прерывания в XMIT FIFO можно записать от 1 до 16 символов);
- индикатор TEMT в регистре LSR установится в единичное состояние через время равное длительности одного символа минус последний стоп бит, после установки THRE=1. Первое прерывание по передаче (если оно разрешено) формируется немедленно после установки EFWO=1.

14.5 Работа с FIFO по опросу

Если установлен режим работы с FIFO (EFWO=1 в регистре FCR) и запрещены прерывания, то обмен данными выполняется по опросу, а управление FIFO приема и передачи (RCVR, XMIT) выполняется отдельно.

В этом режиме опрос состояния RCVR и XMIT FIFO осуществляется программно, посредством считывания содержимого регистра LSR:

- бит RDR=1, пока есть данные в RCVR FIFO;
- биты OE, PE, FE, VI указывают на ошибки. Эти ошибки обрабатываются так же, как и при работе по прерыванию;
- бит THRE=1, если XMIT FIFO пусто;
- бит TEMT=1, если в XMIT FIFO и TSR нет данных.

При работе по опросу нет индикации таймаута и факта достижения порога RCVR FIFO. Однако оба RCVR и XMIT FIFO могут хранить символы данных.

15. КОНТРОЛЛЕР I2C

15.1 Назначение

Контроллер I2C предназначен для обмена данными по последовательной шине I2C. В состав шины I2C входят двунаправленные линии SCL, SDA, по которым передается тактовая частота синхронизации и последовательные данные.

15.2 Основные характеристики

Контроллер I2C имеет следующие характеристики:

- соответствует Philips I2C-bus specification version 2.1;
- поддерживает Multi-Master режим (синхронизация тактовых частот, процедура арбитража при передаче данных);
- программируемая частота обмена данными по последовательному интерфейсу;
- поддерживает 7-битный и 10-битный режим адресации.

15.3 Структурная схема

Структурная схема контроллера I2C приведена на Рисунок 15.1.

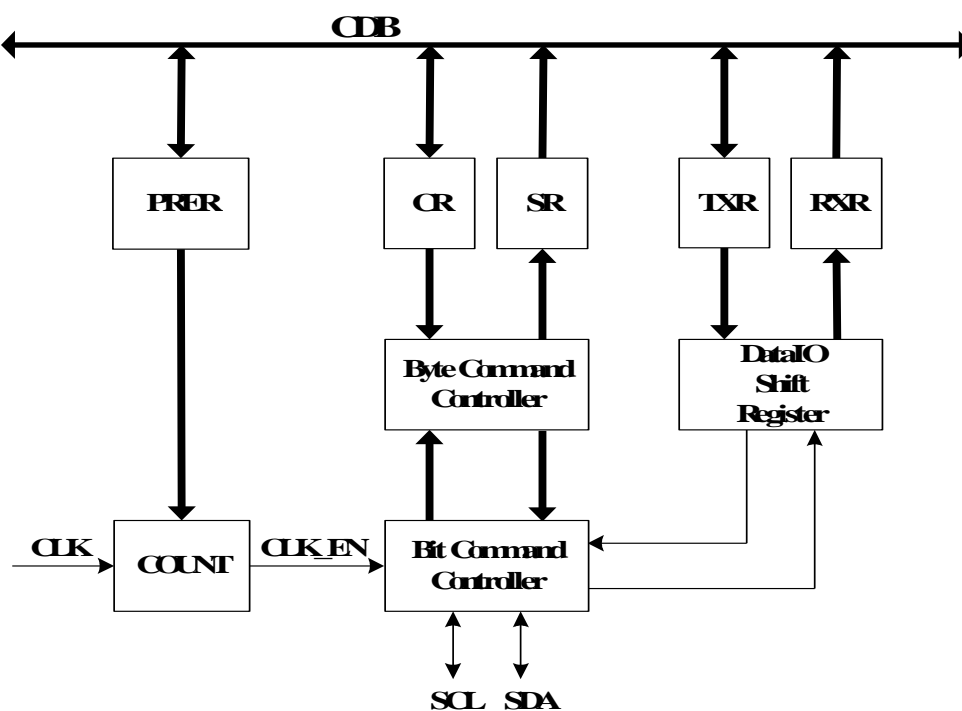


Рисунок 15.1. Структурная схема контроллера I2C

В состав контроллера I2C входят следующие основные узлы:

- COUNT – счетчик предделителя;
- Bit Command Controller – узел, контролирующий выполнение приема/передачи бита данных;
- Byte Command Controller – узел, контролирующий выполнение приема/передачи байта данных;
- DataIO Shift Register – сдвиговый регистр передаваемых/принимаемых с линии данных.

На структурной схеме контроллера I2C использованы следующие обозначения:

- CDB – шина данных CPU;
- CLK – тактовая частота работы CPU;
- SCL, SDA – линии интерфейса I2C.
- Регистры порта I2C

В Таблица 15.1 приведен перечень программно-доступных регистров контроллера I2C.

Таблица 15.1. Перечень программно-доступных регистров контроллера I2C

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние	Адрес регистра HADDR<4:2>
PRER[15:0]	Регистр предделителя частоты	W/R	FFFF	000
CTR[8:0]	Регистр управления	W/R	0	001
TXR[7:0]	Регистр передачи данных	W/R	0	010
RXR[7:0]	Регистр приема данных	R	0	011
CR[7:0]	Регистр команд	W/R	0	100
SR[7:0]	Регистр состояния	R	0	101
PR_CNT[15:0]	Счетчик предделителя частоты	W/R	0000	110
SYNC[16:0]	Регистр синхронизации	W/R	10000	111

15.3.1 Регистр PRER

Регистр предделителя частоты PRER используется для задания частоты обмена данными по I2C интерфейсу. Порт I2C использует частоту, равную ($5 \times F_SCL$). Таким образом, значение коэффициента предделения определяется в соответствии с выражением:

$$PRER = \frac{F_S}{5 \times F_SCL} - 1,$$

где F_S – системная частота,

F_SCL – требуемая частота обмена данными по I2C интерфейсу.

15.3.2 Регистр CTR

Формат регистра управления CTR приведен в Таблица 15.2.

Таблица 15.2. Формат регистра CTR

Номер бита	Условное обозначение	Назначение
5:0	–	Резерв
6	IEN	Разрешение прерывания от порта I2C
7	EN	Разрешение работы порта I2C: 0 – запрещение работы; 1 – разрешение работы.
8	PRST	Программный сброс
9	TM_CNT	Разрешение режима тестирования счетчика предделителя частоты. Доступен по записи только когда бит EN = 0.
10	TICK	Бит тестирования регистра счетчика PR_CNT. Доступен по записи только когда бит TM_CNT = 1.

15.3.3 Регистр TXR

Формат регистра TXR приведен в Таблица 15.3.

Таблица 15.3. Формат регистра TXR

Номер бита	Условное обозначение	Назначение
0	RW	При передаче байта данных этот бит задает младший разряд передаваемых данных; при передаче адреса ведомого устройства этот бит задает направление передачи данных: 1 – чтение из ведомого устройства; 0 – запись в ведомое устройство.
7:1	TXD	Передаваемые данные

15.3.4 Регистр RXR

Регистр RXR[7:0] содержит последний принятый байт данных.

15.3.5 Регистр CR

Формат регистра команд CR приведен в Таблица 15.4.

Регистр команд CR доступен по записи только при разрешении работы порта I2C, то есть когда установлен бит EN регистра управления CTR.

Биты SND, RCV, STO, STA регистра CR сбрасываются автоматически после выполнения заданной команды, либо когда порт I2C проигрывает арбитраж.

Таблица 15.4. Формат регистра команд CR

Номер бита	Условное обозначение	Назначение
0	IACK	Подтверждение прерывания. При установке этого бита сбрасывается бит IF регистра состояния SR Этот бит после установки сбрасывается автоматически
2:1	–	Резерв

Номер бита	Условное обозначение	Назначение
3	ACK	При приеме байта данных от ведомого устройства задает, что выставит I2C порт: 0 – бит подтверждения ACK; 1 – бит неподтверждения NACK .
4	SND	Пересылка байта данных в ведомое устройство и прием бита ACK/NACK от ведомого устройства
5	RCV	Прием байта данных от ведомого устройства и пересылка бита ACK/NACK в ведомое устройство
6	STO	Генерация состояния STOP на линии
7	STA	Генерация состояния START (repeated START) на линии

В соответствии со спецификацией интерфейса I2C порт может инициировать передачу данных только когда шина свободна, то есть бит Busy регистра SR не установлен.

Порт I2C генерирует состояние START на линии, когда в командном регистре CR установлен бит STA и бит SND или RCV.

15.3.6 Регистр SR

Формат регистра состояния SR приведен в Таблица 15.5.

Таблица 15.5. Формат регистра состояния SR

Номер бита	Условное обозначение	Назначение
0	IF	Признак наличия прерывания: 0 – есть прерывание; 1 – нет прерывания. Признак устанавливается: – после завершения пересылки/приема байта данных; – когда порт I2C проигрывает арбитраж.
1	TIP	Признак выполнения передачи данных портом I2C: 1 – порт выполняет передачу данных; 0 – порт завершил передачу данных. Устанавливается в 1 с задержкой в 1 такт после установки бита RCV (SND) регистра команд CR. После выполнения команды RCV(SND) бит TIP устанавливается в 0
4:2	–	Резерв
5	AL	Признак того, что порт I2C проиграл арбитраж. Этот бит устанавливается когда: – порт I2C пытается установить высокий уровень на линии данных SDA, но на линии устанавливается низкий уровень; – порт I2C обнаруживает на линии состояние STOP, но сам порт не выполняет в данный момент команду STO. Этот бит сбрасывается при обнаружении состояния START на линии.
6	Busy	Признак того, что I2C интерфейс занят, то есть выполняется передача данных. Устанавливается при обнаружении состояния START на линии, сбрасывается при обнаружении состояния STOP на линии
7	RxACK	Принятый бит ACK/NACK от ведомого устройства после пересылки байта данных: 1 – бит неподтверждения NACK . 0 – бит подтверждения ACK;

15.3.7 Регистр PR_CNT

Регистр счетчика предделителя частоты PR_CNT используется для формирования частоты обмена данными по I2C интерфейсу в соответствии со значением регистра предделителя частоты PRER. Доступен по записи только когда разрешен режим тестирования счетчика предделителя частоты – бит TM_CNT = 1.

15.3.8 Регистр SYNC

Регистр синхронизации используется для управления процессом синхронизации двух и более мастеров, подключенных к шине I2C. Возможность управления процессом синхронизации повышает помехозащищенность канала SCL от внешних воздействий.

Таблица 15.6. Формат регистра SYNC

Номер бита	Условное обозначение	Назначение
15:0	WAIT_PER	Количество тактов системной частоты при высоком уровне сигнала SLC, после которых производить синхронизацию. $\text{WAIT_PER} \leq (\text{tHSCl} / \text{tHCLK}) - 1,$ где tHCLK – период системной частоты (ns); tHSCl = 600 ns – минимальная длительность высокого уровня сигнала SCL.
16	SYNC_EN	Включение возможности синхронизации 1 – синхронизация включена; 0 – синхронизация выключена.

15.4 Функционирование контроллера I2C

Шина I2C подразумевает побитный обмен данными. Порт I2C выполняет следующие побитные операции:

- генерация состояния START на линии;
- генерация состояния repeated START на линии;
- генерация состояния STOP на линии;
- пересылка бита данных - send;
- прием бита данных - receive.

Каждая побитовая операция разбивается на 5 фаз: A, B, C, D, IDLE, за исключением побитовых операций генерации состояния START/repeated START, которые выполняются за большее число фаз. Временная диаграмма выполнения побитовых операций представлена на Рисунок 15.2.

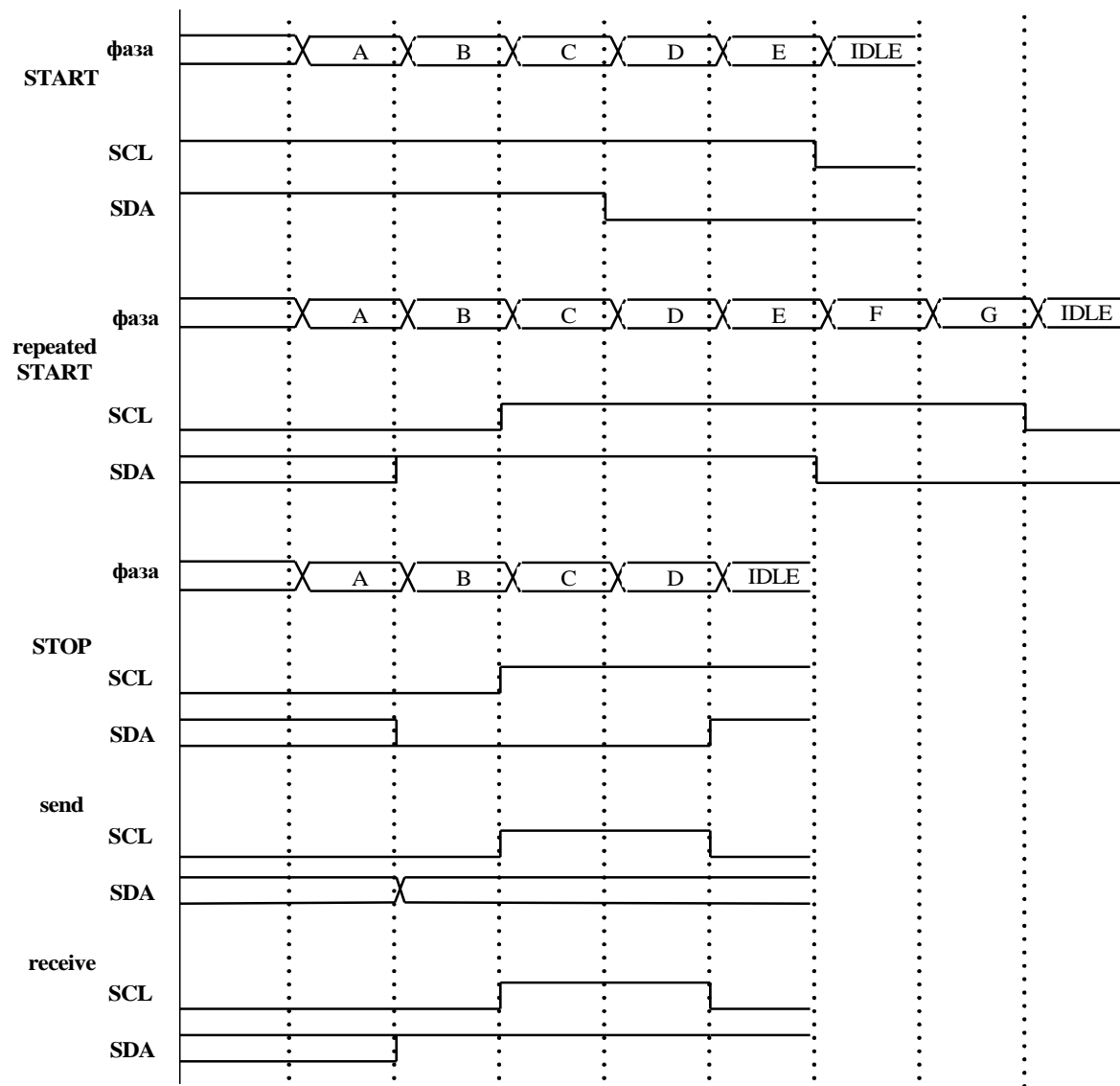


Рисунок 15.2. Временная диаграмма выполнения побитовых операций

15.5 Программирование контроллера I2C

Порядок программирования при записи байта данных в ведомое устройство:

- записать {адрес ведомого устройства, RW=0} в регистр TXR;
- установить биты STA и SND в регистре команд CR;
- ждать, когда установится бит IF, или когда сбросится бит TIP в регистре SR;

- считать бит RxACK регистра состояния SR;
- если RxACK = 1, то ведомое устройство не готово к обмену, поэтому необходимо завершить передачу данных. Для этого нужно установить бит STO в регистре команд CR;
- если RxACK = 0, то ведомое устройство готово к обмену;
- записать байт данных, который требуется переслать в регистр TXR;
- установить биты SND и STO в регистре команд CR;
- ждать, когда установится бит IF, или когда сбросится бит TIP в регистре SR;
- считать бит RxACK регистра состояния SR;
- если RxACK = 0, то ведомое устройство успешно приняло байт данных.

Порядок программирования при чтении двух байт данных из ведомого устройства:

- записать {адрес ведомого устройства, RW=1} в регистр TXR;
- установить биты STA и SND в регистре команд CR;
- ждать, когда установится бит IF, или когда сбросится бит TIP в регистре SR;
- считать бит RxACK регистра состояния SR;
- если RxACK = 1, то ведомое устройство не готово к обмену, поэтому необходимо завершить передачу данных. Для этого нужно установить бит STO в регистре команд CR;
- если RxACK = 0, то ведомое устройство готово к обмену.
- установить бит RCV, а бит ACK сбросить в регистре команд CR для приема первого байта данных и пересылки после приема бита подтверждения;
- ждать, когда установится бит IF, или когда сбросится бит TIP в регистре SR;
- считать полученный байт данных из регистра RXR;
- установить бит RCV и бит ACK в регистре команд CR для приема второго байта данных и пересылки после приема бита неподтверждения;
- ждать, когда установится бит IF, или когда сбросится бит TIP в регистре SR;
- считать полученный байт данных из регистра RXR;
- установить бит STO в регистре команд CR для завершения передачи данных.

Порядок программирования при записи байта данных, а затем чтении байта данных из ведомого устройства:

- записать {адрес ведомого устройства, RW=0} в регистр TXR;
- установить биты STA и SND в регистре команд CR;
- ждать, когда установится бит IF, или когда сбросится бит TIP в регистре SR;
- считать бит RxACK регистра состояния SR;
- если RxACK = 1, то ведомое устройство не готово к обмену, поэтому необходимо завершить передачу данных. Для этого нужно установить бит STO в регистре команд CR;
- если RxACK = 0, то ведомое устройство готово к обмену.
- записать байт данных, который требуется переслать в регистр TXR;

- установить бит SND в регистре команд CR;
- ждать, когда установится бит IF, или когда сбросится бит TIP в регистре SR;
- считать бит RxACK регистра состояния SR;
- если RxACK = 0, то ведомое устройство успешно приняло байт данных.
- записать {адрес ведомого устройства, RW=1} в регистр TXR;
- установить биты STA (repeated START) и SND в регистре команд CR;
- ждать, когда установится бит IF, или когда сбросится бит TIP в регистре SR;
- считать бит RxACK регистра состояния SR;
- если RxACK = 1, то ведомое устройство не готово к обмену, поэтому необходимо завершить передачу данных. Для этого нужно установить бит STO в регистре команд CR;
- если RxACK = 0, то ведомое устройство готово к обмену.
- установить бит RCV и бит ACK в регистре команд CR для приема байта данных и пересылки после приема бита неподтверждения;
- ждать, когда установится бит IF, или когда сбросится бит TIP в регистре SR;
- считать полученный байт данных из регистра RXR;
- установить бит STO в регистре команд CR для завершения передачи данных.

16. ПОРТ JTAG И ВСТРОЕННЫЕ СРЕДСТВА ОТЛАДКИ ПРОГРАММ

В данную микросхему встроен порт JTAG, реализованный в соответствии со стандартом IEEE 1149.1* (IEEE Standard Test Access Port and Boundary-Scan Architecture). Этот порт предназначен для доступа к встроенным средствам отладки программ (OnCD).

Модуль OnCD обеспечивает:

- выполнение остановки программы CPU по контрольным точкам (Breakpoint);
- выполнение заданного числа команд CPU (трассы) в реальном масштабе времени или пошаговое выполнение команд;
- доступ к адресуемым регистрам и памяти микросхемы.

Для подключения микросхемы к персональному компьютеру через порт JTAG необходимо использовать эмулятор JTAG, поддерживающий данный процессор.

*Примечание. Порт реализован без поддержки Boundary Scan.

17. ЭЛЕКТРИЧЕСКИЕ И ВРЕМЕННЫЕ ПАРАМЕТРЫ

17.1 Электропитание

Номинальное значение напряжения электропитания микросхемы:

- $U_{CC1} = 3,3 \text{ В (PVDD)}$;
- $U_{CC2} = 1,2 \text{ В (CVDD)}$.

Допустимые отклонения напряжения электропитания микросхемы от номинального значения - не более $\pm 5\%$.

При включении на микросхему сначала необходимо подать напряжение питания ядра U_{CC1} , а затем напряжение питания входных и выходных драйверов U_{CC2} . Задержка между подачей напряжений питания должна быть не более 10 мс. Входные сигналы на микросхему подаются после подачи напряжений питания или одновременно с подачей напряжения питания входных и выходных драйверов U_{CC2} . Фронт нарастания напряжений питания должен быть не более 5 мс;

При выключении микросхемы необходимо сначала снять входные сигналы, затем напряжение питания входных и выходных драйверов U_{CC2} , а затем, с задержкой не более 10 мс, напряжение питания ядра U_{CC1} .

Для фильтрации напряжений электропитания микросхемы, необходимо подключить к каждому источнику (U_{CC1} и U_{CC2}) не менее шести высокочастотных конденсаторов номиналом 0,1 мкФ типа СС 0603 Y5V 0,1 uF Z 25V. Конденсаторы необходимо разместить по возможности равномерно по площади корпуса микросхемы между выводами PVDD и GND, а так же CVDD и GND. При этом расстояние между контактами микросхемы и площадками подсоединения конденсаторов должно быть не более 3 мм.

17.2 Электрические параметры

Электрические параметры микросхемы приведены в Таблица 17.1.

Таблица 17.1. Электрические параметры микросхемы

Наименование параметров, единица измерения, режим измерения	Буквенное обозначение	Норма	
		не менее	не более
Ток потребления статический по цепи PVDD, мА при $U_{CC1}=3,47В$, $U_{CC2}=1,26В$, ХТИ=0	I_{CC1}	-	13
Ток потребления статический по цепи CVDD, мА при $U_{CC1}=3,47В$, $U_{CC2}=1,26В$, ХТИ=0	I_{CC2}	-	4,5
Ток потребления динамический по цепи CVDD, мА, при $U_{CC1}=3,47В$, $U_{CC2}=1,26В$ и рабочей частоте 250 МГц	I_{OCC2}	-	1200
Ток утечки высокого и низкого уровня на входе, мкА при $U_{CC1}=3,47В$ и $U_{CC2}=1,26В$	$I_{П}$	-	2
Выходное напряжение низкого уровня, В при $I_{OL}= 4$ мА, $U_{CC1}=3,47В$	U_{OL}	-	0,4
Выходное напряжение высокого уровня, В при $I_{OH} = -$ 2,8 мА, $U_{CC1} = 3,13В$	U_{OH}	2,4	
Входная емкость, пФ	C_I	-	10

17.3 Динамическая потребляемая мощность

Динамическая потребляемая мощность микросхемы имеет две составляющие: потребление ядра (по цепи CVDD) и потребление выходных драйверов (по цепи PVDD).

Мощность, потребляемая ядром микросхемы по цепи CVDD, зависит от последовательности выполняемых процессорными ядрами команд, от операндов, а также от активности DMA и периферийных устройств.

Мощность, потребляемая выходными драйверами по цепи PVDD, зависит от следующих параметров:

- число выходных драйверов (O);
- максимальная частота, на которой выходные драйверы переключаются (F);
- емкости нагрузки выходных драйверов (C);
- величина напряжения электропитания выходных драйверов (U_{CC1}).

Мощность, потребляемая выходными драйверами по цепи PVDD, определяется следующим уравнением:

$$P_{ext} = O * C * U_{CC1}^2 * F.$$

Рассмотрим для примера расчет мощности, потребляемой выходными драйверами при непрерывной записи данных в память типа SRAM (при $U_{CC1} = 3,3 В$). Максимальная частота обмена данными со SRAM = $CLK/4$, где CLK – тактовая частота порта внешней памяти (например, 80 МГц). При обращении по произвольным адресам можно предположить, что с частотой $CLK/4$ изменяются 50% разрядов адреса. Также можно

допустить, что каждый цикл изменяются 50% разрядов шины данных. Данные для расчета потребляемой мощности приведены в Таблица 17.2.

Таблица 17.2

Название драйвера	Число драйверов	Емкость нагрузки	F, МГц	UCC1 ²	Pext, мВт
A[31:0]	16	30	20	10,9	100
nBE[3:0]	4	30	20	10,9	25
D[31:0]	32	30	20	10,9	200
SCLK	1	30	80	10,9	25
Итого:					350

То есть, при тактовой частоте порта внешней памяти 80 МГц и $C=30$ пФ при непрерывной записи данных в SRAM потребление составляет 350 мВт. При чтении данных из SRAM выходные драйверы не активизируются. Поэтому, если запись данных в SRAM чередуется с чтением, то реальное энергопотребление микросхемы будет существенно меньше.

Оценим мощность, потребляемую драйверами линкового порта при передаче данных. К примеру, частота передачи данных по линковому порту равна 40 МГц. Потребление по LCLK составляет 12 мВт, а потребление по данным (изменяется 50% 8-разрядных данных с частотой 20 МГц) - 24 мВт. Суммарно – 36 мВт.

17.4 Предельно-допустимые и предельные электрические режимы эксплуатации

Значения предельно-допустимых и предельных электрических режимов эксплуатации микросхемы приведены в Таблица 17.3.

Таблица 17.3. Значения предельно-допустимых и предельных электрических режимов эксплуатации

Наименование параметра, единица измерения	Буквенное обозначение	Норма			
		Предельно допустимый режим		Предельный Режим	
		не менее	не более	не менее	не более
Напряжение питания периферии, В	U _{CC1}	3,13	3,47	-	3,9
Напряжение питания ядра, В	U _{CC2}	1,14	1,26	-	1,4
Входное напряжение высокого уровня, В	U _{IH}	2,0	U _{CC1} +0,2	-	U _{CC1} +0,3
Входное напряжение низкого уровня, В	U _{IL}	0,0	0,7	-0,3	-
Напряжение, прикладываемое к выходу микросхемы в состоянии «выключено», В	U _{OZ}	0,0	U _{CC1} +0,1	-0,3	U _{CC1} +0,3
Емкость нагрузки каждого выхода, пФ	C _L	-	30	-	50

17.5 Временные параметры

17.5.1 Обмен данными с внешней памятью и устройствами

Временные параметры при обмене данными с внешней памятью и устройствами приведены в Таблица 17.4.

Таблица 17.4. Временные параметры при обмене данными с внешней памятью и устройствами

Наименование параметра, единица измерения	Буквенное обозначение	Норма	
		не менее	не более
Время задержки выходных сигналов A, D, nBE, nWE, nRD, nCS, SRAS, SCAS, SWE, DQM, CKE, A10, BA после переднего фронта частоты SCLK, нс	t_{DOSC}	2	5
Время предустановки считываемых данных из асинхронной памяти перед задним фронтом частоты SCLK, нс	t_{SDSC}	6	-
Время удержания считываемых данных из асинхронной памяти после фронта снятия сигнала nRD, нс (t_{CLK} - период частоты CLK)	t_{HDRD}	0	$0,5 t_{CLK}$
Время предустановки считываемых данных из синхронной памяти перед передним фронтом частоты SCLK, нс	t_{SDSC}	5	-
Время удержания считываемых данных из синхронной памяти после переднего фронта частоты SCLK, нс	t_{HDSC}	0	$0,5 t_{CLK}$

Временная диаграмма при чтении данных из асинхронной памяти приведена на Рисунок 17.1. Считываемые данные фиксируются в микросхеме по заднему фронту частоты SCLK перед снятием сигнала nRD.

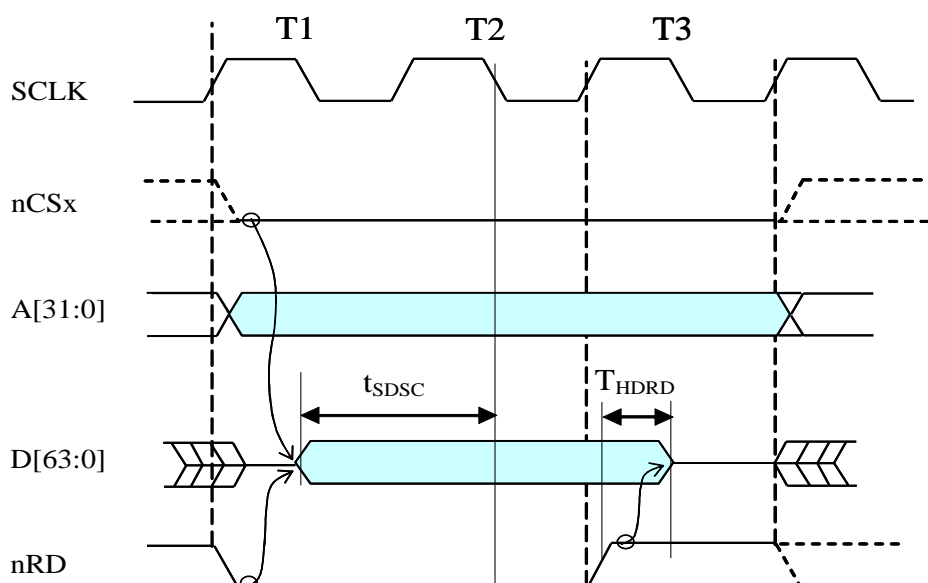


Рисунок 17.1. Чтение асинхронной памяти без дополнительных тактов ожидания

17.5.2 Прием и передача данных по линковому порту

Временные параметры при приеме данных по линковому порту приведены в Таблица 17.5 и на Рисунок 17.2.

Таблица 17.5. Временные параметры при приеме данных по линковому порту

Наименование параметра, единица измерения	Буквенное обозначение	Норма	
		не менее	не более
Время предустановки данных перед задним фронтом частоты LCLK, нс	t_{SLDCL}	5	-
Время удержания данных после заднего фронта частоты LCLK, нс	t_{HLDCL}	3	-
Время задержки переключения сигнала LACK с высокого на низкий уровень после заднего фронта частоты LCLK, нс	t_{DLALC}	5	15
Период частоты LCLK	t_{CLK}	$2,05 * t_{CLK}$	-

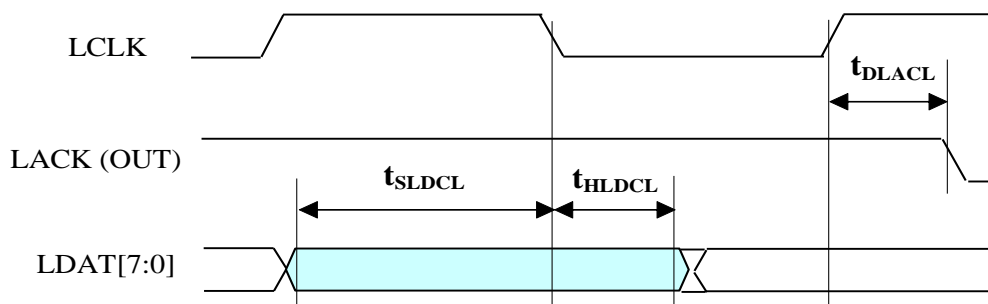


Рисунок 17.2. Прием данных по линковому порту

Временные параметры при передаче данных по линковому порту приведены в Таблица 17.6 и на Рисунок 17.3.

Таблица 17.6. Временные параметры при передаче данных по линковому порту

Наименование параметра, единица измерения	Буквенное обозначение	Норма	
		не менее	не более
Время задержки данных после переднего фронта частоты LCLK, нс	t_{DLDCN}	-	10
Время удержания данных после переднего фронта частоты LCLK, нс	t_{HLDCH}	0	-
Время задержки переключения частоты LCLK в низкий уровень, после переключения сигнала LACK с низкого уровня на высокий, нс	t_{DLACLK}	5	$t_{CLK} + 5$

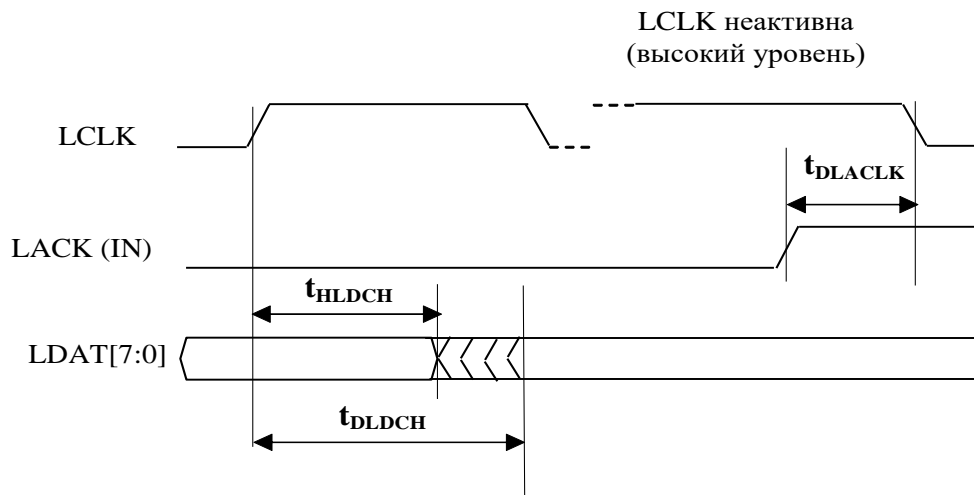


Рисунок 17.3. Передача данных по линковому порту

17.5.3 Рекомендации по подключению кварцевого резонатора

Схема подключения кварцевого резонатора к микросхеме приведена на Рисунок 17.4.

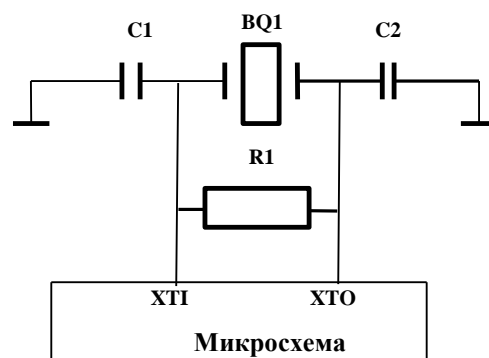


Рисунок 17.4. Схема подключения кварцевого резонатора к микросхеме

Частота кварцевого резонатора должна быть 9-12 МГц. Ориентировочные величины: R1=1 мОм, C1=C2=7 пФ. Конкретная величина конденсаторов и резистора указывается в документации на резонатор.

18. ОПИСАНИЕ ВНЕШНИХ ВЫВОДОВ

Параметры корпуса микросхемы 1892ВМ10Я:

- тип корпуса: HSBGA-400;
- размер корпуса (габариты): 21мм x 21мм;
- шаг по выводам 1,0 мм;
- матрица выводов: 20x20;
- общее число выводов: 387.

Перечень сигналов микросхемы 1892ВМ10Я по группам, приведен в Таблица 18.1.

Таблица 18.1. Перечень сигналов по группам

Назначение	Число выводов
Порт внешней памяти, 32 разряда	88
Порт UART (2 штуки)	4
Порт Ethernet MAC	17
Порт MFBSP (4 порта)	40
Порт I2C	2
Порт видео ввода VPIN	13
Порт видео вывода VPOUT	19
Порт интерфейса коррелятора	22
Управление	23
Итого	228

Все неиспользуемые выводы типа «I», «IO» необходимо подключить к земле, если в этих таблицах не указано иное требование (кроме выводов шины данных D).

Выводы шины данных D подключать через резисторы к земле или электропитанию не требуется.

При сопряжении данной микросхемы с внешними устройствами, например памятью, в зависимости от параметров платы, необходимо устанавливать схемы последовательного или параллельного согласования. Необходимость их установки определяет разработчик аппаратуры самостоятельно.

Описание выводов микросхемы 1892ВМ10Я приведено в Таблица 18.2 Таблица 18.11.

Таблица 18.2. Порт внешней памяти

Название вывода	Количество	Тип	Назначение
A[31:0]	32	O	Шина адреса.
D[31:0]	32	IO	Шина данных
nBE[3:0]	4	O	Разрешение выборки байтов асинхронной памяти: nBE[0] – самый младший байт, nBE[3] – самый старший байт. При чтении данных из памяти на всех этих выводах устанавливается низкий уровень. При записи данных в память низкий уровень устанавливается только на выводах, соответствующих байтам, которые необходимо записать.
nWE	1	O	Запись асинхронной памяти
nRD	1	O	Чтение асинхронной памяти
ACK	1	I	Готовность асинхронной памяти
nCS[4:0]	5	O	Разрешение выборки блоков внешней памяти
SRAS	1	O	Строб адреса строки
SCAS	1	O	Строб адреса колонки
SWE	1	O	Разрешение записи
DQM[3:0]	4	O	Маска выборки байтов памяти типа SDRAM
SCLK	1	O, I	Тактовая частота работы MPORT
CKE	1	O	Разрешение частоты
A10	1	O	10 разряд адреса
BA[1:0]	2	O	Номер банка
Всего 88 выводов			

Таблица 18.3. Управление

Название вывода	Количество	Тип	Назначение
nDMAR[3:0]	4	I	Запрос канала DMA. Формируется по отрицательному фронту. Минимальная длительность – не менее 1,5 периодов системной тактовой частоты CLK (частота, на которой работает CPU).
NMI	1	I	Немаскируемое прерывание.
nIRQ[3:0]	4	I	Запросы прерывания.
WSIZE[1:0]	2	I	Определение источника и разрядности данных при начальной загрузке программ микропроцессора после снятия сигнала nRST
WDT	1	O	Признак срабатывания сторожевого таймера. Этот сигнал формируется, если в программе произошел сбой. Его можно подать на системный контроллер, который будет принимать решение, что делать в данной ситуации.
PLL_EN	1	I	Разрешение работы PLL.
XTI, XTO	2	I, O	Для тактирования микропроцессора можно использовать внешний кварцевый резонатор или внешний генератор импульсов, частота тактирования 9-12 МГц. Внешний кварцевый резонатор должен подключаться к выводам XTI и XTO. Внешний генератор импульсов должен подключаться к выводу XTI, а вывод XTO должен быть незадействованным.
RTCXTI	1	I	Вывод для подключения внешнего генератора частотой 32 КГц.

Название вывода	Количество	Тип	Назначение
nRST	1	I	Сигнал установки исходного состояния. При включении электропитания микросхемы сигнал nRST должен иметь низкий уровень и переключаться на высокий уровень через время не менее 1 мс после установки стабильного электропитания и стабильной тактовой частоты на входе XTI. Если необходимо установить работающую микросхему в исходное состояние, то для этого на нее необходимо подать асинхронный сигнал nRST длительностью не менее 4 тактов частоты на входе XTI. При этом, если к MPORT подключена память типа SDRAM, то до подачи сигнала nRST все операции обмена данными с SDRAM должны быть закончены. Фронт и спад сигнала nRST должен быть не более 100 нс.
TCK	1	I	Тестовый тактовый сигнал (JTAG)
TRST	1	I	Установка исходного состояния (JTAG)
TMS	1	I	Выбор режима теста (JTAG)
TDI	1	I	Вход данных теста (JTAG)
TDO	1	O	Выход данных теста (JTAG)
nDE	1	Ю	Состояние режима отладки. Сигнал предназначен для отладки программного обеспечения нескольких микросхем (до 8), работающих одновременно. Для этого выводы nDE у этих микросхем необходимо объединить в проводное ИЛИ. Если совместная отладка не используется, то вывод nDE должен быть незадействованным.
Всего 23 выводов			

Таблица 18.4. Порт MAC Ethernet

Название вывода	Количество	Тип	Назначение
MD	1	Ю	Входные и выходные данные по интерфейсу MD
MDC	1	O	Тактовая частота обмена данными по интерфейсу MD
TX_CLK	1	I	Тактовая частота передачи данных по интерфейсу МП
TX_EN	1	O	Признак передачи данных по интерфейсу МП
TXD[3:0]	4	O	Шина передаваемых данных по интерфейсу МП
CRS	1	I	Сигнал наличия несущей в среде передачи
COL	1	I	Сигнал обнаружения коллизии в среде передачи
RX_CLK	1	I	Тактовая частота приема данных по интерфейсу МП
RX_DV	1	I	Признак наличия данных для приема по интерфейсу МП
RXD[3:0]	4	I	Шина принимаемых данных по интерфейсу МП
RX_ER	1	I	Признак обнаружения ошибки в принимаемых данных
Всего 17 выводов			

Таблица 18.5. Порт видео ввода

Название вывода	Количество	Тип	Назначение
VDin[9:0]	10	I	Шина видеоданных
FRAME	1	I	Кадровая синхронизация
LINE	1	I	Строчная синхронизация
PIXCLK	1	I	Синхронизация пикселей
Всего 13 выводов			

Таблица 18.6. Порт видео вывода

Название вывода	Количество	Тип	Назначение
VDout[15:0]	16	О	Шина видеоданных
VSYNC	1	Ю	Кадровая синхронизация
HSYNC	1	Ю	Строчная синхронизация
VCLKO	1	Ю	Синхронизация пикселей
Всего 19 выводов			

Таблица 18.7. Порт MFBSР (4 порта)

Название вывода	Количество	Тип	Назначение
LDAT	8	Ю	Шина данных.
LCLK	1	Ю	Синхронизации
LACK	1	Ю	Подтверждения
Всего 10*4=40 выводов			

Таблица 18.8. Порт I2C

Название вывода	Количество	Тип	Назначение
SCL	1	Ю	Тактовая частота
SDA	1	Ю	Последовательные данные
Всего 2 вывода			

Таблица 18.9. Порты UART

Название вывода	Количество	Тип	Назначение
SIN0,1	2	И	Вход последовательных данных
SOUT0,1	2	О	Выход последовательных данных
Всего 2 вывода			

Таблица 18.10. Порт интерфейса коррелятора

Название вывода	Количество	Тип	Назначение
GLN1_I[1:0], GLN1_Q[1:0]	4	И	Сигналы с RF канала 1 GLONASS
GLN2_I[1:0], GLN2_Q[1:0]	4	И	Сигналы с RF канала 2 GLONASS
GPS1_I[1:0], GPS1_Q[1:0]	4	И	Сигналы с RF канала 1 GPS
MCC_CLK	1	И	Частота 34-40 МГц с RF
OPPS	1	О	Секундная метка
TEST[7:0]	8	О	Тестовые сигналы
Всего 22 вывода			

Таблица 18.11. Электропитание

Название вывода	Количество	Назначение
CVDD	50	Напряжение электропитания ядра (U _{CC2})
PVDD	44	Напряжение электропитания входных и выходных драйверов (U _{CC1})
GND	65	Земля ядра, входных и выходных драйверов
Всего 160 выводов		

Нумерация выводов микросхемы 1892ВМ10Я в корпусе HSBGA-400 приведена на Рисунок 18.1.

	1	2	3	4	5	6	7	8	9	10
A	GND	PVDD	NCS[4]	BA[1]	DQM[1]	NBE[1]	NBE[3]	VDIN[1]	VDIN[3]	VDIN[5]
B	A[30]	PVDD	NCS[2]	NCS[3]	SWE	SCAS	DQM[0]	VDIN[2]	VDIN[8]	FRAME
C	A[24]	A[26]	NCS[0]	A10	SRAS	DQM[3]	DQM[2]	VDIN[4]	PIXCLK	VDOU[3]
D	A[20]	A[22]	A[28]	GND	CVDD	NBE[2]	VDIN[0]	VDIN[6]	VDOU[5]	GND
E	A[18]	A[16]	A[25]	NBE[0]	CVDD	NWE	NRD	VDOU[1]	VDOU[7]	PVDD
F	A[12]	A[14]	A[27]	NCS[1]	BA[0]	PVDD	PVDD	PVDD	PVDD	PVDD
G	A[10]	A[11]	A[15]	A[29]	A[21]	PVDD	PVDD	PVDD	PVDD	PVDD
H	A[6]	A[8]	A[7]	A[17]	A[23]	A[31]	GND	GND	GND	GND
J	A[1]	A[3]	A[5]	A[9]	A[13]	A[19]	GND	GND	GND	GND
K	A[4]	A[2]	D[27]	D[25]	D[31]	D[29]	CVDD	CVDD	CVDD	CVDD
L	A[0]	D[23]	D[26]	D[21]	D[17]	D[13]	CVDD	CVDD	CVDD	CVDD
M	D[30]	D[28]	D[11]	D[5]	D[9]	D[7]	CVDD	CVDD	CVDD	CVDD
N	D[22]	D[24]	D[1]	XTI	TRST	D[3]	NMI	GND	GND	GND
P	D[20]	D[18]	-	TCK	NIRQ[3]	TDI	RX_CLK	RXD[2]	GPS1_Q[0]	GND
R	D[16]	D[14]	D[19]	D[15]	NIRQ[1]	WSIZE[0]	RX_DV	RXD[0]	TXD[0]	GLN1_Q[0]
T	D[12]	D[6]	D[4]	NDMAR[0]	WSIZE[1]	NIRQ[0]	TX_EN	TXD[2]	OPPS	LDAT3[6]
U	D[10]	ACK	XTO	GND	TDO	NIRQ[2]	TEST[6]	TEST[0]	PVDD	PVDD
V	D[8]	D[0]	RTCXTI	NDMAR[3]	NDE	WDT	MD	TEST[4]	-	GLN2_I[0]
W	D[2]	CKE	NRST	NDMAR[2]	TMS	RXD[3]	CRS	TEST[3]	-	GLN2_Q[0]
Y	SCLK	-	-	PLL_EN	NDMAR[1]	RX_ER	MDC	TEST[2]	-	GPS1_Q[1]
	1	2	3	4	5	6	7	8	9	10

11	12	13	14	15	16	17	18	19	20	
VDIN[7]	LINE	VDOU[2]	VDOU[6]	VDOU[12]	VDOU[14]	VCLKO	-	CVDD	CVDD	A
VDIN[9]	VDOU[0]	VDOU[4]	VDOU[8]	VDOU[10]	VSIN	VDOU[15]	-	CVDD	CVDD	B
VDOU[13]	SCL	VDOU[9]	VDOU[11]	SDA	SOUT1	SIN1	SOUT0	GND	GND	C
HSIN	GND	GND	GND	GND	GND	GND	SIN0	GND	GND	D
PVDD	PVDD	PVDD	PVDD	PVDD	PVDD	PVDD	PVDD	PVDD	PVDD	E
PVDD	PVDD	PVDD	PVDD	PVDD	PVDD	PVDD	PVDD	PVDD	PVDD	F
PVDD	PVDD	PVDD	PVDD	PVDD	PVDD	GND	GND	GND	GND	G
GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	H
GND	GND	GND	GND	GND	GND	CVDD	CVDD	CVDD	CVDD	J
CVDD	CVDD	CVDD	CVDD	CVDD	CVDD	CVDD	CVDD	CVDD	CVDD	K
CVDD	CVDD	CVDD	CVDD	CVDD	CVDD	CVDD	LDAT0[6]	LDAT0[4]	LDAT0[2]	L
CVDD	CVDD	CVDD	CVDD	CVDD	CVDD	CVDD	LACK0	LDAT1[6]	LDAT1[4]	M
GND	GND	GND	GND	GND	GND	GND	LDAT1[7]	LDAT1[2]	LDAT1[0]	N
GND	GND	GND	GND	GND	GND	GND	LACK1	LACK2	LDAT2[0]	P
LDAT3[2]	LCLK0	GND	GND	GND	GND	GND	LDAT2[3]	LDAT2[5]	LCLK3	R
LDAT2[2]	LDAT1[1]	CVDD	CVDD	CVDD	CVDD	LDAT0[5]	LDAT2[7]	LDAT3[0]	LDAT3[1]	T
LDAT2[4]	PVDD	PVDD	PVDD	LDAT0[7]	LDAT0[3]	LDAT0[0]	LACK3	LDAT3[3]	LDAT3[5]	U
LDAT3[4]	LCLK1	LDAT1[5]	LDAT3[7]	TXD[3]	LDAT2[1]	LCLK2	TEST[1]	COL	TXD[1]	V
GPS1_I[0]	LDAT2[6]	LDAT1[3]	LDAT0[1]	TEST[7]	GPS1_I[1]	-	-	RXD[1]	GLN2_Q[1]	W
-	GLN1_I[1]	GLN1_I[0]	-	-	TEST[5]	GLN2_I[1]	MCC_CLK	TX_CLK	GLN1_Q[1]	Y
11	12	13	14	15	16	17	18	19	20	

Рисунок 18.1. Нумерация выводов микросхемы 1892ВМ10Я

Чертеж корпуса микросхемы приведен на рисунках Рисунок 18.2.а,б.

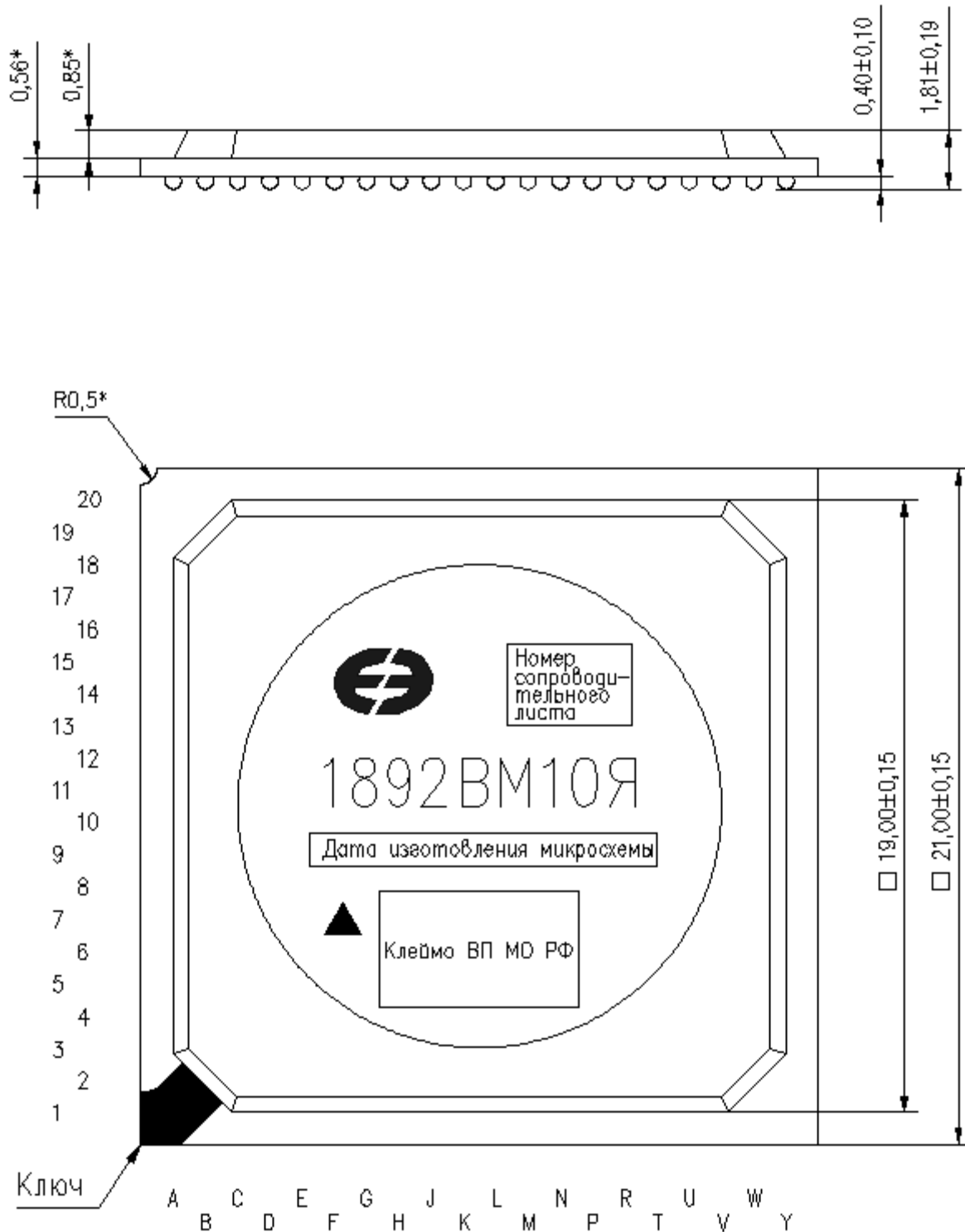
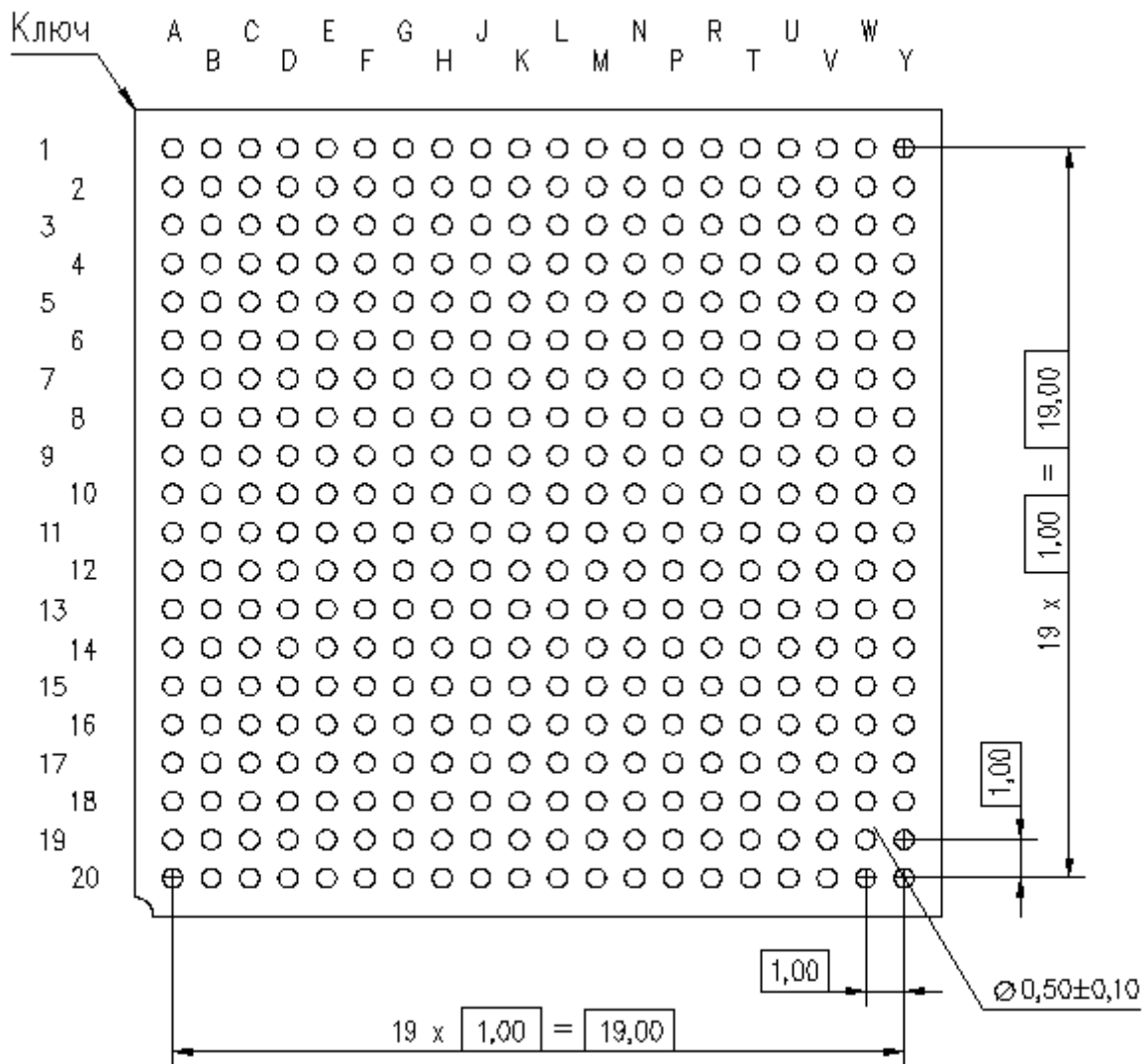


Рисунок 18.2.а. Чертеж корпуса микросхемы 1892BM10Я (боковая и лицевая стороны)



* - Размеры для справок

Рисунок 18.2.б. Чертеж корпуса микросхемы 1892BM10Я (обратная сторона)

18.1 Рекомендации по монтажу микросхемы

При монтаже микросхемы на поверхность печатной платы в РЭА рекомендуется применять групповой метод пайки расплавлением доз паяльных паст, в режимах, приведенных в таблицах 18.12 и 18.13. Выводы микросхемы представляют собой контактные площадки с шариками припоя, изготовленными из эвтектического припоя В Sn 63 Pb 183 либо В Sn 96,5 Ag 221.

Для обеспечения качественных паяных соединений рекомендуется использовать паяльную пасту MULTICORE MP218 (либо аналогичную по характеристикам). Рекомендуемый температурный профиль приведен на рисунке 18.4.

Таблица 18.12. Ориентировочные режимы пайки для сплава В Sn 63 Pb 183

Предварительный нагрев:	
Минимальная температура ($T_{S \min}$)	100°C
Максимальная температура ($T_{S \max}$)	150°C
Время (t_s) от $T_{S \min}$ до $T_{S \max}$	(60 – 120) с
Температура плавления (ликвидуса) (T_L)	183°C
Время (t_L) поддержания температуры выше T_L	(60 – 150) с
Пиковая температура (T_P)	$T_P \leq T_C$
Скорость нарастания от T_L до T_P ($T_{RUR \max}$)	3°C/с, не более
Температура квалификации (T_C)	235°C
Время (t_P) в пределах 5 °C T_C	20 с
Скорость спада от T_P до T_L ($T_{RDR \max}$)	6°C/с, не более
Время от 25 °C до пиковой температуры	6 мин, не более

Таблица 18.13. Ориентировочные режимы пайки для сплава В Sn 96,5 Ag 221

Предварительный нагрев:	
Минимальная температура ($T_{S \min}$)	130°C
Максимальная температура ($T_{S \max}$)	180°C
Время (t_s) от $T_{S \min}$ до $T_{S \max}$	(60 – 120) с
Температура плавления (ликвидуса) (T_L)	221°C
Время (t_L) поддержания температуры выше T_L	(60 – 150) с
Пиковая температура (T_P)	$T_P \leq T_C$
Скорость нарастания от T_L до T_P ($T_{RUR \max}$)	3°C/с, не более
Температура квалификации (T_C)	265°C
Время (t_P) в пределах 5 °C T_C	20 с
Скорость спада от T_P до T_L ($T_{RDR \max}$)	6°C/с, не более
Время от 25 °C до пиковой температуры	6 мин, не более

Примечание. Выбор оптимального температурного режима пайки микросхем зависит от плотности печати, размеров компонентов и характеристик печи оплавления.

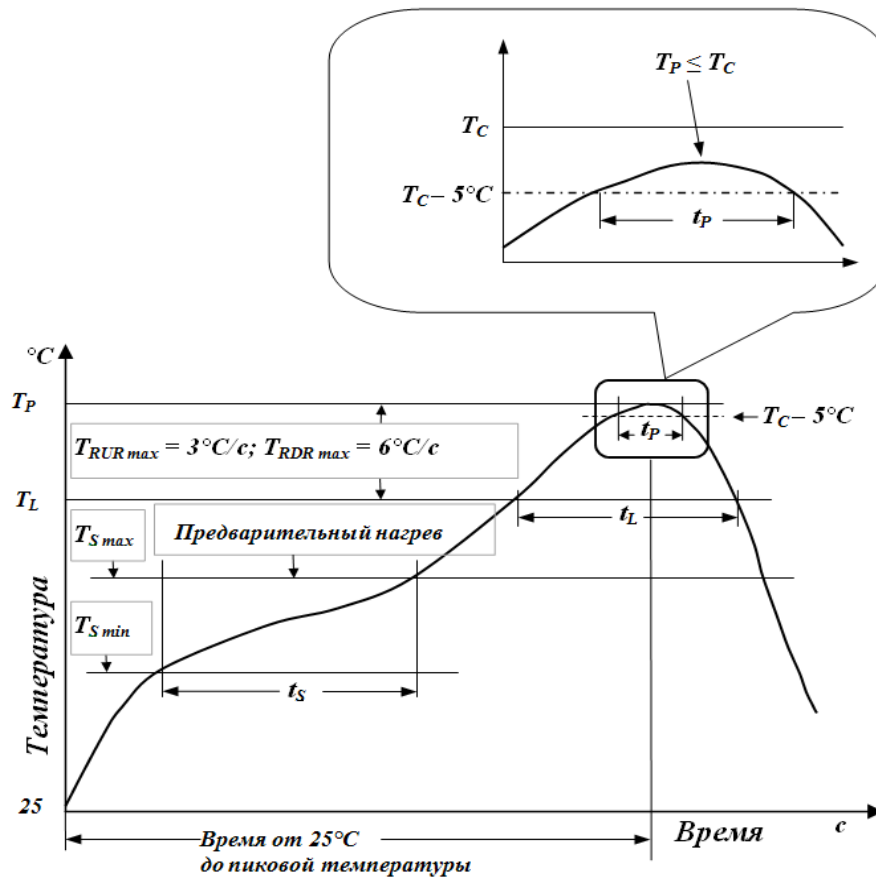


Рисунок 18.4. Температурный профиль пайки

19. Приложение 1. ВРЕМЯ ВЫПОЛНЕНИЯ ФУНКЦИЙ ПРИКЛАДНОЙ БИБЛИОТЕКИ ЦОС

Таблица 19.1

№	Функция	Время выполнения (в тактах)	Число команд
1	БПФ-N, комплексное, прямой вход, $N=4^n$, формат (float32), отключение блокировок	Сумма $T_S+T_K+T_L$, $S=0:n-3$, $T_S=$ $24+37 \cdot 4^S+14 \cdot (N/(8 \cdot 4^S)-2)$, $T_K=10+26 \cdot (N/16)$, $T_L=12+8 \cdot (N/8)$	130
	$N=256$	1673	
	$N=1024$	8320	
2	БПФ-N, комплексное, прямой вход, $N=8 \cdot 4^n$, формат (float32), отключение блокировок	Сумма $10+T_S+T_L$, $S=0:n-1$, $T_S=$ $24+37 \cdot 4^S+14 \cdot (N/(8 \cdot 4^S)-2)$, $T_L=10+13 \cdot (N/8)$	100
	$N=2048$	18495	
3	БПФ-N, комплексное, прямой вход, $N=4^n$, формат (int(16+j16)), блочная плавающая точка, отключение блокировок $N=256$ $N=1024$	Сумма $10+T_S+T_K+T_L$, $S=0:n-3$, $T_S=$ $11+15 \cdot 4^S+8 \cdot (N/16)$, $T_K=36+8 \cdot (N/16)$, $T_L=15+4 \cdot (N/8)$	110
	$N=256$	670	
	$N=1024$	3000	
4	БПФ-N, комплексное, прямой вход, $N=8 \cdot 4^n$, формат (int(16+j16)), блочная плавающая точка, отключение блокировок $N=2048$	Сумма $10+T_S+T_L$, $S=0:n-1$, $T_S=11+15 \cdot 4^S+8 \cdot (N/16)$, $T_L=15+4 \cdot (N/8)$	90
	$N=2048$	6453	

№	Функция	Время выполнения (в тактах)	Число команд
5	Перестановка комплексного массива размера N с 2-инверсией, с замещением, форматы (int(16+j16)) / (float32) N=256 N=512 N=1024 N=2048	$2 \cdot (N - \sqrt{N}) + 6 \cdot \sqrt{N} + 12$ 588 1127 2188 4289	22
6	КИХ-фильтр в формате (float32) M – отводы, N – выходы N=256, M=32 N=512, M=64 N=1024, M=128	2560 16384 57344	41
7	КИХ-фильтр в формате (float32) с децимацией dec M – отводы, N – выходы, dec=2 N=256, M=32 N=512, M=64 N=1024, M=128	6144 20480 73728	40
8	КИХ - фильтр в формате (int16) N=256, M=32 N=512, M=64 N=1024, M=128	1224 6348 21900	49
9	Сложение (int16) N=256 N=512 N=1024	176 336 656	12
10	Сложение (float32) N=256 N=512 N=1024	333 653 1293	10
11	Вычитание (int16) N=256 N=512 N=1024	177 337 657	12

№	Функция	Время выполнения (в тактах)	Число команд
12	Вычитание (float) N=256 N=512 N=1024	333 653 1293	10
13	Умножение и масштабирование (int16) N=256 N=512 N=1024	590 1166 2318	12
14	Умножение (float32) N=256 N=512 N=1024	333 653 1293	10
15	Поиск максимума (int16) N=256 N=512 N=1024	109 205 397	12
16	Поиск максимума (float32) N=256 N=512 N=1024	1036 2060 4108	10
17	Поиск минимума (int16) N=256 N=512 N=1024	109 205 397	12
18	Поиск минимума (float32) N=256 N=512 N=1024	1036 2060 4108	10
19	Поиск индекса максимума (int16) N=256 N=512 N=1024	109 205 397	14

№	Функция	Время выполнения (в тактах)	Число команд
20	Поиск индекса максимума (float32) N=256 N=512 N=1024	1293 2573 5133	12
21	Поиск индекса минимума (int16) N=256 N=512 N=1024	109 205 397	14
22	Поиск индекса минимума (float32) N=256 N=512 N=1024	1293 2573 5133	12
23	Отрицательный вектор (int16) N=256 N=512 N=1024	140 268 524	11
24	Отрицательный вектор (float32) N=256 N=512 N=1024	268 524 1036	11
25	Отрицательный вектор (int) N=256 N=512 N=1024	268 524 1036	11
26	Корень квадратный (int16) N=256 N=512 N=1024	11786 23562 47114	45
27	Корень квадратный (float32) N=256 N=512 N=1024	11247 22511 45039	27
28	Синус (int16) N=256 N=512 N=1024	14093 29197 56333	53

№	Функция	Время выполнения (в тактах)	Число команд
29	Синус (float32) N=256 N=512 N=1024	13321 28173 53257	33
30	Косинус (int16) N=256 N=512 N=1024	14605 41863 58381	53
31	Косинус (float32) N=256 N=512 N=1024	13833 26633 55305	33
32	Арктангенс (int16) N=256 N=512 N=1024	20871 27657 83847	74
33	Арктангенс (float32) N=256 N=512 N=1024	19919 26633 80591	53
34	Преобразование из (int16) в (float32) N=256 N=512 N=1024	1291 2571 5131	11
35	Преобразование из (float32) в (int16) N=256 N=512 N=1024	651 1291 2571	14

Комментарии

1. Оценки в таблице относятся к ресурсам одного ядра DSP микропроцессора без использования возможности распараллеливания на два ядра.
2. Вычисления осуществляются по данным, заранее загруженным в память DSP.
3. N для всех функций – длина входного вектора данных.
4. M для функций КИХ-фильтрации – длина характеристики фильтра.
5. Все используемые массивы хранятся в локальной памяти DSP-ядра.
6. Аналитические выражения предназначены для ориентировочной аналитической оценки.

7. Данные с отметкой (*) – аналитические оценки, остальные данные получены по результатам измерений на кристалле.

20. Приложение 2. ПОТРЕБЛЯЕМАЯ МОЩНОСТЬ ЯДРА

Данные по потребляемой мощности, представленные в таблицах 2.а и 2.б получены по результатам измерений на образцах микросхем в нормальных климатических условиях при комнатной температуре. Данные приведены для максимально достижимых частот в пределах нормальных условий и могут рассматриваться только как справочные.

При анализе моделировалось не только простое включение и выключение частоты на узлах микросхемы, но и вычислительная нагрузка на основных узлах – CPU, DSP, MCC.

Для вычисления полного потребления микросхемы к цифрам, представленным в таблице 2.а, необходимо добавить мощность, потребляемую контактными площадками.

Таблица 20.1. Потребляемая мощность ядра (по цепи CVDD – 1.2В) микросхемы в различных режимах работы

Режим (on – частота включена, on+ - частота включена, вычислительная нагрузка, off – частота выключена) Частоты в режиме on: CPU, Core – 300МГц; Mport – 126 МГц; DSP – 330 МГц Частоты в режиме 100: CPU, Core – 96МГц; Mport – 96 МГц; DSP-96МГц	Потребляемая мощность ядра, мВт
Core on+, CPU on+ , DSP on+, MCC on+	1075
Core on+, CPU on+, DSP off, MCC on+	354
Core on+, CPU on+, DSP off, MCC off	284
Core on+, CPU off, DSP off, MCC off	172
Core off, CPU off, DSP off, MCC off, TIMER on	10
Core 100+, CPU 100+, DSP 100+, MCC 100+	435

Таблица 20.2. Потребляемая мощность для отдельных узлов ядра микросхемы на максимальных частотах

	Потребляемая мощность, мВт	%
CPU ядро	112	10
DSP ядро (кластер)	721	67
MCC ядро	70	7
Остальное**	172	16

* Мощность рассчитывалась для уровня core, без учета потребления контактных площадок.

** Остальные узлы микросхемы при анализе работали без вычислительной нагрузки.

21. ИСТОРИЯ ИЗМЕНЕНИЙ

21.1 Изменения от 21.02.2011

- Таблица 2.3. Поправлены адреса регистров МСС;
- таблица 2.8. Исправлены перепутанные биты DMA_MFBSP_TX, DMA_MFBSP_RX прерываний для MFBSP в QSTR2;
- таблица 2.10. Добавлено описание бита TR_CRAM, отвечающего за размещение векторов прерываний во внутренней памяти;
- в разделе 4.3.2 поправлено время в тактах для операций умножения и деления в CPU;
- в разделе 4.4.2 поправлено время в тактах для операций деления в CPU, убрано упоминание об операции умножения как специальном случае;
- в разделе 4.8.3 в таблицу расположения векторов исключения добавлены случаи с расположением векторов во внутренней памяти;
- таблица 8.1. Поправлена таблица приоритетов каналов DMA, добавлен DSP.

21.2 Изменения от 28.02.2011

- Рисунок 18.1. Из схемы выводов удалены выводы GPS2.

21.3 Изменения от 03.03.2011

- Внутреннее наименование микросхемы заменено на 1892BM10Я.

21.4 Изменения от 04.03.2011

- Таблица 18.11. Добавлено количество выводов;
- добавлено Приложение 2.

21.5 Изменения от 05.03.2011

- Заменен Титульный лист;
- добавлена Аннотация;
- добавлен Перечень сокращений;
- приложение 1. Изменены названия микросхем таблицы;
- заменено Введение.

21.6 Изменения от 15.03.2011

- Добавлено Приложение 3;
- в разделе 9.2.4 добавлены схемы подключения памятей;
- таблица 1.1. Исправлено время операций с использованием декодера Витерби.

21.7 Изменения от 17.03.2011

- В разделе 2.5 добавлены замечания про порядок считывания слов при загрузке.

21.8 Изменения от 21.03.2011

- В разделе 2.5 добавлены замечания про порядок считывания слов при загрузке через SPI.
- в разделе 9.3.2 изменены диаграммы чтения из асинхронной памяти, добавлено пояснение к поведению сигнала nRD при чтении.
- в разделе 4.8.4 добавлено рекомендация по слоту задержки перед ERET, в случае модификации EPC.

21.9 Изменения от 23.03.2011

- Рисунок 18.1 и в разделе 18 старое наименование сигнала nWR заменено на новое nBE.

21.10 Изменения от 24.03.2011

- Удалены упоминания о выходах PDM, т.к. они являются фактически не используемыми;
- в разделе 2.2 добавлено замечание о соотношении частот ядра и MPORT в режиме TLB.

21.11 Изменения от 31.03.2011

- В разделе 3 объем памяти XYRAM заменен на правильный – 256 Кбайт (64К x 32).

21.12 Изменения от 06.04.2011

- В разделе 2.2 добавлено упоминание о частоте MCC_CLK и ограничениях на нее.
- в разделе 0 добавлена фраза, разъясняющая порядок отключения частоты.

21.13 Изменения от 22.04.2011

- Таблица 18.6 тип выводов HSYNC, VSYNC, VCLKO изменен с О на правильный - Ю.

21.14 Изменения от 03.05.2011

- Пара универсальных таймеров интервальных/реального времени теперь поименована правильно – как IT0 и IT1 соответственно.

21.15 Изменения от 05.05.2011

- Электрические параметры в Таблица 17.1 приведены в соответствие с результатами измерений на образцах микросхемы;
- значения потребляемой мощности в приложении 2 приведены в соответствие с результатами измерений на образцах микросхемы.

21.16 Изменения от 06.05.2011

- Цифры по потреблению данные в разделе 1.2 исправлены в соответствии с результатами измерений на образцах микросхемы;
- из документа убрана вся информация о встроенном контроллере USB.

21.17 Изменения от 10.05.2011

- В разделе 10.1.1 добавлено ограничение по частоте PLL_CORE для работы Ethernet при 100 Мб/с.

21.18 Изменения от 12.05.2011

- Данные в Приложении 1 приведены в соответствие с результатами измерений на образцах микросхемы;
- таблица 18.2. Уточнено описание выводов nBE;
- таблица 18.3. Уточнено описание на выводы ХТІ, ХТО.

21.19 Изменения от 27.05.2011

- Таблица 13.2. Уточнено описание разрядов регистра CSR порта VPOUT.

21.20 Изменения от 21.06.2011

- В разделе 14.3 удалены излишние таблицы скорости обмена UART.

21.21 Изменения от 26.07.2011

- Введена глава 4.10 - «Особенности реализации процессорного ядра RISCore32 для микросхемы 1892ВМ10Я»;
- в таблицы 8.2, 8.5 добавлено ограничение на поле WN от 8 слов и выше.

21.22 Изменения от 27.07.2011

- Изменены пункты 1.5.5 и 1.5.6, добавлены сведения о предоставлении библиотек и список портированных ОС.

21.23 Изменения от 09.08.2011

- Ограничение на частоту ХТИ – 12 МГц заменено на диапазон 9-12 МГц.

21.24 Изменения от 15.08.2011

- Отредактированы аннотация и введение;
- в разделе 5 добавлено краткое описание ядра многоканального коррелятора (МКК). В документ добавлены ссылки на документацию по МКК, в приложении 4. Приложение предоставляется отдельным документом.

21.25 Изменения от 26.08.2011

- Таблица 2.3. Удалены отсутствующие регистры OR_EMAC_CH, Y_EMAC_CH;
- поправлен раздел 8.4. Добавлен подраздел 8.4.1 Особенности DMA порта Ethernet MAC;
- из раздела 10 удален подраздел DMA-DMA Engine;
- таблица 10.4 удалены регистры относящиеся к DMA, описание теперь только в таблице 2.3;
- из раздела 10 удалены таблицы, описывающие регистры DMA.

21.26 Изменения от 21.10.2011

- Во введение введен раздел «Порядок использования данного документа»;
- в Таблица 8.2. Формат регистра управления и состояния каналов MEM_CH добавлено описание бита 11 FLYBY.

21.27 Изменения от 29.11.2011

- Из раздела 8.1 удалены устаревшие сведения о механизмах задания приоритетов каналам DMA.

21.28 Изменения от 07.12.2011

- В разделе 8.4 прописан алгоритм остановки MFBSPP и его канала DMA.

21.29 Изменения от 12.12.2011

- Из главы 14 удалены все устаревшие данные о модемном функционале UART;
- на Рисунок 18.1 удален вывод RTCXTO;
- из руководства удалены все сведения о нереализованном в данной микросхеме режиме внешних обменов FLYBY.

21.30 Изменения от 20.01.2012

- Предварительное значение частоты микросхемы - 300 MHz в нормальных условиях, заменено на значение по результатам испытаний – 250 MHz во всем диапазоне температур. Приведенные пиковые производительности также приведены в соответствие.

21.31 Изменения от 04.06.2012

- Добавлен раздел 18.1 Рекомендации по монтажу микросхемы;
- в разделе 17.1 уточнен порядок включения и выключения микросхемы;
- цифры по энергопотреблению ядра теперь приведены для худшего случая в пределах T_У, вместо нормальных условий.

21.32 Изменения от 07.06.2012

- Наименование предприятия по тексту заменено с ГУП НПЦ «ЭЛВИС» на АО НПЦ «ЭЛВИС»;
- в разделе 11 прописан верхний диапазон темпа передачи данных для MFBSPP в режиме LPORT – 50 МГц;
- в разделе 17.5.3 расширен диапазон частоты кварцевого генератора 9-12 МГц;
- в Таблица 18.3 прописан порядок работы с сигналом nRST;

- в Таблице 1.1 и Приложении 1 уточнены параметры производительности DSP на функциях ЦОС.

21.33 Изменения от 30.07.2012

- Исправлены описание битов INT в таблицах Таблица 6.2 и Таблица 7.2 по отношению к QSTR.

21.34 Изменения от 15.08.2012

- Пункт 4.10.14 дополнен рекомендациями к построению программы обработки прерывания DSP-ядра.

21.35 Изменения от 15.08.2012

- Таблицы Таблица 11.6 и Таблица 11.18 дополнены описанием битов [9:6] по управлению выводами LDAT[7:4].

21.36 Изменения от 13.09.2012

- Уточнена таблица 12.2 (пункт 12.3.1) – назначение разрядов регистра CSR порта VPIN;
- уточнено описание порта VPOUT – раздел 13.

21.37 Изменения от 13.10.2012

- Уточнено описание порта VPOUT – раздел 13.

21.38 Изменения от 01.11.2012

- Исправлено количество выводов в Таблица 18.1 с 388 на 387, и количество сигналов GND в Таблица 18.11 с 66 на 65, связано с изменением от 12.12.2011 Рисунок 18.1.

21.39 Изменения от 03.12.2012

- В разделе 8.4 исправлен алгоритм остановки MFBSF и его канала DMA.

21.40 Изменения от 18.12.2012

- Исправление опечаток во введении. Разделы 1.4.3, 1.4.2, 1.4.9.

21.41 Изменения от 04.06.2013

- Исправлена карта памяти для регистров DMA_VPOUT, DMA_VPIN, DMA_EMAC в таблице 2.3;
- улучшено представление параметров самоинициализации DMA в памяти в разделе 8.2.

21.42 Изменения от 25.06.2013

- Добавлено упоминание о КЭШе данных в пунктах 4.3.6, 4.7;
- убраны упоминания об отсутствующих регистрах управления модемом MCR, MSR UART.

21.43 Изменения от 17.01.2014

- Убраны упоминания о неподдерживаемом режиме работы с синхронной статической памятью для MPORT;
- уточнено описание DMA каналов память-память (раздел 8.3).

21.44 Изменения от 17.11.2014

- Скорректирован раздел 18.1 в части состава припоя, из которого выполнены выводы микросхемы.

21.45 Изменения от 12.02.2015

- Скорректирован раздел 17.2 в части максимального значения входной емкости (C_1).

21.46 Изменения от 29.04.2015

- Раздел 9.2.9 Регистр FLY_WS удален в связи с отсутствием режима FLYBY.

21.47 Изменения от 14.10.2015

- Скорректировано расположение значений регистров в блоках самоинициализации DMA, раздел 8.2;
- скорректированы требования к максимальному значению выходной частоты порта VPOUT в разделе 13.5.

21.48 Изменения от 17.11.2015

- Скорректировано оформление таблицы 3.14;

- обновлено оформление документа в соответствии с новыми требованиями.

21.49 Изменения от 01.02.2017

- Раздел 8.1.4. Исправлено описание формирования прерывания от канала DMA;
- раздел 8.2. Исправлены адреса параметров самоинициализации портов DMA;
- исправлена нумерация таблиц и рисунков во всем документе.

21.50 Изменения от 29.01.2018

В раздел 3.10 добавлены следующие особенности реализации процессорного ядра RISCore32:

- если используется пошаговая отладка программ, то после команд загрузки LWC1, LDC1, LW, LWL, LWR, LB, LBU, LH, LHU, LL разрешена только команда NOP;
- нельзя использовать результат операции чтения в следующей команде;
- нельзя выполнять операцию чтения памяти сразу после команды записи.

21.51 Изменения от 05.06.2018

- В раздел 13 добавлено примечание касательно рекомендаций по настройкам регистров регистров Hstart/Hend, Vstart/Vend.

21.52 Изменения от 15.04.2020

- Скорректирован раздел 1, приложения 1 и 2, удалено приложение 3.

21.53 Изменения от 16.09.2020

Дополнен раздел 2.6 в части одновременного записи-чтения из одной ячейки двухпортовой памяти. (rf#14255).

21.54 Изменения от 02.08.2021

В разделы 8.4.1 и 10.1.2 добавлено примечание о необходимости выравнивания адресов данных в каналах DMA порта Ethernet MAC.

21.55 Изменения от 26.01.2023

Введено упоминание о новом исполнении м/сх – 1892ВМ10АЯ (РАЯЖ.431282.012-01).