

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ 1892ВМ14Я

РУКОВОДСТВО ПОЛЬЗОВАТЕЛЯ

РАЯЖ.431282.014Д17

ОГЛАВЛЕНИЕ

1.	ВВЕДЕНИЕ.....	4
2.	СИСТЕМНАЯ ОРГАНИЗАЦИЯ МИКРОСХЕМЫ	16
3.	ЦЕНТРАЛЬНЫЙ ПРОЦЕССОР (MPU).....	91
4.	ЦИФРОВОЙ СИГНАЛЬНЫЙ ПРОЦЕССОР (DSP)	179
5.	ГРАФИЧЕСКИЙ АКСЕЛЕРАТОР (GPU)	237
6.	ЯДРО ВИДЕООБРАБОТКИ VELCORE-01 (VPU).....	239
7.	СИСТЕМА ОТЛАДКИ МИКРОСХЕМЫ (CSSYS).....	307
8.	СИСТЕМНЫЙ DMA КОНТРОЛЛЕР (SDMA)	337
9.	ОБЩИЙ DMA КОНТРОЛЛЕР ПЕРИФЕРИЙНОЙ ШИНЫ (PDMA).....	386
10.	БЛОК ОБМЕНА СООБЩЕНИЯМИ (MAILBOX).....	439
11.	БЛОК ПОДДЕРЖКИ АТОМАРНЫХ ОПЕРАЦИЙ (SPINLOCK).....	445
12.	БЛОК УНИВЕРСАЛЬНЫХ ТАЙМЕРОВ (TIMERS)	446
13.	БЛОК ТАЙМЕРА РЕАЛЬНОГО ВРЕМЕНИ (RTC).....	451
14.	СТОРОЖЕВОЙ ТАЙМЕР (WDT)	462
15.	КОНТРОЛЛЕР ПАМЯТИ DDR (DDRMC)	465
16.	КОНТРОЛЛЕР ВНЕШНЕЙ ПАМЯТИ SRAM/NOR FLASH (NORMPORT).....	733
17.	КОНТРОЛЛЕР ПАМЯТИ ТИПА NAND FLASH (NANDMPORT)	760
18.	КОНТРОЛЛЕР USB (USBIC).....	816
19.	КОНТРОЛЛЕР ETHERNET MAC 10/100/1000 МГц (GEMAC).....	921
20.	КОНТРОЛЛЕР НАКОПИТЕЛЕЙ SDIO/MMC (SDMMC).....	994
21.	КОНТРОЛЛЕР ВВОДА ВИДЕОДАНЫХ (VPIN).....	1052
22.	ПОРТ ВИДЕОВЫВОДА (VPOUT).....	1255
23.	МНОГОФУНКЦИОНАЛЬНЫЙ БУФЕРИЗИРОВАННЫЙ ПОСЛЕДОВАТЕЛЬНЫЙ ПОРТ (MFBSPP).....	1313
24.	КОНТРОЛЛЕР ИНТЕРФЕЙСА SPACEWIRE (SWIC).....	1384
25.	ВСТРОЕННЫЕ DMA ПОРТОВ MFBSPP И SWIC.....	1424
26.	ШИРОТНО-ИМПУЛЬСНЫЙ МОДУЛЯТОР (PWM)	1429
27.	МНОГОКАНАЛЬНЫЙ КОРРЕЛЯТОР (MCC).....	1466
28.	БЛОК УПРАВЛЕНИЯ GPIO (GPIO)	1468
29.	КОНТРОЛЛЕР ШИНЫ I2C (I2C)	1480
30.	КОНТРОЛЛЕР ШИНЫ I2S (I2S).....	1507
31.	ПОСЛЕДОВАТЕЛЬНЫЙ ПОРТ SSI/SPI (SPI)	1526
32.	УНИВЕРСАЛЬНЫЙ АСИНХРОННЫЙ ПОРТ (UART)	1544

33. ОПИСАНИЕ ВНЕШНИХ ВЫВОДОВ	1560
34. СПРАВОЧНАЯ ИНФОРМАЦИЯ	1594
35. ИСТОРИЯ ИЗМЕНЕНИЙ	1600

1. ВВЕДЕНИЕ

1.1 Порядок использования данного документа

В данном документе рассмотрены вопросы архитектуры и функционирования микросхемы. Приведены ее электрические параметры, а также чертеж корпуса и назначение выводов. Рассмотрены вопросы типового включения микросхемы в систему и даны рекомендации по ее программированию.

Настоящая документация охраняется действующим законодательством Российской Федерации об авторском праве и смежных правах, в частности, законом Российской Федерации «Об авторском праве и смежных правах». АО НПЦ «ЭЛВИС» является единственным правообладателем исключительных авторских прав на настоящую документацию.

Настоящую документацию, не иначе как по предварительному согласию АО НПЦ «ЭЛВИС», запрещается:

- воспроизводить, т.е. изготавливать один или более экземпляров настоящей документации, ее части, в любой форме, любым способом;
- сдавать в прокат;
- публично показывать, исполнять или сообщать для всеобщего сведения;
- переводить;
- переделывать или другим образом перерабатывать (дорабатывать).

АО НПЦ «ЭЛВИС» оставляет за собой право в любой момент вносить изменения (дополнения) в настоящую документацию без предварительного уведомления о таком изменении (дополнении).

АО НПЦ «ЭЛВИС» не несет ответственности за вред, причиненный при использовании настоящей документации.

Передача настоящей документации не означает передачи каких-либо авторских прав АО НПЦ «ЭЛВИС» на нее.

Возникновение каких-либо прав на материальный носитель, на котором передается настоящая документация, не влечет передачи каких-либо авторских прав на данную документацию.

Все указанные в настоящей документации товарные знаки принадлежат их владельцам.

1.2 Основные технические параметры и возможности микросхемы 1892ВМ14Я

1.2.1 Основные технические параметры микросхемы

Основные технические параметры микросхемы:

- технология изготовления - КМОП, 40 нм, LP (малопотребляющая технология);
- диапазон рабочих температур – от -60 до +85°C;
- корпус – HFCBGA-1296;
- максимальная тактовая частота:
 - не менее 816 МГц CPU / 672 МГц DSP;
- потребление микропроцессора при нормальных условиях:
 - общее пиковое – до 3 Вт;
 - общее в режиме глубокого сна – 75 мкВт;
 - потребление DSP на ядро – 0.5 ÷ 0.8 мВт/МГц (в зависимости от задачи);
 - потребление CPU на ядро – 0.3 ÷ 0.5 мВт/МГц (в зависимости от задачи);
 - система управления энергопотреблением;
- архитектура - многоядерная гетерогенная MIMD-архитектура на базе стандартных процессорных и специализированных ядер:
 - стандартная многопроцессорная система центрального процессора (MPU) в виде 2-ядерного когерентного кластера ARM Cortex-A9 MPCore с SIMD сопроцессорами Neon;
 - два DSP-ядра, совместимых с линейкой DECore с плавающей и фиксированной точкой нового поколения с возможностью управления ресурсами микросхемы и внешней памяти;
 - встроенное ядро аппаратно-программного графического акселератора ARM MALI-300;
 - ядро аппаратно-программного видео акселератора VECORE-01;
 - ядро многоканального ГЛОНАСС/GPS/BeiDou – коррелятора.

Ниже приведены функциональные возможности микросхемы.

1.2.2 Многоядерная система центрального процессора Cortex-A9 (MPU)

Система центрального процессора включает в себя следующие блоки:

- кластер Cortex-A9 MPCore:
 - два ядра центрального процессора Cortex-A9 (CPU);
 - система инструкций ARMv7 ISA: стандартная система инструкций ARM плюс акселераторы Thumb-2, Jazelle RCT и Jazelle DBX;
 - SIMD сопроцессор Neon на каждом из CPU;

- встроенный контроллер прерываний с поддержкой до 128 отдельных прерываний;
- встроенный таймер общего назначения и сторожевой таймер для каждого CPU;
- средства отладки и трассирования;
- кэш инструкций 32 КВ и кэш данных 32 КВ на каждом из CPU;
- 1 МВ разделяемый кэш второго уровня L2.

1.2.3 Цифровой сигнальный процессор (DSP)

В качестве отличительных особенностей цифрового сигнального процессора можно назвать:

- 2-ядерный DSP-кластер DELcore-30M (Dual ELVEESs Core) - симметричный мультипроцессор (СМП) из IP – библиотеки платформы «МУЛЬТИКОР», состоящий из двух DSP-ядер ELcore-30, работающих на общем поле памяти данных;
- «Гарвардская» архитектура DSP-ядер с оригинальной системой инструкций;
- набор инструкций, совмещающий процедуры обработки и пересылки;
- одно- и двухтактное исполнение вычислительных команд;
- 7-ступенчатый конвейер по выполнению 32– и 64–разрядных инструкций;
- расширенные возможности по динамическому диапазону обрабатываемых данных, позволяющие обрабатывать данные в 8/16/32/64–разрядных форматах с фиксированной точкой, 32-разрядном формате с плавающей точкой в стандарте IEEE754, либо программно в формате с плавающей точкой 32E16 (расширенный формат), обеспечивая при этом компромиссный выбор между точностью и производительностью. Аппаратные меры повышения точности и динамического диапазона (блочная плавающая точка; режим насыщения; инструкции преобразования форматов);
- аппаратная поддержка программных циклов;
- общий объем памяти программ и данных DSP-кластера – 320 Кбайт;
- механизм прерываний каждого DSP от всех внешних портов, в том числе и от портов MFBSP (тот же набор запросов на прерывания, что и в CPU);
- доступ DSP-ядер ко всему адресному пространству микросхемы - адресуемым регистрам и памяти;
- встроенный кодер Хаффмана (JPEG) для более эффективного сжатия изображений;
- встроенный в каждый DSP 32-разрядный интервальный таймер, работающий от частоты DSP;
- максимальная пропускная способность коммутатора ядер с памятью – 512 бит за такт;

- максимальная скорость обмена внешних устройств с памятью кластера – 64 бит за такт;
- пиковая суммарная производительность DSP-кластера:
 - в формате плавающей точки (24E8, стандарт IEEE754):
16 операций с плавающей точкой (IEEE 754) за 1 такт;
 - в формате фиксированной точки (int32):
16 32-битных операций с фиксированной точкой за 1 такт;
 - в формате фиксированной точки (int16):
64 16-битных операций с фиксированной точкой за 1 такт;
 - в формате фиксированной точки (int8):
96 байтовых операций с фиксированной точкой за 1 такт.

1.2.4 Многоканальный коррелятор (МСС)

В качестве отличительных особенностей многоканального коррелятора (МКК или МСС) можно назвать:

- 24 следящих канала ГЛОНАСС/GPS/BeiDou повышенной точности, слежение за GPS L1, GLO L1, GLO L2 при помощи 6 подканалов, отстроенных от 4 следящих каналов ГЛОНАСС/GPS повышенной точности, слежение за GPS L1, GLO L1, GLO L2 при помощи 6 подканалов, отстроенных друг от друга на определенное количество отсчетов данных; входные данные – две компоненты по 2 бита, накопленные на длительности от 1 до 16 мс, тактовая частота 15-40 МГц;
- 16 следящих каналов ГЛОНАСС/GPS/BeiDou, слежение за GPS L1, GLO L1, GLO L2 при помощи прямого и дифференциального подканалов, входные данные – две компоненты по 2 бита, накопление на длительности 1 мс, тактовая частота 15-40 МГц;
- 4 поисковых машины ГЛОНАСС/GPS/BeiDou, поиск в диапазонах GPS L1, GLO L1, GLO L2 при помощи свертки сигнала с ПСП на длительности 1 мс; входные данные – вещественная и мнимые компоненты по 2 бита. Накопление смешанного типа проходит в два этапа: сначала - когерентно на длительности от 1 до 16мс, далее – результаты учитываются в некогерентном накоплении, этот цикл повторяется заданное количество раз от 1 до 16. Тактовая частота 15-40 МГц, для работы требует дополнительно подачи повышенной частоты. Повышенная частота должна составлять не менее 66 МГц, что необходимо для обеспечения вычисления требуемого количества корреляций за длительность одного чипа ПСП;
- канал прямого чтения данных с RFFE, выполняющий перенос сигнала с ПЧ на нулевую, снятие доплеровской частоты (ПЧ от 0 до $F_s/2$), накопления на длительности от одного отсчета данных, результаты накоплений сохраняются в буфере типа FIFO глубиной 2048 отсчетов;
- модуль формирования временной шкалы 1мс с возможностью задания кода частоты;

- модуль формирования секундной метки с возможностью задания кода частоты, начальной фазы и длительности активного состояния секундного импульса;
- модуль интерфейса с АЦП, сэмплирующий отсчеты от АЦП по переднему либо заднему фронту частоты оцифровки, преобразующий входной сигнал различных кодировок во внутреннюю и подсчитывающий количество состояний АЦП для системы АРУ;
- устройство расчета ПСП, используемое ЦП для оперативного вычисления параметров настройки следящих каналов для заданного номера спутника и задержки ПСП;
- отладочный имитатор сигнала спутников ГНСС, предназначенный для проверки базовой функциональности МКК. Имитатор позволяет задавать ПСП спутника, коэффициент шума, смешиваемого с сигналом, а также доплеровское смещение сигнала.

1.2.5 Ядро видеоакселератора VECore-01 (VPU)

Основными особенностями предлагаемой оригинальной архитектуры видеоакселератора являются:

- использование только с коротких 8/16-разрядных форматов данных, что позволяет существенно повысить тактовую частоту видеопроцессора по сравнению с сигнальным процессором общего назначения;
- увеличение параллелизма обработки данных - она производится не попиксельно, а поблочно - над блоками изображения размером 4*4 и 8*8 пикселей;
- введение спецфункции для обработки изображений и реализации стандартов сжатия;
- введение специализированного видео DMA контроллера;
- обеспечение компрессии/декомпрессии изображений формата Full HD (1920x1080) с частотой следования 60 кадров/с в соответствии со стандартом H.264 (Constrained Baseline Profile с отключенной опцией Deblocking Filter).

1.2.6 Ядро графического акселератора ARM MALI-300 (GPU)

Основными особенностями предлагаемой оригинальной архитектуры графического акселератора являются:

- поддержка OpenVG 1.1, OpenGL ES 2.0 / 1.1;
- поддержка разрешения до HD 1080p с 4x сглаживанием;
- встроенный 8 КВ кэш второго уровня;
- пиковая производительность RM: 250 миллионов пикселей в секунду;
- максимальная частота графического акселератора: до 250 МГц.

1.2.7 Порт внешней памяти NOR/SRAM (NORMPORT)

В качестве отличительных особенностей порта внешней памяти можно назвать:

- шина данных – 16 разрядов, шина адреса – 24 разряда;
- встроенный контроллер для подключения к микропроцессору внешней памяти типов SRAM/ROM/ EPROM/Synchronous NOR FLASH (16 разрядов);
- программное конфигурирование типа блоков памяти и их объема;
- программное управление числом тактов ожидания при обмене с асинхронной памятью;
- формирование сигналов выборки 2 блоков внешней памяти.

1.2.8 Порт внешней памяти NAND (NANDMPORT)

В качестве отличительных особенностей порта внешней памяти можно назвать:

- встроенный контроллер для подключения к микропроцессору внешней памяти типов NAND FLASH (8 разрядов) и внешних устройств;
- поддержка спецификаций ONFI 2.0,2.1,2.2;
- программное конфигурирование типа блоков памяти и их объема;
- формирование сигналов выборки 2 блоков внешней памяти.

1.2.9 Порты внешней памяти DDR3 (DDRMC0,1)

В качестве отличительных особенностей портов DDRMC можно назвать:

- два порта с поддержкой памяти типа DDR3;
- шина данных – 32 разряд, шина адреса – 15 разрядов;
- формирование сигналов выборки 2 блоков внешней памяти на каждый порт;
- максимальная скорость передачи данных 1066 Мбит/с на частоте 533 MHz;
- возможность назначения приоритетов на использование каждого порта вычислительными ядрами микросхемы.

1.2.10 Система обмена данными в микросхеме

Система обмена данными в микросхеме обладает следующими особенностями:

- универсальное высокоскоростное 8-ми канальное DMA с возможностью микропрограммирования SDMA;
- универсальное 8-ми канальное DMA с возможностью непосредственного обслуживания периферийных устройств PDMA;
- встроенные DMA в следующих устройствах: VPU, VPIN, VPOUT, MFBSP, SWIC, SDMMC, USB, GEMAC.

1.2.11 Периферийные устройства

Список периферийных устройств:

- порт видео выхода:
 - поддержка формата MIPI DSI;
 - поддержка формата ITU-R BT 601;
 - разрешение до 1080p;
 - встроенное DMA;
- порт видео ввода:
 - поддержка формата MIPI CSI2;
 - поддержка формата ITU-R BT 601;
 - разрешение до 1080p;
 - встроенное DMA;
 - встроенная предобработка изображения;
- два порта SD/MMC:
 - поддержка протокола HS-MMC версии 4.5;
 - поддержка протокола SD версии 3.0;
 - встроенное DMA;
- USB 2.0 контроллер:
 - работа в режиме Host;
 - работа в режиме Device;
 - работа в режиме OTG;
 - скорость до 480 Мбит/с;
 - встроенное DMA;
- контроллер Ethernet MAC:
 - поддержка скоростей 10/100/1000 МГц;
 - встроенное DMA;
- два многофункциональных порта MFBSP:
 - работа в режиме LPORT;
 - работа в режиме I2S;
 - работа в режиме SPI;
 - работа в режиме GPIO;
 - встроенное DMA;
- четыре универсальных асинхронных порта UART:
 - работа в связке с системным DMA или по прерываниям;
- три порта интерфейса I2C:
 - поддержка режимов слейв и мастер;
 - поддержка режима мультимастер;
 - работа в связке с системным DMA или по прерываниям;
- порт интерфейса I2S:

- работа в связке с системным DMA или по прерываниям;
- два порта интерфейса SPI:
 - работа в связке с системным DMA или по прерываниям;
- контроллер ШИМ:
 - поддержка 2 независимых каналов;
- два порта SpaceWire (SWIC) для обеспечения сетевых возможностей микросхемы:
 - соответствуют стандарту ECSS-E-50-12C;
 - скорость приема и передачи данных – от 2,4 до 408 Мбит/с;
 - дуплексный режим работы;
- 128 мультиплексированных GPIO вывода:
 - с возможностью ввода 32 внешних прерываний;
- 8 32-разрядных универсальных таймеров;
- 32-разрядный сторожевой таймер (WDT);
- таймер реального времени (RTC):
 - полная поддержка календаря: секунды, минуты, часы, дни, месяцы, годы;
 - внешняя синхронизация 32,768 КГц;
- модуль обмена межпроцессорными сообщениями Mailbox;
- модуль аппаратной поддержки семафоров Spinlock для межпроцессорного взаимодействия.

1.2.12 Управление энергопотреблением

В микросхеме реализованы широкие возможности по снижению энергопотребления в зависимости от требуемой производительности. Управление энергопотреблением микросхемы имеет следующие особенности:

- программное отключение сигналов тактовой частоты;
- программное управление частотами синхронизации и напряжением питания в зависимости от требуемой производительности;
- программное управление отключением до 5 доменов питания для снижения статического тока потребления.

1.2.13 Возможности микросхемы по отладке программ

Микросхема обеспечивает широкие возможности по отладке и трассированию программ:

- архитектура отладки и трассирования ARM CoreSight;
- отладка по стандарту IEEE1149.1(JTAG);
- совместимый IEEE1149.1 адаптер;
- порт отладки DAP с доступом к внутренней памяти микросхемы;
- подсистема сбора программной трассы от MPU и DSP в реальном времени;
- вывод программной трассы через внешний порт.

1.3 Структурная схема

Структурная схема микросхемы 1892ВМ14Я приведена на Рисунок 1.1.

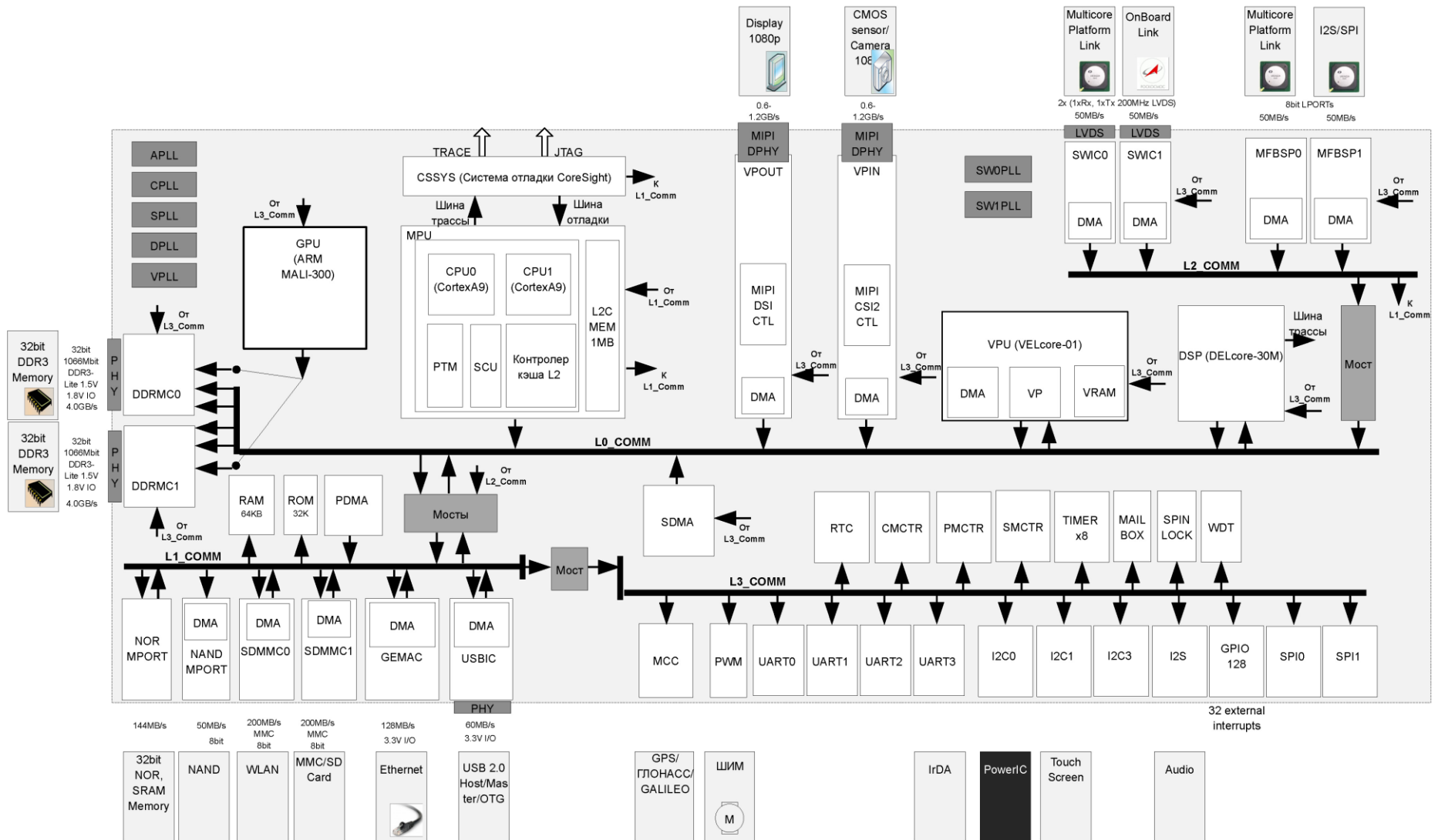


Рисунок 1.1. Структурная схема сигнального микропроцессора 1892BM14Я

В состав микросхемы 1892ВМ14Я входят следующие основные узлы:

- MPU – двухъядерная подсистема центрального процессора;
- DSP – цифровой сигнальный процессор;
- VPU – видеопроцессор;
- GPU – графический акселератор;
- MCC – многоканальный коррелятор;
- ROM – блок накристалльной ПЗУ;
- RAM – блок накристалльной памяти общего назначения;
- SDMA – универсальный высокоскоростной контроллер DMA;
- PDMA – универсальный периферийный контроллер DMA;
- Ln_COMM – многоуровневый коммутатор;
- NORMPORT – порт внешней памяти типа SRAM, NOR Flash;
- NANDMPORT – порт внешней памяти типа NAND Flash;
- DDRMC0, DDRMC1 – порты памяти типа DDR3;
- MCC – многоканальный навигационный коррелятор;
- CoreSight – встроенные средства отладки и трассирования программ;
- UART0,1,2,3 – асинхронные последовательные порты;
- xPLL – умножители частоты;
- PMCTR – контроллер управления энергопотреблением;
- CMCTR – контроллер управления синхронизацией;
- SWIC0, SWIC1 – контроллеры интерфейса SpaceWire;
- SDMMC0, SDMMC1 – контроллеры накопителей SDIO/MMC;
- USBIC – контроллер USB2.0;
- GEMAC – контроллер Ethernet MAC 10/100 МГц;
- VPIN – порт ввода видео данных;
- VPOUT – порт вывода видео данных;
- I2C0, I2C1, I2C2 – контроллеры шины I2C;
- MFBSP0, MFBSP1 – многофункциональные буферизированные последовательные порты (SPI, I2S, LPORT, GPIO);
- TIMER – блок универсальных таймеров;
- PWM – контроллер ШИМ;
- RTC – таймер реального времени;
- I2S – контроллер интерфейса I2S;
- GPIO – блок управления GPIO;
- SPI0, SPI1 – контроллеры интерфейса SPI;
- MAILBOX – блок для обмена сообщениями между ядрами микросхемы;
- SPINLOCK – блок аппаратной поддержки семафоров;
- WDT – сторожевой таймер.

Многоуровневый коммутатор микросхемы обеспечивает передачу данных между узлами микросхемы в пределах матрицы коммутации.

2. СИСТЕМНАЯ ОРГАНИЗАЦИЯ МИКРОСХЕМЫ

2.1 Карта памяти микросхемы

Карта физической памяти микросхемы приведена в Таблица 2.1. Здесь и далее, если это не оговорено специально, коды адреса и данных указаны в шестнадцатеричной системе счисления.

Таблица 2.1. Карта физической памяти

Базовый адрес	Конечный адрес	Размер области	Описание
0000_0000	1FFF_FFFF	512 Мбайт	Внешняя память NORMPORT
2000_0000	3FFF_FFFF	512 Мбайт	Внутренняя память
4000_0000	9FFF_FFFF	1,5 Гбайт	Внешняя память DDRMC0
A000_0000	FFFF_FFFF	1,5 Гбайт	Внешняя память DDRMC1

Внешняя память доступна через порты памяти NORMPORT, DDRMC0, DDRMC1. Порт память NORMPORT предназначен для доступа к памяти типа NOR, SRAM, ROM.

Порты памяти DDRMC0, DDRMC1 предназначены для доступа к памяти типа LPDDR2, mDDR3, uDDR3, DDR3. Старшая часть адресного пространства физической памяти доступная через порт DDRMC1 может быть переназначена для доступа через порт DDRMC0 с помощью регистра DDR_REMAP (см. 2.2.1.5).

Адресация данных в областях внешней памяти допускается как с точностью до слова, так и с точностью до байта.

Области внутренней памяти RAM и память VPU ядра допускают адресацию как с точностью до слова, так и с точностью до байта. Для остальных областей внутренней памяти адресация данных допускается только с точностью до слова. Байтовые обращения в эти области внутренней памяти не допускаются и могут привести к непредсказуемым последствиям.

Программный доступ к резервным областям запрещен, это может привести к непредсказуемым последствиям. Карта внутренней памяти приведена в таблице 2.2.

Таблица 2.2. Карта внутренней памяти

Базовый адрес	Конечный адрес	Размер области	Описание
2000_0000	2000_FFFF	64 Кбайт	RAM
2001_0000	27FF_FFFF		Резерв
2800_0000	2FFF_FFFF	128 Мбайт	Область трассирования CSSYS STM
3000_0000	3000_7FFF	32 Кбайт	ROM
3000_8000	36FF_FFFF		Резерв
3700_0000	3701_FFFF	128 Кбайт	Регистры DSP и XBUF

Базовый адрес	Конечный адрес	Размер области	Описание
3702_0000	370F_FFFF		Резерв
3710_0000	3712_FFFF	192 Кбайт	Регистры VPU
3713_0000	371F_FFFF		Резерв
3720_0000	3720_3FFF	16 Кбайт	VPIN
3720_4000	3720_4FFF	4 Кбайт	Регистры DDRMC0
3720_5000	3720_5FFF	4 Кбайт	Регистры DDRMC0 PHY
3720_6000	3720_6FFF	4 Кбайт	Регистры DDRMC1
3720_7000	3720_7FFF	4 Кбайт	Регистры DDRMC1 PHY
3720_8000	3720_FFFF		Резерв
3721_0000	3721_FFFF	64 Кбайт	Регистры GPU
3722_0000	3722_0FFF	4 Кбайт	SDMA
3722_1000	37FF_FFFF		Резерв
3800_0000	3800_1FFF	8 Кбайт	PDMA
3800_2000	3800_2FFF	4 Кбайт	USBIC
3800_3000	3800_3FFF		Резерв
3800_4000	3800_4FFF	4 Кбайт	Регистры LCD контроллера VPOUT
3800_5000	3800_5FFF	4 Кбайт	Регистры MIPI DSI контроллера VPOUT
3800_6000	3800_6FFF		Резерв
3800_7000	3800_7FFF	4 Кбайт	Регистры NANDMPORT
3800_8000	3800_AFFF	12 Кбайт	Регистры NORMPORT
3800_B000	3800_CFFF	8 Кбайт	SDMMC0
3800_D000	3800_EFFF	8 Кбайт	SDMMC1
3800_F000	3800_FFFF	4 Кбайт	GEMAC
3801_0000	3802_5FFF		Резерв
3802_6000	3802_6FFF	4 Кбайт	TIMERS
3802_7000	3802_7FFF	4 Кбайт	RTC
3802_8000	3802_8FFF	4 Кбайт	UART0
3802_9000	3802_9FFF	4 Кбайт	UART1
3802_A000	3802_AFFF	4 Кбайт	UART2
3802_B000	3802_BFFF	4 Кбайт	UART3
3802_C000	3802_CFFF	4 Кбайт	I2C0
3802_D000	3802_DFFF	4 Кбайт	I2C1
3802_E000	3802_EFFF	4 Кбайт	I2C2
3802_F000	3802_FFFF		Резерв
3803_0000	3803_0FFF	4 Кбайт	I2S0
3803_1000	3803_1FFF	4 Кбайт	WDT
3803_2000	3803_2FFF	4 Кбайт	SPI0
3803_3000	3803_3FFF	4 Кбайт	SPI1
3803_4000	3803_4FFF	4 Кбайт	GPIO0
3803_5000	3803_5FFF	4 Кбайт	EFUSE
3803_6000	3807_FFFF		Резерв
3808_0000	3808_0FFF	4 Кбайт	MAILBOX
3808_1000	3808_1FFF	4 Кбайт	SPINLOCK
3808_2000	3808_2FFF	4 Кбайт	SWIC0
3808_3000	3808_3FFF	4 Кбайт	DMA SWIC0
3808_4000	3808_4FFF	4 Кбайт	SWIC1
3808_5000	3808_5FFF	4 Кбайт	DMA SWIC1
3808_6000	3808_6FFF	4 Кбайт	MFBSP0
3808_7000	3808_7FFF	4 Кбайт	DMA MFBSP0
3808_8000	3808_8FFF	4 Кбайт	MFBSP1
3808_9000	3808_9FFF	4 Кбайт	DMA MFBSP1
3808_A000	3808_FFFF		Резерв
3809_0000	3809_0FFF	4 Кбайт	PWM
3809_1000	3809_1FFF	4 Кбайт	MCC
3809_2000	3809_3FFF		Резерв
3809_4000	3809_4FFF	4 Кбайт	CMCTR

Базовый адрес	Конечный адрес	Размер области	Описание
3809_5000	3809_5FFF	4 Кбайт	PMCTR
3809_6000	3809_6FFF	4 Кбайт	SMCTR
3809_7000	387F_FFFF		Резерв
3880_0000	389F_FFFF	2 Мбайт	Регистры отладки и трассы CSSYS
38A0_0000	38FF_FFFF		Резерв
3900_0000	3900_1FFF	8 Кбайт	Регистры MPU
3900_4000	3900_5FFF	8 Кбайт	Регистры MPU L2CACHE
3900_6000	3A3F_FFFF		Резерв
3A40_0000	3A87_FFFF	4,5 Мбайта	Память DSP-ядра
3A88_0000	3AFF_FFFF		Резерв
3B00_0000	3BFF_FFFF	16 Мбайт	Память VPU-ядра
3C00_0000	3FFF_FFFF		Резерв

В таблице 2.2 даны лишь базовые адреса устройств; полные перечни программно-доступных регистров для каждого устройства приведены в главах документа описывающих эти устройства.

2.1.1 Система коммутации микросхемы

Многоуровневый коммутатор микросхемы обеспечивает передачу данных между исполнительными портами устройств (Slave Port) и задаточными портами устройств (Master Port). Устройства могут иметь одновременно оба типа портов. Например:

- NORMPORT имеет только исполнительные порты и обеспечивает по ним доступ к внешней памяти и к своим внутренним регистрам;
- DSP обладает задаточными портами, дающими доступ DSP процессорам к внутренней и внешней памяти, и исполнительными портами, через которые внутренняя память и регистры DSP доступны другим устройствам.

Таким образом, устройство может выступать одновременно, и в качестве исполнительного (Slave), и в качестве задаточного (Master).

Коммутатор содержит 4 уровня - L0_COMM, L1_COMM, L2_COMM, L3_COMM с различной пропускной способностью, выбранной исходя из требований по быстродействию и снижению энергопотребления. Уровень L0_COMM коммутатора является основным. Уровни L1_COMM и L2_COMM объединяют по доступу наборы периферийных блоков. Уровень L3_COMM является управляющим, через него осуществляется доступ к регистрам большей части блоков микросхемы.

Уровни L0_COMM и L2_COMM построены по принципу коммутации «каждый с каждым» по стандарту AMBA AXI3; процесс передачи данных на этих уровнях между любыми парами Slave↔Master выполняется параллельно и без конфликтов. Уровни имеют отдельные и независимые каналы на чтение и на запись по данным шириной 64 бита для L0_COMM и 32 бита для L2_COMM.

Уровни L1_COMM и L3_COMM построены по принципу шины, т.е. передача данных на этих уровнях в каждый момент времени возможна только для одной пары Slave↔Master. Уровни построены по стандартам AMBA AHB и AMBA APB и характеризуются разделяемой общей шиной данных шириной 32 бита.

Теоретически достижимая пиковая пропускная способность различных уровней коммутатора может быть рассчитана исходя из их организации и ширины каналов данных (см. выше) и текущей частоты их работы.

Передача данных в микросхеме между различными устройствами может осуществляться только в пределах матрицы коммутации. Матрица коммутации микросхемы 1892BM14Я приведена в Таблица 2.3.

Таблица 2.3. Матрица коммутации микросхемы 1892BM14Я

	MPU_ MP0	MPU_ MP1	VPU_ MP	DSP _MP	GPU _MP	SDMA _MP	VPOU T_MP	VPIN _MP	L2_M P	L1_M P
DDRC 0_SP0	+						+	+	+	
DDRC 0_SP1			+	+		+				+
DDRC 0_SP2					+					
DDRC 1_SP0	+						+	+	+	
DDRC 1_SP1			+	+		+				+
DDRC 1_SP2					+					
MPU_SP										+
VPU_SP	+		+	+		+	+	+	+	+
DSP_SP	+		+	+		+	+	+	+	+
L1_SP	+	+	+	+		+	+	+	+	+
L3_SP	+	+		+						

Матрица коммутации дана для уровня L0_COMM коммутатора (см. рисунок выше), который соединяет все устройства микросхемы через следующие порты:

- MPU_MP0, MPU_MP1 задаточные порты;
- VPU_MP задаточный порт VPU;
- DSP_MP задаточный порт DSP кластера;
- GPU_MP задаточный порт GPU;
- SDMA_MP задаточный порт высокоскоростного универсального SDMA;
- VPOUT_MP задаточный порт встроенного DMA порта видео вывода;

- VPIN_MP задаточный порт встроенного DMA порта видео ввода;
- L2_MP задаточные порты блоков, присоединенных к уровню коммутатора L2_COMM (встроенные DMA блоков MFBSPO, MFBSPI, SWIC0, SWIC1);
- L1_MP задаточные порты блоков, присоединенных к уровню коммутатора L1_COMM, т.е. PDMA и встроенные DMA портов GEMAC, USBIC, SDMMC0 и SDMMC1;
- DDRMC0_SP0, DDRMC0_SP1, DDRMC0_SP2 исполнительные порты DDRMC0 контроллера для доступа к внешней памяти;
- DDR_MC1_SP0, DDRMC1_SP1, DDRMC0_SP2 исполнительные порты DDRMC0 контроллера для доступа к внешней памяти;
- MPU_SP исполнительный порт MPU;
- VPU_SP исполнительный порт для доступа к внутренней памяти VPU;
- DSP_SP исполнительный порт для доступа к внутренней памяти DSP;
- L1_SP исполнительные порты блоков присоединенных к уровню L1_COMM коммутатора, т.е. доступ к внешней памяти через порт NORMORT, памяти ROM, памяти RAM;
- L3_SP доступ через уровень коммутатора L3_COMM к внутренним регистрам блоков PDMA, SDMMC, GEMAC, USBIC, GPMC, VPU, DSP, VPIN, VPOUT, SWIC, MFBSPI, DDRMC, SDMA, PWM, MCC, UART, I2C, I2S, GPIO, SPI, TIMER, RTC, SCC, PWC, MAILBOX, SPINLOCK.

Обращение к исполнительному порту блока микросхемы с отключенным питанием или тактовой частотой может привести к зависанию коммутатора, поэтому при работе программного обеспечения, использующего функционал отключения питания или частот блоков, следует принимать дополнительные меры предосторожности для недопущения таких обращений.

Для индикации зависания коммутатора в таких случаях используется прерывание DLOCK_IRQ и регистр COMM_DLOCK SMCTR.

Для коммутаторов микросхемы применена схема со статическими приоритетами. В Таблица 2.4 -

Таблица 2.6 даны приоритеты для основных уровней коммутатора микросхемы (выше число – больше приоритет).

Таблица 2.4. Приоритет портов инициаторов по запросам в исполнительные порты на L0_COMM

Порт инициатора	MPU_M P0	VPU_M P	L1_MP	DSP_M P	SDMA_MP	VPOUT_MP	VPIN_MP	L2_MP
Приоритет	0	2	4	1	3	6	7	5

Таблица 2.5. Приоритет исполнительных портов по ответам в исполнительные порты на L0_COMM

Порт инициатора	DDRMCO_SP0	DDRMCO_SP1	DDRMCI_SP0	DDRMCI_SP1	VPU_SP	DSP_SP	L1_SP
Приоритет	3	1	2	0	5	4	6

Таблица 2.6. Приоритет портов инициаторов по запросам в исполнительные порты на L1_COMM

Порт инициатора	L2_MP	CPU_M P1	PDMA_MP	USB_M P	SDMM C1_MP	SDMM C0_MP	EMAC_MP	NAND_MP	L0_MP
Приоритет	1	0	3	4	5	6	7	8	2

2.2 Системные настройки микросхемы и контроллер SMCTR

2.2.1 Программная модель

Контроллер SMCTR позволяет управлять общими системными настройками микросхемы. Далее описаны программно-доступные регистры SMCTR.

2.2.1.1 Сводная таблица регистров

Таблица 2.7. Сводная таблица регистров SMCTR

Смещение	Обозначение	Описание	Исходное состояние
Регистры			
0x000	BOOT	Регистр отображения сигналов BOOT[1:0] микросхемы	
0x004	BOOT_REMAP	Регистр управления картой памяти при начальной загрузке	
0x008	MPU_CFGNMF1	Регистр разрешения немаскируемого FIQ в MPU	
0x00c	DDR_REMAP	Регистр управления картой памяти для DDR	
0x010	-	Резерв	
0x020	-	Резерв	
0x024	MIPI_MUX	Регистр мультиплексирования MIPI DSI	
0x028	CHIP_ID	ID микросхемы	
0x02c	CHIP_CONFIG	Регистр конфигурации микросхемы	
0x030	EMA_ARM	Регистр подстройки памяти в ARM MPU	
0x034	EMA_L2	Регистр подстройки памяти в L2CACHE	
0x038	EMA_DSP	Регистр подстройки памяти в DSP и VPU	
0x03c	EMA_CORE	Регистр подстройки памяти в CORE	

Смещение	Обозначение	Описание	Исходное состояние
0x040	IOPULL_CTR	Регистры управления подтягивающими резисторами контактных площадок микросхемы	
0x044	COMM_DLOCK	Регистр индикации зависания коммутатора микросхемы	

2.2.1.2 Регистр BOOT

Таблица 2.8. Формат регистра BOOT

Номер разряда	Обозначение	Назначение	Доступ	Исходное состояние
31:3	-	Не используется	R	0
2:0	BOOT	Значение внешних выводов BOOT, определяющих источник начальной загрузки микросхемы. 0x0 – загрузка из внешней памяти NOR Flash/SRAM с помощью контроллера NORMPORT; 0x1 – загрузка из внешней памяти NAND Flash с помощью контроллера NANDMPORT; 0x2 – загрузки из накристальной ROM памяти и UART0; 0x3 – загрузки из накристальной ROM памяти и SPI0; 0x4 – загрузки из накристальной ROM памяти и SDMMC0; 0x5-0x7 – зарезервировано.	R	-

2.2.1.3 Регистр BOOT_REMAP

Таблица 2.9. Формат регистра BOOT_REMAP

Номер разряда	Обозначение	Назначение	Доступ	Исходное состояние
31:2	-	Не используется	R	0

Номер разряда	Обозначение	Назначение	Доступ	Исходное состояние
1:0	REMAP	<p>Биты управления наложением областей загрузки на карту памяти.</p> <p>0x0 – адрес 0x00000000 доступен через контроллер NORMPORT, используется карта памяти по умолчанию, наложения нет;</p> <p>0x1 – область 0x00000000 – 0x0000FFFF указывает на накристалльную RAM память. Область 0x20000000 – 0x2000FFFF не отображается;</p> <p>0x2 - область 0x20000000 – 0x20007FFF указывает на накристалльную ROM память. Область 0x30000000 – 0x30007FFF не отображается;</p> <p>0x3 – область 0x00000000 – 0x00007FFF указывает на накристалльную ROM память. Область 0x30000000 – 0x30007FFF не отображается;</p> <p>Биты устанавливаются во время сброса в зависимости от значения входов BOOT. Для значения входов BOOT 0x0 биты устанавливаются в 0x0. Для значения 0x1 в 0x1. Для значений 0x2-0x7 в 0x3.</p> <p>Запись значения в регистр может быть использована для определенного наложения на карту памяти после процедуры начальной загрузки.</p> <p>Запись в регистр должна при условии активной работы в СнК только ядра производящего запись, все остальные процессорные ядра в СнК и DMA передачи должны быть остановлены. Инструкция записи должна предваряться инструкцией барьера по памяти.</p>	R/W	-

2.2.1.4 Регистр MPU_CFGNMFI

Таблица 2.10. Формат регистра MPU_CFGNMFI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:2	-	Не используется	R	0
1	NMFI_EN1	Разрешает использование FIQ как немаскируемого прерывания для CPU1	R/W	0
0	NMFI_EN0	Разрешает использование FIQ как немаскируемого прерывания для CPU0	R/W	0

2.2.1.5 Регистр DDR_REMAP

Таблица 2.11. Формат регистра DDR_REMAP

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0
0	REMAP	<p>Бит управляет конфигурацией карты памяти для DDR</p> <p>Бит задан «0»: адреса 0x40000000 – 0x9FFFFFFF отображаются в контроллер DDRMC0 адреса 0xA0000000 – 0xFFFFFFFF отображаются в контроллер DDRMC1</p> <p>Бит задан «1»: все адресное пространство 0x40000000 – 0xFFFFFFFF отображается в контроллер DDRMC0</p>	R/W	0

2.2.1.6 Регистр CPU_SECURE_CTR

Таблица 2.12. Формат регистра CPU_SECURE_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:3	-	Не используется	R	0
2	CPU1_CP15S DISABLE	Установка данного бита запрещает запись в управляющие регистры SCTLР и АСТLР CPU1	R/W	0
1	CPU0_CP15S DISABLE	Установка данного бита запрещает запись в управляющие регистры SCTLР и АСТLР CPU0	R/W	0
0	CFGSDISABLE	Установка данного бита запрещает запись в регистры управления безопасностью контроллера прерываний MPU	R/W	0

2.2.1.7 Регистр MIPI_MUX

Таблица 2.13. Формат регистра MIPI_MUX

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0
0	MUX_DSI	Контроль мультиплексирования второго блока интерфейса MIPI в микросхеме. «0» – MIPI используется в качестве MIPI CSI для второго контроллера CSI VPIN «1» – MIPI используется в качестве MIPI DSI для контроллера DSI VPOUT	R/W	1

2.2.1.8 Регистр CHIP_ID

Таблица 2.14. Формат регистра CHIP_ID

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	ID	ID микросхемы	R	0xC02

2.2.1.9 Регистр CHIP_CONFIG

Таблица 2.15. Формат регистра CHIP_CONFIG

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	CONFIG	Конфигурация микросхемы	R	0x0

2.2.1.10 Регистр EMA_ARM

Таблица 2.16. Формат регистра EMA_ARM

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Не используется	R	0
5	EMAS	Подстройка параметра EMAS памяти MPU ARM	R/W	0x0
4:3	EMAW	Подстройка параметра EMAW памяти MPU ARM	R/W	0x0
2:0	EMA	Подстройка параметра EMA памяти MPU ARM	R/W	0x0

2.2.1.11 Регистр EMA_L2

Таблица 2.17. Формат регистра EMA_L2

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Не используется	R	0
5	EMAS	Подстройка параметра EMAS памяти L2CACHE	R/W	0x0
4:3	EMAW	Подстройка параметра EMAW памяти L2CACHE	R/W	0x0
2:0	EMA	Подстройка параметра EMA памяти L2CACHE	R/W	0x0

2.2.1.12 Регистр EMA_DSP

Таблица 2.18. Формат регистра EMA_DSP

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Не используется	R	0
5	EMAS	Подстройка параметра EMAS памяти DSP и VPU	R/W	0x0
4:3	EMAW	Подстройка параметра EMAW памяти DSP и VPU	R/W	0x0
2:0	EMA	Подстройка параметра EMA памяти DSP и VPU	R/W	0x0

2.2.1.13 Регистр EMA_CORE

Таблица 2.19. Формат регистра EMA_CORE

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Не используется	R	0
5	EMAS	Подстройка параметра EMAS памяти ядра микросхемы	R/W	0x0
4:3	EMAW	Подстройка параметра EMAW памяти ядра микросхемы	R/W	0x0
2:0	EMA	Подстройка параметра EMA памяти ядра микросхемы	R/W	0x0

2.2.1.14 Регистр IOPULL_CTR

Таблица 2.20. Формат регистра IOPULL_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:9	-	Не используется	R	0
8	SPULL_DISABLE	Запрет резисторных подтяжек для группы контактных площадок не мультиплексированных цифровых выводов см. табл. 33.13	R/W	0x0
7	GP2_DISABLE	Запрет резисторных подтяжек для группы контактных площадок цифровых выводов GPIOD[31:0]	R/W	0x0
6	GP1_DISABLE	Запрет резисторных подтяжек для группы контактных площадок цифровых выводов GPIOA[31:0]	R/W	0x0
5	GP0_DISABLE	Запрет резисторных подтяжек для группы контактных площадок цифровых выводов MFBSP0, MFBSP1	R/W	0x0
4	CIF_DISABLE	Запрет резисторных подтяжек для группы контактных площадок цифровых выводов GPIOC[31:0]	R/W	0x0
3	LCD_DISABLE	Запрет резисторных подтяжек для группы контактных площадок цифровых выводов VPOUT	R/W	0x0
2	GM_DISABLE	Запрет резисторных подтяжек для группы контактных площадок цифровых выводов GEMAC	R/W	0x0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
1	SMC_DISABLE	Запрет резисторных подтяжек для группы контактных площадок цифровых выводов GPIOB[31:0]	R/W	0x0
0	FLASH_DISABLE	Запрет резисторных подтяжек для группы контактных площадок цифровых выводов NANDMPORT	R/W	0x0

2.2.1.15 Регистр COMM_DLOCK

Таблица 2.21. Формат регистра COMM_DLOCK

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:13	-	Не используется	R	0
12	DLOCK_WR	Тип транзакции, приведшей к зависанию коммутатора. 0 – Чтение, 1 – Запись.	R/W	0x0
11:10	DLOCK_SLV	Номер исполнительного порта коммутатора для транзакции, приведшей к его зависанию	R/W	0x0
9:8	DLOCK_MST	Номер задаточного порта коммутатора для транзакции, приведшей к его зависанию	R/W	0x0
7:0	DLOCK_ID	Идентификатор транзакции приведшей к зависанию коммутатора	R/W	0x0

2.3 Система синхронизации микросхемы и контроллер CMCTR

2.3.1 Введение

Система синхронизации микросхемы представлена контроллером управления синхронизацией (CMCTR) микросхемы. CMCTR управляет накристалльными блоками PLL и организует генерацию тактовых частот для процессорных ядер, шин коммутатора и периферийных блоков микросхемы. Контроллер CMCTR также взаимодействует с контроллером управления питанием микросхемы PMCTR при необходимости отключить те или иные тактовые частоты во время выключения доменов питания.

2.3.2 Функциональное описание

Источниками тактовых частот в микросхеме являются входы синхронизации и контроллер CMCTR. Микросхема имеет следующие входы синхронизации:

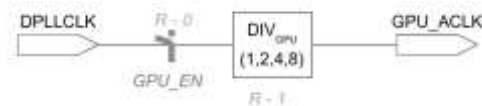
- XTI_24M - частота 24 МГц является опорной для контроллера управления синхронизацией CMCTR;
- XTI_32K - частота 32,768 КГц для таймера реального времени RTC;
- MCC_CLK – частота от 12 до 44 МГц для синхронизации коррелятора MCC.

Контроллеры CMCTR генерируют внутренние тактовые частоты микросхемы, используя тактовую частоту с входа синхронизации XTI_24M и восемь блоков PLL – APLL, CPLL, DPLL, SPLL, VPLL, UPLL, SW0PLL, SW1PLL.

Каждая из PLL позволяет генерировать частоты в диапазоне от 48 до 1488 МГц с шагом 24 МГц. В типовых применениях микросхемы PLL используются:

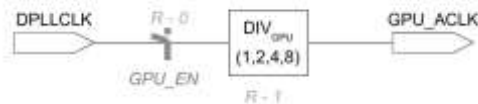
- APLL – для генерации тактовой частоты MPU Cortex A9, подсистемы отладки CSSYS CoreSight и памятей кэша второго уровня;
- CPLL – для генерации тактовых частот уровня L0_COMM коммутатора микросхемы, блоков VPIN, VPOUT и контроллеров памяти DDRMC;
- SPLL – для генерации тактовых частот уровней L1, L2, L3 коммутатора и основных частот периферийных блоков микросхемы;
- VPLL – для генерации тактовых частот блока VPIN;
- DPLL – для генерации тактовой частоты DSP и GPU;
- UPLL – для генерации тактовой частоты VPU;
- SW0PLL и SW1PLL – для генерации тактовых частот передачи блоков SWIC0, SWIC1.

2.3.2.1 Генерация тактовой частоты



На рисунках Рисунок 2.1,

Рисунок 2.3, показаны блок-схемы генерации тактовой частоты в микросхеме. Низкая входная частота с внешнего генератора поступает через вход ХТ1 на блоки PLL микросхемы. PLL преобразует низкую входную частоту в высокие частоты, необходимые для функциональных блоков. При включении микросхемы все PLL выключены, и все частоты поступают напрямую с входа ХТ1.



Делители частоты на Рисунок 2.1,

Рисунок 2.3, Рисунок 2.2 показывают возможные коэффициенты деления. Делителям соответствуют регистры DIV_STR контроллера CMCTR. Коэффициенты деления следует выбирать исходя из текущего значения делимой частоты и ограничений, представленных в Таблица 2.22.

Возможность отключения частоты показана на Рисунок 2.1,

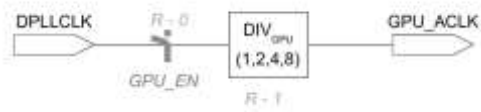


Рисунок 2.3, Рисунок 2.2 в виде ключей. Ключам соответствуют поля регистров GATE_CTR контроллера CMCTR.

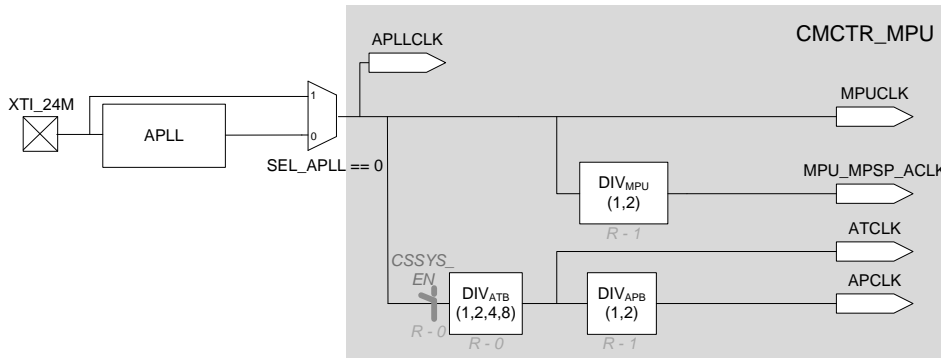


Рисунок 2.1. Генерация тактовой частоты в блоке CMCTR_MPU

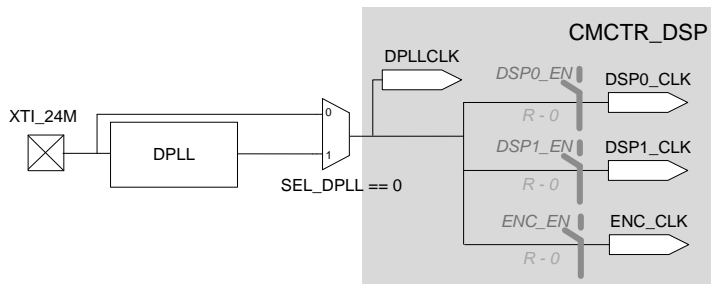


Рисунок 2.2. Генерация тактовой частоты в блоке CMCTR_DSP

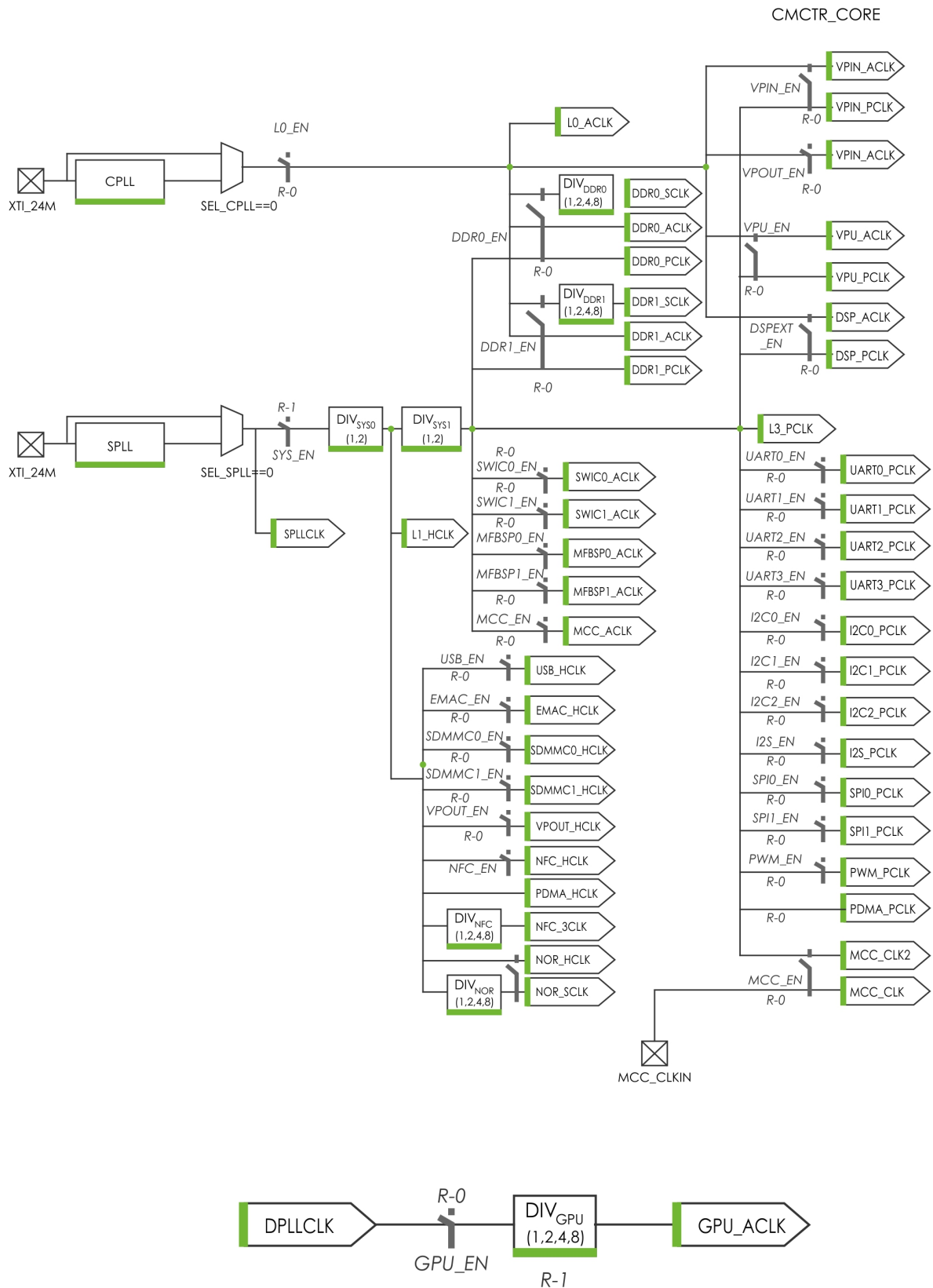


Рисунок 2.3. Генерация тактовой частоты в блоке CMCTR_CORE

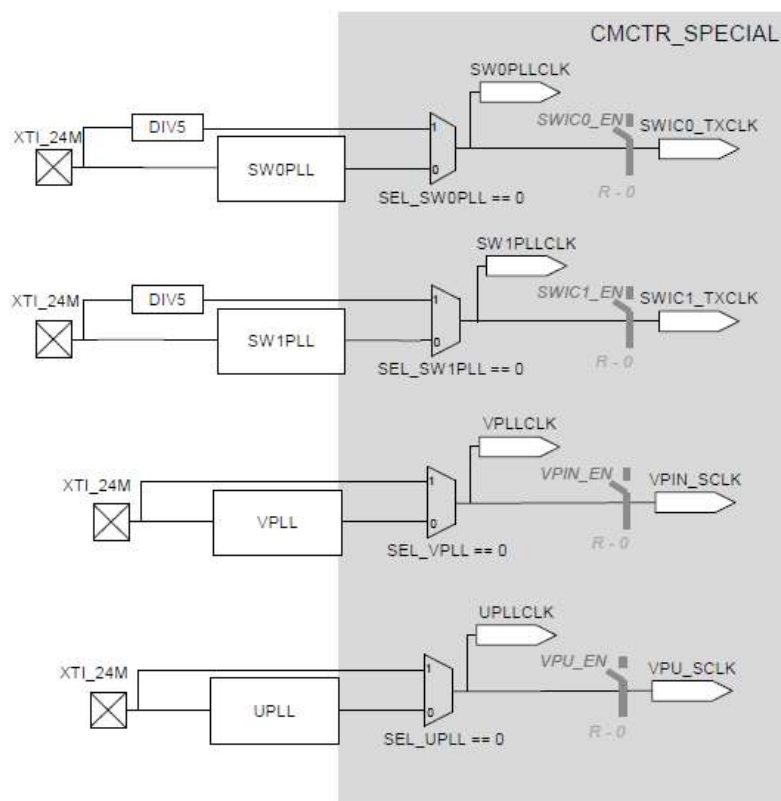


Рисунок 2.4. Генерация тактовой частоты в блоке CMCTR_SPECIAL

В микросхеме присутствует внешний вывод CLKOUT, на который можно вывести частоту с большинства блоков PLL микросхемы. Схема разводки частот для вывода CLKOUT представлена на Рисунок 2.5.

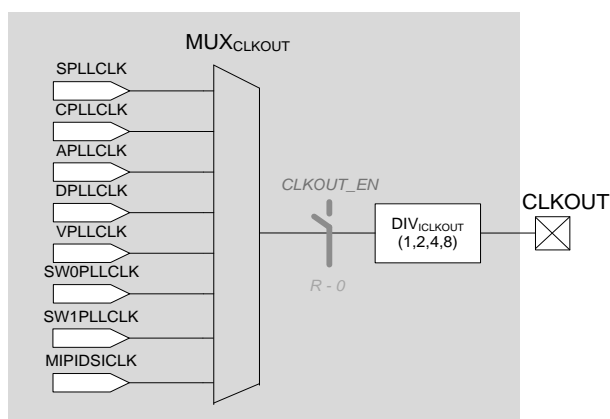


Рисунок 2.5. Вывод частот через CLKOUT

2.3.2.2 Описание тактовых частот микросхемы

В Таблица 2.22 дано описание тактовых частот микросхемы.

Таблица 2.22. Описание тактовых частот микросхемы

Название	Описание	Максимальные рабочие значения при НУ	Ограничения	Источник
MPUCLK (C_CPU*)	Основная частота центрального процессора	912 МГц		APLLCLK
MPU_MPSP_ACLK	Частота интерфейсной части портов центрального процессора к уровню L1_COMM коммутатора	504 МГц	Может относиться к MPUCLK как 1:1, 1:2	
ATCLK	Частота шины трассы CSSYS	192 МГц	Может относиться к MPUCLK как 1:1, 1:2, 1:4, 1:8	
APCLK	Частота шины отладки CSSYS	96 МГц	Может относиться к ATCLK как 1:1, 1:2	
DSP0_CLK, DSP1_CLK (C_DSP*)	Основные частоты ядер двухъядерного DSP кластера	720 МГц	Всегда равны	DPLLCLK
ENC_CLK	Частота JPEG энкодера в составе DSP кластера	720 МГц	Равна DSP0_CLK и DSP1_CLK	
GPU_ACLK	Основная и интерфейсная частота GPU	360 МГц	Может относиться к DSP0CLK как 1:1, 1:2, 1:4, 1:8	
VPIN_SCLK	Основная частота VPIN	384 МГц		VPLLCLK
VPU_SCLK (C_VPU*)	Основная частота VPU	384 МГц		UPLLCLK
L0_ACLK	Частота уровня L0_COMM коммутатора	504 МГц		CPLLCLK
DDR0_SCLK, DDR1_SCLK	Основные частоты контроллеров DDR памяти DDRMC0,1	504 МГц	Может относиться к L0_ACLK как 1:1, 1:2, 1:4, 1:8	
DDR0_ACLK, DDR1_ACLK	Частоты интерфейсной части контроллеров DDR памяти DDRMC0,1 к коммутатору L0_COMM	504 МГц	Всегда равны L0_ACLK	
VPIN_ACLK, VPOUT_ACLK, VPU_ACLK, DSP_ACLK	Основные и интерфейсные частоты блоков VPIN, VPOUT, VPU, SDMA; интерфейсная частота для DSP кластера к коммутатору L0_COMM	504 МГц	Всегда равны L0_ACLK	
L1_HCLK	Частота уровня L1_COMM коммутатора	255 МГц		SPLLCLK
USB_HCLK, GEMAC_HCLK, SDMMC0_HCLK, SDMMC1_HCLK, PDMA_HCLK, VPOUT_HCLK, NFC_HCLK, NOR_HCLK	Основные и интерфейсные частоты блоков GEMAC, SDMMC0-1, PDMA; интерфейсные частоты для USBIC, NORMPORT, NANDMPORT к коммутатору L1_COMM	255 МГц	Всегда равны L1_HCLK	
L3_PCLK	Частота уровней L3_COMM и L2_COMM коммутаторов	144 МГц	Всегда равны, относятся к	

Название	Описание	Максимальные рабочие значения при НУ	Ограничения	Источник
DDR0_1_PCLK, VPIN_PCLK, VPU_PCLK, DSP_PCLK, SWIC0_1_ACLK, MFBSP0_1_ACLK, UART0,1,2,3_PCLK, I2C0,1,2_PCLK, I2S_PCLK, SPI0_1_PCLK, PWM_PCLK, MCC_PCLK, MCC_CLK2	Основные и интерфейсные частоты блоков UART, I2C, I2S, SPI, PWM, SWIC0,1 и MFBSP0,1; Частота интерфейсной части блоков DDR0,1, VPIN, VPOUT, VPU, SDMA, DSP, MCC к уровням L2_COMM и L3_COMM коммутаторов	144 МГц	L1_HCLK как 1:1, 1:2	
NOR_SCLK	Основная частота для NORMPORT, частота обмена по внешним выводам.	72 МГц	Может относиться к L1_HCLK как 1:1, 1:2, 1:4, 1:8	
NFC_SCLK	Основная частота для NANDMPORT	96 МГц	Может относиться к L1_HCLK как 1:1, 1:2, 1:4, 1:8	
* C_VPU, C_CPU, C_DSP, C_GPU – наименования частот в АЕНВ.431280.032ТУ				

2.3.2.3 Блоки PLL

Все PLL в микросхеме являются однотипными и позволяют получать на выходе тактовую частоту в диапазоне от 24 до 1488 МГц с шагом в 24 МГц. Управление блоками PLL доступно через регистры SEL_nPLL контроллера CMCTR (см. Таблица 2.42 - Таблица 2.46). По включению микросхемы все PLL выключены и работают в режиме пропуска опорной тактовой частоты с входа XT1_24M – 24МГц. Включение PLL производится записью в поле SEL соответствующего регистра SEL_nPLL значения, отличного от нуля. На включение PLL и на смену выходной частоты PLL требуется время около 60 мкс для выхода на рабочий режим. На это время выходная частота PLL аппаратно заменяется на опорную, т.е. на 24 МГц. Об окончании перехода на рабочий режим свидетельствует установка бита LOCK регистра SEL_nPLL в единицу.

Работа SW0PLL и SW1PLL (т.е. PLL для формирования частоты передачи для блоков SWIC0 и SWIC1) в деталях отличается от описанного выше алгоритма, подробнее см. главы 24.5.5 и 24.5.6.

2.3.3 Программная модель

Контроллер CMCTR позволяет управлять PLL и системой синхронизации микросхемы. Далее описаны программно-доступные регистры CMCTR.

2.3.3.1 Сводная таблица регистров

В Таблица 2.23 представлена сводная таблица регистров контроллера управления синхронизацией.

В таблице указаны адреса смещения по отношению к базовому адресу контроллера CMCTR, данному в Таблица 2.2.

Таблица 2.23. Сводная таблица регистров CMCTR

Смещение	Обозначение	Описание
0x000	Резерв	Резерв
0x004	DIV_MPU_CTR	Регистр делителя частоты MPUCLK
0x008	DIV_ATB_CTR	Регистр делителя частоты ATCLK
0x00c	DIV_APB_CTR	Регистр делителя частоты APCLK
0x010	CHIP_REVISION	Регистр ревизии микросхемы
0x014	GATE_MPU_CTR	Регистр по управлению отключением частот в CMCTR_MPU
0x020	Резерв	Резерв
0x024	Резерв	Резерв
0x028	Резерв	Резерв
0x02c	DIV_GPU_CTR	Регистр делителя частоты GPU_ACLK
0x030	DIV_DDR0_CTR	Регистр делителя частоты DDR0_SCLK
0x034	DIV_DDR1_CTR	Регистр делителя частоты DDR1_SCLK
0x038	DIV_NFC_CTR	Регистр делителя частоты NFC_SCLK
0x03c	DIV_NOR_CTR	Регистр делителя частоты NOR_SCLK
0x040	DIV_SYS0_CTR	Регистр делителя частоты L1_HCLK и связанных с ней частот
0x044	DIV_SYS1_CTR	Регистр делителя частоты L3_PCLK и связанных с ней частот
0x048	GATE_CORE_CTR	Регистр по управлению отключением частот в CMCTR_CORE
0x04c	GATE_SYS_CTR	Регистр по управлению отключением частот в CMCTR_SYS
0x060	Резерв	Резерв
0x064	Резерв	Резерв
0x068	GATE_DSP_CTR	Регистр по управлению отключением частот в CMCTR_DSP
0x80	MUX_CLKOUT	Регистр выбора частоты для вывода CLKOUT
0x84	DIV_CLKOUT	Регистр делителя частоты для вывода CLKOUT
0x88	GATE_CLKOUT	Регистр управления отключением частоты для вывода CLKOUT
0x90	LS_ENABLE	Регистр контроля функции LightSleep памяти микросхемы
0x100	SEL_APLL	Регистр контроля APLL
0x104	SEL_CPLL	Регистр контроля CPLL
0x108	SEL_DPLL	Регистр контроля DPLL
0x10c	SEL_SPLL	Регистр контроля SPLL
0x110	SEL_VPLL	Регистр контроля VPLL
0x114	SEL_UPLL	Регистр контроля UPLL

2.3.3.2 Регистр DIV_MPU_CTR

Таблица 2.24. Формат регистра DIV_MPU_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0
0	DIV_MPU	Значение делителя тактовой частоты MPU_MPSP_ACLK: 0x0 – 1; 0x1 – 2;	R/W	0

2.3.3.3 Регистр DIV_ATB_CTR

Таблица 2.25. Формат регистра DIV_ATB_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0
1:0	DIV_ATB	Значение делителя тактовой частоты ATCLK: 0x0 – 1; 0x1 – 2; 0x2 – 4; 0x3 – 8;	R/W	0

2.3.3.4 Регистр DIV_APB_CTR

Таблица 2.26. Формат регистра DIV_APB_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:2	-	Не используется	R	0
0	DIV_APB	Значение делителя тактовой частоты APCLK: 0x0 – 1; 0x1 – 2;	R/W	0

2.3.3.5 Регистр GATE_MPU_CTR

Таблица 2.27. Формат регистра GATE_MPU_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0
0	CSSYS_EN	Разрешение для тактовых частот ATCLK, APCLK	R/W	1

2.3.3.6 Регистр DIV_GPU_CTR

Таблица 2.28. Формат регистра DIV_GPU_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:2	-	Не используется	R	0
1:0	DIV_GPU	Значение делителя тактовых частот GPU_PCLK, GPU_ACLK: 0x0 – 1; 0x1 – 2; 0x2 – 4; 0x3 – 8;	R/W	0

2.3.3.7 Регистр DIV_DDR0_CTR

Таблица 2.29. Формат регистра DIV_DDR0_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:2	-	Не используется	R	0
1:0	DIV_DDR0	Значение делителя тактовой частоты DDR0_SCLK: 0x0 – 1; 0x1 – 2; 0x2 – 4; 0x3 – 8;	R/W	0

2.3.3.8 Регистр DIV_DDR1_CTR

Таблица 2.30. Формат регистра DIV_DDR1_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:2	-	Не используется	R	0
1:0	DIV_DDR1	Значение делителя тактовой частоты DDR1_SCLK: 0x0 – 1; 0x1 – 2; 0x2 – 4; 0x3 – 8	R/W	0

2.3.3.9 Регистр DIV_NFC_CTR

Таблица 2.31. Формат регистра DIV_NFC_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:2	-	Не используется	R	0
1:0	DIV_NFC	Значение делителя тактовой частоты NFC_SCLK: 0x0 – 1; 0x1 – 2; 0x2 – 4; 0x3 – 8	R/W	0

2.3.3.10 Регистр DIV_NOR_CTR

Таблица 2.32. Формат регистра DIV_NOR_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:4	-	Не используется	R	0
3:0	DIV_NOR	Значение делителя тактовой частоты NOR_SCLK: 0x0 – 1; 0x1 – 2; 0x2 – 4; 0x3 – 8	R/W	0

2.3.3.11 Регистр DIV_SYS0_CTR

Таблица 2.33. Формат регистра DIV_SYS0_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0
0	DIV_SYS0	Значение делителя тактовой частоты L1_HCLK и связанных с ней частот: 0x0 – 1; 0x1 – 2	R/W	0

2.3.3.12 Регистр DIV_SYS1_CTR

Таблица 2.34. Формат регистра DIV_SYS1_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0
0	DIV_SYS1	Значение делителя тактовой частоты L3_PCLK и связанных с ней частот: 0x0 – 1; 0x1 – 2; Является вторым в цепи после делителя контролируемого через DIV_SYS0_CTR	R/W	0

2.3.3.13 Регистр GATE_CORE_CTR

Таблица 2.35. Формат регистра GATE_CORE_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:7	-	Не используется	R	0
6	GPU_EN	Разрешение для интерфейсной частоты GPU GPU_ACLK	R/W	0
5	VPU_EN	Разрешение для интерфейсных частот VPU VPU_PCLK, VPU_ACLK	R/W	0
4	VPOUT_EN	Разрешение для интерфейсных частот VPOUT VPOUT_HCLK, VPOUT_ACLK	R/W	0
3	VPIN_EN	Разрешение для интерфейсных частот VPIN VPIN_PCLK, VPIN_ACLK	R/W	0
2	DDR1_EN	Разрешение для интерфейсных частот контроллера DDRMC1 DDRMC1_PCLK, DDRMC1_ACLK	R/W	0
1	DDR0_EN	Разрешение для интерфейсных частот контроллера DDRMC0 DDRMC0_PCLK, DDRMC0_ACLK	R/W	0
0	L0_EN	Разрешение для тактовой частоты L0_ACLK и связанных с ней частот	R/W	0

2.3.3.14 Регистр GATE_SYS_CTR

Таблица 2.36. Формат регистра GATE_SYS_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:19	-	Не используется	R	0
22	NOR_EN	Разрешение для частот контроллера NORMPORT	R/W	1
21	NFC_EN	Разрешение для частот контроллера NANDMPORT	R/W	1
20	SPI1_EN	Разрешение для интерфейсной частоты контроллера SPI1 SPI1_PCLK	R/W	0
19	SPI0_EN	Разрешение для интерфейсной частоты контроллера SPI0 SPI0_PCLK	R/W	0
18	I2C2_EN	Разрешение для интерфейсной частоты контроллера I2C2 I2C2_PCLK	R/W	0
17	I2C1_EN	Разрешение для интерфейсной частоты контроллера I2C1 I2C1_PCLK	R/W	0
16	I2C0_EN	Разрешение для интерфейсной частоты контроллера I2C0 I2C0_PCLK	R/W	0
15	UART3_EN	Разрешение для интерфейсной частоты контроллера UART3 UART3_PCLK	R/W	0
14	UART2_EN	Разрешение для интерфейсной частоты контроллера UART2 UART2_PCLK	R/W	0
13	UART1_EN	Разрешение для интерфейсной частоты контроллера UART1 UART1_PCLK	R/W	0
12	UART0_EN	Разрешение для интерфейсной частоты контроллера UART0 UART0_PCLK	R/W	0
11	SWIC1_EN	Разрешение для интерфейсной частоты контроллера SWIC1 ACLK	R/W	0
10	SWIC0_EN	Разрешение для интерфейсной частоты контроллера SWIC0 ACLK	R/W	0
9	MFBSP1_EN	Разрешение для интерфейсной частоты контроллера MFBSP1 ACLK	R/W	0
8	MFBSP0_EN	Разрешение для интерфейсной частоты контроллера MFBSP0 ACLK	R/W	0
7	PWM_EN	Разрешение для интерфейсной частоты контроллера PWM PWM_PCLK	R/W	0
6	MCC_EN	Разрешение для интерфейсной частоты контроллера MCC MCC_PCLK	R/W	0
5	USB_EN	Разрешение для интерфейсной частоты контроллера USBIC USBIC_HCLK	R/W	0
4	EMAC_EN	Разрешение для интерфейсной частоты контроллера GEMAC GEMAC_HCLK	R/W	0
3	SDMMC1_EN	Разрешение для интерфейсной частоты контроллера SDMMC0 SDMMC1_HCLK	R/W	0
2	SDMMC0_EN	Разрешение для интерфейсной частоты контроллера SDMMC0 SDMMC0_HCLK	R/W	0
1	I2S_EN	Разрешение для интерфейсной частоты контроллера I2S I2S_PCLK	R/W	0
0	SYS_EN	Разрешение для тактовых частот L1_HCLK, L3_PCLK и связанных с ними частот	R	1

2.3.3.15 Регистр GATE_DSP_CTR

Таблица 2.37. Формат регистра GATE_DSP_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:4	-	Не используется	R	0
3	DSPENC_EN	Разрешение для тактовой частоты ENC_CLK	R/W	0
2	DSPEXT_EN	Разрешение для тактовых частот DSP_ACLK, DSP_PCLK	R/W	0
1	DSP1_EN	Разрешение для тактовых частот DSP1_CLK	R/W	0
0	DSP0_EN	Разрешение для тактовых частот DSP0_CLK	R/W	0

2.3.3.16 Регистр MUX_CLKOUT

Таблица 2.38. Формат регистра MUX_CLKOUT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:3	-	Не используется	R	0
2:0	MUX_CLKOUT	Выбор источника тактовой частоты для вывода микросхемы CLKOUT: 0x0 – SPLLCCLK; 0x1 – CPLLCCLK; 0x2 – APLLCLK; 0x3 – DPLLCLK; 0x4 – VPLLCLK; 0x5 – SW0PLLCLK; 0x6 – SW1PLLCLK; 0x7 – MIPIDSICLK	R/W	0

2.3.3.17 Регистр DIV_CLKOUT

Таблица 2.39. Формат регистра DIV_CLKOUT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:2	-	Не используется	R	0
1:0	DIV_CLKOUT	Значение делителя тактовой частоты CLKOUT 0x0 – 1; 0x1 – 2; 0x2 – 4; 0x3 – 8	R/W	0

2.3.3.18 Регистр GATE_CLKOUT

Таблица 2.40. Формат регистра GATE_CLKOUT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0
0	CLKOUT_EN	Разрешение для тактовой частоты CLKOUT	R/W	0

2.3.3.19 Регистр LS_ENABLE

Таблица 2.41. Формат регистра LS_ENABLE

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0
0	LS_ENABLE	Разрешение перехода памяти блоков микросхемы в режим LightSleep (пониженное потребление и сохранение содержания памяти) при отключении тактовой частоты у данного блока. Применяется для блоков SDMMC, VPIN, VPOUT, GPU, NANDMPOROT, MCC.	R/W	1

2.3.3.20 Регистр SEL_APLL

Таблица 2.42. Формат регистра SEL_APLL

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние																				
31	LOCK	Бит указывает окончание настройки PLL на новую заданную частоту работы. При начале процедуры настройки либо при выключенной PLL сбрасывается в 0.	R	0																				
30:8	-	Не используется	R	0																				
7:0	SEL	<p>Определяет выходную частоту и режим работы PLL</p> <table border="1"> <thead> <tr> <th>SEL</th> <th>Вых. частота</th> </tr> </thead> <tbody> <tr> <td>0x0</td> <td>XTI, PLL выключена</td> </tr> <tr> <td>0x1</td> <td>XTI * 2</td> </tr> <tr> <td>0x2</td> <td>XTI * 3</td> </tr> <tr> <td>0x3</td> <td>XTI * 4</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>0x3D</td> <td>XTI * 62</td> </tr> <tr> <td>0x3E</td> <td>XTI * 62</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>0xFF</td> <td>XTI * 62</td> </tr> </tbody> </table>	SEL	Вых. частота	0x0	XTI, PLL выключена	0x1	XTI * 2	0x2	XTI * 3	0x3	XTI * 4	0x3D	XTI * 62	0x3E	XTI * 62	0xFF	XTI * 62	R/W	0
SEL	Вых. частота																							
0x0	XTI, PLL выключена																							
0x1	XTI * 2																							
0x2	XTI * 3																							
0x3	XTI * 4																							
...	...																							
0x3D	XTI * 62																							
0x3E	XTI * 62																							
...	...																							
0xFF	XTI * 62																							

2.3.3.21 Регистр SEL_CPLL

Таблица 2.43. Формат регистра SEL_CPLL

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	LOCK	Бит указывает окончание настройки PLL на новую заданную частоту работы. При начале процедуры настройки либо при выключенной PLL сбрасывается в 0.	R	0
30:8	-	Не используется	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние																				
7:0	SEL	<p>Определяет выходную частоту и режим работы PLL</p> <table border="1"> <thead> <tr> <th>SEL</th> <th>Вых. частота</th> </tr> </thead> <tbody> <tr> <td>0x0</td> <td>XTI, PLL выключена</td> </tr> <tr> <td>0x1</td> <td>XTI * 2</td> </tr> <tr> <td>0x2</td> <td>XTI * 3</td> </tr> <tr> <td>0x3</td> <td>XTI * 4</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>0x3D</td> <td>XTI * 62</td> </tr> <tr> <td>0x3E</td> <td>XTI * 62</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>0xFF</td> <td>XTI * 62</td> </tr> </tbody> </table>	SEL	Вых. частота	0x0	XTI, PLL выключена	0x1	XTI * 2	0x2	XTI * 3	0x3	XTI * 4	0x3D	XTI * 62	0x3E	XTI * 62	0xFF	XTI * 62	R/W	0
SEL	Вых. частота																							
0x0	XTI, PLL выключена																							
0x1	XTI * 2																							
0x2	XTI * 3																							
0x3	XTI * 4																							
...	...																							
0x3D	XTI * 62																							
0x3E	XTI * 62																							
...	...																							
0xFF	XTI * 62																							

2.3.3.22 Регистр SEL_DPLL

Таблица 2.44. Формат регистра SEL_DPLL

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние																				
31	LOCK	Бит указывает окончание настройки PLL на новую заданную частоту работы. При начале процедуры настройки либо при выключенной PLL сбрасывается в 0.	R	0																				
30:8	-	Не используется	R	0																				
7:0	SEL	<p>Определяет выходную частоту и режим работы PLL</p> <table border="1"> <thead> <tr> <th>SEL</th> <th>Вых. частота</th> </tr> </thead> <tbody> <tr> <td>0x0</td> <td>XTI, PLL выключена</td> </tr> <tr> <td>0x1</td> <td>XTI * 2</td> </tr> <tr> <td>0x2</td> <td>XTI * 3</td> </tr> <tr> <td>0x3</td> <td>XTI * 4</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>0x3D</td> <td>XTI * 62</td> </tr> <tr> <td>0x3E</td> <td>XTI * 62</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>0xFF</td> <td>XTI * 62</td> </tr> </tbody> </table>	SEL	Вых. частота	0x0	XTI, PLL выключена	0x1	XTI * 2	0x2	XTI * 3	0x3	XTI * 4	0x3D	XTI * 62	0x3E	XTI * 62	0xFF	XTI * 62	R/W	0
SEL	Вых. частота																							
0x0	XTI, PLL выключена																							
0x1	XTI * 2																							
0x2	XTI * 3																							
0x3	XTI * 4																							
...	...																							
0x3D	XTI * 62																							
0x3E	XTI * 62																							
...	...																							
0xFF	XTI * 62																							

2.3.3.23 Регистр SEL_SPLL

Таблица 2.45. Формат регистра SEL_SPLL

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	LOCK	Бит указывает окончание настройки PLL на новую заданную частоту работы. При начале процедуры настройки либо при выключенной PLL сбрасывается в 0.	R	0
30:8	-	Не используется	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние																				
7:0	SEL	<p>Определяет выходную частоту и режим работы PLL</p> <table border="1"> <thead> <tr> <th>SEL</th> <th>Вых. частота</th> </tr> </thead> <tbody> <tr> <td>0x0</td> <td>XTI, PLL выключена</td> </tr> <tr> <td>0x1</td> <td>XTI * 2</td> </tr> <tr> <td>0x2</td> <td>XTI * 3</td> </tr> <tr> <td>0x3</td> <td>XTI * 4</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>0x3D</td> <td>XTI * 62</td> </tr> <tr> <td>0x3E</td> <td>XTI * 62</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>0xFF</td> <td>XTI * 62</td> </tr> </tbody> </table>	SEL	Вых. частота	0x0	XTI, PLL выключена	0x1	XTI * 2	0x2	XTI * 3	0x3	XTI * 4	0x3D	XTI * 62	0x3E	XTI * 62	0xFF	XTI * 62	R/W	0
SEL	Вых. частота																							
0x0	XTI, PLL выключена																							
0x1	XTI * 2																							
0x2	XTI * 3																							
0x3	XTI * 4																							
...	...																							
0x3D	XTI * 62																							
0x3E	XTI * 62																							
...	...																							
0xFF	XTI * 62																							

2.3.3.24 Регистр SEL_VPLL

Таблица 2.46. Формат регистра SEL_VPLL

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние																				
31	LOCK	Бит указывает окончание настройки PLL на новую заданную частоту работы. При начале процедуры настройки либо при выключенной PLL сбрасывается в 0.	R	0																				
30:8	-	Не используется	R	0																				
7:0	SEL	<p>Определяет выходную частоту и режим работы PLL</p> <table border="1"> <thead> <tr> <th>SEL</th> <th>Вых. частота</th> </tr> </thead> <tbody> <tr> <td>0x0</td> <td>XTI, PLL выключена</td> </tr> <tr> <td>0x1</td> <td>XTI * 2</td> </tr> <tr> <td>0x2</td> <td>XTI * 3</td> </tr> <tr> <td>0x3</td> <td>XTI * 4</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>0x3D</td> <td>XTI * 62</td> </tr> <tr> <td>0x3E</td> <td>XTI * 62</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>0xFF</td> <td>XTI * 62</td> </tr> </tbody> </table>	SEL	Вых. частота	0x0	XTI, PLL выключена	0x1	XTI * 2	0x2	XTI * 3	0x3	XTI * 4	0x3D	XTI * 62	0x3E	XTI * 62	0xFF	XTI * 62	R/W	0
SEL	Вых. частота																							
0x0	XTI, PLL выключена																							
0x1	XTI * 2																							
0x2	XTI * 3																							
0x3	XTI * 4																							
...	...																							
0x3D	XTI * 62																							
0x3E	XTI * 62																							
...	...																							
0xFF	XTI * 62																							

2.3.3.25 Регистр SEL_UPLL

Таблица 2.47. Формат регистра SEL_UPLL

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	LOCK	Бит указывает окончание настройки PLL на новую заданную частоту работы. При начале процедуры настройки либо при выключенной PLL сбрасывается в 0.	R	0
30:8	-	Не используется	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	SEL	Определяет выходную частоту и режим работы PLL	R/W	0
		SEL Вых. частота		
		0x0 ХТІ, PLL выключена		
		0x1 ХТІ * 2		
		0x2 ХТІ * 3		
		0x3 ХТІ * 4		
		...		
		0x3D ХТІ * 62		
		0x3E ХТІ * 62		
		...		
		0xFF ХТІ * 62		

2.4 Уменьшение потребляемой мощности микросхемы и контроллер РМСТР

2.4.1 Введение

В микросхеме вводится понятие домена питания. Домен питания – это часть логики микросхемы, отключение питания от которой не приводит к сбоям в других частях микросхемы, а включение возвращает в состояние по сбросу.

Домен питания может включать в себя логику, работающую на одной или нескольких тактовых частотах.

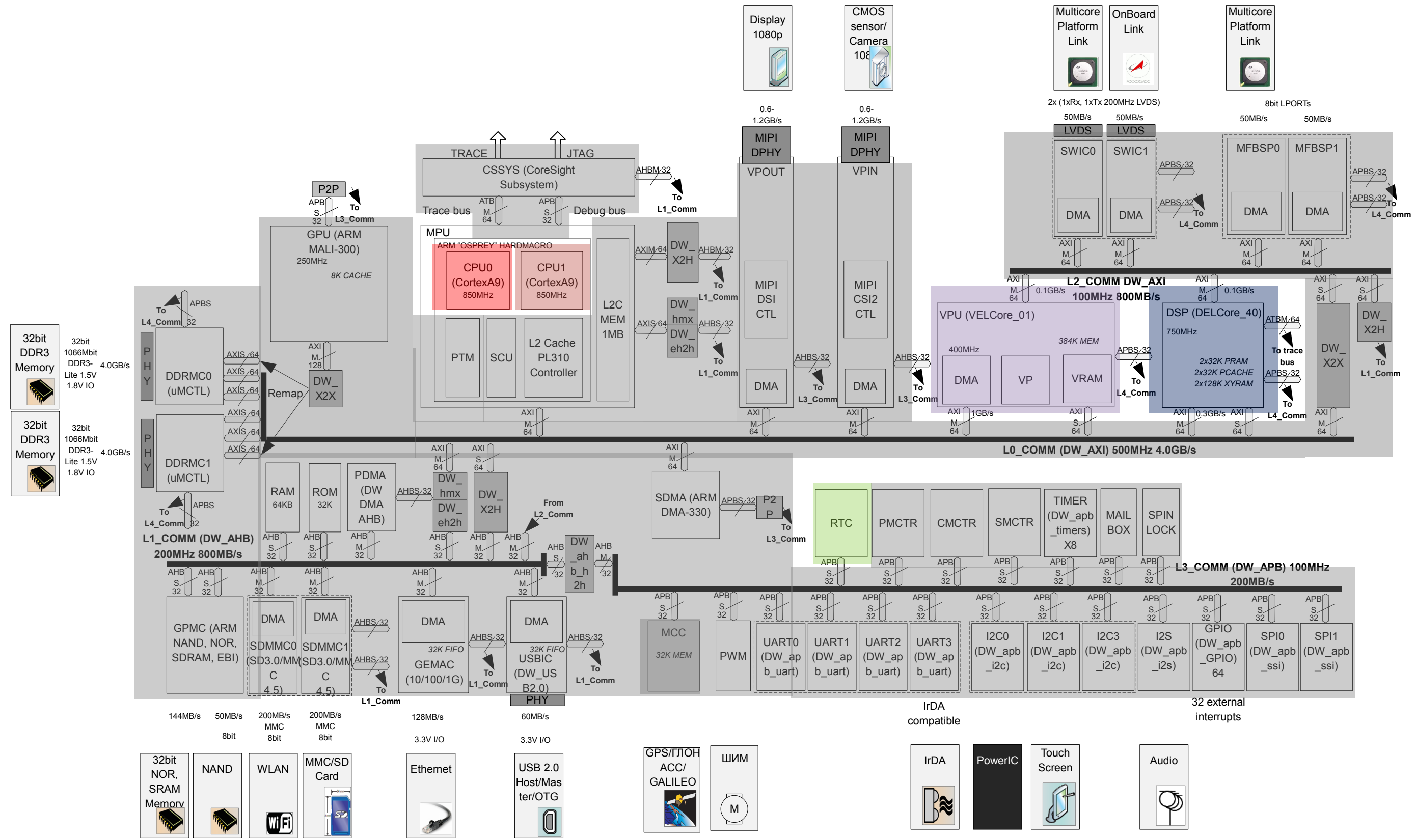
Домен питания может находиться в одном из трех состояний:

1. Включен – логика внутри домена питания работает в диапазоне рабочих частот.
2. Остановлен – все или некоторые тактовые частоты внутри домена отключены.
3. Выключен – отключено питание от всей логики внутри домена, включая память.

Концепция состояний домена питания покрывает весь спектр решений по уменьшению потребляемой мощности логики внутри домена:

- для снижения динамического потребления:
 - в состоянии «Включен» могут понижаться рабочие тактовые частоты;
 - в состоянии «Остановлен» все или несколько тактовых частот могут быть отключены;
- для снижения статического потребления домен питания может быть временно выключен.

Домены питания микросхемы показаны на Рисунок 2.6



- MPU CPU0 домен
- MPU CPU1 домен
- RTC домен
- VPU домен
- DSP домен
- CORE домен

Рисунок 2.6. Домены питания микросхемы

1. Домен MPU CPU0 включает логику ядра процессора CPU0 и сопроцессора NEON0.
2. Домен MPU CPU1 включает логику ядра процессора CPU1 и сопроцессора NEON1.
3. Домен VPU включает логику видеоакселератора.
4. Домен DSP включает логику цифрового сигнального процессора.
5. Домен CORE включает логику уровней коммутатора L0_COMM, L2_COMM, блоков SWIC, MFBSP, VPIN, VPOUT, SDMA, GPU, DDRMC, MCC, логику и память кэша второго уровня и системную часть подсистемы центрального процессора, в том числе контроллер прерываний; логику уровней коммутатора L1_COMM, L3_COMM, блоков GPMC, SDMMC, RAM, ROM, PDMA, GEMAC, USBIC, PWM, UART1-3, I2C, I2S, SPI, MAILBOX, SPINLOCK, а также логику отладки и трассы.
6. Домен RTC включает логику блока таймера реального времени RTC.

Состояния доменов питания управляются совместно контроллерами системы синхронизации SMCTR и управления питанием PMCTR микросхемы. Через контроллер SMCTR задаются рабочие частоты внутри доменов и производится включение/отключение частот. Посредством контроллера PMCTR домены питания переводятся в состояние «Выключено» и включаются обратно.

2.4.2 Обзор контроллера PMCTR

Для всех доменов питания микросхемы соблюдаются специальные процедуры включения и выключения питания. Они обеспечивают правильную работу логики изоляции доменов, тактовых частот и сигналов сброса. Выполнение этих процедур реализуется с помощью контроллера управления питанием PMCTR.

Структура контроллера PMCTR показана на Рисунок 2.7.

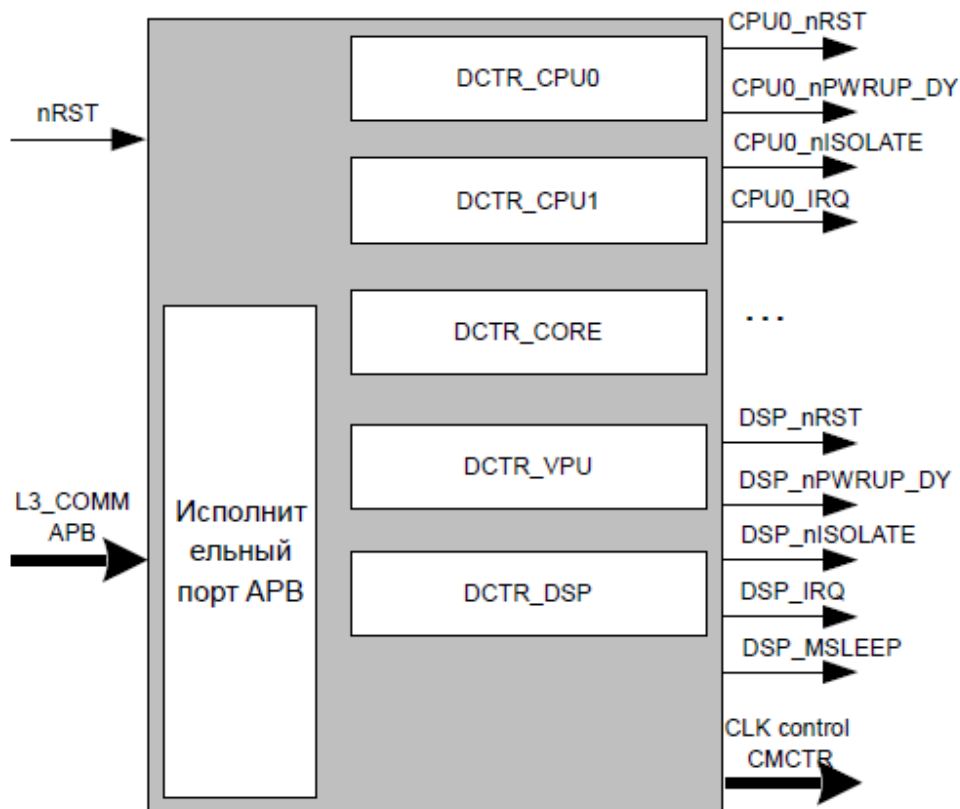


Рисунок 2.7. Структура контроллера PMCTR

PMCTR содержит шесть функциональных блоков, по числу доменов питания, которые управляют сигналами сброса, изоляции и включения доменов питания, программно доступные регистры для управления ими и интерфейс к контроллеру системы синхронизации микросхемы CMCTR.

Общая процедура, которую реализует PMCTR для выключения домена питания следующая:

1. Отключение тактовой частоты.
2. Установка сигнала сброса.
3. Разрешение сигнала изоляции домена.
4. Выключение переключателей питания.

Пример аппаратной процедуры выключения домена показан на Рисунок 2.8.

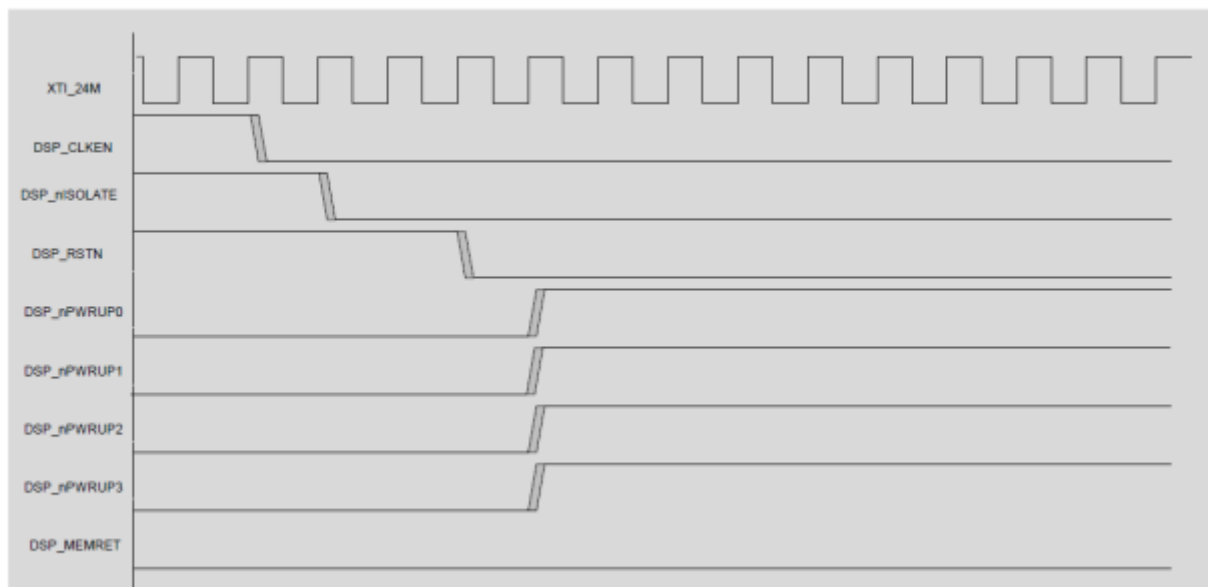


Рисунок 2.8. Процедура выключения домена питания

Общая процедура, которую реализует PMCTR для включения домена питания следующая:

1. Включение переключателей питания.
2. Снятие изоляции.
3. Снятие сигнала сброса.
4. Включение тактовой частоты.
5. Выставление прерывания (опционально).

Пример аппаратной процедуры включения домена показан на Рисунок 2.9.

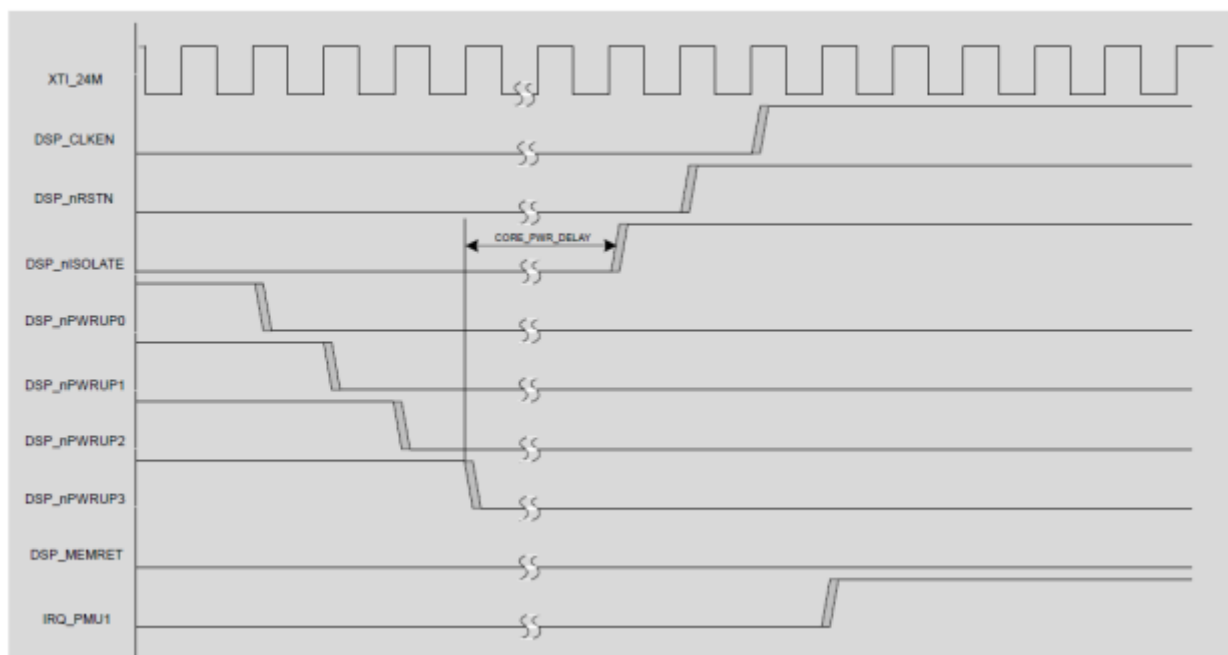


Рисунок 2.9. Процедура включения домена питания

2.4.3 Режимы работы микросхемы

Все разрешенные комбинации состояний доменов питания микросхемы образуют несколько режимов работы микросхемы, показанных в Таблица 2.48.

Таблица 2.48. Режимы работы микросхемы и возможные состояния доменов питания

	Рабочий режим	Спящий режим
CORE	Остановлен/ Включен	Выключен
MPU CPU0	Остановлен/ Включен	Выключен
MPU CPU1	Выключен/ Остановлен/ Включен	Выключен
DSP	Выключен/ Остановлен/ Включен	Выключен
VPU	Выключен/ Остановлен/ Включен	Выключен
RTC	Включен	Включен

Разрешенные переходы между режимами работы микросхемы показаны на Рисунок 2.10.

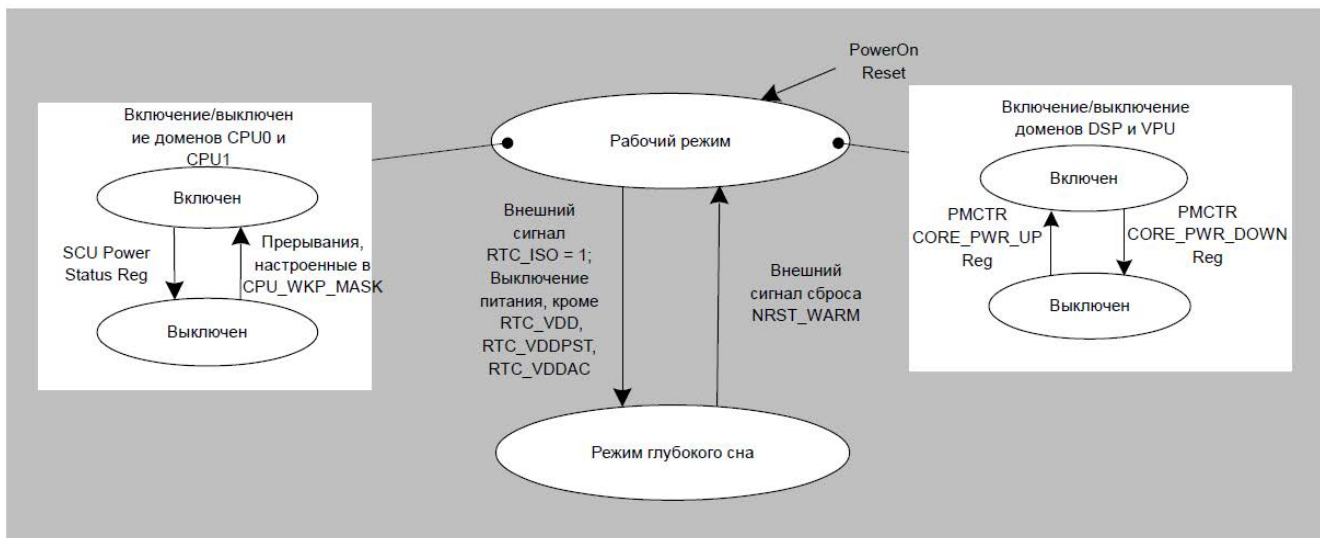


Рисунок 2.10. Переходы между режимами работы микросхемы

По включению микросхема находится в рабочем режиме.

2.4.3.1 Рабочий режим

В рабочем режиме домены питания CORE и RTC включены, т.е. включен коммутатор микросхемы, все периферийные блоки и системная часть центрального процессора. При этом домены CPU0, CPU1, DSP, VPU, т.е. вычислительные ядра могут быть как включенными, так и выключенными в зависимости от приложения. Кроме этого во всех доменах микросхемы, кроме RTC в рабочем режиме могут отключаться все или некоторые тактовые частоты.

2.4.3.2 Спящий режим

В спящем режиме все питание микросхемы, кроме питания таймера RTC, питания КП RTC_ISO, RTC_WAKEUP и XTI_32K, может быть выключено. В этом режиме сохраняется функционал таймера и возможно включить микросхему после истечения заданного времени или в произвольный момент при сохранении значения текущего времени. Для правильной работы на плате должны быть предусмотрены механизмы задания сигнала RTC_ISO, контроля за сигналом RTC_WAKEUP и отдельного (резервного) питания для линий RTC_VDD, RTC_VDDPST, RTC_VDDAC.

Для перехода в спящий режим:

- программно завершить все текущие операции в микросхеме;
- если требуется, настроить таймер реального времени RTC на требуемое время подачи сигнала пробуждения RTC_WAKEUP;
- установить внешний вход микросхемы RTC_ISO в единицу;

- установить сигнал сброса NRST_PON установкой в 0;
- выключить линии питания микросхемы, кроме RTC_VDD, RTC_VDDPST, RTC_VDDAC;
- удерживать внешний вход микросхемы RTC_ISO в единице.

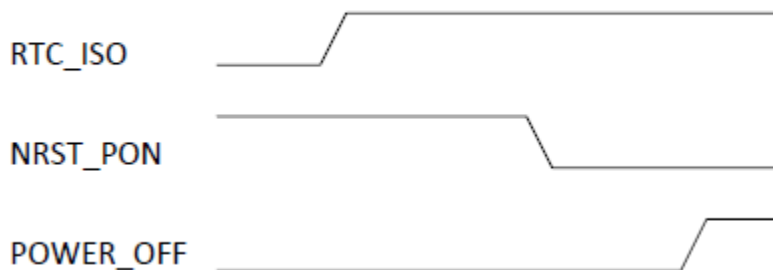


Рисунок 2.11. Последовательность перехода в спящий режим

Для перехода в рабочий режим:

- по высокому уровню сигнала RTC_WAKEUP или по иному внешнему событию включить питание микросхемы;
- снять сброс NRST_PON установкой в 1, удерживая RTC_ISO в единице;
- снять сигнал RTC_ISO установкой в 0.

При переходе в рабочий режим с соблюдением указанной последовательности на всю логику микросхемы, за исключением таймера RTC, подается сигнал сброса.

Перед снятием сброса, внешней логикой должно быть обеспечено предварительное включение всех цепей питания.



Рисунок 2.12. Последовательность выхода из спящего режима

Состояния, подаваемые на входы RTC_ISO и NRST_PON при переходе в спящий режим и при выходе из него, показаны на рисунках Рисунок 2.11 - Рисунок 2.12.

Под сигналом POWER_OFF подразумевается сигнал, управляющий источниками питания на плате (за исключением батарейного питания).

Минимальная задержка между переключениями данных трех сигналов составляет 1 такт частоты, подаваемой на вход XTI_24М микросхемы 1892BM14Я.

Примечание. В случае первого включения питания домена RTC от батареи, до момента обеспечения питания сигнала NRST_PON на логике таймера реального времени отсутствует валидный сигнал сброса. Это не приводит к дальнейшему нарушению функционала таймера, однако значение вывода RTC_WAKEUP может быть произвольным в этот промежуток времени; чтобы при необходимости исключить это, достаточно удерживать вход микросхемы RTC_ISO в нуле, что гарантирует в свою очередь, значение нуля на выводе RTC_WAKEUP.

2.4.3.3 Включение и выключение доменов MPU CPU0, MPU CPU1

В рабочем и в режиме «глубокого сна» допускается выключение доменов MPU CPU0 и MPU CPU1, которые соответствуют двум вычислительным ядрам Cortex A9 MPU кластера. При этом системная часть центрального процессора, контроллер прерывания GIC и кэш второго уровня остаются включенными.

Выключение доменов MPU CPU0 или MPU CPU1 выполняется с помощью внутреннего для MPU регистра SCU Power status (см. Главу 3). Последовательность следующая:

- выполнить все необходимые программные процедуры, необходимые для последующего включения;
- очистить и инвалидировать кэш L1;
- записать 0x3 в соответствующие данному CPU биты регистра SCU CPU Power Status;
- выполнить инструкцию WFI.

Включение доменов MPU CPU0 или MPU CPU1 выполняется по любому системному прерыванию (см. Таблица 2.77) с маской, открытой в регистрах CPU0_WKP_MASK для CPU0 или CPU1_WKP_MASK для CPU1 (см. Регистр CPU0_WKP_MASK и

Регистр CPU1_WKP_MASK). При этом прерывание преобразуется в запрос к контроллеру питания PMCTR, который и выполняет аппаратную процедуру включения домена CPU0 или CPU1.

2.4.3.4 Включение и выключение доменов DSP, VPU

В рабочем режиме работы микросхемы допускается выключение доменов DSP и VPU.

Выключение доменов DSP или VPU осуществляется следующим образом:

- выполнить все необходимые программные процедуры, необходимые для последующего включения;
- остановить программу DSP или VPU и все внешние обмены;
- со стороны MPU записать «1» в соответствующий бит регистра CORE_PWR_DOWN PMCTR.

Включение доменов DSP или VPU осуществляется записью «1» в соответствующий бит регистра CORE_PWR_UP PMCTR.

2.4.4 Программная модель

Далее описаны программно доступные регистры PMCTR.

2.4.4.1 Сводная таблица регистров

В Таблица 2.23 представлена сводная таблица регистров контроллера управления синхронизацией.

В таблице указаны адреса смещения по отношению к базовому адресу контроллера PMCTR, данному в Таблица 2.2.

Таблица 2.49. Сводная таблица регистров PMCTR

Смещение	Обозначение	Описание	Исходное состояние
Домены MPU CPU0, MPU CPU1, SYSTEM			
0x000	-	Резерв	
0x004	-	Резерв	
0x008	-	Резерв	
0x00c	SYS_PWR_STATUS	Регистр статуса доменов	
0x010	SYS_PWR_IMASK	Регистр маски прерывания SYS_PWR_INT	
0x014	SYS_PWR_IRSTAT	Регистр наличного статуса прерывания SYS_PWR_INT	
0x018	SYS_PWR_ISTAT	Регистр статуса прерывания SYS_PWR_INT	
0x01c	SYS_PWR_ICLR	Регистр очистки статуса прерывания SYS_PWR_INT	
0x020	SYS_PWR_DELAY	Регистр задания задержек автоматов	

Смещение	Обозначение	Описание	Исходное состояние
		доменов	
Контроль DDR			
0x024	DDR_PIN_RET	Регистр перевода выводов DDR в режим хранения состояния	
0x028	DDR_INIT_END	Регистр вывода контроллеров DDRMC0, DDRMC1 из режима инициализации	
Логика сброса и управления начальной загрузкой			
0x2c	WARM_RST_EN	Регистр разрешения «теплого» сброса	
0x30	-	Резерв	
0x34	-	Резерв	
0x38	-	Резерв	
0x3c	-	Резерв	
0x40	SW_RST	Регистр программного «теплого» сброса	
0x44	WARM_RST_STATUS	Регистр статуса последнего сброса	
0x48	PDM_RST_STATUS	Регистр статуса сброса доменов питания	
0x4c	NVMODE	Регистр управления сигналами NVMODE	
0x50 – 0x5c	CPU0_WKP_MASK	Регистр маски включения домена CPU0 по прерываниям	
0x60 – 0x6c	CPU1_WKP_MASK	Регистр маски включения домена CPU1 по прерываниям	
0x70	ALWAYS_MISC0	Регистр общего назначения, не сбрасываемый при «теплом» сбросе	
0x74	ALWAYS_MISC1	Регистр общего назначения, не сбрасываемый при «теплом» сбросе	
0x78	WARM_BOOT_OVRD	Регистр управления загрузкой при «теплом» сбросе	
Домены DSP, VPU, CORE			
0x080	CORE_PWR_UP	Регистр включения доменов	
0x084	CORE_PWR_DOWN	Регистр выключения доменов	
0x088	-	Резерв	
0x08c	CORE_PWR_STATUS	Регистр статуса доменов	
0x090	CORE_PWR_IMASK	Регистр маски прерывания CORE_PWR_INT	
0x094	CORE_PWR_IRSTAT	Регистр наличного статуса прерывания CORE_PWR_INT	
0x098	CORE_PWR_ISTAT	Регистр статуса прерывания CORE_PWR_INT	
0x09c	CORE_PWR_ICLR	Регистр очистки статуса прерывания CORE_PWR_INT	
0x0a0	CORE_PWR_DELAY	Регистр задания задержек автоматов доменов	

2.4.4.2 Регистр SYS_PWR_STATUS

Таблица 2.50. Формат регистра SYS_PWR_STATUS

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:3	-	Не используется	R	0x0
2	CPU1_DOWN	Статус домена CPU1 0 – включен 1 - выключен	R	0x0
1	CPU0_DOWN	Статус домена CPU0 0 – включен 1 - выключен	R	0x0
0	-	Резерв	R	0x0

2.4.4.3 SYS_PWR_DELAY

Таблица 2.51. Формат регистра SYS_PWR_DELAY

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	-	Не используется	R	0x0
15:0	DELAY	Бит задает длительность аппаратной процедуры включения домена в тактах XT1_24M. Допустимые значения 0x0000 – 0xFFFF.	R/W	0xFF

2.4.4.4 Регистр SYS_PWR_IMASK

Таблица 2.52. Формат регистра SYS_PWR_IMASK

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0x0
0	MASK	Маска прерывания по включению любого из доменов 1 – прерывание разрешено 0 – прерывание запрещено	R/W	0x1

2.4.4.5 Регистр SYS_PWR_IRSTAT

Таблица 2.53. Формат регистра SYS_PWR_IRSTAT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0x0
0	RSTAT	Показывает незамаскированный статус прерывания. Запись «1» приводит к установке бита и генерации немаскируемого прерывания	R/W	0x0

2.4.4.6 Регистр SYS_PWR_ISTAT

Таблица 2.54. Формат регистра SYS_PWR_ISTAT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0x0
0	ISTAT	Показывает маскированный статус прерывания	R	0x0

2.4.4.7 Регистр SYS_PWR_ICLR

Таблица 2.55. Формат регистра SYS_PWR_ICLR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	W	н.д.
0	CLR	Запись «1» очищает статус прерывания	W	н.д.

2.4.4.8 Регистр DDR_PIN_RET

Таблица 2.56. Формат регистра DDR_PIN_RET

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:2	-	Не используется	R	0x0
1	RET_DDRMC1	Бит управляют логикой поддержания состояния выводов DDR в случае отключения питания «1» - выводы в режиме поддержания состояния «0» - выводы в рабочем режиме	R/W	0x1
0	RET_DDRMC0	Бит управляют логикой поддержания состояния выводов DDR в случае отключения питания «1» - выводы в режиме поддержания состояния «0» - выводы в рабочем режиме	R/W	0x1

2.4.4.9 Регистр DDR_INIT_END

Таблица 2.57. Формат регистра DDR_INIT_END

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0x0
0	INIT_END	Запись в бит должна завершать процедуру инициализации регистров контроллеров DDRMC0 и DDRMC1. Процедура инициализации проводится после сброса микросхемы. Для начала процедуры необходимо также включить частоту DDR через регистр GATE_CORE_CTR CMCTR. Процедура должна проводиться при выключенной PLL (CPLL или SPLL в зависимости от настроек источника тактовой частоты для DDR)	R/W	0x0

2.4.4.10 Регистр WARM_RST_EN

Таблица 2.58. Формат регистра WARM_RST_EN

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0
0	EN	Разрешение «теплого» сброса в микросхеме. При бите, установленном в «0», все источники «теплого» сброса микросхемы приводят к сбросу, аналогичному процедуре сброса по включению питания.	R/W	1

2.4.4.11 Регистр SW_RST

Таблица 2.59. Формат регистра SW_RST

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0
0	RST	Запись «1» иницирует «теплый» сброс микросхемы	W	-

2.4.4.12 Регистр WARM_RST_STATUS

Таблица 2.60. Формат регистра WARM_RST_STATUS

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:4	-	Не используется	R	0
4	SOC_WDT	Сброс произошел по сторожевому таймеру WDT		
3	-	Не используется	R	-
2	CPU0_WDT	Сброс произошел по сторожевому таймеру MPU CPU0	R	-
1	SW	Сброс произошел по программной записи	R	-
0	EXT	Сброс произошел от внешнего вывода NRST_WARM	R	-

2.4.4.13 Регистр PDM_RST_STATUS

Таблица 2.61. Формат регистра PDM_RST_STATUS

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:5	-	Не используется	R	0
4	CORE	Сброс логики CORE произошел по включению домена	R	0
3	VPU	Сброс VPU произошел по включению домена	R	0
2	DSP	Сброс DSP произошел по включению домена	R	0
1	CPU1	Сброс MPU CPU1 произошел по включению домена	R	0
0	CPU0	Сброс MPU CPU0 произошел по включению домена	R	0

2.4.4.14 Регистр NVMODE

Таблица 2.62. Формат регистра NVMODE

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:2	-	Не используется	R	0
1:0	NVMODE	Биты управляют состоянием внешних выводов NVMODE[1:0]	R/W	0x0

2.4.4.15 Регистр CPU0_WKP_MASK

Таблица 2.63. Формат регистра CPU0_WKP_MASK

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
127:0	MASK	Маска разрешения включения по прерываниям домена CPU0 1 – прерывание разрешено 0 – прерывание запрещено Биты маски соответствуют отображению прерываний в контроллере прерываний MPU	R/W	0x0

2.4.4.16 Регистр CPU1_WKP_MASK

Таблица 2.64. Формат регистра CPU1_WKP_MASK

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
127:0	MASK	Маска разрешения включения по прерываниям домена CPU1 1 – прерывание разрешено 0 – прерывание запрещено Биты маски соответствуют отображению прерываний в контроллере прерываний MPU	R/W	0x0

2.4.4.17 ALWAYS_MISC0

Таблица 2.65. Формат регистра ALWAYS_MISC0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	MISC	Поле регистра общего назначения, сохраняет свое значение при «теплом» сбросе микросхемы	R/W	0x0

2.4.4.18 ALWAYS_MISC1

Таблица 2.66. Формат регистра ALWAYS_MISC1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	MISC	Поле регистра общего назначения, сохраняет свое значение при «теплом» сбросе микросхемы	R/W	0x0

2.4.4.19 WARM_BOOT_OVRD

Таблица 2.67. Формат регистра WARM_BOOT_OVRD

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0x0
0	OVRD_EN	Разрешение на принудительную установку значения регистра BOOT_REMAP в 0x2 при теплом сбросе, т.е. при теплом сбросе начальная загрузка осуществляется из ROM памяти, вне зависимости от значений на внешних входах BOOT микросхемы. Может использоваться, например, для передачи управления по теплом сбросу сразу программе восстановления контекста, минуя процедуры загрузки и инициализации, необходимые при сбросе по включению питания микросхемы.	R/W	0x0

2.4.4.20 Регистр CORE_PWR_UP

Таблица 2.68. Формат регистра CORE_PWR_UP

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:3	-	Не используется	W	н.д.
2	VPU_UP	Включение домена VPU	W	н.д.
1	DSP_UP	Включение домена DSP	W	н.д.
0	CORE_UP	Включение домена CORE (не реализовано)	W	н.д.

2.4.4.21 Регистр CORE_PWR_DOWN

Таблица 2.69. Формат регистра CORE_PWR_DOWN

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:3	-	Не используется	W	н.д.
2	VPU_DOWN	Выключение домена VPU	W	н.д.
1	DSP_DOWN	Выключение домена DSP	W	н.д.
0	CORE_DOW N	Выключение домена CORE (не реализовано)	W	н.д.

2.4.4.22 CORE_PWR_SLEEP

Таблица 2.70. Формат регистра CORE_PWR_SLEEP

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:3	-	Не используется	W	н.д.
2	VPU_SLEEP	Перевод домена VPU в сон, т.е. выключение с сохранением содержимого памяти	W	н.д.
1	DSP_SLEEP	Перевод домена DSP в сон, т.е. выключение с сохранением содержимого памяти	W	н.д.
0	-	Не используется	W	н.д.

2.4.4.23 Регистр CORE_PWR_STATUS

Таблица 2.71. Формат регистра CORE_PWR_STATUS

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:3	-	Не используется	R	0x0
2	VPU_DOWN	Статус домена VPU 0 – включен 1 - выключен	R	0x0
1	DSP_DOWN	Статус домена DSP 0 – включен 1 - выключен	R	0x0
0	CORE_DOW N	Статус домена CORE 0 – включен 1 – выключен (Не реализовано)	R	0x0

2.4.4.24 Регистр CORE_PWR_IMASK

Таблица 2.72. Формат регистра CORE_PWR_IMASK

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0x0
0	MASK	Маска прерывания по включению любого из доменов 1 – прерывание разрешено 0 – прерывание запрещено	R/W	0x1

2.4.4.25 Регистр CORE_PWR_IRSTAT

Таблица 2.73. Формат регистра CORE_PWR_IRSTAT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0x0
0	RSTAT	Показывает незамаскированный статус прерывания. Запись «1» приводит к установке бита и генерации незамаскируемого прерывания	R/W	0x0

2.4.4.26 Регистр CORE_PWR_ISTAT

Таблица 2.74. Формат регистра CORE_PWR_ISTAT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0x0
0	ISTAT	Показывает маскированный статус прерывания	R	0x0

2.4.4.27 Регистр CORE_PWR_ICLR

Таблица 2.75. Формат регистра CORE_PWR_ICLR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	W	н.д.
0	CLR	Запись «1» очищает статус прерывания	W	н.д.

2.4.4.28 Регистр CORE_PWR_DELAY

Таблица 2.76. Формат регистра CORE_PWR_DELAY

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	-	Не используется	R	0x0
15:0	DELAY	Поле задает длительность аппаратной процедуры включения домена в тактах XT1_24M. Допустимые значения 0x0000 – 0xFFFF.	R/W	0xFF

2.5 Контроллеры прерываний в микросхеме

2.5.1 Обзор

В микросхеме присутствуют два процессорных блока MPU и DSP, способных обработать прерывания. Каждый из этих блоков имеет в своем составе контроллеры прерываний, для MPU - это GIC (англ.: Global Interrupt Controller), для DSP - это встроенные контроллеры в каждом из ядер. Подробное описание контроллеров см. в главах 3.7 для MPU и главах 4.4.1 и 4.4.2 для DSP. Практически все источники прерываний в микросхеме отображаются как на контроллере прерывания MPU так и на контроллер прерываний DSP.

2.5.2 Отображение прерываний

Контроллер прерываний GIC MPU имеет 128 входов для различных прерываний. В Таблица 2.77 показано отображение источников прерываний в микросхеме на эти входы.

Таблица 2.77. Отображение прерываний в контроллере прерываний MPU

Адресат прерывания	Источник прерывания	Модуль	Описание
MPU_IRQS0	MPU_L2CCINTR	MPU	Прерывание контроллера кэша второго уровня MPU
MPU_IRQS1	DSP_INT_DSP	DSP	Прерывание от DSP
MPU_IRQS2	GPU_IRQPPMMU0	GPU	Прерывание от MMU пиксельного процессора GPU
MPU_IRQS3	GPU_IRQPP0	GPU	Прерывание от пиксельного процессора GPU
MPU_IRQS4	GPU_IRQPMU	GPU	Прерывание от PMU GPU
MPU_IRQS5	GPU_IRQGPMU	GPU	Прерывание от MMU геометрического процессора GPU
MPU_IRQS6	GPU_IRQGP	GPU	Прерывание от геометрического процессора GPU
MPU_IRQS7	VPU_INT	VPU	Прерывание от VPU
MPU_IRQS8	SDMA_IRQ0	SDMA	Прерывание 0 от SDMA
MPU_IRQS9	SDMA_IRQ1	SDMA	Прерывание 1 от SDMA
MPU_IRQS10	SDMA_IRQ2	SDMA	Прерывание 2 от SDMA
MPU_IRQS11	SDMA_IRQ3	SDMA	Прерывание 3 от SDMA
MPU_IRQS12	SDMA_IRQ4	SDMA	Прерывание 4 от SDMA
MPU_IRQS13	SDMA_IRQ5	SDMA	Прерывание 5 от SDMA
MPU_IRQS14	SDMA_IRQ6	SDMA	Прерывание 6 от SDMA
MPU_IRQS15	SDMA_IRQ7	SDMA	Прерывание 7 от SDMA
MPU_IRQS16	SDMA_IRQ8	SDMA	Прерывание 8 от SDMA
MPU_IRQS17	SDMA_IRQ9	SDMA	Прерывание 9 от SDMA
MPU_IRQS18	SDMA_IRQ10	SDMA	Прерывание 10 от SDMA
MPU_IRQS19	SDMA_IRQ11	SDMA	Прерывание 11 от SDMA
MPU_IRQS20	SDMA_IRQ12	SDMA	Прерывание 12 от SDMA
MPU_IRQS21	SDMA_IRQ13	SDMA	Прерывание 13 от SDMA
MPU_IRQS22	SDMA_IRQ14	SDMA	Прерывание 14 от SDMA
MPU_IRQS23	SDMA_IRQ15	SDMA	Прерывание 15 от SDMA
MPU_IRQS24	PDMA_INT_FLAG0	PDMA	Завершение PDMA пересылки IntTfr
MPU_IRQS25	PDMA_INT_FLAG1	PDMA	Завершение передачи блока IntBlock
MPU_IRQS26	PDMA_INT_FLAG2	PDMA	Завершение передачи приемника IntDstTran
MPU_IRQS27	PDMA_INT_FLAG3	PDMA	Завершение передачи источника IntSrcTran
MPU_IRQS28	PDMA_INT_FLAG4	PDMA	Ошибка передачи IntError

Адресат прерывания	Источник прерывания	Модуль	Описание
MPU_IRQS29	RTC_TICK_INT	RTC	
MPU_IRQS30	RTC_PMWKP_INT	RTC	
MPU_IRQS31	RTC_ALARM_INT	RTC	
MPU_IRQS32	USBIC_INT	USBIC	
MPU_IRQS33	USBIC_ENDP_INT	USBIC	
MPU_IRQS34	VPIN_VIOINT	VPIN	
MPU_IRQS35	VPIN_STROINT	VPIN	
MPU_IRQS36	VPIN_STR1INT	VPIN	
MPU_IRQS37	VPOUT_LCDINT	VPOUT	
MPU_IRQS38	VPOUT_DSIINT	VPOUT	
MPU_IRQS39	NFC_MPORTINT	NANDMPORT	
MPU_IRQS40	MFBSPO_DMAIRQ0	MFBSPO	Прерывание от канала DMA порта MFBSPO при передаче данных
MPU_IRQS41	MFBSPO_DMAIRQ1	MFBSPO	Прерывание от канала DMA порта MFBSPO при приеме данных
MPU_IRQS42	MFBSPI_DMAIRQ0	MFBSPI	Прерывание от канала DMA порта MFBSPI при передаче данных
MPU_IRQS43	MFBSPI_DMAIRQ1	MFBSPI	Прерывание от канала DMA порта MFBSPI при приеме данных
MPU_IRQS44	Резерв	Резерв	Резерв
MPU_IRQS45	Резерв	Резерв	Резерв
MPU_IRQS46	CPU0_PMUIRQ	MPU	Прерывание от монитора производительности CPU0
MPU_IRQS47	CPU1_PMUIRQ	MPU	Прерывание от монитора производительности CPU1
MPU_IRQS48	SWIC0DMA_IRQ0	SWIC0	
MPU_IRQS49	SWIC0DMA_IRQ1	SWIC0	
MPU_IRQS50	SWIC0DMA_IRQ2	SWIC0	
MPU_IRQS51	SWIC0DMA_IRQ3	SWIC0	
MPU_IRQS52	SWIC1DMA_IRQ0	SWIC1	
MPU_IRQS53	SWIC1DMA_IRQ1	SWIC1	
MPU_IRQS54	SWIC1DMA_IRQ2	SWIC1	
MPU_IRQS55	SWIC1DMA_IRQ3	SWIC1	
MPU_IRQS56	SWIC0_INT	SWIC0	
MPU_IRQS57	SWIC1_INT	SWIC1	
MPU_IRQS58	MFBSPO_RXIRQ	MFBSPO	Формируется, если порт включен на прием данных (в одном из режимов), а число 64-разрядных слов в буфере приёма больше, чем RLEV (RLEV устанавливается в регистре состояния приёмника RSR)
MPU_IRQS59	MFBSPO_TXIRQ	MFBSPO	Формируется, если порт включен на передачу данных (в одном из режимов), а число 64-разрядных слов, находящихся в буфере передачи меньше, либо равно TLEV (TLEV устанавливается в регистре состояния передатчика TSR)
MPU_IRQS60	MFBSPO_SRQ	MFBSPO	Запрос обслуживания от порта MFBSPO. Формируется, если порт выключен (LEN=0, SPI_I2S_EN=0), а на выводах LACK или LCLK присутствует сигнал высокого уровня
MPU_IRQS61	MFBSPI_RXIRQ	MFBSPI	Формируется, если порт включен на прием данных (в одном из режимов), а число 64-разрядных слов в буфере приёма больше, чем RLEV (RLEV устанавливается в регистре состояния приёмника RSR)

Адресат прерывания	Источник прерывания	Модуль	Описание
MPU_IRQS62	MF BSP1_TXIRQ	MF BSP1	Формируется, если порт включен на передачу данных (в одном из режимов), а число 64-разрядных слов, находящихся в буфере передачи меньше, либо равно TLEV (TLEV устанавливается в регистре состояния передатчика TSR)
MPU_IRQS63	MF BSP1_SRQ	MF BSP1	Запрос обслуживания от порта MF BSP0. Формируется, если порт выключен (LEN=0, SPI_I2S_EN=0), а на выводах LACK или LCLK присутствует сигнал высокого уровня
MPU_IRQS64	UART0_INTR	UART0	Прерывание от UART0
MPU_IRQS65	UART1_INTR	UART1	Прерывание от UART1
MPU_IRQS66	UART2_INTR	UART2	Прерывание от UART2
MPU_IRQS67	UART3_INTR	UART3	Прерывание от UART3
MPU_IRQS68	I2C0_IC_INTR	I2C0	Прерывание от I2C0
MPU_IRQS69	I2C1_IC_INTR	I2C1	Прерывание от I2C1
MPU_IRQS70	I2C2_IC_INTR	I2C2	Прерывание от I2C2
MPU_IRQS71	MCC_INT	MCC	
MPU_IRQS72	I2S0_INTR	I2S0	Прерывание от I2S0
MPU_IRQS73	EMAC_INT	GEMAC	Прерывание от GEMAC
MPU_IRQS74	SSI0_SSI_INTR	SSI0	Прерывание от SSI0
MPU_IRQS75	SSI1_SSI_INTR	SSI1	Прерывание от SSI1
MPU_IRQS76	PWM_INT	PWM	
MPU_IRQS77	PWM_INTU	PWM	
MPU_IRQS78	SDMMC0_INT	SDMMC0	Прерывание от SDMMC0
MPU_IRQS79	SDMMC1_INT	SDMMC1	Прерывание от SDMMC1
MPU_IRQS80	TIMER_INTR0	TIMER	Прерывание 0 от TIMER
MPU_IRQS81	TIMER_INTR1	TIMER	Прерывание 1 от TIMER
MPU_IRQS82	TIMER_INTR2	TIMER	Прерывание 2 от TIMER
MPU_IRQS83	TIMER_INTR3	TIMER	Прерывание 3 от TIMER
MPU_IRQS84	TIMER_INTR4	TIMER	Прерывание 4 от TIMER
MPU_IRQS85	TIMER_INTR5	TIMER	Прерывание 5 от TIMER
MPU_IRQS86	TIMER_INTR6	TIMER	Прерывание 6 от TIMER
MPU_IRQS87	TIMER_INTR7	TIMER	Прерывание 7 от TIMER
MPU_IRQS88	GPIO_INTR0	GPIO	Прерывание 0 от GPIO
MPU_IRQS89	GPIO_INTR1	GPIO	Прерывание 1 от GPIO
MPU_IRQS90	GPIO_INTR2	GPIO	Прерывание 2 от GPIO
MPU_IRQS91	GPIO_INTR3	GPIO	Прерывание 3 от GPIO
MPU_IRQS92	GPIO_INTR4	GPIO	Прерывание 4 от GPIO
MPU_IRQS93	GPIO_INTR5	GPIO	Прерывание 5 от GPIO
MPU_IRQS94	GPIO_INTR6	GPIO	Прерывание 6 от GPIO
MPU_IRQS95	GPIO_INTR7	GPIO	Прерывание 7 от GPIO
MPU_IRQS96	GPIO_INTR8	GPIO	Прерывание 8 от GPIO
MPU_IRQS97	GPIO_INTR9	GPIO	Прерывание 9 от GPIO
MPU_IRQS98	GPIO_INTR10	GPIO	Прерывание 10 от GPIO
MPU_IRQS99	GPIO_INTR11	GPIO	Прерывание 11 от GPIO
MPU_IRQS100	GPIO_INTR12	GPIO	Прерывание 12 от GPIO
MPU_IRQS101	GPIO_INTR13	GPIO	Прерывание 13 от GPIO
MPU_IRQS102	GPIO_INTR14	GPIO	Прерывание 14 от GPIO
MPU_IRQS103	GPIO_INTR15	GPIO	Прерывание 15 от GPIO
MPU_IRQS104	GPIO_INTR16	GPIO	Прерывание 16 от GPIO
MPU_IRQS105	GPIO_INTR17	GPIO	Прерывание 17 от GPIO
MPU_IRQS106	GPIO_INTR18	GPIO	Прерывание 18 от GPIO
MPU_IRQS107	GPIO_INTR19	GPIO	Прерывание 19 от GPIO
MPU_IRQS108	GPIO_INTR20	GPIO	Прерывание 20 от GPIO
MPU_IRQS109	GPIO_INTR21	GPIO	Прерывание 21 от GPIO

Адресат прерывания	Источник прерывания	Модуль	Описание
MPU_IRQS110	GPIO_INTR22	GPIO	Прерывание 22 от GPIO
MPU_IRQS111	GPIO_INTR23	GPIO	Прерывание 23 от GPIO
MPU_IRQS112	GPIO_INTR24	GPIO	Прерывание 24 от GPIO
MPU_IRQS113	GPIO_INTR25	GPIO	Прерывание 25 от GPIO
MPU_IRQS114	GPIO_INTR26	GPIO	Прерывание 26 от GPIO
MPU_IRQS115	GPIO_INTR27	GPIO	Прерывание 27 от GPIO
MPU_IRQS116	GPIO_INTR28	GPIO	Прерывание 28 от GPIO
MPU_IRQS117	GPIO_INTR29	GPIO	Прерывание 29 от GPIO
MPU_IRQS118	GPIO_INTR30	GPIO	Прерывание 30 от GPIO
MPU_IRQS119	GPIO_INTR31	GPIO	Прерывание 31 от GPIO
MPU_IRQS120	MAILBOX_IRQR	MAILBOX	
MPU_IRQS121	MAILBOX_IRQW	MAILBOX	
MPU_IRQS122	IRQ_PMU0	PMCTR	
MPU_IRQS123	IRQ_PMU1	PMCTR	
MPU_IRQS124	CPU0_CTIIRQ	CPU0	
MPU_IRQS125	CPU1_CTIIRQ	CPU1	
MPU_IRQS126	DLOCK_IRQ	L0 COMM	Прерывание от коммутатора микросхемы
MPU_IRQS127	WDT_IRQ	WDT	Прерывание от сторожевого таймера

Контроллер прерываний DSP имеет четыре 32-разрядных набора входов для различных прерываний. В Таблица 2.78 показано отображение источников прерываний в микросхеме на эти входы.

Таблица 2.78. Отображение прерываний в контроллере прерываний DSP

Адресат прерывания	Источник прерывания	Модуль	Описание
DSP_QST0_0	MPU_nIRQOUT_0	MPU	Прерывание от MPU
DSP_QST0_1	MPU_nIRQOUT_1	MPU	Прерывание от MPU
DSP_QST0_2	GPU_IRQPPMMU0	GPU	Прерывание от MMU пиксельного процессора GPU
DSP_QST0_3	GPU_IRQPP0	GPU	Прерывание от пиксельного процессора GPU
DSP_QST0_4	GPU_IRQPMU	GPU	Прерывание от PMU GPU
DSP_QST0_5	GPU_IRQGPMU	GPU	Прерывание от MMU геометрического процессора GPU
DSP_QST0_6	GPU_IRQGP	GPU	Прерывание от геометрического процессора GPU
DSP_QST0_7	VPU_INT	VPU	Прерывание от VPU
DSP_QST0_8	SDMA_IRQ0	SDMA	Прерывание 0 от SDMA
DSP_QST0_9	SDMA_IRQ1	SDMA	Прерывание 1 от SDMA
DSP_QST0_10	SDMA_IRQ2	SDMA	Прерывание 2 от SDMA
DSP_QST0_11	SDMA_IRQ3	SDMA	Прерывание 3 от SDMA
DSP_QST0_12	SDMA_IRQ4	SDMA	Прерывание 4 от SDMA
DSP_QST0_13	SDMA_IRQ5	SDMA	Прерывание 5 от SDMA
DSP_QST0_14	SDMA_IRQ6	SDMA	Прерывание 6 от SDMA
DSP_QST0_15	SDMA_IRQ7	SDMA	Прерывание 7 от SDMA
DSP_QST0_16	SDMA_IRQ8	SDMA	Прерывание 8 от SDMA
DSP_QST0_17	SDMA_IRQ9	SDMA	Прерывание 9 от SDMA
DSP_QST0_18	SDMA_IRQ10	SDMA	Прерывание 10 от SDMA
DSP_QST0_19	SDMA_IRQ11	SDMA	Прерывание 11 от SDMA
DSP_QST0_20	SDMA_IRQ12	SDMA	Прерывание 12 от SDMA
DSP_QST0_21	SDMA_IRQ13	SDMA	Прерывание 13 от SDMA
DSP_QST0_22	SDMA_IRQ14	SDMA	Прерывание 14 от SDMA
DSP_QST0_23	SDMA_IRQ15	SDMA	Прерывание 15 от SDMA

Адресат прерывания	Источник прерывания	Модуль	Описание
DSP_QST0_24	PDMA_INT_FLAG0	PDMA	
DSP_QST0_25	PDMA_INT_FLAG1	PDMA	
DSP_QST0_26	PDMA_INT_FLAG2	PDMA	
DSP_QST0_27	PDMA_INT_FLAG3	PDMA	
DSP_QST0_28	PDMA_INT_FLAG4	PDMA	
DSP_QST0_29	RTC_TICK_INT	RTC	
DSP_QST0_30	RTC_PMWKP_INT	RTC	
DSP_QST0_31	RTC_ALARM_INT	RTC	
DSP_QST1_0	USBIC_INT	USBIC	
DSP_QST1_1	USBIC_ENDP_INT	USBIC	
DSP_QST1_2	VPIN_VIOINT	VPIN	
DSP_QST1_3	VPIN_STROINT	VPIN	
DSP_QST1_4	VPIN_STRIINT	VPIN	
DSP_QST1_5	VPOUT_LCDINT	VPOUT	
DSP_QST1_6	VPOUT_DSIINT	VPOUT	
DSP_QST1_7	NFC_MPORTINT	NANDMPOR T	
DSP_QST1_8	MFBSPO_DMAIRQ0	MFBSPO	Прерывание от канала DMA порта MFBSPO при передаче данных
DSP_QST1_9	MFBSPO_DMAIRQ1	MFBSPO	Прерывание от канала DMA порта MFBSPO при приеме данных
DSP_QST1_10	MFBSPI_DMAIRQ0	MFBSPI	Прерывание от канала DMA порта MFBSPI при передаче данных
DSP_QST1_11	MFBSPI_DMAIRQ1	MFBSPI	Прерывание от канала DMA порта MFBSPI при приеме данных
DSP_QST1_12	Резерв	Резерв	Резерв
DSP_QST1_13	Резерв	Резерв	Резерв
DSP_QST1_14	Резерв	Резерв	Резерв
DSP_QST1_15	Резерв	Резерв	Резерв
DSP_QST1_16	SWIC0DMA_IRQ0	SWIC0	
DSP_QST1_17	SWIC0DMA_IRQ1	SWIC0	
DSP_QST1_18	SWIC0DMA_IRQ2	SWIC0	
DSP_QST1_19	SWIC0DMA_IRQ3	SWIC0	
DSP_QST1_20	SWIC1DMA_IRQ0	SWIC1	
DSP_QST1_21	SWIC1DMA_IRQ1	SWIC1	
DSP_QST1_22	SWIC1DMA_IRQ2	SWIC1	
DSP_QST1_23	SWIC1DMA_IRQ3	SWIC1	
DSP_QST1_24	SWIC0_INT	SWIC0	
DSP_QST1_25	SWIC1_INT	SWIC1	
DSP_QST1_26	MFBSPO_RXIRQ	MFBSPO	Формируется, если порт включен на прием данных (в одном из режимов), а число 64-разрядных слов в буфере приёма больше чем RLEV (RLEV устанавливается в регистре состояния приёмника RSR)
DSP_QST1_27	MFBSPO_TXIRQ	MFBSPO	Формируется, если порт включен на передачу данных (в одном из режимов), а число 64-разрядных слов, находящихся в буфере передачи меньше, либо равно TLEV (TLEV устанавливается в регистре состояния передатчика TSR)
DSP_QST1_28	MFBSPO_SRQ	MFBSPO	Запрос обслуживания от порта MFBSPO. Формируется, если порт выключен (LEN=0, SPI_I2S_EN=0), а на выводах LACK или LCLK присутствует сигнал высокого уровня

Адресат прерывания	Источник прерывания	Модуль	Описание
DSP_QST1_29	MF BSP1_RXIRQ	MF BSP1	Формируется, если порт включен на прием данных (в одном из режимов), а число 64-разрядных слов в буфере приёма больше чем RLEV (RLEV устанавливается в регистре состояния приёмника RSR)
DSP_QST1_30	MF BSP1_TXIRQ	MF BSP1	Формируется, если порт включен на передачу данных (в одном из режимов), а число 64-разрядных слов, находящихся в буфере передачи меньше, либо равно TLEV (TLEV устанавливается в регистре состояния передатчика TSR)
DSP_QST1_31	MF BSP1_SRQ	MF BSP1	Запрос обслуживания от порта MF BSP0. Формируется, если порт выключен (LEN=0, SPI_I2S_EN=0), а на выводах LACK или LCLK присутствует сигнал высокого уровня
DSP_QST2_0	UART0_INTR	UART0	Прерывание от UART0
DSP_QST2_1	UART1_INTR	UART1	Прерывание от UART1
DSP_QST2_2	UART2_INTR	UART2	Прерывание от UART2
DSP_QST2_3	UART2_INTR	UART2	Прерывание от UART3
DSP_QST2_4	I2C0_IC_INTR	I2C0	Прерывание от I2C0
DSP_QST2_5	I2C1_IC_INTR	I2C1	Прерывание от I2C1
DSP_QST2_6	I2C2_IC_INTR	I2C2	Прерывание от I2C2
DSP_QST2_7	MCC_INT	MCC	
DSP_QST2_8	I2S0_INTR	I2S0	Прерывание от I2S0
DSP_QST2_9	EMAC_INT	GEMAC	Прерывание от GEMAC
DSP_QST2_10	SSI0_SSI_INTR	SSI0	Прерывание от SSI0
DSP_QST2_11	SSI1_SSI_INTR	SSI1	Прерывание от SSI1
DSP_QST2_12	PWM_INT	PWM	
DSP_QST2_13	PWM_INTU	PWM	
DSP_QST2_14	SDMMC0_INT	SDMMC0	Прерывание от SDMMC0
DSP_QST2_15	SDMMC1_INT	SDMMC1	Прерывание от SDMMC1
DSP_QST2_16	TIMER_INTR0	TIMER	Прерывание 0 от TIMER
DSP_QST2_17	TIMER_INTR1	TIMER	Прерывание 1 от TIMER
DSP_QST2_18	TIMER_INTR2	TIMER	Прерывание 2 от TIMER
DSP_QST2_19	TIMER_INTR3	TIMER	Прерывание 3 от TIMER
DSP_QST2_20	TIMER_INTR4	TIMER	Прерывание 4 от TIMER
DSP_QST2_21	TIMER_INTR5	TIMER	Прерывание 5 от TIMER
DSP_QST2_22	TIMER_INTR6	TIMER	Прерывание 6 от TIMER
DSP_QST2_23	TIMER_INTR7	TIMER	Прерывание 7 от TIMER
DSP_QST2_24	GPIO_INTR0	GPIO	Прерывание 0 от GPIO
DSP_QST2_25	GPIO_INTR1	GPIO	Прерывание 1 от GPIO
DSP_QST2_26	GPIO_INTR2	GPIO	Прерывание 2 от GPIO
DSP_QST2_27	GPIO_INTR3	GPIO	Прерывание 3 от GPIO
DSP_QST2_28	GPIO_INTR4	GPIO	Прерывание 4 от GPIO
DSP_QST2_29	GPIO_INTR5	GPIO	Прерывание 5 от GPIO
DSP_QST2_30	GPIO_INTR6	GPIO	Прерывание 6 от GPIO
DSP_QST2_31	GPIO_INTR7	GPIO	Прерывание 7 от GPIO
DSP_QST3_0	GPIO_INTR8	GPIO	Прерывание 8 от GPIO
DSP_QST3_1	GPIO_INTR9	GPIO	Прерывание 9 от GPIO
DSP_QST3_2	GPIO_INTR10	GPIO	Прерывание 10 от GPIO
DSP_QST3_3	GPIO_INTR11	GPIO	Прерывание 11 от GPIO
DSP_QST3_4	GPIO_INTR12	GPIO	Прерывание 12 от GPIO
DSP_QST3_5	GPIO_INTR13	GPIO	Прерывание 13 от GPIO
DSP_QST3_6	GPIO_INTR14	GPIO	Прерывание 14 от GPIO
DSP_QST3_7	GPIO_INTR15	GPIO	Прерывание 15 от GPIO
DSP_QST3_8	GPIO_INTR16	GPIO	Прерывание 16 от GPIO

Адресат прерывания	Источник прерывания	Модуль	Описание
DSP_QST3_9	GPIO_INTR17	GPIO	Прерывание 17 от GPIO
DSP_QST3_10	GPIO_INTR18	GPIO	Прерывание 18 от GPIO
DSP_QST3_11	GPIO_INTR19	GPIO	Прерывание 19 от GPIO
DSP_QST3_12	GPIO_INTR20	GPIO	Прерывание 20 от GPIO
DSP_QST3_13	GPIO_INTR21	GPIO	Прерывание 21 от GPIO
DSP_QST3_14	GPIO_INTR22	GPIO	Прерывание 22 от GPIO
DSP_QST3_15	GPIO_INTR23	GPIO	Прерывание 23 от GPIO
DSP_QST3_16	GPIO_INTR24	GPIO	Прерывание 24 от GPIO
DSP_QST3_17	GPIO_INTR25	GPIO	Прерывание 25 от GPIO
DSP_QST3_18	GPIO_INTR26	GPIO	Прерывание 26 от GPIO
DSP_QST3_19	GPIO_INTR27	GPIO	Прерывание 27 от GPIO
DSP_QST3_20	GPIO_INTR28	GPIO	Прерывание 28 от GPIO
DSP_QST3_21	GPIO_INTR29	GPIO	Прерывание 29 от GPIO
DSP_QST3_22	GPIO_INTR30	GPIO	Прерывание 30 от GPIO
DSP_QST3_23	GPIO_INTR31	GPIO	Прерывание 31 от GPIO
DSP_QST3_24	MAILBOX_IRQR	MAILBOX	
DSP_QST3_25	MAILBOX_IRQW	MAILBOX	
DSP_QST3_26	IRQ_PMU0	PMCTR	
DSP_QST3_27	IRQ_PMU1	PMCTR	
DSP_QST3_28	CPU0_CTIIRQ	CPU0	
DSP_QST3_29	CPU1_CTIIRQ	CPU1	
DSP_QST3_30	DLOCK_IRQ	L0_COMM	Прерывание от коммутатора микросхемы
DSP_QST3_31	WDT_IRQ	WDT	Прерывание от сторожевого таймера

2.6 Логика сброса микросхемы

Функционально блок контроля сброса микросхемы входит в состав контроллера управления питанием PMCTR.

В микросхеме введено разделение на два типа сброса:

- сброс по включению питания – приводит к переводу в начальное состояние всей логики микросхемы без исключения;
- «теплый» сброс – аналогичен сбросу по включению питания, однако не приводит в начальное состояние логику отладки, трассы и таймера реального времени.

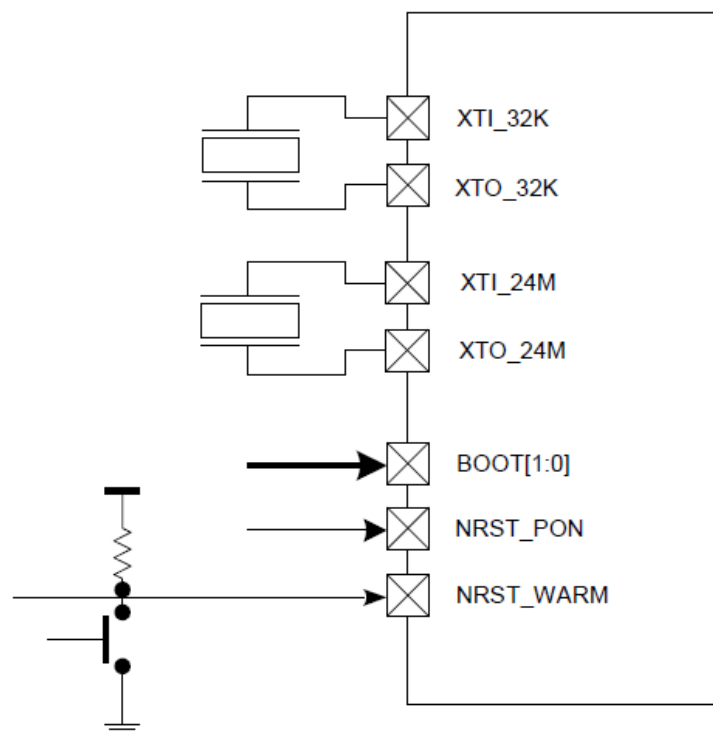


Рисунок 2.13. Внешние сигналы сброса микросхемы

Для микросхемы существует несколько источников сброса:

- внешние выходы NRST_PON, NRST_WARM:
 - вывод NRST_PON является единственным источником сброса по включению питания;
 - вывод NRST_WARM является внешним источником «теплого» сброса. Может быть подключен к внешнему резистору с подтяжкой к питанию и кнопке сброса. См. Рисунок 2.13;
- программный сброс по записи в регистр SW_RST контроллера PMCTR;
- сброс от сторожевых таймеров ядер CPU0, CPU1;
- сигналы сброса для отдельных доменов питания при их включении от контроллера PMCTR.

Общая схема формирования сигналов сброса представлена на Рисунок 2.14.

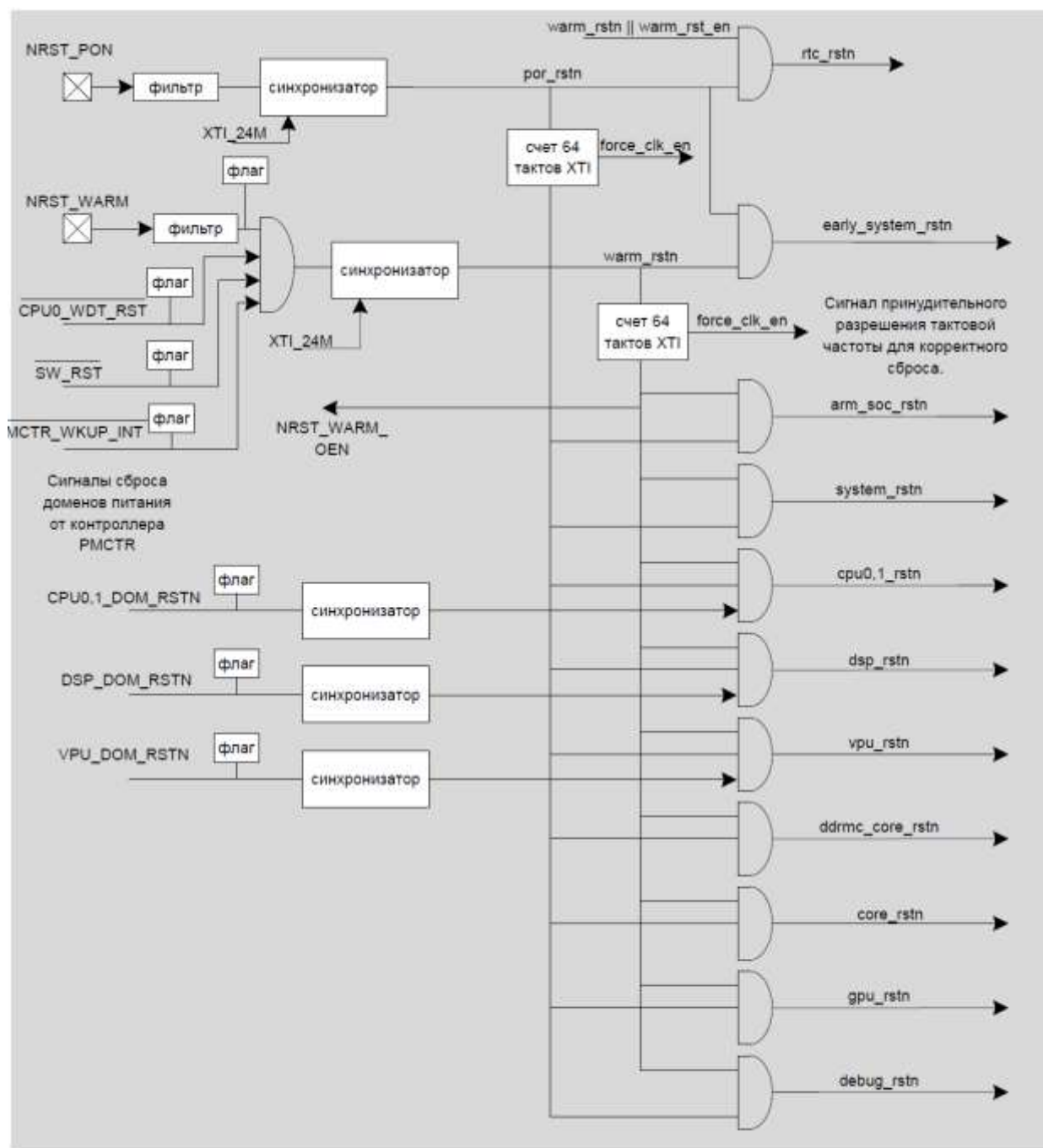


Рисунок 2.14. Схема формирования сигналов сброса в микросхеме
 Конечные сигналы сброса микросхемы разъяснены на Рисунок 2.15.

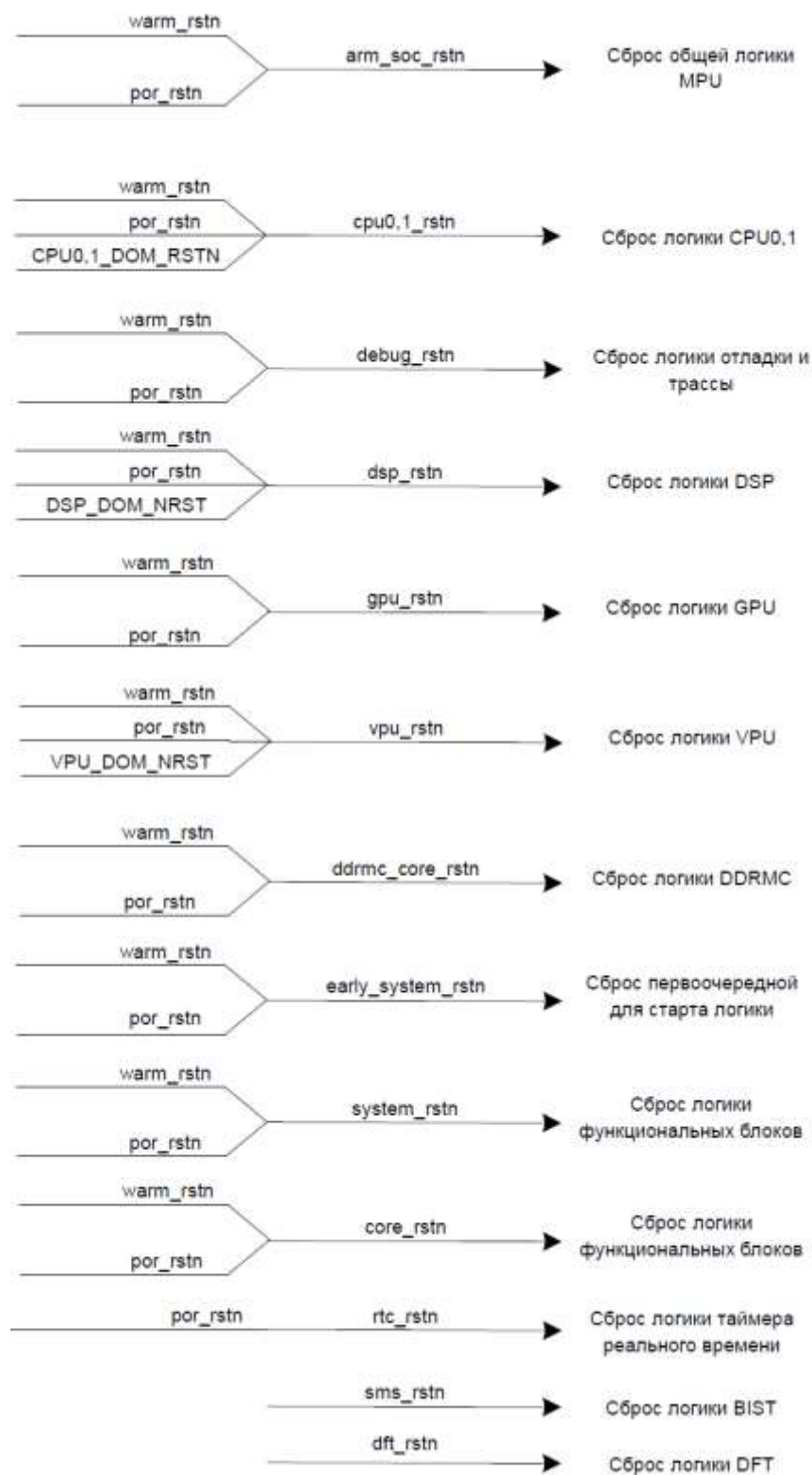


Рисунок 2.15. Перечень конечных сигналов сброса в микросхеме

Замечание: сигнал сброса по включению питания может быть снят (т.е. установлен в 1) только после включения всех линий питания микросхемы.

2.7 Включение питания микросхемы

Не существует никаких принципиальных ограничений на порядок подачи различных групп питания на микросхему. Однако, следует иметь в виду, что если напряжение питания входных/выходных драйверов подано до момента подачи напряжения ядра, то в таком случае могут наблюдаться значительные токи по цепи питания драйверов между этими двумя моментами, которые обусловлены отсутствием валидных сигналов управления для драйверов в этот промежуток. В тоже время, если напряжение питания ядра подано до напряжения питания входов/выходов, то ток по цепи питания ядра может незначительно увеличиться относительно нормального. Таким образом, общей рекомендацией будет подавать напряжения ядра и входов/выходов одновременно, но допустимо, чтобы питание ядра подавалось за очень малое время до питания входов/выводов. Если подача питания входов/выходов возможна только до момента включения питания ядра, то рекомендуется разносить эти моменты на время не более 100 мс, для ограничения возможных токов по цепи питания входов/выходов.

Никаких зависимостей во времени подачи питания между различными группами питания входов/выходов не существует.

Фронт подачи питания на любую линию питания микросхемы должен быть больше 10 мкс.

2.8 Процедура начальной загрузки

2.8.1 Логика работы сброса и процедуры BOOT

Процедура начальной загрузки должна обеспечивать корректную инициализацию и передачу управления на загрузочный пользовательский код или загрузчик второго уровня по сигналу сброса. Сигнал сброса используется также для управления питанием (энергосбережением) со стороны контроллера PMCTR. Сигналы сброса подразделяются на сброс по включению питания (холодный сброс, cold reset) и теплый сброс (warm reset). При холодном сбросе происходит перевод в начальное состояние всей логики микросхемы без исключения, при тёплом - не сбрасывается логика, отвечающая за трассировку и отладку микросхемы, и логика таймера реального времени. Определить причину сброса и соответствующие ему действия можно на основе значений регистров WARM_RST_STATUS, WARM_RST_EN, PDM_RST_STATUS контроллера управления питанием PMCTR. Логика обработки события сброса в Bootrom описана в разделе 2.8.2.

За определение логики работы процедуры сброса отвечает контроллер SMCTR, управляющий системными настройками микросхемы. В регистр BOOT при сбросе заносятся значения с входов микросхемы BOOT[2:0], которые непосредственно отображаются в поле BOOT регистра. В зависимости от значения поля происходит выбор

соответствующего источника загрузки, а также управление сценарием загрузки. Формат регистра BOOT показан в Таблица 2.8.

Выбор источника загрузки осуществляется подменой карты памяти для MPU. В зависимости от состояния регистра BOOT выставляется значение в регистре BOOT_REMAP (см. Таблица 2.9), подменяющего блок памяти на нулевом адресе. Нулевой адрес используется как базовый для векторов исключений. Значения BOOT_REMAP формируются по следующему принципу: нулевой адрес отображается на источник загрузки. Если в регистре BOOT выставлена загрузка из внешней памяти NOR Flash/SRAM, то выставляется REMAP, отображающий нулевой адрес на контроллер NORMPORT. Если выставлена загрузка из внешней памяти NAND Flash с помощью контроллера NANDMPORT, то выставляется REMAP, равный 1, что означает переход на нулевой адрес RAM. В режиме загрузки из NAND контроллер выполняет автоматически DMA передачу в RAM и лишь затем снимает сигнал сброса с процессора. Остальные варианты загрузки идут с REMAP на нулевой адрес ROM. Также можно принудительно, через регистр WARM_BOOT_OVRD (см. Таблица 2.67) контроллера PMCTR, выставить отображение нулевого адреса на ROM вне зависимости от значения в регистре BOOT. Выставление значения поля REMAP происходит автоматически, при сбросе состояние REMAP не сохраняется.

Области загрузки в карте памяти приведены в Таблица 2.79. В зависимости от значения регистра BOOT_REMAP происходит смена базовых адресов NOR, RAM или ROM с фиксированных на нулевые.

Таблица 2.79. Области загрузки в карте памяти микросхемы

Базовый адрес	Конечный адрес	Размер области	Описание
0000 0000	1FFF FFFF	512 Мбайт	Внешняя память NORMPORT
2000 0000	3FFF FFFF	512 Мбайт	Внутренняя память
2000 0000	2000 FFFF	64 Кбайт	RAM
3000 0000	3000 7FFF	32 Кбайт	ROM
4000 0000	9FFF FFFF	1,5 Гбайт	Внешняя память DDRMC0
A000 0000	FFFF FFFF	1,5 Гбайт	Внешняя память DDRMC1

Изменение карты памяти и выбор источника загрузки условно можно представить следующей диаграммой:

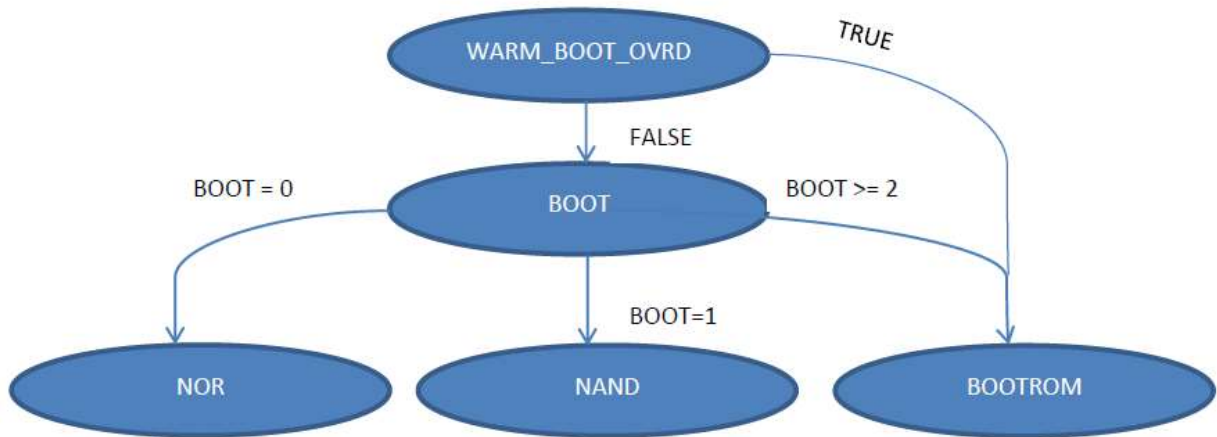


Рисунок 2.16. Выбор источника загрузки

В зависимости от значений регистра BOOT и причины возникновения сигнала сброса выполняется определение режима работы загрузчика.

2.8.2 Начальный загрузчик Bootrom для 1892BM14Я

Начальный загрузчик Bootrom вызывается по событию сброса при выставленном значении регистра BOOT, соответствующем загрузке из накристальной памяти ROM, и определяет логику сброса и включения микросхемы. Основные возможности Bootrom:

1. Поддерживается загрузка из разных источников в зависимости от значения регистра BOOT.
2. Реализуется логика включения по выходу из состояния сна (режима энергосбережения) отдельного ядра.
3. Реализуется логика включения по выходу из состояния сна кластера ядра.

В зависимости от значения регистра BOOT Bootrom переходит в один из следующих режимов:

1. Монитор UART.
2. Загрузка с SPI-флэш памяти.
3. Загрузка с карты памяти SD/MMC.

Иерархия вариантов загрузки представлена на диаграмме:

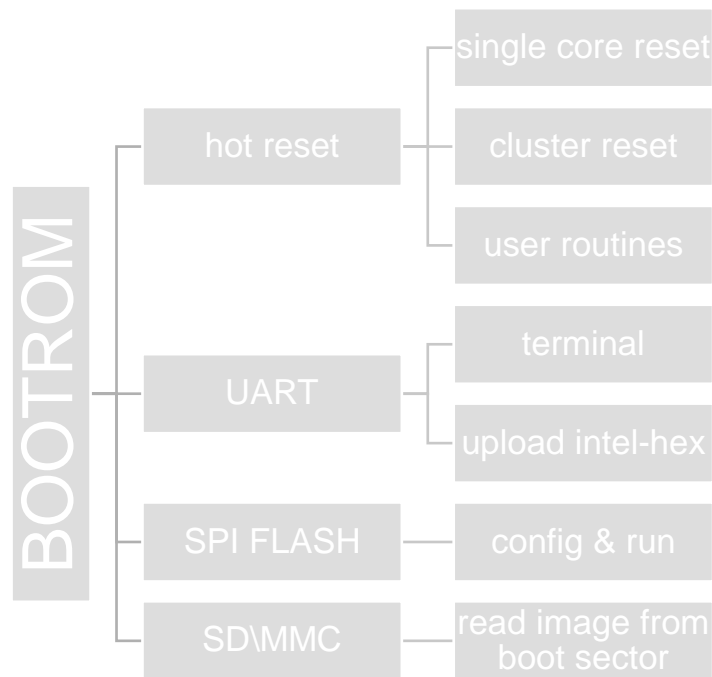


Рисунок 2.17. Иерархия загрузки из ROM

Определение варианта загрузки производится на основе значения регистра BOOT контроллера SMCTR и регистров WARM_RST_STATUS, WARM_RST_EN, PDM_RST_STATUS контроллера PMCTR.

Логика обработки события сброса в Bootrom:

1. Определение номера ядра CPU.
2. Определение причины сброса и его обработка:
 - 2.1. Сброс по событию включения питания:
 - 2.1.1. Если ядро нулевое, то выполнить начальную инициализацию микросхемы.
 - 2.1.2. Если ядро не нулевое, то выполнить начальную инициализацию ядра и перейти к бесконечному циклу ожидания.
 - 2.1.3. Чтение регистра BOOT, переход к обработке соответствующего сценария загрузки:
 - 2.1.3.1. Процедура загрузки по UART.
 - 2.1.3.2. Процедура загрузки из SPI FLASH.
 - 2.1.3.3. Процедура загрузки из SD/MMC.
 - 2.1.4. При отсутствии ошибок в сценариях загрузки по UART, SPI FLASH или с SD/MMC нулевое и первое ядра переходят на исполнение загруженной программы. При возникновении ошибок в сценариях загрузки по UART, SPI FLASH или с SD/MMC подробное поведение уточнено в соответствующих разделах 2.8.3, 2.8.4, 2.8.5.

2.2. Сброс по событию `warm_on` (теплый сброс):

- 2.2.1. Если в регистре `WARM_RST_EN` разрешена обработка события тёплого сброса, и в регистре `WARM_RST_STATUS` ненулевое значение, то перейти к обработчику тёплого сброса (`warm reset`). Иначе продолжить.
- 2.2.2. Если в регистре `PDM_RST_STATUS` для соответствующего ядра выставлено событие «Сброс MPU CPUx произошел по включению домена», то перейти к обработке события тёплого сброса.
- 2.2.3. Иначе перейти к обработке, как к холодному сбросу.
- 2.2.4. Считать адрес обработчика из регистра `ALWAYS_MISC0`.
- 2.2.5. Определить по адресу, к какому блоку памяти принадлежит данный адрес и доступность данной памяти (включён ли её домен). При необходимости выполнить соответствующие операции (включение домена, вывод DDR из состояния `self refresh`).

Передать управление на соответствующий адрес. Дальнейшую процедуру выполняет код управления питанием, расположенный по данному адресу.

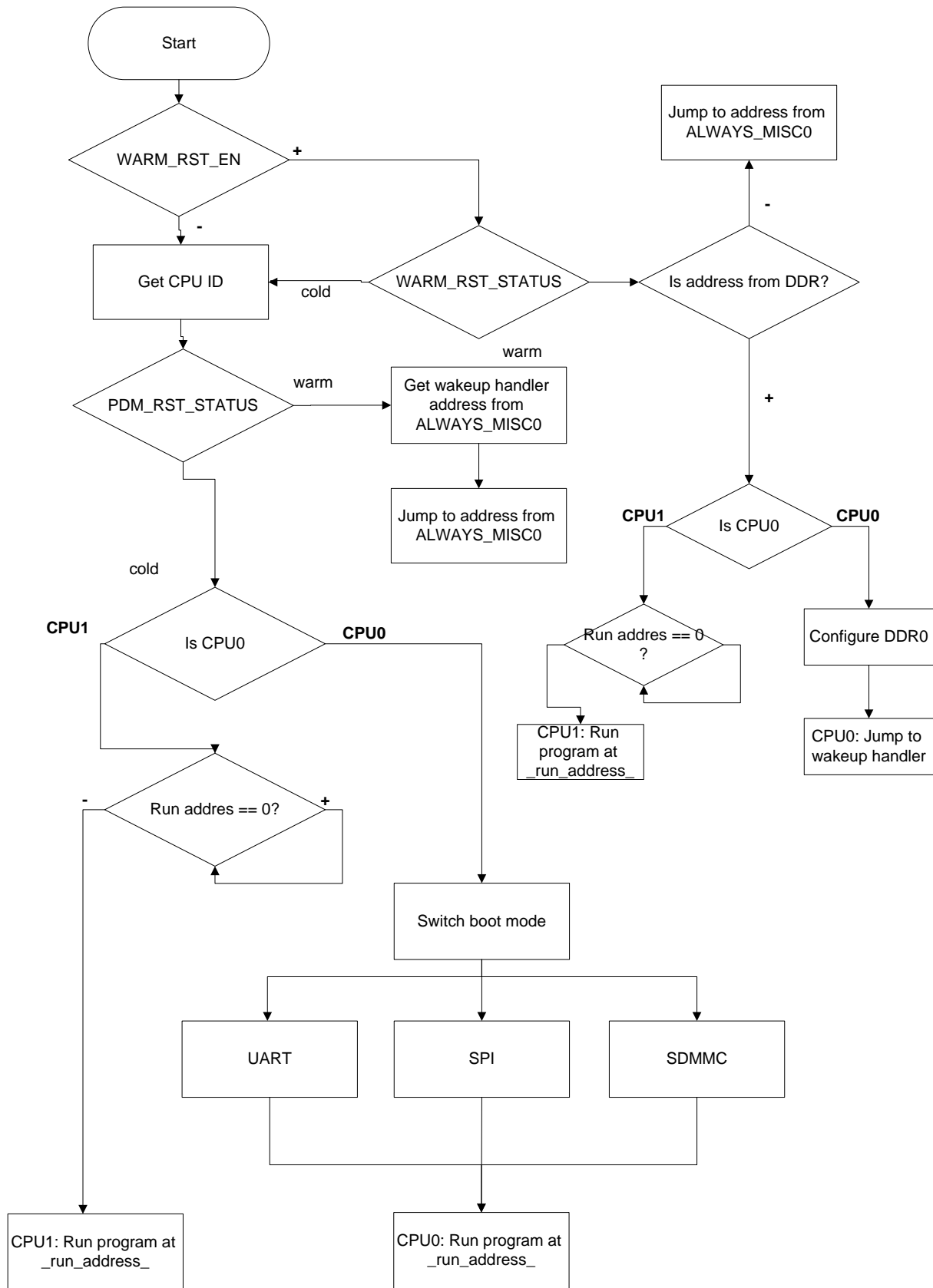


Рисунок 2.18. Логика обработки события сброса

Bootrom использует следующие ресурсы 1892BM14Я во всех режимах загрузки:

- UART0 TX – для вывода сообщений и кодов ошибок;
- Накристалльная RAM - Под стек зарезервировано (0x2000FEF0 - SVC_STACK_SIZE - SVC_STACK_SIZE - IRQ_STACK_SIZE - IRQ_STACK_SIZE = 2000 F4F0) 20000000 – 2000f4f0.

2.8.3 Монитор UART

При загрузке с порта UART0 задействуются выходы GPIO: GPIOA18, GPIOA19. Монитор UART по умолчанию работает в режиме «эхо». Bootrom для монитора UART считывает значение ревизии чипа из регистра CHIP_REVISION. Номер ревизии Bootrom можно получить с помощью функции `get_bootrom_rev()` или прочитав значение по адресу 0x00007800. Далее монитор работает в режиме ожидания приёма данных. Монитор поддерживает прием файлов в форматах Intel-HEX, SREC. Монитор поддерживает удаление предыдущего символа при передаче в консоль символа с кодом 0xA (Line feed) или 0xD (Carriage return).

Bootrom выполняет инициализацию порта UART0 с настройками Baud-rate=115200, Data bits = 8bit, Stop bits = 1, Parity = 0 (None), запускает монитор и выводит сообщение:

```
RnD Center ELVEES
MCom-02 rev.0
Starting UART terminal...
```

2.8.3.1 Режим загрузки файлов Intel-HEX или SREC

В режиме загрузки файлов формата Intel-HEX, SREC Bootrom отключает режим «эхо». Переход в режим загрузки файла происходит, если первый символ строки, получаемой из файла при загрузке, равен «:» или «S». Загрузчик обрабатывает получаемую строку в соответствии с ее форматом и выполняет запись данных по соответствующим адресам памяти. По окончании приема данных монитор выводит в терминал количество записанных байт и передает управление по адресу начала внутренней RAM памяти, если autorun включен. Если autorun выключен, монитор возвращается в режим ожидания данных.

Ограничения поддержки Bootrom формата Intel-HEX: Bootrom не поддерживает записи с полем «тип» равным Extended Segment Address Record (02), Start Segment Address Record (03), Start Linear Address Record(05).

Ограничение монитора: процессор не успевает полностью обработать поток символов из UART, для корректного приема данных при загрузке файлов Intel-HEX и SREC необходимо выполнить перед первой загрузкой файла команду терминала `cache 1`.

Пример текстового файла загрузки программы в SPI-флэш память через UART.

```
cache 1
autorun 0
:020000042000DA
:10000000060000EA00F020E300F020E300F020E327
:1000100000F020E300F020E300F020E300F020E314
:1000200000C01FE53CFF2FE13000002000F020E37E
:1000300008402DE96430A0E333FF2FE1010050E3D5
:100040000000001A03F020E308009FE52C30A0E335
:0C00500033FF2FE1FEFFFFEA5C00002000
:06005C00494E49540A0060
:0400000520000000D7
:00000001FF
commitspiflash
run
```

После выполнения загрузки данного текста в терминал, монитор UART выведет:

```
#cache 1
#autorun 0
#0x00000062 bytes

#commitspiflash
Config spi0... Ok
Commit memory 0x20000000 : 0x20000062
Ok
#run
Starting...
INIT
```

Команда `cache 1` включает программный кэш для увеличения быстродействия, `autorun 0` отключает автоматическое исполнение загруженной программы, `commitspiflash` производит запись принятых данных в SPI-флэш память.

2.8.3.2 Режим обработки команд

Формат команд:

```
<command> <hex:value0> <hex:value1>
```

Все числа расцениваются как числа в шестнадцатеричном формате с префиксом «0x» или без него. Например, значения «2A» и «0x2A» трактуются одинаково. Выполнение команды начинается после приёма символов перевода каретки («\r») или конца строки («\n»).

Монитор UART Bootrom поддерживает следующие команды:

- **set** <address> <value> - записывает значение **value** по адресу **address**.

Пример: **set** 20000000 aabbcc;

- **read** <address> - считывает значение по адресу **address**.

Пример: **read** 20000000;

- **dump** <address> <count> - считывает область данных со стартовым адресом **address** размером count слов данных. (если размер не указан, считывается 16 слов данных).

Пример: **dump** 20000000 18;

- **sync** – включение sync-протокола передачи файла **syncoff** – выключение sync-протокола передачи файла. Для исключения проблем синхронизации чтения по UART есть возможность включения синхронного режима чтения файла (sync-протокол). После обработки строки монитор выдаёт строку отправителю – если строка корректная «**sync_accept**», если некорректная «**sync_deny**», по окончании приёма файла после получения кода конца файла «**sync_eof**»;
- **run** – запуск программы по адресу 0x20000000;
- **run** <address> - запуск программы по адресу **address**;
- **autorun** <value> - отключает/включает автоматический запуск программы после успешной загрузки образа (при 0 автозапуск отключен);
- **cache** <value> - отключает/включает кэш инструкций (по умолчанию он отключен);
- **commitspiflash** < address> <count> - копирует принятые данные или любой другой доступный блок данных в SPI-флеш память. Если не указано количество данных, то информация берётся из последней успешной загрузки файла. Если не указан адрес, то берётся по умолчанию 0x20000000. При многократном вызове команды со всеми аргументами запись будет производиться линейно, тем самым можно реализовать линейную блочную загрузку данных в SPI-флеш. Если необходимо сбросить offset записи, необходимо вызвать команду **setflash**;
- **setflash** <offset> - указывает текущую позицию записи SPI-флеш памяти. Команда работает, если в команде **commitspiflash** указаны все аргументы (при отсутствующих аргументах начало записи всегда будет выставляться на начало SPI-флеш памяти). По умолчанию offset записи смещается сам на количество записанных данных, то есть эта команда нужна для пропуска страниц записи или установки позиции на начало памяти;

- *dumpspiflash* *<offset>* *<count>* - считывает область данных из SPI-флеш по смещению *offset* размером *count* (если размер не указан, считывается 16 слов данных);

2.8.4 Загрузка с SPI-флеш памяти

2.8.4.1 Общее описание

Список поддерживаемых команд:

- READ DATA BYTES (0x03);
- WRITE ENABLE (0x06);
- PAGE PROGRAM (0x02);
- READ STATUS REGISTER (0x05);
- SECTOR ERASE (0xD8).

Формат поддерживаемых образов:

- блок данных с заголовком формата SimpleHeader (см.2.8.7.1);
- блок данных согласно образу U-Boot (см.2.8.6);
- блок данных произвольного формата. Если блок не соответствует формату SimpleHeader или U-Boot, то происходит загрузка 0xF4F0 байт данных из SPI-flash по адресу начала внутренней RAM памяти.

Команды READ DATA BYTES (0x03), PAGE PROGRAM (0x02), SECTOR ERASE (0xD8) поддерживают только 3-байтовый режим адресации.

При использовании SPI-флэш размером более 16 МБ необходимо убедиться в том, микросхема флеш-памяти интерпретирует эти команды для 3-байтного режима адресации.

2.8.4.2 Описание алгоритма загрузки

Загрузка образа выполняется из внешней памяти, подключенной к SPI0. Процедура загрузки с SPI Flash сводится к настройке последовательного порта SSI/SPI, проверке заголовка на соответствие поддерживаемым форматам, передаче данных из SPI Flash во внутреннюю память RAM и передаче управления по адресу, указанному в EP (Entry point). Значение EP зависит от заголовка. SPI остается в инициализированном состоянии. Алгоритм загрузки представлен на рисунке 1.3.

Загрузчик настраивает последовательный порт SSI/SPI в режиме Motorola Serial Peripheral Interface (SPI) со следующими характеристиками:

- дуплексный режим обмена;
- SCPH = 0. Выборка данных выполняется по переднему фронту в цикле синхронизации, а установка данных по заднему;
- SCPOL = 0. Линия синхронизации до начал цикла передачи и после его окончания имеет низкий уровень;
- размер кадра данных 16 бит;
- частота клона SPI – 12 МГц.

Во время инициализации Bootrom меняет значения следующих регистров:

- GATE_SYS_CTR - разрешается тактирование SPI0;

- GPIO_SWPORTD_CTL – GPIO15 (SPI_SSN0), GPIO16 (SPI_SSN1), GPIO17 (SPI_SSN2), GPIO18 (SPI_SSN3) устанавливаются для аппаратного управления SPI0;
- CTRLR0 – выставляется длина кадра в 16 бит, выставляется протокол передачи данных Motorola Serial Peripheral Interface. SCPH = 0, SCPOL = 0;
- BAUD – выставляется значение делителя для клона SPI – 12 МГц;
- TOGGLE – выставляется в 0, запрещая отпускать линию Slave Select после передачи каждого кадра данных;
- TXFTLR - устанавливается в значение 256;
- RXFTLR - устанавливается в значение 256.

Во время работы SPI меняется значение регистра CTRLR1 отвечающее за передачу количества кадров (от 1 до 18).

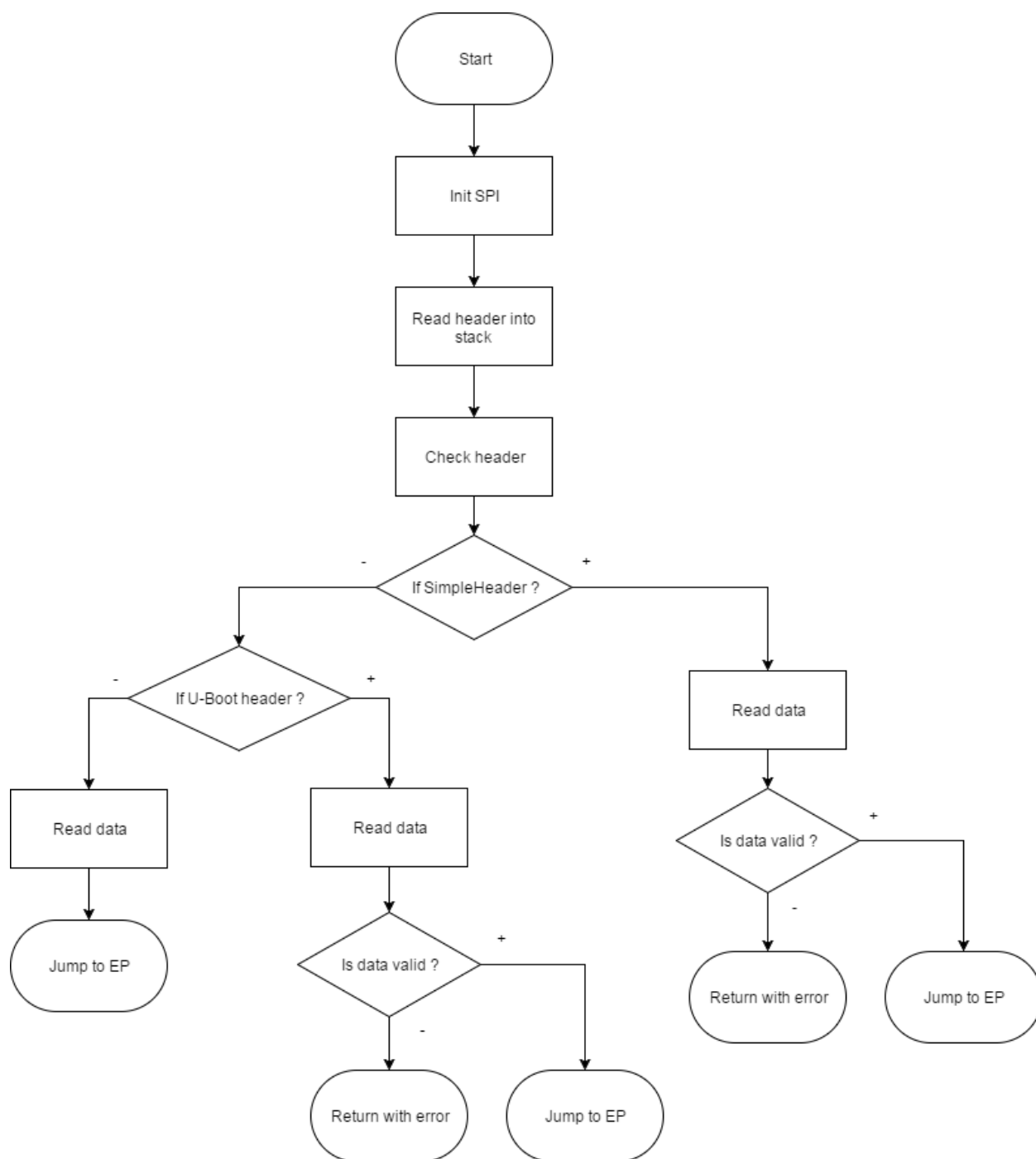


Рисунок 2.19. Блок схема алгоритма загрузки с SPI Flash

2.8.5 Загрузка с SDMMC

2.8.5.1 Общее описание

При загрузке с SDMMC Bootrom умеет работать только с образом формата U-Boot.

Bootrom поддерживает загрузку со следующих типов носителей:

- SDHC;
- SDXC;
- eMMC.

Bootrom не поддерживает загрузку со следующих типов носителей:

- eMMC в режиме MMC Boot mode;
- SDSC.

2.8.5.2 Описание алгоритма загрузки

Загрузка образа происходит со смещения в 1024 байт от начала носителя, подключенного к SDMMC0 или SDMMC1. Bootrom начинает загрузку с SDMMC0, в случае возникновения ошибки загружается с SDMMC1. Причину возникновения ошибки можно определить по сообщению, выведенному в терминал (см. раздел «Коды ошибок Bootrom»). При неудачной загрузке с SDMMC0 или SDMMC1 соответствующий контроллер сбрасывается в начальное состояние. Если загрузка прошла успешно, то контроллер остается в инициализированном состоянии.

При загрузке с SD Bootrom выполняет инициализацию контроллера SDMMC, инициализацию носителя, чтение заголовка образа U-Boot, проверку его корректности, чтение данных образа, проверку корректности данных образа и передачу управления по адресу EP (), указанному в заголовке. Передача управления по адресу EP происходит только если все проверки прошли успешно (допустимые значения см.2.8.6).

Bootrom считывает заголовок U-Boot во внутреннюю RAM память и проверяет корректность. Если поле type равно 5, вызывается код включения кэша инструкций. Если все проверки успешно пройдены (см.2.8.6), то Bootrom загружает следующий за заголовком образ по указанному адресу и после этого проверяет контрольную сумму данных dsrc. Если контрольные суммы не совпадают, образ считается некорректным.

Bootrom настраивает контроллер SDMMC и носитель для работы со следующими характеристиками:

- четырехбитный режим передачи данных;
- частота клона 400 КГц;
- на линиях DAT и CMD выключены подтяжки.

Во время инициализации меняются значения следующих регистров:

- Int Config 1 – устанавливается частота SDMMC контроллера;
- Int Config 5 – устанавливается делитель частоты SDMMC контроллера;
- Normal interrupt status enable – разрешается установка флагов событий таких как - команда завершена, передача завершена, событие от DMA, карта извлечена;
- Int Config 7 – снимается подтяжка с линии DAT и CMD;
- Software reset – контроллер сбрасывается несколько раз во время инициализации;
- Power control – выставляется рабочее напряжение контроллера;
- Host control 1 - выбирается режим передачи данных через SDMA.

Во время работы меняются значения следующих регистров:

- SDMA System Address – выставляется адрес передачи;
- Block size – выставляется размер блока и размер буфера SDMA контроллера SMMC;
- Block count – выставляется количество передаваемых блоков;
- Argument1 – биты формата команды;
- Transfer mode - разрешение передачи через SDMA. Разрешение множественной передачи. Разрешение автоматической команды ответа. Установка направления передачи.

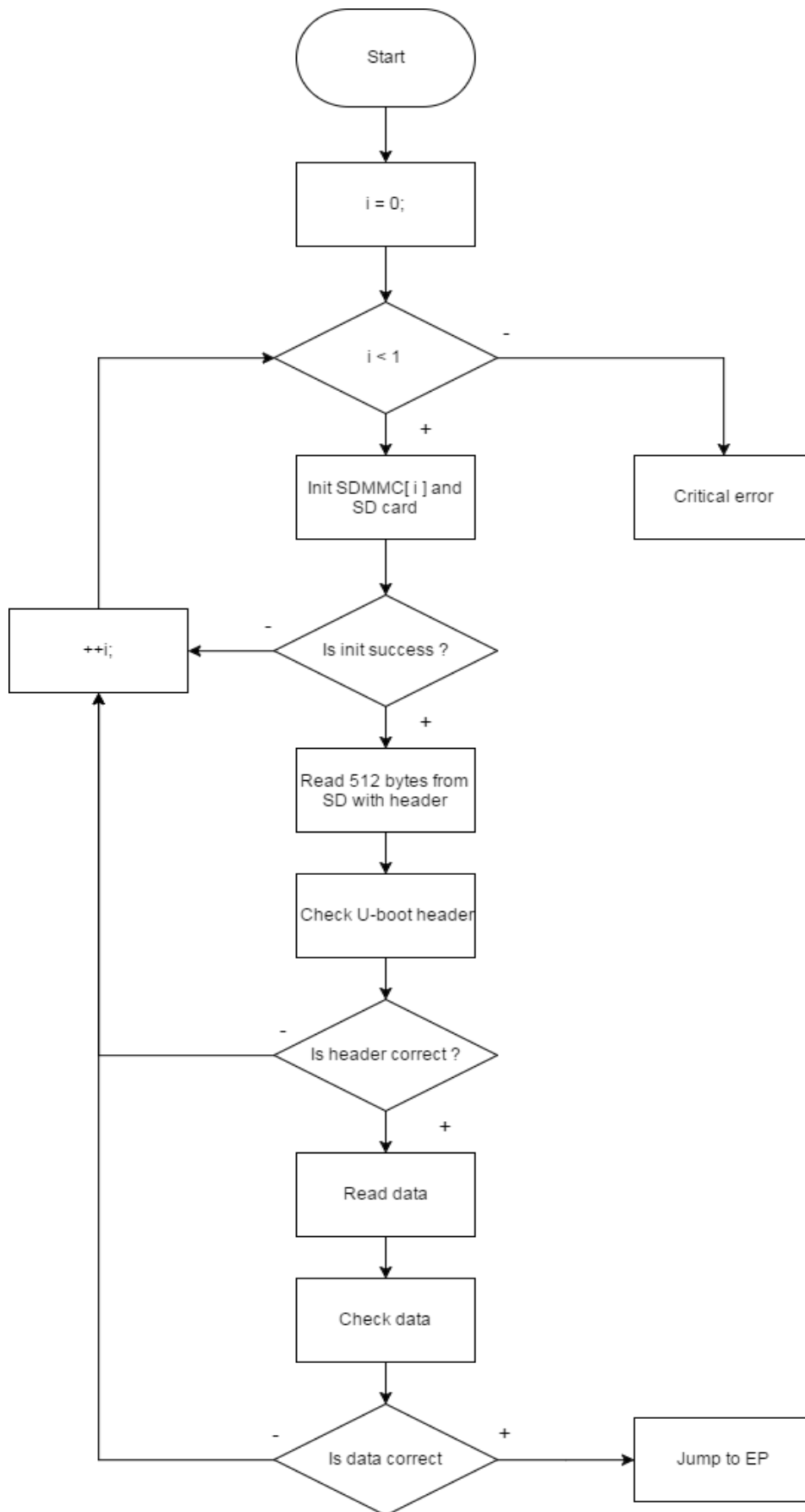


Рисунок 2.20. Блок схема алгоритма загрузки с SDMMC

Таблица 2.80. POSTCODE критических ошибок Bootrom

Код	Сообщение	Описание
0x1	CRITICAL ERROR POSTCODE 0x00000001	Получен нулевой адрес на структуру настроек инициализации DDR памяти.
0x2	CRITICAL ERROR POSTCODE 0x00000002	Ошибка инициализации PHY DDR контроллера.
0x4	CRITICAL ERROR POSTCODE 0x00000004	Некорректный адрес в регистре ALWAYS_MISC0. Может возникнуть при проверке значения регистра по событию warm reset.
0x5	Invalid header CRITICAL ERROR POSTCODE 0x00000005	Ошибка в заголовке header при загрузке образа U-Boot с SPI flash.
0x6	Error: No card in SDMMC CRITICAL ERROR POSTCODE 0x00000006	Карта SD не обнаружена.
0x7	Error: Header is invalid CRITICAL ERROR POSTCODE 0x00000007	Некорректное поле magic заголовка U-Boot.
0x8	Error: Data is invalid CRITICAL ERROR POSTCODE 0x00000008	Неверный CRC32 при загрузке данных образа по SD.
0xC	Error: Data crc is invalid CRITICAL ERROR POSTCODE 0x0000000C	Неверный data crc (при загрузке образа с SPI).
0xE	CRITICAL ERROR POSTCODE 0x0000000E	Неверное значение в регистре BOOT, либо функция загрузки вернулась в функцию main. В виде сообщения выводится значение регистра BOOT.

2.8.6 Формат образа U-Boot

```

Образ U-Boot состоит из заголовка uimage_header_t размером 64 байта и данных. #define NAMELEN
32          /* Image name length          */

typedef uint32_t __bitwise __be32;

/*
 * uImage format image header,
 * all data in network byte order (aka natural aka bigendian).
 */
typedef {
    __be32  magic;          /* Image header magic = 0x27051956 */
    __be32  hcrc;          /* Image header CRC checksum      */
    __be32  time;          /* Image creation timestamp       */
    __be32  size;          /* Image data size                 */
    __be32  load;          /* Data load address              */
    __be32  ep;            /* Entry point address            */
    __be32  dcrc;          /* Image data CRC checksum        */
    uint8_t os;            /* Operating system               */
    uint8_t arch;          /* CPU architecture               */
    uint8_t type;          /* Image type                     */
    uint8_t comp;          /* Compression type               */
    uint8_t name[NAMELEN]; /* Image name                     */
} uimage_header_t;

typedef {
    uimage_header_t header;
    unsigned char  data[];
} uimage_t;

```

Таблица 2.81. Описание полей заголовка образа U-Boot

Поле	Расшифровка	Допустимые значение
magic	Контрольное слово.	0x27051956
hcrc	Контрольная сумма CRC32 заголовка, посчитанная при hcrc = 0.	
time	Дата/время создания образа в секундах с начала Эры (00:00:00 UTC, 1 января, 1970).	
size	Размер данных образа в байтах.	Максимальный размер size зависит от load и ep. Значение кратно 2.
load	Адрес загрузки данных образа.	load >= 0x20000000, load + size < 0x2000F4F0
ep	Адрес точки входа образа после загрузки.	ep >= 0x20000000, ep < 0x2000F4F0, ep >= load, ep < load + size
dcrc	Контрольная сумма CRC32 данных образа.	
os	Операционная система, на запуск в которой рассчитан данный образ.	Данное поле не проверяется
arch	Архитектура, на запуск на которой рассчитан данный образ.	Должно быть равно значению IH_ARCH_ARM == 2.

Поле	Расшифровка	Допустимые значение
type	Тип образа.	Должно быть равно значению IH_TYPE_FIRMWARE == 5 (если нужно включить кэш инструкций) или IH_TYPE_STANDALONE == 1 (если кэш инструкций включать не нужно). Или IH_TYPE_KERNEL == 2
comp	Тип сжатия образа.	Должно быть равно IH_COMP_NONE == 0.
name	Имя образа.	Строка длиной до 31 символа

2.8.7 Сборка образа U-Boot

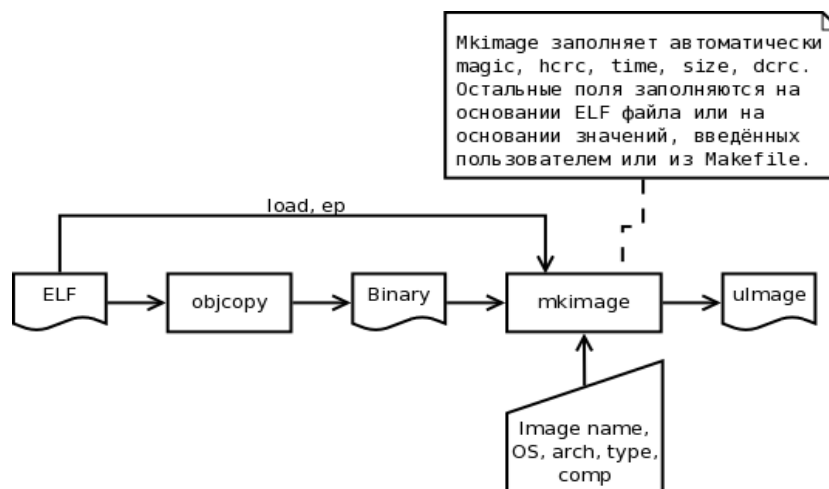


Рисунок 2.21. Порядок сборки образа

2.8.7.1 Формат заголовка SimpleHeader

Таблица 2.82. Формат заголовка SimpleHeader

Смещение	Значение	Описание	Действие
0x00	0xC0DEXXXX	Код «C0DE» сообщает о валидности всего заголовка. Младшая часть слова содержит размер блока данных в 32-разрядных словах, если он равен нулю или превышает 0x3D3C, то устанавливается значение по умолчанию 0x3D3C, что соответствует 0xF4F0 байтам.	Validate DATA_SIZE = XXXX
0x04	0x0ADDEADD	Код «ADD» подменяет базовый адрес памяти, в которую будет скопирован блок данных (по умолчанию 0x20000000). Код «EADD» подменяет адрес точки входа в программу (по умолчанию 0x20000000).	BASE_ADDRESS = HEADER[0x8] ENTRY_ADDRESS = HEADER[0xC]
0x08	0XXXXXXXXX	Значение базового адреса, если найден код «ADD».	
0x0C	0XXXXXXXXX	Значение адреса точки входа, если найден код «EADD».	

Смещение	Значение	Описание	Действие
0x10	0x0000CCE	Включение проверки контрольной суммы CRC8 (инвертированная сумма байтов данных без заголовка).	CRC = HEADER[0x14]
0x14	0xFFFFFFFF	Контрольная сумма блока данных, если найден код «CCE».	
0x18	0xD13AB1E	Отключение ограничения блока данных (по умолчанию 0xF4F0 байт)	MAX_SIZE = 0xFFFFFFFF
0x1C		Reserved	

2.8.8 Загрузка с NAND Flash

2.8.8.1 Алгоритм загрузки

При включении питания и наличии на входах микросхемы BOOT[1:0] значения 0x1 выполняются следующие действия:

- контроллер PMCTR выставляет входной сигнал NANDMPORT контроллера boot_en=1 и сигнал сброса для процессора;
- NANDMPORT контроллер посылает команду reset (см. стандарт ONFI 2.2) для флэш-памяти, подключенной к NAND_CSN0;
- NANDMPORT контроллер посылает команду чтения банка 0, страницы 0;
- NANDMPORT контроллер копирует из флэш-памяти 2 КВ по адресу 0x0000_0000 (при BOOT=1 адрес 0x0000_0000 отображается в область накристалльной RAM);
- по окончании загрузки контроллер выставляет сигнал sru_release=1, по которому PMCTR снимает сигнал сброса с процессора;
- после снятия сброса процессор начинает исполнять команды с 0x0000_0000 адреса накристалльной RAM.

Загрузка 2 КБайт данных через контроллер выполняется за время 1 мс на тактовой частоте 24 МГц.

От момента подачи питания на кристалл до снятия сигнала сброса должно пройти не менее 1мс для корректной инициализации NAND-памяти (NAND контроллер не анализирует сигнал R/B#, следовательно, данная задержка должна обеспечиваться внешним (по отношению к микросхеме) контроллером питания, например, удержанием глобального сигнала сброса. Требование на 1 мс объявлено в пункте 7.1.2 стандарта ONFI 2.2).

Примечание. При загрузке с NAND Flash корректировка ошибок с ECC не производится, рекомендуется использовать память, в которой гарантируются, что первый сектор не содержит ошибок.

2.8.8.2 Особенности подключения и типа памяти

Тип памяти ONFI 2.2.

Флэш-память NAND, с которой предполагается производить процедуру загрузки, должна быть подключена к портам NAND_DATA0...7 и NAND_CSN0 (8 младшим битам шины данных и нулевому CS).

Во время процедуры загрузки NAND контроллер может считать только одну страницу флэш-памяти. Для этой процедуры необходимо 2 КБ. В связи с этим не допускается использование флэш-памяти с размером страницы менее, чем 2 КБ.

2.8.8.3 Дальнейшая работа с NAND контроллером после загрузки через него

Для работы с NAND контроллером после проведения через него процедуры boot необходимо:

- сбросить поле Packet count [23:12] регистра Packet Register (0x00) (заполнить это поле нулями);
- сбросить поля Number of Address cycles [30:28] и DMA Enable [27:26] регистра Command Register (0x0C) (заполнить эти поля нулями).

2.9 Логика межпроцессорного взаимодействия в микросхеме

Управление процессами и вычисления с помощью взаимодействия гетерогенных процессорных ядер микросхемы строятся на основе распространенного принципа работы на общем поле памяти. При этом использование регулярной области памяти для такого взаимодействия неэффективно из-за достаточно большого времени доступа к такой области.

Для облегчения взаимодействия между программными процессами на процессорных ядрах MPU, DSP и видеоакселераторе VPU в микросхеме предусмотрен ряд механизмов:

- блок обмена сообщениями MAILBOX позволяет организовать обмен данными между процессами с достаточно малым временем доступа, при этом вместо циклического опроса для проверки наличия данных можно использовать обработку встроенных прерываний блока. Подробнее см. главу 10;

- блок аппаратной поддержки семафоров SPINLOCK обеспечивает возможность реализации атомарных операций, и основанных на них программных примитивов обеспечения многопоточных вычислений, таких как семафоры или мьютексы. Подробнее см. главу 11;
- взаимодействие между MPU и VPU может осуществляться с помощью механизма аппаратных событий. Для генерации события от MPU к VPU используется инструкция SEV, для ожидания события от VPU в CPU инструкция WFE, для генерации события от VPU к MPU используются регистры VPU EVENTS и MSKO_CPU, для ожидания события от MPU регистр MSKI_CPU. Подробнее см. главу 6.

3. ЦЕНТРАЛЬНЫЙ ПРОЦЕССОР (MPU)

3.1 Введение

Блок центральный процессора в микросхеме представляет собой кластер, состоящий из двух процессорных ядер ARM Cortex-A9 с SIMD сопроцессорами NEON и встроенными таймерами, встроенного общего контроллера прерываний. При этом объем кэша первого уровня на каждом из ядер для кэша инструкций - 32 Кбайт, и для кэша данных - 32 Кбайт. Кластер также содержит разделяемый кэш второго уровня объемом 1 Мбайт.

3.2 Версия архитектуры

Процессорные ядра Cortex-A9 реализуют 7-ю версию архитектуры ARM - ARMv7, а в частности профиль ARMv7-A. Далее будут рассмотрены некоторые ключевые особенности архитектуры ARMv7.

3.3 Особенности архитектуры

Основные характеристики, общие для процессоров семейства Cortex-A:

- 32-разрядный RISC-процессор (с 16-ю 32-разрядными видимыми регистрами с дублированием в зависимости от режима);
- модифицированная Гарвардская архитектура (раздельный одновременный доступ к командам и данным);
- архитектура чтения/записи через регистры;
- технология Thumb-2 в качестве стандарта;
- функции VFP и NEON согласно расширению VFPv3 (Vector Floating-Point version 3) полностью совместимому со стандартом IEEE 754;
- обратная совместимость с кодом предыдущих процессоров ARM;
- полное виртуальное и физическое адресные пространства в 4 Гбайта без ограничений архитектуры;
- эффективная аппаратная таблица переадресации страниц путем преобразование виртуальных адресов в физические адреса;
- виртуальная память для страниц размером 4КВ, 64КВ, 1МВ и 16МВ. Кэширование и разрешения доступа могут быть установлены на уровне страниц;
- поддержка рабочих режимов «Big-endian» и «Little-endian»;
- поддержка не выровненного доступа к командам чтения/записи 8-, 16- и 32-разрядных целочисленных данных;
- поддержка SMP в многоядерных версиях с полной когерентностью данных начиная с кэш-уровня L1. Автоматическое кэширование и учет когерентности в управлении TLB обеспечивает эффективное исполнение SMP операций;
- физически индексируемые и физически тегируемые (PIPT) кэши данных;

- поддержка трасы в процессорных ядрах по спецификации Program Flow Trace (PFT) v1.0 соответствующей общей методологии отладки Coresight Architecture Specification;
- поддержка отладочных функций по методологии Coresight Architecture Specification;
- процессорные ядра поддерживают работу с общим контроллером прерываний, реализованным по спецификации ARM Generic Interrupt Controller (GIC) v1.0.

3.3.1 Jazelle-DBX

Технология Jazelle-DBX (Direct Bytecode eXecution - прямое выполнение байт-кода) позволяет подмножеству байт-кодов Java выполняться напрямую на аппаратуре в качестве третьей исполняющей операции и набора команд. Jazelle-DBX обеспечивает высокопроизводительное исполнение Java-кода в системах с очень ограниченной памятью (например, в мобильном телефоне или недорогом встроенном устройстве). В существующих на сегодняшний день системах данная функция используется в большинстве случаев для обеспечения обратной совместимости.

3.3.2 Thumb Execution Environment (ThumbEE)

ThumbEE, также называемый Jazelle-RCT (Runtime Compilation Target), вводит небольшие изменения в систему команд Thumb, которые ориентированы на код, созданный во время исполнения программы в регулируемой среде (например, динамические языки программирования Java, Dalvik, C#, Python, Perl). Набор функций включает проверку нулевых указателей чтения/записи, команды для проверки границ массива, а также специальные команды для вызова обработчика. Это критические участки кода, используемые для реализации специфических свойств языка высокого уровня. Изменения вызваны перенастройкой набора кодов операций. ThumbEE был разработан для использования высокопроизводительными JIT-компиляторами (динамическими компиляторами) или ранними компиляторами, которые могут сократить размер компилируемого кода. Компиляция управляемого кода не рассматривается в рамках данного руководства.

3.3.3 Thumb-2

Набор команд Thumb-2 впервые был введен в ARMv6T2. Данная технология позволяет 16-разрядной системе команд Thumb поддерживать 32-разрядные команды. Совмещенные 16-разрядные и 32-разрядные команды Thumb имеют одинаковую одну плотность кода и производительность, сходную с 32-разрядной системой команд ARM. Система команд Thumb обеспечивает все возможности стандартной системы команд ARM, а также привносит некоторые дополнительные возможности.

3.3.4 Расширения безопасности (TrustZone)

Модуль TrustZone был добавлен в профилях ARMv6Z и ARMv7-A. TrustZone обеспечивает два виртуальных процессора с усиленным аппаратным контролем доступа. Это означает, что процессор обеспечивает два «пространства» - защищенное и незащищенное, работающие независимо друг от друга. Не допускается утечка информации из защищенного «пространства» в незащищенное. **Примечание.** Технология TrustZone не поддерживается в описываемой микросхеме.

3.3.5 VFP

VFP – это расширение, которое выполняет вычисления с числами одинарной и двойной точности, совместимые со стандартом ANSI/IEEE для чисел с плавающей точкой.

3.3.6 Advanced SIMD (NEON)

Технология NEON реализует усовершенствованный набор команд SIMD с разделенными регистровыми файлами (совмещенный с VFP). Процессоры имеют отдельный NEON конвейер. Он поддерживает вычисления с 8-, 16-, 32- и 64-разрядными целыми числами и числами с плавающей точкой одинарной точности, которые могут быть организованы как векторы в 64-разрядных и 128-разрядных регистрах.

3.4 Собственная область регистров кластера

Внутри кластера выделена специальная область памяти для регистров контроля общих ресурсов процессорных ядер – таймеров, блока управления когерентностью, контроллера прерываний. Базовый адрес этой области в микросхеме – 0x3900_0000. Смещения для доступа к этим регистрам даны в Таблица 3.1.

Таблица 3.1. Область регистров процессора

Смещение	Описание
0x0000	Регистры блока управления когерентностью SCU
0x0100	Регистры контроллера прерываний GIC
0x0200	Глобальный таймер
0x0300 – 0x5FFF	Резерв
0x0600	Собственные интервальные и сторожевые таймеры ядер
0x0700	Резерв
0x1000	Распределение прерываний

Подробные описания регистров даны в соответствующих главах.

3.5 Процессорное ядро Cortex-A9

Ядро процессора Cortex-A9 обеспечивает производительность в 2.5 DMIPS/МГц. Процессорное ядро Cortex-A9 поддерживает системы команд ARM, Thumb, Thumb-2 и технологии ThumbEE и Jazelle-DBX. Система кэш-памяти первого уровня обеспечивает аппаратную когерентность кэшей для кластеров, содержащих от одного до четырех ядер. Структура процессорного ядра показана на Рисунок 3.1.

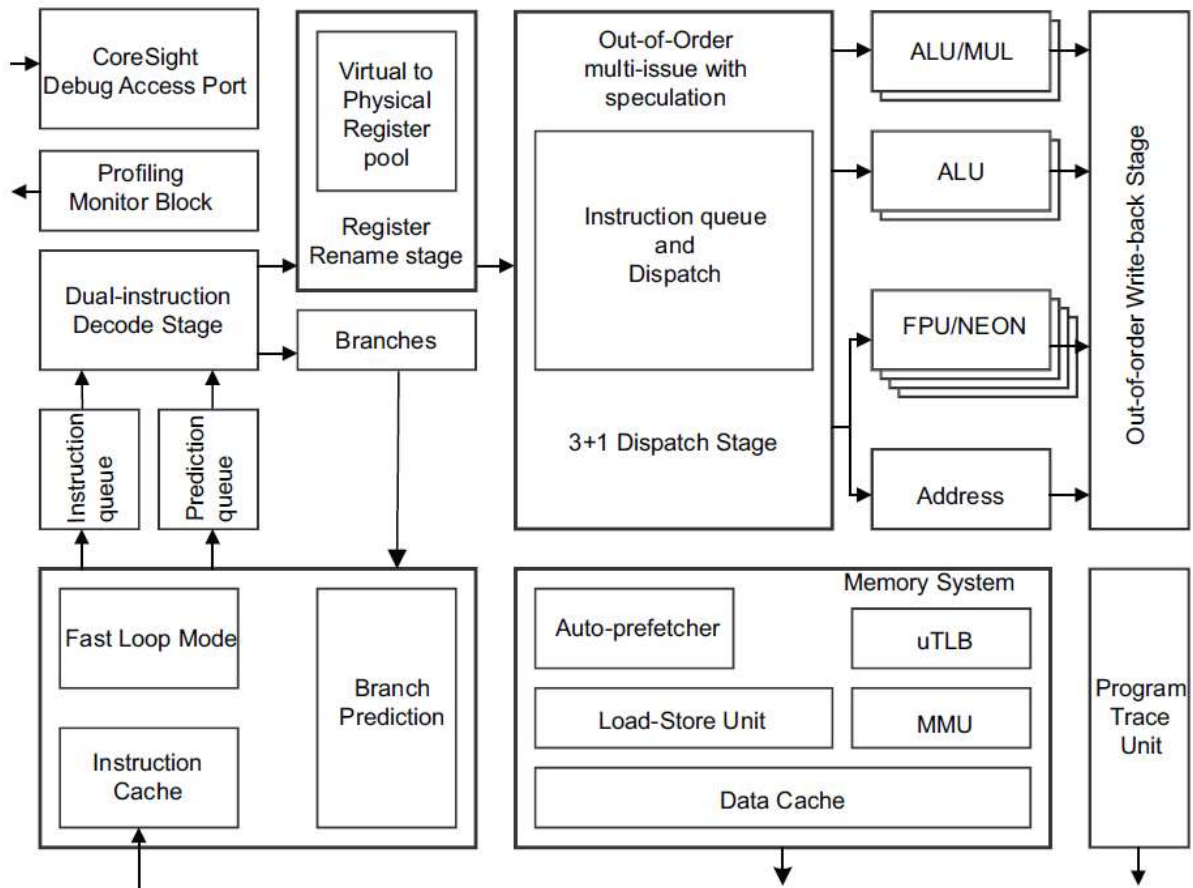


Рисунок 3.1. Структура процессора Cortex-A9

3.5.1 Регистры, режимы и системы команд ARM

ARMv7 является 32-разрядной архитектурой. Тип архитектуры «чтение/запись» означает, что большинство команд обработки данных выполняются, в основном, в регистрах, с помощью регистров же производится обмен с внешней памятью. Доступ к памяти имеют только команды чтения и записи. Внутренние регистры процессора также являются 32-разрядными. Выбор архитектуры ARMv7-A не определяет карту памяти процессора. Процессор имеет доступ к 4 Гб адресному пространству, выровненному по байтам, памяти и периферийным устройствам, которые могут быть свободно размещены внутри этого пространства.

3.5.2 Системы команд

Процессор Cortex-A9 поддерживает несколько систем команд:

- ARM - полная 32-разрядная система команд;
- Thumb - 16-разрядная сжатая подсистема полной системы команд ARM, с большей плотностью кода (но меньшей производительностью по сравнению с ARM-кодом).

В Cortex-A9, реализована также технология Thumb-2, которая дополняет систему команд Thumb и представляет собой смесь 32-разрядных и 16-разрядных команд. Thumb-2 имеет плотность кода, свойственную Thumb и производительность, близкую к оригинальной системе ARM. По этой причине, большинство программ, написанных для процессоров серии Cortex-A, используют систему команд Thumb.

3.5.3 Режимы работы

Архитектура ARM поддерживает семь режимов работы. Шесть привилегированных режимов и один непривилегированный - режим User. В данном режиме существуют ограничения на некоторые операции, такие как доступ к MMU.

Режимы работы и их обозначения в командах:

- Supervisor mode (SVC) 10011 — защищённый режим, в котором процессор находится сразу после сброса или после выполнения инструкции Supervisor Call (SVC);
- FIQ 10001 – режим работы при возникновении исключения быстрого прерывания;
- IRQ 10010 – режим работы при возникновении исключения обычного прерывания;
- Abort (ABT) 10111 – режим работы при некорректном доступе к памяти;
- Undef (UND) 11011 – режим работы при выполнении неопределённой команды;
- System (SYS) 11111 – привилегированный режим, который использует те же регистры, что и режим User;
- User (USR) 10000 – непривилегированный режим, в котором работает большинство приложений.

Также существует дополнительный режим Secure Monitor.

3.5.4 Регистры

Регистры архитектуры ARM представлены на Рисунок 3.2.

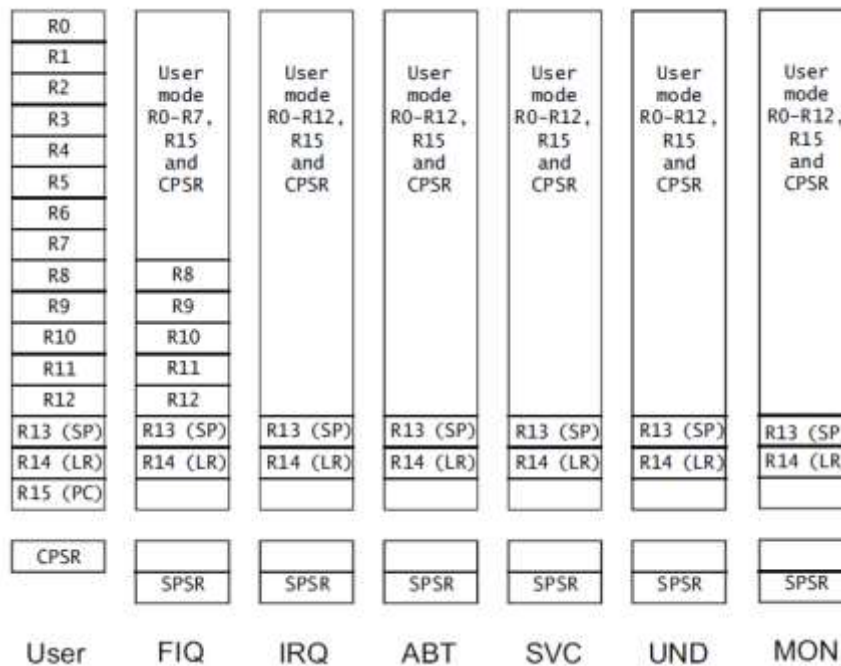


Рисунок 3.2. Набор регистров архитектуры ARM

В каждом режиме несколько регистров всегда являются регистрами общего назначения. Дополнительно имеется регистр R15 - программный счетчик и 6 регистров состояния, которые содержат информацию о флагах, режимах работы и т.д. Многие из этих регистров дублированы и не видимы для программы, за исключением специальных режимов. Дублированные регистры автоматически включаются и выключаются при изменении режима работы процессора. Так, например, если процессор работает в режиме IRQ, мы можем видеть R0, R1 ... R12 (те же регистры, что и в режиме User), а также R13_IRQ и R14_IRQ (регистры, видимые только в режиме IRQ) и R15 (программный счетчик, PC). Регистры R13_USR и R14_USR не видимы напрямую. Обычно не требуется указывать режим в названии регистра. Если указать R13 в строке кода, процессор получит доступ к реестру R13 того режима, в котором он на данный момент находится. В любой момент времени программист имеет доступ к 16 регистрам (R0 - R15) и регистру текущего состояния Current Program Status Register (CPSR). R15 напрямую связан с программным счетчиком и содержит текущий адрес программы (он всегда указывает восемь байт следующей команды, которая выполняется в ARM, и четыре байта следующей инструкции Thumb). Есть возможность записи в R15 с целью изменить ход программы. R14 обозначает регистр связи, который содержит адрес возврата для функции или исключения (в некоторых случаях может быть использован в качестве регистра общего назначения, если не содержит одно из этих значений). R13 условно используется как указатель стека. Регистры R0-R12 являются регистрами общего назначения. Некоторые 16-разрядные команды Thumb имеют ограничения по доступу к этим регистрам -

доступное подмножество называется «нижние регистры» и включает в себя регистры R0-R7. Рисунок 3.3 показывает подмножество регистров, видимых для общих команд обработки данных. Значения регистров R0-R14, устанавливаемые после аппаратного сброса, непредсказуемы. Регистр R13, указатель стека, необходимо инициализировать (для каждого режима) в коде загрузчика до того, как программа будет использовать стек. AAPCS/AEABI определяют, как программное обеспечение должно использовать регистры общего назначения для того, чтобы взаимодействовать между различными наборами инструментов или языками программирования. Реализации, которые поддерживают расширения виртуализации, имеют дополнительные регистры, доступные в режиме Hypervisor (Hyp), которые не показаны на Рисунок 3.2. Режим Hyp имеет доступ к своим собственным версиям регистра R13 (SP) и SPSR. Он использует регистр User mode link, а также выделенный новый регистр (ELR).

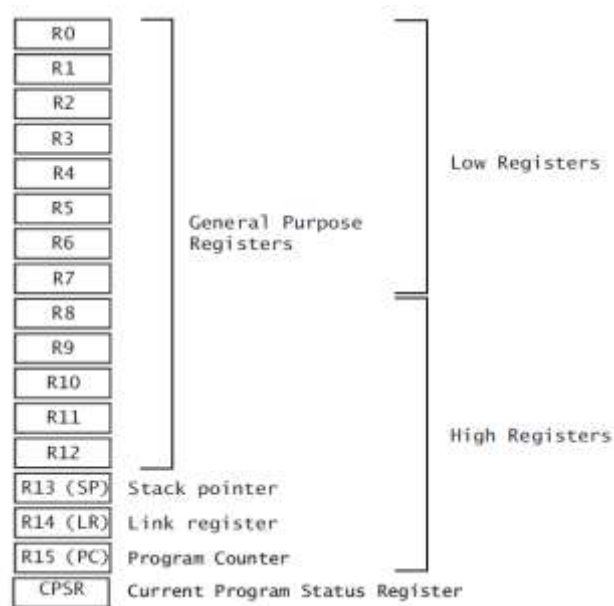


Рисунок 3.3. Видимые регистры

3.5.4.1 Регистры состояния

Регистры состояния составляют дополнительный набор дублированных регистров. Шесть регистров используются как регистры хранения состояния программы Saved Program Status Registers (SPSR) и сохраняют копию регистра CPSR при переключении режимов во время обработки исключения. Они недоступны из режима System или режима User. Так, например, в режиме User, мы можем видеть только CPSR и SPSR_FIQ, но не имеем прямого доступа к SPSR_IRQ, SPSR_ABT, и т.д.

В архитектуре ARMv7-A, регистр APSR – это тот же регистр, что и CPSR, несмотря на то, что они имеют разные названия. Регистр APSR может быть использован только для доступа к N, Z, C, V, Q и GE[3:0] битам. Эти биты обычно не имеют прямого доступа, но могут быть установлены извне с помощью условной инструкции для тестирования условного исполнения следующей инструкции. Такое переименование выполнено с целью

упорядочить доступ к CPSR предыдущих версий архитектуры ARM. На рисунке 3.4 показан формат регистра CPSR.

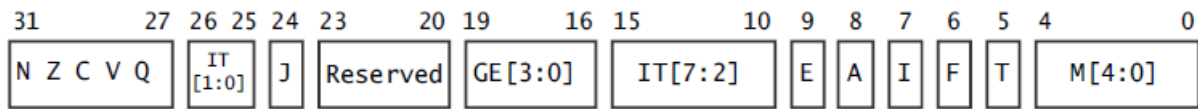


Рисунок 3.4. Формат регистра CPSR

Значения отдельных битов:

- N - отрицательный результат от ALU;
- Z – нулевой результат от ALU;
- C – перенос (Carry out);
- V – переполнение (overflowed);
- Q – накопительное насыщение (sticky);
- J – означает, что процессор находится в режиме Jazelle;
- GE[3:0] – используется некоторыми SIMD-командами;
- IT [7:2] – If-Then условное выполнение групп команд Thumb-2;
- E - управление порядком байтов чтения/записи;
- A - отключение неопределенных исключений «data abort»;
- I - отключение прерываний IRQ;
- F – отключение прерываний FIQ;
- T = 1 означает, что процессор находится в режиме Thumb;
- M[4:0] – определяет режим работы процессора (FIQ, IRQ, и т.д.).

Процессор может переключаться между режимами с помощью команд, которые напрямую записываются в биты режима CPSR (невыполнимо в режиме User). В большинстве случаев, процессор меняет режим при наступлении исключений.

3.5.5 Конвейер команд

В ARM-архитектуре особенности конвейера скрыты от программиста. Однако, стоит выделить несколько ключевых моментов.

С увеличением длины конвейера, возрастают потери в тактах на командах условного перехода. Процессоры серии Cortex-A используют логику предсказания переходов, которая направлена на снижение потерь производительности. В сущности, процессор угадывает, будет выполнен переход или нет, и выбирает команду, следующую за переходом (если предсказано, что условный переход не будет выполнен), или команду назначения перехода (если предсказано, что переход будет выполнен). Если предсказание истинно, очистки конвейера не происходит. В случае ложного предсказания, конвейер должен быть очищен и повторно заполнен командами из корректного адреса.

Cortex-A9 являются супер скалярными процессорами – они могут потенциально декодировать и выполнить более одной команды за такт за счет дублирования логики некоторых стадий конвейера, т.е. создания нескольких исполняющих конвейеров. Для проверки зависимостей между командами требуется дополнительная аппаратура, как, например, в случае, если одна команда должна ждать результата другой команды. Процесс работы конвейер слишком сложен, поэтому следствия все его воздействий и зависимостей не могут находиться под постоянным контролем программиста. Внеочередное выполнение обеспечивает возможность повышения эффективности конвейера. Если команды обрабатываются последовательно, одна команда должна быть полностью выполнена, перед тем как конвейер приступает к обработке следующей команды. При внеочередной обработке разрешен параллельный доступ к памяти и команды могут выполняться в порядке, отличном от оригинального порядка в программе. Часто команда может быть остановлена по причине зависимости (например, необходимость использовать результат из предыдущей команды). В этом случае могут быть выполнены следующие команды, которые не имеют взаимозависимостей, при условии, что логические конфликты между командами строго учитываются.

Процессорное ядро Cortex-A9, используя данную технику, достигает высокого уровня эффективности и пропускной способности команд. Конвейер может выполнять команды спекулятивно и поддерживать исполнение двух команд за один такт, одновременно имея возможность выбирать на исполнение до 4 команд за один такт. Это помогает восстановить уровень производительности, в случае если остановленный ранее конвейер был разблокирован.

3.5.6 Переименование регистров

Процессорное ядро Cortex-A9 имеет особую микроархитектурную реализацию, которая использует схему переименования регистров. Набор регистров, которые образуют стандартную часть архитектуры ARM могут являются видимыми для программиста, но в аппаратной реализации процессора число физических регистров больше, вместе с логикой динамического преобразования видимых регистров в физические. На Рисунок 3.5 показаны отдельные наборы архитектурных и физических регистров.

Рассмотрим случай, когда код записывает значение регистра во внешнюю память и сразу после этого считывает значение из другого адреса памяти в тот же регистр. Это могло бы привести к остановке конвейера в предыдущих версиях процессоров, хотя в данном конкретном случае, нет фактических зависимостей данных.

Переименование регистров позволяет решить эту проблему переименованием двух экземпляров регистра R0 в различные физические регистры и устранением зависимости. Это позволяет программисту, работающему на ассемблере, или компилятору использовать регистры повторно без необходимости учитывать архитектурные штрафы в результате повторного использования регистров, когда нет зависимостей между командами. Важно

отметить, что переименование регистров обеспечивает внеочередное выполнение последовательностей «запись после записи» (write-after-write) и «запись после чтения» (write-after-read). Конфликт типа «запись после записи» может возникнуть, если значения записываются в один и тот же регистр в двух отдельных командах. Процессор должен удостовериться в том, что команда, которая идет после двух записей видит результат последней команды.

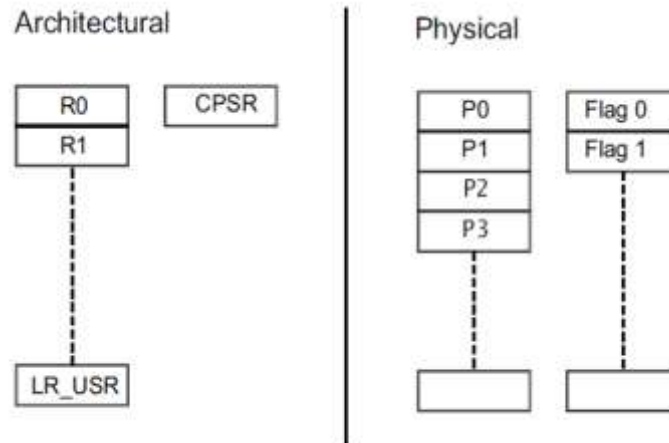


Рисунок 3.5. Переименование регистров

Для того чтобы избежать зависимостей между командами, относящихся к установке флагов и сравнений, флаги регистра APSR также используют подобную технику.

3.5.7 Предсказание переходов

Логика предсказания переходов является важным фактором для достижения высокой пропускной способности процессоров серии Cortex-A. Без предсказания переходов конвейер должен дожидаться выполнения инструкции условного перехода, чтобы произвести следующую выборку. При первой выборке условного перехода, имеется недостаточно информации для предсказания адреса следующей команды. Более ранние процессоры ARM использовали статические предсказания переходов. Это самый простой метод, так как он не требует предварительной информации о переходе. Предполагается, что переходы, ссылающиеся на команды расположенные раньше по коду (backward) будут приняты, а переходы, ссылающиеся на следующие команды (forward), не будут приняты. Backward переход имеет адрес назначения ниже, чем собственный адрес.

Это достаточно легко определяется аппаратно, так как смещение перехода представлено в дополнительном поле кода операции. Таким образом, можно узнать направление перехода по одному биту кода операции. Этот метод обеспечивает точность предсказания, благодаря распространению в коде циклов, которые почти всегда содержат backward переходы и чаще принимаются, чем не принимаются. Благодаря оптимальной длине конвейера процессоров серии Cortex-A, большая производительность, однако,

достигается, используя более сложные схемы предсказания переходов, обеспечивающие более точные прогнозы. Требуемое количество дополнительной логики достаточно мало. Аппаратное динамическое предсказание может дополнительно сократить потери по тактам, используя историю условных переходов, которые были выполнены. Branch Target Address Cache (BTAC), также называемый Branch Target Buffer (BTB), в процессорном ядре Cortex-A9, является кэшем-памятью, в котором хранится информация о предыдущих выполнениях команд переходов. Это позволяет аппаратуре определить, был ли выполнен условный переход. Процессор должен проверить код состояния, содержащийся в команде перехода. Если аппаратное предсказание перехода верное, остановка работы конвейера не требуется. В том случае, если аппаратное предсказание было неверным, процессор очищает конвейер и заполняет команды заново.

3.5.8 Стек возвратов

В разделе 3.5.7 рассматриваются различные способы, которые использует процессор для предсказания переходов. Для большинства команд перехода, адрес назначения фиксирован (и кодируется в команде). Тем не менее, существует ряд переходов, в которых адрес назначения перехода невозможно определить путем дешифрации команды. Например, при выполнении операции обработки данных, которая модифицирует программный счетчик (например, MOV, ADD или SUB), необходимо дождаться результата ALU-операции для того, чтобы узнать адрес перехода. Аналогично, если программный счетчик загружается из памяти, используя команды LDR, LDM или POP, мы не можем знать адрес назначения, пока загрузка не будет завершена. Такие переходы (часто называемые непрямыми переходами) не могут быть предсказаны на аппаратном уровне. Однако существует метод оптимизации с использованием «last-in-first-out» стека в блоке предварительной выборки. Когда выполняется команда вызова функции (BL или BLX), адрес следующей команды записывается в стек. Если встречается команда, которая может быть определена как команда возвращения из функции (BX LR, или команда извлечения стека, которая содержит программный счетчик в своем наборе регистров), мы можем спекулятивно извлечь команду из стека и начать выборку команд по этому адресу. В процессе выполнения команды возврата, аппаратура сравнивает адрес, сгенерированный командой, с адресом, предсказанным стеком. При наличии несоответствий, производится очистка конвейера и его заполнение командами по корректному адресу.

Стек возвратов имеет фиксированный размер (восемь слотов в Cortex-A9). Если конкретная кодовая последовательность содержит большое число вызовов вложенной функции, стек возвратов может предсказать только первые восемь возвратов функций. Это не имеет существенного значения, так как большинство функций не используют восемь уровней вложенности.

3.6 Блок SCU (Snoop Control Unit)

3.6.1 Общая информация

Блок SCU обеспечивает доступ от 2 процессорных ядер Cortex-A9 кластера к подсистеме памяти через интерфейсы AXI.

Функции блока SCU:

- обеспечение когерентности кэш-памяти процессорных ядер Cortex-A9;
- инициирование обращений к памяти и/или L2 кэшу;
- арбитраж запросов от ядер Cortex-A9 на доступ к L2 кэшу;
- управление запросами от порта поддержки когерентности ACP.

Примечание. Блок SCU Cortex-A9 не поддерживает аппаратное управление когерентностью кэш-памяти инструкций.

3.6.2 Мониторинг событий SCU

Возможна конфигурация отдельных мониторов событий CPU для сбора статистики работы блока SCU.

3.6.3 Регистры SCU

В Таблица 3.2 представлены регистры блока SCU. Адреса регистров указаны относительно базового адреса области памяти SCU в Таблица 3.1. Все регистры SCU адресуются с точностью до байта.

Таблица 3.2. Регистры блока SCU

Смещение	Наименование	Безопасный режим (Secure)	Небезопасный режим (Non-secure)	Начальное значение	Наличие банков
0x00	Регистр управления SCU	RW ¹⁾	RW	Определяется реализацией	нет
0x04	Конфигурационный регистр SCU	RO	RO	Определяется реализацией	нет
0x08	Регистр состояния CPU	RW ¹⁾	RW	Определяется реализацией	нет
0x0C	Регистр инвалидации в безопасном режиме	WO ¹⁾	-	0x00000000	нет
0x40	Регистр адреса начала фильтрации	RW ¹⁾	RW	Определяется сигналом FILTERSTART	нет
0x44	Регистр адреса окончания фильтрации	RW ¹⁾	RW	Определяется сигналом FILTEREND	нет

Смещение	Наименование	Безопасный режим (Secure)	Небезопасный режим (Non-secure)	Начальное значение	Наличие банков
0x50	Регистр управления доступом в безопасном режиме (SAC)	RW ¹⁾	RW	0x00000000	нет
0x54	Регистр управления доступом в небезопасном режиме (SNSAC)	RW ¹⁾	RO	0x00000000	нет

¹⁾ Регистр является доступным по записи, если установлены соответствующие биты в регистре SAC.

Примечание. Регистры блока SCU не могут быть записаны с помощью инструкций NEON STR.

3.6.3.1 Регистр управления SCU (SCU Control Register)

Характеристики регистра:

- функции:
 - разрешение упреждающего запроса на заполнение строки кэш-памяти L2;
 - разрешение принудительного переключения запросов от любого устройства в порт 0;
 - включение режима ожидания контроллера прерываний;
 - разрешение режима ожидания блока SCU;
 - включение режима совместной работы SCU и RAM;
 - включение адресной фильтрации;
 - включение блока SCU;
- ограничения:
 - регистр является доступным по записи в безопасном режиме (Secure), если установлены соответствующие биты в Регистре управления доступом в безопасном режиме;
 - регистр является доступным по записи в небезопасном режиме (Non-Secure), если установлены соответствующие биты в Регистре управления доступом в безопасном режиме и Регистре управления доступом в небезопасном режиме.

На Рисунок 3.6 представлено назначение разрядов регистра управления SCU.

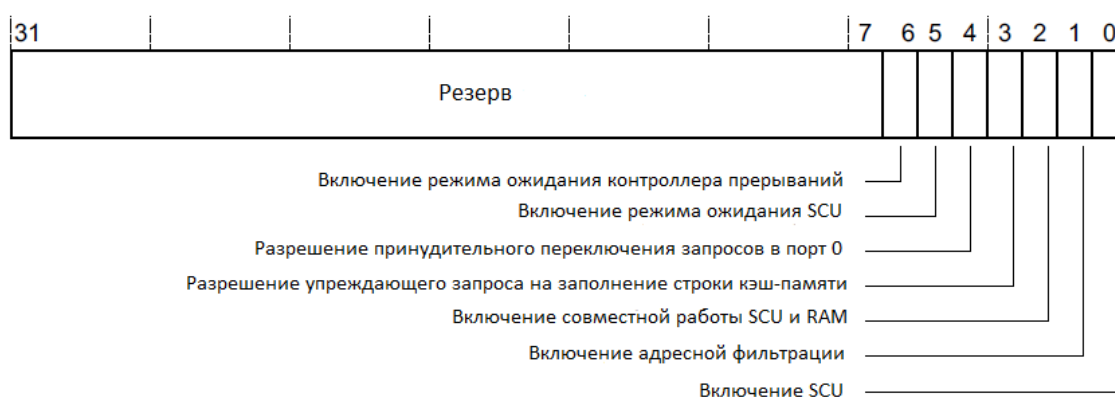


Рисунок 3.6. Назначение разрядов регистра управления SCU

В Таблица 3.3 представлено описание разрядов регистра управления SCU.

Таблица 3.3. Описание разрядов регистра управления SCU

Разряды	Наименование	Функция
[31:7]	Резерв	
[6]	Включение режима ожидания контроллера прерываний	Установка данного разряда в «1» останавливает тактовую частоту контроллера прерываний, если отсутствуют необработанные запросы на прерывание, и ни один из CPU не выполняет запрос на чтение/запись; Значение по умолчанию - 0
[5]	Включение режима ожидания SCU	Установка данного разряда в «1» приводит к выключению тактовой частоты SCU CLK, если все процессорные ядра находятся в состоянии ожидания прерывания (WFI), отсутствуют необработанные запросы ACP, и также при отсутствии текущих невыполненных задач в блоке SCU; Тактовая частота включается, в случае если процессор выходит из режима ожидания (WFI), или при наличии нового запроса от ACP; Значение по умолчанию - 0
[4]	Переключение запросов в порт 0	Установка данного разряда в «1» принудительно направляет все запросы от порта ACP или процессорных ядер по сигналу AxCACHE (некэшируемый, буферизируемый) в мастер-порт AXI M0; Значение по умолчанию - 0
[3]	Разрешение упреждающего запроса на заполнение строки кэш-памяти	Установка данного разряда в «1» разрешает упреждающий запрос на заполнение линии кэша в L2C-310 параллельно с поиском тэга. В случае промаха, запрос подтверждается, и данные забираются с шины раньше, так как был произведен упреждающий запрос данных. Значение по умолчанию - 0
[2]	Включение режима совместной работы SCU и RAMs	1 – Установка данного разряда в «1» разрешает совместную работу SCU и RAM; 0 – Запрет совместной работы SCU и RAM (значение по умолчанию)

Разряды	Наименование	Функция
[1]	Включение адресной фильтрации	1 – Установка данного разряда приводит к разрешению адресной фильтрации 0 – Запрет адресной фильтрации (значение по умолчанию)
[0]	Включение блока SCU	1 – Блок SCU включен 0 – Блок SCU выключен (значение по умолчанию)

3.6.3.2 Конфигурационный регистр SCU (SCU Configuration Register)

Функции:

- определение размеров RAM-памяти Тэгов процессорных ядер Cortex-A9;
- определение ядер Cortex-A9 участвующих в когерентности;
- определение числа процессорных ядер Cortex-A9.

Регистр доступен только для чтения.

На Рисунок 3.7 представлено назначение разрядов Конфигурационного регистра SCU.

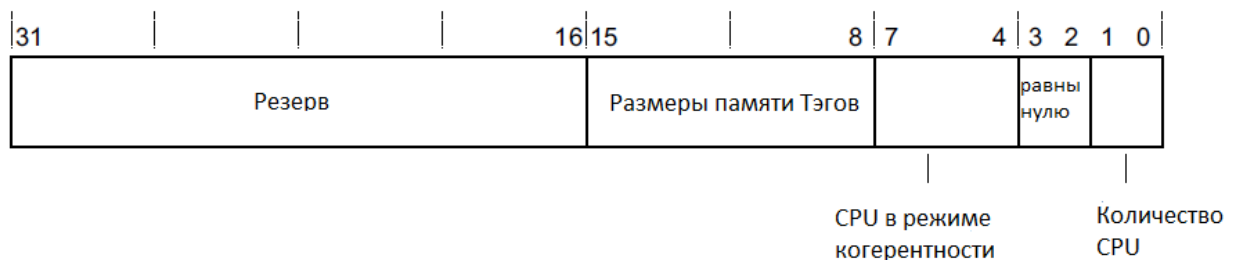


Рисунок 3.7. Назначение разрядов конфигурационного регистра SCU

В Таблица 3.4 представлено описание разрядов Конфигурационного регистра SCU.

Таблица 3.4. Описание разрядов конфигурационного регистра SCU

Разряды	Наименование	Функция
[31:16]		Резерв, должны быть равны нулю
[15:8]	Размеры памяти Тэгов	Разряды [15:14] содержат размер памяти Тэгов CPU3 Cortex-A9 (при наличии) Разряды [13:12] содержат размер памяти Тэгов CPU2 Cortex-A9 (при наличии). Разряды [11:10] содержат размер памяти Тэгов CPU1 Cortex-A9 (при наличии). Разряды [9:8] содержат размер памяти Тэгов CPU0 Cortex-A9 (при наличии). Допустимые значения: b00 – 16КВ кэш-памяти, 64 индексов на память Тэгов. b01 – 32КВ кэш-памяти, 128 индексов на память Тэгов. b10 – 64КВ кэш-памяти, 256 индексов на память Тэгов. b11 – резерв При отсутствии CPU возвращаются значения размера памяти Тэга - b00 (16КВ)

Разряды	Наименование	Функция
[7:4]	CPUs SMP	Данные разряды указывают, в каком из режимов работают процессорные ядра Cortex-A9: Симметричном многопроцессорном (SMP) или Ассимметричном многопроцессорном (AMP) режимах 0 - ядро Cortex-A9 работает в режиме AMP и не участвует в когерентности, либо отсутствует. 1 - ядро Cortex-A9 находится в режиме SMP и участвует в когерентности. Бит 7 – CPU3 Бит 6 – CPU2 Бит 5 – CPU1 Бит 4 – CPU0.
[3:2]		Резерв, должны быть равны нулю
[1:0]		Данные разряды указывают количество CPU в процессоре Cortex-A9 MPCore b00 – одно ядро Cortex-A9, CPU0. b01 – два ядра Cortex-A9, CPU0 и CPU1. b10 – три ядра Cortex-A9, CPU0, CPU1, CPU2. b11 – четыре ядра Cortex-A9, CPU0, CPU1, CPU2, CPU3.

3.6.3.3 Регистр состояния CPU (SCU CPU Power Status Register)

Функция:

- определяет состояние питания процессорных ядер Cortex-A9.

Ограничения:

- данный регистр доступен по записи в безопасном режиме, если установлен соответствующий бит в Регистре управления доступом в безопасном режиме;
- данный регистр доступен по записи в небезопасном режиме, если установлены соответствующий бит в Регистре управления доступом в безопасном режиме и Регистре управления доступом в небезопасном режиме;
- спящий режим и режим выключения питания управляются внешним контроллером питания микросхемы (PMCTR). Разряды регистра состояния CPU информируют контроллер питания о том, какие домены могут быть отключены;
- для переключения в любой из режимов (кроме Normal), процессор Cortex-A9 должен установить соответствующие флаги и, таким образом, сообщить контроллеру питания о выбранном режиме. Процессор Cortex-A9 выполняет инструкцию входа в режим WFI. После перехода процессорного ядра в режим WFI, контроллер питания микросхемы отключает домен питания процессорного ядра, если выбран режим отключения питания;
- разряды регистра состояния CPU также доступны для чтения процессору при выходе из режима «отключение питания», чтобы определить его состояние до установки сигнала сброса;
- флаги состояния процессорных ядер по сбросу устанавливаются в значения PWRCTLIn (кроме отсутствующих процессоров). Запись в поля отсутствующих процессоров не производит никаких действий.

На Рисунок 3.8 представлено назначение разрядов регистра состояния CPU.

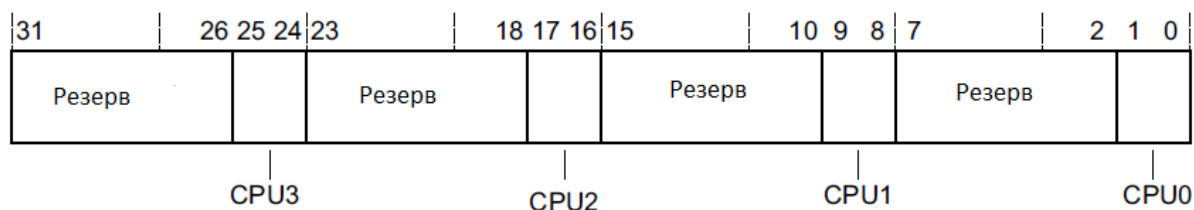


Рисунок 3.8. Назначение разрядов регистра состояния CPU

В Таблица 3.5 представлено описание разрядов регистра состояния CPU.

Таблица 3.5. Описание разрядов регистра состояния CPU

Разряды	Наименование	Функция
[31:26]	-	Резерв, должны быть равны нулю
[25:24]	Состояние CPU3	Состояние питания процессора Cortex-A9: b00 – Нормальный режим b01 – Резерв b10 – Переключается в спящий режим или находится в спящем режиме. Запрос когерентности не отправляется в Cortex-A9; b11 – Переключается или находится в режиме отключения питания (либо отсутствует). Запрос когерентности не отправляется в Cortex-A9. Значение по умолчанию - b00 (если присутствует CPU3, иначе b11)
[23:18]	-	Резерв, должны быть равны нулю
[17:16]	Состояние CPU2	Состояние питания процессора Cortex-A9: Значение по умолчанию - b00 (если присутствует CPU2, иначе b11)
[15:10]	-	Резерв, должны быть равны нулю
[9:8]	Состояние CPU1	Состояние питания процессора Cortex-A9: Значение по умолчанию - b00 (если присутствует CPU1, иначе b11)
[7:2]	-	Резерв, должны быть равны нулю
[1:0]	Состояние CPU0	Состояние питания процессора Cortex-A9: Значение по умолчанию b00 (если присутствует CPU0, иначе b11)

3.6.3.4 Регистр инвалидации в безопасном режиме (SCU Invalidate All Registers in Secure State Register)

Функция:

- инвалидация памяти Тэгов (отдельно для каждого процессора и каждого ассоциативного пути).

Ограничения:

- данный регистр аннулирует все строки в выбранных ассоциативных путях;
- регистр доступен только для записи, при чтении всегда возвращает ноль.

На Рисунок 3.9 представлено назначение разрядов регистра инвалидации в безопасном режиме.

31				16	15	12	11	8	7	4	3	0
равны нулю				ассоциатив ные пути CPU3	ассоциатив ные пути CPU 2	ассоциатив ные пути CPU 1			ассоциатив ные пути CPU 0			

Рисунок 3.9. Назначение разрядов регистра инвалидации в безопасном режиме

В Таблица 3.6 представлено описание разрядов регистра инвалидации в безопасном режиме.

Таблица 3.6. Описание разрядов регистра инвалидации в безопасном режиме

Разряды	Наименование	Функция
[31:16]	-	
[15:12]	Ассоциативные пути CPU3	Данные разряды определяют путь, который должен быть аннулирован для CPU3. Запись в эти разряды не производит никакого действия, если кластер из Cortex-A9 содержит менее 4 процессорных ядер
[11:8]	Ассоциативные пути CPU2	Данные разряды определяют путь, который должен быть аннулирован для CPU2. Запись в эти разряды не производит никакого действия, если кластер из Cortex-A9 содержит менее 3 процессорных ядер
[7:4]	Ассоциативные пути CPU1	Данные разряды определяют путь, который должен быть аннулирован для CPU1. Запись в эти разряды не производит никакого действия, если кластер из Cortex-A9 содержит менее 2 процессорных ядер
[3:0]	Ассоциативные пути CPU0	Данные разряды определяют путь, который должен быть аннулирован для CPU0.

3.6.3.5 Регистр адреса начала фильтрации (Filtering Start Address Register)

Функция:

- регистр предоставляет стартовый адрес для использования с AXI M1 в конфигурации с двумя мастер-портами.

Ограничения:

- регистр доступен по записи в безопасном режиме, если установлен соответствующий бит в Регистре управления доступом в безопасном режиме;
- регистр доступен по записи в небезопасном режиме, если установлены соответствующие биты в Регистре управления доступом в безопасном режиме и Регистре управления доступом в небезопасном режиме.

На Рисунок 3.10 представлено назначение разрядов регистра адреса начала фильтрации.

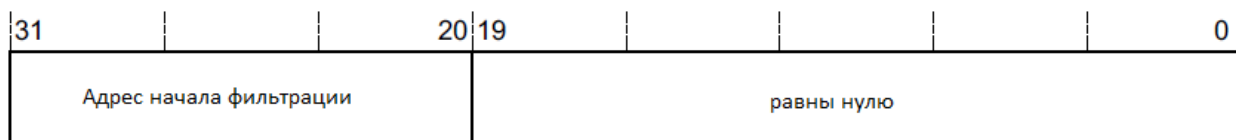


Рисунок 3.10. Назначение разрядов регистра адреса начала фильтрации

В Таблица 3.7 представлено описание разрядов регистра адреса начала фильтрации.

Таблица 3.7. Описание разрядов регистра адреса начала фильтрации

Разряды	Наименование	Функция
[31:20]	Адрес начала фильтрации	Стартовый адрес для использования с мастер-портом 1 в конфигурации с двумя мастер-портами, если включена фильтрация адреса; Значение по умолчанию – значение FILTERSTART на момент выхода из состояния сброса (старшие биты адреса, начиная с 1MB)
[19:0]	-	Должны быть равны нулю

3.6.3.6 Регистр адреса окончания фильтрации (Filtering End Address Register)

Функция:

- регистр предоставляет конечный адрес для использования с мастер-портом 1 в конфигурации с двумя мастер-портами.

Ограничения:

- регистр доступен по записи в безопасном режиме, если установлен соответствующий бит в Регистре управления доступом в безопасном режиме;
- регистр доступен по записи в небезопасном режиме, если установлены соответствующие биты в Регистре управления доступом в безопасном режиме и Регистре управления доступом в небезопасном режиме;
- старший мегабайт адресного пространства памяти может быть включен в диапазон адресов фильтрации.

На Рисунок 3.11 представлено назначение разрядов регистра адреса окончания фильтрации.

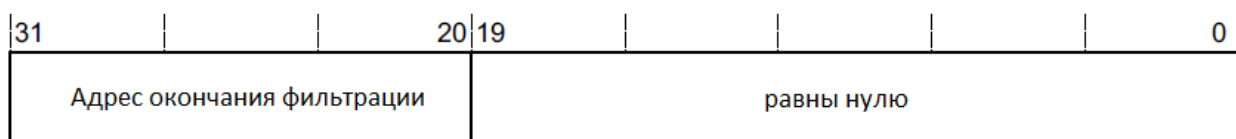


Рисунок 3.11. назначение разрядов регистра адреса окончания фильтрации

В Таблица 3.8 представлено описание разрядов регистра адреса окончания фильтрации.

Таблица 3.8. Описание разрядов регистра адреса окончания фильтрации

Разряды	Наименование	Функция
[31:20]	Адрес окончания фильтрации	Данные разряды содержат конечный адрес для использования с AXI M1 в конфигурации с двумя мастер-портами, если включена адресная фильтрация. Значение по умолчанию – значение FILTEREND на момент выхода из состояния сброса (старшие биты адреса, начиная с 1MB)
[19:0]	-	Должны быть равны нулю

3.6.3.7 Регистр управления доступом SCU в безопасном режиме (SAC)

Функция:

- управление доступом к следующим регистрам в рамках одного процессорного ядра Cortex-A9:
 - регистр управления SCU;
 - регистр состояния CPU;
 - регистр инвалидации в безопасном режиме;
 - регистр адреса начала фильтрации;
 - регистр адреса окончания фильтрации;
 - регистр управления доступом в небезопасном режиме;
- после установки настроек SCU, запись «0» в Регистр управления доступом SCU блокирует изменения настроек SCU при последующих безопасных или небезопасных доступах. Это предотвращает любые изменения настройки SCU после загрузки.

Ограничения:

- данный регистр доступен по записи в безопасном режиме, если установлен соответствующий бит в Регистре управления доступом в безопасном режиме;
- данный регистр доступен по записи в небезопасном режиме, если установлены соответствующие биты в Регистре управления доступом в безопасном режиме и Регистре управления доступом в небезопасном режиме.

На Рисунок 3.12 представлено назначение разрядов регистра управления доступом SCU в безопасном режиме.

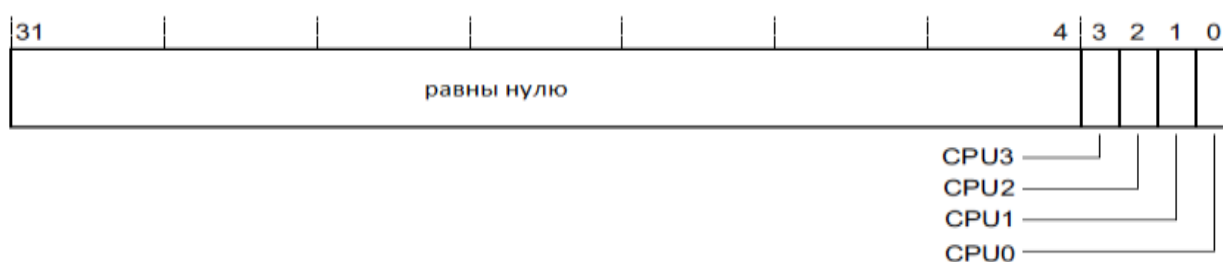


Рисунок 3.12. Назначение разрядов регистра управления доступом SCU в безопасном режиме

В Таблица 3.9 представлено описание разрядов регистра управления доступом SCU в безопасном режиме.

Таблица 3.9. Описание разрядов регистра управления доступом SCU в безопасном режиме

Разряды	Наименование	Функция
[31:4]	-	Должны быть равны нулю
[3]	CPU3	1 – разрешен доступ к регистрам* со стороны CPU3; 0 – запрещен доступ к регистрам со стороны CPU3 (значение по умолчанию)
[2]	CPU2	1 – разрешен доступ к регистрам со стороны CPU2; 0 – запрещен доступ к регистрам со стороны CPU2 (значение по умолчанию)
[1]	CPU1	1 – разрешен доступ к регистрам со стороны CPU1; 0 – запрещен доступ к регистрам со стороны CPU1 (значение по умолчанию)
[0]	CPU0	1 – разрешен доступ к регистрам со стороны CPU0; 0 – запрещен доступ к регистрам со стороны CPU0 (значение по умолчанию)

* Регистр управления доступом SCU в безопасном режиме, Регистр управления SCU, Регистр инвалидации в безопасном режиме, Регистры фильтрации, Регистр состояния CPU.

3.6.3.8 Регистр управления доступом SCU в небезопасном режиме (SNSAC)

Функции:

- управление доступом к следующим регистрам (отдельно для каждого процессорного ядра Cortex-A9):
 - регистр управления доступом SCU в безопасном режиме;
 - регистр управления SCU;
 - регистр состояния CPU;
 - регистр адреса начала фильтрации;
 - регистр адреса окончания фильтрации;
 - регистр доступа в безопасном режиме;
- управление доступами к глобальному таймеру, таймерам, и сторожевому таймеру в небезопасном режиме.

Ограничение:

- данный регистр доступен для записи в безопасном режиме, если установлен соответствующий разряд регистра управления доступом SCU в безопасном режиме.

На Рисунок 3.13 представлено назначение разрядов регистра управления доступом SCU в небезопасном режиме.

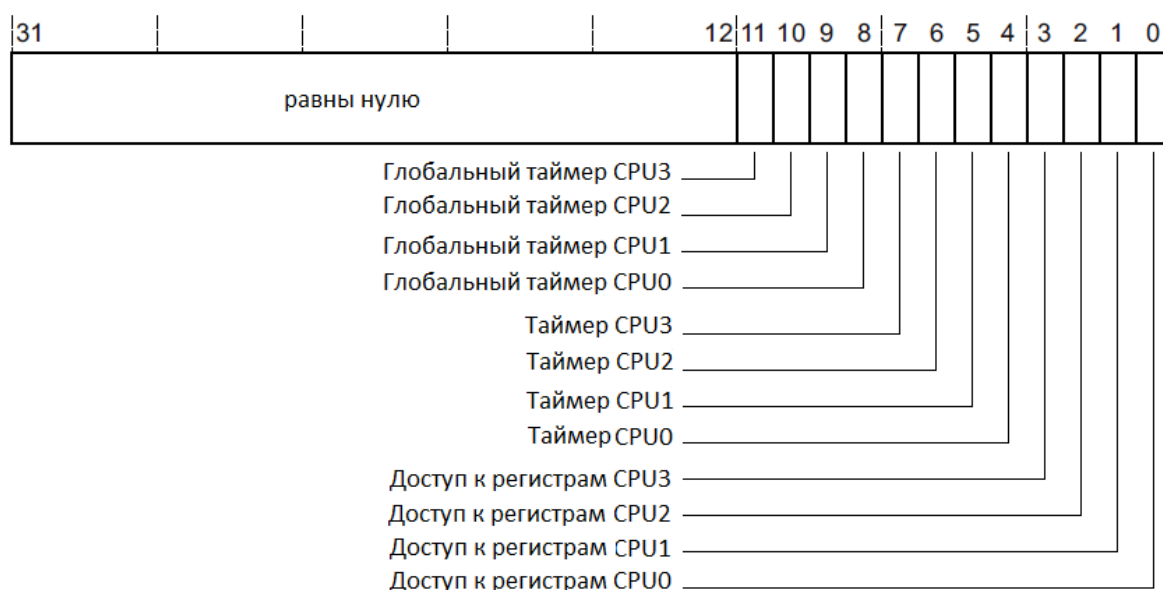


Рисунок 3.13. Назначение разрядов регистра управления доступом SCU в небезопасном режиме

В Таблица 3.10 представлено описание разрядов регистра управления доступом SCU в небезопасном режиме.

Таблица 3.10. Описание разрядов регистра управления доступом SCU в небезопасном режиме

Разряды	Наименование	Функция
[31:12]	-	Должны быть равны нулю
[11]	Глобальный таймер CPU3	Доступ к глобальному таймеру в небезопасном режиме для CPU<n>: <ul style="list-style-type: none"> • разряд [11] - <n> 3 • разряд [10] - <n> 2 • разряд [9] - <n> 1 • разряд [8] - <n> 0 0 – только безопасные доступы (значение по умолчанию); 1 – доступы в безопасном и небезопасном режимах;
[10]	Глобальный таймер CPU2	
[9]	Глобальный таймер CPU1	
[8]	Глобальный таймер CPU0	
[7]	Таймер CPU<n>	Доступ в небезопасном режиме к таймеру и сторожевому таймеру CPU<n>: <ul style="list-style-type: none"> • разряд [7] - <n> 3 • разряд [6] - <n> 2 • разряд [5] - <n> 1 • разряд [4] - <n> 0 0 – только безопасные доступы. Чтение в небезопасном режиме возвращает «0» (значение по умолчанию); 1 – доступы в безопасном и небезопасном режиме;
[6]		
[5]		
[4]		
[3]	Доступ к регистрам со стороны CPU<n>	Доступ к регистрам в небезопасном режиме для CPU<n>. <ul style="list-style-type: none"> • [3] <n> - 3 • [2] <n> - 2 • [1] <n> - 1 • [0] <n> - 0 0 – доступ CPU к регистрам* запрещен; 1 – доступ CPU к регистрам* разрешен;
[2]		
[1]		
[0]		

* Регистр управления доступом SCU в безопасном режиме, Регистр управления SCU, Регистры фильтрации, Регистр состояния.

3.7 Контроллер прерываний

3.7.1 Общая информация

Контроллер прерываний – это функциональный блок в составе многопроцессорного кластера MPU Cortex-A9, который отвечает за централизацию запросов от всех источников прерывания и распределение их по отдельным процессорным ядрам. Каждое ядро имеет свой интерфейс прерываний. Контроллер прерываний отображается на карте памяти. Доступ процессорных ядер к контроллеру прерываний осуществляется по индивидуальному интерфейсу через блок SCU.

3.7.1.1 Источники прерываний

Все прерывания, поступающие в блок распределения, делятся на следующие типы по своему источнику:

1. Программные прерывания, (SGI).

Каждое процессорное ядро Cortex-A9 имеет собственный набор прерываний (ID0-ID15), которые генерируются только программным способом. Прерывания этого типа переименовываются. Приоритет программных прерываний определяется значением, которое устанавливается принимающим процессором в регистрах приоритета программных прерываний.

2. Глобальный таймер, PPI(0).

Глобальный таймер использует идентификатор ID27.

3. Режим legacy, линия nFIQ, PPI(1).

В режиме legacy FIQ, по линии legacy nFIQ (отдельно для каждого ядра) запросы на прерывания отправляются напрямую в процессорное ядро без учета логики распределения.

Если в режиме legacy процессорное ядро включает свой собственный интерфейс прерываний и использует контроллер прерываний вместо линии legacy, legacy nFIQ воспринимается как все остальные линии прерываний и использует идентификатор ID28.

4. Таймер, PPI(2).

Каждое процессорное ядро Cortex-A9 имеет собственные таймеры, которые могут генерировать прерывания, используя идентификатор ID29.

5. Сторожевые таймеры PPI(3).

Каждое процессорное ядро Cortex-A9 имеет собственные сторожевые таймеры, которые генерируют прерывания, используя ID30.

6. Режим legacy, линия nIRQ, PPI(4).

В режиме legacy IRQ, по линии nIRQ (отдельно для каждого ядра) запросы на прерывания отправляются напрямую в процессорное ядро без учета логики распределения. Если в режиме legacy процессорное ядро включает свой собственный интерфейс и использует Контроллер прерываний вместо линии legacy, legacy nIRQ воспринимается как все остальные линии прерываний и использует идентификатор ID31.

7. Общие внешние прерывания (SPI).

Общие внешние прерывания вырабатываются событиями (сигналами), установленными в соответствующих входных линиях прерывания. Контроллер прерываний поддерживает до 224 входных линий. Запросы прерываний, поступающие по входным линиям, могут устанавливаться по фронту сигнала или по его уровню. Начало диапазона идентификаторов общих внешних прерываний - ID32.

Уникальный номер идентификатора запроса (ID) позволяет определить источник прерываний, за исключением переименованных программных прерываний, которые определяются по CPU источнику.

Все источники прерываний имеют собственный настраиваемый приоритет.

Все источники прерываний (кроме программных прерываний и таймеров) также имеют собственный настраиваемый перечень CPU для распределения прерываний, то есть перечень процессорных ядер, которым отправляется запрос на прерывание от распределителя.

3.7.1.2 Порядок распределения прерываний

1. Прерывания с самым высоким приоритетом имеют наименьшее значение в регистре приоритета прерываний (ICDIPTR).
2. Прерывания, имеющие одинаковый приоритет распределяются в соответствии с номером идентификатора ID. Прерывания с меньшим номером ID обрабатываются первыми.
3. Для переименованных программных прерываний с одинаковым приоритетом и одинаковым номером ID, арбитраж производится по номеру CPU источника прерывания, в первую очередь распределяются запросы от CPU с меньшим номером.

Прерывание, адресованное нескольким процессорным ядрам, может быть получено только одним ядром за раз.

3.7.1.3 Модель обработки прерываний в кластере ядер Cortex-A9 MPU

В многопроцессорных системах (с двумя и более ядрами), в случае если прерывание получено несколькими процессорными ядрами, идентификатор прерывания будет прочитан только одним ядром. Это позволяет избежать использования блокировки в обработчике прерываний.

При чтении регистра ICCIAR одним процессорным ядром, остальные ядра получают значение ложного идентификатора, либо идентификатор другого прерывания, ожидающего обработки.

3.7.2 Поддержка расширений безопасности

Контроллер прерываний определяет каждое реализуемое прерывание как безопасное или небезопасное.

Для безопасных прерываний могут использоваться линии IRQ или FIQ, для этого необходимо установить разряд FIQen в регистре ICPICR. Для небезопасных прерываний всегда используется линия IRQ.

3.7.2.1 Формат приоритетов

Процессорное ядро Cortex-A9 реализует 5-битную версию формата приоритетов *ARM Generic Interrupt Controller Architecture Specification*. В небезопасном режиме отображаются только 4 бита формата приоритетов.

3.7.2.2 Сигнал CFGSDISABLE

Подача сигнала CFGSDISABLE блокирует запись в конфигурационные регистры. С помощью данного сигнала блокируется запись в регистры управления безопасным режимом в интерфейсах блока распределения и процессорного ядра Cortex-A9, а также осуществляется управление общими внешними прерываниями с фиксацией настроек (LSPI) в Контроллере прерываний.

В реализации кластера в данной микросхеме сигнал CFGSDISABLE всегда снят.

3.7.3 Описание регистров блока распределения прерываний

В данном разделе приводится описание регистров блока распределения прерываний. Регистры, не представленные в таблице, при чтении возвращают ноль, запись данные регистры игнорируется.

Регистры ICDIPR и ICDIPTR адресуются побайтово и пословно. Доступ ко всем остальным регистрам, представленным в Таблица 3.11, осуществляется только пословно.

Таблица 3.11. Регистры блока распределения прерываний

Смещение	Наименование	Тип	Начальное значение	Размер (биты)	Функция
0x000	ICDDCR	RW	0x00000000	32	Регистр управления распределителем
0x004	ICDICTR	RO	определяется реализацией	32	Регистр типа контроллера прерываний

Смещение	Наименование	Тип	Начальное значение	Размер (биты)	Функция
0x008	ICDIIDR	RO	0x0102043B	32	Регистр идентификации реализации контроллера
0x00C - 0x07C	-	-	-	-	Резерв
0x080 - 0x09C	ICDISRn	RW ¹⁾	0x00000000	32	Регистры безопасности прерываний
0x100 - 0x11C	ICDISERn	RW	0x0000FFFF 0x00000000	32	Регистры разрешения прерываний
0x180 - 0x19C	ICDICERn	RW	0x0000FFFF 0x00000000	32	Регистры запрещения прерываний
0x200 - 0x27C	ICDISPRn	RW	0x00000000	32	Регистры установки запросов прерываний
0x280 - 0x29C	ICDICPRn	RW	0x00000000	32	Регистры сброса запросов прерываний
0x300 - 0x31C	ICDABRn	RO	0x00000000	32	Регистры активных прерываний
0x380 - 0x3FC	-	-	-	-	Резерв
0x400 - 0x4FC	ICDIPRn	RW	0x00000000	32	Регистры приоритетов прерываний
0x7FC	-	-	-	-	Резерв
0x800 - 0x8FC	ICDIPTRn	RW	0x00000000	32	Регистры распределения прерываний по процессорам
0xBFC	-	-	-	-	Резерв
0xC00 - 0xC3C	ICDICFRn		0xAAAAAAAA 0x7DC00000 0x55555555 ²⁾	32	Регистры настройки прерываний
0xD00	ICPPISR		0x00000000	32	Регистр статуса внешних прерываний PPI
0xD04 - 0xD1C	ICSPISRn		0x00000000	32	Регистр статуса общих внешних прерываний SPI
0xD80 - 0xEFC	-	-	-	-	Резерв
0xF00	ICDSGIR		-		Регистр программных прерываний
0xF04 - 0xFCC	-	-	-	-	Резерв
0xFD0	ICPIDR0		0x4	8	Регистр идентификации (Peripheral ID0)
0xFD4	ICPIDR1		0x0	8	Регистр идентификации Peripheral ID1
0xFD8	ICPIDR2		0x0	8	Регистр идентификации (Peripheral ID2)
0xFDC	ICPIDR3		0x0	8	Регистр идентификации (Peripheral ID3)
0xFE0	ICPIDR4		0x90	8	Регистр идентификации (Peripheral ID4)
0xFE4	ICPIDR5		0xB3	8	Регистр идентификации (Peripheral ID5)
0xFE8	ICPIDR6		0x1B	8	Регистр идентификации (Peripheral ID6)
0xFEC	ICPIDR7		0x0	8	Регистр идентификации (Peripheral ID7)

Смещение	Наименование	Тип	Начальное значение	Размер (биты)	Функция
0xFF0	ICCIDR0		0xD	8	Регистр идентификации (Component ID0)
0xFF4	ICCIDR1		0xF0	8	Регистр идентификации (Component ID1)
0xFF8	ICCIDR2		0x5	8	Регистр идентификации (Component ID2)
0xFFC	ICCIDR3		0xB1	8	Регистр идентификации (Component ID3)
¹⁾ Доступ к регистру должен осуществляться только в безопасном режиме. ²⁾ Начальное значение 0x55555555, если присутствуют соответствующие прерывания, иначе 0x00000000					

3.7.3.1 Регистр управления блоком распределения прерываний (ICDDCR)

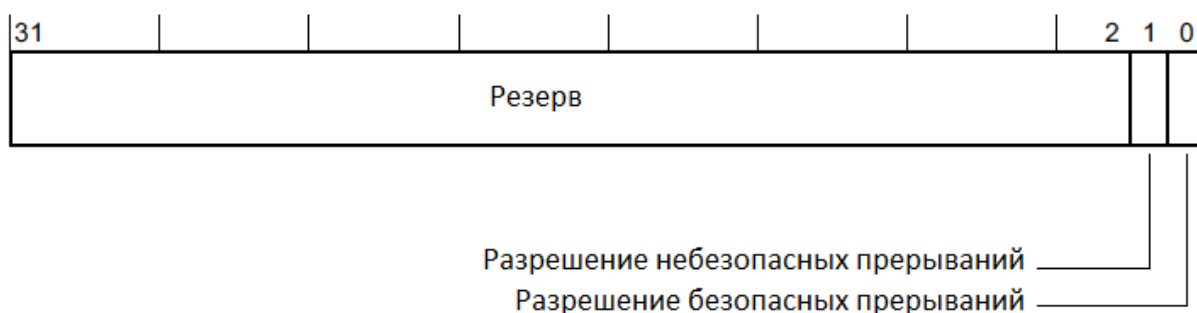


Рисунок 3.14. Описание разрядов регистра ICDDCR для безопасных обращений

В Таблица 3.12 представлено описание разрядов регистра управления блока распределения прерываний.

Таблица 3.12. Описание разрядов регистра ICDDCR для безопасных обращений

Разряды	Наименование	Функция
[31:2]	-	Резерв
[1]	Разрешение небезопасных прерываний	0 – Запрещает изменение состояния бит управления небезопасными прерываниями в распределителе в результате изменения состояния сигналов SPI или PPI; 1 – Разрешает обновление адреса регистра распределителем для небезопасных прерываний;
[0]	Разрешение безопасных прерываний	0 – Запрещает изменение состояния бит управления безопасными прерываниями в распределителе в результате изменения внешнего воздействия, на соответствующие сигналы SPI или PPI; 1 – Разрешает обновление адреса регистра распределителем для безопасных прерываний

На Рисунок 3.15 представлено назначение разрядов регистра ICDDCR для небезопасных обращений



Рисунок 3.15. Описание разрядов регистра управления распределителем для небезопасных обращений

В Таблица 3.13 представлено описание разрядов регистра ICDDCR для небезопасных обращений.

Таблица 3.13. Описание разрядов регистра ICDDCR для небезопасных обращений

Разряды	Наименование	Функция
[31:1]	–	Резерв
[0]	Разрешение безопасных прерываний	0 – Запрещает изменение состояния бит управления небезопасными прерываниями в распределителе в результате изменению состояния соответствующих сигналов SPI или PPI. 1 - Разрешает обновление адреса регистра распределителем для небезопасных прерываний

3.7.3.2 Регистр типа контроллера прерываний (ICDICTR)

Регистр предоставляет информацию о конфигурации контроллера прерываний;

На Рисунок 3.16 представлено назначение разрядов регистра типа контроллера прерываний.



Рисунок 3.16. Назначение разрядов регистра типа контроллера прерываний

В Таблица 3.14 представлено описание разрядов регистра типа контроллера прерываний.

Таблица 3.14. Описание разрядов регистра типа контроллера прерываний

Разряды	Наименование	Функция
[31:16]	-	Резерв
[15:11]	Прерывания LSPI	Указывает количество Общих внешних прерываний с фиксацией настроек (LSPI) контроллера. Возможные значения: b11111 31- LSPI с номерами 32-62. Если сигнал CFGSDISABLE установлен в высокий уровень, контроллер прерываний запрещает запись в любой регистр, который управляет состоянием прерывания LSPI.

Разряды	Наименование	Функция
[10]	Расширение безопасности	Указывает количество областей безопасности контроллера: 1 - Контроллер содержит две области безопасности. Значение бита всегда равно «1»
[9:8]	-	Резерв
[7:5]	Количество CPU	Возможные значения: b000 – Конфигурация Cortex-A9 MPCore содержит одно процессорное ядро; b001 – Конфигурация Cortex-A9 MPCore содержит два процессорных ядра; b010 – Конфигурация Cortex-A9 MPCore содержит три процессорных ядра; b011 – Конфигурация Cortex-A9 MPCore содержит четыре процессорных ядра; b1xx – не используются;
[4:0]	Количество линий прерываний	Возможные значения: b00000 – 32 прерывания*, 0 внешних линий прерываний; b00001 – 64 прерывания, 32 внешних линий прерываний; b00010 – 96 прерывания, 64 внешних линий прерываний; b00011 – 128 прерывания, 96 внешних линий прерываний; b00100 – 160 прерывания, 128 внешних линий прерываний; b00101 – 192 прерывания, 160 внешних линий прерываний; b00110 – 224 прерывания, 192 внешних линий прерываний; b00111 – 256 прерывания, 224 внешних линий прерываний; Остальные значения не используются;
* Для прерываний SGI и PPI всегда используются прерывания идентификаторы (ID) от 0 до 31.		

3.7.3.3 Регистр идентификации реализации контроллера (ICDIHDR)

Регистр предоставляет информацию о разработчике и ревизии контроллера прерываний.

На Рисунок 3.17 представлено назначение разрядов регистра идентификации реализации контроллера.



Рисунок 3.17. Назначение разрядов регистра идентификации реализации контроллера

В Таблица 3.15 представлено описание разрядов регистра идентификации реализации контроллера.

Таблица 3.15. Описание разрядов регистра идентификации реализации контроллера

Разряды	Значение	Наименование	Функция
[31:24]	0x01	Номер реализации	Указывает номер версии реализации контроллера
[23:12]	0x020	Номер ревизии	Указывает номер ревизии контроллера
[11:0]	0x43B	Номер разработки	Указывает номер разработки контроллера

3.7.3.4 Регистры разрешения прерываний (Interrupt Set-Enable Registers)

Данный раздел содержит описание характеристик регистров ICDISERn. В процессорах Cortex-A9 MPCore, программные прерывания (SGI) всегда разрешены. При чтении соответствующие разряды регистров ICDISERn возвращают значение «1», запись игнорируется.

3.7.3.5 Регистры запрещения прерываний (Interrupt Clear-Enable Registers)

Данный раздел содержит описание определяемых реализацией характеристик регистров ICDICERn. В процессорах Cortex-A9 MPCore, программные прерывания (SGI) всегда разрешены. При чтении соответствующие разряды регистров ICDICERn возвращают значение «1», запись игнорируется.

3.7.3.6 Interrupt Processor Targets Registers

Данный раздел содержит описание определяемых реализацией характеристик регистров ICDIPTRn. В однопроцессорных систем Cortex-A9 при чтении регистры возвращают значение «0», запись игнорируется. Любое прерывание направляется одному процессору.

В многопроцессорных системах Cortex-A9, если в поле, соответствующее определенному прерыванию SPI записан ноль, данное прерывание не может быть поставлено в очередь на исполнение, ни аппаратным способом, ни с помощью записи в Регистр установки запросов прерываний (ICDISPRn).

3.7.3.7 Регистр настройки прерываний (ICDICFR)

Данный раздел содержит описание характеристик регистра ICDICFR. Каждая пара разрядов предоставляет информацию о настройках определенного прерывания. Параметры каждой пары разрядов зависят от типа прерывания:

- SGI – разряды доступны только для чтения, при чтении пара разрядов возвращает значение b10;
- PPI – разряды доступны только для чтения;
- PPI[1] и [4]:b01 – прерывание по низкому уровню сигнала;
- PPI[0], [2], and [3]:b11 – прерывание по положительному фронту сигнала;
- SPI – наименьший значимый разряд пары разрядов доступен только для чтения и всегда возвращает значение b1; запись в наибольший значимый разряд пары изменяет тип срабатывания прерывания по уровню сигнала:
 - b01 – прерывание по высокому уровню сигнала;
 - b11 – прерывание по положительному фронту сигнала.

Поддерживается 31 прерываний с фиксацией настроек (LSPI), с 32 по 62. После установки настроек данных регистров дальнейшие изменения настроек блокируются с помощью

сигнала CFGSDISABLE. Фиксация настроек поддерживается только при наличии прерываний SPI.

3.7.3.8 Регистр статуса внешних прерываний PPI (ICPPISR)

Регистр предоставляет информацию процессорному ядру Cortex-A9 о статусе сигналов на входе распределителя:

- PPI(4) – прерывания nIRQ<n>;
- PPI(3) – прерывания от сторожевых таймеров;
- PPI(2) – прерывания от таймеров;
- PPI(1) – прерывания nFIQ<n>;
- PPI(0) – прерывания от глобального таймера.

Ограничение:

- процессорное ядро может получить информацию о статусе только собственных внешних прерываний (PPI), и не читает статус прерываний других процессорных ядер.

На Рисунок 3.18 представлено назначение разрядов Регистр статуса внешних прерываний PPI.

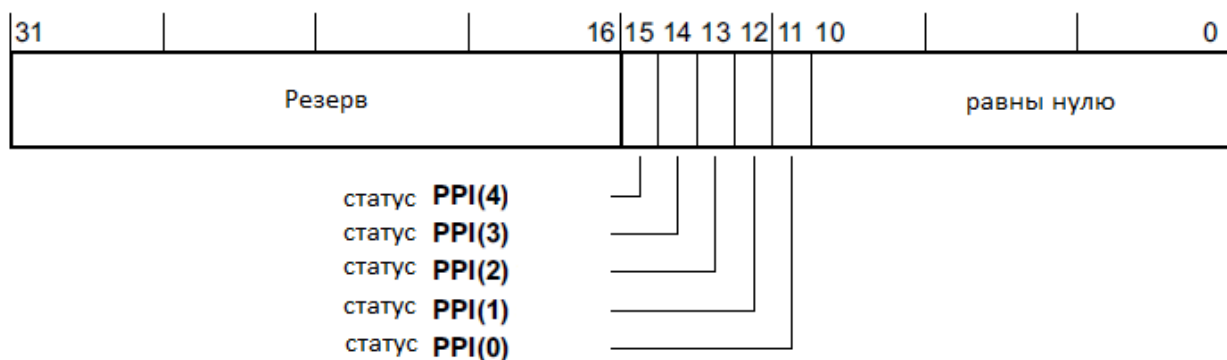


Рисунок 3.18. Назначение разрядов Регистр статуса внешних прерываний PPI

В Таблица 3.16 представлено описание разрядов Регистр статуса внешних прерываний PPI.

Таблица 3.16. Описание разрядов регистра статуса внешних прерываний PPI

Разряды	Наименование	Функция
[31:16]	–	Резерв

Разряды	Наименование	Функция
[15:11]	ppi_status	Чтение данного разряда возвращает статус прерываний PPI(4:0) в распределителе: <ul style="list-style-type: none"> • PPI[4] – прерывание nIRQ; • PPI[3] – прерывание от сторожевого таймера; • PPI[2] – прерывание от таймера; • PPI[1] – прерывание nFIQ; • PPI[0] – прерывание от глобального таймера; PPI[1] и PPI[4] срабатывают по низкому уровню сигнала; PPI[0], PPI[2] и PPI[3] срабатывают по высокому уровню сигнала; <p>Примечание. Данные разряды возвращают текущее значение сигналов PPI(4:0). Регистры ICDISPRn и ICDICPRn также могут предоставлять информацию о статусе PPI(4:0), но так как эти регистры доступны по записи, они могут не содержать текущее значение сигналов PPI(4:0).</p>
[10:0]	–	Должны быть равны нулю

3.7.3.9 Регистры статуса общих внешних прерываний SPI (ICSPISRn)

Регистр предоставляет информацию процессорному ядру Cortex-A9 о состоянии сигналов IRQS[N:0] на входе распределителя.

На Рисунок 3.19 представлено назначение разрядов Регистров статуса общих внешних прерываний SPI.

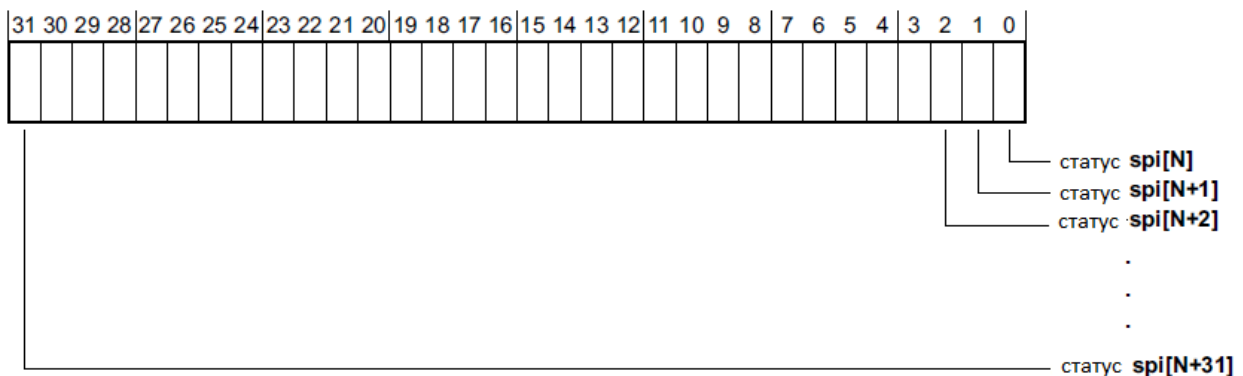


Рисунок 3.19. Назначение разрядов Регистров статуса общих внешних прерываний SPI

Таблица 3.17. Описание разрядов Регистров статуса общих внешних прерываний SPI

Разряды	Наименование	Функция
[31:0]	spi_status	Данные разряды при чтении возвращают состояние сигналов IRQS[N:0] на входе распределителя: <ul style="list-style-type: none"> Если разряд [X] = 0, сигнал IRQS[X] LOW; Если разряд [X] = 1 IRQS[X] сигнал HIGH; <p>Примечание. Прерывание IRQS, соответствующее значению X, зависит от позиции разряда и смещения базового адреса регистра spi_status, как показано на Рисунок 3.20.</p> Данные разряды возвращают текущее состояние сигналов IRQS. Регистры pending_set и pending_clr также могут предоставить информацию о состоянии сигналов IRQS но так как эти регистры доступны по записи, они могут не содержать текущее значение сигналов IRQS.

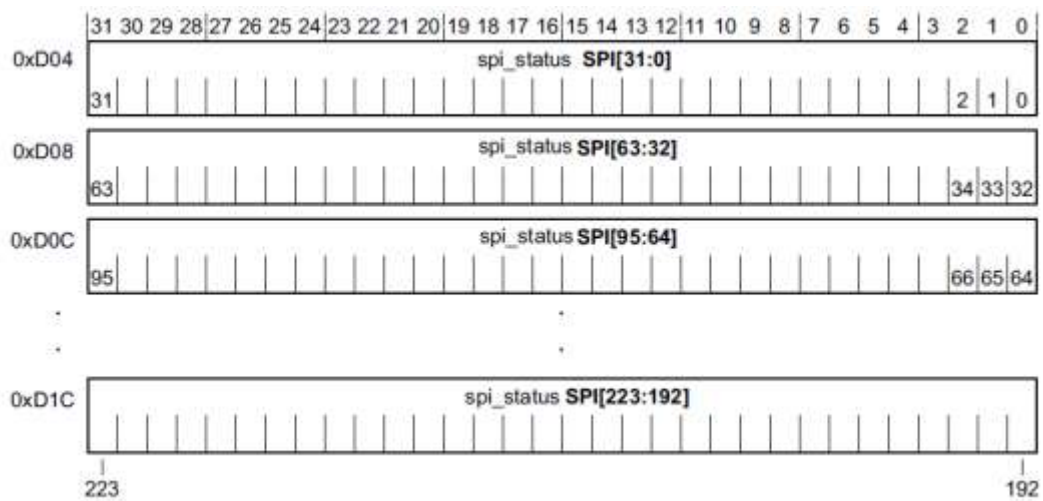


Рисунок 3.20. Адреса регистров статуса общих внешних прерываний SPI (ICSPISRn)

На Рисунок 3.20 значения SPI доступны только для чтения. Данные регистры содержат значения SPI для соответствующих интерфейсов Cortex-A9. Распределитель поддерживает до 7 регистров.

Если в конфигурации контроллера прерываний используется меньше 224 прерываний SPI, соответственно уменьшается количество регистров. Для адресов, в которых не реализованы прерывания:

- запись в соответствующие разряды игнорируется;
- при чтении возвращается ноль.

3.7.4 Описание регистров процессорного интерфейса

В данном разделе представлены регистры интерфейса прерываний каждого процессорного ядра Cortex-A9.

В Таблица 3.18 представлены регистры процессорного интерфейса.

Таблица 3.18. Регистры процессорного интерфейса

Базовый адрес	Наименование	Тип	Начальное значение	Размер (биты)	Функция
0x000	ICCICR	RW	0x00000000	32	Регистр управления интерфейса CPU
0x004	ICCPMR	RW	0x00000000	32	Регистр приоритета маскирования
0x008	ICCBPR	RW	0x2 0x3	32	Регистр управления группировкой приоритетов
0x00C	ICCIAR	RO	0x000003FF	32	Регистр подтверждения прерывания
0x010	ICCEOIR	WO	–	32	Регистр окончания обработки прерывания

Базовый адрес	Наименование	Тип	Начальное значение	Размер (биты)	Функция
0x014	ICCRPR	RO	0x000000FF	32	Регистр приоритета текущего прерывания
0x018	ICCHPIR	RO	0x000003FF	32	Регистр наиболее приоритетного прерывания ожидающего обработки
0x01C *	ICCABPR	RW	0x3	32	Регистр управления группировкой приоритетов (Aliased Non-secure)
0xFC	ICCIDR	RO	0x3901243B	32	Регистр идентификации процессорного интерфейса

* Адрес доступен только при выполнении безопасного доступа

3.7.4.1 Регистр идентификации разработчика процессорного интерфейса (ICCIDR)

Регистр предоставляет информацию о разработчике ревизии контроллера прерываний.

На Рисунок 3.21 представлено назначение разрядов Регистров идентификации разработчика процессорного интерфейса.

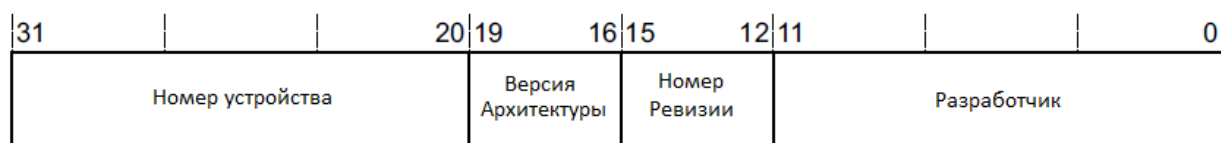


Рисунок 3.21. Назначение разрядов регистров идентификации разработчика процессорного интерфейса

Таблица 3.19. Описание разрядов регистра идентификации разработчика процессорного интерфейса

Разряды	Значение	Наименование	Функция
[31:20]	0x390	Код устройства	Указывает периферийное устройство
[19:16]	0x1	Версия архитектуры	Указывает версию архитектуры
[15:12]	0x2	Номер ревизии	Номер ревизии контроллера прерывания, определяется разработчиком
[11:0]	0x43B	Разработчик	Указывает код JEP106 разработчика, реализовавшего RTL Структура поля: [11:8] – продолжение кода разработчика JEP106 [7] – 0 [6:0] – код разработчика JEP106

3.8 Глобальные таймеры

3.8.1 Таймеры и сторожевые таймеры

Характеристики:

- все таймеры 32-разрядные, выдают прерывание по достижению нуля;
- 8-разрядный делитель частоты;
- режимы работы: однократный и режим перезагрузки;
- конфигурируемые стартовые значения счетчика;
- каждый таймер тактируется частотой PERIPHCLK*.

Сторожевой таймер может использоваться в качестве таймера.

*PERIPHCLK – внутренняя частота таймера, равная половине частоты ядра процессора (MPUCLK)

3.8.2 Интервалы таймера

Интервал таймера рассчитывается по следующей формуле:

$$\left(\frac{(\text{PRESCALER_value}+1) \times (\text{Load_value}+1)}{\text{PERIPHCLK}} \right)$$

Данная формула используется для вычисления интервала между двумя событиями, формируемыми таймером или сторожевым таймером.

3.8.3 Расширения безопасности

Для информации об использовании таймеров в безопасном и небезопасном режимах см. 3.6.3.8 Регистр управления доступом SCU в небезопасном режиме.

3.8.4 Регистры таймеров и сторожевых таймеров

Адреса регистров указаны относительно базового адреса области таймера и сторожевого таймера, определяемого картой памяти процессорного ядра. Все регистры таймеров и сторожевых таймеров адресуются пословно.

В Таблица 3.20 представлены регистры таймеров и сторожевых таймеров. Регистры, не указанные в Таблица 3.20, зарезервированы.

Таблица 3.20. Регистры таймеров и сторожевых таймеров

Смещение	Тип	Начальное значение	Функция
0x00	RW	0x00000000	Регистр загрузки таймера
0x04	RW	0x00000000	Регистр счетчика таймера
0x08	RW	0x00000000	Регистр управления таймера
0x0C	RW	0x00000000	Регистр статуса прерывания таймера
0x20	RW	0x00000000	Регистр загрузки сторожевого таймера
0x24	RW	0x00000000	Регистр счетчика сторожевого таймера
0x28	RW	0x00000000	Регистр управления сторожевого таймера
0x2C	RW	0x00000000	Регистр статуса прерывания сторожевого таймера
0x30	RW	0x00000000	Регистр сброса сторожевого таймера
0x34	WO	-	Регистр выключения сторожевого таймера

Примечание. При переходе ядра в состояние отладки, соответствующий таймер останавливается.

3.8.4.1 Регистр загрузки таймера (Private Timer Load Register)

Регистр загрузки таймера содержит значение, которое загружается в регистр счетчика таймера по достижению им нуля. Запись в регистр загрузки таймера означает запись в регистр счетчика таймера.

3.8.4.2 Регистр счетчика таймера (Private Timer Counter Register)

Регистр счетчика таймера является обратным счетчиком, значение которого декрементируется при включении таймера соответствующим разрядом в регистре управления таймера. Если ядро находится в режиме отладки, счетчик начинает обратный отсчет только по выходу ядра из состояния отладки. При включенном режиме перезагрузки, регистр счетчика таймера по достижении нуля перезагружается значением из регистра загрузки таймера, и далее начинает обратный отсчет от загруженного значения. При отключенном режиме перезагрузки, регистр счетчика таймера декрементируется до нуля и останавливается. По достижению нуля, счетчик устанавливает флаг статуса прерывания таймера, и прерывание номер 29 становится в очередь на исполнение в распределителе прерываний, если прерывания разрешены в регистре управления таймера. При записи в регистр счетчика таймера или регистр загрузки таймера, отсчет начинается с нового записанного значения.

3.8.4.3 Регистр управления таймера (Private Timer Control Register)

На Рисунок 3.22 представлено назначение разрядов регистра управления таймера.

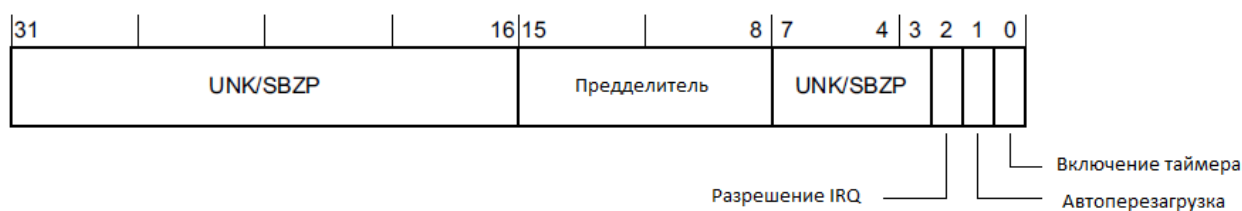


Рисунок 3.22. Назначение разрядов регистра управления таймера

В Таблица 3.21 представлено описание разрядов регистра управления таймера.

Таблица 3.21. Описание разрядов регистра управления таймера

Разряды	Наименование	Функция
[31:16]	-	UNK/SBZP
[15:8]	Делитель частоты	Делитель частоты изменяет тактовый период, который влияет на формирование признака декрементации регистра счетчика
[7:3]	-	UNK/SBZP.
[2]	Разрешение IRQ	При установке данного бита, прерывание 29 устанавливается в очередь на исполнение в распределителе прерываний, когда устанавливается флаг события в регистре статуса таймера
[1]	Перезагрузка таймера	0 – Однократный режим. Счетчик декрементируется до нуля и останавливается, устанавливается флаг события. 1 – Режим перезагрузки. При достижении нуля регистр счетчика перезагружается значением из регистра загрузки таймера
[0]	Включение таймера	Включение таймера: 0 – Таймер выключен, и счетчик не декрементируется. Все регистры остаются доступными для чтения и записи. 1 – Таймер включен, и счетчик декрементируется в нормальном режиме.

Таймер инкрементируется на единицу каждый раз, когда значение делителя частоты переполняется. Например, если значение делителя частоты равно «5», глобальный таймер инкрементируется каждые шесть тактов. Опорная частота – частота работы ядра.

3.8.4.4 Регистр статуса прерываний таймера (Private Timer Interrupt Status Register)

На Рисунок 3.23 представлено назначение разрядов регистра статуса прерываний таймера.

Регистр является банкированным для всех ядер.

Флаг событий - это разряд, требующий принудительного сброса, который автоматически устанавливается при достижении нуля регистром счетчика.

Если разрешены прерывания таймера, прерывание 29 устанавливается в очередь на исполнение в распределителе прерываний после установки флага события. Для очистки флага событий, в данный разряд записывается единица.

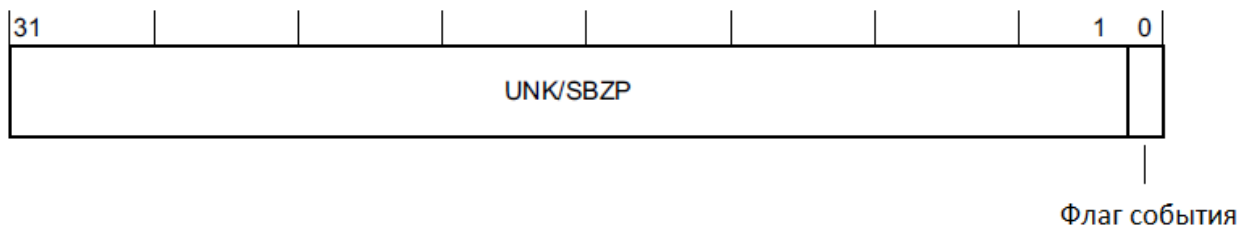


Рисунок 3.23. Назначение разрядов регистра статуса прерываний таймера

3.8.4.5 Регистр загрузки сторожевого таймера (Watchdog Load Register)

Регистр загрузки сторожевого таймера содержит значение, которое загружается в регистр счетчика сторожевого таймера, когда он достигает значения «0» при включенном режиме автоперезагрузки в режиме таймера. Запись в регистр загрузки сторожевого таймера означает запись в регистр счетчика сторожевого таймера.

3.8.4.6 Регистр счетчика сторожевого таймера (Watchdog Counter Register)

Регистр счетчика сторожевого таймера – вычитающий счетчик, значение которого декрементируется при включении сторожевого таймера соответствующим разрядом регистра управления сторожевого таймера. Если процессорное ядро, к которому относится сторожевой таймер, находится в режиме отладки, счетчик не декрементируется до выхода процессорного ядра из состояния отладки.

По достижению нуля в регистре счетчика сторожевого таймера при включенном режиме перезагрузки в режиме таймера, счетчик перезагружается значением из регистра загрузки сторожевого таймера и начинает новый отсчет. Если режим перезагрузки не включен, или сторожевой таймер находится не в режиме таймера, регистр счетчика сторожевого таймера декрементируется до нуля и останавливается.

В режиме сторожевого таймера значение регистра счетчика сторожевого таймера обновляется только путем записи в Регистр загрузки сторожевого таймера. В режиме таймера регистр счетчика сторожевого таймера доступен по записи.

Режим работы сторожевого таймера определяет его поведение при достижении нуля Регистром счетчика сторожевого таймера.

Режим таймера:

Когда регистр сторожевого Счетчика достигает нуля, устанавливается флаг прерывания сторожевого таймера и прерывание 30 становится в очередь на исполнение в Распределителе прерываний, если прерывания разрешены в Регистре управления сторожевым таймером.

Режим сторожевого таймера:

Если программный сбой препятствует обновлению значения регистра счетчика сторожевого таймера, сторожевой счетчик достигает нуля, устанавливается флаг статуса сброса сторожевого таймера, и на один такт опорной частоты выставляется запрос на сброс по связанному сигналу WDRESETREQ. Далее внешний источник сброса отвечает за частичный или полный сброс кластер процессорных ядер Cortex-A9 MPCore.

3.8.4.7 Регистр управления сторожевого таймера (Watchdog Control Register)

На Рисунок 3.24 представлено назначение разрядов регистра управления сторожевого таймера.

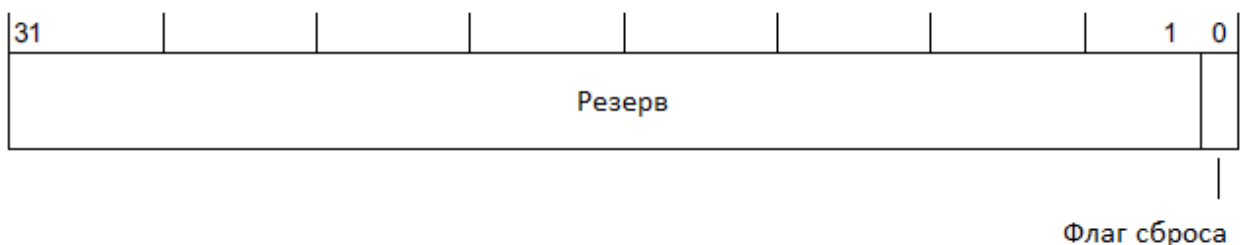


Рисунок 3.24. Назначение разрядов регистра управления сторожевого таймера

Флаг сброса – это разряд, требующий принудительного сброса, который устанавливается автоматически в режиме сторожевого таймера по достижению нуля регистром счетчика и отправляется запрос на сброс. Очистка флага сброса производится записью единицы в данный разряд. Если флаг сброса не установлен, запись значений «0» или «1» игнорируется. Данный флаг сбрасывается специальным сигналом nWDRESET, сброс стандартными сигналами ядра не осуществляется. Сигнал nWDRESET не должен быть установлен, если сброс ядра является результатом запроса сброса сторожевого таймера с помощью сигнала WDRESETREQ. Это позволяет программному обеспечению различать нормальную загрузку (флаг сброса равен нулю) и загрузку, которая вызвана предыдущим тайм-аутом сторожевого таймера (флаг сброса равен единице).

3.8.4.8 Регистр выключения сторожевого таймера (Watchdog Disable Register)

Регистр выключения сторожевого таймера используется для переключения сторожевого таймера в режим таймера. Для того чтобы установить разряд режима сторожевого таймера (watchdog mode bit) в регистре управления сторожевого таймера в «0», необходимо программным способом последовательно записать значения 0x12345678, затем 0x87654321 в регистр выключения сторожевого таймера.

Если одно из значений, записанных в регистр выключения сторожевого таймера, некорректно, или была произведена запись между последовательностью двух записей, режим сторожевого таймера не изменяется. Для того чтобы снова переключиться в режим сторожевого таймера, необходимо программным способом записать «1» в разряд режима сторожевого таймера в регистре управления сторожевого таймера.

3.9 Cortex-A9 NEON

3.9.1 Общая информация

Сопроцессор обработки мультимедийных данных Cortex-A9 NEON дополняет функциональные возможности процессорного ядра Cortex-A9 для поддержки систем инструкций ARM v7 Advanced SIMD и Vector Floating-Point v3 (VFPv3). Cortex-A9 NEON поддерживает все режимы адресации и операции обработки данных, представленные в архитектуре ARM.

Характеристики сопроцессора Cortex-A9 NEON:

- SIMD- и скалярные вычисления с плавающей точкой одинарной точности;
- скалярные вычисления с плавающей точкой двойной точности;
- SIMD- и скалярные преобразования чисел с плавающей точкой половинной точности;
- 8-, 16-, 32-, и 64-разрядные целочисленные SIMD-вычисления со знаком и без знака;
- 8- или 16-разрядные полиномиальные вычисления для 1-разрядных коэффициентов;
- возможность загрузки структурированных данных;
- одновременное исполнение двух инструкций ARM или Thumb;
- отдельные конвейеры для инструкций VFPv3 и Advanced SIMD;
- большой, разделяемый регистровый файл, адресуемый как:
 - тридцать два 32-разрядных (S) регистра;
 - тридцать два 64-разрядных (D) регистра;
 - шестнадцать 128-разрядных (Q) регистра.

Cortex-A9 NEON позволяет выполнять высокопроизводительные векторные SIMD-вычисления:

- целочисленные со знаком и без знака;
- 1-разрядные полиномиальные коэффициенты;
- с плавающей точкой одинарной точности.

Поддержка операций:

- сложение и вычитание;

- умножение с опциональным накоплением;
- вычисление максимального или минимального значения с возможностью выбора операции в векторе;
- обратное приближение квадратного корня;
- инструкции загрузки структурированных данных, включая операции поиска в таблице в регистровом файле.

Примечание. Расширенная архитектура Advanced SIMD, соответствующие аппаратные решения и программное обеспечение также имеют общее название – технология NEON.

3.9.1.1 Аппаратная поддержка архитектуры VFPv3

Сопроцессор Cortex-A9 NEON реализует аппаратную поддержку операций сложения, вычитания, умножения, деления, умножения с накоплением для чисел с плавающей точкой одинарной и двойной точности, а также, операций с квадратным корнем, представленных в архитектуре ARM VFPv3. Cortex-A9 NEON выполняет преобразования 16-, 32- и 64-разрядных форматов с плавающей точкой и целочисленных форматов, специализированные операции преобразования в режиме Округление к нулю для поддержки высокоуровневых языков.

Инструкции доступны в обеих системах команд ARM и Thumb, поддерживаемых процессорами Cortex-A9.

В архитектуре ARMv7 не используется векторный режим VFP. Cortex-A9 NEON не имеет аппаратной поддержки векторных операций VFP. В настоящем документе термин «векторный» относится к целочисленным, полиномиальным векторным операциям и векторным операциям с числами одинарной точности. Cortex-A9 NEON позволяет выполнять высокоскоростные операции VFP без аппаратной поддержки кода. При этом если в приложении используются векторные операции VFP, требуется применение аппаратной поддержки кода.

3.9.2 Программная модель

Настоящий раздел содержит описание архитектур VFPv3 и Advanced SIMD в реализации сопроцессора Cortex-A9 NEON. Также в разделе содержится информация по инициализации устройства для выполнения кода приложений.

В дополнение к характеристикам, представленным в предыдущих реализациях, объединяющих расширения Advanced SIMD и VFP, Cortex-A9 NEON поддерживает следующие функции:

- 16-разрядные преобразования чисел с плавающей точкой половинной точности;
- поддержка эмуляции VFPv3-D32 и VFPv3-D16.

3.9.2.1 Регистры-идентификаторы опций Advanced SIMD и VFP

В Cortex-A9 NEON реализованы расширения Advanced SIMD ARMv7 и VFP. С помощью идентификаторов программное обеспечение может получить информацию о реализованных расширениях и их функциях. Доступ к расширениям выполняется через регистры сопроцессоров CP10 и CP11 с помощью инструкций VMRS и VMSR, например:

VMRS <Rd>, FPSID; - Чтение регистра-идентификатора расширения VFP

VMRS <Rd>, MVFR1; - Чтение регистра функций SIMD и VFP 1

VMSR FPSCR, <Rt>; - Запись регистра управления расширением VFP

3.9.2.2 Включение опций Advanced SIMD и VFP

После сброса, использование опций Advanced SIMD и VFP запрещено. Попытка выполнения инструкции NEON или VFP формирует исключение Неопределенная инструкция (Undefined Instruction). Для включения Advanced SIMD и VFP, необходимо:

1. Разрешить обращение к регистрам сопроцессоров CP10 и CP11 для соответствующего уровня привилегий. См. Регистр управления доступом сопроцессоров (CPACR).
2. Если требуется выполнить небезопасное обращение к Advanced SIMD или VFP, флаги обращения к CP10 и CP11 в регистре NSACR должны быть установлены в значение «1». См. Регистр управления доступом при небезопасном обращении (NSACR).

При этом разряд FPEXC.EN должен быть установлен программным способом в значение «1» для разрешения большинства операций Advanced SIMD и VFP. См. регистр исключений VFP.

Если операции Advanced SIMD и VFP отключены путем сброса разряда FPEXC.EN в значение «0», все инструкции Advanced SIMD и VFP рассматриваются как неопределенные инструкции, за исключением следующих инструкций, исполняемых в привилегированных режимах:

- VMSR в регистр FPEXC или FPSID;
- VMRS из регистра FPEXC, FPSID, MVFR0 или MVFR1.

В примере 1.1 показана последовательность кода на унифицированном языке ассемблера ARM (UAL), требуемая для включения расширений Advanced SIMD и VFP. Указанный код исполняется в привилегированном режиме.

Пример 1.1. Включение опций Advanced SIMD и VFP:

MRC p15,0,r0,c1,c0,2 ; Перемещение значения CPACR в r0

ORR r0,r0,#(3<<20) ; Операция ИЛИ с разрядами Пользовательского и Привилегированного режимов доступа для сопроцессора CP10

ORR r0,r0,#(3<<22) ; Операция ИЛИ с разрядами Пользовательского и Привилегированного режимов доступа для сопроцессора CP11

BIC r0, r0, #(3<<30) ; Очистка разрядов ASEDIS/D32DIS, если они установлены в «1»

MCR p15,0,r0,c1,c0,2 ; Сохранение новых разрешений доступа в CPACR

ISB ; Подтверждение изменения регистра CPACR

MOV r0,#(1<<30) ; Формирование данных для записи в регистр FPEXC (30-й разряд) в регистре r0

VMSR FPEXC,r0 ; Включение расширения VFP и SIMD

После исполнения указанной последовательности процессор Cortex-A9 может выполнять инструкции Advanced SIMD и VFP.

Примечание. Если в регистре CPACR установлены не идентичные права доступа для сопроцессоров CP10 и CP11, операция является непредсказуемой.

3.9.2.3 Основные изменения в архитектуре Advanced SIMD и VFP

В Cortex-A9 NEON реализованы следующие новые характеристики архитектур ARMv7 Advanced SIMD и VFP:

- преобразование форматов чисел с плавающей точкой половинной точности;
- отдельное отключение расширений SIMD и VFP;
- динамически программируемый размер банка регистра VFP.

Более подробно новые инструкции и разряды регистра управления рассмотрены в описании архитектуры ARM.

3.9.2.4 Преобразование чисел с плавающей точкой половинной точности

Операции преобразования чисел с плавающей точкой половинной точности поддерживают представление числа в соответствии со стандартом IEEE-754, а также графическое (альтернативное) представление чисел половинной точности, 16-разрядных чисел с плавающей точкой. Это позволяет уменьшить затраты памяти для приложений, требующих сохранения большого количества чисел с плавающей точкой меньшей точности, избегая накладных расходов при преобразовании в программном обеспечении.

Дополнительные инструкции VFP и Advanced SIMD позволяют выполнять преобразование отдельных значений и векторов в формат чисел с плавающей точкой одинарной точности и обратно. Эти значения могут быть обработаны с помощью остальных инструкций VFP и Advanced SIMD.

Информация о выборе формата IEEE или альтернативных форматов половинной точности см. в описании регистра FPSCR.

3.9.2.5 Раздельное отключение расширений Advanced SIMD и VFP

Возможность отдельного отключения расширения Advanced SIMD позволяет в реализациях Cortex-A9 с сопроцессором NEON, использовать расширение VFP независимо от Advanced SIMD, что обеспечивает оптимальное распределение задач операционной системы между кластерами многопроцессорной системы Cortex-A9, содержащими обе системы: NEON и VFP.

Процессор Cortex-A9 поддерживает блокирование использования данной опции при небезопасном доступе.

См. описания регистров CPACR и NSACR.

3.9.2.6 Динамическое изменение размера банка регистров VFP

Динамически изменяемый размер банка регистров VFP предоставляет дополнительную поддержку для смешанных многопроцессорных кластеров VFPv3-D16 и VFPv3-D32. NEON Cortex-A9 содержит 32 64-разрядных регистра двойной точности. Реализации, содержащие только расширение VFP, поддерживают 16 регистров двойной точности. Управление отключением регистрового банка позволяет выполнять эмуляцию 16-элементного регистрового файла двойной точности, обеспечивая улучшенную совместимость и более гибкое планирование задач. См. описания регистров CPACR и NSACR.

3.9.2.7 Поддержка форматов

В Таблица 3.22 представлены форматы, поддерживаемые системами инструкций Advanced SIMD и VFPv3. Все целые числа со знаком представлены в дополнительном коде.

Таблица 3.22. Поддержка форматов системами Advanced SIMD и VFPv3

Формат	Advanced SIMD	VFPv3
8-разрядное целое число со знаком/без знака	Да	Нет
16-разрядное целое число со знаком/без знака	Да	Нет
32-разрядное целое число со знаком/без знака	Да	Да *
64-разрядное целое со знаком/без знака	Да	Нет

Формат	Advanced SIMD	VFPv3
16-разрядное число с плавающей точкой половинной точности	Да *	Да *
32-разрядное число с плавающей точкой одинарной точности	Да	Да
64-разрядное число с плавающей точкой двойной точности	Нет	Да
8-разрядные полиномы	Да	Нет
16-разрядные полиномы	Да	Нет

* Только для операций преобразования.

3.9.2.8 Доступ к регистрам Advanced SIMD и VFP

В Таблица 3.23 показаны системные регистры управления сопроцессора CP15, определяющие доступ к регистрам расширений Advanced SIMD и VFP:

- CRn – номер регистра сопроцессора CP15;
- Op1 – значение Opcode_1 для регистра;
- CRm – номер дополнительного регистра сопроцессора;
- Op2 – значение Opcode_2 для регистра.

Таблица 3.23. Регистры управления доступом сопроцессоров

CRn	Op1	CRm	Op2	Имя регистра	Описание
c1	0	c0	2	CPACR	Регистр управления доступом сопроцессоров
c1	0	c1	2	NSACR	Регистр управления доступом при небезопасном обращении

3.9.2.9 Регистр управления доступом сопроцессоров (CPACR)

Регистр CPACR устанавливает права доступа для сопроцессоров CP10 и CP11, включающих Cortex-A9 NEON. Также регистр позволяет программному обеспечению выявить наличие определенного сопроцессора в системе.

Характеристики регистра CPACR:

- доступен по чтению/записи при небезопасных и безопасных обращениях;
- доступен только в привилегированных режимах;
- начальное значение равно «0».

На Рисунок 3.25 показано назначение разрядов регистра CPACR.

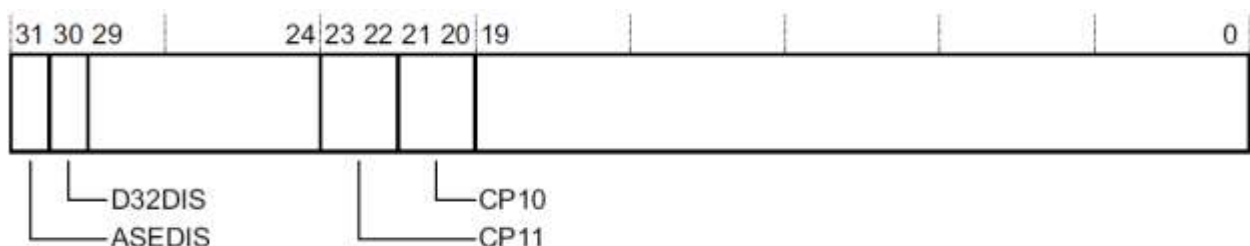


Рисунок 3.25. Назначения разрядов регистра CPACR

В Таблица 3.24 представлено описание разрядов регистра управления доступом.

Таблица 3.24. Регистр управления доступом сопроцессоров

Разряды	Поле	Описание
[31]	ASEDIS	Запрещает функции Advanced SIMD: 0 – Инструкции разрешены; 1 – Все инструкции, входящие в состав системы Advanced SIMD запрещены. Данный разряд не влияет на использование инструкций VFPv3.
[30]	D32DIS	Запрещает использование регистров D16-D31 регистрового файла VFP: 0 – Инструкции разрешены; 1 – Запрещены все инструкции, входящие в состав системы инструкций VFPv3, если они обращаются к одному из регистров D16-D31.
[29:24]	-	См. Cortex-A9 Technical Reference Manual
[23:22]	CP11	Определяет права доступа для сопроцессора. Доступ запрещен – значение разряда после сброса и для отсутствующих сопроцессоров. b00 – Доступ запрещен. Попытка обращения формирует исключение Неопределенная инструкция (Undefined Instruction). b01 – Доступ разрешен только в привилегированном режиме; b10 – Резерв; b11 – Доступ разрешен в привилегированном и пользовательском режимах;
[21:20]	CP10	Определяет права доступа для сопроцессора. Доступ запрещен – значение после сброса и для отсутствующих процессоров. b00 – Доступ запрещен. Попытка обращения формирует исключение Неопределенная инструкция. b01 – Доступ разрешен только в привилегированном режиме; b10 – Резерв; b11 – Доступ разрешен в привилегированном и пользовательском режимах;
[19:0]	-	См. Cortex-A9 Technical Reference Manual

Разрешение небезопасного доступа к сопроцессорам зависит от установки разрядов регистра управления доступом при небезопасном обращении.

Попытки чтения или записи разрядов доступа регистра CPACR зависят от значения соответствующего разряда регистра NSACR.

В Таблица 3.25 представлены результаты доступа к разрядам доступа сопроцессоров для каждого режима.

Таблица 3.25. Результаты доступа в регистр CPACR

NSACR[11:10]	Безопасный доступ в привилегированном режиме	Небезопасный доступ в привилегированном режиме	Безопасный или Небезопасный доступ в пользовательском режиме
b00	Чтение/Запись	При чтении возвращает ноль/запись игнорируется	Доступ запрещен *
b01	Чтение/Запись	Чтение/Запись	Доступ запрещен *

* Доступ с привилегиями пользователя формирует исключение «Неопределенная инструкция».

Доступ к регистру CPACR выполняется через чтение или запись CP15:

MRC p15, 0, <Rd>, c1, c0, 2 ; Чтение регистра управления доступом сопроцессоров

MCR p15, 0, <Rd>, c1, c0, 2 ; Запись регистра управления доступом сопроцессоров

После обновления регистра CPACR должна быть выполнена операция Барьера синхронизации инструкций (ISB), которой не предшествовала ни одна инструкция, использующая старое или новое значение регистра.

Обычно для обновления регистра CPACR используется последовательность чтение-модификация-запись для предотвращения нежелательного изменения настроек доступа для других сопроцессоров.

Примечание. Перед выполнением обращений к регистрам Advanced SIMD или VFP необходимо разрешить CP10 и CP11 в регистре CPACR должны быть установлены.

3.9.2.10 Регистр управления доступом при небезопасном обращении (NSACR)

Регистр NSACR определяет права доступа при небезопасном обращении и реализует некоторый другой функционал.

Характеристики регистра NSACR:

- доступен по чтению и записи при безопасном обращении;
- доступен только для чтения при небезопасном обращении;
- доступ производится только в привилегированных режимах.

На Рисунок 3.26 показано назначение разрядов регистра NSACR, сопроцессоров Cortex-A9.

Для информации о назначении остальных разрядов регистра см. Cortex-A9 Technical Reference Manual.

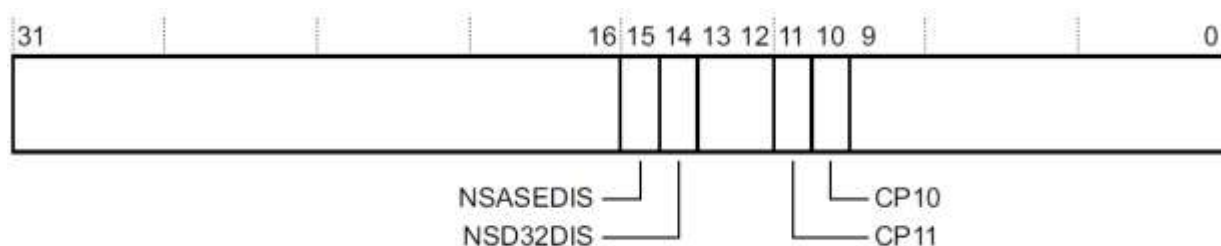


Рисунок 3.26. Назначение разрядов регистра NSACR

В Таблица 3.26 представлено описание разрядов регистра NSACR.

Таблица 3.26. Регистр NSACR

Разряды	Поле	Функция
[31:16]	-	См. Cortex-A9 Technical Reference Manual
[15]	NSASEDIS	Запрещает небезопасные обращения к разряду управления расширением Advanced SIMD: 0 – Полный доступ к разряду ASEDIS регистра CPACR; 1 – Разряд CPACR.ASEDIS имеет фиксированное значение «1» при небезопасном обращении, запись в данный разряд игнорируется.
[14]	NSD32DIS	Запрещает небезопасное обращение к разряду правления регистрами D16-D31 регистрового файла VFP: 0 – Полный доступ к CPACR.D32DIS; 1 – Разряд CPACR.D32DIS имеет фиксированное значение «1» при небезопасном обращении, запись в данный разряд игнорируется.
[13:12]	-	См. Cortex-A9 Technical Reference Manual
[11]	CP11	Разрешение доступа к сопроцессору C11: 0 – Только безопасные обращения (значение после сброса); 1 – Безопасные и небезопасные обращения
[10]	CP10	Разрешения доступа к сопроцессору C10: 0 – Только безопасные обращения (значение после сброса); 1 – Безопасные и небезопасные обращения
[9:0]	-	См. Cortex-A9 Technical Reference Manual

Доступ к регистру NSACR выполняется через чтение или запись CP15:

MRC p15, 0,<Rd>, c1, c1, 2 ; Чтение регистра управления доступом при небезопасном обращении

MCR p15, 0,<Rd>, c1, c1, 2 ; Запись регистра управления доступом при небезопасном обращении

В Таблица 3.27 представлены результаты обращения к регистру NSACR в различных режимах.

Таблица 3.27. Результаты доступа к регистру NSACR

Безопасное обращение в привилегированном режиме		Небезопасное обращение в привилегированном режиме		Обращение в пользовательском режиме	
Чтение	Запись	Чтение	Запись	Чтение	Запись
Данные	Данные	Данные	Исключение Неопределенная инструкция	Исключение Неопределенная инструкция	Исключение Неопределенная инструкция

3.9.2.11 Список регистров

В Таблица 3.28 представлены системные регистры Cortex-A9 NEON MPE. Все регистры NEON 32-разрядные. Резервные адреса регистров при чтении возвращают ноль, запись игнорируется (register addresses are RAZ/WI).

Таблица 3.28. Регистры Cortex-A9 NEON

Имя	Тип доступа	Начальное значение	Описание
FPSID	RO	0x41033094	Регистр-идентификатор VFP
FPSCR	RW	0x00000000	Регистр состояния и управления VFP
MVFR1	RO	0x01111111	См. описание архитектуры ARM
MVFR0	RO	0x10110222	См. описание архитектуры ARM
FPEXC	RW	0x00000000	Регистр исключений VFP и SIMD

В Таблица 3.29 представлены разрешения доступа к системным регистрам Cortex-A9 NEON для различных режимов процессора.

Таблица 3.29. Доступ к системным регистрам Cortex-A9 NEON

Регистр	Доступ в привилегированном режиме		Доступ в режиме пользователя	
	FPEXC EN=0	FPEXC EN=1	FPEXC EN=0	FPEXC EN=1
FPSID	Разрешен	Разрешен	Запрещен	Запрещен
FPSCR	Запрещен	Разрешен	Запрещен	Разрешен
MVFR0, MVFR1	Разрешен	Разрешен	Запрещен	Запрещен
FPEXC	Разрешен	Разрешен	Запрещен	Запрещен

3.9.2.12 Регистр-идентификатор VFP (FPSID)

Регистр предоставляет информацию о реализации архитектуры VFP.

Доступ к регистру разрешается только в привилегированных режимах.

На Рисунок 3.27 показано назначение разрядов регистра FPSID.



Рисунок 3.27. Назначение разрядов регистра FPSID

В Таблица 3.30 представлено описание разрядов регистра-идентификатора VFP

Таблица 3.30. Регистр FPSID

Разряды	Наименование	Описание
[31:24]	Производитель	ARM
[23]	ПО	Аппаратная реализация без программной эмуляции
[22:16]	Подсистема архитектуры	Отсутствует
[15:8]	Номер компонента	VFPv3
[7:4]	Вариант	Cortex-A9
[3:0]	Ревизия	Ревизия 4

Доступ к регистру FPSID может быть выполнен с помощью инструкции VMRS:

VMRS <Rd>, FPSID ; Чтение Floating-Point System ID Register.

3.9.2.13 Регистр состояния и управления VFP (FPSCR)

Выполняет функцию управления FPU (уровень пользователя).

На Рисунок 3.28 показаны назначения разрядов регистра FPSCR.

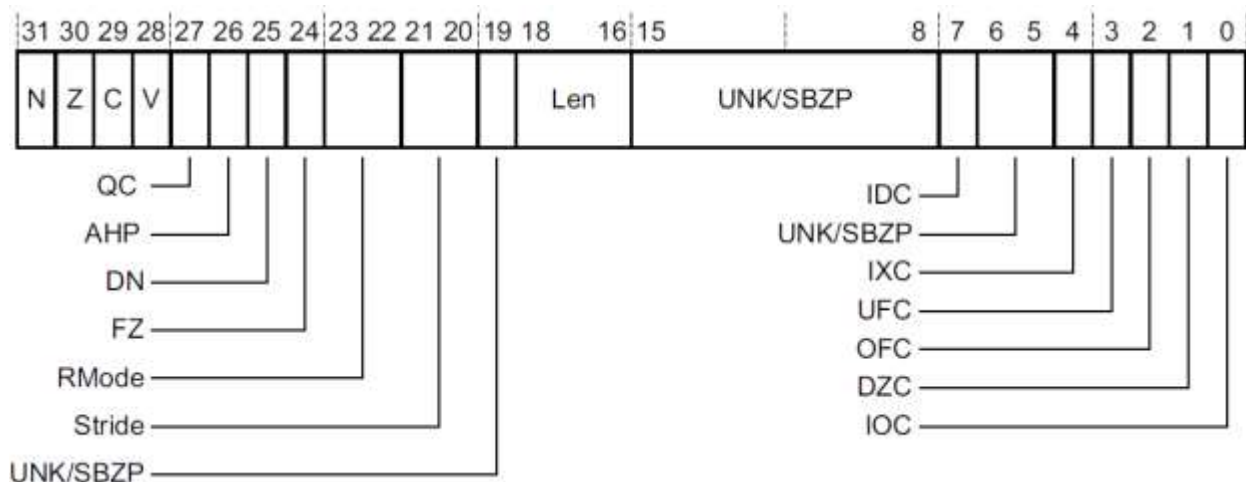


Рисунок 3.28. Назначение разрядов регистра FPSCR

В Таблица 3.31 представлено описание разрядов регистра управления и состояния FPU.

Таблица 3.31. Регистр FPSCR

Разряды	Поле	Описание
[31]	N	Устанавливается в «1», если результат сравнения в формате плавающей точки – «меньше чем».
[30]	Z	Устанавливается в «1», если результат сравнения в формате плавающей точки – «равно».
[29]	C	Устанавливается в «1», если результат сравнения в формате плавающей точки «равно», «больше чем», или «неупорядоченный»
[28]	V	Устанавливается в «1», если результат операции сравнения в формате плавающей точки «неупорядоченный»
[27]	QC	Устанавливается в «1», если при выполнении операции Advanced SIMD произошло насыщение с последней записи «0» в этот разряд *
[26]	ANP	Разряд управления форматом плавающей точки половинной точности: 0 – Выбран формат числа с плавающей точкой половинной точности, соответствующий стандарту IEEE; 1 – Выбран альтернативный формат числа с плавающей точкой половинной точности.
[25]	DN	Разряд управления режимом NaN по умолчанию: 0 – Результату операции в формате плавающей точки с входным операндом NaN присваивается значение входного операнда NaN; 1 – Любая операция с одним или более значений NaN возвращает значение NaN по умолчанию; Advanced SIMD всегда использует настройки NaN по умолчанию, независимо от значения разряда DN.
[24]	FZ	Разряд управления режимом сброса в ноль (Flush-to-zero): 0 – Режим Flush-to-zero отключен. Поведение системы floating-point соответствует стандарту IEEE 754. 1 – Режим Flush-to-zero включен. Advanced SIMD всегда использует режим Flush-to-zero, независимо от значения разряда FZ
[23:22]	RMode	Разряды управления режимом округления: b00 – Округление к ближайшему числу (RN) b01 – Округление к плюс бесконечности (RP) b10 – Округление к минус бесконечности (RM) b11 – Округление к нулю (RZ) Advanced SIMD всегда использует режим округления к ближайшему числу независимо от значения разрядов RMode.
[21:20]	Stride	Управление шагом (stride) используется для обратной совместимости с короткими векторными операциями. Cortex-A9 NEON MPE игнорирует значение этого поля.
[19]	-	UNK/SBZP
[18:16]	Len	Длина вектора, используемая для обратной совместимости с короткой векторной операцией. Если значение данного поля устанавливается в «1», инструкции обработки данных VFP формируют исключения.
[15:8]	-	UNK/SBZP
[7]	IDC	Накопительный признак исключения при наличии денормализованного входного операнда *
[6:5]	-	UNK/SBZP
[4]	IXC	Накопительный признак исключения при неточном результате *
[3]	UFC	Накопительный признак исключения при отрицательном переполнении *
[2]	OFC	Накопительный признак исключения при переполнении *
[1]	DZC	Накопительный признак исключения при делении на ноль *
[0]	IOC	Накопительный признак исключения при недействительной операции *

* Признаки исключений, разряды [27], [7], и [4:0] регистра FPSCR экспортируются на выход DEFLAGS, таким образом, если требуется, они могут быть доступны для проверки внешнему процессору.

Доступ к регистру FPSCR осуществляется с помощью инструкций VMSR:

VMRS <Rd>, FPSCR ; Чтение FPSCR

VMSR FPSCR, <Rt> ; Запись FPEXC

3.9.2.14 Регистр исключения расширений SIMD и VFP (FPEXC)

Характеристики регистра FPEXC:

Функция: Управление разрешением расширений Advanced SIMD и VFP.

Ограничение:

1. Небезопасное обращение к регистру разрешается только, если разряды CP10 и CP11 регистра NSACR установлены в «1».

Доступ разрешен только в привилегированных режимах, и при условии, что доступ к сопроцессорам CP10 и CP11 разрешен в регистре CPACR.

Конфигурации: Регистр доступен во всех конфигурациях NEON.

На Рисунок 3.29 показано назначение разрядов регистра FPEXC.

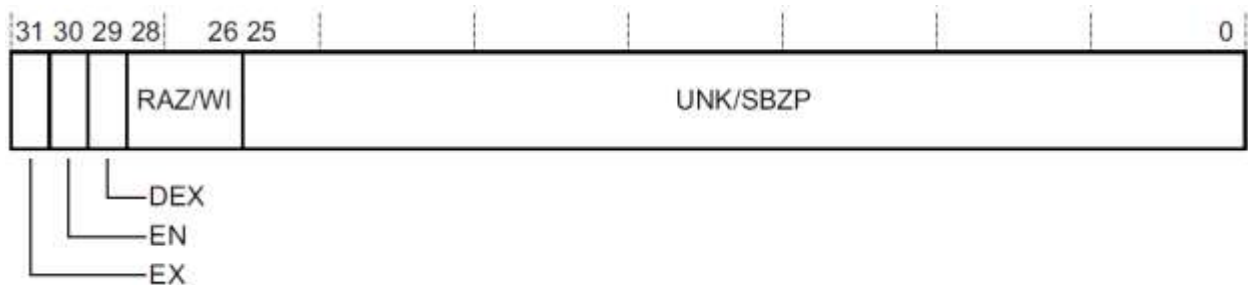


Рисунок 3.29. Назначение разрядов регистра FPEXC

В Таблица 3.32 представлено назначение разрядов регистра FPEXC.

Таблица 3.32. Регистр FPEXC

Разряды	Наименование	Описание
[31]	EX	При чтении разряда возвращается ноль, запись игнорируется. Cortex-A9 NEON не требует асинхронной обработки исключений
[30]	EN	0 – Расширения Advanced SIMD и VFP отключены. 1 – Расширения Advanced SIMD и VFP включены и работают в обычном режиме. Разряд EN устанавливается в «0» после сброса.

Разряды	Наименование	Описание
[29]	DEX	Признак исключения синхронной инструкции (Defined synchronous instruction exceptional flag): 0 – Исключений нет; 1 – Попытка выполнения векторной операции VFP. Разряд DEX очищается при сбросе в значение «0».
[28:26]	-	При чтении возвращает ноль/запись игнорируется
[25:0]	-	UNK/SBZP

* Cortex-A9 NEON не имеет аппаратной поддержки функции коротких векторных инструкций VFP. Попытка выполнить Инструкции обработки данных VFP, при значении поля FPSCR.LEN равным «1» устанавливает разряд FPSCR.DEX и формирует исключение «Неопределенная инструкция». Если требуется, эмуляция функции коротких векторных инструкций может быть выполнена программным способом.

Доступ к регистру FPEXC осуществляется с помощью следующих инструкций VMSR:

VMRS <Rd>, FPEXC; Чтение регистра FPSCR

VMSR FPEXC, <Rt>; Запись регистра FPEXC

3.10 Контроллер кэш-памяти второго уровня L2CACHE

3.10.1 Общая информация

Встроенная кэш-память второго уровня (кэш L2) используется для повышения производительности систем на базе процессорных ядер ARM, в которых значительная часть трафика обрабатывается ресурсами процессора. Кэш второго уровня предполагает наличие кэша первого уровня (L1) с малым временем доступа для процессора.

Скорость выполнения обращений зависит от ступени в иерархии кэша. Самым быстрым является обращение к кэшу L1, незначительно дольше выполняется обращение к кэшу L2, самым медленным является обращение к кэшу третьего уровня (L3). В Таблица 3.33 представлены стандартные размеры и время обслуживания обращений для различных типов памяти.

Таблица 3.33. Стандартные размеры и время обращения для различных типов памяти

Тип памяти	Размер	Время обращения
Регистры процессора	128 Б	1 такт
Встроенный кэш L1	32 КБ	1-2 такта
Встроенный кэш L2	256 КБ	8 тактов
Основная память, кэш L3, память DRAM	МБ или ГБ *	30-100 тактов
Резервная память, жесткий диск, кэш L4	МБ или ГБ	Более 500 тактов
* Значение зависит от типа адресации процессора, например, 32-разрядный процессор (без модуля управления памятью) может напрямую адресовать область памяти размером 4ГБ.		

Характеристики кэш-контроллера:

- поддержка расширения TrustZone для повышения уровня безопасности операционной системы;
- интерфейсы AMBA AXI (master, slave) для высокопроизводительных систем.

Характеристики кэша:

- единый кэш программ и данных;
- физически адресуемый и физически контролируемый по тегу;
- степень ассоциативности – до 16 каналов;
- возможность блокировки на уровне каналов позволяет сократить количество каналов с 16 до 1 (кэш прямого отображения).

Поддержка когерентности кэш-памяти второго уровня не имеет аппаратной реализации, а осуществляется программным способом.

На Рисунок 3.30 показана схема верхнего уровня кэш-контроллера.

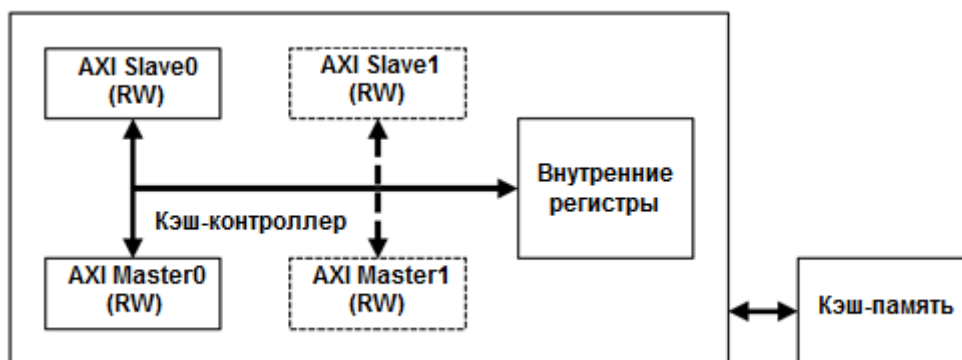


Рисунок 3.30. Схема контроллера кэш-памяти

Примечание. Наличие AXI Slave 1 и AXI Master 1 опционально.

3.10.1.1 Характеристики кэш-контроллера

- теги и индексы по физическому адресу;
- поддержка блокировки каналов кэша данных и инструкций;
- поддержка блокировки строк;
- поддержка блокировки по идентификатору ведущего устройства (master ID);
- программируемый размер кэша L2 – от 16КБ до 8МБ, в зависимости от конфигурации и использования регистров блокировки; В данной реализации максимальный объем – 1МБ;
- программируемая ассоциативность кэша от 1 (кэш прямого отображения) до 16 каналов, в зависимости от конфигурации и использования регистров блокировки. В данной реализации ассоциативность – 16 каналов;
- фиксированная длина строки кэша – 32 байта, 8 слов или 256 бит;

- интерфейс к памяти данных поддерживает побайтную запись;
- поддержка банкирования памяти данных;
- поддержка всех режимов кэширования (AXI):
 - прямая и обратная запись;
 - размещение по чтению, размещение по записи, размещение по чтению и записи;
- опция принудительного размещения по записи (кэшируемые обращения по записи всегда размещаются в кэш L2);
- некэшируемые обращения по чтению к разделяемой (Shared) нормальной (Normal) памяти преобразуются в кэшируемые, не размещаемые обращения. Некэшируемые обращения по записи к разделяемой (Shared) нормальной (Normal) памяти преобразуются в кэшируемые, не размещаемые обращения с прямой записью. Для изменения этого поведения существует опция Shared Override;
- поддержка расширения TrustZone:
 - в памяти Тегов вводится разряд для определения защищенности данных (NS), используемый в поиске аналогично с разрядом адреса. Разряд NS используется во всех буферах;
 - разряд NS в памяти Тегов используется для определения степени защищенности данных, выгружаемых в кэш L3;
 - защита регистров управления, конфигурационных регистров и регистров операций обслуживания кэш-памяти от небезопасных обращений;
- поддержка заполнения строки кэш-памяти по алгоритму «критическое слово первым» (Critical word first);
- псевдослучайный и циклический (Round-robin) алгоритмы замещения. Детерминированный алгоритм замещения реализуется с помощью регистров блокировки;
- четыре 256-разрядных Буфера заполнения строки, соединенных ведущими портами. Буферы заполнения строки служат для накопления данных, поступающих из основной памяти для последующего заполнения строки кэш-памяти. Запись данных из буфера в кэш L2 происходит по достижению в буфере количества данных, достаточного для записи полной строки;
- два 256-разрядных буфера чтения для каждого ведомого порта. В случае кэш-попадания, буферы чтения загружаются данными запрашиваемой строки кэша L2;
- три 256-разрядных буфера вытеснения. В буферы вытеснения поступают строки, вытесненные из кэша L2 для записи в основную память;
- три 256-разрядных буфера записи. Буферы записи служат для хранения буферизованных записей до загрузки в основную память или кэш L2. Буферы записи позволяют объединить записи, производимые в одну строку кэша;
- поддержка невыполненных обращений по ведущим и ведомым интерфейсам;
- опция выбора количества (1 или 2) ведущих портов;

- опция выбора количества (1 или 2) ведомых портов. При поддержке одного ведомого порта, выбирается один ведущий порт;
- программная опция разрешения эксклюзивной конфигурации кэш-памяти;
- предварительная выборка. Более подробная информация содержится в разделе «Служебный регистр управления»;
- соотношение сигналов синхронизации (1:1, 2:1) управляется через контроллер CMSTR микросхемы;
- поддержка функций ожидания, задержки, включения тактовой частоты;
- поддержка встроенной схемы самодиагностики памяти (MBIST);
- мониторинг сигналов кэша L2. Сигналы событий могут быть экспортированы, если используются в сочетании с блоком мониторинга событий. Также используется в кэш-контроллере с двумя программируемыми 32-разрядными счетчиками;
- доступ к конфигурационным регистрам осуществляется с помощью декодирования адреса в ведомых портах;
- адресная фильтрация в ведущих портах обеспечивает перенаправление заданного диапазона адресов в один ведущий порт, в то время как остальные адреса перенаправляются в другой ведущий порт.

Вместо использования инструкций CP15, контроллер кэш-памяти программируется через набор отображаемых в карте памяти регистров. Кэш-контроллер поддерживает использование 64-разрядной ведущей шины AXI. Не предполагается определенная архитектура кэш-памяти первого уровня.

3.10.2 Программная модель

3.10.2.1 Характеристики регистров

Характеристики регистров кэш-контроллера:

1. Базовый адрес контроллера кэш-памяти не фиксирован и может отличаться в конкретных реализациях. В то же время, фиксированными являются значения смещений регистров от базового адреса. Управление кэш-контроллером осуществляется через набор отображаемых регистров, находящихся в перемещаемом регионе памяти размером 4КВ. Тип региона памяти назначается через атрибут памяти: Строго-упорядоченная память (Strongly Ordered) или Память устройства (Device memory) в таблице страниц кэша L1. Доступ к регистрам выполняется путем прямой адресации в ведомых портах.
2. Обращения к резервным или неиспользуемым адресам запрещены, поскольку могут привести к непредсказуемой работе устройства.
3. Все резервные разряды регистров должны быть защищены от записи для предотвращения непредсказуемой работы устройства.
4. Все регистры доступны для чтения и записи, за исключением специально указанных регистров.

5. При записи в регистр обновляется его содержимое, при чтении возвращается содержимое регистра.
6. Перед выполнением записи в регистр автоматически выполняется начальная операция синхронизации кэш-памяти.

При обращении к регистрам:

1. Значения разрядов адреса [1:0] должны быть равны нулю, иначе формируется сообщение об ошибке SLVERR.
2. Размер пакета должен быть равен нулю, иначе формируется сообщение об ошибке SLVERR.
3. Разрешены только 32-разрядные обращения, иначе формируется сообщение об ошибке SLVERR.
4. Эксклюзивные обращения запрещены. Формируется сообщение об ошибке SLVERR.
5. Кэш-контроллер игнорирует стробы записи и всегда рассматривает их как 0x0F или 0xF0, в зависимости от смещения. При обращении к регистрам контроллер не поддерживает прореженные стробы записи.
6. Если запись в регистр доступный по записи производится в момент выполнения фоновой операции, формируется сообщение об ошибке SLVERR.

3.10.2.2 Инициализация устройства

Во время загрузки должно быть выполнено безопасное обращение по записи в Регистр аннулирования каналов (0x77C) для аннулирования всех записей кэш-памяти.

Стандартная последовательность операций, выполняемая при инициализации кэш-контроллера:

- запись в служебный регистр управления, регистры управления задержкой памяти тегов и данных, регистр управления предварительной выборкой, регистр управления питанием (режим чтение-модификация-запись) для настройки основных параметров:
 - ассоциативность, размер канала;
 - задержка обращений к памяти;
 - алгоритм размещения;
 - управление предварительной выборкой и режимами питания;
- безопасная запись в Регистр аннулирования каналов (0x77C) для аннулирования всех записей в кэш-памяти:
 - запись значения 0xFFFF по адресу 0x77C;
 - опрос регистра операций обслуживания кэш-памяти до момента завершения операции аннулирования;

- запись в регистры блокировки данных и регистры блокировки инструкций (9), если требуется;
- запись в регистр очистки прерываний для очистки оставшихся установленных прерываний;
- запись в регистр маски прерываний, если требуется разрешить прерывания;
- запись «1» в регистр управления с установкой младшего разряда в «1» для включения кэширования.

Если запись в служебный регистр управления или регистры управления задержкой памяти тегов и памяти данных выполняется при включенной кэш-памяти L2, то формируется сообщение об ошибке SLVERR. Для записи в указанные регистры, необходимо отключить кэш L2 путем записи «1» в регистр управления.

3.10.3 Список регистров

В Таблица 3.34 представлено распределение адресов регистров контроллера кэш-памяти.

Таблица 3.34. Распределение адресов регистров контроллера кэш-памяти

Диапазон смещений	Чтение	Запись	Безопасность обращения
0x000 – 0x0FC	Регистр идентификатора и типа кэш-памяти	Игнорируется	Безопасные (S) и небезопасные (NS) обращения
0x100 – 0x1FC	Регистр управления	Регистр управления	Запись – S Чтение – NS и S
0x200 – 0x2FC	Регистр управления прерываниями и Регистр управления счетчиком	Регистр управления прерываниями и Регистр управления счетчиком	Безопасные (S) и небезопасные (NS) обращения
0x300 – 0x6FC	Резерв	Резерв	–
0x700 – 0x7FC	Регистры операций обслуживания кэш-памяти	Регистры операций обслуживания кэш-памяти	Зависит от значения разряда безопасности обращения
0x800 – 0x8FC	Резерв	Резерв	–
0x900 – 0x9FC	Регистры блокировки кэш-памяти	Регистры блокировки кэш-памяти	Зависит от значения разряда безопасности обращения
0xA00 – 0xBFC	Резерв	Резерв	–
0xC00 – 0xCFC	Регистры адресной фильтрации	Регистры адресной фильтрации	Запись – S Чтение – NS и S
0xD00 – 0xEFC	Резерв	Резерв	–
0xF00 – 0xFFC	Отладочный регистр, регистр управления предварительной выборкой, регистр управления режимами питания	Отладочный регистр, регистр предвыборки, регистр управления питанием	Запись – S Чтение – NS и S

Все адреса регистров кэш-контроллера фиксированы относительно базового адреса. В Таблица 3.35 представлен список регистров кэш-контроллера в порядке возрастания базового смещения.

Таблица 3.35. Список регистров контроллера кэш-памяти

Смещение	Обозначение	Тип	Начальное значение	Размер	Описание	
0x000	reg0_cache_id	RO	0x410000C9	32	Регистр идентификатора кэш-памяти	
0x004	reg0_cache_type	RO	0x1E340340	32	Регистр типа кэш-памяти	
0x100	reg1_control	RW	0x00000000	32	Регистр управления	
0x104	reg1_aux_control	RW	0x02070000	32	Служебный регистр управления	
0x108	reg1_tag_ram_control	RW	0x00000777	32	Регистры управления задержкой памяти Тегов и памяти Данных	
0x10C	reg1_data_ram_control	RW	0x00000777	32		
0x200	reg2_ev_counter_ctrl	RW	0x00000000	32	Регистр управления счетчиком событий	
0x204	reg2_ev_counter1_cfg	RW	0x00000000	32	Конфигурационные регистры счетчика событий	
0x208	reg2_ev_counter0_cfg	RW	0x00000000	32		
0x20C	reg2_ev_counter1	RW	0x00000000	32	Регистры значений счетчика событий	
0x210	reg2_ev_counter0	RW	0x00000000	32		
0x214	reg2_int_maske	RW	0x00000000	32	Регистры прерываний	
0x218	reg2_int_mask_status	RO	0x00000000	32		
0x21C	reg2_int_raw_status	RO	0x00000000	32		
0x220	reg2_int_clear	WO	0x00000000	32		
0x730	reg7_cache_sync	RW	0x00000000	32		Регистры операций обслуживания кэш-памяти
0x770	reg7_inv_pa	RW	0x00000000	32		
0x77C	reg7_inv_way	RW	0x00000000	32		
0x7B0	reg7_clean_pa	RW	0x00000000	32		
0x7B8	reg7_clean_index	RW	0x00000000	32		
0x7BC	reg7_clean_way	RW	0x00000000	32		
0x7F0	reg7_clean_inv_pa	RW	0x00000000	32		
0x7F8	reg7_clean_inv_index	RW	0x00000000	32		
0x7FC	reg7_clean_inv_way	RW	0x00000000	32		
0x900	reg9_d_lockdown0	RW	0x00000000	32	Регистры блокировки кэш-памяти	
0x904	reg9_i_lockdown0	RW	0x00000000	32		
0x908	reg9_d_lockdown1f	RW	0x00000000	32		
0x90C	reg9_i_lockdown1f	RW	0x00000000	32		
0x910	reg9_d_lockdown2f	RW	0x00000000	32		
0x914	reg9_i_lockdown2f	RW	0x00000000	32		
0x918	reg9_d_lockdown3f	RW	0x00000000	32		
0x91C	reg9_i_lockdown3f	RW	0x00000000	32		
0x920	reg9_d_lockdown4f	RW	0x00000000	32		
0x924	reg9_i_lockdown4f	RW	0x00000000	32		
0x928	reg9_d_lockdown5f	RW	0x00000000	32		
0x92C	reg9_i_lockdown5f	RW	0x00000000	32		
0x930	reg9_d_lockdown6f	RW	0x00000000	32		
0x934	reg9_i_lockdown6f	RW	0x00000000	32		
0x938	reg9_d_lockdown7f	RW	0x00000000	32		
0x93C	reg9_i_lockdown7f	RW	0x00000000	32		
0x950	reg9_lock_line_eng	RW	0x00000000	32		
0x954	reg9_unlock_wayg	RW	0x00000000	32		
0xC00	reg12_addr_filtering_start	RW	0x00000001	32		Регистры адресной фильтрации
0xC04	reg12_addr_filtering_end	RW	0x3A000000	32		
0xF40	reg15_debug_ctrl	RW	0x00000000	32	Отладочный регистр	
0xF60	reg15_prefetch_ctrl	RW	0x00000000	32	Регистр управления предварительной выборкой	

Смещение	Обозначение	Тип	Начальное значение	Размер	Описание
0xF80	reg15_power_ctrl	RW	0x00000000	32	Регистр управления режимами питания

3.10.4 Описание регистров

В настоящем разделе приводится описание регистров кэш-контроллера.

3.10.4.1 Регистр идентификатора кэш-памяти (reg0_cache_id)

Регистр возвращает 32-разрядное значение идентификатора устройства, считываемое с входной шины CACHEID; Значение устанавливается системным интегратором;

На Рисунок 3.31 показано назначение разрядов регистра reg0_cache_id.

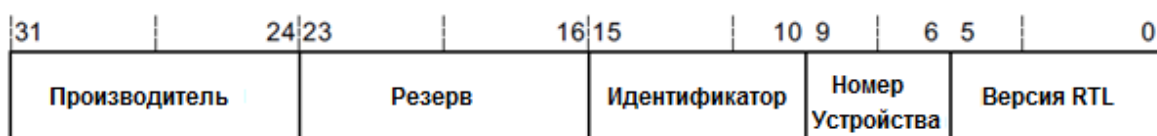


Рисунок 3.31. Назначение разрядов регистра идентификатора кэш-памяти

В Таблица 3.36 представлено описание разрядов регистра идентификатора кэш-памяти.

Таблица 3.36. Регистр reg0_cache_id

Разряды	Наименование	Описание
[31:24]	Производитель	0x41 – ARM
[23:16]	Резерв	Должны быть равны нулю
[15:10]	Идентификатор кэш-памяти	–
[9:6]	Номер устройства	0x3
[5:0]	Версия RTL	0x8

Примечания

1. Значение номера устройства равное 0x3 обозначает Контроллер кэш-памяти второго уровня CoreLink L2C-310.
2. Значение версии RTL равное 0x8 обозначает код кэш-контроллера г3р2.

3.10.4.2 Регистр типа кэш-памяти (reg0_cache_type)

Регистр возвращает 32-разрядное значение типа кэш-памяти.

На Рисунок 3.32 показано назначение разрядов регистра reg0_cache_type:



Рисунок 3.32. Назначение разрядов регистра типа кэш-памяти

В Таблица 3.37 представлено описание разрядов регистра типа кэш-памяти.

Таблица 3.37. Регистр reg0_cache_type

Разряды	Поле		Описание
[31]	Банкирование	–	0 – банкирование данных не реализовано; 1 – банкирование данных реализовано;
[30:29]	Должны быть равны нулю	–	0b00
[28:25]	ctype	–	11ху, где: х=1, если реализована опция p1310_LOCKDOWN_BY_MASTER, в обратном случае – 0; у=1, если реализована опция p1310_LOCKDOWN_BY_LINE, в обратном случае 0. Подробнее варианты блокировки описаны в разделе Регистры блокировки кэш-памяти
[24]	H	–	0 – Единый кэш; 1 – Раздельный кэш (Гарвардская архитектура);
[23:19]	Dsize	–	–
	[23]	Должен быть равен нулю / При чтении возвращает ноль	0
	[22:20]	Размер канала кэша L2	Считывается содержимое разрядов [19:17] Служебного регистра управления
	[19]	Должен быть равен нулю / При чтении возвращает ноль	0
[18]	Ассоциативность кэша L2	–	Считывается содержимое разряда [16] Служебного регистра управления
[17:14]	Должны быть равны нулю	–	0
[13:12]	Длина строки кэша L2	–	Байты 00–32
[11:7]	Isize	–	–
	[11]	Должен быть равен нулю / При чтении возвращает ноль	0
	[10:8]	Размер канала L2	Считывается значение разрядов [19:17] Служебного регистра управления

Разряды	Поле	Описание	
	[7]	Должен быть равен нулю / При чтении возвращает ноль	0
[6]	Ассоциативность кэша L2	–	Считывается значение разряда [16] Служебного регистра управления
[5:2]	Должны быть равны нулю	–	0
[1:0]	Длина строки кэша L2	–	Байты 00–32

Регистр типа кэш-памяти возвращает 32-разрядное значение типа кэш-памяти. Регистр предоставляет следующие данные: тип, размер, ассоциативность кэш-памяти и размер строки кэш-памяти в формате инструкций и данных.

Размер кэш-памяти вычисляется как произведение следующих параметров:

- размер канала кэш-памяти L2;
- количество каналов кэш-памяти L2.

3.10.4.3 Регистр управления (reg1_control)

Включение/выключение кэш-контроллера.

Данный регистр используется для включения/выключения кэш-контроллера. Запись в регистр разрешена только при безопасном обращении. Чтение регистра разрешено при безопасном и небезопасном обращении.

Запись в регистр при небезопасном обращении формирует сообщение об ошибке DECERR, при этом значение регистра не обновляется; включение/выключение кэш-контроллера разрешено только при безопасных обращениях.

При обновлении значения регистра кэш-контроллер выполняет указанную ниже последовательность действий для недопущения непредсказуемого поведения при последующих записях в регистры кэша L2:

- блокирует ведомые порты до завершения всех текущих транзакций и очистки всех буферов путем синхронизации кэша;
- обновляет значение регистра;
- возвращает ответ на запрос по записи.

На Рисунок 3.33 показано назначение разрядов регистра reg1_control.



Рисунок 3.33. Назначение разрядов регистра управления

В Таблица 3.38 представлено описание разрядов регистра управления.

Таблица 3.38. Регистр reg1_control

Разряды	Поле	Описание
[31:1]	Резерв	Должны быть равны нулю / При чтении возвращает ноль;
[0]	Включение кэша L2	0 – Кэш L2 отключен (значение по умолчанию); 1 – L2 кэш включен;

3.10.4.4 Служебный регистр управления (reg1_aux_control)

Конфигурация следующих параметров:

- поведение кэш-памяти;
- мониторинг событий;
- размер канала;
- ассоциативность.

Запись в регистр выполняется только при безопасном обращении, при этом резервные биты должны быть защищены от записи.

Регистр доступен для чтения при безопасных и небезопасных обращениях. Если запись в регистр выполняется при небезопасном обращении, формируется сообщение об ошибке DECERR, при этом значение регистра не обновляется. Если во время записи в регистр кэш L2 включен (разряд [0] регистра управления установлен в 1), формируется сообщение об ошибке SLVERR. Сообщение об ошибке DECERR имеет приоритет над SLVERR.

На Рисунок 3.34 показано назначение разрядов Служебного регистра управления.

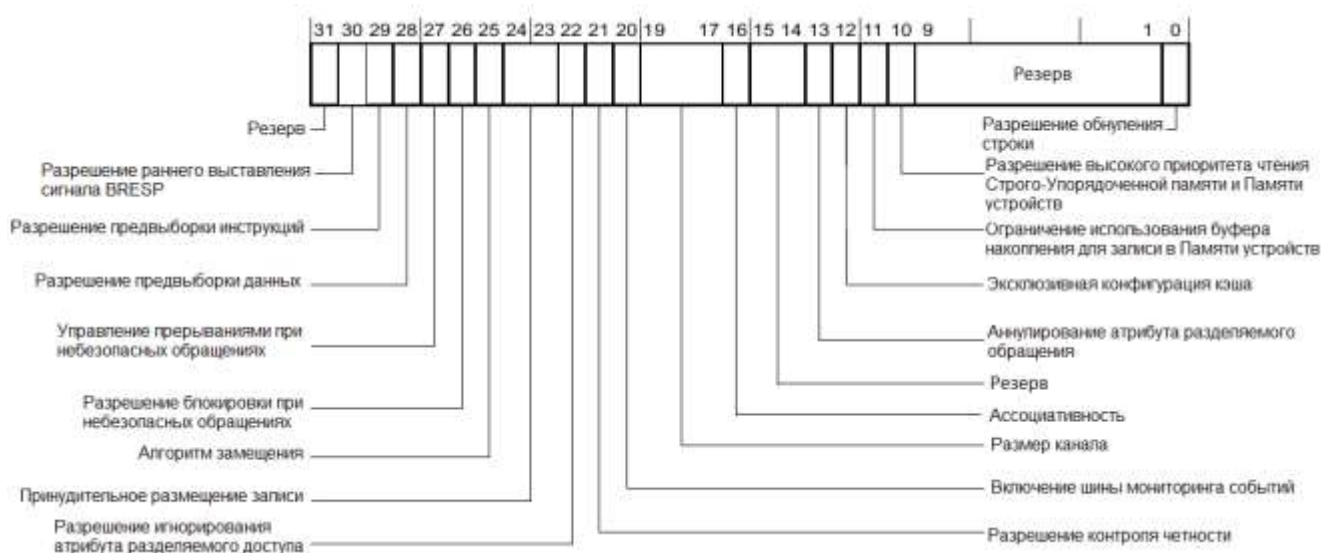


Рисунок 3.34. Назначение разрядов служебного регистра управления

В Таблица 3.39 представлено описание разрядов Служебного регистра управления.

Таблица 3.39. Регистр reg1_aux_control

Разряды	Поле	Описание
[31]	Резерв	Должен быть равен нулю/При чтении возвращает ноль
[30]	Разрешение раннего выставления сигнала о завершении записи (BRESP)	0 – Раннее выставление сигнала BRESP запрещено (по умолчанию); 1 – Раннее выставление сигнала BRESP разрешено;
[29]	Разрешение предварительной выборки инструкций	0 – Предварительная выборка инструкций запрещена (по умолчанию); 1 – Предварительная выборка инструкций разрешена; См. Регистр управления предварительной выборкой
[28]	Разрешение предварительной выборки данных	0 – Предварительная выборка данных запрещена (по умолчанию); 1 – Предварительная выборка данных разрешена; См. Регистр управления предварительной выборкой
[27]	Управление прерываниями при небезопасных обращениях	0 – Запись/чтение регистра очистки прерываний (0x220) и регистра маски прерываний (0x214) разрешены только при безопасных обращениях (по умолчанию); 1 – Запись/чтение регистра очистки прерываний (0x220) и регистра маски прерываний (0x214) разрешены для безопасных и небезопасных обращений;
[26]	Разрешение блокировки при небезопасных обращениях	0 – Запись в регистры блокировки при небезопасном обращении запрещена (по умолчанию); 1 – Запись в регистры блокировки при небезопасном обращении разрешена;
[25]	Алгоритм замещения	0 – Псевдослучайный алгоритм с использованием регистра lfsr; 1 – Циклический алгоритм (Round-robin). Используется по умолчанию;
[24:23]	Функция принудительного размещения по записи	0b00 – Учитываются значения сигналов AWCACHE (по умолчанию); 0b01 – Данные принудительно не размещаются, разряд WA всегда выставлен в 0; 0b10 – Значения сигналов AWCACHE не учитываются, разряд WA всегда выставлен в 1, все кэшируемые промахи по записи размещаются в кэш; 0b11 – рассматривается как 00;

Разряды	Поле	Описание
[22]	Разрешение игнорирования атрибута разделяемого доступа (Shared Override)	0 – Обращения к разделяемой памяти рассматриваются в соответствии с атрибутом разделяемого доступа (по умолчанию) 1 – Атрибут разделяемого доступа игнорируется;
[21]	Разрешение контроля четности	0 – Контроль четности запрещен (значение по умолчанию); 1 – Контроль четности разрешен;
[20]	Включение шины мониторинга событий	0 – Отключено (значение по умолчанию); 1 – Включено;
[19:17]	Размер канала	0b000 – Резерв, рассматривается как 16KB; 0b001 – 16KB; 0b010 – 32KB; 0b011 – 64KB; 0b100 – 128KB; 0b101 – 256KB; 0b110 – 512KB; 0b111 – резерв, рассматривается как 512 KB;
[16]	Количество каналов ^b	0 – 8 каналов; 1 – 16 каналов;
[15:14]	Резерв	Должны быть равны нулю / При чтении возвращает ноль
[13]	Разрешение аннулирования атрибута разделяемого доступа (Shared invalidate)	0 – Аннулирование атрибута разделяемого доступа запрещено (по умолчанию); 1 – Аннулирование атрибута разделяемого доступа разрешено, если не установлен разряд Shared Override.
[12]	Эксклюзивная организация кэш-памяти	0 – запрещена (по умолчанию); 1 – разрешена;
[11]	Разрешение ограничения использования буфера накопления для обращений по записи к памяти типа Device	0 – Ограничение использования буфера накопления для обращений по записи в память типа Device (Device memory) запрещено. Записи в память устройств могут занимать все ячейки буфера хранения (значение по умолчанию); 1 – Ограничение использования буфера накопления для обращений по записи в Память устройств разрешено. При подключении к многопроцессорной системе Cortex-A9 одна ячейка буфера накопления всегда используется для обслуживания обычной (Normal) памяти.
[10]	Разрешение назначения высокого приоритета для обращения по чтению к памяти типа строго -упорядоченная памяти и памяти типа Device	0 – Приоритет обращений по чтению к памяти типа строго -упорядоченная памяти и памяти типа Device ниже, чем приоритет кэшируемых обращений при арбитраже в ведущих портах кэш-контроллера (по умолчанию); 1 – При арбитраже в ведущих портах кэш-контроллера самый высокий приоритет назначается обращениям по чтению к памяти типа строго -упорядоченная памяти и памяти типа Device;
[9:1]	Резерв	Должны быть равны нулю / При чтении возвращают ноль;
[0]	Разрешение обнуления строки	0 – Обнуление строки запрещено (по умолчанию); 1 – Обнуление строки разрешено;

a. Значение размера канала, принимаемое по умолчанию равно 64 в данной микросхеме.

b. Значение степени ассоциативности, принимаемое по умолчанию равно 16 в данной микросхеме.

3.10.4.5 Регистры управления задержкой памяти тегов и памяти данных (reg1_tag_ram_control и reg1_data_ram_control)

- в Регистре управления задержкой памяти тегов устанавливаются значения задержки памяти тегов;
- в Регистре управления задержкой памяти данных устанавливаются значения задержки памяти данных.

Регистры доступны по записи только для безопасных обращений. Чтение регистров выполняется при небезопасных и безопасных доступах. Запись в регистры при небезопасном доступе вызывает сообщение об ошибке DECERR, при этом значение регистров не обновляется. Запись в регистры при включенном кэше L2 (разряд [0] регистра управления установлен в 1) вызывает сообщение об ошибке SLVERR.

На Рисунок 3.35 показаны назначения разрядов Регистров управления задержкой памяти тегов и памяти данных.

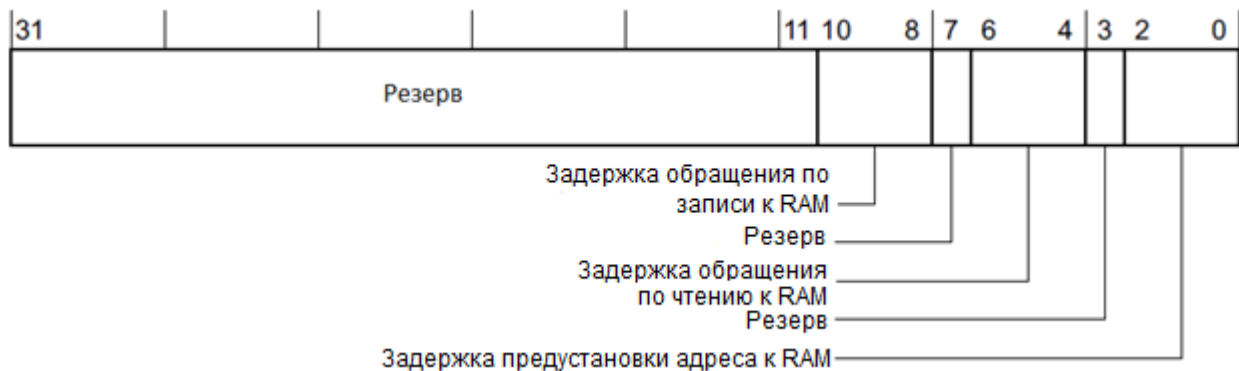


Рисунок 3.35. Назначение разрядов Регистров управления задержкой памяти тегов и памяти данных

В Таблица 3.40 представлено описание разрядов регистров reg1_tag_ram_control и reg1_data_ram_control.

Таблица 3.40. Регистры reg1_tag_ram_control и reg1_data_ram_control

Разряды	Поле	Описание
[31:11]	Резерв	Должны быть равны нулю/ При чтении возвращают ноль
[10:8]	Задержка обращения к RAM по записи	Значение по умолчанию зависит от значения параметра p1310_TAG_WRITE_LAT для регистра reg1_tag_ram_control и p1310_DATA_WRITE_LAT для регистра reg1_data_ram_control. 0b000 – 1 такт задержки (без дополнительной задержки); 0b001 – 2 такта задержки; 0b010 – 3 такта задержки; 0b011 – 4 такта задержки; 0b100 – 5 тактов задержки; 0b101 – 6 тактов задержки; 0b110 – 7 тактов задержки; 0b111 – 8 тактов задержки;
[7]	Резерв	Должны быть равны нулю/ При чтении возвращают ноль

Разряды	Поле	Описание
[6:4]	Задержка обращения к RAM по чтению	Значение по умолчанию зависит от установки параметра p1310_TAG_READ_LAT для регистра reg1_tag_ram_control и p1310_DATA_READ_LAT для регистра reg1_data_ram_control. 0b000 – 1 такт задержки (без дополнительной задержки); 0b001 – 2 такта задержки; 0b010 – 3 такта задержки; 0b011 – 4 такта задержки; 0b100 – 5 тактов задержки; 0b101 – 6 тактов задержки; 0b110 – 7 тактов задержки; 0b111 – 8 тактов задержки;
[3]	Резерв	Должны быть равны нулю / При чтении возвращают ноль
[2:0]	Задержка предустановки адреса к памяти	Значение по умолчанию зависит от установки параметра p1310_TAG_SETUP_LAT для регистра reg1_tag_ram_control и p1310_DATA_SETUP_LAT для регистра reg1_data_ram_control. 0b000 – 1 такт задержки (без дополнительной задержки); 0b001 – 2 такта задержки; 0b010 – 3 такта задержки; 0b011 – 4 такта задержки; 0b100 – 5 такта задержки; 0b101 – 6 тактов задержки; 0b110 – 7 тактов задержки; 0b111 – 8 тактов задержки;

Примечание. Рекомендуемые значения:

- reg1_tag_ram_control – 0x211;
- reg1_data_ram_control – 0x222.

3.10.4.6 Регистр управления счетчиками событий (reg2_ev_counter_ctrl)

Включение/сброс счетчиков событий.

На Рисунок 3.36 показано назначение разрядов регистра reg2_ev_counter_ctrl

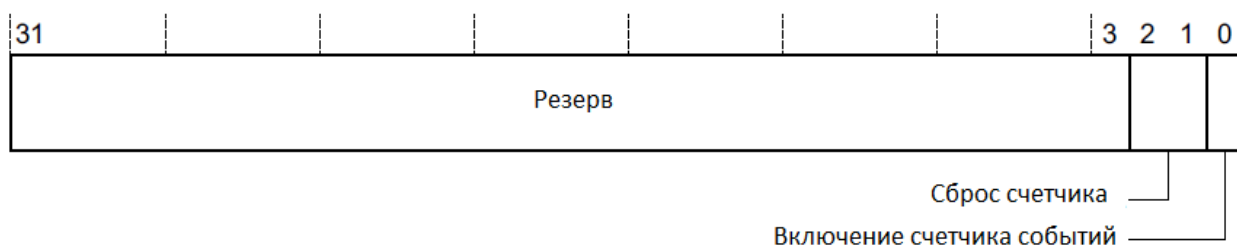


Рисунок 3.36. Назначения разрядов регистра управления счетчиками событий

В Таблица 3.41 представлено описание разрядов регистра reg2_ev_counter_ctrl.

Таблица 3.41. Регистр reg2_ev_counter_ctrl

Разряды	Поле	Описание
[31:3]	Резерв	Должны быть равны нулю / При чтении возвращают ноль
[2:1]	Сброс счетчика	При чтении всегда возвращают ноль. При записи «1» в следующие разряды, происходит сброс соответствующих счетчиков: <ul style="list-style-type: none"> • разряд [2] = сброс Счетчика 1 событий; • разряд [1] = сброс Счетчика 0 событий;

Разряды	Поле	Описание
[0]	Включение счетчика событий	0 – счетчик событий отключен (значение по умолчанию); 1 – счетчик событий включен;

3.10.4.7 Конфигурационные регистры счетчиков событий (reg2_ev_counter0_cfg и reg2_ev_counter1_cfg)

Включение счетчиков событий 1 и 0 по заданному событию. Значение счетчика 1 или счетчика 0 инкрементируется по выставлению события.

На Рисунок 3.37 показано назначение разрядов регистров reg2_ev_counter0_cfg и reg2_ev_counter1_cfg.



Рисунок 3.37. Назначение разрядов конфигурационных регистров счетчиков событий

В Таблица 3.42 представлено описание разрядов регистров reg2_ev_counter0_cfg и reg2_ev_counter1_cfg.

Таблица 3.42. Регистры reg2_ev_counter0_cfg и reg2_ev_counter1_cfg

Разряды	Наименование	Описание
[31:6]	Резерв	Должны быть равны нулю/при чтении возвращают ноль
[5:2]	Выбор источника события	Счетчик отключен – 0b0000 CO – 0b0001 DRHIT – 0b0010 DRREQ – 0b0011 DWHIT – 0b0100 DWREQ – 0b0101 DWTREQ – 0b0110 IRHIT – 0b0111 IRREQ – 0b1000 WA – 0b1001 IPFALLOCC – 0b1010 EPFHIT – 0b1011 EPFALLOCC – 0b1100 SRRCVDC – 0b1101 SRCONF – 0b1110 EPFRCVDC – 0b1111
[1:0]	Режим формирования прерываний по счетчику событий	0b00 – прерывания запрещены (по умолчанию); 0b01 – прерывания по инкременту; 0b10 – прерывания по переполнению; 0b11 – формирование прерываний запрещено;

Примечание. Если входной сигнал SPNIDEN выставлен низким уровнем, счетчики событий инкрементируется только незащищенными событиями. Защищенные события инкрементируют счетчик при условии, что сигнал SPNIDEN выставлен высоким уровнем.

3.10.4.8 Регистры значений счетчиков событий (reg2_ev_counter0 и reg2_ev_counter1)

Регистры позволяют считать значение счетчика. Счетчик выполняет подсчет событий, определяемых в Конфигурационных регистрах счетчиков. Счетчик может быть предварительно загружен, если он отключен и сброшен с помощью регистра управления счетчиком.

Запись в регистры выполняется только при условии, что разряды [5:2] конфигурационных регистров счетчиков событий выставлены в значение отключения счетчика.

В Таблица 3.43 представлено описание разрядов регистров reg2_ev_counter0 и reg2_ev_counter1.

Таблица 3.43. Регистры reg2_ev_counter0 и reg2_ev_counter1

Разряды	Поле	Описание
[31:0]	Значение счетчика	Итоговое значение по выбранному событию. Если счетчик достигает максимального значения, оно фиксируется до сброса счетчика.

3.10.4.9 Регистры прерываний

1. Регистр маски прерываний.
2. Регистр статуса маскированного прерывания.
3. Регистр статуса прерывания.
4. Регистр очистки прерываний.

На Рисунок 3.38 представлено назначение разрядов регистров прерываний

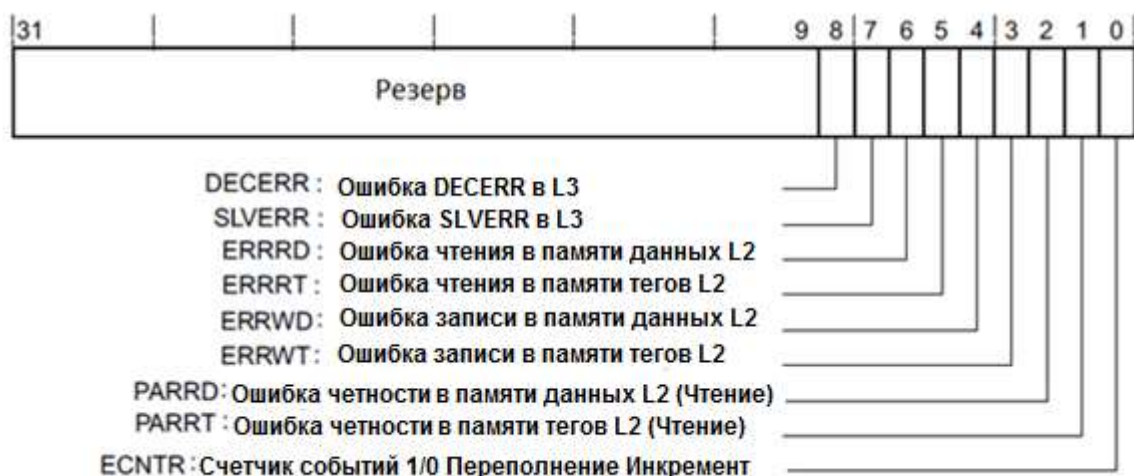


Рисунок 3.38. Назначение разрядов регистров прерываний

3.10.4.10 Регистр маски прерываний (reg2_int_mask)

Регистр разрешает или маскирует прерывания на внешних выходах кэш-контроллера. На Рисунок 3.38 представлено назначение разрядов регистра. Маскирование может быть выполнено как для индивидуального, так и комбинированного сигнала прерывания L2CCINTR.

Очистка разряда путем записи «0» запрещает прерывание на соответствующем выходе. Очистка всех разрядов выполняется сбросом. Для разрешения прерываний, необходимо записать «1» в разряды регистра.

Запись в регистр при небезопасных доступах зависит от значения разряда [27] Служебного регистра управления. Если значение разряда равно 1'b0, в результате небезопасной записи в Регистр маски прерывания формируется сообщение об ошибке DECERR.

В Таблица 3.44 представлено назначение разрядов регистра маски прерываний.

Таблица 3.44. Назначение разрядов регистра маски прерываний

Разряды	Поле	Описание
[31:9]	Резерв	При чтении возвращает ноль
[8]	DECERR: Ошибка DECERR в L3	HIGH – отражают состояние входных линий, вызывающих прерывание; LOW – означает отсутствие прерываний или маскированное прерывание.
[7]	SLVERR: Ошибка SLVERR в L3	
[6]	ERRRD: Ошибка чтения из памяти данных L2	
[5]	ERRRT: Ошибка чтения из памяти тегов L2	
[4]	ERRWD: Ошибка записи в память данных L2	
[3]	ERRWT: Ошибка записи в памяти тегов L2	
[2]	PARRD: Ошибка четности в памяти данных L2, Чтение	
[1]	PARRT: Ошибка четности в памяти тегов L2, Чтение	
[0]	ECNTR: Счетчик событий 1 и Счетчик событий 0 Инкремент/Переполнение	

3.10.4.11 Регистр статуса маскированного прерывания (reg2_int_mask_status)

Регистр доступен только для чтения. Возвращает состояние маскированных прерываний. Регистр доступен для безопасных и небезопасных операций. Значения регистров представляют собой умножение по «И» регистров прерываний и регистров маски прерываний. Очистка разрядов выполняется сбросом. Запись в данный регистр игнорируется.

В Таблица 3.45 представлено описание разрядов регистра reg2_int_mask_status.

Таблица 3.45. Назначения разрядов регистра reg2_int_mask_status

Разряды	Поле	Описание
[31:9]	Резерв	При чтении возвращает ноль
[8]	DECERR: Ошибка DECERR в L3	HIGH – отражают статус входных линий, вызывающих
[7]	SLVERR: SLVERR в L3	

Разряды	Поле	Описание
[6]	ERRRD: Ошибка чтения в памяти данных L2	прерывание; LOW – прерывание отсутствует или маскировано.
[5]	ERRRT: Ошибка чтения в памяти тегов L2	
[4]	ERRWD: Ошибка записи в памяти данных L2	
[3]	ERRWT: Ошибка записи в памяти тегов L2	
[2]	PARRD: Ошибка четности в памяти данных L2, Чтение	
[1]	PARRT: Ошибка четности в памяти тегов L2, Чтение	
[0]	ECNTR: Счетчик событий 1 и Счетчик событий 0 Инкремент /Переполнение	

3.10.4.12 Регистр статуса прерывания (reg2_int_raw_status)

Регистр статуса прерывания возвращает статус прерывания без учета маскирования.

В Таблица 3.46 представлено назначение разрядов регистра статуса прерывания.

Таблица 3.46. Назначение разрядов регистра reg2_int_raw_status

Разряды	Поле	Описание
[31:9]	Резерв	При чтении возвращают ноль
[8]	DECERR: ошибка DECERR в L3	HIGH – отражают состояние входных линий, вызывающих прерывание; LOW – прерывание отсутствует;
[7]	SLVERR: ошибка SLVERR в L3	
[6]	ERRRD: ошибка чтения в памяти данных L2	
[5]	ERRRT: ошибка чтения в памяти тегов L2	
[4]	ERRW: ошибка записи D в памяти данных L2	
[3]	ERRWT: ошибка записи в памяти тегов L2	
[2]	PARRD: ошибка четности в памяти данных L2, чтение	
[1]	PARRT: ошибка четности в памяти тегов L2, чтение	
[0]	ECNTR: счетчик событий 1 и счетчик событий 0 инкремент /переполнение	

3.10.4.13 Регистр очистки прерываний (reg2_int_clear)

Очистка разрядов регистра статуса прерываний.

Разрешение доступа к регистру в небезопасном режиме зависит от разряда [27] Служебного регистра управления. Если значение разряда [27] Служебного регистра управления равно 1'b0, в результате обращения по записи при небезопасном доступе формируется сообщение об ошибке DECERR. Чтение данного регистра возвращает ноль.

В Таблица 3.47 представлено назначение разрядов регистра reg2_int_clear.

Таблица 3.47. Регистр reg2_int_clear

Разряды	Поле	Описание
[31:9]	Резерв	При чтении возвращает ноль
[8]	DECERR: ошибка DECERR в L3	1 – очищает соответствующий разряд в регистре статуса прерывания; 0 – игнорируется;
[7]	SLVERR: ошибка SLVERR в L3	
[6]	ERRRD: ошибка чтения в памяти данных L2	
[5]	ERRRT: ошибка чтения в памяти тегов L2	
[4]	ERRWD: ошибка записи в памяти данных L2	
[3]	ERRWT: ошибка записи в памяти тегов L2	
[2]	PARRD: ошибка четности в памяти данных L2, Чтение	

Разряды	Поле	Описание
[1]	PARRT: ошибка четности в памяти тегов L2, Чтение	
[0]	ECNTR: счетчик событий 1 счетчик событий 0 переполнение/инкремент	

3.10.4.14 Регистры операций обслуживания кэш-памяти

Доступ к регистрам операций обслуживания кэш-памяти зависит от состояния флага безопасности шины AXI запроса на выполнение операции. Для выполнения операции обслуживания кэш-памяти необходимо произвести запись в соответствующий регистр. Если операция относится к каналу или набору/каналу, поведение контроллера будет следующим:

- при безопасном доступе разряд безопасности тега игнорируется, и операция выполняется как с защищенными и незащищенными строками кэш-памяти;
- при небезопасном доступе проверяется разряд безопасности тега. Проверка выполняется для каждой небезопасной операции. Такая операция может изменять только незащищенные строки. Защищенные строки игнорируются и остаются без изменений.

Также, в зависимости от состояния признака безопасности доступа, если операция выполняется по физическому адресу (РА), поведение кэш-контроллера будет следующим:

- безопасный доступ: операция производится только над защищенными данными в кэше;
- небезопасный доступ: операция производится только над незащищенными данными в кэше.

В Таблица 3.48 представлены операции кэш-памяти, которые выполняются путем записи в Регистры операций кэш-памяти.

Таблица 3.48. Операции обслуживания кэш-памяти

Операция	Смещение	Тип	Формат назначения разрядов
Синхронизация кэш-памяти	0x730	RW	Рисунок 3.41
Аннулирование строки по физическому адресу	0x770	RW	Рисунок 3.39
Аннулирование канала	0x77C	RW	Рисунок 3.42
Очистка строки по физическому адресу	0x7B0	RW	Рисунок 3.39
Очистка строки по номеру набора/канала	0x7B8	RW	Рисунок 3.40
Очистка канала	0x7BC	RW	Рисунок 3.42
Очистка и аннулирование по физическому адресу	0x7F0	RW	Рисунок 3.39
Очистка и аннулирование по номеру набора/канала	0x7F8	RW	Рисунок 3.40
Очистка и аннулирование по строкам	0x7FC	RW	Рисунок 3.42

На Рисунок 3.39 представлен формат физического адреса.

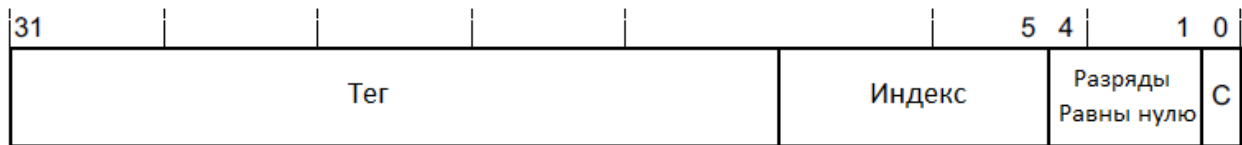


Рисунок 3.39. Формат физического адреса

Позиция границы между полем тега полем индекса смещается в соответствии с шириной поля индекса.

На Рисунок 3.40 представлен формат индекса или канала.

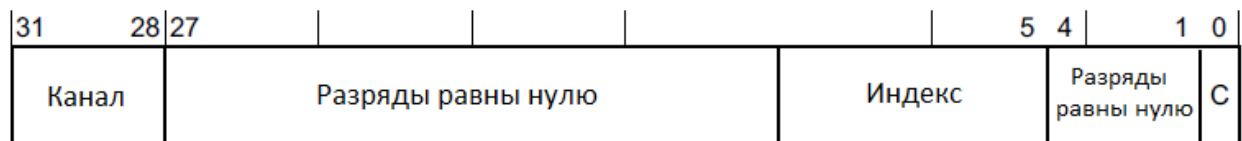


Рисунок 3.40. Формат индекса или канала

На Рисунок 3.41 представлен формат синхронизации кэш-памяти.

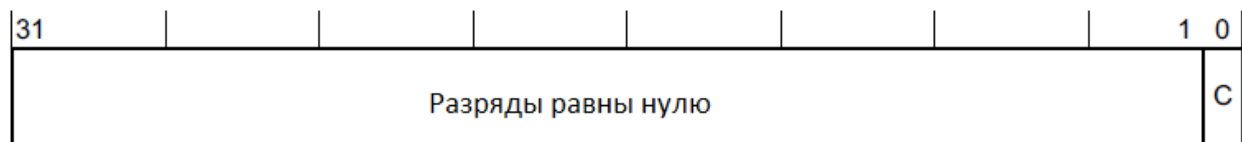


Рисунок 3.41. Формат синхронизации кэш-памяти

Примечание.

Позиция границы между полем SBZ и полем индекса смещается в соответствии с шириной поля индекса.

В кэш-памяти с 16-канальной ассоциативностью используются все четыре разряда [31:28]. Если опция 16-канальной ассоциативности недоступна, разряд [31] является резервным.

Атомарные операции:

1. Очистка строки по физическому адресу или по набору/каналу.
2. Аннулирование строки по физическому адресу.
3. Очистка и аннулирование строки по физическому адресу или набору/каналу.
4. Синхронизация кэш-памяти.

Работа ведомых портов приостанавливается до завершения атомарных операций. При чтении этих регистров, разряд [0] (флаг С) означает, что выполняется фоновая операция. При записи, разряд 0 должен быть равен нулю.

Фоновые операции:

1. Аннулирование канала.
2. Очистка канала.
3. Очистка и аннулирование канала.

Примечание. Если используется блокировка по строкам, операция разблокировки всех строк также является фоновой операцией.

Запись в регистр инициирует операцию в каналах, соответствующих разрядам, установленным в «1» [15:0]. Если разряд установлен в «1», он сбрасывается в «0», когда соответствующий канал будет полностью очищен или аннулирован. Необходимо производить опрос регистра до очистки всех разрядов в «0», что означает завершение операции.

На Рисунок 3.42 представлен формат канала. Может быть выбрано одновременно несколько каналов с помощью установки разрядов каналов в «1».

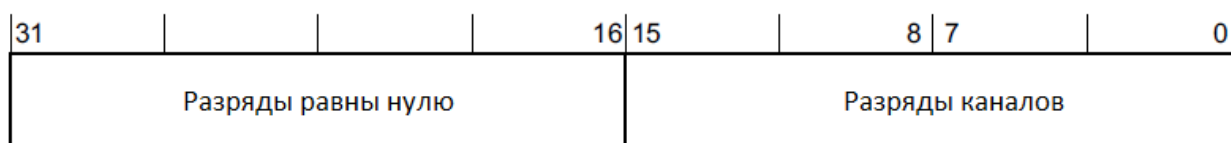


Рисунок 3.42. Формат канала

Примечание. В кэш-памяти с 16-канальной ассоциативностью используются все разряды [15:0]. Если опция 16-канальной ассоциативности не реализована, разряды [15:8] являются резервными.

Во время выполнения фоновых операций, любая запись в конфигурационный регистр или регистр управления вызывает сообщение об ошибке SLVERR.

Во время фоновых операций каналы, над которыми производится операция, рассматриваются как заблокированные до момента завершения операции. Это означает, что в данных каналах не размещаются данные по промаху чтения или записи. При этом попадания по чтению и записи имеют доступ к каналу. Полученные данные не проверяются на наличие конфликта по данным. Также записанные данные могут быть некогерентны с L3, так как неизвестно закончилась ли фоновая операция. В результате, после операции очистки кэш-памяти могут остаться измененные строки.

Примечание. Данные, к которым осуществляется доступ со стороны ведущего интерфейса кэша L1 остаются корректными.

Инструкция очистки не может выполняться программным способом для региона памяти, содержащего активные данные, то есть, данные, к которым производится обращение во время операции очистки. Для подтверждения завершения операции, необходимо маскировать прерывания. Также необходимо обеспечить программный опрос регистра операций кэш-памяти для подтверждения завершения операции.

В Таблица 3.49 представлены операции обслуживания кэш-памяти.

Таблица 3.49. Операции обслуживания кэш-памяти

Операция	Описание
Синхронизация кэш	Очистка буфера накопления. Операция считается завершенной, если очищены все буферы (LRB, LFB, STB, EB).
Аннулирование строки кэш-памяти по физическому адресу	Заданная строка кэша L2 отмечается как недействительная.
Аннулирование канала кэш-памяти	Аннулирование всех данных в заданных каналах, включая измененные данные. При выборе всех каналов, данная операция эквивалентна аннулированию всех записей в кэш-памяти. Операция завершается (как фоновая операция) блокировкой каналов, препятствуя размещению данных в этих каналах.
Очистка строки кэш-памяти по физическому адресу	Заданная строка кэша L2 записывается в L3, если она отмечена как достоверная и измененная. Далее строка отмечается как неизменная, разряд достоверности остается без изменений.
Очистка строки кэш-памяти по набору/каналу	Заданная строка кэша L2 указанного канала записывается в L3, если строка отмечена как достоверная и измененная. Далее строка отмечается как неизменная, разряд достоверности остается без изменений.
Очистка канала	Каждая из строк заданных каналов кэша L2 записываются в L3, если она отмечена как достоверная и измененная. Далее строки отмечаются как неизменные, разряды достоверности остаются без изменений. Завершается (как фоновая операция) блокировкой каналов.
Очистка и аннулирование строки по физическому адресу	Заданная строка кэша L2 записывается в L3 если строка отмечена как достоверная и измененная. Далее строка отмечается как неизменная.
Очистка и аннулирование строки по номеру набора/канала	Записывает заданную строку кэша L2 указанного канала в кэш L3, если строка отмечена как достоверная и измененная. Далее строка отмечается как недостоверная.
Очистка и аннулирование канала	Каждая из строк заданных каналов кэша L2 записывается в кэш L3, если строка отмечена как достоверная и измененная. Далее строки отмечаются как недостоверные. Завершается (как фоновая операция) блокировкой каналов.

Во время операций, при которых строка кэш-памяти очищается или аннулируется, разряд защищенности (NS) не изменяется и рассматривается как адрес.

3.10.4.15 Операции обслуживания системной кэш-памяти

В данном разделе представлены детальные последовательности программного кода для работы с кэш-памятью в системе, включающей кэши первого и второго уровня. Например, подключение кэш-контроллера к процессорному ядру Cortex-A9. Рассматриваются крайние случаи для многопроцессорной системы с кэшем первого уровня (с поддержкой многопроцессорности) и системной кэш-памятью второго уровня, в особенности, для кэш-памяти с эксклюзивной организацией. Также приводятся корректные последовательности кода для этих случаев. Операции кэш-памяти могут быть инициированы процессорами, поэтому рекомендуется контролировать доступ к соответствующим регистрам кэш-контроллера с помощью семафоров.

Основные особенности архитектуры:

- контроллер в любое время может разместить в кэше ячейку с достоверным отображением в результате чтения ячейки. Операция чтения может вызвать либо спекулятивную выборку, либо спекулятивную загрузку в многопроцессорную систему;
- контроллер в любое время может вытеснить ячейку из кэша в результате новых записей в кэш. Запросы, поступающие от других источников в SCU, также могут вызвать вытеснение из кэша (Подробнее в Cortex™-A9 Technical Reference Manual).

Рассматривается пример наихудших условий, при которых вытеснение и размещение данных в кэше выполняются в максимально неудобное время.

Предполагается, что в целях совместимости имеются некогерентные компоненты в кэше третьего уровня, когерентность должна обеспечиваться на программном уровне.

Для достижения когерентности могут использоваться операции очистки и аннулирования.

Операция очистки используется для оповещения внешних компонентов о любых изменениях в процессоре ARM. Операция аннулирования используется для удаления устаревших записей кэш, признак аннулирования должен быть доступным для внешнего окружения.

В следующих разделах описывается использование операций очистки и операций аннулирования.

В результате этих операций изменения в кластере ARM, включая кэш L1 и L2, становятся видимыми для внешнего окружения. В этом случае система ARM обновляет данные для внешней кэш-памяти L3 или просто внешней памяти. Приведенный пример предполагает отсутствие состояния гонки:

- в процессорном кластере ARM содержатся данные самой последней версии;
- новые записи в ячейку не выполняются другими ядрами внутри кластера, что должно быть отражено для внешних устройств в течение операции очистки.

Последовательность псевдокода для данного примера представлена ниже:

CleanLevel1 Address ; Операция внутри кластера

DSB ; Подтверждение завершения очистки до L 2

CleanLevel2 Address ; Вытеснение ячейки из L2

CACHE SYNC ; Подтверждение завершения очистки L2

Операции аннулирования делает любое изменение во внешней памяти L3 видимым для кластера ARM. Внешняя система обновляет данные для использования системой ARM. Приведенный пример предполагает отсутствие состояния гонки:

- во внешнем кластере памяти содержится самая последняя версия данных;
- ячейка может быть не измененной и находится на любом уровне кэша. Операция очистки системы может быть выполнена до любого внешнего изменения памяти.

Предположение, что последовательность кода, аналогичная приведенной в примере для операции очистки подходит для данного примера, неверно. Например:

InvalLevel1 Address; Аннулирование строки L1

DSB; Подтверждение завершения аннулирования строки L1

InvalLevel2 Address; Аннулирование строки L2

CACHE SYNC; Подтверждение завершения аннулирования строки L2.

Указанная выше последовательность кода работает некорректно, так как данные примеры предполагают, что любая строка может быть размещена в кэш в любое время. Если в кэше L2 осталась устаревшая запись, система разрешает аннулирование кэша L1. До того, как контроллер аннулирует кэш L2, он поместит строку из кэша L2 в кэш L1.

Корректный код для аннулирования кэша с неэксклюзивной организацией представлен ниже:

InvalLevel2 Address; Вытеснение ячейки из L2

CACHE SYNC; Подтверждение завершения аннулирования L2

InvalLevel1 Address; Операция внутри кластера

DSB; Подтверждение завершения аннулирования до L2.

Использование приведенной последовательности гарантирует, что, при размещении в кэш L1 после выполнения аннулирования L1, выбираются новые данные, а не устаревшие данные из кэша L2.

Данная последовательность некорректна для эксклюзивного кэша L2, так как чистая строка, вытесненная из кэша L1, может быть размещена в кэше L2 в период между операциями аннулирования L2 и аннулирования L1. Таким образом, кэш L2 может содержать устаревшие данные, соответственно, последовательность аннулирования работает с ошибкой.

При эксклюзивной организации приведенный пример кода может сработать ошибочно только для данных, но не для инструкций. Однако если данные не могут быть предварительно выбраны, ошибки не произойдет.

Примечание. Повторные операции аннулирования сокращают возможность возникновения ошибки. Пример последовательности, при которой только маловероятное совпадение двух событий по времени может вызвать ошибку аннулирования:

1. InvalL2.
2. InvalL1.
3. InvalL2.

Пример последовательности, при которой возникновение ошибки аннулирования еще менее вероятно, чем в первом случае:

1. InvalL2.
2. InvalL1.
3. InvalL2.
4. InvalL1.

Операция очистки и аннулирования.

Данная операция используются для:

- выключение (Shut down) работающих и отключенных кэш;
- выполнение комбинации операций очистки и аннулирования обеспечивает полную когерентность.

Примечание. После выполнения операции очистки может отдельно использоваться операция аннулирования.

Операция очистки и аннулирования для кэш-памяти обоих уровней аналогична операции очистки, за которой следует операция аннулирования. Ниже представлена необходимая последовательность команд:

CleanLevel1 Address ; Операция внутри кластера

DSB ; Подтверждение завершения очистки до L2

CleanLevel2 Address ; Вытеснение адрес из L2

CACHE SYNC ; Подтверждение завершения очистки L2

InvalLevel2 Address ; Вытеснение адрес из L2

CACHE SYNC ; Подтверждение завершения аннулирования L2

InvalLevel1 Address ; Операция внутри кластера

DSB ; Подтверждение завершения аннулирования до L2

Операция очистки и аннулирования позволяет сократить количество требуемых команд в последовательности:

CleanLevel1 Address; Операция внутри кластера

DSB ; Подтверждение завершения очистки до L2

Clean&InvalLevel2 Address; Вытеснение адреса из L2

CACHE SYNC; Подтверждение завершения аннулирования L2

InvalLevel1 Address; Операция внутри кластера

DSB; Подтверждение завершения аннулирования до L2

Данная последовательность также работает некорректно при использовании эксклюзивной организации кэш-памяти. Еще одна возможная проблема при использовании неэксклюзивной кэш-памяти: если выполняется операция очистки и аннулирования вместо операции очистки, один процессор из кластера может произвести сохранение во время выполнения этой последовательности. Это приведет к возникновению состояния гонки. Эти данные могут остаться невидимыми для внешнего окружения по окончании выполнения последовательности. Для того чтобы избежать этой ошибки, необходимо использовать операцию аннулирования в кэше L1. Таким образом, последовательность кода для операций очистки и аннулирования для двух уровней кэша должна быть следующей:

CleanLevel1 Address ; Операция внутри кластера

DSB ; Подтверждение завершения очистки до L2

Clean&InvalLevel2 Address ; Вытеснение адреса из L2

SYNC ; Подтверждение завершения L2 inval

Clean&InvalLevel1 Address ; Операция внутри кластера

DSB ; Подтверждение завершения операции до L2 (без потери данных)

Таким образом, из приведенных примеров видно, что для кэш-памяти с неэксклюзивной организацией существуют последовательности кода, которые позволяют реализовать функциональность операций очистки, аннулирования, очистки и аннулирования в системе с кэшами L1 и L2.

3.10.4.16 Регистры блокировки кэш-памяти

Данные регистры используются для блокировки кэширования новых адресов, а также для блокировки вытеснения данных из кэш-памяти L2. Таким способом можно отличить транзакции инструкций от транзакции данных.

Примечание. Операции кэш-памяти (аннулирование, очистка, аннулирование и очистка содержимого кэш-памяти) рассматривают заблокированные строки кэш-памяти как незаблокированные.

Обращение к данному регистру (только чтение, чтение, запись) зависит от безопасности обращения, назначенного для этого регистра и значения разряда разрешения блокировки при небезопасных обращениях в служебном регистре управления. В Таблица 3.50 представлены различные настройки регистра блокировки кэш-памяти (Cache Lockdown Register).

Таблица 3.50. Настройки регистра блокировки кэш-памяти

Безопасность обращения	Значение разряда разрешения блокировки при небезопасных обращениях	Тип доступа
Безопасный	0 (по умолчанию)	Чтение и запись
	1	Чтение и запись
Небезопасный	0 (по умолчанию)	Только чтение
	1	Чтение и запись

После сброса разряд разрешения блокировки при небезопасных обращениях установлен в 0, и регистры блокировки не доступны для изменений при небезопасных доступах. В такой конфигурации, попытка записи в регистры при небезопасном доступе формирует сообщение об ошибке DECERR. При возникновении данной ошибки значение регистров не обновляются.

Существуют следующие схемы блокировки:

- блокировка кэш-памяти по строкам;
- блокировка кэш-памяти по каналам.

3.10.4.17 Блокировка кэш-памяти по строкам

Указанные ниже регистры позволяют использовать опциональную блокировку по строкам:

- регистр разрешения блокировки по строкам;
- регистр разблокировки всех строк.

При попытке запустить фоновую операцию кэш-памяти во время выполнения контроллером операции разблокировки всех строк, формируется сообщение об ошибке SLVERR.

Таблица 3.51. Регистр разрешения блокировки по строкам

Разряды	Поле	Описание
[31:1]	Резерв	Должны быть равны нулю/ При чтении возвращают ноль;
[0]	lockdown_by_line_enable	0 – блокировка по строкам отключена (по умолчанию) 1 – блокировка по строкам включена;

Таблица 3.52. Регистр разблокировки всех строк

Разряды	Поле	Описание
[31:16]	Резерв	Должны быть равны нулю/при чтении возвращают ноль
[15:0]	unlock_all_lines_by_way_operation	Для всех разрядов: 0 – Разблокировка всех строк отключена (по умолчанию); 1 – Операция разблокировки всех строк выполняется для соответствующего канала;

3.10.4.18 Блокировка каналов кэш-памяти

Управление механизмами блокировки каналов и блокировки инициатора запроса представлено в Таблицах 3.53 - 3.68. Каждый разряд в данных таблицах означает следующее:

0 – данные могут быть размещены в соответствующем канале;

1 – соответствующий канал заблокирован для размещения данных;

В наименовании сигналов USER $y = R$ или W , и $x = 0$ или 1 .

Таблица 3.53. Регистр блокировки данных 0, смещение 0x900

Разряды	Поле	Описание
[31:16]	Резерв	При чтении возвращает ноль
[15:0]	DATALOCK000	Используется при $AyUSERSx[7:5] = 0b000$

Таблица 3.54. Регистр блокировки инструкций 0, смещение 0x904

Разряды	Поле	Описание
[31:16]	Резерв	При чтении возвращает ноль
[15:0]	INSTRLOCK000	Используется при $AyUSERSx[7:5] = 0b000$

Таблица 3.55. Регистр блокировки данных, смещение 0x908

Разряды	Поле	Описание
[31:16]	Резерв	При чтении возвращает ноль
[15:0]	DATALOCK001	Используется при $AyUSERSx[7:5] = 0b001$

Таблица 3.56. Регистр блокировки инструкций (0x90C)

Разряды	Поле	Описание
[31:16]	Резерв	При чтении возвращает ноль
[15:0]	INSTRLOCK001	Используется при $AyUSERSx[7:5] = 0b001$

Таблица 3.57. Регистр блокировки данных (0x910)

Разряды	Поле	Описание
[31:16]	Резерв	При чтении возвращает ноль
[15:0]	DATALOCK010	Используется при $AyUSERSx[7:5] = 0b010$

Таблица 3.58. Регистр блокировки инструкций 2 (0x914)

Разряды	Поле	Описание
[31:16]	Резерв	При чтении возвращает ноль
[15:0]	INSTRLOCK010	Используется при $AyUSERSx[7:5] = 0b010$

Таблица 3.59. Регистр блокировки данных 3 (0x918)

Разряды	Поле	Описание
[31:16]	Резерв	При чтении возвращает ноль
[15:0]	DATALOCK011	Используется при $AyUSERSx[7:5] = 0b011$

Таблица 3.60. Регистр блокировки инструкций 3 (0x91C)

Разряды	Поле	Описание
[31:16]	Резерв	При чтении возвращает ноль
[15:0]	INSTRLOCK011	Используется при $AyUSERSx[7:5] = 0b011$

Таблица 3.61. Регистр блокировки данных 4 (0x920)

Разряды	Поле	Описание
[31:16]	Резерв	При чтении возвращает ноль
[15:0]	DATALOCK100	Используется при $AyUSERSx[7:5] = 0b100$

Таблица 3.62. Регистр блокировки инструкций 4 (0x924)

Разряды	Поле	Описание
[31:16]	Резерв	При чтении возвращает ноль
[15:0]	INSTRLOCK100	Используется при $AyUSERSx[7:5] = 0b100$

Таблица 3.63. Регистр блокировки данных 5 (0x928)

Разряды	Поле	Описание
[31:16]	Резерв	При чтении возвращает ноль
[15:0]	DATALOCK101	Используется при $AyUSERSx[7:5] = 0b101$

Таблица 3.64. Регистр блокировки инструкций 5 (0x92C)

Разряды	Поле	Описание
[31:16]	Резерв	При чтении возвращает ноль
[15:0]	INSTRLOCK101	Используется при $AyUSERSx[7:5] = 0b101$

Таблица 3.65. Регистр блокировки данных 6 (0x930)

Разряды	Поле	Описание
[31:16]	Резерв	При чтении возвращает ноль
[15:0]	DATALOCK110	Используется при $AyUSERSx[7:5] = 0b110$ Используется при $AyUSERSx[7:5] = 0b110$

Таблица 3.66. Регистр блокировки инструкций 6 (0x934)

Разряды	Поле	Описание
[31:16]	Резерв	При чтении возвращает ноль
[15:0]	INSTRLOCK110	Используется при $AyUSERSx[7:5] = 0b110$

Таблица 3.67. Регистр блокировки данных 7 (0x938)

Разряды	Поле	Описание
[31:16]	Резерв	При чтении возвращает ноль
[15:0]	DATALOCK111	Используется при $AyUSERSx[7:5] = 0b111$

Таблица 3.68. Регистр блокировки инструкций 7 (0x93C)

Разряды	Поле	Описание
---------	------	----------

Разряды	Поле	Описание
[31:16]	Резерв	При чтении возвращает ноль
[15:0]	INSTRLOCK111	Используется при $AyUSERSx[7:5] = 0b111$

3.10.4.19 Алгоритм замещения

Алгоритм замещения определяется разрядом [25] служебного регистра управления: используются циклический алгоритм (round-robin) или псевдо-случайный алгоритм с использованием регистра lfsr. При использовании циклического алгоритма, первыми заполняются недействительные и незаблокированные каналы; для каждой строки, если все каналы действительны или заблокированы, замещаемая строка выбирается в следующем незаблокированном канале. При использовании псевдо-случайного алгоритма первыми заполняются недействительные и незаблокированные каналы; для каждой строки, если все каналы являются действительными и заблокированными, замещаемая строка выбирается произвольно из незаблокированных каналов.

Если требуется применение детерминированного алгоритма замещения, используются регистры блокировки для запрещения размещения данных в заданных каналах. Например, если размер кэша L2 – 256КВ и размер каждого канала 32КВ, участок кода необходимо разместить в двух каналах (64КВ), с детерминированным алгоритмом размещения, каналы 1-7 должны быть заблокированы до того, как код будет загружен в кэш L2. Если первые 32КВ кода кэшируются только в канал 0, тогда канал 0 должен быть заблокирован и канал 1 разблокирован таким образом, что вторая половина кода может быть размещена в канале 1.

Используются два набора регистров блокировки, для данных и для инструкций. При необходимости данные и инструкции могут в отдельные каналы кэш L2.

3.10.4.20 Адресная фильтрация

В реализации с двумя мастер портами для коммутатора, обращения по всему диапазону адресов может перенаправляться через порт 1 (M1).

При включенной адресной фильтрации (address_filtering_enable) все обращения по адресу в диапазоне $\geq \text{address_filtering_start}$ и $< \text{address_filtering_end}$ автоматически направляются в M1. Все остальные обращения направляются в порт 0 (M0).

Опция адресной фильтрации программируется с помощью двух регистров.

Примечание. Так как начальные значения регистров адреса фильтрации соответствуют значениям настроек контроллера после сброса, не предполагается, что значения этих регистров динамически изменяются после сброса. Более того, некорректное изменение этих значений может привести к непредсказуемому поведению в некоторых системах.

3.10.4.21 Регистр начала адресной фильтрации (reg12_addr_filtering_start)

Регистр начала адресной фильтрации доступен по чтению и записи. На Рисунок 3.43 представлено назначение разрядов регистра начала адресной фильтрации.

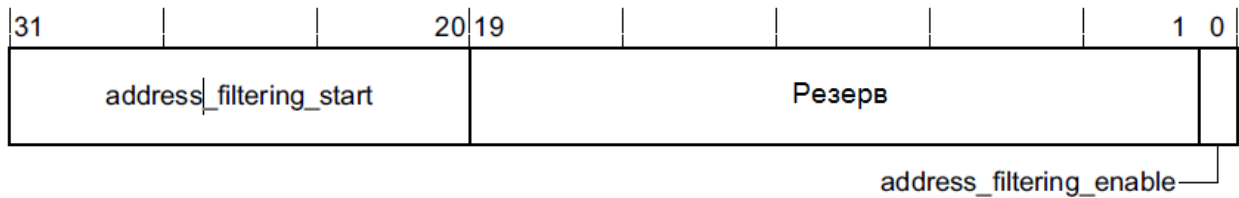


Рисунок 3.43. Назначение разрядов регистра начала адресной фильтрации

В Таблица 3.69 представлено описание разрядов регистра.

Таблица 3.69. Регистр начала адресной фильтрации

Разряды	Поле	Описание
[31:20]	address_filtering_start	Адрес начала адресной фильтрации для разрядов [31:20] адреса фильтрации
[19:1]	Резерв	Должны быть равны нулю /При чтении возвращают ноль
[0]	address_filtering_enable	0 – адресная фильтрация отключена; 1 – адресная фильтрация включена;

Примечание. Рекомендуется сначала установить значение регистра окончания адресной фильтрации, затем регистра начала адресной фильтрации для предотвращения непредсказуемого поведения между двумя операциями записи.

3.10.4.22 Регистр окончания адресной фильтрации (reg12_addr_filtering_end)

Регистр окончания адресной фильтрации доступен по чтению и записи. На Рисунок 3.44 показаны назначения разрядов регистра.

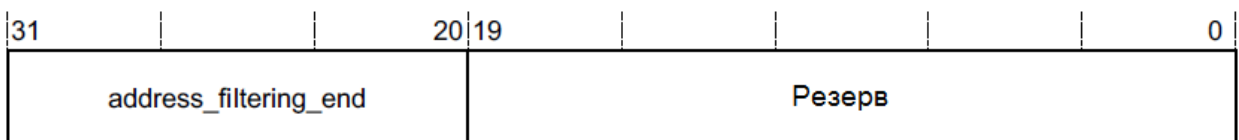


Рисунок 3.44. Назначение разрядов регистра окончания адресной фильтрации

В Таблица 3.70 представлено описание разрядов регистра окончания адресной фильтрации.

Таблица 3.70. Регистр окончания адресной фильтрации

Разряды	Поле	Описание
[31:20]	address_filtering_end	Адрес окончания адресной фильтрации для разрядов [31:20] адреса фильтрации
[19:0]	Резерв	Должны быть равны нулю/ при чтении возвращают ноль

Значение регистра окончания адресной фильтрации после сброса определяется установкой входного сигнала CFGADDRFILTEND.

3.10.4.23 Регистр управления отладкой (reg15_debug_ctrl)

Регистр управления отладкой переключает кэш-память в режим работы, требуемый для отладки. Данный регистр доступен только для чтения при небезопасных обращениях и доступен для чтения и записи при безопасных доступах. Попытка записи в регистр при небезопасном доступе формирует сообщение об ошибке DECERR, значение регистра не обновляется. На Рисунок 3.45 показано назначение разрядов регистра отладки.

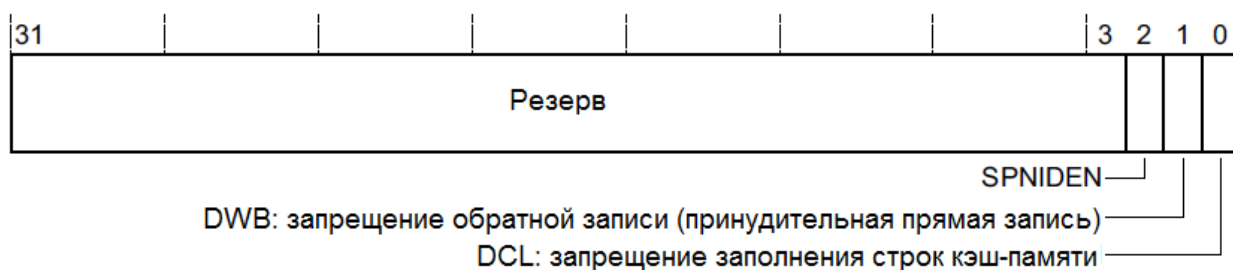


Рисунок 3.45. Назначение разрядов регистра отладки

В Таблица 3.71 представлено описание разрядов регистра отладки.

Таблица 3.71. Регистр управления отладкой

Разряды	Поле	Описание
[31:3]	Резерв	Должны быть равны нулю/при чтении возвращают ноль
[2]	SPNIDEN	Чтение состояния сигнала SPNIDEN
[1]	DWB: Запрещение обратной записи, принудительная прямая запись	0 - Разрешение обратной записи (по умолчанию); 1 - Принудительная прямая запись;
[0]	DCL: Запрещение заполнения строк кэш-памяти	0 - Разрешение заполнения строк кэш-памяти (значение по умолчанию) 1 - Запрещение заполнения памяти

3.10.4.23.1 Принудительная прямая запись

При установке разряда DWB в «1», кэш-контроллер рассматривает все кэшируемые записи как записи в области прямой записи без размещения по записи. Установка разряда DWB отменяет атрибуты доступа. Если кэш содержит измененные строки, они останутся измененными, пока установлен разряд DWB, за исключением случая, когда эти строки уже записываются в результате вытеснения строки после ее заполнения, или в результате явной операции очистки. При установке разряда DWB в «1», чистые строки не отмечаются как измененные при их обновлении. Данная функция позволяет отладчику загрузить код или данные во внешнюю память без требования частичной или полной очистки кэша. Если разряд DWB установлен в «1», и запись производится в измененную строку, тогда строка кэш и внешняя память обновляются данными записи.

3.10.4.23.2 Запрещение заполнения строк кэша

При установке разряда DCL в «1», размещение в кэше запрещено для чтения и записи. Такой режим работы требуется для отладки, когда образ памяти, видимый процессором, может быть использован напрямую. Во время кэш-попадания, данные читаются из кэш-памяти, во время кэш-промахов в кэшируемой области читает слова напрямую из памяти.

Примечание. Опции принудительной прямой записи и запрещения заполнения строк кэш-памяти имеют приоритет над другими опциями, управляющими кэшированием, такими как Принудительная размещение записи и эксклюзивная организация кэш-памяти.

3.10.4.24 Регистр управления предварительной выборкой (reg15_prefetch_ctrl)

Разрешение опций предварительной выборки, позволяющих повысить производительность системы.

Чтение регистра возможно при небезопасном или безопасном обращении. Запись в регистр возможна только при безопасном обращении. Попытка записи в регистр при небезопасном доступе формирует сообщение об ошибке DECERR, значение регистра при этом не обновляется.

Примечание. Резервные разряды должны быть защищены от записи.

На Рисунок 3.46 представлено назначение разрядов регистра управления предварительной выборкой.

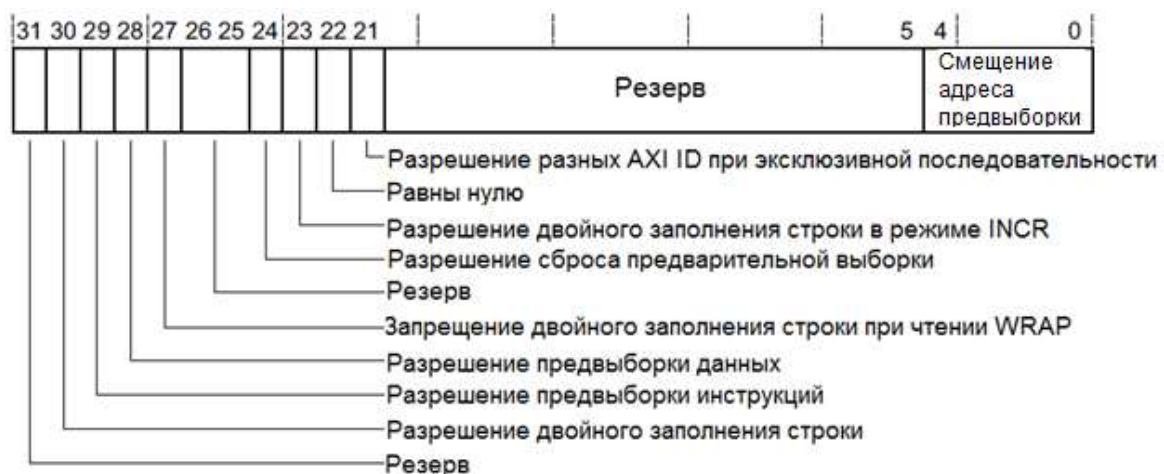


Рисунок 3.46. Назначение разрядов регистра управления предварительной выборкой

Таблица 3.72. Регистр управления предварительной выборкой

Разряды	Поле	Описание
[31]	Резерв	Должны быть равны нулю/при чтении возвращают ноль
[30]	Разрешение двойного заполнения строки	0 – Контроллер L2CC производит пакетное чтение 4-х 64-разрядных слов данных в L3 при промахах по чтению из кэша L2 (по умолчанию); 1 – Контроллер L2CC производит пакетное чтение 8х64-разрядных слов данных в L3 при промахах по чтению из кэша L2.
[29]	Разрешение предварительной выборки инструкций ^a	0 – Предвыборка инструкций запрещена (по умолчанию); 1 – Предвыборка инструкций разрешена;
[28]	Разрешение предварительной выборки данных ^a	0 – Предвыборка данных запрещена (по умолчанию); 1 – Предвыборка данных разрешена;
[27]	Запрещение двойного заполнения строки при чтении с циклическим переносом адреса	0 – Двойное заполнение строки при чтении с циклическим переносом адреса разрешено (по умолчанию); 1 – Двойное заполнение строки при чтении циклическим переносом адреса запрещено.
[26:25]	Резерв	Должны быть равны нулю/при чтении возвращают ноль
[24]	Разрешение сброса предварительной выборки	0 – Контроллер L2CC не производит сброс предварительной выборки из кэша L3 (по умолчанию); 1 – Контроллер L2CC производит сброс предварительной выборки из кэша L3, если происходит эксплицитное чтение из конфликтных ресурсов.
[23]	Разрешение двойного заполнения строки в режиме INCR	0 – Контроллер L2CC не производит пакетное чтение 8-ми 64-разрядных слов данных с инкрементом 0x8 (режим INCR) из кэша L3 при промахах по чтению из кэша L2 (по умолчанию); 1 – Контроллер L2CC может произвести пакетное чтение 8х64-разрядных слов данных с инкрементом 0x8 (режим INCR) из кэша L3 при промахах по чтению из кэша L2.
[22]	Резерв	Должны быть равны нулю / При чтении возвращают ноль
[21]	Разрешение разных идентификаторов при эксклюзивной последовательности	0 – Отдельные части транзакций чтения или записи неэкэшируемой эксклюзивной последовательности будут иметь одинаковый идентификатор AXI ID при обращении к кэшу L3 (по умолчанию). 1 – Отдельные части транзакций чтения или записи неэкэшируемой эксклюзивной последовательности будут иметь разный идентификатор AXI ID при обращении к кэшу L3.
[20:5]	Резерв	Должны быть равны нулю / при чтении возвращают ноль
[4:0]	Смещение адреса предвыборки	Значение по умолчанию = 0b00000. Примечание. Должны быть использованы только следующие значения смещения адреса предвыборки: 0-7, 15, 23 и 31 для этих разрядов. Остальные значения не поддерживаются.

- a. Доступ к разрядам осуществляется через Служебный регистр управления, а также Регистр управления предвыборкой. Служебный регистр управления не может быть изменен при включенном кэше L2. Регистр управления предвыборкой может быть изменен при любых условиях.

3.10.4.25 Регистр управления режимами питания (pwr_ctrl)

Управление режимами работы тактовой частоты и подачи питания;

На Рисунок 3.47 представлено назначение разрядов регистра pwr_ctrl.

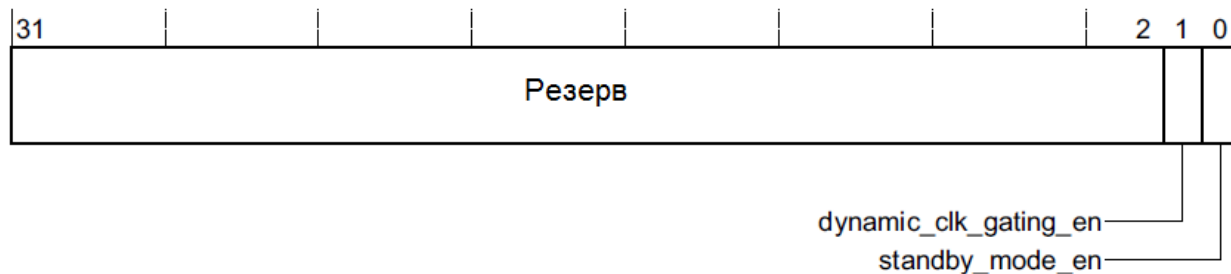


Рисунок 3.47. Назначение разрядов регистра pwr_ctrl

Таблица 3.73. Регистр управления питанием

Разряды	Поле	Описание
[31:2]	Резерв	Должны быть равны нулю/ При чтении возвращает ноль
[1]	dynamic_clk_gating_en	Разрешение динамического стробирования тактовой частоты: 0 – запрещено (по умолчанию); 1 – разрешено;
[0]	standby mode en	Включение режима ожидания: 0 – отключен (по умолчанию); 1 – включен;

4. ЦИФРОВОЙ СИГНАЛЬНЫЙ ПРОЦЕССОР (DSP)

В состав процессора 1892BM14Я входит 2-ядерный DSP-кластер DELcore-30M - симметричный мультипроцессор (СМП), состоящий из 2-х DSP-ядер ELcore-30M - DSP0 и DSP1, работающих на общем поле памяти данных, имеющих набор общих регистров управления/состояния, а также буфера обмена XBUF.

Каждое из двух DSP-ядер ELcore-30M представляет собой ядро сопроцессора-акселератора сигнальной обработки. Оно имеет гарвардскую архитектуру с внутренним параллелизмом по потокам обрабатываемых данных и предназначено для обработки информации в форматах с фиксированной и с плавающей точкой. Система инструкций, реализующих параллельно несколько вычислительных операций и пересылок, 7-фазный программный конвейер и гибкие адресные режимы позволяют реализовать алгоритмы сигнальной обработки с высокой производительностью. Каждое DSP-ядро функционирует под управлением CPU-ядра и расширяет его возможности по обработке сигналов.

4.1 Основные технические характеристики DSP-кластера DELcore-30M

Основные технические характеристики DSP-кластера DELcore-30M следующие:

- 2-ядерный DSP-кластер DELcore-30M (Dual ELVEESs Core) - симметричный мультипроцессор (СМП) из IP –библиотеки платформы «МУЛЬТИКОР», состоящий из двух DSP-ядер ELcore-30M, работающих на общем поле памяти данных;
- «гарвардская» архитектура DSP-ядер с оригинальной системой инструкций;
- набор инструкций, совмещающий процедуры обработки и пересылки;
- одно- и двухтактное исполнение вычислительных команд;
- 7-ступенчатый конвейер по выполнению 32– и 64–разрядных инструкций;
- расширенные возможности по динамическому диапазону обрабатываемых данных, позволяющие обрабатывать данные в 8/16/32–разрядных форматах с фиксированной точкой, плавающей точкой в стандарте IEEE754, либо программно в формате с плавающей точкой 32E16 (расширенный формат). Обеспечение при этом компромиссного выбора между точностью и производительностью. Аппаратные меры повышения точности и динамического диапазона (блочная плавающая точка; режим насыщения; инструкции преобразования форматов);
- аппаратная поддержка программных циклов;
- общий объем памяти программ и данных DSP-кластера – 320 Кбайт;
- подвижная граница между памятью программ и данных: память программ PRAM каждого DSP-ядра может иметь объем от 32 до 128 Кбайт, общая для 2-х DSP-ядер память данных XYRAM объемом от 64 до 256 Кбайт; при распределении памяти выделяемый объем памяти одинаков для обоих ядер;

- механизм прерываний каждого DSP от всех внешних портов, в том числе и от портов MFBSP (тот же набор запросов на прерывания, что и в CPU);
- доступ DSP-ядер ко всему адресному пространству микросхемы - адресуемым регистрам и памяти;
- встроенный кодер Хаффмана (JPEG) для более эффективного сжатия изображений;
- встроенный в каждый DSP 32-разрядный интервальный таймер, работающий от частоты DSP;
- максимальная пропускная способность коммутатора ядер с памятью – 512 бит за такт;
- максимальная скорость обмена внешних устройств с памятью кластера – 64 бит за такт;
- пиковая суммарная производительность DSP-кластера:
 - в формате плавающей точки (24E8, стандарт IEEE754): 16 операций с плавающей точкой (IEEE 754) за 1 такт;
 - в формате фиксированной точки (int32): 16 32-битных операций с фиксированной точкой за 1 такт;
 - в формате фиксированной точки (int16): 64 16-битных операций с фиксированной точкой за 1 такт;
 - в формате фиксированной точки (int8): 96 байтовых операций с фиксированной точкой за 1 такт.

4.2 Структурная схема

Структурная схема 2-ядерного DSP-кластера DELcore-30M приведена на Рисунок 4.1.

На схеме приняты следующие обозначения:

- DSP0 – DSP1 – два DSP-ядра ELcore-30M;
- PMEM – память программ;
- XYMEM – память данных;
- АНВ – контроллер шины CDB (slave);
- MEM_EXT_PORT, MEM_MUX_OUT – распределенный контроллер AXI Switch (slave);
- XBUF_02 – буфер обмена (регистровый файл 32 слова по 64 разряда, 6 портов);
- ArbBuf, MA_LocalArb – распределенный арбитр;
- DSP_logic – вычислительное ядро;
- AGU, AGU-Y – адресные генераторы памяти данных;
- PAG – адресный генератор памяти программ;
- PDC_17 – программный декодер;
- RF9 – регистровый файл 32 слова по 128 разрядов, 9 портов;
- COMM5 – коммутатор входных данных операционных устройств;

- OP1_unit, OP2_unit – операционные (вычислительные) устройства;
- CCR_REG, PDN – регистры признаков результата операции и параметра денормализации.

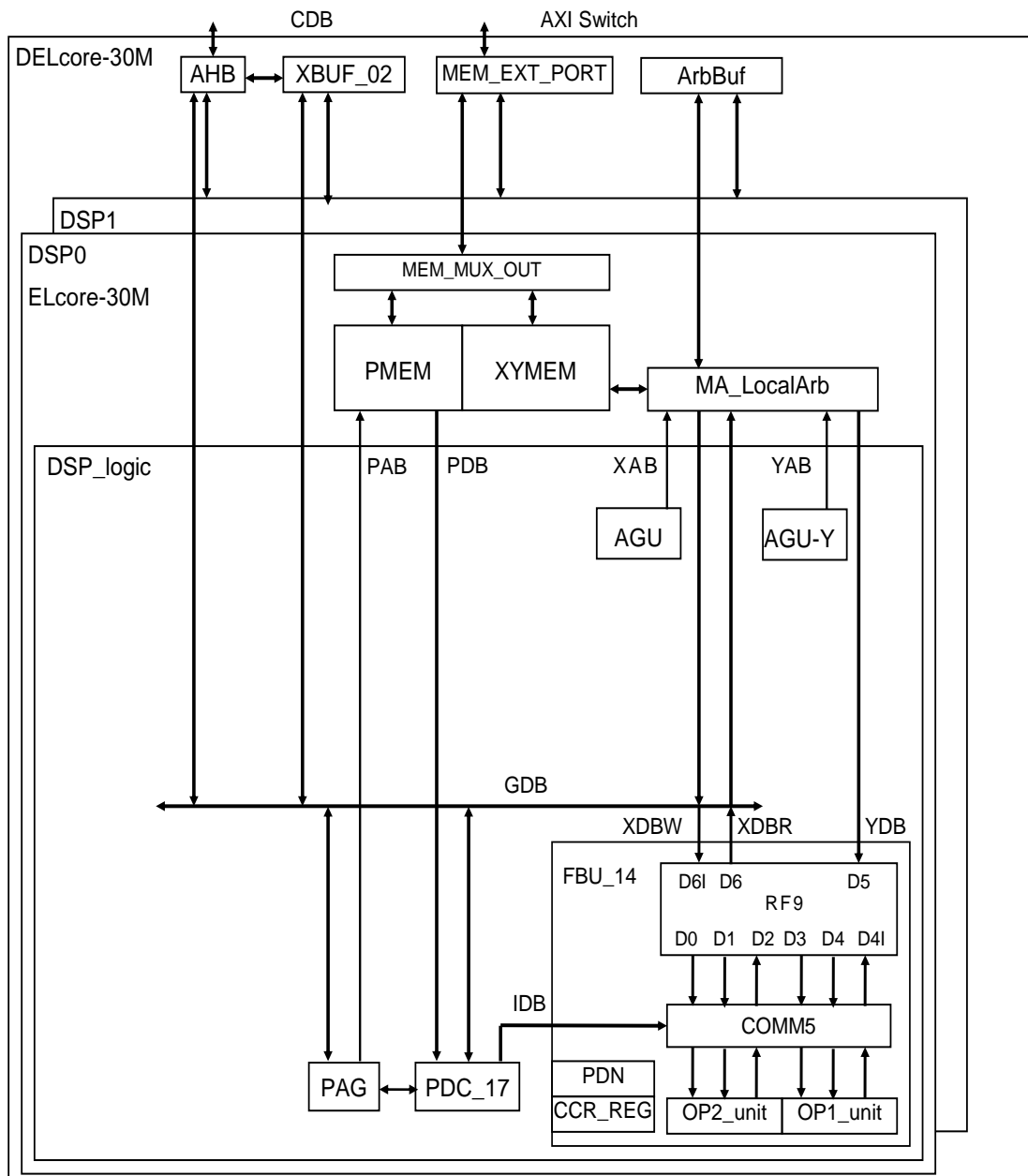


Рисунок 4.1. Структурная схема 2-ядерного DSP-кластера DELcore-30M

4.2.1 Внешний интерфейс DSP-кластера DELcore-30M

Управление кластером DSP осуществляется CPU. Внешний доступ ко всем регистрам DSP ядер, регистрам обменного буфера XBUF, а так же контрольным регистрам общим для обоих ядер DSP кластера осуществляется по шине CDB.

Доступ к программной памяти и памяти данных осуществляется по интерфейсу AXI Switch, позволяющий передавать по 64 бита за такт. При этом каждое DSP-ядро может

запустить DMA обмен, используя один из доступных контроллеров DMA, а так же получить прерывание от контроллера DMA, закончившего обмен. Для этих целей в интерфейсе кластера предусмотрены четыре пары векторных выводов, по которым передается информация, о том какой контроллер DMA должен быть запущен, и от какого именно контроллера поступило прерывание для конкретного DSP ядра.

Для каждого из DSP ядер кластера предусмотрен собственный сигнал синхронизации (тактовый сигнал), поэтому кроме системного такового сигнала шины CDB и AXI Switch, в кластер заводятся 2 тактовых сигнала для каждого из 2-х DSP ядер. Это сделано для обеспечения возможности независимого отключения тактовой частоты от каждого из DSP ядер с целью снижения энергопотребления.

4.2.2 Организация работы DSP-кластера DELcore-30M

Кластер DSP представляет собой 2-ядерную MIMD систему. Каждое DSP ядро обладает собственной программной памятью, и может работать независимо.

Для синхронизации работы DSP ядер в кластере предусмотрено два механизма: механизм прерываний и механизм обменов через XBUF в синхронном режиме.

Каждое DSP ядро может сформировать прерывание для другого ядра. Ядро, получившее прерывание, переходит в состояние RUN, если было остановлено, и начинает исполнение подпрограммы, адрес которой храниться в специальном регистре этого ядра.

Для оперативных обменов данными между CPU, DSP0, DSP1 в составе кластера имеется буфер обмена XBUF, состоящий из 32-х 64-разрядных регистров X0-X31, доступных по записи и чтению для всех процессорных ядер.

Буфер обмена XBUF представляет собой многопортовую память и допускает одновременное чтение одной и той же ячейки со стороны нескольких абонентов - CPU, DSP0, DSP1. При одновременном запросе на запись в одну и ту же ячейку приоритет отдается CPU, затем - DSP0, затем - DSP1.

Обменный буфер может работать в обычном режиме, когда при обмене данными через него не происходит никаких блокировок и в синхронном режиме. В синхронном режиме для конкретного регистра XBUF обязательно должны чередоваться операции чтения записи, если какое либо ядро пытается осуществить запись после записи или чтение после чтения – оно блокируется. Обмен через XBUF в синхронном режиме является дополнительным программным способом синхронизации ядер DSP.

Программная память и память данных кластера DSP физически организована как двухпортовая. По одному порту производятся внешние обращения от RISC ядра и контроллеров DMA, по другому порту производятся обращения от ядер DSP. Такая

организация позволяет производить бесконфликтный фоновый обмен данными между памятью кластера DSP и внешними устройствами.

4.3 Организация памяти

Кластер DSP организован как система с асимметричным доступом к памяти (NUMA). Общее адресное пространство кластера состоит из локальных памяти XYRAM0, XYRAM1 каждого из DSP ядер. Таким образом, вся память разбита на 2 сегмента, при этом для каждого DSP ядра есть ближний (свой) сегмент памяти, обращения к которому в случае, если нет конфликтов с другим ядром, не приводят к простоям ядра. Другой же сегмент для него является дальним (чужим) и обращения к нему могут приводить к простоям ядра даже в отсутствии конфликтов между ядрами. Обращения к чужому сегменту памяти проходят через очередь обращений.

Операция записи является буферизованной, т.е. в отсутствии конфликтов между ядрами запись в дальний сегмент памяти не приводит к простоям ядра. Однако программисту следует учитывать, что физически запись в память происходит не сразу после исполнения инструкции, а через время, требуемое для прохождения данных по очереди обращений и на разрешение конфликтов (в отсутствие конфликтов запись корректных данных в дальнюю память осуществляется через 2 такта после исполнения инструкции записи в память).

4.3.1 Карта памяти

Карта памяти DSP кластера в составе процессора 1892BM14Я приведена в Таблица 4.1.

Каждое из DSP-ядер имеет свою программную память (PRAM) объемом 32 Кбайт и общую для всех память данных XYRAM объемом 256 Кбайт.

Таблица 4.1. Карта памяти DSP в составе 1892BM14Я

Начальный адрес	Конечный адрес	Описание
Регистры DSP		
0x3700_0000	0x3700_055C	Регистры данных и управления ядра DSP0
0x3700_0560	0x3700_0FFC	Резерв (отступ)
0x3700_1000	0x3700_1018	Системные регистры DSP - кластера
0x3700_101C	0x3700_10FC	Резерв
0x3700_1100	0x3700_11FC	Буфер обмена XBUF
0x3700_1200	0x3700_12FC	Регистры JPEG_ENC
0x3700_1300	0x3700_1FFC	Резерв
0x3701_0000	0x3701_055C	Регистры данных и управления ядра DSP1
0x3701_0560	0x3701_0FFC	Резерв (отступ)
0x3702_0000	0x370F_0FFC	Резерв

Начальный адрес	Конечный адрес	Описание
Память DSP		
0x3A40_0000	0x3A41_FFFC	Память данных XYRAM ядра DSP0
0x3A42_0000	0x3A43_FFFC	Память данных XYRAM ядра DSP1
0x3A44_0000	0x3A45_FFFC	Резерв
0x3A46_0000	0x3A47_FFFC	Резерв
0x3A48_0000	0x3A48_7FFC	Память данных BUF0 JPEG_ENC
0x3A48_8000	0x3A48_FFFC	Память данных BUF1 JPEG_ENC
0x3A49_0000	0x3A5F_FFFC	Резерв
0x3A60_0000	0x3A60_7FFC	Память программ PRAM ядра DSP0
0x3A60_8000	0x3A61_FFFC	Резерв
0x3A62_0000	0x3A62_7FFC	Память программ PRAM ядра DSP1
0x3A62_8000	0x3A87_FFFC	Резерв

Каждое из DSP-ядер имеет свою программную память (PRAM) объемом 4К 64-разрядных слов (32 Кбайт) и общую для всех память данных XYRAM объемом 64К 32-разрядных слов (всего 256 Кбайт).

Объем PRAM (DSP0) – 8К 32-разрядных слов (32 Кбайт).

Объем PRAM (DSP1) – 8К 32-разрядных слов (32 Кбайт).

Объем XYRAM – 64К 32-разрядных слов (256 Кбайт).

Для обеспечения возможности одновременного доступа к памяти программ и данных DSP как со стороны CPU (DMA), так и со стороны DSP блоки памяти XYRAM и PRAM аппаратно реализованы как 2-портовые. С внешней стороны возможны как 32-разрядные (CPU), так и 64-разрядные обращения (DMA). Со стороны DSP0–DSP1 возможны 32/64/128-разрядные обращения (чтение и запись) к памяти данных XYRAM. Программная память PRAM со стороны DSP доступна только для чтения 32/64-разрядных слов инструкций.

Два входящих в состав процессора 1892BM14Я DSP-ядра работают на общем поле памяти данных XYRAM. Для каждого DSP-ядра сегмент памяти с соответствующим номером является «ближней» памятью, доступ к которой осуществляется с наименьшей задержкой. Доступ к остальной («дальней») памяти производится с дополнительной задержкой, необходимой для выполнения арбитража.

Указатели A0-A7 адресного генератора AGU и указатель AT адресного генератора AGU-Y полностью равноправны, т.е. по указателям A0-A7, AT каждому из DSP-ядер доступна вся память данных XYRAM.

Начальное состояние регистров A0-A7, AT каждого из DSP-ядер приведено в Таблица 4.2.

Таблица 4.2. Начальное состояние регистров A0-A7, AT

Условное обозначение	Разрядность	Наименование	Начальное состояние	
			DSP0	DSP1
A0-A7	32 R/W	Адресный регистр AGU	0x0000	0x8000
AT	32 R/W	Адресный регистр AGU-Y	0x4000	0xC000

Таким образом, при начальной установке регистры A0-A7 указывают на начало, а регистры AT – на середину ближней (локальной) памяти соответствующего DSP-ядра.

4.3.2 Обращение к памяти программ и данных со стороны DSP-ядер

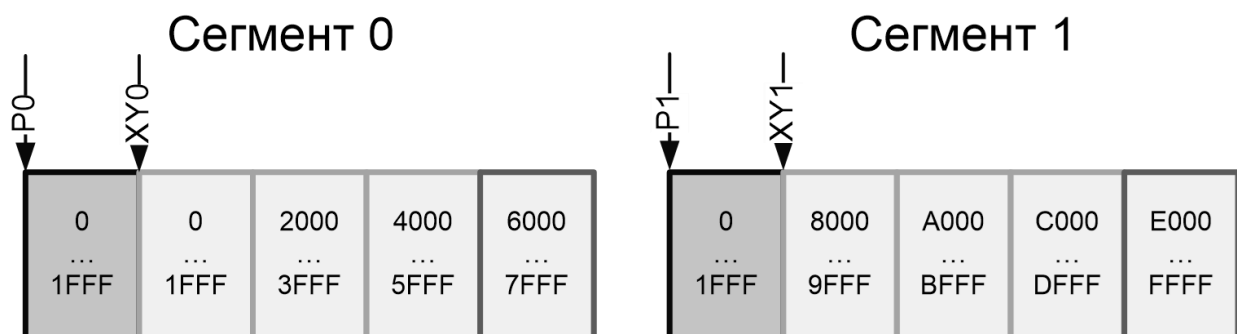
Каждое ядро вычислительного кластера обладает локальной памятью, часть которой используется как программная память, а часть как память данных (Рисунок 4.2). При этом часть локальной памяти, используемая в качестве памяти данных, является частью общего адресного пространства всего кластера.

Локальная память данных вычислительного ядра состоит из 5 страниц размером 8К 32-разрядных слов. Одна страница всегда используется под программную память, три страницы могут быть задействованы как для расширения объёма памяти программ, так и как память данных, пятая страница всегда используется как память данных.

Сегмент 0 (ядро 0)

**Рисунок 4.2. Организация локальной памяти DSP- ядра**

Ниже на рисунке представлено распределение адресов памяти программ и данных каждого ядра и адресов общего поля памяти данных.

**Рисунок 4.3. Распределение адресов по физическим страницам памяти**

Каждое DSP-ядро может обращаться только к программной памяти, находящейся в его локальной памяти.

Участки локальной памяти данных вычислительных ядер образуют общее непрерывное адресное пространство.

Для управляющего процессора начальный адрес каждого сегмента фиксирован и соответствует начальному адресу программной памяти соответствующего DSP-ядра. В отличие от DSP-кластера для управляющего процессора память данных не является неразрывным адресным пространством.

По сигналу начальной установки RSTn адресные указатели X (A0-A7) каждого ядра устанавливаются на начало области памяти данных в сегменте памяти, соответствующем данному ядру, а адресный указатель Y (AT) на середину области данных локального сегмента.

4.3.3 Дисциплина отработки одновременных обращений к общему полю памяти данных со стороны DSP-ядер (арбитраж)

Так как память данных XYRAM является общим ресурсом для обоих DSP-ядер, при одновременном обращении к ней со стороны нескольких DSP-ядер возможны коллизии.

Для уменьшения числа таких коллизий память данных XYRAM разделена на 2 сегмента, каждый из которых содержит 4 страницы объемом 16К 32-разрядных слов. Аппаратно каждая страница реализована в виде четырех блоков памяти по 4К*32 бит каждый.

Таким образом, обращения от различных DSP-ядер к различным страницам памяти могут происходить одновременно и не приводят к коллизиям (конфликтам) и задержкам. Кроме того, возможны два одновременных обращения по X и Y указателям от одного DSP-ядра к одной странице памяти, при условии, что обращения идут к разным блокам памяти.

Коллизии возникают лишь при одновременном обращении нескольких DSP-ядер к одной и той же странице, либо при одновременном обращении X-указателя (A0-A7) и Y-указателя (AT) одного из DSP-ядер к одному физическому блоку памяти.

4.3.4 Доступ DSP кластера к ресурсам процессора

Каждое DSP ядро может обращаться к ресурсам процессора (внешняя и внутренняя память, регистры, периферия).

В целях совместимости адресация внутренней памяти DSP кластера не изменена.

Адресное пространство DSP находится в диапазоне адресов 0x00000000 – 0x000FFFFFF при пословной адресации, которая применяется в ядрах DSP, что соответствует диапазону

0x00000000 – 0x003FFFFC при побайтовой адресации, используемой в адресном пространстве всей системы на кристалле.

Таким образом, обращаясь к адресам адресного пространства DSP (0x00000000 – 0x000FFFFFF - пословная) ядро выполняет обращение к внутренней памяти кластера. В этом случае обращения в зависимости от адреса и номера DSP ядра могут направляться либо в ближний сегмент памяти данного ядра (быстрые обращения), либо в дальний сегмент памяти другого ядра (обращения через коммутатор кластера).

При обращениях к старшим адресам адресного пространства, лежащим вне адресного пространства DSP (0x000FFFFFF - 0xFFFFFFFF - пословная), обращение от DSP ядра перенаправляется на глобальный коммутатор AXI и может быть направлено к любому адресуемому регистру или ячейке памяти, за исключением диапазона 0x00000000 – 0x003FFFFC (адреса полностью соответствуют карте памяти RISC ядра). Важной особенностью внешних обращений DSP, о которой необходимо помнить программисту, является тот факт, что при переходе из адресного пространства DSP с пословной адресацией в глобальное пространство с побайтовой адресацией выполняется аппаратный сдвиг значения адресного указателя на 2 бита влево. Так, например обращение DSP ядра по значению A0 = 0x2ff00001 приведет к обращению по физическому адресу 0xbfc00004.

(DSP адресует память 32-х разрядными словами, поэтому реальный физический адрес внешнего обращения получается сдвигом влево на два разряда текущего значения адресного указателя).

Весь DSP кластер является одним мастером для шины AXI (все ядра кластера выполняют внешние обращения через один общий порт), таким образом, между обращениями от разных DSP ядер могут иметь место конфликты, даже если эти обращения выполняются к различным ресурсам процессора.

DSP ядро поддерживает 32, 64, 128 разрядные пересылки, в то время, как доступ ко многим ресурсам процессора возможен только 64/32 или даже только 32-х разрядными обращениями.

В связи с этим введен механизм разбиения обращения от DSP ядра на 32-х или 64-х разрядные обращения. Для управления режимом разбиения в регистре SR введены биты SplitMode = SR[15:14], назначение которых приведено в таблице.

Таблица 4.3. Режим разбиения в зависимости от значения бит SR[15:14] = SplitMode[1:0]

SplitMode[1:0]	Разрядность обращения от DSP	Обращения к ресурсам процессора
00/11 нет разбиения	32	одно 32-х разрядное
00/11 нет разбиения	64	одно 64-х разрядное

SplitMode[1:0]	Разрядность обращения от DSP	Обращения к ресурсам процессора
00/11 нет разбиения	128	одно 64-х разрядное. биты [127:96] как для данных на запись, так и читаемых данных игнорируются
01 разбиение на 32-х разрядные обращения	32	одно 32-х разрядное
01 разбиение на 32-х разрядные обращения	64	два 32-х разрядных
01 разбиение на 32-х разрядные обращения	128	четыре 32-х разрядных
10 разбиение на 64-х разрядные обращения	32	одно 32-х разрядное
10 разбиение на 64-х разрядные обращения	64	одно 64-х разрядное
10 разбиение на 64-х разрядные обращения	128	два 64-х разрядных

Запись во внешнюю память является буферизованной, таким образом операции записи не приводят к останову конвейера DSP ядра за исключением следующих случаев:

Идут непрерывные 128 разрядные записи и включено разбиение обращений (SplitMode = 01 или SplitMode = 10), либо идут непрерывные 128 или 64 разрядные записи и SplitMode = 01, в этом случае пропускной способности внешнего порта не хватает, буфер обращений переполняется, и до готовности принять новое обращение, ядро блокируется. Такая же ситуация может возникнуть при конфликтах между ядрами при одновременном обращении к внешнему адресному пространству.

Любое чтение по адресам из внешнего для DSP адресного пространства приводит к останову конвейера вплоть до момента получения прочитанных данных.

Поскольку каждое чтение приводит к останову, имеет смысл группировать чтения в два 128 разрядных обращения. Так, например, чтение группы регистров, выполненное по следующей программе:

Move (a0)+i0, r2.1

Move (a0)+i0, r4.1

Move (a0)+i0, r6.1

Move (a0)+i0, r8.1

Move (a0)+i0, r10.1

Move (a0)+i0, r12.l

Move (a0)+i0, r14.l

Move (a0)+i0, r16.l

в среднем занимает в 5.5-6 раз больше тактов, чем чтение пакета из 8 слов, выполненное командой

Move (a0), r2.q (at),r0.q.

4.4 Регистры управления и состояния DELcore-30M

На верхнем уровне кластера DSP имеются 4 регистра управления и состояния. Назначение и адреса этих регистров указаны в Таблица 4.4.

Таблица 4.4. Назначение и адреса регистров управления и состояния кластера DSP

Имя	Разрядность	Тип обращений	Назначение	Адрес
MASKR_DSP	32	R/W	Регистр маски прерываний	0x3700_1000
QSTR_DSP	32	R	Регистр запросов прерываний	0x3700_1004
CSR_DSP	32	R/W	Регистр управления и состояния	0x3700_1008
TOTAL_CLK_CNTR	32	R/W	Счетчик тактов	0x3700_100C

4.4.1 Регистр маски прерываний (MASKR_DSP)

Регистр маски прерываний MASKR_DSP содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») запрос на прерывание в CPU от соответствующего разряда регистра запросов прерываний QSTR_DSP. Регистр доступен по чтению и записи. Начальное состояние регистра MASKR_DSP=0x0.

4.4.2 Регистр запросов прерываний (QSTR_DSP)

Регистр запросов прерываний QSTR_DSP доступен только по чтению и содержит флаги запросов прерываний от 2-х DSP-ядер. Назначение разрядов регистра QSTR_DSP приведено в Таблица 4.5.

Таблица 4.5. Назначение разрядов регистра QSTR_DSP

Номер разряда	Наименование разряда	Назначение
0	PI0	Программное прерывание DSP0
1	SE0	Прерывание по ошибке стека DSP0
2	BREAK0	Прерывание по останову BREAK DSP0
3	STP0	Прерывание по останову STOP DSP0
4-7	-	Резерв
8	PI1	Программное прерывание DSP1
9	SE1	Прерывание по ошибке стека DSP1

Номер разряда	Наименование разряда	Назначение
10	BREAK1	Прерывание по останову BREAK DSP1
11	STP1	Прерывание по останову STOP DSP1
12-27	-	Резерв
28	WAIT	Прерывание по состоянию ожидания DSP0 – DSP1
29-31	-	Резерв

Начальное состояние регистра QSTR_DSP=0x0.

4.4.3 Регистр управления и состояния (CSR_DSP)

Регистр управления и состояния CSR_DSP доступен по чтению и записи и содержит биты управления кластером DSP-ядер. Назначение разрядов регистра CSR_DSP приведено в Таблица 4.6.

Таблица 4.6. Назначение разрядов регистра CSR_DSP

Номер разряда	Наименование разряда	Назначение
0	SYNSTART	Одновременный старт DSP0 – DSP1
1	SYNWORK	Работа XBUF в синхронном режиме
2-15	-	Резерв
16	HEN	Включение режима определения высокой плотности потоков
17	DEN	Разрешение установки явного приоритета (статический режим)
18	LEN	Бит разрешения ограничителя
19	-	Резерв
20-21	DPTR	Номер ядра, обладающего наивысшим приоритетом
24-29	Limit	Максимальное значение счетчика обращений
2-31	-	Резерв

Начальное состояние регистра CSR_DSP=0x0.

Запись «1» в разряд SYNSTART приводит к одновременному запуску двух DSP-ядер. При этом в регистрах DCSR каждого из DSP-ядер бит RUN устанавливается в «1», состояние других разрядов не изменяется. Запись «1» в разряд SYNWORK устанавливает буфер обмена XBUF в синхронный режим.

Арбитраж.

Для управления арбитражем обращений от различных DSP ядер в регистр CSR_DSP введены дополнительные разряды HEN, DEN, LEN, DPTR, Limit.

Более подробно данные биты описаны в разделе 4.10.19.1.

4.4.4 Счетчик тактов (TOTAL_CLK_CNTR)

32-разрядный счетчик тактов (TOTAL_CLK_CNTR) выполняет подсчет числа тактов, в течение которых хотя бы одно из DSP-ядер находилось в состоянии RUN. Любая запись в данный счетчик приводит к его обнулению.

Начальное состояние счетчика тактов также равно нулю: TOTAL_CLK_CNTR = 0x0.

4.5 Буфер обмена XBUF

Для оперативных обменов данными между CPU, DSP0 – DSP1 в составе 1892BM14Я имеется буфер обмена XBUF, состоящий из 32-х 64-разрядных регистров X0-X31, доступных по записи и чтению для всех процессорных ядер.

Буфер обмена XBUF представляет собой многопортовую память и допускает одновременное чтение одной и той же ячейки со стороны нескольких абонентов - CPU, DSP0 – DSP1. При одновременном запросе на запись в одну и ту же ячейку приоритет отдается CPU, затем - DSP0, затем - DSP1.

Особенностью работы XBUF в составе 1892BM14Я является то, что обмены со стороны DSP0 – DSP1 – 64-разрядные, а со стороны CPU – 32-разрядные. Размещение 64-разрядных регистров X0-X31 в адресном пространстве CPU приведено в Таблица 4.22.

4.5.1 Регистр флагов обмена EFR

Регистр флагов обмена (EFR) является общим для всего кластера DSP и предназначен для отображения флагов обменов через буфер XBUF. Регистр EFR содержит 32 бита, доступных только по чтению каждому из DSP-ядер и CPU, начальное состояние EFR=0x0.

Каждый разряд этого регистра формируется аппаратно и отображает тип последней транзакции, выполненной с соответствующей ячейкой XBUF (0 – чтение из XBUF, 1 – запись). Заметим, что *при 8/16/32-разрядных обращениях со стороны CPU изменение состояния EFR происходит только при обращении к младшему байту 64-разрядной ячейки XBUF.*

4.5.2 Режимы обменов с XBUF

Имеются два режима обменов с XBUF – обычный и синхронный (семафорный).

В обычном режиме (устанавливается битом 1 регистра CSR_DSP SYNWORK=0) любой из абонентов - CPU, DSP0 – DSP1 - в любое время может обращаться к любой ячейке XBUF, и это обращение немедленно исполняется (с учетом приоритета по записи).

В синхронном режиме (устанавливается битом 1 регистра CSR_DSP SYNWORK=1):

- CPU обращается к XBUF так же, как и в обычном режиме;

- обращения со стороны DSP0 – DSP1 могут выполняться с задержкой в зависимости от состояния регистра EFR и типа обращения. Если тип обращения не совпадает с типом последней транзакции, выполненной с данной ячейкой XBUF (то есть если за записью следует чтение, а за чтением - запись) то исполнение такого обращения происходит без задержки. Если же за записью вновь следует запрос на запись в ту же ячейку (либо за чтением – вновь запрос на чтение), то такое обращение выполняется с задержкой.

Выдавшее запрос DSP переводится в состояние ожидания, продолжающееся до тех пор, пока соответствующий бит EFR не сменит свое значение на противоположное.

В регистре DCSR каждого DSP-ядра имеется бит $WT=DCSR[4]$, указывающий на то, что DSP находится в состоянии ожидания при обращении к XBUF.

4.6 Структурная схема DSP-ядра ELcore-30M

Структурная схема DSP-ядра ELcore-30M приведена на Рисунок 4.4.

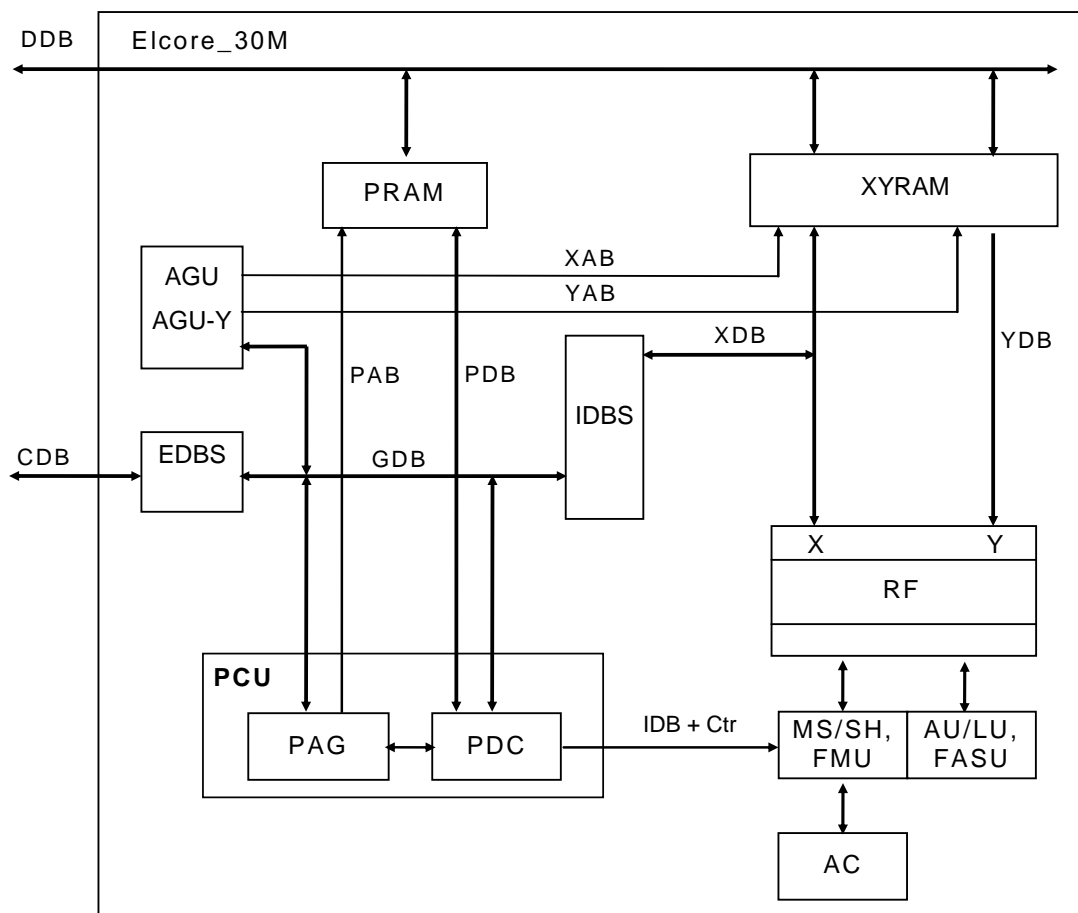


Рисунок 4.4. Структурная схема DSP-ядра ELcore-30M

4.7 Программная модель DSP-ядра ELcore-30M

Программная модель DSP-ядра включает в себя память (программ и данных) и программно-доступные регистры. Регистры обменного буфера XBUF и регистр флагов обмена EFR являются общими для всего DSP-кластера, остальные регистры принадлежат конкретному DSP-ядру и входят в состав одного из его исполнительных устройств. К исполнительным устройствам DSP-ядра относятся:

- вычислительная секция ALU;

- адресные генераторы для XY-памяти данных (AGU и AGU-Y);
- устройство программного управления PCU.

По своему назначению все регистры делятся на регистры данных, объединенные в регистровый файл (RF), и регистры управления (все остальные). Регистры управления разделены на 4 подмножества:

- регистры адресных генераторов AGU, AGU-Y;
- регистры обменного буфера XBUF;
- регистры устройства управления PCU;
- регистры-аккумуляторы (в составе ALU).

Программно-доступные регистры DSP-ядра (включая стеки и регистровый файл) приведены на Рисунок 4.5.

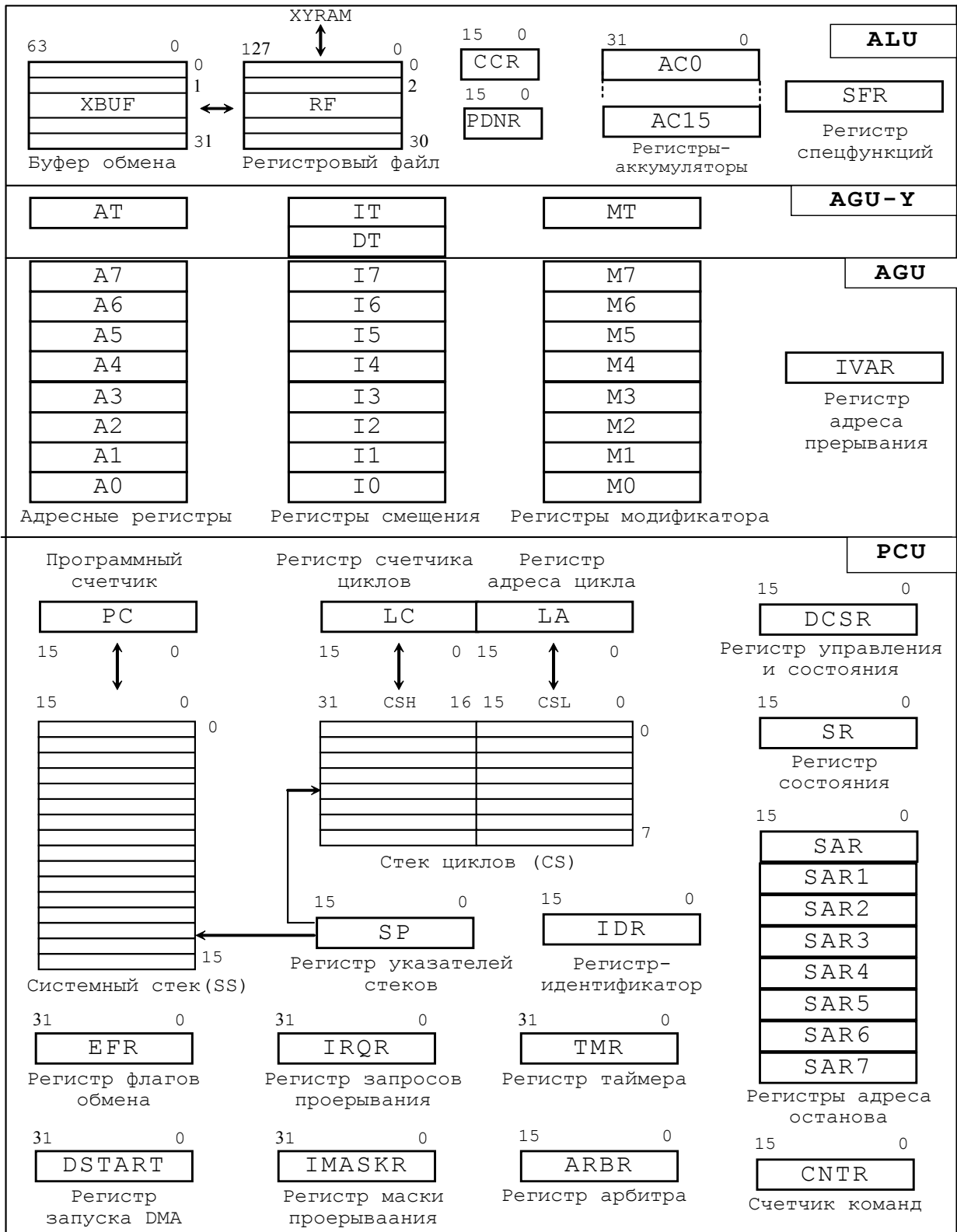


Рисунок 4.5. Программно-доступные регистры DSP-ядра ELcore-30M

4.8 Вычислительная секция (ALU)

4.8.1 Операционные блоки (MS/SH, FMU, AU/LU, FASU).

Операционные блоки выполняют следующие операции.

Умножитель-сдвигатель для форматов с фиксированной точкой (MS/SH):

- операции умножения с целыми числами со знаком и без знака;
- операции умножения чисел со знаком в дробном формате с фиксированной точкой (fractional);
- операции многоразрядного арифметического и логического сдвига в форматах с фиксированной точкой.

Умножитель для формата с плавающей точкой IEEE-754 (FMU):

- операции умножения чисел в формате с плавающей точкой IEEE-754;
- операции FIN (получение 8-разрядного приближения обратной величины);
- операции FINR (получение 8-разрядного приближения обратной величины квадратного корня).

Арифметическое устройство для форматов с фиксированной точкой (AU), включая логическое устройство (LU) и узел битовой обработки (BFU):

- арифметические операции в форматах с фиксированной точкой;
- преобразования форматов чисел;
- ограничение результатов с целью устранения выхода за пределы разрядной сетки (Saturation).
- логические операции;
- операции с битовыми полями.

Арифметическое устройство для формата с плавающей точкой (FASU):

- арифметические операции в форматах с плавающей точкой;
- преобразования форматов чисел.

4.8.2 Регистровый файл

Исходные данные и результаты всех операций ALU хранятся в регистровом файле (RF), который представляет собой реконфигурируемый массив регистров данных (16 регистров по 128 разрядов; или 32 регистра по 64 разряда; или 32 регистра по 32 разряда; или 32 регистра по 16 разрядов). Структура регистрового файла приведена на Рисунок 4.6.

Для определения форматов регистров вводятся следующие мнемоники:

R – 16-разрядные регистры;

R.L – 32-разрядные регистры;

R.D – 64-разрядные регистры;

R.Q – 128-разрядные регистры.

16/32/64-разрядные регистры данных могут иметь номера с R0 по R31, а 128-разрядные регистры – только четные номера с R0 по R30. Четный и нечетный (с номером, большим на единицу) регистры одинаковой разрядности объединяются попарно и образуют 16 регистров большей разрядности с четными номерами, например, два 16-разрядных регистра R0 и R1 образуют 32-разрядный регистр R0.L.

127	64	63	32	31	15		127	64	63	32	31	15			
				16	0						16	0			
R0.Q							R16.Q								
R1.D						R0.D		R17.D						R16.D	
						R1.L								R0.L	
						R1	R0							R1	R1
														7	6
R2.Q							R18.Q								
R2.D						R2.D		R19.D						R18.D	
						R3.L								R2.L	
						R3	R2							R1	R1
														9	8
R4.Q							R20.Q								
R5.D						R4.D		R21.D						R20.D	
						R5.L								R4.L	
						R5	R4							R2	R2
														1	0
R6.Q							R22.Q								
R7.D						R6.D		R23.D						R22.D	
						R7.L								R6.L	
						R7	R6							R2	R2
														3	2
R8.Q							R24.Q								
R9.D						R8.D		R25.D						R24.D	
						R9.L								R8.L	
						R9	R8							R2	R2
														5	4
R10.Q							R26.Q								
R11.D						R10.D		R27.D						R26.D	
						R11.L								R10.L	
						R1	R1							R2	R2
						1	0							7	6
R12.Q							R28.Q								
R13.D						R12.D		R29.D						R28.D	
						R13.L								R12.L	
						R1	R1							R2	R2
						3	2							9	8
R14.Q							R30.Q								
R15.D						R14.D		R31.D						R30.D	
						R15.L								R14.L	
						R1	R1							R3	R3
						5	4							1	0

Рисунок 4.6. Структура регистрового файла ELcore-30M

4.8.3 Регистры-аккумуляторы

Регистры-аккумуляторы предназначены для хранения данных, получаемых в результате выполнения операций умножения с накоплением. Начальное состояние регистров-аккумуляторов равно нулю.

Каждое DSP-ядро ELcore-30M содержит шестнадцать 32-разрядных регистров-аккумуляторов AC0-AC15, которые могут попарно объединяться в восемь 64-разрядных, либо четыре 128-разрядных регистров.

Структура регистрового файла регистров-аккумуляторов приводится на Рисунок 4.7.

AC.L – 32-разрядные регистры;

AC.D – 64-разрядные регистры;

AC.Q – 128-разрядные регистры.

Регистры-аккумуляторы доступны по записи и по чтению как со стороны CPU, так и со стороны DSP.

Адреса регистров-аккумуляторов в адресном пространстве CPU приведены в Таблица 4.22.

Начальное состояние регистров-аккумуляторов равно нулю.

127	64	63	32	31	0
AC0.Q					
AC2.D			AC0.D		
AC3.L	AC2.L	AC1.L	AC0.L		
AC4.Q					
AC6.D			AC4.D		
AC7.L	AC6.L	AC5.L	AC4.L		
AC8.Q					
AC10.D			AC8.D		
AC11.L	AC10.L	AC9.L	AC8.L		
AC12.Q					
AC14.D			AC12.D		
AC15.L	AC14.L	AC13.L	AC12.L		

Рисунок 4.7. Структура регистрового файла регистров-аккумуляторов ELcore-30M

4.8.4 Регистр PDNR

Регистр PDNR - регистр управления, предназначенный для измерения параметра денормализации (PDN) и управления режимом блочной экспоненты и режимом масштабирования (Scaling).

Назначение разрядов регистра PDNR приведено в Таблица 4.7.

Таблица 4.7. Назначение разрядов регистра PDNR

Разряды регистра	Идентификатор	Назначение
0 – 4	Cpdn	Текущий код PDN
5	F	(X/L) – формат анализируемой информации (0 – Long, 1 – X16)
7	Epdn	Программный признак разрешения детектирования и изменения PDN (0 – нет разрешения, 1 – разрешение)
8,9	SC	Величина масштабирования результата (00 – нет сдвига, 01 - сдвиг на 1 разряд, 10 - сдвиг на 2 разряда)
15	Esc	Признак разрешения масштабирования результата (0 – нет разрешения, 1 – разрешение)

Разряды регистра	Идентификатор	Назначение
6,10-14	-	Не используются

Начальное состояние регистра PDNR = 0x0000.

4.8.5 Регистр CCR

Регистр CCR - регистр управления, предназначенный для хранения признаков результатов вычислительных операций. Регистр CCR содержит два поля признаков: основное {Ev,U,N,Z,V,C} (разряды [5:0]) и дополнительное {Evm,Um,Nm,Zm,Vm,Cm} (разряды [15:10]). Поле признаков в младшем байте регистра CCR является основным, т.к. на его основе формируются условия исполнения команд.

Назначение разрядов регистра CCR приведено в таблице 4.8.

Таблица 4.8. Назначение разрядов регистра CCR

Разряды регистра	Идентификатор	Назначение
0	C	Признак переноса, сформированного в результате выполнения операции (0 – нет переноса, 1 – есть перенос)
1	V	Признак переполнения результата (0 – нет переполнения, 1 – есть переполнение)
2	Z	Признак нулевого результата (0 – результат не нулевой, 1 – результат нулевой)
3	N	Знак результата (0 – знак положительный, 1 – знак отрицательный)
4	U	Признак ненормализованного результата (0 – нормализованный результат, 1 – ненормализованный результат)
5	Ev	Запомненный ранее возникший признак переполнения результата (0 – не было переполнения, 1 – было переполнение)
6	E	Экспоненциальный признак (формируется командой CMPE)
7	t	Признак истинности условия после исполнения условной команды (t=0 – безусловная команда либо условие ложно; t=1 – условие истинно)
8	S	Бит включения режима насыщения результата (0 – отключение режима насыщения, 1 – включение режима насыщения)
9	RND	Бит управления режимом округления результата (0 – CR (Convergent Rounding), 1 – TCR (Two's-Complement Rounding))
10	Cm	Признак переноса сформированного в результате выполнения операции OP2 (0 – нет переноса, 1 – есть перенос)
11	Vm	Признак переполнения результата операции OP2 (0 – нет переполнения, 1 – есть переполнение)
12	Zm	Наличие нулевого результата операции OP2 (0 – результат не нулевой, 1 – результат нулевой)
13	Nm	Значение знака результата операции OP2 (0 – знак положительный, 1 – знак отрицательный)
14	Um	Признак ненормализованного результата операции OP2 (0 – нормализованный результат, 1 – ненормализованный результат)
15	Evm	Запомненный ранее возникший признак переполнения результата операции OP2 (0 – не было переполнения, 1 – было переполнение)

Поля признаков формируются по следующим правилам:

- при исполнении одной операции типа OP1 (AU/LU/FASU) ее признаки помещаются только в основное поле;

- при выполнении одной операции типа OP2 (MS/SH/FMU) ее признаки помещаются в оба поля;
- при одновременном выполнении двух вычислительных операций признаки, формируемые операцией типа OP1, поступают в основное поле, признаки операции типа OP2 - в дополнительное поле;
- в тех случаях, когда операция типа OP1 заполняет только часть признаков в основном поле, оставшиеся, формируются операцией OP2.

Регистр CCR содержит также специальные признаки E, t и два управляющих разряда RND и S. Начальное состояние регистра CCR = 0x0000.

4.9 Устройства генерации адресов памяти данных (AGU,AGU-Y)

Общее пространство памяти данных DSP-ядра состоит из двух областей: X- и Y-памяти. Генерация адресов для памяти данных при внутренних обменах DSP осуществляется адресными генераторами - AGU и AGU-Y.

Устройства AGU, AGU-Y производят вычисление адресов, используя целочисленную 16-разрядную арифметику. При этом используется три типа арифметики: линейная, модульная и арифметика с обратным переносом. Устройства генерации адресов функционируют параллельно с другими ресурсами DSP, что обеспечивает высокую производительность обработки данных.

4.9.1 Архитектура AGU

Адресный генератор AGU формирует адрес XAB, обслуживающий память данных XRAM, а также, при определенных условиях, адрес YAB для памяти данных YRAM.

Блок-схема адресного генератора AGU приведена на Рисунок 4.8.

AGU содержит восемь наборов из трех регистров (триплетов), в число которых входят: регистр адреса A_n , регистр смещения I_n и регистр модификатора M_n ($n=0,1,\dots,7$).

AGU может модифицировать один адресный регистр из своего набора регистров в течение одного командного цикла. При этом содержание соответствующего регистра модификатора определяет тип используемой арифметики.

Входящее в состав адресного генератора арифметическое устройство АУ содержит три сумматора.

Первый 16-разрядный полный сумматор, называемый сумматором смещения, выполняет следующие операции модификации адреса:

- увеличение на 1;

- уменьшение на 1;
- увеличение на величину смещения I_n ;
- уменьшение на величину смещения I_n .

Второй полный сумматор, называемый модульным сумматором, добавляет (или вычитает) к результату первого сумматора величину модуля, которая хранится в соответствующем регистре модификатора M_n .

Третий полный сумматор, называемый сумматором обратного переноса, выполняет следующие операции модификации адреса с обратным направлением распространения переноса (от старших разрядов к младшим):

- увеличение на 1;
- уменьшение на 1;
- увеличение на величину смещения I_n ;
- уменьшение на величину смещения I_n .

Сумматор смещения работает параллельно с сумматором обратного переноса и имеет с ним общие входы. Единственная разница между ними состоит в направлении распространения переноса. Управляющая логика определяет, результат которого из трех сумматоров является выходом адресного генератора.

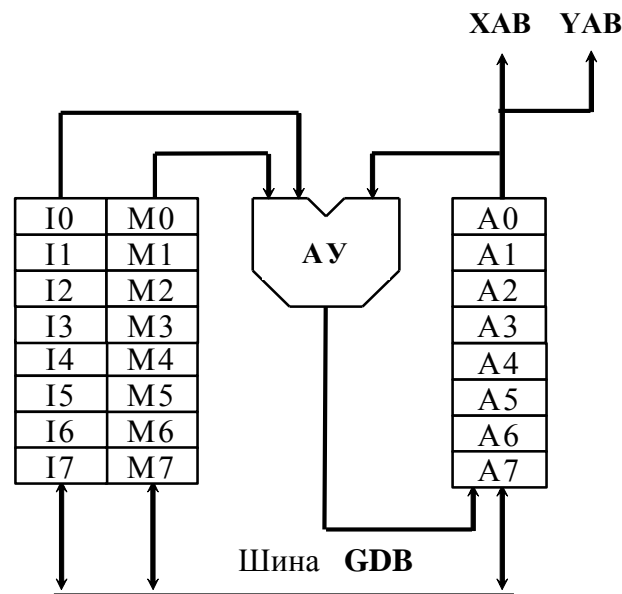


Рисунок 4.8. Блок-схема адресного генератора AGU

В состав AGU входят регистры адреса A_0 - A_7 , регистры смещения I_0 - I_7 и регистры модификатора M_0 - M_7 . Регистры A_n , I_n , M_n , где $n=0, \dots, 7$, составляют триплет. Это означает, что при модификации адресного регистра A_n могут быть использованы только регистры, имеющие тот же индекс – I_n , M_n .

Восемь регистровых триплетов адресного генератора:

- A0:I0:M0;
- A1:I1:M1;
- A2:I2:M2;
- A3:I3:M3;
- A4:I4:M4;
- A5:I5:M5;
- A6:I6:M6;
- A7:I7:M7.

Запись или чтение каждого из указанных регистров осуществляются через глобальную шину данных (GDB) DSP.

4.9.2 Программная модель AGU

С точки зрения программиста, адресный генератор AGU представляет собой восемь наборов по три регистра, как показано на Рисунок 4.9. Эти регистры могут использоваться для хранения адресных указателей или других данных. При косвенной адресации операндов в памяти автоматически включается механизм обновления адресных указателей. Адресные регистры могут быть запрограммированы для линейной адресации, модульной адресации или реверсивной адресации.

A7	I7	M7
A6	I6	M6
A5	I5	M5
A4	I4	M4
A3	I3	M3
A2	I2	M2
A1	I1	M1
A0	I0	M0
Адресные регистры	Регистры смещения	Регистры модификатора

Рисунок 4.9. Программная модель AGU

4.9.3 Архитектура AGU-Y

Адресный генератор AGU-Y формирует адрес YAB для памяти данных YRAM.

В каждой секции DSP имеется отдельное устройство AGU-Y для генерации адресов сегмента памяти YRAM соответствующей секции.

Блок-схема адресного генератора AGU-Y приведена на Рисунок 4.10.

AGU-Y содержит набор регистров, в число которых входят: регистры адреса AT, регистры смещения IT и DT регистр и модификатора MT.

AGU-Y может модифицировать адресный регистр АТ в течение одного командного цикла. При этом содержание соответствующего регистра модификатора МТ определяет тип используемой арифметики.

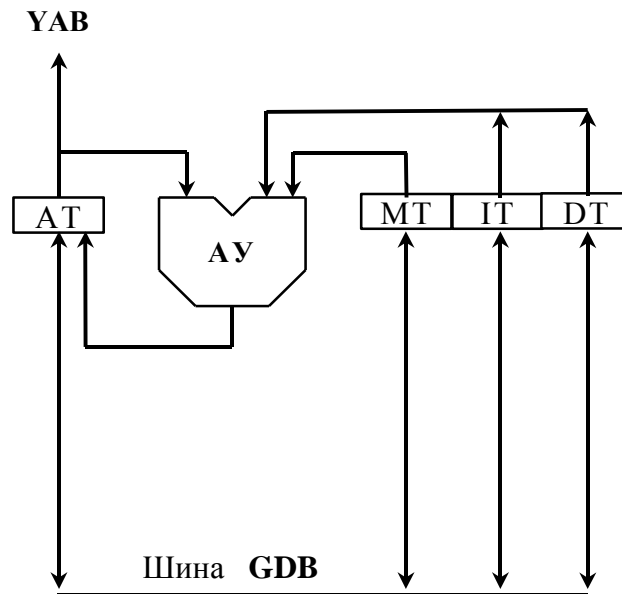


Рисунок 4.10. Блок-схема адресного генератора AGU-Y

Адрес, генерируемый AGU-Y, подается на адресную шину YAB.

Входящее в состав адресного генератора арифметическое устройство АУ содержит три сумматора.

Первый 16-разрядный полный сумматор, называемый сумматором смещения, выполняет следующие операции модификации адреса:

- увеличение на величину смещения ИТ;
- увеличение на величину смещения ДТ.

Второй полный сумматор, называемый модульным сумматором, добавляет (или вычитает) к результату первого сумматора величину модуля, которая хранится в регистре модификатора МТ.

Третий полный сумматор, называемый сумматором обратного переноса, может выполнять следующие операции модификации адреса с обратным направлением распространения переноса – от старших разрядов к младшим:

- увеличение на величину смещения ИТ;
- увеличение на величину смещения ДТ.

Сумматор смещения работает параллельно с сумматором обратного переноса и имеет с ним общие входы. Единственная разница между ними состоит в направлении

распространения переноса. Управляющая логика определяет, результат которого из трех сумматоров является выходом адресного генератора.

В состав AGU-Y входят регистр адреса AT, регистры смещения IT, DT и регистр модификатора MT.

Запись или чтение каждого из указанных регистров осуществляется через глобальную шину данных (GDB) DSP.

4.9.4 Программная модель AGU-Y

С точки зрения программиста, адресный генератор представляет собой восемь наборов по три регистра (AALU1) и набор из четырех регистров (AALU2), как показано на Рисунок 4.11. Регистр MT может быть запрограммирован для линейной адресации, модульной адресации или реверсивной адресации.

AT	IT	MT
	DT	
Адресный регистр	Регистры смещения	Регистр модификатора

Рисунок 4.11. Программная модель AGU-Y

4.9.5 Назначение регистров адресных генераторов

32-разрядные адресные регистры A0-A7, AT содержат адреса памяти данных. Содержимое адресного регистра может непосредственно указывать на данные в памяти либо используется для формирования указателя со смещением. Адресный регистр обновляется после формирования адресного указателя (пост-модификация).

16-разрядные регистры смещений I0-I7, IT содержат значения смещений, используемых для инкрементации или декрементации адресных регистров при выполнении обновления адреса.

16-разрядные регистры модификаторов M0-M7, MT определяют тип адресной арифметики, применяемой при модификации адреса.

Адресные АЛУ поддерживают три типа арифметики: линейную, модульную и арифметику с обратным переносом. Для модульной арифметики содержимое регистров модификаторов определяет также модуль.

4.9.6 Типы адресной арифметики

Значения модификатора Mn и соответствующие им типы адресной арифметики указаны в Таблица 4.9.

Таблица 4.9. Типы адресной арифметики

Модификатор Mn	Адресная арифметика
\$0000	Арифметика с обратным переносом
\$0001	Модуль 2
\$0002	Модуль 3
...	...
\$7FFE	Модуль 32767 ($2^{15} - 1$)
\$7FFF	Модуль 32768 (2^{15})
\$8001	Модуль 2 с кратным обращением
\$8003	Модуль 4 с кратным обращением
\$8007	Модуль 8 с кратным обращением
...	...
\$9FFF	Модуль 2^{13} с кратным обращением
\$BFFF	Модуль 2^{14} с кратным обращением
\$FFFF	Линейная арифметика (Модуль 2^{16})
Остальные комбинации – резерв	

4.9.6.1 Линейная адресная арифметика (Mn = \$FFFF)

Модификация адреса выполняется с использованием обычной 16-разрядной линейной (по модулю 65536) арифметики. 16-разрядное смещение, In, +1 или -1 могут использоваться для вычисления адреса. Диапазон значений может рассматриваться как знаковый (от -32768 до +32767) либо как беззнаковый (от 0 до 65535), так как адресное ALU работает в обоих случаях одинаково.

4.9.6.2 Адресная арифметика с обратным переносом (Mn = \$0000)

Этот вариант адресной арифметики выбирается посредством установки регистра модификатора в 0. Модификация адреса в этом случае выполняется аппаратно с распространением переноса в обратном направлении – от старших разрядов к младшим.

Операция модификации адреса с обратным переносом эквивалентна последовательному выполнению следующих процедур:

1. Изменению на обратный порядок следования разрядов в регистрах адреса и смещения (при этом старший бит становится младшим и т.д.).
2. Модификации адреса посредством нормальной операции сложения.
3. Возвращению первоначального порядка следования разрядов адреса.

В случае, когда величина смещения составляет $2^{(k-1)}$ (целая степень двойки), такая модификация адреса эквивалентна:

1. Обращению порядка следования k младших разрядов An.
2. Увеличению на 1.

3. Возвращению исходного порядка следования к младших разрядов A_n .

Рассматриваемый режим адресной арифметики удобен при реализации алгоритма быстрого преобразования Фурье (БПФ).

4.9.6.3 Модульная адресная арифметика ($M_n = \text{Modulus} - 1$)

Модификация адреса выполняется по модулю M , где M - целое число в пределах от 2 до 32768. Арифметика по модулю M вынуждает значение адреса оставаться в пределах диапазона значений, отличающихся друг от друга не более чем на $M-1$.

Величина $M-1$ хранится в регистре модификатора адреса. Нижняя граница диапазона (базовый адрес) должна иметь нули в младших k разрядах, где $2^k \geq M$. Верхняя граница диапазона определяется как сумма нижней границы и модуля минус единица (базовый адрес + $M - 1$). Нижняя и верхняя границы диапазона определяются значением A_n .

При этом необязательно устанавливать A_n равным базовому адресу. Достаточно того, чтобы величина A_n находилась в пределах требуемого диапазона.

Если при вычислении адреса в этом режиме используется смещение In , его величина не должна превышать M .

Данный тип адресной арифметики удобен при организации циклических буферов для реализации на их основе структур данных типа очередей (FIFO), линий задержки и т.п.

4.9.6.4 Кратная модификация адреса по модулю

Этот тип адресной арифметики выбирается посредством установки в «1» 15-го разряда регистра модификатора M_n , как это показано в Таблица 4.9.

Модификация адреса выполняется по модулю M , где M - степень двойки в пределах от 2^1 до 2^{14} . Арифметика по модулю M вынуждает значение адреса оставаться в пределах диапазона значений, отличающихся друг от друга не более чем на $M-1$.

Величина $M-1$ хранится в младших 15-ти разрядах регистра модификатора адреса M_n . Нижняя граница диапазона (базовый адрес) должна иметь нули в младших k разрядах, где $2^k \geq M$. Верхняя граница диапазона определяется как сумма нижней границы и модуля минус единица (базовый адрес + $M - 1$).

Нижняя и верхняя границы диапазона определяются значением A_n . При этом необязательно устанавливать A_n равным базовому адресу. Достаточно того, чтобы величина A_n находилась в пределах требуемого диапазона.

4.9.7 Особенности X- и Y- указателей

Виды адресации памяти данных XRAM сведены в Таблица 4.10. Режим адресации определяется полем «mode» командного слова инструкции.

Таблица 4.10. Виды X-адресации памяти данных (указатели A0-A7)

Код режима адресации (mode)	Обозначение	Пояснение
000	-	Отмена пересылки
001	(An)	Косвенная
010	(An)+	Пост - автоинкремент
011	(An)-	Пост - автодекремент
100	(An)+In	Пост - автоувеличение
101	(An)-In	Пост - автоуменьшение
110	(An+In)	Индексирование (An не меняется)
111	(An+dspl)	С непосредственным смещением (A не меняется)

Примечание. По установленному признаку «и» в командном слове вычисляется исполнительный адрес без выполнения самой пересылки.

Виды Y-адресации сведены в Таблица 4.11. Режим адресации определяется полем «AT» инструкции и управляющим параметром YM (11-й разряд регистра SR).

Таблица 4.11. Виды Y-адресации памяти данных (указатель AT)

Код режима адресации (поле «AT»)	YM	Обозначение	Пояснение
00	X	-	Отмена пересылки
01	X	(AT)	Косвенная
10	X	(AT)+IT	Пост - автоувеличение
11	0	(AT)+IT	Индексирование (An не меняется)
11	1	(AT)+DT	Пост - автоувеличение

4.9.8 Разрядность адресной арифметики

В ELCORE-30M расширен до 32 разрядов формат адресных регистров A0 – A7, AT. Это вызвано расширением адресного пространства DSP и выходом его за пределы доступности 16-разрядных адресных регистров, существовавших в предшествующих модификациях DSP ELCORE-xx. При этом регистры смещения I0–I7, IT, DT и регистры модификаторов M0–M7 являются 16-разрядными. Важной особенностью адресной арифметики является то, что операции инкремента и декремента выполняются в 16-разрядном формате.

4.9.9 Регистр адреса вектора прерывания IVAR

В ELcore-30M реализован механизм прерываний. При обработке прерывания автоматически выполняется команда JSR IVAR, по которой происходит переход на подпрограмму обработки прерываний, находящуюся по адресу, содержащемуся в регистре адреса вектора прерывания IVAR (16 бит, запись/чтение).

Начальное состояние регистра IVAR=0x1F00.

4.10 Устройство программного управления (PCU)

В настоящем разделе рассматривается устройство программного управления (PCU) и работа программного конвейера DSP.

4.10.1 Архитектура PCU

Устройство PCU включает в себя два аппаратных блока:

Программный адресный генератор PAG;

Программный декодер PDC.

Устройство PDC декодирует инструкции, поступающие из программной памяти, и генерирует сигналы управления программным конвейером.

Программный адресный генератор PAG выполняет вычисление адреса инструкции в программной памяти, организует выполнение программных циклов DO, управляет работой стеков. Ниже на Рисунок 4.12 приведена структурная схема PCU.

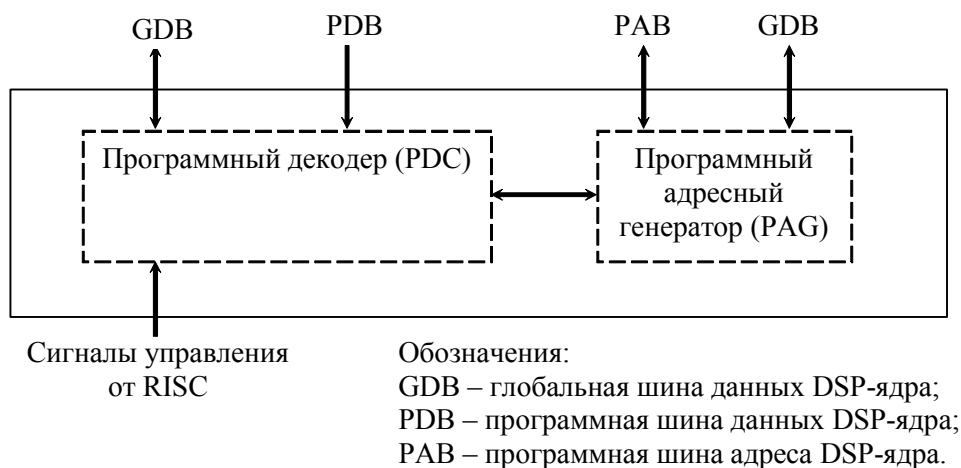


Рисунок 4.12. Структурная схема устройства программного управления (PCU)

4.10.2 Назначение и состав PCU

Устройство программного управления PCU контролирует выборку команд, их декодирование, аппаратно поддерживает организацию цикла DO. Программная модель PCU содержит следующие регистры и стеки:

- регистр управления и состояния DCSR;
- программный счетчик PC;
- регистр состояния SR;
- регистр-идентификатор IDR;
- регистр флагов обмена EFR;
- регистр формирования запросов на прерывание других DSP-ядер DSTART;
- регистр запросов на прерывание IRQR;
- регистры масок запросов на прерывания IMASKR, QMASKR0, QMASKR1, QMASKR2, QMASKR3;
- регистр управления арбитром памяти ARBR;
- регистр таймера TMR;
- регистр адреса окончания цикла LA;
- регистр счетчика циклов LC;
- системный стек SS;
- стеки циклов CSL, CSH;
- регистр указателей стека SP;
- регистры адреса останова SAR, SAR1 – SAR7;
- счетчик команд CNTR;
- регистр спецфункций SFR;
- отладочные регистры.

Устройство PCU содержит системный стек (SS) и стек циклов (CS). В дополнение к стандартным ресурсам программного управления – операциям программных переходов и ветвления – поддерживается механизм программных циклов DO.

Системный стек SS представляет собой внутреннюю последовательно адресуемую память объемом 15 16-разрядных слов, используемую для автоматического сохранения содержимого регистра программного счетчика PC при входе в подпрограмму или в программный цикл (DO, DOFOR).

Стек циклов CS предназначен для сохранения содержимого регистров счетчика цикла и адреса окончания цикла (LC и LA) при организации вложенных программных циклов. Каждая 32-разрядная ячейка стека адресуется как два 16-разрядных регистра – верхний CSH и нижний CSL регистры стека. Адресация стеков осуществляется при помощи регистра указателей стека SP.

Другие данные могут сохраняться в стеках и считываться из них при соответствующих обращениях. Стеки участвуют в обменах как 16-разрядные регистры управления – SS, CSL и CSH.

Устройство PCU управляет режимами работы DSP-ядра. DSP-ядро всегда находится в одном из трех возможных состояний (режимов):

- режим сброса (RESET);
- режим останова (STOP);
- режим выполнения программы (RUN).

В штатном режиме функционирования устройство PCU организует выполнение инструкций при помощи программного конвейера, включающего семь фаз.

4.10.3 Регистр управления и состояния DCSR

Регистр управления и состояния (DCSR) содержит разряды управления, определяющие состояние и режим работы DSP-ядра, а также прерывания, формируемые DSP-ядром для обработки в RISC-ядре.

Назначение разрядов регистра DCSR указано в Таблица 4.12.

Начальное состояние DCSR = 0x0000.

Таблица 4.12. Назначение разрядов регистра DCSR

Разряды регистра	Идентификатор	Назначение
0	PI	Программное прерывание PI.
1	SE	Прерывание по ошибке стека SE
2	BRK	Прерывание по останову BREAK
3	STP	Прерывание по останову STOP
4	WT	Состояние ожидания обмена с XBUF
5–13	-	Не используется
14	RUN	Состояние исполнения программы
15	-	Не используется

4.10.4 Программный счетчик PC

Регистр программного счетчика PC предназначен для хранения 16-разрядного адреса инструкции в программной памяти. Инкрементированное значение PC заносится в системный стек при инициализации нового программного цикла DO, DOFOR и при входе в подпрограмму.

Начальное состояние PC = 0x0000.

4.10.5 Регистр состояния SR

Регистр состояния SR содержит параметры управления и состояния DSP-ядра. Разряды [7:0] регистра SR доступны только по чтению, остальные - по записи/чтению.

Назначение разрядов регистра SR указано в Таблица 4.13.

Таблица 4.13. Назначение разрядов регистра SR

Разряды регистра	Идентификатор	Назначение
0	C	Перенос
1	V	Признак переполнения
2	Z	Признак нулевого результата
3	N	Признак отрицательного результата
4	U	Признак ненормализованного результата
5	Ev	Флаг переполнения (с сохранением)
6	E	Экспоненциальный признак
7	t	Признак истинности последнего условия
8	-	Не используется
9	DD	Управление режимом записи результата в инструкциях ADDSUB, ADDSUBL, ADDSUBX, FAS, CVFE (Double Destination)
10	BD	Управление блокировкой конвейера (Blocking Disabled)
11	YM	Режим адресации памяти YRAM
12-13	-	Не используются
14-15	SplitMode	Управление режимом разбиения пересылок

Начальное состояние регистра SR = 0x0000.

Разряды [7:0] регистра SR содержат интегральные признаки предыдущей арифметической операции.

Бит DD (Double Destination) = SR[9] предназначен для выбора режимов исполнения вычислительных команд, формирующих двойной результат: ADDSUB, ADDSUBL, ADDSUBX, FAS, CVFE. При DD=0 (по умолчанию) указанные команды выполняются в варианте с двумя результатами и двумя адресами записи, при DD=1 один результат удвоенного формата записывается по одному адресу D.L(D.D). (Более подробную информацию можно получить из описания указанных инструкций).

Бит BD (Blocking Disabled) = SR[10] предназначен для управления автоматической блокировкой программного конвейера: при BD = 0 блокировка включена, при BD = 1 отключена.

Пояснение: автоматическая блокировка (включена по умолчанию при BD=0) вызывает торможение программного конвейера в тех случаях, когда последующая инструкция использует еще не сформированный результат предыдущей инструкции. Отключение автоматической блокировки (BD=1) может производиться с целью ускорения работы программы при условии хорошего понимания работы программного конвейера.

Отключение автоматической блокировки не оказывает влияния на остановки вычислительного ядра, вызванные конфликтами при обращении к памяти.

Назначение бита $YM = SR[11]$ описано в Таблица 4.11.

DSP ядро поддерживает 32/64/128 разрядные пересылки, в то время, как доступ ко многим ресурсам процессора возможен только 32/64 или даже только 32-х разрядными обращениями. В связи с этим введен механизм разбиения обращений от DSP ядра на 32-х или 64-х разрядные. Для управления режимом разбиения в регистре SR введены биты $SplitMode = SR[15:14]$, назначение которых описано в разделе 3.3.3.

4.10.6 Регистр-идентификатор IDR

Состояние регистров-идентификаторов DSP-ядер ELcore-30M в составе DSP-кластера: $IDR=0xn108$, где $n=0,1$ – номер DSP-ядра.

4.10.7 Регистр адреса окончания цикла LA

Регистр адреса окончания цикла LA содержит адрес последней инструкции в программном цикле DO, DOFOR. Этот регистр заносится в стек SS по команде DO, DOFOR и извлекается обратно по окончании вложенного цикла либо по команде ENDDO.

Начальное состояние $LA = 0xffff$.

4.10.8 Регистр счетчика циклов LC

Формат регистра LC приведен в Таблица 4.14.

Таблица 4.14. Назначение разрядов регистра LC

Разряды регистра	Идентификатор	Назначение
0 - 13	Nc	Текущее значение 14-разрядного счетчика программных циклов Nc – разряды 0-13 регистра LC
14	LF	Флаг цикла DO – разряд 14 регистра LC
15	FV	Флаг цикла DOFOR – разряд 15 регистра LC

Значение счетчика программных циклов Nc определяет количество повторений программного цикла DO, в пределах от 1 до $(2^{14} - 1)$. Этот регистр заносится в верхнюю (старшую) половину стека циклов CSL по команде DO (образуется вложенный программный цикл) и извлекается обратно по окончании вложенного цикла либо по команде ENDDO.

Начальное состояние $LC = 0x0000$.

4.10.9 Стеки SS, CSL, CSH

Устройство программного управления содержит системный стек SS и стеки циклов CSL, CSH. Системный стек SS имеет объем 15 16-разрядных слов и используется для автоматического сохранения содержимого регистра программного счетчика PC при входе в подпрограмму или в цикл DO, DOFOR. Стеки циклов имеют объем по 7×16 бит и предназначены для хранения соответственно длины цикла и адреса последней инструкции цикла (LC и LA). Стеки участвуют в обменах как 16-разрядные регистры управления – SS, CSL и CSH.

4.10.10 Регистр указателей стека SP

Регистр указателей стека SP содержит указатели на последнее записанное в стеки SS, CSH слово. Назначение разрядов регистра SP указано в таблице 4.15.

Таблица 4.15. Назначение разрядов регистра SP

Разряды регистра	Идентификатор	Назначение
0 - 3	SP	Указатель системного стека
4	SSE	Флаг ошибки системного стека
5	UFS	Флаг переполнения системного стека
6, 7	-	Не используются
8-10	CP[2:0]	Указатель стека циклов
11	CSE	Флаг ошибки стека циклов
12	UFC	Флаг переполнения стека циклов
13-15	-	Не используются

Младший байт регистра SP содержит указатель и флаги системного стека; старший байт - указатель и флаги стека циклов. Начальное состояние SP = 0x0000.

4.10.11 Регистры адреса останова SAR, SAR1-SAR7

Регистры адреса останова SAR, SAR1–SAR7 являются специализированными 16-разрядными регистрами, используемыми при отладке DSP-ядра. Регистры SAR, SAR1–SAR7 определяют точки останова (Breakpoint) - адрес инструкции, непосредственно перед исполнением которой должен произойти останов DSP-ядра. Перед исполнением инструкции с указанным адресом DSP-ядро переходит в состояние останова (RUN=0) и флаг прерывания BRK устанавливается в «1».

Начальное состояние SAR, SAR1–SAR7 = 0xFFFF.

4.10.12 Счетчик команд CNTR

Счетчик команд CNTR - специализированный 16-разрядный регистр, предназначенный для отладки DSP-ядра. Регистр CNTR задает пошаговый режим исполнения программ в соответствии с Таблица 4.16.

Начальное состояние CNTR = 0x0000.

Таблица 4.16. Назначение разрядов регистра CNTR

Счетчик CNTR	Режим исполнения программ
0x0000	Нормальный режим исполнения программ. Число исполняемых команд не ограничено.
N > 0	Пошаговый режим исполнения программ. После исполнения N инструкций DSP-ядро переходит в состояние останова (RUN=0) и флаг прерывания BRK устанавливается в «1».

4.10.13 Регистры управления прерываниями и DMA-обменами

В ELcore-30M имеется механизм прерываний, с помощью которого, в частности, осуществляется запуск DSP со стороны DMA. Кроме того, прерывания в DSP ELcore-30M могут поступать также со стороны CPU, другого DSP-ядра, таймеров.

Для управления DMA-обменами и прерываниями имеется следующий набор регистров:

- вводится регистр запросов на прерывание DSP со стороны DMA, CPU, других DSP-ядер, таймеров – IRQR;
- вводится регистр маски запросов на прерывание DSP – IMASKR;
- вводится псевдорегистр (только запись) формирования запросов на прерывание других DSP-ядер – DSTART.

4.10.14 Механизм отработки прерываний

Отработка запросов на прерывание (в том числе на запуск DSP со стороны DMA) обрабатывается одинаковым образом:

1. аппаратно взводится в состояние «1» соответствующий бит регистра IRQR;
2. аппаратно переводится в состояние «1» бит RUN регистра DCSR (если он еще не находится в этом состоянии);
3. автоматически выполняется команда JSR IVAR, по которой происходит переход на подпрограмму обработки прерываний, находящуюся по адресу, содержащемуся в регистре адреса вектора прерывания IVAR.

Программа не может быть прервана в режиме отключения блокировок конвейера. Если прерывание приходит в момент работы основной программы в данном режиме, обработка прерывания автоматически откладывается до момента перехода программы в обычный режим.

Перед выполнением основного кода обработчика прерываний необходимо выполнить процедуру сохранения контекста. Перед возвратом в прерываемую программу из обработчика прерываний необходимо выполнить процедуру восстановления контекста. Если в прерываемой программе используются условные инструкции, необходимо сохранить значение CCR перед выполнением основного кода обработчика прерываний.

Если в прерываемой программе используется регистр PDNR для автоматического вычисления параметра денормализации - обязательно сохранение регистра PDNR перед выполнением основного кода обработчика прерываний. Если в прерываемой программе и в обработчике используется разные режимы функционирования DSP обязательно нужно сохранять значение SR перед выполнением основного кода обработчика прерываний. Если в обработчике прерываний используются аппаратные циклы и/или вызовы подпрограмм, необходимо сохранять стек DSP перед выполнением основного кода обработчика прерываний. Перед выполнением основного кода обработчика прерываний, необходимо сохранять все регистры, используемые в обработчике прерываний. Для сохранения/восстановления контекста необходим зарезервированный регистр, размером 64 бита, который бы не использовался основной программой.

Регистры CCR и PDNR необходимо сохранять в первую очередь и восстанавливать в последнюю очередь, поскольку многие инструкции сохранения/восстановления контекста могут модифицировать значение этих регистров.

Программа обработки прерывания должна оканчиваться командой возврата RTI.

Поступающие прерывания не имеют иерархии приоритетов и обрабатываются последовательно. Если во время обработки прерывания приходит новый запрос, то обработка его начнется только после завершения текущей программы обработки прерывания.

4.10.15 Регистр запросов на прерывание DSP (IRQR)

Регистр IRQR содержит флаги запросов («1» - наличие запроса, «0» - отсутствие запроса) на прерывание DSP. Назначение разрядов регистра IRQR приведено в Таблица 4.17.

Регистр IRQR доступен по записи и чтению со стороны CPU и DSP.

Таким образом, состояние разрядов регистра IRQR может изменяться как аппаратно – при приходе соответствующего сигнала запроса на прерывание, так и программно – при записи со стороны CPU или DSP.

Таблица 4.17. Назначение разрядов регистра IRQR

Номер разряда	Наименование разряда	Назначение
0-23	-	Резерв
24	IRQ0	Запрос на прерывание DSP со стороны DSP0
25	IRQ1	Запрос на прерывание DSP со стороны DSP1
26-27	-	Резерв
28	INT TMR	Запрос на прерывание DSP со стороны таймера TMR
29	FPE	Исключение при выполнении операции в формате плавающей точки (V=1)
30	QT0	Запрос на внешнее прерывание DSP от группы сигналов DSP_QST0 (табл. 2.78)
31	QT1	Запрос на внешнее прерывание DSP от группы сигналов DSP_QST1, DSP_QST2, DSP_QST3 (табл. 2.78)

Начальное состояние регистра IRQR =0x0.

4.10.16 Регистры масок запросов на прерывание DSP (IMASKR, QMASKR0, QMASKR1, QMASKR2, QMASKR3)

Регистр IMASKR содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») запрос на прерывание DSP от соответствующего разряда регистра запросов прерываний IRQR. Регистр доступен по чтению и записи со стороны CPU или DSP. Начальное состояние регистра IMASKR=0x0.

Сигналы внешних 128-ми прерываний DSP разделены на 4 группы (DSP_QST0, DSP_QST1, DSP_QST2, DSP_QST3) по 32 сигнала, список которых приведен в табл.2.78. Разряды регистров QMASKR0, QMASKR1, QMASKR2, QMASKR3 маскируют соответствующий сигнал соответствующей группы. В самом DSP переход на обработку одного из указанных прерываний фиксируется разрядами 30 (группа DSP_QST0) или 31 (группы DSP_QST1, DSP_QST2, DSP_QST3) регистра IRQR. Для более точного определения источника прерывания требуется прочесть соответствующие регистры возможных источников. Например, для блока SDMA это будет регистр INTMIS.

Регистр маски внешних запросов на прерывание QMASKR0 содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») прерывание DSP от соответствующего внешнего сигнала группы DSP_QST0 (табл. 2.78).

Регистр маски внешних запросов на прерывание QMASKR1 содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») прерывание DSP от соответствующего внешнего сигнала группы DSP_QST1 (табл. 2.78).

Регистр маски внешних запросов на прерывание QMASKR2 содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») прерывание DSP от соответствующего внешнего сигнала группы DSP_QST2 (табл. 2.78).

Регистр маски внешних запросов на прерывание QMASKR3 содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») прерывание DSP от соответствующего внешнего сигнала группы DSP_QST3 (табл. 2.78).

Начальное состояние регистров QMASKR0, QMASKR1, QMASKR2, QMASKR3 - нулевое.

4.10.17 Регистр формирования запросов на прерывание других DSP-ядер (DSTART)

Регистр DSTART доступен только по записи и предназначен для формирования запросов на прерывание других DSP-ядер. Назначение разрядов регистра DSTART приведено в Таблица 4.18.

Таблица 4.18. Назначение разрядов регистра DSTART

Номер разряда	Наименование разряда	Назначение
0-23	-	Резерв
24	DSP0	Формирование запроса на прерывание DSP0
25	DSP1	Формирование запроса на прерывание DSP1
26-31	-	Резерв

4.10.18 Регистр таймера (TMR)

Регистр таймера TMR (32 разряда, запись/чтение) предназначен для формирования периодических запросов на прерывание DSP. Период запросов определяется значением, содержащимся в регистре TMR по формуле: $T_{INT} = (TMR + 1) * T_{CLK}$, где T_{CLK} - период тактовой частоты DSP.

При $TMR = 0$ запросы на прерывание DSP не формируются.

Регистр TMR доступен по записи и чтению. Начальное состояние регистра $TMR = 0x0$.

4.10.19 Регистр управления локальным арбитром (ARBR)

4.10.19.1 Принципы арбитража и режимы работы

Вся память DSP кластера разбита на 2 сегмента, каждый из которых соответствует определенному DSP ядру и состоит из 4 страниц каждый. Таким образом, для каждого ядра существует сегмент «своей» или ближней памяти. В архитектуре глобального коммутатора предусмотрены 2 локальных арбитра, каждый из них осуществляет арбитраж обращений к определенному сегменту памяти. Каждый из локальных арбитров настраивается и работает независимо от другого арбитра. Таким образом, одно ядро может иметь высший приоритет для обращений к одному сегменту памяти и низший для обращений к другому.

Каждая страница памяти состоит из 4-х физических блоков по 4К 32 разрядных слов каждый. Для организации чтения 128 разрядных слов, а так же для повышения производительности при 32-х разрядных обменах с памятью применена технология

расслоения памяти. Т.е. любые 4 последовательно идущих адреса одной страницы располагаются в 4-х разных физических блоках.

В случае если оба ядра обращаются к одной странице памяти, обрабатывается обращение от ядра, имеющего на данный момент высший приоритет (другое ядро останавливается до момента получения высшего приоритета). Если обращения идут к разным страницам (даже внутри одного сегмента), конфликтов не возникает. Конфликтов так же не возникает при обращении одного ядра по X и Y указателям к одной странице памяти, при условии, что обращения идут к разным физическим блокам (условие бесконфликтного обращения одного DSP к одной странице памяти: для 32-х и 64-х разрядных обращений $XAB \% 4 \neq YAB \% 4$).

Обращения к своей памяти не приводят к останову конвейера, если отсутствуют конфликты с другими ядрами, либо для данного ядра явно установлен высший приоритет для обращений к своей памяти (заданы значения бит DEN=1 и DPTR = 0 в регистре ARBR данного ядра).

Остальная память является для текущего ядра дальней. Чтение из дальней памяти неизбежно приводит к останову конвейера на четыре дополнительных такта. Одиночная запись в дальнюю память буферизуется и не приводит к блокировкам. Поддерживается пакетная запись в дальнюю память, которая так же проходит без дополнительных блокировок конвейера. Поддержка пакетных обращений имеет место при работе в режиме захвата, либо при явном задании высшего приоритета для данного ядра. При работе в режиме ограничения, максимальная длина пакета определяется значением ограничителя.

Локальный арбитр может работать в режиме *захвата* (режим по умолчанию). В этом режиме, ядро, получившее разрешение для обращений к определенному сегменту памяти, получает высший приоритет, и сохраняет его до тех пор, пока есть обращения к данному сегменту памяти. Как только обращения от текущего ядра прекращаются, право на захват циклически передается следующему ядру.

Так же предусмотрен режим *ограничения*. В этом режиме включаются счетчики обращений для каждого ядра. Если значение счетчика обращений от ядра, обладающего высшим приоритетом, превышает заданный лимит, то высший приоритет автоматически передается следующему ядру, осуществляющему обращение к памяти. Если обращений со стороны других ядер нет – счетчик сбрасывается, и передачи приоритета не происходит.

В *статическом* режиме приоритет ядер задается явно.

Регистры управления локальными арбитрами располагаются в каждом из DSP ядер и задают режим работы соответствующего локального арбитра.

Назначение разрядов регистра ARBR приведено в Таблица 4.19.

Таблица 4.19. Назначение разрядов регистра ARBR

Номер разряда	Наименование разряда	Назначение
0	HEN	Включение режима определения высокой плотности потоков
1	DEN	разрешение установки явного приоритета (статический режим)
2	LEN	бит разрешения ограничителя
3	-	резерв
4-5	DPTR	номер ядра, обладающего наивысшим приоритетом
6-7	-	резерв
8-13	Limit	максимальное значение счетчика обращений
14-15	-	резерв

HEN – Включение режима определения высокой плотности потоков. Используется в режиме захвата ($LEN = 0$). Если $HEN = 1$, то включаются счетчики, определяющие плотность обращений ядер к данному сегменту. Если плотность обращений хотя бы от одного ядра больше 75% – то при значениях $HEN = 1$ и $LEN = 0$ передача приоритета происходит каждый такт.

DEN – разрешение установки явного приоритета (статический режим). Если данный бит установлен в 1, то при возникновении конфликта приоритет отдается обращению от ядра, номер которого определяется битами DPTR.

DPTR – определяет номер ядра, обладающего наивысшим приоритетом при обращении к сегменту памяти данного DSP. $DPTR = 0$ задает высший приоритет для данного ядра, 1 – высший приоритет для соседа с меньшим номером, далее циклически в сторону уменьшения номера ядра.

LEN – бит разрешения ограничителя. Если данный бит установлен в 1, арбитр работает в режиме ограничения, если бит установлен в 0 арбитр работает в режиме захвата.

Limit – задает максимальное значение счетчика обращений, в режиме ограничения. В этом режиме предусмотрена автоматическая смена приоритета.

4.10.19.2 Механизм передачи приоритета

Передача приоритета осуществляется циклически, между ядрами, осуществляющими обращение к памяти. Механизм передачи приоритета срабатывает в следующих случаях:

- ядро, обладавшее высшим приоритетом, не обращается к текущему сегменту памяти;
- в режиме захвата при $LEN = 0$ и $HEN = 1$ плотность обращений хотя бы от одного ядра больше 75%;
- в режиме ограничения $LEN = 1$, если значение счетчика обращений от ядра с высшим приоритетом достигло значения Limit.

В статическом режиме передачи приоритета не осуществляется.

Начальное состояние регистра ARBR = 0x0F01.

4.10.20 Регистр спецфункций (SFR)

Регистр спецфункций SFR (32 разряда, запись/чтение) предназначен для реализации специальных вычислительных функций. Назначение разрядов регистра SFR определяется реализуемой функцией.

Начальное состояние регистра SFR = 0.

4.10.21 Отладочные регистры

В ELcore-30M вводятся специализированные отладочные регистры и изменяется назначение связанных с отладкой бит в регистре управления DCSR. Состав и адреса специализированных отладочных регистров приведены в Таблица 4.20. Указанные регистры предназначены только для поддержки режима отладки. Их мнемонические имена не поддерживаются ассемблером DSP-ядра ELcore-30M. С введением данных регистров существующие регистры DCSR, SAR, CNTR, SAR1-SAR7 освобождаются от отладочных функций и могут использоваться только самой прикладной программой.

Регистры стадий программного счетчика dbPCx доступны только по чтению.

Таблица 4.20. Специализированные отладочные регистры ELcore-30M

Условное обозначение	Разрядность	Наименование	Адрес регистра (DSP0)	Адрес регистра (DSP1)
dbDCSR	16 R/W	Регистр управления в режиме отладки	0x3700_0500	0x3701_0500
Cnt RUN	32 R	Счетчик тактов	0x3700_0518	0x3701_0518
dbPCe	16 R	Программный счетчик, стадия a	0x3700_0520	0x3701_0520
dbPCa	16 R	Программный счетчик, стадия f	0x3700_0524	0x3701_0524
dbPCf	16 R	Программный счетчик, стадия d	0x3700_0528	0x3701_0528
dbPCd	16 R	Программный счетчик, стадия e	0x3700_052C	0x3701_052C
dbPCe1	16 R	Программный счетчик, стадия e1	0x3700_0530	0x3701_0530
dbPCe2	16 R	Программный счетчик, стадия e2	0x3700_0534	0x3701_0534
dbPCe3	16 R	Программный счетчик, стадия e3	0x3700_0538	0x3701_0538
dbSAR	16 R/W	Регистр адреса останова 0 в режиме отладки	0x3700_053C	0x3701_053C
dbCNTR	16 R/W	Счетчик исполненных команд в режиме отладки	0x3700_0540	0x3701_0540
dbSAR1	16 R/W	Регистр адреса останова 1 в режиме отладки	0x3700_0544	0x3701_0544
dbSAR2	16 R/W	Регистр адреса останова 2 в режиме отладки	0x3700_0548	0x3701_0548
dbSAR3	16 R/W	Регистр адреса останова 3 в режиме отладки	0x3700_054C	0x3701_054C
dbSAR4	16 R/W	Регистр адреса останова 4 в режиме отладки	0x3700_0550	0x3701_0550

Условное обозначение	Разрядность	Наименование	Адрес регистра (DSP0)	Адрес регистра (DSP1)
dbSAR5	16 R/W	Регистр адреса останова 5 в режиме отладки	0x3700_0554	0x3701_0554
dbSAR6	16 R/W	Регистр адреса останова 6 в режиме отладки	0x3700_0558	0x3701_0558
dbSAR7	16 R/W	Регистр адреса останова 7 в режиме отладки	0x3700_055C	0x3701_055C

4.10.22 Регистр dbDCSR

Назначение разрядов регистра dbDCSR указано в Таблица 4.21.

Таблица 4.21. Назначение разрядов регистра dbDCSR

Разряды регистра	Идентификатор	Назначение
0-1	-	не используется
2	dbBRK	флаг останова исполнения программы в режиме отладки
5-13	-	не используется
14	dbRUN	состояние исполнения программы в режиме отладки
15	-	не используется

Начальное состояние dbDCSR = 0x0000.

Назначение бита dbRUN регистра dbDCSR в режиме отладки аналогично назначению бита DBG регистра DCSR в предыдущих модификациях DSP-ядер Elcore-xx.

Наличие этого бита позволяет производить автономную отладку DSP-ядра при остановленном контроллере (в том числе CPU). Установка бита dbRUN в «1» переводит DSP-ядро в состояние исполнения программы в режиме отладки, установка в «0» - в состояние останова. Бит dbRUN автоматически сбрасывается по останову dbBRK.

Флаг dbBRK (флаг останова исполнения программы в режиме отладки) устанавливается в «1» в случае останова DSP по одной из следующих причин:

- 1) по достижении адреса останова, содержащегося в одном из отладочных регистров dbSAR, dbSAR1-dbSAR7;
- 2) по завершении требуемого числа шагов, содержащегося в отладочном регистре dbCNTR.

Примечание. В случае останова по достижении адреса, содержащегося в одном из штатных регистров SAR, SAR1-SAR7 либо по завершении требуемого числа шагов, содержащегося в штатном регистре CNTR, флаг dbBRK в «1» не устанавливается.

4.10.23 Регистры dbSAR, dbSAR1-dbSAR7

Назначение регистров dbSAR, dbSAR1-dbSAR7 в режиме отладки аналогично назначению штатных регистров SAR, SAR1-SAR7 в режиме штатного исполнения программы.

Регистры dbSAR, dbSAR1-dbSAR7 определяют точки останова в режиме отладки. Перед исполнением инструкции с указанным адресом DSP-ядро переходит в состояние останова (dbRUN=0) и флаг dbBRK устанавливается в «1».

Начальное состояние dbSAR, dbSAR1-dbSAR7 равно 0xFFFF.

4.10.24 Регистр dbCNTR

Регистр dbCNTR задает пошаговый режим исполнения программ в режиме отладки аналогично тому, как регистр CNTR делает это в режиме штатного исполнения.

Начальное состояние dbCNTR = 0x0.

4.10.25 Регистр Cnt_RUN

Регистр Cnt_RUN представляет собой счетчик тактов, затраченных на исполнение программы начиная с момента последнего запуска DSP. Доступен только по чтению.

Начальное состояние Cnt_RUN = 0x0.

4.11 Программный конвейер DSP-ядра ELcore-30M

Программный конвейер DSP-ядра ELcore-30M содержит 7 фаз, содержание которых отличается для различных типов команд.

1. Исполнение вычислительных команд

1 фаза (A)	2 фаза (F)	3 фаза (D)	4 фаза (E)	5 фаза (E1)	6 фаза (E2)	7 фаза (E3)
Выдача адреса на PRAM	Чтение инструкции из PRAM	Декодирование инструкции	Формирование блокировок	Выборка данных из RF	Исполнение инструкции (1 фаза)	Исполнение инструкции (2 фаза)

2. Исполнение команд MOVE XRAM, YRAM -> RF

1 фаза (A)	2 фаза (F)	3 фаза (D)	4 фаза (E)	5 фаза (E1)	6 фаза (E2)	7 фаза (E3)
Выдача адреса на PRAM	Чтение инструкции из PRAM	Декодирование инструкции	Модификация адреса XRAM	Выдача адреса на XRAM	Чтение данных из XRAM	Запись данных в RF

3. Исполнение команд MOVE RF -> XRAM

1 фаза (A)	2 фаза (F)	3 фаза (D)	4 фаза (E)	5 фаза (E1)	6 фаза (E2)	7 фаза (E3)
Выдача адреса на PRAM	Чтение инструкции из PRAM	Декодирование инструкции	Модификация адреса XRAM	Запись данных в XRAM	-	-

4. Исполнение команд MOVE RF, RC, #16/32 -> RF

1 фаза (A)	2 фаза (F)	3 фаза (D)	4 фаза (E)	5 фаза (E1)	6 фаза (E2)	7 фаза (E3)
Выдача адреса на PRAM	Чтение инструкции из PRAM	Декодирование инструкции	Формирование блокировок	Выборка данных из RC	Запись данных в RF	-

5. Исполнение команд MOVE RF, #16/32 -> RC(кр.CCR,PDNR,AC)

1 фаза (A)	2 фаза (F)	3 фаза (D)	4 фаза (E)	5 фаза (E1)	6 фаза (E2)	7 фаза (E3)
Выдача адреса на PRAM	Чтение инструкции из PRAM	Декодирование инструкции	Выборка данных из RF	Запись данных в RC	-	-

Таким, образом, при исполнении различных операций фазы конвейера DSP-ядра ELcore-30M имеют следующее содержание:

а) при выполнении вычислительной операции:

1 фаза (A):	Формирование адреса памяти программ.
2 фаза (F):	Выборка инструкции из программной памяти.
3 фаза (D):	Декодирование инструкции.
4 фаза (E):	Формирование блокировок конвейера.
5 фаза (E1):	Чтение данных из RF.
6 фаза (E2):	Исполнение инструкции.
7 фаза (E3):	Исполнение инструкции, запись данных в RF.

б) при чтении из памяти данных:

1 фаза (A):	Формирование адреса памяти программ.
2 фаза (F):	Выборка инструкции из программной памяти.
3 фаза (D):	Декодирование инструкции.
4 фаза (E):	Формирование адреса памяти данных.
5 фаза (E1):	Выдача адреса на память данных.
6 фаза (E2):	Чтение из памяти данных в буферный регистр.
7 фаза (E3):	Запись данных в RF.

в) при записи в память данных:

1 фаза (A):	Формирование адреса памяти программ.
2 фаза (F):	Выборка инструкции из программной памяти.
3 фаза (D):	Декодирование инструкции.
4 фаза (E):	Формирование адреса памяти данных.
5 фаза (E1):	Выдача адреса на память данных и запись в память данных.

г) при записи в регистр RF:

1 фаза (A):	Формирование адреса памяти программ.
2 фаза (F):	Выборка инструкции из программной памяти.
3 фаза (D):	Декодирование инструкции.
4 фаза (E):	Формирование блокировок конвейера.
5 фаза (E1):	Чтение данных из RF или регистра управления.
6 фаза (E2):	Запись в RF.

д) при записи в регистр управления:

1 фаза (A):	Формирование адреса памяти программ.
2 фаза (F):	Выборка инструкции из программной памяти.
3 фаза (D):	Декодирование инструкции.
4 фаза (E):	Чтение данных из RF.
5 фаза (E1):	Запись в регистр управления.

Примечание. При записи/чтении памяти данных арбитром могут вводиться дополнительные такты ожидания.

4.12 Перечень адресуемых регистров DSP-кластера

Перечень адресуемых регистров DSP-кластера в составе микросхемы 1892BM14Я приведен в Таблица 4.22.

Таблица 4.22. Перечень адресуемых регистров DSP-кластера в составе микросхемы 1892BM14Я

(i=0,1– номер DSP; BASE(0)=0x3700_0000; BASE(1)=0x3701_0000)

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
		Общие регистры управления и состояния	
MASKR_DSP	32 R/W	Регистр маски прерываний	0x3700_1000
QSTR_DSP	32 R	Регистр запросов прерываний	0x3700_1004
CSR_DSP	32 R/W	Регистр управления и состояния	0x3700_1008
TOTAL_CLK_CNTR	32 R/W	Счетчик тактов	0x3700_100C
		Регистры буфера обмена XBUF	
X0[31:0]	32 R/W	Регистр обмена X0	0x3700_1100
X0[63:32]	32 R/W	Регистр обмена X0	0x3700_1104
X1[31:0]	32 R/W	Регистр обмена X1	0x3700_1108
X1[63:32]	32 R/W	Регистр обмена X1	0x3700_110C
X2[31:0]	32 R/W	Регистр обмена X2	0x3700_1110
X2[63:32]	32 R/W	Регистр обмена X2	0x3700_1114
X3[31:0]	32 R/W	Регистр обмена X3	0x3700_1118
X3[63:32]	32 R/W	Регистр обмена X3	0x3700_111C
X4[31:0]	32 R/W	Регистр обмена X4	0x3700_1120
X4[63:32]	32 R/W	Регистр обмена X4	0x3700_1124
X5[31:0]	32 R/W	Регистр обмена X5	0x3700_1128
X5[63:32]	32 R/W	Регистр обмена X5	0x3700_112C
X6[31:0]	32 R/W	Регистр обмена X6	0x3700_1130
X6[63:32]	32 R/W	Регистр обмена X6	0x3700_1134
X7[31:0]	32 R/W	Регистр обмена X7	0x3700_1138
X7[63:32]	32 R/W	Регистр обмена X7	0x3700_113C
X8[31:0]	32 R/W	Регистр обмена X8	0x3700_1140
X8[63:32]	32 R/W	Регистр обмена X8	0x3700_1144

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
X9[31:0]	32 R/W	Регистр обмена X9	0x3700_1148
X9[63:32]	32 R/W	Регистр обмена X9	0x3700_114C
X10[31:0]	32 R/W	Регистр обмена X10	0x3700_1150
X10[63:32]	32 R/W	Регистр обмена X10	0x3700_1154
X11[31:0]	32 R/W	Регистр обмена X11	0x3700_1158
X11[63:32]	32 R/W	Регистр обмена X11	0x3700_115C
X12[31:0]	32 R/W	Регистр обмена X12	0x3700_1160
X12[63:32]	32 R/W	Регистр обмена X12	0x3700_1164
X13[31:0]	32 R/W	Регистр обмена X13	0x3700_1168
X13[63:32]	32 R/W	Регистр обмена X13	0x3700_116C
X14[31:0]	32 R/W	Регистр обмена X14	0x3700_1170
X14[63:32]	32 R/W	Регистр обмена X14	0x3700_1174
X15[31:0]	32 R/W	Регистр обмена X15	0x3700_1178
X15[63:32]	32 R/W	Регистр обмена X15	0x3700_117C
X16[31:0]	32 R/W	Регистр обмена X16	0x3700_1180
X16[63:32]	32 R/W	Регистр обмена X16	0x3700_1184
X17[31:0]	32 R/W	Регистр обмена X17	0x3700_1188
X17[63:32]	32 R/W	Регистр обмена X17	0x3700_118C
X18[31:0]	32 R/W	Регистр обмена X18	0x3700_1190
X18[63:32]	32 R/W	Регистр обмена X18	0x3700_1194
X19[31:0]	32 R/W	Регистр обмена X19	0x3700_1198
X19[63:32]	32 R/W	Регистр обмена X19	0x3700_119C
X20[31:0]	32 R/W	Регистр обмена X20	0x3700_11A0
X20[63:32]	32 R/W	Регистр обмена X20	0x3700_11A4
X21[31:0]	32 R/W	Регистр обмена X21	0x3700_11A8
X21[63:32]	32 R/W	Регистр обмена X21	0x3700_11AC
X22[31:0]	32 R/W	Регистр обмена X22	0x3700_11B0
X22[63:32]	32 R/W	Регистр обмена X22	0x3700_11B4
X23[31:0]	32 R/W	Регистр обмена X23	0x3700_11B8
X23[63:32]	32 R/W	Регистр обмена X23	0x3700_11BC
X24[31:0]	32 R/W	Регистр обмена X24	0x3700_11C0
X24[63:32]	32 R/W	Регистр обмена X24	0x3700_11C4
X25[31:0]	32 R/W	Регистр обмена X25	0x3700_11C8
X25[63:32]	32 R/W	Регистр обмена X25	0x3700_11CC
X26[31:0]	32 R/W	Регистр обмена X26	0x3700_11D0
X26[63:32]	32 R/W	Регистр обмена X26	0x3700_11D4
X27[31:0]	32 R/W	Регистр обмена X27	0x3700_11D8
X27[63:32]	32 R/W	Регистр обмена X27	0x3700_11DC
X28[31:0]	32 R/W	Регистр обмена X28	0x3700_11E0
X28[63:32]	32 R/W	Регистр обмена X28	0x3700_11E4
X29[31:0]	32 R/W	Регистр обмена X29	0x3700_11E8
X29[63:32]	32 R/W	Регистр обмена X29	0x3700_11EC
X30[31:0]	32 R/W	Регистр обмена X30	0x3700_11F0
X30[63:32]	32 R/W	Регистр обмена X30	0x3700_11F4
X31[31:0]	32 R/W	Регистр обмена X31	0x3700_11F8
X31[63:32]	32 R/W	Регистр обмена X31	0x3700_11FC
		PCU	
DCSR	16 R/W	Регистр режима работы	BASE(i)+0x0100
SR	16 R/W	Регистр состояния	BASE(i)+0x0104
IDR	16 R	Регистр-идентификатор	BASE(i)+0x0108
EFR	32 R	Регистр флагов обмена	BASE(i)+0x010C
DSTART	32 W	Регистр формирования запросов на прерывания других DSP-ядер	BASE(i)+0x010C
IRQR	32 R/W	Регистр запросов на прерывание DSP	BASE(i)+0x0110
IMASKR	32 R/W	Регистр маски запросов на прерывания DSP	BASE(i)+0x0114
TMR	32 R/W	Регистр таймера DSP	BASE(i)+0x0118

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
ARBR	16 R/W	Регистр управления арбитром памяти DSP	BASE(i)+0x011C
PC	16 R/W	Программный счетчик	BASE(i)+0x0120
SS	16 R/W	Стек программного счетчика	BASE(i)+0x0124
LA	16 R/W	Регистр адреса цикла	BASE(i)+0x0128
CSL	16 R/W	Стек адреса цикла	BASE(i)+0x012C
LC	16 R/W	Счетчик циклов	BASE(i)+0x0130
CSH	16 R/W	Стек счетчика циклов	BASE(i)+0x0134
SP	16 R/W	Регистр указателя стека	BASE(i)+0x0138
SAR	16 R/W	Регистр адреса останова	BASE(i)+0x013C
CNTR	16 R/W	Счетчик исполненных команд	BASE(i)+0x0140
SAR1	16 R/W	Регистр адреса останова	BASE(i)+0x0144
SAR2	16 R/W	Регистр адреса останова	BASE(i)+0x0148
SAR3	16 R/W	Регистр адреса останова	BASE(i)+0x014C
SAR4	16 R/W	Регистр адреса останова	BASE(i)+0x0150
SAR5	16 R/W	Регистр адреса останова	BASE(i)+0x0154
SAR6	16 R/W	Регистр адреса останова	BASE(i)+0x0158
SAR7	16 R/W	Регистр адреса останова	BASE(i)+0x015C
		Регистры состояния ALU	
CCR	16 R/W	Регистр кодов условий	BASE(i)+0x0160
PDNR	16 R/W	Регистр параметра денормализации	BASE(i)+0x0164
SFR	32 R/W	Регистр специальных функций	BASE(i)+0x0168
QMASKR0	32 R/W	Регистр маски внешних запросов на прерывание (DSP_QST0)	BASE(i)+0x0170
QMASKR1	32 R/W	Регистр маски внешних запросов на прерывание (DSP_QST1)	BASE(i)+0x0174
QMASKR2	32 R/W	Регистр маски внешних запросов на прерывание (DSP_QST2)	BASE(i)+0x0178
QMASKR3	32 R/W	Регистр маски внешних запросов на прерывание (DSP_QST3)	BASE(i)+0x017C
		AGU, AGU-Y	
A0	32 R/W	Регистр адреса A0	BASE(i)+0x0080
A1	32 R/W	Регистр адреса A1	BASE(i)+0x0084
A2	32 R/W	Регистр адреса A2	BASE(i)+0x0088
A3	32 R/W	Регистр адреса A3	BASE(i)+0x008C
A4	32 R/W	Регистр адреса A4	BASE(i)+0x0090
A5	32 R/W	Регистр адреса A5	BASE(i)+0x0094
A6	32 R/W	Регистр адреса A6	BASE(i)+0x0098
A7	32 R/W	Регистр адреса A7	BASE(i)+0x009C
I0	32 R/W	Регистр индекса I0	BASE(i)+0x00A0
I1	32 R/W	Регистр индекса I1	BASE(i)+0x00A4
I2	32 R/W	Регистр индекса I2	BASE(i)+0x00A8
I3	32 R/W	Регистр индекса I3	BASE(i)+0x00AC
I4	32 R/W	Регистр индекса I4	BASE(i)+0x00B0
I5	32 R/W	Регистр индекса I5	BASE(i)+0x00B4
I6	32 R/W	Регистр индекса I6	BASE(i)+0x00B8
I7	32 R/W	Регистр индекса I7	BASE(i)+0x00BC
M0	32 R/W	Регистр модификатора M0	BASE(i)+0x00C0
M1	32 R/W	Регистр модификатора M1	BASE(i)+0x00C4
M2	32 R/W	Регистр модификатора M2	BASE(i)+0x00C8
M3	32 R/W	Регистр модификатора M3	BASE(i)+0x00CC
M4	32 R/W	Регистр модификатора M4	BASE(i)+0x00D0
M5	32 R/W	Регистр модификатора M5	BASE(i)+0x00D4
M6	32 R/W	Регистр модификатора M6	BASE(i)+0x00D8
M7	32 R/W	Регистр модификатора M7	BASE(i)+0x00DC
AT	32 R/W	Регистр адреса AT	BASE(i)+0x00E0
IT	16 R/W	Регистр индекса IT	BASE(i)+0x00E4

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
MT	16 R/W	Регистр модификатора MT	BASE(i)+0x00E8
DT	16 R/W	Регистр модификатора DT	BASE(i)+0x00EC
IVAR	16 R/W	Регистр адреса вектора прерывания	BASE(i)+0x00FC
		Регистры данных RF	
R0.L	32 R/W	Регистр данных	BASE(i)+0x0000
R2.L	32 R/W	Регистр данных	BASE(i)+0x0004
R4.L	32 R/W	Регистр данных	BASE(i)+0x0008
R6.L	32 R/W	Регистр данных	BASE(i)+0x000C
R8.L	32 R/W	Регистр данных	BASE(i)+0x0010
R10.L	32 R/W	Регистр данных	BASE(i)+0x0014
R12.L	32 R/W	Регистр данных	BASE(i)+0x0018
R14.L	32 R/W	Регистр данных	BASE(i)+0x001C
R16.L	32 R/W	Регистр данных	BASE(i)+0x0020
R18.L	32 R/W	Регистр данных	BASE(i)+0x0024
R20.L	32 R/W	Регистр данных	BASE(i)+0x0028
R22.L	32 R/W	Регистр данных	BASE(i)+0x002C
R24.L	32 R/W	Регистр данных	BASE(i)+0x0030
R26.L	32 R/W	Регистр данных	BASE(i)+0x0034
R28.L	32 R/W	Регистр данных	BASE(i)+0x0038
R30.L	32 R/W	Регистр данных	BASE(i)+0x003C
R1.L	32 R/W	Регистр данных	BASE(i)+0x0040
R3.L	32 R/W	Регистр данных	BASE(i)+0x0044
R5.L	32 R/W	Регистр данных	BASE(i)+0x0048
R7.L	32 R/W	Регистр данных	BASE(i)+0x004C
R9.L	32 R/W	Регистр данных	BASE(i)+0x0050
R11.L	32 R/W	Регистр данных	BASE(i)+0x0054
R13.L	32 R/W	Регистр данных	BASE(i)+0x0058
R15.L	32 R/W	Регистр данных	BASE(i)+0x005C
R17.L	32 R/W	Регистр данных	BASE(i)+0x0060
R19.L	32 R/W	Регистр данных	BASE(i)+0x0064
R21.L	32 R/W	Регистр данных	BASE(i)+0x0068
R23.L	32 R/W	Регистр данных	BASE(i)+0x006C
R25.L	32 R/W	Регистр данных	BASE(i)+0x0070
R27.L	32 R/W	Регистр данных	BASE(i)+0x0074
R29.L	32 R/W	Регистр данных	BASE(i)+0x0078
R31.L	32 R/W	Регистр данных	BASE(i)+0x007C
R1.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x0180
R1.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x0184
R3.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x0188
R3.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x018C
R5.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x0190
R5.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x0194
R7.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x0198
R7.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x019C
R9.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01A0
R9.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01A4
R11.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01A8
R11.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01AC
R13.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01B0
R13.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01B4
R15.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01B8
R15.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01BC
R17.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01C0
R17.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01C4
R19.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01C8
R19.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01CC

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
R21.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01D0
R21.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01D4
R23.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01D8
R23.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01DC
R25.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01E0
R25.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01E4
R27.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01E8
R27.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01EC
R29.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01F0
R29.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01F4
R31.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01F8
R31.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01FC
		Регистры-аккумуляторы	
AC0	32 R/W	Регистр-аккумулятор AC0	BASE(i)+0x0200
AC1	32 R/W	Регистр-аккумулятор AC1	BASE(i)+0x0204
AC2	32 R/W	Регистр-аккумулятор AC2	BASE(i)+0x0208
AC3	32 R/W	Регистр-аккумулятор AC3	BASE(i)+0x020C
AC4	32 R/W	Регистр-аккумулятор AC4	BASE(i)+0x0210
AC5	32 R/W	Регистр-аккумулятор AC5	BASE(i)+0x0214
AC6	32 R/W	Регистр-аккумулятор AC6	BASE(i)+0x0218
AC7	32 R/W	Регистр-аккумулятор AC7	BASE(i)+0x021C
AC8	32 R/W	Регистр-аккумулятор AC8	BASE(i)+0x0220
AC9	32 R/W	Регистр-аккумулятор AC9	BASE(i)+0x0224
AC10	32 R/W	Регистр-аккумулятор AC10	BASE(i)+0x0228
AC11	32 R/W	Регистр-аккумулятор AC11	BASE(i)+0x022C
AC12	32 R/W	Регистр-аккумулятор AC12	BASE(i)+0x0230
AC13	32 R/W	Регистр-аккумулятор AC13	BASE(i)+0x0234
AC14	32 R/W	Регистр-аккумулятор AC14	BASE(i)+0x0238
AC15	32 R/W	Регистр-аккумулятор AC15	BASE(i)+0x023C
		Отладочные регистры	
dbDCSR	16 R/W	Регистр управления в режиме отладки	BASE(i)+0x0500
Cnt RUN	32 R	Счетчик тактов	BASE(i)+0x0518
dbPCa	16 R	Программный счетчик, стадия a	BASE(i)+0x0524
dbPCf	16 R	Программный счетчик, стадия f	BASE(i)+0x0528
dbPCd	16 R	Программный счетчик, стадия d	BASE(i)+0x052C
dbPce	16 R	Программный счетчик, стадия e	BASE(i)+0x0520
dbPce1	16 R	Программный счетчик, стадия e1	BASE(i)+0x0530
dbPce2	16 R	Программный счетчик, стадия e2	BASE(i)+0x0534
dbPce3	16 R	Программный счетчик, стадия e3	BASE(i)+0x0538
dbSAR	16 R/W	Регистр адреса останова 0 в режиме отладки	BASE(i)+0x053C
dbCNTR	16 R/W	Счетчик исполненных команд в режиме отладки	BASE(i)+0x0540
dbSAR1	16 R/W	Регистр адреса останова 1 в режиме отладки	BASE(i)+0x0544
dbSAR2	16 R/W	Регистр адреса останова 2 в режиме отладки	BASE(i)+0x0548
dbSAR3	16 R/W	Регистр адреса останова 3 в режиме отладки	BASE(i)+0x054C
dbSAR4	16 R/W	Регистр адреса останова 4 в режиме отладки	BASE(i)+0x0550
dbSAR5	16 R/W	Регистр адреса останова 5 в режиме отладки	BASE(i)+0x0554
dbSAR6	16 R/W	Регистр адреса останова 6 в режиме отладки	BASE(i)+0x0558
dbSAR7	16 R/W	Регистр адреса останова 7 в режиме отладки	BASE(i)+0x055C

4.13 Блок JPEG_ENC в составе DSP

Назначением блока JPEG_ENC является автономное, параллельное с работой DSP — процессора, выполнение сжатия изображения по стандарту JPEG.

Блок JPEG_RT_Encoder имеет следующие особенности:

- ввод/вывод выполняются в реальном времени, параллельно с обработкой;
- осуществляется автоматическая склейка данных, полученных после кодирования Хаффмана, а также вставка технической информации (Byte Stuff);
- настраиваемое расположение входных данных в памяти ускорителя;
- настраиваемая конфигурация MCU;
- настраиваемое качество сжатия с помощью задания коэффициентов квантования;
- максимальная скорость работы ускорителя — 3 пикселя за такт.

Блок ускорителя кодирования изображения по стандарту JPEG состоит из следующих функциональных блоков:

- модуль управления;
- адресный генератор (доступ к памяти по чтению);
- блок первичной обработки;
- блок кодирования данных переменным кодом Хаффмана;
- выходной буфер (доступ к памяти по записи).

Структурная схема кодера JPEG изображена на рисунке приведенном ниже.

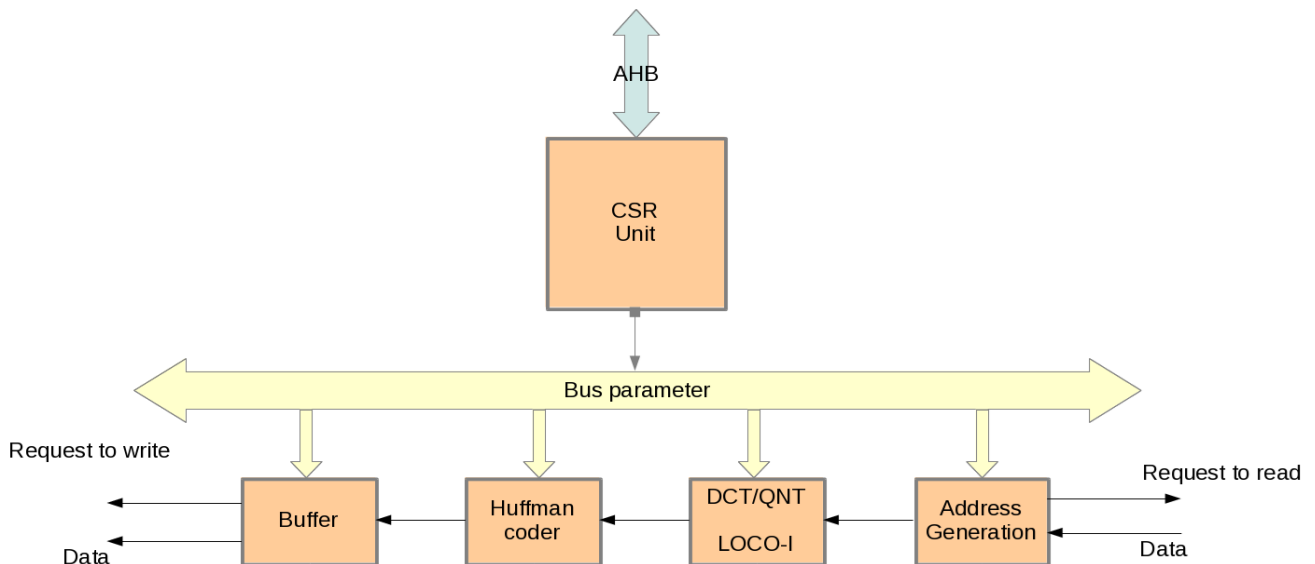


Рисунок 4.13. Структурная схема блока JPEG_ENC

4.13.1 Регистры JPEG_ENC

Перечень программно-доступных регистров JPEG_ENC приведен в таблице ниже.

Таблица 4.23. Регистры JPEG_ENC

Смещение	Условное обозначение регистра	Название регистра	Исходное состояние
0x0	ENC_CR	Регистр управления JPEG ускорителем	0x0
0x4	ENC_SR	Регистр состояния JPEG ускорителя	0x0
0x8	ENC_CONF0	Конфигурационный регистр 0	0x0
0xC	ENC_CONF1	Конфигурационный регистр 1	0x0
0x10	ENC_ADDRy	Регистр адреса данных Y компоненты в памяти ускорителя	0x0
0x14	ENC_ADDRcb	Регистр адрес Cb компоненты в памяти ускорителя	0x0
0x18	ENC_ADDRcr	Регистр адреса Cr компоненты в памяти ускорителя	0x0
0x1C	ADDRo	Регистр адреса выходного массива данных в памяти ускорителя	0x0
0x20	COEFa	Регистр адреса коэффициентов квантования	0x0
0x24	COEFd	Регистр данных коэффициентов квантования	0x0
0x28	LEN	Регистр длины выходного массива (в битах)	0x0
0x2C	IRQ	Регистр прерываний	0x0
0x30	IRQM	Регистр маски прерываний	0x0

4.13.1.1 Формат регистра ENC_CR

Таблица 4.24. Формат регистра ENC_CR

Смещение	Условное обозначение	Описание	Тип доступа	Исходное состояние
0	en	Разрешение работы блока	W/R	0x0
1	clr	Программный сброс	W/R	0x0
2	start	Команда запуска JPEG ускорителя	W/R	0x0
3	flush	Команда записи последнего слова в память (осуществляется очистка следующих параметров: CONF1.offset, CONF1.offset_data, ADDRo, LEN)	W/R	0x0
4	reset_dc	Команда сброса накопления DC предсказания. Сброс предсказания осуществляется при начале обработки нового тайла.	W/R	0x0
31:5	-	не используется		

4.13.1.2 Формат регистра ENC_SR

Таблица 4.25. Формат регистра ENC_SR

Смещение	Условное обозначение	Описание	Тип доступа	Исходное состояние
0	jpg_done	Бит завершения работы JPEG ускорителя (автоматически сбрасывается при запуске JPEG ускорителя)	W/R	0x0
31:1	-	не используется		

4.13.1.3 Формат регистра ENC_CONF0

Таблица 4.26. Формат регистра ENC_CONF0

Смещение	Условное обозначение	Описание	Тип доступа	Исходное состояние
9:0	mcu_count	Количество MCU	W/R	0x0
21:10	mcu_conf	Конфигурация MCU	W/R	0x0
22	mode	Режим MCU	W/R	0x0
31:23	-	не используется		

4.13.1.4 Формат регистра ENC_CONF1

Таблица 4.27. Формат регистра ENC_CONF1

Смещение	Условное обозначение	Описание	Тип доступа	Исходное состояние
7:0	offset	Смещение записи выходного потока в накопитель устройства, относительно 256 разрядного слова. Указывается в битах, автоматически запоминается значение после окончания обработки задания.	W/R	0x0
14:8	offset_data	Последние 7 бит от предыдущего выходного потока для правильной склейки (автоматически запоминается после окончания обработки задания)	W/R	0x0
31:15	-	не используется		

4.13.1.5 Формат регистра ENC_ADDRy.

Таблица 4.28. Формат регистра ENC_ADDRy

Смещение	Условное обозначение	Описание	Тип доступа	Исходное состояние
12:0	addr_y0	Адрес компоненты Y0 в памяти	W/R	0x0
15:13	-	не используется		
28:16	addr_y1	Адрес компоненты Y1 в памяти	W/R	0x0
31:29	-	не используется		

4.13.1.6 Формат регистра ENC_ADDRcb

Таблица 4.29. Формат регистра ENC_ADDRcb

Смещение	Условное обозначение	Описание	Тип доступа	Исходное состояние
12:0	addr_cb0	Адрес компоненты Cb0 в памяти	W/R	0x0
15:13	-	не используется		
28:16	addr_cb1	Адрес компоненты Cb1 в памяти	W/R	0x0
31:29	-	не используется		

4.13.1.7 Формат регистра ENC_ADDRcr

Таблица 4.30. Формат регистра ENC_ADDRcr

Смещение	Условное обозначение	Описание	Тип доступа	Исходное состояние
12:0	addr_cr0	Адрес компоненты Cr0 в памяти	W/R	0x0
15:13	-	не используется		
28:16	addr_cr1	Адрес компоненты Cr1 в памяти	W/R	0x0
31:29	-	не используется		

4.13.1.8 Формат регистра ENC_ADDRo

Таблица 4.31. Формат регистра ENC_ADDRo

Смещение	Условное обозначение	Описание	Тип доступа	Исходное состояние
31:0	addro	Адрес выходного потока в памяти ускорителя (автоматически запоминается после окончания обработки задания)	W/R	0x0

4.13.1.9 Формат регистра ENC_COEFa

Таблица 4.32. Формат регистра ENC_COEFa

Смещение	Условное обозначение	Описание	Тип доступа	Исходное состояние
31:0	coefa	Адрес в память коэффициентов квантования (при записи в COEFd значения коэффициента - значение COEFa инкрементируется на единицу)	W/R	0x0

4.13.1.10 Формат регистра ENC_COEFd

Таблица 4.33. Формат регистра ENC_COEFd

Смещение	Условное обозначение	Описание	Тип доступа	Исходное состояние
31:0	coefd	Значение записываемого коэффициента квантования (при записи - данные записываются по адресу COEFa в память коэффициентов)	W/R	0x0

4.13.1.11 Формат регистра ENC_LEN

Таблица 4.34. Формат регистра ENC_LEN

Смещение	Условное обозначение	Описание	Тип доступа	Исходное состояние
31:0	data_out_len	Длина выходного массива (в битах)	W/R	0x0

4.13.1.12 Формат регистра ENC_IRQ.

Таблица 4.35. Формат регистра ENC_IRQ

Смещение	Условное обозначение	Описание	Тип доступа	Исходное состояние
0	iqr	Запрос на прерывание от JPEG ускорителя (бит сбрасывается записью 1)	W/R	0x0
31:1	-	не используется		

4.13.1.13 Формат регистра ENC_IRQM.

Таблица 4.36. Формат регистра ENC_IRQM

Смещение	Условное обозначение	Описание	Тип доступа	Исходное состояние
0	iqr_mask	Маска запроса на прерывание от JPEG ускорителя	W/R	0x0
31:1	-	не используется		

4.13.2 Адресный генератор

Адресный генератор предназначен для формирования запроса в память ускорителя на чтение входных данных блоков MCU в соответствии с заданным режимом и передачи их в блок первичной обработки (дискретного косинусного преобразования (DCT) и квантования для сжатия с потерями и блок LOCO-I для сжатия без потерь).

Входные данные находятся в памяти ускорителя в формате целого числа 8 бит со знаком. Возможно задание следующих параметров входных данных:

- конфигурация MCU;
- адреса расположения компонент изображения Y, Cb, Cr;
- количество MCU по горизонтали;
- количество MCU по вертикали;
- режим расположения данных.

Конфигурация MCU представляет собой выбор формата изображения:

- YCbCr 4:4:4;
- YCbCr 4:4:2;
- YCbCr 4:2:2;
- YCbCr 4:2:0;
- Y.

Выбор осуществляется путем конфигурации регистра CONF0 в поле mscu_conf. Слайсы компоненты (Y0,Y1,Cb0,Cr0) помещаются в память ускорителя отдельно, адреса начала слайса для каждой компоненты записываются в регистры ускорителя (ADDRy0, ADDRy1, ADDRcb, ADDRcr). В блоке реализовано два типа адресации, которые задаются посредством переключения бита mode в регистр CONF0: последовательный и чересстрочный; Последовательный тип адресации предполагает что данные предела MCU

располагаются в памяти ускорителя друг за другом с инкрементом адреса + 1. Чересстрочный режим работы адресного генератора предполагает, что данные каждая следующая строка в пределах MCU находится со смещением через строку.

В регистрах ENC_OFFSYS, ENC_OFFSYX, ENC_OFFSYY, ENC_OFFSCS, ENC_OFFSCX, ENC_OFFSCY содержатся смещения адресов между строками в MCU для компонент Y0 и Y1, между MCU по горизонтали для компонент Y и Y1, между MCU по вертикали для компонент Y и Y1, между строками в MCU для компонент Cb и Cr, между MCU по горизонтали для компонент Cb и Cr, между MCU по вертикали для компонент Cb и Cr соответственно.

Значения начальных адресов слайсов компонент, записанных в регистры ускорителя, фиксируются адресным генератором после подачи команды запуска ускорителя. Далее адресный генератор работает с зафиксированными значениями, то есть замена значений адреса в регистрах ускорителя во время его работы не вносит изменений в формирования адреса.

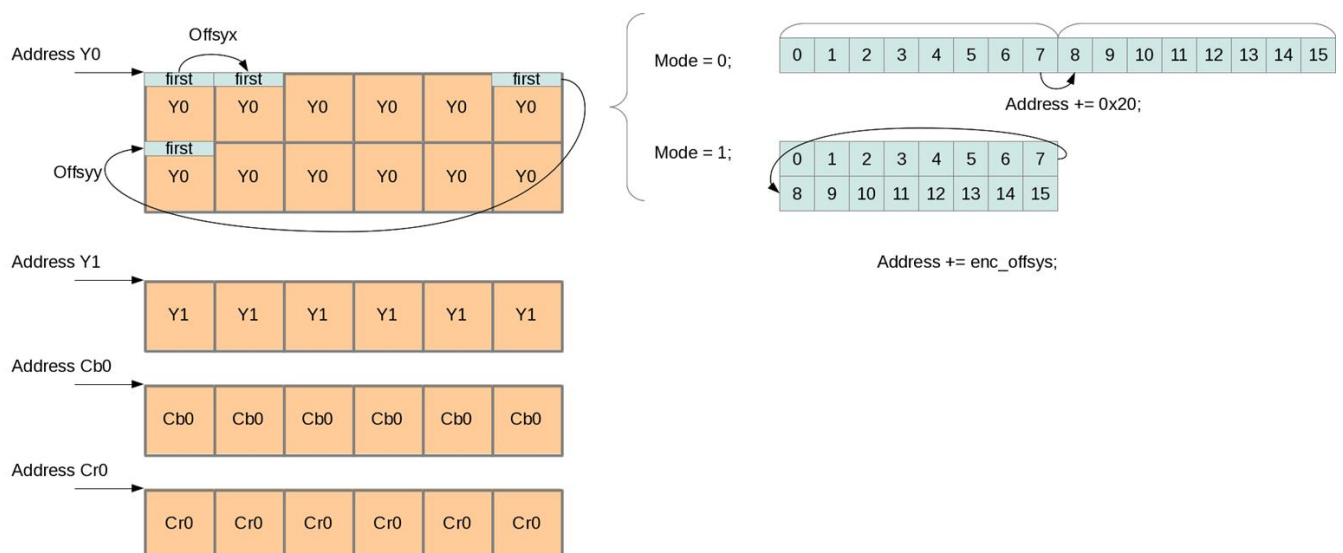


Рисунок 4.14. Схема работы адресного генератора

4.13.3 Блок дискретного косинусного преобразования (DCT) и квантования

Блок дискретного косинусного преобразования (DCT) и квантования предназначен для осуществления дискретного косинусного преобразования двумерного массива (8*8 элементов) и квантования полученных данных. Дискретное косинусное преобразование для двумерного массива $A(8:8)$ осуществляется в соответствии с формулой:

$$B_{pq} = \alpha_p \alpha_q \sum_{m=0}^7 \sum_{n=0}^7 A_{mn} \cos\left(\frac{\pi(2m+1)p}{16}\right) \cos\left(\frac{\pi(2n+1)q}{16}\right),$$

где:

$$\alpha_i = \frac{\sqrt{2}}{4} \text{ для } i = 0$$

$$\alpha_i = \frac{1}{2} \text{ для } 0 < i < 8.$$

Результатом преобразования является двумерный массив $B(8:8)$. Вторая функция блока – квантование, состоит в том, что каждый элемент входного массива данных делится на соответствующий ему коэффициент, а результат округляется до целого числа. Дискретное косинусное преобразование и квантование используются для сжатия информации с потерями в областях мультимедиа, связанных с обработкой изображений, аудио- и видеоданных.

После преобразования блок дискретного косинусного преобразования (DCT) и квантования формирует сигнал запуска на обработку следующему блоку при готовности последнего.

Коэффициенты квантования загружаются центральным процессором в память DCT/QNT блока следующим образом:

- запись значения адреса в регистр COEFa;
- запись значения коэффициента в регистр COEFd (COEFa при этом инкрементируется, что дает возможность продолжить запись в регистр COEFd, если таблица заполняется последовательно).

4.13.4 Кодер HUFFMAN CODER

Кодер HUFFMAN CODER кодов переменной длины предназначен для кодирования блоков коэффициентов DCT (дискретного косинусного преобразования) в соответствии со стандартом JPEG.

Кодер HUFFMAN CODER имеет следующие основные характеристики:

- соответствует стандарту JPEG ISO/IEC 10918-1;
- обрабатывает за 1 такт 4 входных DCT коэффициента.

Блок реализует следующие функции:

- преобразование двумерного массива DCT коэффициентов $QF[v][u]$, где $v, u = 0..7$, в одномерный массив $QFS[n]$, где $n = 0..63$, в соответствии с алгоритмом «зиг-заг» сканирования;
- кодирование DCT коэффициентов $QFS[n]$ кодами переменной длины в соответствии с заданным режим кодирования;
- компоновка кодовых слов в выходной кодовый поток битов + вставка Byte Stuff.

После преобразования блок формирует сигнал записи результата в выходной буфер при готовности последнего.

Кодер HUFFMAN накапливает предсказание DC на протяжении всей обработки. Для сброса накопленного значения, необходимо перед запуском задания установить в 1 бит RESET_DC регистра CR. Сброс будет осуществлен до обработки первого MCU в задании.

4.13.5 Выходной буфер

Выходной буфер предназначен для накопления и склеивания результатов, полученных после кодирования Хаффмана каждого блока MCU, и последующая их запись в область памяти ускорителя для хранения результата кодирования.

Блок выходного буфера при наличии данных на выходе кодера начинает считывать их в промежуточное слово разрядностью 256, где в начале этого слова располагается старое запомненное значение потока, а новые данные сдвигаются к концу этого потока по старому указателю сдвига. Если произошло переполнение 128 разрядного слова, то формируется сигнал записи в буфер и все биты которые перешли границу в 128 бит становятся новым запомненным словом и сохраняются для последующей склейки. Если переполнения не произошло, то в новое запомненное слово сохраняется младшая часть промежуточного регистра.

По окончании задания значения адреса записи выходного потока, смещение в пределах 128 разрядного слова, сформированный поток не записанный в память (хвост), последний неполный байт для кодера Хаффмана, длина выходного потока сохраняются в регистрах ускорителя (ENC_CONF1.offset, ENC_CONF1.offset_data, ENC_ADDRo, ENC_LEN) для последующих запусков. Хвост, который остался после окончания работы, можно вытолкнуть в память путем подачи команды FLUSH в регистр ENC_CSR. При запуске в выходном буфере сбрасывается только длина выходного потока, остальные параметры берутся из вышеперечисленных регистров.

5. ГРАФИЧЕСКИЙ АКСЕЛЕРАТОР (GPU)

5.1 Введение

Mali-300 (GPU) – это аппаратный графический ускоритель для обработки 2D и 3D графики.

Mali-300 состоит из следующих блоков:

- пиксельный процессор (PP);
- геометрический процессор (GP);
- кэш-контроллер второго уровня (L2);
- блок управления памятью (MMU);
- блок управления питанием (PMU).

GPU и сопутствующее программное обеспечение совместимы со следующими графическими стандартами:

- OpenGL ES 2.0;
- OpenGL ES 1.1;
- OpenVG 1.1.

GPU имеет следующие характеристики производительности:

- производительность GP – 27 млн. тр./сек.;
- производительность PP – 250 млн. пикс./сек.;
- производительность программируемых шейдеров – 4 млрд. оп./сек. в плавающей точке.

5.2 Характеристики пиксельного процессора

- программируемый шейдер фрагментов;
- альфа-блендинг;
- полная поддержка NPOT (Non-Power-of-Two) текстур;
- кубическое текстурирование;
- быстрое динамическое разветвление;
- быстрое нахождение тригонометрических функций, включая арктангенс;
- полная поддержка вычислений в плавающей точке;
- блендинг альфа-компоненты;
- индексируемые текстурные семплы;
- линейные, квадратные, треугольные и точечные спрайты;
- неограниченная длина программы;
- корректное текстурирование удаляемых объектов;
- точечный семплинг, билинейная и трилинейная фильтрация текстуры;

- программируемое смещение и замещение уровня деталей при MIP-текстурировании;
- буферизация трафарета, 8 бит;
- двусторонняя проверка трафарета;
- неограниченное зависимое чтение текстур;
- 4-уровневые иерархические операции над глубиной и трафаретом;
- до 512 уровней полноэкранного сглаживания;
- сжатый формат текстур (4 бита на тексель).

5.3 Характеристики геометрического процессора

- программируемый шейдер вершин;
- варьируемый входной и выходной форматы;
- автономная генерация списка тайлов;
- индексированный и неиндексированный геометрический вход;
- поддержка точечных, линейных, треугольных и квадратных примитивов.

5.4 Характеристики кэш-контроллера второго уровня

- размер – 8KB;
- ассоциативный четырехпутевой кэш;
- поддержка до 32 внеочередных AXI-транзакций;
- реализация псевдо-LRU алгоритма;
- длина строки кэша и размер транзакции – 64 байта;
- поддержка восьми некэшированных транзакций чтения/записи размером до 64 байт;
- поддержка попадания после промаха и промаха после промаха.

5.5 Характеристики блока управления памятью

- доступ к управляющим регистрам для конфигурации системы памяти;
- каждый процессор имеет свой отдельный блок управления памятью для контроля и переноса доступа к памяти по запросу GPU.

6. ЯДРО ВИДЕООБРАБОТКИ VELCORE-01 (VPU)

6.1 Назначение и основные характеристики

6.1.1 Назначение

Ядро видеобработки (video processing unit, VPU) VELcore-01 представляет собой сложно-функциональный блок (СФ-блок) в составе системы на кристалле (СнК), работающий под управлением внешнего процессорного ядра (CPU или DSP) и предназначенный для реализации компрессии/декомпрессии видеоданных в соответствии со стандартом H.264 (ISO/IEC 14496-10). Используемый профиль стандарта - Constrained Baseline Profile (CBP) с отключенной опцией Deblocking Filter.

6.1.2 Основные характеристики

Максимальный размер обрабатываемых изображений – 4096 x 4096 пикселей.

1. Минимальный размер обрабатываемых изображений – 16 x 16 пикселей.
2. Формат изображений – YCbCr (4:2:0).
3. Точность представления – 8 бит на пиксель.
4. Количество одновременно обрабатываемых потоков видеоданных – до двух потоков компрессии и до двух потоков декомпрессии.
5. Максимальная производительность – до двух потоков компрессии и до двух потоков декомпрессии видео в формате FullHD (1920x1080 пикселей) с частотой 60 кадров в секунду.
6. Размещение в памяти входных и выходных видеоданных соответствует формату M420, специфицированному сообществом LinuxTV (<https://linuxtv.org/downloads/v4l-dvb-apis-new/uapi/v4l/pixfmt-m420.html?highlight=m420>), дата обращения 11.06.2019).

6.2 Структурная схема

Структурная схема ядра VElcore-01 приведена на Рисунок 6.1.

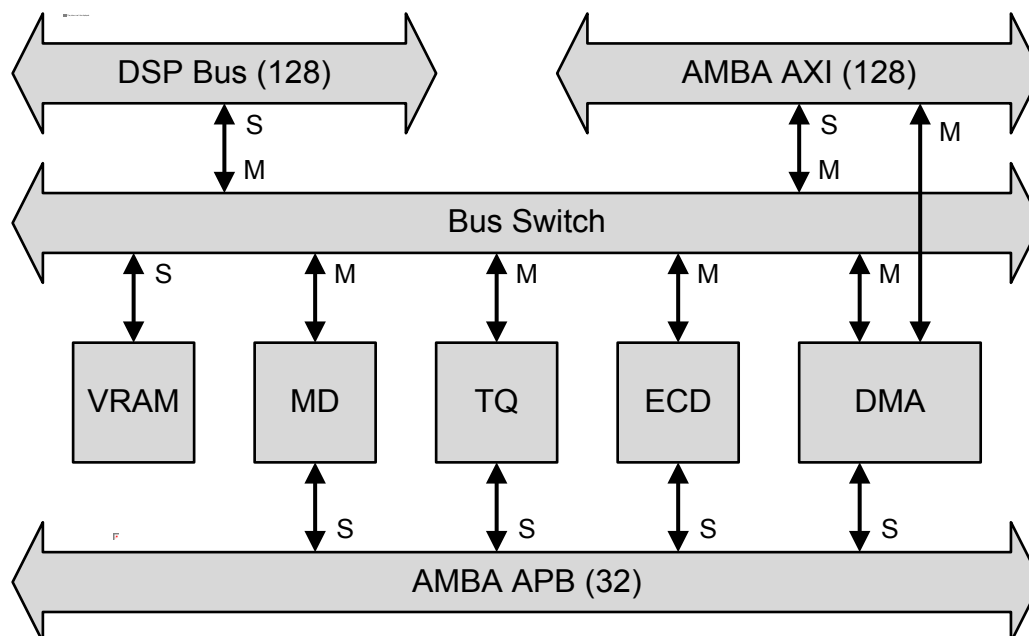


Рисунок 6.1. Структурная схема ядра VElcore-01

В состав ядра VElcore-01 входят следующие основные блоки:

- память видеоданных VRAM;
- контроллер прямого доступа к памяти видеоданных DMA;
- специализированные вычислители (аппаратные ускорители):
 - блок выбора моды предсказания MD;
 - блок преобразования и квантования TQ;
 - энтропийный кодер-декодер ECD;
- коммутаторы шин данных DSP bus, AMBA AXI, AMBA APB, Bus Switch.

Память данных видеоядра VRAM имеет общий объем 1 Мбайт и организована в виде 64К 128-разрядных слов.

Контроллер DMA осуществляет управление обменом данными между памятью VRAM и внешней памятью.

Блок MD производит выбор способа предсказания и вычисление предсказанных значений для элементов текущего макроблока. С этой целью блок производит оценку вектора перемещения макроблока размером 16x16 текущего кадра изображения относительно ссылочного кадра с точностью до $\frac{1}{4}$ пикселя. Оценка производится для субблоков размером 16x8, 8x16, 8x8, 8x4, 4x8 или 4x4 пикселей. Кроме того, блок MD выполняет вычисление предсказания в режиме внутрикадрового кодирования (декодирования) блоков изображения размером 16x16 или 4x4 пикселей в соответствии со стандартом H.264.

Блок TQ выполняет прямое и обратное дискретное косинус-преобразование и квантование в соответствии со стандартом H.264 (ConstrainedBaselineProfile).

Блок ECD предназначен для аппаратной реализации алгоритмов энтропийного кодирования и декодирования, используемых в указанных стандартах сжатия изображений и видео.

В систему на кристалле видеоядро встраивается при помощи 32-разрядной шины AMBAAPB и 128-разрядной шины AMBAAXI.

Обращения к ресурсам ядра VELcore-01 со стороны DSP-ядра в составе процессора 1892BM14Я производятся с помощью 128-разрядной шины DSPbus.

Обмен данными между вычислительными блоками и памятью видеоданных в составе видеоядра производится через внутренний коммутатор данных BusSwitch.

6.3 Организация работы видеоядра VELcore-01

Видеоядро VELcore-01 представляет собой многопоточную вычислительную систему, в которой возможно одновременное исполнение до четырех вычислительных потоков – двух потоков компрессии и двух потоков декомпрессии.

Работа видеоядра VELcore-01 происходит под управлением внешнего процессорного ядра – CPU или DSP.

Для открытия нового потока необходимо произвести запись необходимых параметров в регистры:

- регистры DMA (в соответствии с описанием блока);
- регистры ECD (в соответствии с описанием блока);
- регистры управления соответствующим потоком.

Для запуска потока необходимо установить бит RUN регистра TASK в состояние «1».

Блоки обмениваются данными через память видеоданных VRAM.

Условием начала работы вычислительных блоков является наличие необходимых данных в памяти VRAM. Для синхронизации работы вычислительных блоков и контроллера DMA используется регистр событий EVENTS, представляющий собой набор флагов готовности данных для блоков, участвующих в обработке.

6.3.1 Структуры данных

Для обменов между блоками используются четыре типа структур данных:

- `mb_cur` – структура данных объемом 512 байт, включающая в себя исходные (при кодировании) или восстановленные (при декодировании) элементы яркости (Y) и цветности (Cb, Cr) макроблока текущего кадра, а также другие характеристики этого макроблока;
- `mb_ref` – структура данных объемом 512 байт, включающая в себя восстановленные элементы яркости и цветности макроблока ссылочного кадра;
- `mb_residual` – структура данных объемом 1024 байт, содержащая квантованные коэффициенты текущего макроблока, а также другие характеристики этого макроблока;
- `mb_pred` – структура данных объемом 512 байт, содержащая предсказанные, в результате компенсации движения по ссылочному кадру, элементы яркости и цветности для текущего макроблока, а также данные о векторах движения;
- `bitstream` – поток сжатых данных.

Размещение данных в структурах `mb_cur`, `mb_ref`, `mb_residual`, `mb_pred` представлено в Таблица 6.1 –Таблица 6.6.

Таблица 6.1. Структура данных `mb_ref`

Начальный адрес	Размер, байт	Данные
0x000	256	Компонента Y – восстановленные данные
0x100	128	Компоненты Cb, Cr – восстановленные данные
0x180	32	Резерв
0x1A0	16	8-я (<code>posY[0]==NY[0]</code>) или 12-я (<code>posY[0]!=NY[0]</code>) строка компоненты Y нижнего макроблока текущего столбца последнего закодированного кадра
0x1B0	16	9-я (<code>posY[0]==NY[0]</code>) или 13-я (<code>posY[0]!=NY[0]</code>) строка компоненты Y нижнего макроблока текущего столбца последнего закодированного кадра
0x1C0	16	4-я (<code>posY[0]==NY[0]</code>) или 6-я (<code>posY[0]!=NY[0]</code>) строка компоненты Cb/ Cr нижнего макроблока текущего столбца последнего закодированного кадра
0x1D0	16	10-я (<code>posY[0]==NY[0]</code>) или 14-я (<code>posY[0]!=NY[0]</code>) строка компоненты Y нижнего макроблока текущего столбца последнего закодированного кадра
0x1E0	16	11-я (<code>posY[0]==NY[0]</code>) или 15-я (<code>posY[0]!=NY[0]</code>) строка компоненты Y нижнего макроблока текущего столбца последнего закодированного кадра

Начальный адрес	Размер, байт	Данные
0x1F0	16	5-я (posY[0]==NY[0]) или 7-я (posY[0]!=NY[0]) строка компоненты Cb/ Cг нижнего макроблока текущего столбца последнего закодированного кадра

Таблица 6.2. Структура данных mb_cur

Начальный адрес	Размер, байт	Данные
0x000	16	Компонента Y – строка 0
0x010	16	Компонента Y – строка 1
0x020	16	Компоненты Cb, Cг – строка 0
0x030	16	Компонента Y – строка 2
0x040	16	Компонента Y – строка 3
0x050	16	Компоненты Cb, Cг – строка 1
0x060	16	Компонента Y – строка 4
0x070	16	Компонента Y – строка 5
0x080	16	Компоненты Cb, Cг – строка 2
0x090	16	Компонента Y – строка 6
0x0A0	16	Компонента Y – строка 7
0x0B0	16	Компоненты Cb, Cг – строка 3
0x0C0	16	Компонента Y – строка 8
0x0D0	16	Компонента Y – строка 9
0x0E0	16	Компоненты Cb, Cг – строка 4
0x0F0	16	Компонента Y – строка 10
0x100	16	Компонента Y – строка 11
0x110	16	Компоненты Cb, Cг – строка 5
0x120	16	Компонента Y – строка 12
0x130	16	Компонента Y – строка 13
0x140	16	Компоненты Cb, Cг – строка 6
0x150	16	Компонента Y – строка 1
0x160	16	Компонента Y – строка 15
0x170	16	Компоненты Cb, Cг – строка 7
0x180	16	Набор конфигурационных параметров PARAM
0x190	4	Количество ненулевых коэффициентов блоков 4x4 – Y (правая граница макроблока)
0x194	2	Количество ненулевых коэффициентов блоков 4x4 – Cb (правая граница макроблока)
0x196	2	Количество ненулевых коэффициентов блоков 4x4 – Cг (правая граница макроблока)
0x198	4	Количество ненулевых коэффициентов блоков 4x4 – Y (нижняя граница макроблока)
0x19C	2	Количество ненулевых коэффициентов блоков 4x4 – Cb (нижняя граница макроблока)
0x19E	2	Количество ненулевых коэффициентов блоков 4x4 – Cг (нижняя граница макроблока)
0x1A0	16	Вектора движения блоков 4x4 – X- и Y-компоненты, по 16 бит каждая (правая граница макроблока)
0x1B0	16	Вектора движения блоков 4x4 – X- и Y-компоненты, по 16 бит каждая (нижняя граница макроблока)
0x1C0	16	Правая граница макроблока (восстановленные нефильТРованные значения) – Y
0x1D0	8	Правая граница макроблока (восстановленные нефильТРованные значения) – Cb
0x1D8	8	Правая граница макроблока (восстановленные нефильТРованные значения) – Cг
0x1E0	16	Нижняя граница макроблока (восстановленные нефильТРованные значения) – Y
0x1F0	8	Нижняя граница макроблока (восстановленные нефильТРованные значения) – Cb

Начальный адрес	Размер, байт	Данные
0x1F8	8	Нижняя граница макроблока (восстановленные нефильТРованные значения) – Cr

Расположение элементов в строке Y (младший байт - справа):

Y15	Y14	Y13	Y12	Y11	Y10	Y9	Y8	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
-----	-----	-----	-----	-----	-----	----	----	----	----	----	----	----	----	----	----

Расположение элементов в строке Cb,Cr (младший байт - справа):

Cr7	Cb7	Cr6	Cb6	Cr5	Cb5	Cr4	Cb4	Cr3	Cb3	Cr2	Cb2	Cr1	Cb1	Cr0	Cb0
-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----

Таблица 6.3. Структура данных PARAM (составная часть структур mb_cur, mb_pred)

Номер разряда	Обозначение	Назначение
1:0	TYPE	Тип макроблока (00 - Skip, 01 – Inter, 10 - Intra_4x4, 11 - Intra_16x16)
3:2	-	Резерв
13:4	PART	Разбиение макроблока по векторам движения (в режиме Inter)
15:14	-	Резерв
47:16	mvd_ge_4	Флаги, сигнализирующие о том, что вектора движения соседних блоков 4x4 отличаются не меньше, чем на 4
49:48	-	Резерв
55:50	QpY	Параметр квантования (Y)
61:56	QpC	Параметр квантования (C)
63:62	IPmodeC	Мода внутрикадрового предсказания Cb, Cr
127:64	IPmodeY	Моды внутрикадрового предсказания Y (в режиме Intra)

Таблица 6.4. Структура данных mb_residual

Начальный адрес	Размер, байт	Данные
0x000	512	Компонента Y – квантованные коэффициенты
0x200	256	Компоненты Cb, Cr – квантованные коэффициенты
0x300	8	Компонента Cb – квантованные коэффициенты DC
0x308	24	Резерв
0x320	8	Компонента Cr – квантованные коэффициенты DC
0x328	24	Резерв
0x340	32	Компонента Y – квантованные коэффициенты DC
0x360	32	Резерв
0x380	16	Структура данных PARAM2
0x390	2	prev intra4x4 pred mode flag
0x392	6	rem intra4x4 pred mode
0x398	1	Мода внутрикадрового предсказания Cb, Cr
0x399	7	Резерв
0x3A0	64	Разности векторов движения макроблока
0x3E0	32	Резерв

Таблица 6.5. Структура данных mb_pred

Начальный адрес	Размер, байт	Данные
0x000	256	Компонента Y – предсказанные значения (режим Inter)
0x100	128	Компоненты Cb, Cr – предсказанные значения (режим Inter)
0x180	16	Набор конфигурационных параметров PARAM
0x190	16	Резерв
0x1A0	16	Набор конфигурационных параметров PARAM2 (данные для заголовка макроблока)
0x1B0	2	prev intra4x4 pred mode flag

Начальный адрес	Размер, байт	Данные
0x1B2	6	rem intra4x4 pred mode
0x1B8	8	Резерв
0x1C0	64	Разности векторов движения макроблока

Таблица 6.6. Структура данных PARAM2 (составная часть структуры mb_pred)

Номер разряда	Обозначение	Назначение
15:0	mb_skip_run	Параметр mb_skip_run
16	mb_skip_flag	Флаг mb_skip_flag
31:17	-	Резерв
37:32	mb_type	Параметр mb_type
47:38	-	Резерв
53:48	mb_qp_delta	Параметр mb_qp_delta
63:54	-	Резерв
67:64	sub_mb_type[0]	Параметр sub_mb_type[i], i=0
71:68	-	Резерв
75:72	sub_mb_type[1]	Параметр sub_mb_type[i], i=1
79:76	-	Резерв
83:80	sub_mb_type[2]	Параметр sub_mb_type[i], i=2
87:84	-	Резерв
91:88	sub_mb_type[3]	Параметр sub_mb_type[i], i=3
95:92	-	Резерв
100:96	ref_idx_10[0]	Параметр ref_idx_10[i], i=0
103:101	-	Резерв
108:104	ref_idx_10[1]	Параметр ref_idx_10[i], i=1
111:109	-	Резерв
116:112	ref_idx_10[2]	Параметр ref_idx_10[i], i=2
119:117	-	Резерв
124:120	ref_idx_10[3]	Параметр ref_idx_10[i], i=3
127:125	-	Резерв

6.3.2 Размещение структур данных в памяти VRAM

Указатели на структуры mb_cur, mb_ref, mb_residual, mb_pred определяются регистром ADR_i соответствующего потока (i=0,1,2,3). Регистр ADR_i содержит три поля: ACUR (начальный адрес массива mb_cur), AREF (начальный адрес массива mb_ref) и ARES (адрес объединенной структуры mb_residual и mb_pred).

Адреса массивов mb_cur и mb_ref выровнены по границам 1К-байтных слов и содержат по 10 разрядов каждый. Адрес объединенной структуры mb_residual и mb_pred должен быть выровнен по границе 2К-байтного слова и содержит 9 разрядов.

Структуры mb_residual, mb_pred, bitstream хранятся в памяти в единственном числе (для текущего макроблока). Адреса этих структур определяются формулами:

$$*mb_residual = VRAM_BASE_ADR + ARES * 0x800;$$

$$*mb_pred = VRAM_BASE_ADR + ARES * 0x800 + 0x400;$$

$$*bitstream = VRAM_BASE_ADR + ARES * 0x800 + 0x800;$$

где VRAM_BASE_ADR – базовый адрес памяти VRAM (0x3B00_0000).

Структуры `mb_cur`, `mb_ref` хранятся в памяти в количестве $2*N$ каждая, где $N = NX$ – количество макроблоков в строке изображения.

Размещение структур данных `mb_cur`, `mb_ref` в памяти VRAM приведено в Таблица 6.7. (для текущего кадра `*ptr = *mb_cur`, для ссылочного `*ptr = *mb_ref`; параметры $N = NX$ – количество макроблоков в строке, `posX`, `posY` – номер макроблока соответственно в строке и в столбце – определяются регистром MBPOS).

Таблица 6.7. Размещение структур данных `mb_cur`, `mb_ref` в памяти VRAM

posX	posY[0]	Начальный адрес	Макроблок
0	0	0x000	Макроблок 0 четной строки
1	0	0x200	Макроблок 1 четной строки
2	0	0x400	Макроблок 2 четной строки
...
N-1	0	0x200 * (N-1)	Макроблок (N-1) четной строки
N	1	0x200 * N	Макроблок 0 нечетной строки
N+1	1	0x200 * (N+1)	Макроблок 1 нечетной строки
...
2N-1	1	0x200 * (2N-1)	Макроблок (N-1) нечетной строки

6.3.3 Синхронизация потоков

Для синхронизации работы вычислительных блоков и контроллера DMA в составе видеоядра имеется регистр событий EVENTS, представляющий собой набор флагов готовности данных для блоков, участвующих в обработке.

Регистр EVENTS содержит 32 бита, формируемых аппаратно участвующими в обработке блоками, и доступных для записи (с ограничениями, указанными ниже) и чтения со стороны процессорных ядер.

Разряды регистра EVENTS predeterminedным образом распределены между потоками: разряды 0-7 относятся к 0-му потоку, разряды 8-15 - к 1-му потоку, разряды 16-23 - к 2-му потоку, разряды 24-31 - к 3-му потоку.

При этом первые четыре разряда из восьми, отведенных на поток, определяют состояние соответствующих DMA-обменов. В контроллере DMA каналы распределяются соответствующим образом: каналы 0-3 относятся к 0-му потоку, каналы 4-7 - к 1-му потоку, каналы 8-11 - к 2-му потоку, каналы 12-15 - к 3-му потоку.

Из четырех отведенных на поток DMA-каналов первый всегда используется для загрузки ссылочного кадра; второй – для загрузки исходного изображения, в случае кодирования, или для загрузки дополнительного ссылочного кадра, в случае декодирования и при наличии нескольких ссылочных кадров; третий – для записи во внешнюю память восстановленного изображения; четвертый – для записи, в случае кодирования, или для чтения, в случае декодирования, кодового потока (bitstream).

Назначение разрядов регистра EVENTS приведено в Таблица 6.8 – Таблица 6.11.

Таблица 6.8. Назначение разрядов регистра EVENTS, 0-й поток (кодирование)

Номер разряда	Обозначение	Назначение
0	EV0	0 – готовность VRAM к приему новых данных mb_ref; 1 – DMA завершил загрузку новых данных (ссылочный кадр) ;
1	EV1	0 – готовность VRAM к приему новых данных mb_cur; 1 – DMA завершил загрузку новых данных (текущий кадр, исходное изображение);
2	EV2	0 – готовность DMA к передаче новых данных mb_cur; 1 – готовность новых данных в памяти VRAM (текущий кадр, восстановленное изображение);
3	EV3	0 – готовность DMA к передаче новых данных (bitstream); 1 – готовность новых данных в памяти VRAM (bitstream);
4	EV4	0 – готовность VRAM к приему новой структуры mb_pred; 1 – блок MD подготовил новую структуру mb_pred ;
5	EV5	0 – готовность VRAM к приему новой структуры mb_residual; 1 – блок TQ подготовил новую структуру mb_residual;
6	EV6	1 – при наличии открытой маски в регистре TASK0 одно из событий: а) последний исходный макроблок в текущем кадре загружен в VRAM из внешней памяти или б) останов по комбинации условий, специфицированной в регистрах TASK0, SMBPOS0; 0 – отсутствие указанных событий
7	EV7	1 – при наличии открытой маски в регистре TASK0 одно из событий: а) последний макроблок в текущем кадре закодирован и соответствующий выходной код выгружен из VRAM во внешнюю память или б) останов по комбинации условий, специфицированной в регистрах TASK0, SMBPOS0; 0 – отсутствие указанных событий

Таблица 6.9. Назначение разрядов регистра EVENTS, 1-й поток (кодирование)

Номер разряда	Обозначение	Назначение
8	EV8	0 – готовность VRAM к приему новых данных mb_ref; 1 – DMA завершил загрузку новых данных (ссылочный кадр);
9	EV9	0 – готовность VRAM к приему новых данных mb_cur; 1 – DMA завершил загрузку новых данных (текущий кадр, исходное изображение);
10	EV10	0 – готовность DMA к передаче новых данных mb_cur; 1 – готовность новых данных в памяти VRAM (текущий кадр, восстановленное изображение);
11	EV11	0 – готовность DMA к передаче новых данных (bitstream); 1 – готовность новых данных в памяти VRAM (bitstream);
12	EV12	0 – готовность VRAM к приему новой структуры mb_pred; 1 – блок MD подготовил новую структуру mb_pred;
13	EV13	0 – готовность VRAM к приему новой структуры mb_residual; 1 – блок TQ подготовил новую структуру mb_residual;
14	EV14	1 – при наличии открытой маски в регистре TASK1 одно из событий: а) последний исходный макроблок в текущем кадре загружен в VRAM из внешней памяти или б) останов по комбинации условий, специфицированной в регистрах TASK1, SMBPOS1; 0 – отсутствие указанных событий
15	EV15	1 – при наличии открытой маски в регистре TASK1 одно из событий: а) последний макроблок в текущем кадре закодирован и соответствующий выходной код выгружен из VRAM во внешнюю память или б) останов по комбинации условий, специфицированной в регистрах TASK1, SMBPOS1; 0 – отсутствие указанных событий

Таблица 6.10. Назначение разрядов регистра EVENTS, 2-й поток (декодирование)

Номер разряда	Обозначение	Назначение
16	EV16	0 – готовность VRAM к приему новых данных mb_ref; 1 – DMA завершил загрузку новых данных (ссылочный кадр);
17	EV17	0 – готовность VRAM к приему новых данных mb_cur; 1 – DMA завершил загрузку новых данных (дополнительный ссылочный кадр);
18	EV18	0 – готовность DMA к передаче новых данных mb_cur; 1 – готовность новых данных в памяти VRAM (текущий кадр, восстановленное изображение);
19	EV19	0 – готовность VRAM к приему новых данных (bitstream); 1 – готовность новых данных в памяти VRAM (bitstream);
20	EV20	0 – готовность VRAM к приему новой структуры mb_pred; 1 – блок MD подготовил новую структуру mb_pred;
21	EV21	0 – готовность VRAM к приему новой структуры mb_residual; 1 – блок ECD подготовил новую структуру mb_residual;
22	EV22	1 – одно из событий: а) последний восстановленный макроблок в текущем кадре выгружен из VRAM во внешнюю память; б) вектор движения выходит за пределы стандартной области обхода (32x32); в) параметр refIdx не равен нулю; 0 – отсутствие указанных событий;
23	EV23	1 – одно из событий: а) при наличии открытой маски в регистре TASK2 (TASK2.M7EOF=1): входной код, соответствующий последнему макроблоку в текущем кадре, загружен в VRAM из внешней памяти; б) при установленном флаге ED0.CAVLD.SR.err=1: неопознанный входной код; 0 – отсутствие указанных событий;

Таблица 6.11. Назначение разрядов регистра EVENTS, 3-й поток (декодирование)

Номер разряда	Обозначение	Назначение
24	EV24	0 – готовность VRAM к приему новых данных mb_ref; 1 – DMA завершил загрузку новых данных (ссылочный кадр);
25	EV25	0 – готовность VRAM к приему новых данных mb_cur; 1 – DMA завершил загрузку новых данных (дополнительный ссылочный кадр);
26	EV26	0 – готовность DMA к передаче новых данных mb_cur; 1 – готовность новых данных в памяти VRAM (текущий кадр, восстановленное изображение);
27	EV27	0 – готовность VRAM к приему новых данных (bitstream); 1 – готовность новых данных в памяти VRAM (bitstream);
28	EV28	0 – готовность VRAM к приему новой структуры mb_pred; 1 – блок MD подготовил новую структуру mb_pred;
29	EV29	0 – готовность VRAM к приему новой структуры mb_residual; 1 – блок ECD подготовил новую структуру mb_residual;
30	EV30	1 – одно из событий: а) последний восстановленный макроблок в текущем кадре выгружен из VRAM во внешнюю память; б) вектор движения выходит за пределы стандартной области обхода (32x32); в) параметр refIdx не равен нулю; 0 – отсутствие указанных событий;
31	EV31	1 – одно из событий: а) при наличии открытой маски в регистре TASK3 (TASK3.M7EOF=1): входной код, соответствующий последнему макроблоку в текущем кадре, загружен в VRAM из внешней памяти; б) при установленном флаге ED1.CAVLD.SR.err=1: неопознанный входной код; 0 – отсутствие указанных событий.

Начальное состояние регистра EVENTS – 0x0.

Взаимодействие и синхронизация работы блоков, входящих в состав VPU, на основе флагов событий EVENTS, иллюстрируется на приведенном ниже рисунке. Диаграмма

взаимодействия блоков при выполнении кодирования приведена в верхней части рисунка, а при выполнении декодирования - в нижней части рисунка. Нумерация флагов событий на рисунках приводится в рамках одного потока. На рисунке используется обозначение $mb_ref(i)$ для исходных референсных макроблоков и $mb_ref(r)$ для восстановленных макроблоков.

Взаимодействие исполнительных блоков и каналов DMA осуществляется с помощью флагов EV_0 – EV_3. Взаимодействие исполнительных блоков между собой выполняется при помощи флагов EV_4, EV_5. В каждом потоке имеется также два специальных флага – EV_6, EV_7, которые переходят в состояние «1» при достижении заданного условия останова – конца кадра или заданной позиции макроблока (условия останова задаются в регистрах TASK и SMBPOS), что приводит, в свою очередь, к приостановке работы исполнительного конвейера видеоядра. Это дает возможность управляющему процессору в необходимых случаях вмешиваться в работу видеоядра.

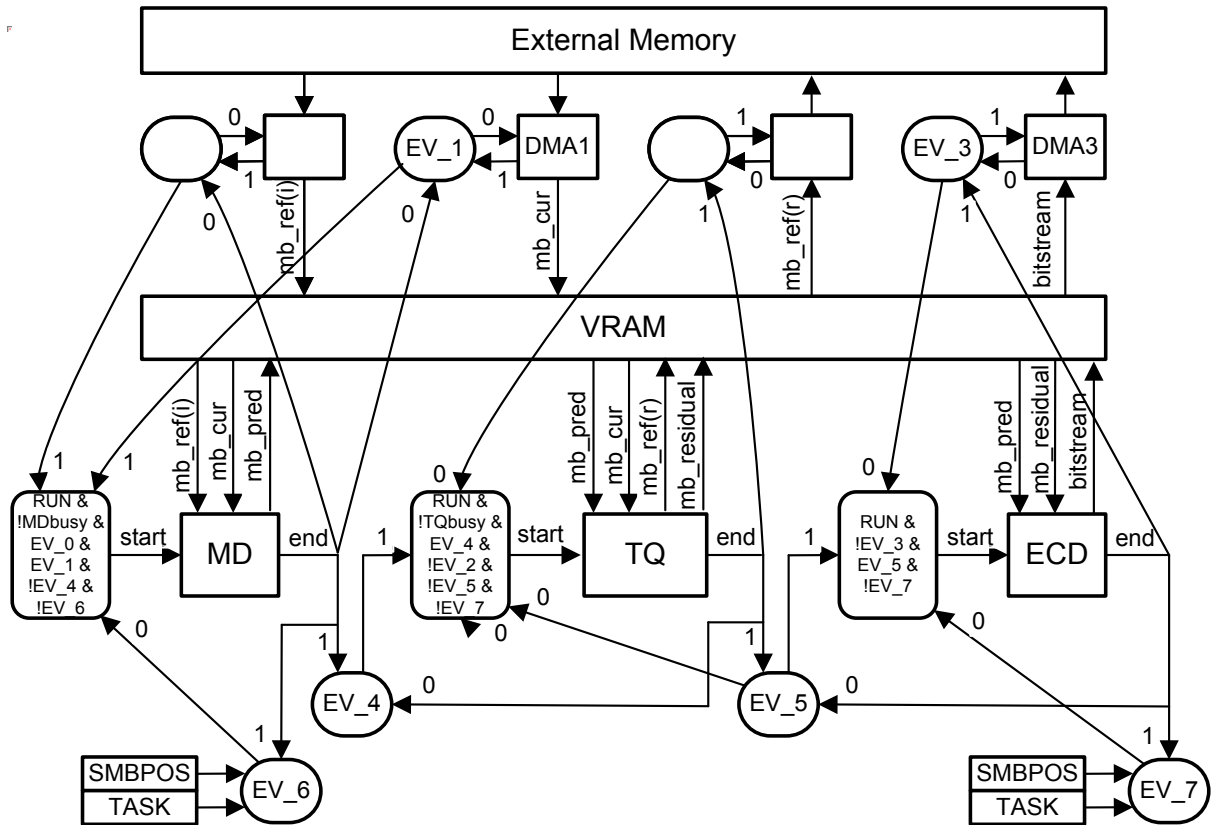


Рисунок 6.2. Синхронизация работы блоков VPU при выполнении кодирования

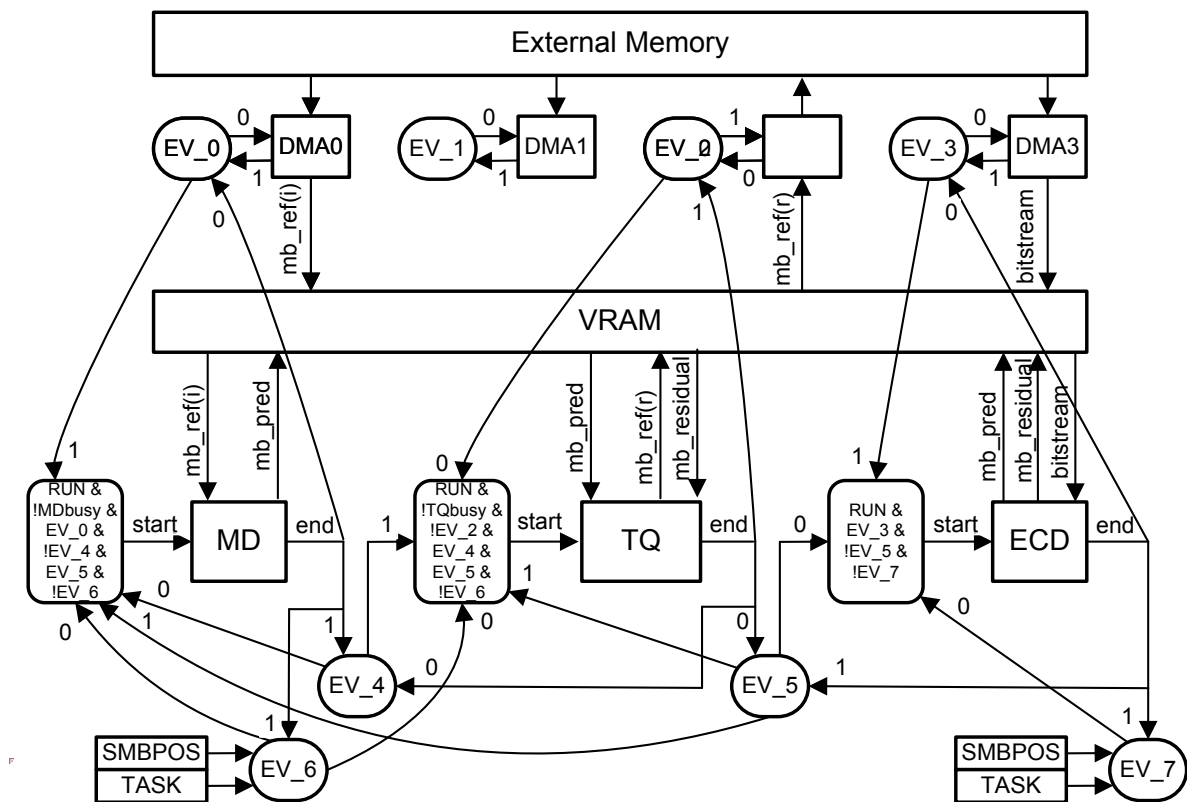


Рисунок 6.3. Синхронизация работы блоков VPU при выполнении декодирования

При формировании значений разрядов регистра EVENTS состояния флагов, формируемые аппаратным образом, имеют приоритет над значениями, записываемыми со стороны процессорных ядер. Индикатором активного формирования аппаратных флагов

вычислительными блоками MD, TQ, ECD является нахождение в состоянии «1» поля BUSY (31-й разряд) регистра статуса соответствующего потока STATUS_n (n=0,1,2,3). Индикатором активного формирования аппаратных флагов со стороны DMA является нахождение в состоянии «1» поля RUN или DONE соответствующего канала DMA. Практически для гарантированного выполнения записи в регистр EVENTS наиболее удобно производить эту операцию в режиме останова видеоядра (т.е. в состоянии, когда EV_6=1 или EV_7=1).

6.4 Программная модель видеоядра VELcore-01

6.4.1 Карта памяти

Общее пространство памяти VELcore-01 включает в себя память данных VRAM и набор адресуемых регистров ядра.

Распределение адресного пространства ядра VELcore-01 в составе микропроцессора 1892BM14Я приведено в Таблица 6.12.

Объем VRAM – 64К 128-разрядных слов (1 Мбайт).

Таблица 6.12. Карта памяти ядра VELcore-01

Начальный адрес	Конечный адрес	Описание
Регистры управления VPU		
0x3710_0000	0x3710_00FF	Регистры управления VPU
0x3710_0100	0x3710_0FFF	Резерв
Регистры управления потоков		
0x3710_1000	0x3710_103F	Регистры управления 0-го потока
0x3710_1040	0x3710_107F	Регистры управления 1-го потока
0x3710_1080	0x3710_10BF	Регистры управления 2-го потока
0x3710_10C0	0x3710_10FF	Регистры управления 3-го потока
0x3710_1100	0x3710_1FFF	Резерв
0x3710_2000	0x3710_207F	Регистры MD
0x3710_2080	0x3710_2FFF	Резерв
0x3710_3000	0x3710_307F	Регистры TQ
0x3710_3080	0x3710_4FFF	Резерв
0x3710_5000	0x3710_57FF	Регистры DMA
0x3710_5800	0x3710_7FFF	Резерв
0x3710_8000	0x3710_FFFF	Регистры ECD
0x3710_C000	0x3712_FFFF	Резерв
Память видеоданных		
0x3B00_0000	0x3B0F_FFFF	Память видеоданных VRAM
0x3B10_0000	0x3CFF_FFFF	Резерв

6.4.2 Регистры управления VPU

Перечень регистров управления VPU приведен в Таблица 6.13.

Таблица 6.13. Перечень регистров управления VPU

Условное обозначение	Разрядность	Тип	Назначение регистра	Адрес регистра
EVENTS	32	R/W	Регистр событий	0x3710_0000
MSKI_CPU	32	R/W	Регистр входной маски событий CPU	0x3710_0004
MSKO_CPU	32	R/W	Регистр выходной маски событий CPU	0x3710_0008
MSKO_DSP	32	R/W	Регистр выходной маски событий DSP	0x3710_000C
VRAM_CFG	32	R/W	Регистр конфигурации памяти	0x3710_0010
MSK_INT_CPU	32	R/W	Регистр выходной маски событий CPU	0x3710_0014
MSK_EV	32	R/W	Маска записи в регистр EVENTS	0x3710_0018

Начальное состояние регистра MSK_EV = 0xFFFFFFFF, всех остальных регистров – 0x0.

6.4.2.1 Назначение разрядов регистра EVENTS

Назначение разрядов регистра EVENTS приведено в Таблица 6.8 - Таблица 6.11.

6.4.2.2 Назначение разрядов регистров MSKI_CPU, MSKO_CPU, MSKO_DSP, MSK_INT_CPU, MSK_EV

Регистры масок MSKI_CPU, MSKO_CPU, MSKO_DSP, MSK_INT_CPU, MSK_EV являются 32-разрядными регистрами, доступными по записи и чтению.

Назначение регистров масок MSKI_CPU, MSKO_CPU, MSKO_DSP, MSK_INT_CPU, MSK_EV иллюстрируется представленной схемой взаимодействия блока VPU с процессорными ядрами- CPU и DSP посредством передачи событий и прерываний.

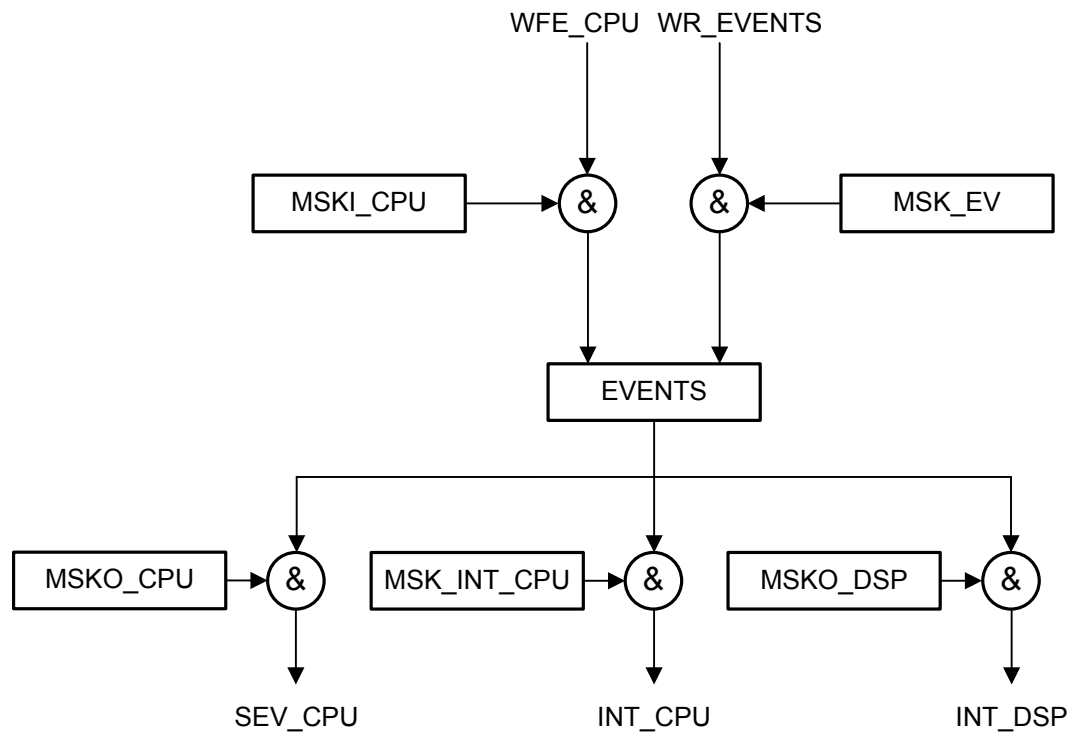


Рисунок 6.4. Схема взаимодействия блока VPU с CPU и DSP

В зависимости от состояния регистра EVENTS и соответствующих регистров масок MSKO_CPU, MSKO_DSP, MSK_INT_CPU блок VPU формирует сигналы событий и прерываний для CPU и DSP:

$INT_CPU = |(MSK_INT_CPU \& EVENTS)$ – сигнал прерывания от VPU к CPU;

$SEV_CPU = |(MSKO_CPU \& EVENTS)$ – сигнал события от VPU_к CPU;

$INT_DSP = |(MSKO_DSP \& EVENTS)$ – сигнал прерывания от VPU_к DSP.

В свою очередь, CPU и DSP могут модифицировать отдельные разряды регистра EVENTS при помощи передачи сигнала события WFE_CPU (со стороны CPU) или записи в регистр EVENTS с предварительной установкой соответствующих бит в регистрах масок MSKI_CPU, MSK_EV.

В случае передачи сигнала события WFE_CPU со стороны CPU происходит установка в «1» разрядов EVENTS, разрешенных маской MSKI_CPU:

$EVENTS = EVENTS | (\{32\{WFE_CPU\}\} \& MSKI_CPU)$.

В случае записи со стороны CPU или DSP запись данных происходит только в разрешенные маской MSK_EV разряды регистра EVENTS:

$if (WR_EVENTS \& \& MSK_EV(i)) \text{ EVENTS}(i) = WDATA(i)$,

где WR_EVENTS – сигнал разрешения записи в регистр EVENTS, WDATA(i) – 32-разрядная шина записываемых данных, i – номер разряда регистра EVENTS, $i=0,1,\dots,31$.

6.4.2.3 Назначение разрядов регистра VRAM_CFG

Регистр VRAM_CFG содержит настроечные параметры памяти VRAM.

Назначение разрядов регистра VRAM_CFG приведено в Таблица 6.14. Начальное состояние регистра VRAM_CFG – нулевое. Не рекомендуется изменять установленные по умолчанию значения параметров RM, RME.

Таблица 6.14. Назначение разрядов регистра VRAM_CFG

Номер разряда	Обозначение	Назначение
1:0	RM	Параметр RM (Read Margin) памяти видеоданных VRAM. Параметр управляет временем задержки фиксации данных в выходном регистре при чтении из памяти (при RME=1).
2	RME	Параметр RME (Read Margin Enable) памяти видеоданных VRAM. Позволяет выбрать между значениями бит RM по умолчанию или заданными значениями бит RM. При RME = 0: значения RM по умолчанию; RME = 1: заданные значения RM.
3	LS	Параметр LS (Light Sleep) памяти видеоданных VRAM. При установке этого бита происходит уменьшение энергопотребления с сохранением данных.
4	DS	Параметр DS (Deep Sleep) памяти видеоданных VRAM. При установке этого бита происходит выключение с сохранением данных.
5	SD	Параметр SD (Shutdown) памяти видеоданных VRAM. При установке этого бита происходит полное выключение без сохранения данных.
31:6	-	Резерв

6.4.3 Регистры управления потоков

Перечень регистров управления потоками компрессии/декомпрессии приведен в Таблица 6.15.

Таблица 6.15. Перечень регистров управления потоков

Условное обозначение	Разрядность	Тип	Назначение регистра	Адрес регистра
			Регистры управления 0-го потока	
TASK0	32	R/W	Регистр задания	0x3710 1000
ADR0	32	R/W	Регистр указателей	0x3710 1004
MBPOS0	32	R/W	Регистр текущей позиции макроблока в кадре	0x3710 1008
FRMN0	32	R/W	Регистр номера текущего кадра	0x3710 100C
CFG0	32	R/W	Регистр конфигурационных параметров	0x3710 1010
RUN_ON0	32	W	Псевдорегистр запуска потока	0x3710 1018
RUN_OFF0	32	W	Псевдорегистр останова потока	0x3710 101C
STATUS0	32	R	Регистр статуса потока	0x3710 1020
SMBPOS0	32	R/W	Регистр позиции останова	0x3710 1028
			Регистры управления 1-го потока	
TASK1	32	R/W	Регистр задания	0x3710 1040
ADR1	32	R/W	Регистр указателей	0x3710 1044
MBPOS1	32	R/W	Регистр текущей позиции макроблока в кадре	0x3710 1048
FRMN1	32	R/W	Регистр номера текущего кадра	0x3710 104C
CFG1	32	R/W	Регистр конфигурационных параметров	0x3710 1050
RUN_ON1	32	W	Псевдорегистр запуска потока	0x3710 1058
RUN_OFF1	32	W	Псевдорегистр останова потока	0x3710 105C
STATUS1	32	R	Регистр статуса потока	0x3710 1060
SMBPOS1	32	R/W	Регистр позиции останова	0x3710 1068
			Регистры управления 2-го потока	
TASK2	32	R/W	Регистр задания	0x3710 1080
ADR2	32	R/W	Регистр указателей	0x3710 1084
MBPOS2	32	R/W	Регистр текущей позиции макроблока в кадре	0x3710 1088
FRMN2	32	R/W	Регистр номера текущего кадра	0x3710 108C
CFG2	32	R/W	Регистр конфигурационных параметров	0x3710 1090
RUN_ON2	32	W	Псевдорегистр запуска потока	0x3710 1098
RUN_OFF2	32	W	Псевдорегистр останова потока	0x3710 109C
STATUS2	32	R	Регистр статуса потока	0x3710 10A0
SMBPOS2	32	R/W	Регистр позиции останова	0x3710 10A8
			Регистры управления 3-го потока	
TASK3	32	R/W	Регистр задания	0x3710 10C0
ADR3	32	R/W	Регистр указателей	0x3710 10C4
MBPOS3	32	R/W	Регистр текущей позиции макроблока в кадре	0x3710 10C8
FRMN3	32	R/W	Регистр номера текущего кадра	0x3710 10CC
CFG3	32	R/W	Регистр конфигурационных параметров	0x3710 10D0
RUN_ON3	32	W	Псевдорегистр запуска потока	0x3710 10D8
RUN_OFF3	32	W	Псевдорегистр останова потока	0x3710 10DC
STATUS3	32	R	Регистр статуса потока	0x3710 10E0
SMBPOS3	32	R/W	Регистр позиции останова	0x3710 10E8

Начальное состояние всех указанных регистров – 0x0.

Некоторые регистры ECD являются зависимыми от регистров управления потоков VPU. Это означает, что при записи регистров управления потоков VPU одновременно происходит запись в соответствующие регистры ECD. Подробнее эти зависимости рассмотрены в разделе 6.4.7.17.

6.4.3.1 Регистры задания TASK0, TASK1, TASK2, TASK3

Регистры TASK0, TASK1, TASK2, TASK3 определяют задание для каждого потока.

Регистры TASK0, TASK1 определяют задание для двух потоков кодеров, TASK2, TASK3 – для двух потоков декодеров.

Назначение разрядов регистров TASK0, TASK1, TASK2, TASK3 приведено в Таблица 6.16.

Таблица 6.16. Назначение разрядов регистров TASK0, TASK1, TASK2, TASK3

Номер разряда	Обозначение	Назначение
1:0	STD	Выбор стандарта (00 - H264)
7:2	QpY	Параметр квантования Y
13:8	QpC	Параметр квантования C: QpC = Clip3(0, 51, QpY+chroma_qp_index_offset)
14	RUN	Запуск/останов исполнения задачи (0 - останов, 1 - запуск)
15	-	Резерв
16	M6EOF	Разрешение (M6EOF=1) либо запрет (M6EOF=0) формирования флага EVENTS[8*i+6] ^{1) 2)} по следующим событиям: а) при кодировании: последний исходный макроблок в текущем кадре загружен в VRAM из внешней памяти.
17	M6POS	Разрешение (M6POS=1) либо запрет (M6POS=0) формирования флага EVENTS[8*i+6] ^{1) 2)} с учетом позиции макроблока в кадре ³⁾ . При M6POS=1 необходимым условием формирования флага EVENTS[8*i+6] является следующее: при кодировании позиция исходного макроблока, обрабатываемого блоком MD, совпадает с позицией останова, определяемой младшими 16-ю разрядами регистра позиции останова SMBPOS _i . Кроме этого, для формирования флага EVENTS[8*i+6] необходимо перед каждым запуском выполнять запись ненулевого значения в псевдорегистр RUN_OFF соответствующего канала, после чего включать канал записью «1» в 14-й разряд регистра TASK либо записью ненулевого значения в псевдорегистр RUN_ON.
19:18	-	Резерв
20	M7EOF	Разрешение (M7EOF=1) либо запрет (M7EOF=0) формирования флага EVENTS[8*i+7] ^{1) 2)} по следующим событиям: а) при кодировании: последний макроблок в текущем кадре закодирован и соответствующий выходной код выгружен из VRAM во внешнюю память; б) при декодировании: входной код, соответствующий последнему макроблоку в текущем кадре, загружен в VRAM из внешней памяти.
31:21	-	Резерв

Примечания

1. $i=0,1,2,3$ – номер потока.
2. При наличии нескольких условий формирования флагов EVENTS[8*i+6], EVENTS[8*i+7] эти условия учитываются по схеме логического «И», т.е. для формирования флагов требуется одновременное соблюдение всех разрешенных условий.
3. При M6EOF=1 состояние флага M6POS не учитывается и считается равным нулю.

Начальное состояние регистров TASK0, TASK1, TASK2, TASK3 – 0x0.

6.4.3.2 Регистры указателей ADR0, ADR1, ADR2, ADR3

Регистры указателей содержат начальные адреса массивов данных, хранящихся в памяти VRAM и используемых при кодировании/декодировании изображений:

- начальный адрес массива mb_cur;
- начальный адрес массива mb_ref;
- адрес объединенной структуры, состоящей из mb_residual и mb_pred.

Адреса массивов mb_cur и mb_ref выровнены по границам 1К-байтных слов и содержат по 10 разрядов каждый. Адрес объединенной структуры mb_residual и mb_pred должен быть выровнен по границам 2К-байтных слов и содержит 9 разрядов.

Назначение разрядов регистров ADR0, ADR1, ADR2, ADR3 приведено в Таблица 6.17.

Таблица 6.17. Назначение разрядов регистров ADR0, ADR1, ADR2, ADR3

Номер разряда	Обозначение	Назначение
9:0	ACUR	Начальный адрес массива mb_cur
19:10	AREF	Начальный адрес массива mb_ref
28:20	ARES	Адрес объединенной структуры mb_residual и mb_pred
31:29	-	Резерв

Полные адреса соответствующих структур вычисляются по формулам:

$$*mb_cur = VRAM_BASE_ADR + ACUR * 0x400;$$

$$*mb_ref = VRAM_BASE_ADR + AREF * 0x400;$$

$$*mb_residual = VRAM_BASE_ADR + ARES * 0x800;$$

$$*mb_pred = VRAM_BASE_ADR + ARES * 0x800 + 0x400;$$

$$*bitstream = VRAM_BASE_ADR + ARES * 0x800 + 0x800;$$

где VRAM_BASE_ADR – базовый адрес памяти VRAM (0x3B00_0000).

6.4.3.3 Регистры позиции макроблока в кадре MBPOS0, MBPOS1, MBPOS2, MBPOS3

Назначение разрядов регистра MBPOS приведено в Таблица 6.18.

Разряды регистров MBPOS0, MBPOS1, MBPOS2, MBPOS3 формируются как аппаратно при исполнении задания, так и посредством внешней записи.

Таблица 6.18. Назначение разрядов регистра MBPOS

Номер разряда	Обозначение	Назначение
7:0	POSX	Номер текущего макроблока в строке изображения
15:8	POSY	Номер текущего макроблока в столбце изображения
23:16	NX	Количество макроблоков в строке изображения
31:24	NY	Количество макроблоков в столбце изображения

Начальное состояние регистров MBPOS0, MBPOS1, MBPOS2, MBPOS3 – 0x0.

6.4.3.4 Регистры номера кадра FRMN0, FRMN1, FRMN2, FRMN3

Каждый из регистров номера кадра FRMN0, FRMN1, FRMN2, FRMN3 содержит номер текущего обрабатываемого данным потоком кадра. Номер кадра инкрементируется аппаратным образом в конце каждого кадра. Эти регистры доступны также для внешней программной записи/чтения.

Назначение разрядов FRMN0, FRMN1, FRMN2, FRMN3 приведено в Таблица 6.19.

Таблица 6.19. Назначение разрядов FRMN0, FRMN1, FRMN2, FRMN3

Номер разряда	Обозначение	Назначение
23:0	FRMN	Номер текущего кадра
31:24	-	Резерв

Начальное состояние регистров FRMN0, FRMN1, FRMN2, FRMN3 – 0x0.

6.4.3.5 Регистры конфигурационных параметров CFG0, CFG1, CFG2, CFG3

Регистры CFG0, CFG1, CFG2, CFG3 содержат значения дополнительных конфигурационных параметров для каждого потока.

Регистры CFG0, CFG1 определяют задание для двух потоков кодеров, CFG2, CFG3 – для двух потоков декодеров.

Назначение разрядов регистров CFG0, CFG1, CFG2, CFG3 приведено в Таблица 6.20.

Таблица 6.20. Назначение разрядов регистров CFG0, CFG1, CFG2, CFG3

Номер разряда	Обозначение	Назначение
3:0	slice type	Тип слайса
8:4	num_ref_idx_l0_active_minus1	Параметр num_ref_idx_l0_active_minus1
9	auto_trailing_bits	Флаг автоматического добавления к потоку trailing_bits по окончании слайса
10	auto_flush	Флаг автоматической выгрузки потока в память по окончании слайса
15:11	OffsetQp_Skip	Для H264: параметр OffsetQp при выборе моды Skip
19:16	-	Резерв
23:16	-	Резерв
28:24	OffsetQp	Для H264: параметр OffsetQp при выборе моды предсказания
31:29	-	Резерв

Начальное состояние регистров CFG0, CFG1, CFG2, CFG3 – 0x0.

6.4.3.6 Регистры статуса STATUS0, STATUS1, STATUS2, STATUS3

Регистры STATUS0, STATUS1, STATUS2, STATUS3 доступны только по чтению и содержат аппаратно формируемые флаги состояния для каждого потока.

Назначение разрядов регистров STATUS0, STATUS1, STATUS2, STATUS3 приведено в Таблица 6.21.

Таблица 6.21. Назначение разрядов регистров STATUS0, STATUS1, STATUS2, STATUS3

Номер разряда	Обозначение	Назначение
0	EOF0	Останов по флагу EVENTS[8*i+6], где i=0,1,2,3 – номер потока
1	EOF1	Останов по флагу EVENTS[8*i+7], где i=0,1,2,3 – номер потока
2	-	Резерв
3	ERRMV	Останов по событию: вектор движения выходит за пределы стандартной области обхода (при декодировании)
4	ERRIDX	Останов по событию: параметр refldx не равен нулю (при декодировании)
5	ERRMODE	Останов по событию: при декодировании используется запрещенная мода предсказания или запрещенный Partition
30:6	-	Резерв
31	BUSY	Поток занят (BUSY=1) либо свободен (BUSY=0)

Начальное состояние регистров STATUS0, STATUS1, STATUS2, STATUS3 – 0x0.

6.4.3.7 Регистры позиции останова SMBPOS0, SMBPOS1, SMBPOS2, SMBPOS3

В регистрах SMBPOS0, SMBPOS1, SMBPOS2, SMBPOS3 содержатся позиции макроблока в кадре, в которых, при наличии соответствующих открытых масок, происходит формирование в регистре EVENTS флагов EVENTS[8*i+6], EVENTS[8*i+7], где i=0,1,2,3 – номер потока, и останов потока.

Назначение разрядов регистров SMBPOS0, SMBPOS1, SMBPOS2, SMBPOS3 приведено в Таблица 6.22.

Таблица 6.22. Назначение разрядов регистров SMBPOS0, SMBPOS1, SMBPOS2, SMBPOS3

Номер разряда	Обозначение	Назначение
7:0	SMBPOSX6	Позиция останова и формирования флага EVENTS[8*i+6] по X-координате ¹⁾
15:8	SMBPOSY6	Позиция останова и формирования флага EVENTS[8*i+6] по Y-координате ¹⁾
23:16	SMBPOSX7	Позиция останова и формирования флага EVENTS[8*i+7] по X-координате ¹⁾
31:24	SMBPOSY7	Позиция останова и формирования флага EVENTS[8*i+7] по Y-координате ¹⁾

¹⁾ i=0,1,2,3 – номер потока.

Начальное состояние регистров SMBPOS0, SMBPOS1, SMBPOS2, SMBPOS3 – 0x0.

6.4.4 Блок MD

6.4.4.1 Назначение

Блок MD в составе видеопроцессорного ядра представляет собой аппаратный ускоритель, предназначенный для:

- в режиме кодирования – для выбора наилучшего способа предсказания и вычисления предсказанных значений для элементов текущего макроблока (в случае межкадрового предсказания);
- в режиме декодирования, в случае межкадрового предсказания – для компенсации

движения и формирования предсказанных значений для текущего макроблока.

6.4.4.2 Регистры

Работа блока MD происходит под управлением регистров TASK0 – TASK3, ADR0 – ADR3, EVENTS видеопроцессорного ядра, определяющих параметры работы четырех потоков компрессии/декомпрессии.

Блок MD не содержит в своем составе программно-доступных по записи регистров.

Перечень регистров блока MD, доступных по чтению, приведен в Таблица 6.23.

Таблица 6.23. Регистры блока MD

Условное обозначение	Разрядность	Тип	Назначение регистра	Адрес регистра
MD_CFG	32	RW	Регистр конфигурации блока MD	0x3710 2000
			Регистры 0-го потока	
MBPOS MD0	32	R	Регистр текущей позиции макроблока в кадре	0x3710 2080
FRMN MD0	32	R	Регистр номера текущего кадра	0x3710 2084
			Регистры 1-го потока	
MBPOS MD1	32	R	Регистр текущей позиции макроблока в кадре	0x3710 20A0
FRMN MD1	32	R	Регистр номера текущего кадра	0x3710 20A4
			Регистры 2-го потока	
MBPOS MD2	32	R	Регистр текущей позиции макроблока в кадре	0x3710 20C0
FRMN MD2	32	R	Регистр номера текущего кадра	0x3710 20C4
			Регистры 3-го потока	
MBPOS MD3	32	R	Регистр текущей позиции макроблока в кадре	0x3710 20E0
FRMN MD3	32	R	Регистр номера текущего кадра	0x3710 20E4

Назначение разрядов регистров MD_CFG приведено в Таблица 6.24.

Таблица 6.24. Назначение разрядов регистра MD_CFG

Номер разряда	Обозначение	Назначение
0	IC DC	Разрешение использовать моду DCchrome
1	IC H	Разрешение использовать моду Horizontalchrome
2	IC V	Разрешение использовать моду Verticalchrome
3	IC Plane	Разрешение использовать моду Planechrome
4	IL16 V	Разрешение использовать моду Verticalluma 16
5	IL16 H	Разрешение использовать моду Horizontalluma 16
6	IL16 DC	Разрешение использовать моду DCluma 16
7	IL16 Plane	Разрешение использовать моду Planeluma 16
8	IL84 V	Разрешение использовать моду Verticalluma 4
9	IL84 H	Разрешение использовать моду Horizontalluma 4
10	IL84 DC	Разрешение использовать моду DCluma 4
11	IL84 DDL	Разрешение использовать моду diagdownleftluma 4
12	IL84 DDR	Разрешение использовать моду diagdownrightluma 4
13	IL84 VR	Разрешение использовать моду verticalrightluma 4
14	IL84 HD	Разрешение использовать моду horizontaldownluma 4
15	IL84 VL	Разрешение использовать моду verticalleftluma 4
16	IL84 HU	Разрешение использовать моду horizontalupluma 4
17	P 16x16	Разрешить использовать разбиение 16x16 в inter
18	P 8x8	Разрешить использовать разбиение 8x8 в inter
19	P 4x4	Разрешить использовать разбиение 4x4 в inter
20	P 16x8	Разрешить использовать разбиение 16x8 в inter
21	P 8x16	Разрешить использовать разбиение 8x16 в inter

Номер разряда	Обозначение	Назначение
22	P_8x4	Разрешить использовать разбиение 8x4 в inter
23	P_4x8	Разрешить использовать разбиение 4x8 в inter
24	P_SKIP	Разрешить использовать SKIP
25	MV_ZERO	Принудительное выставление векторов движения в 0
26	SUB_PEL	Разрешить использовать дробные пиксельные вектора движения
27	P_SKIP_16	Разрешить использовать SKIP по всем 16-ти коэффициентам блока 4x4 (P_SKIP_16=1), либо только по 4-м низкочастотным (P_SKIP_16=0),
28	P_SKIP_B	Разрешить использовать SKIP на краях кадра
29	PNLT_I4	Разрешить штраф для моды Intra_4x4
31:30	-	Резерв

Начальное состояние MD_CFG = 0x15FFFFFF, начальное состояние всех остальных регистров – 0x0.

6.4.5 Блок TQ

6.4.5.1 Назначение

Блок TQ в составе видеопроцессорного ядра представляет собой аппаратный ускоритель, предназначенный для преобразования и квантования видеоданных в соответствии со стандартами компрессии/декомпрессии.

6.4.5.2 Регистры

Работа блока TQ происходит под управлением регистров TASK0-TASK3, ADR0- ADR3, EVENTS видеопроцессорного ядра, определяющих параметры работы четырех потоков компрессии/декомпрессии.

Блок TQ не содержит в своем составе программно-доступных по записи регистров.

Перечень регистров блока TQ, доступных по чтению, приведен в Таблица 6.25.

Таблица 6.25. Перечень регистров блока TQ, доступных по чтению

Условное обозначение	Разрядность	Тип	Назначение регистра	Адрес регистра
			Регистры 0-го потока	
MBPOS_TQ0	32	R	Регистр текущей позиции макроблока в кадре	0x3710 3000
FRMN_TQ0	32	R	Регистр номера текущего кадра	0x3710 3004
			Регистры 1-го потока	
MBPOS_TQ1	32	R	Регистр текущей позиции макроблока в кадре	0x3710 3040
FRMN_TQ1	32	R	Регистр номера текущего кадра	0x3710 3044
			Регистры 2-го потока	
MBPOS_TQ2	32	R	Регистр текущей позиции макроблока в кадре	0x3710 3080
FRMN_TQ2	32	R	Регистр номера текущего кадра	0x3710 3084
			Регистры 3-го потока	
MBPOS_TQ3	32	R	Регистр текущей позиции макроблока в кадре	0x3710 30C0
FRMN_TQ3	32	R	Регистр номера текущего кадра	0x3710 30C4

Начальное состояние всех указанных регистров – 0x0.

6.4.6 Блок DMA

6.4.6.1 Назначение

Контроллер DMA в составе видеоядра VElcore-01 предназначен для организации передачи данных между внутренней памятью ядра VRAM и внешней памятью. Это означает, что одной стороной обмена (приемником или передатчиком) обязательно является память VRAM, другой стороной обмена (передатчиком или приемником) – внешняя, находящаяся за пределами видеоядра, память.

6.4.6.2 Регистры

Перечень программно-доступных регистров DMA приведен в Таблица 6.26. Перечень программно-доступных регистров контроллера DMA приведен в Таблица 6.27. Перечень программно-доступных регистров каждого из 16 каналов контроллера DMA приведён в Таблица 6.28.

Таблица 6.26. Программно-доступные регистры DMA

Диапазон адресов	Обозначение
0x0000 – 0x007F	Регистры канала 0
0x0080 – 0x00FF	Регистры канала 1
0x0100 – 0x017F	Регистры канала 2
0x0180 – 0x01FF	Регистры канала 3
0x0200 – 0x027F	Регистры канала 4
0x0280 – 0x02FF	Регистры канала 5
0x0300 – 0x037F	Регистры канала 6
0x0380 – 0x03FF	Регистры канала 7
0x0400 – 0x047F	Регистры канала 8
0x0480 – 0x04FF	Регистры канала 9
0x0500 – 0x057F	Регистры канала 10
0x0580 – 0x05FF	Регистры канала 11
0x0600 – 0x067F	Регистры канала 12
0x0680 – 0x06FF	Регистры канала 13
0x0700 – 0x077F	Регистры канала 14
0x0780 – 0x07FF	Регистры канала 15
0x0800 – 0x0810	Регистры контроллера

Таблица 6.27. Программно-доступные регистры контроллера DMA

Адрес	Обозначение	Число разрядов	Тип	Назначение регистра
0x0800	DMA_RUN	16	R/W	Регистр включения каналов
0x0804	DMA_BUSY	16	R	Регистр занятости каналов
0x0808	DMA_ACTV	16	R	Регистр активности каналов
0x080C	DMA_DONE	16	R/W	Регистр завершения работы каналов
0x0810	DMA_IMEM_RDY	16	R/W	Регистр флагов готовности каналов
0x0814	DMA_MODE	4	R/W	Регистр выбора режима распределения приоритетов

Таблица 6.28. Программно-доступные регистры канала DMA

Смещение адреса	Обозначение	Число разрядов	Тип	Назначение регистра
0x00	A0E	32	R/W	Начальный адрес обмена внешней памяти
0x04	AECUR	32	R/W	Текущий адрес обмена внешней памяти
0x08	A0I	32	R/W	Начальный адрес обмена внутренней памяти
0x0C	AICUR	32	R/W	Текущий адрес обмена внутренней памяти
0x10	BEIDX	32	R/W	Смещение адреса внешней памяти между массивами в строке
0x14	CEIDX	32	R/W	Смещение адреса внешней памяти между строками в передаваемом фрагменте
0x18	HEIDX	32	R/W	Смещение адреса внешней памяти между фрагментами при смене строки
0x1c	VEIDX	32	R/W	Смещение адреса внешней памяти между строками в передаваемом фрагменте
0x20	BIIDX	32	R/W	Смещение адреса внутренней памяти между массивами в строке
0x24	CIIDX	32	R/W	Смещение адреса внутренней памяти между строками в передаваемом фрагменте
0x28	HIIDX	32	R/W	Смещение адреса внутренней памяти между строками в передаваемом фрагменте
0x2c	VIIDX	32	R/W	Смещение адреса внутренней памяти между фрагментами при смене строки
0x30	ACNT	16	R/W	Счетчик 1-го измерения (число передаваемых слов в одномерном массиве, количество байт определяется размером передачи)
	ARLD	16	R/W	Счетчик 1-го измерения (перезагружаемое значение)
0x34	BCNT	8	R/W	Счетчик 2-го измерения (число одномерных массивов в строке фрагмента)
	CCNT	8	R/W	Счетчик 3-го измерения (число строк в передаваемом фрагменте)
	BRLD	8	R/W	Счетчик 2-го измерения (перезагружаемое значение)
	CRLD	8	R/W	Счетчик 3-го измерения(перезагружаемое значение)
0x38	HECNT	8	R/W	Счетчик 4-го измерения (число передаваемых фрагментов в строке кадра во внешней памяти)
	VECNT	8	R/W	Счетчик 5-го измерения (число передаваемых фрагментов в столбце кадра во внешней памяти)
	HERLD	8	R/W	Счетчик 4-го измерения внешней памяти (перезагружаемое значение)
	VERLD	8	R/W	Счетчик 5-го измерения внешней памяти (перезагружаемое значение)
0x3C	HICNT	8	R/W	Счетчик 4-го измерения (число передаваемых фрагментов в строке кадра во внутренней памяти)
	VICNT	8	R/W	Счетчик 5-го измерения (число передаваемых фрагментов в столбце кадра во внутренней памяти)
	HIRLD	8	R/W	Счетчик 4-го измерения внутренней памяти (перезагружаемое значение)
	VIRLD	8	R/W	Счетчик 5-го измерения внутренней памяти (перезагружаемое значение)
0x40	RUN	32	R/W	Псевдорегистр для записи/чтения бита RUN соответствующего канала (регистр DMA_RUN)
0x44	DONE	32	R/W	Псевдорегистр для записи/чтения бита DONE соответствующего канала (регистр DMA_DONE)
0x48	IMRDY	32	R/W	Псевдорегистр для записи/чтения бита IMRDY соответствующего канала (регистр IMEM_RDY)
0x4C	CFG	32	R/W	Регистр настройки канала

6.4.6.3 Регистр включения каналов DMA_RUN

Регистр DMA_RUN содержит 16 разрядов управления включением каналов. Установка в состояние «1» какого-либо разряда этого регистра приводит к включению соответствующего канала. Включение канала является необходимым условием для начала работы канала. Назначение разрядов регистра DMA_RUN приведено в Таблица 6.29.

Начальное состояние регистра DMA_RUN = 0x0.

Таблица 6.29. Назначение разрядов регистра DMA_RUN

Номер разряда	Обозначение	Назначение
0	RUN[0]	Включение канала 0
1	RUN[1]	Включение канала 1
2	RUN[2]	Включение канала 2
3	RUN[3]	Включение канала 3
4	RUN[4]	Включение канала 4
5	RUN[5]	Включение канала 5
6	RUN[6]	Включение канала 6
7	RUN[7]	Включение канала 7
8	RUN[8]	Включение канала 8
9	RUN[9]	Включение канала 9
10	RUN[10]	Включение канала 10
11	RUN[11]	Включение канала 11
12	RUN[12]	Включение канала 12
13	RUN[13]	Включение канала 13
14	RUN[14]	Включение канала 14
15	RUN[15]	Включение канала 15

6.4.6.4 Регистр завершения работы каналов DMA_DONE

Регистр DMA_DONE содержит 16 флагов завершения работы каналов. Эти флаги аппаратно устанавливаются в состояние «1» после завершения выполнения задания соответствующим каналом. Регистр доступен по записи и чтению со стороны матричного процессора и внешнего хост-процессора. Назначение разрядов регистра DMA_DONE приведено в Таблица 6.30.

Начальное состояние регистра DMA_DONE = 0x0.

Таблица 6.30. Назначение разрядов регистра DMA_DONE

Номер разряда	Обозначение	Назначение
0	DONE[0]	Флаг завершения работы канала 0
1	DONE[1]	Флаг завершения работы канала 1
2	DONE[2]	Флаг завершения работы канала 2
3	DONE[3]	Флаг завершения работы канала 3
4	DONE[4]	Флаг завершения работы канала 4
5	DONE[5]	Флаг завершения работы канала 5
6	DONE[6]	Флаг завершения работы канала 6
7	DONE[7]	Флаг завершения работы канала 7
8	DONE[8]	Флаг завершения работы канала 8
9	DONE[9]	Флаг завершения работы канала 9
10	DONE[10]	Флаг завершения работы канала 10
11	DONE[11]	Флаг завершения работы канала 11

Номер разряда	Обозначение	Назначение
12	DONE[12]	Флаг завершения работы канала 12
13	DONE[13]	Флаг завершения работы канала 13
14	DONE[14]	Флаг завершения работы канала 14
15	DONE[15]	Флаг завершения работы канала 15

6.4.6.5 Регистр занятости каналов DMA_BUSY

Регистр DMA_BUSY содержит 16 флагов занятости каналов. Эти флаги аппаратно устанавливаются в состояние «1» при переходе соответствующего канала к выполнению задания и сбрасываются в «0» при завершении задания (т.е. при установке в состояние «1» флага DONE). Регистр доступен только по чтению. Назначение разрядов регистра DMA_BUSY приведено в Таблица 6.31.

Начальное состояние регистра DMA_BUSY = 0x0.

Таблица 6.31. Назначение разрядов регистра DMA_BUSY

Номер разряда	Обозначение	Назначение
0	BUSY[0]	Флаг занятости канала 0
1	BUSY[1]	Флаг занятости канала 1
2	BUSY[2]	Флаг занятости канала 2
3	BUSY[3]	Флаг занятости канала 3
4	BUSY[4]	Флаг занятости канала 4
5	BUSY[5]	Флаг занятости канала 5
6	BUSY[6]	Флаг занятости канала 6
7	BUSY[7]	Флаг занятости канала 7
8	BUSY[8]	Флаг занятости канала 8
9	BUSY[9]	Флаг занятости канала 9
10	BUSY[10]	Флаг занятости канала 10
11	BUSY[11]	Флаг занятости канала 11
12	BUSY[12]	Флаг занятости канала 12
13	BUSY[13]	Флаг занятости канала 13
14	BUSY[14]	Флаг занятости канала 14
15	BUSY[15]	Флаг занятости канала 15

6.4.6.6 Регистр активности каналов DMA_ACTV

Регистр DMA_ACTV содержит 16 флагов активности каналов. Эти флаги аппаратно устанавливаются в состояние «1» при начале взаимодействия канала с шиной AMBA AXI и сбрасываются в «0» при завершении такого взаимодействия. Регистр доступен только по чтению. Назначение разрядов регистра DMA_ACTV приведено в Таблица 6.32.

Начальное состояние регистра DMA_ACTV = 0x0.

Таблица 6.32. Назначение разрядов регистра DMA_ACTV

Номер разряда	Обозначение	Назначение
0	ACTV[0]	Флаг активности канала 0
1	ACTV[1]	Флаг активности канала 1
2	ACTV[2]	Флаг активности канала 2
3	ACTV[3]	Флаг активности канала 3
4	ACTV[4]	Флаг активности канала 4

Номер разряда	Обозначение	Назначение
5	ACTV[5]	Флаг активности канала 5
6	ACTV[6]	Флаг активности канала 6
7	ACTV[7]	Флаг активности канала 7
8	ACTV[8]	Флаг активности канала 8
9	ACTV[9]	Флаг активности канала 9
10	ACTV[10]	Флаг активности канала 10
11	ACTV[11]	Флаг активности канала 11
12	ACTV[12]	Флаг активности канала 12
13	ACTV[13]	Флаг активности канала 13
14	ACTV[14]	Флаг активности канала 14
15	ACTV[15]	Флаг активности канала 15

6.4.6.7 Регистр флагов готовности каналов IMEM_RDY

Регистр IMEM_RDY содержит 16 флагов готовности внутренней памяти к обмену по соответствующему каналу. Установка этих флагов в состояние «1» дает разрешение соответствующему каналу на выполнение задания. Эти флаги программно устанавливаются в состояние «1» процессором и аппаратно сбрасываются в «0» при переходе соответствующего канала к выполнению задания (т.е. при установке флага BUSY в состояние «1»). Регистр доступен по записи и чтению. Назначение разрядов регистра IMEM_RDY приведено в Таблица 6.33.

Начальное состояние регистра IMEM_RDY = 0x0.

Таблица 6.33. Назначение разрядов регистра IMEM_RDY

Номер разряда	Обозначение	Назначение
0	IMRDY[0]	Флаг готовности внутренней памяти к обмену по каналу 0
1	IMRDY[1]	Флаг готовности внутренней памяти к обмену по каналу 1
2	IMRDY[2]	Флаг готовности внутренней памяти к обмену по каналу 2
3	IMRDY[3]	Флаг готовности внутренней памяти к обмену по каналу 3
4	IMRDY[4]	Флаг готовности внутренней памяти к обмену по каналу 4
5	IMRDY[5]	Флаг готовности внутренней памяти к обмену по каналу 5
6	IMRDY[6]	Флаг готовности внутренней памяти к обмену по каналу 6
7	IMRDY[7]	Флаг готовности внутренней памяти к обмену по каналу 7
8	IMRDY[8]	Флаг готовности внутренней памяти к обмену по каналу 8
9	IMRDY[9]	Флаг готовности внутренней памяти к обмену по каналу 9
10	IMRDY[10]	Флаг готовности внутренней памяти к обмену по каналу 10
11	IMRDY[11]	Флаг готовности внутренней памяти к обмену по каналу 11
12	IMRDY[12]	Флаг готовности внутренней памяти к обмену по каналу 12
13	IMRDY[13]	Флаг готовности внутренней памяти к обмену по каналу 13
14	IMRDY[14]	Флаг готовности внутренней памяти к обмену по каналу 14
15	IMRDY[15]	Флаг готовности внутренней памяти к обмену по каналу 15

6.4.6.8 Регистр конфигурации канала DMA_MODE

Регистр доступен по записи и чтению. Назначение разрядов регистра DMA_MODE приведено в Таблица 6.34.

Таблица 6.34. Назначение разрядов регистра DMA_MODE

Номер разряда	Обозначение	Назначение
1:0	MODE0	Способ распределения приоритетов для передач из АЕ в АІ
3:2	MODE1	Способ распределения приоритетов для передач из АІ в АЕ

Разряды MODE0 определяют способ распределения приоритетов для передач из АЕ в АІ (DIR=0).

Разряды MODE1 определяют способ распределения приоритетов для передач из АІ в АЕ (DIR=1).

При MODE=0 схема распределения приоритетов работает в циклическом режиме, при MODE=1 схема распределения приоритетов работает в монопольном режиме, при MODE=2 схема распределения каналов работает в смешанном режиме (см. Рисунок 6.5). Возможно перепрограммирование режима распределения приоритетов «на лету».

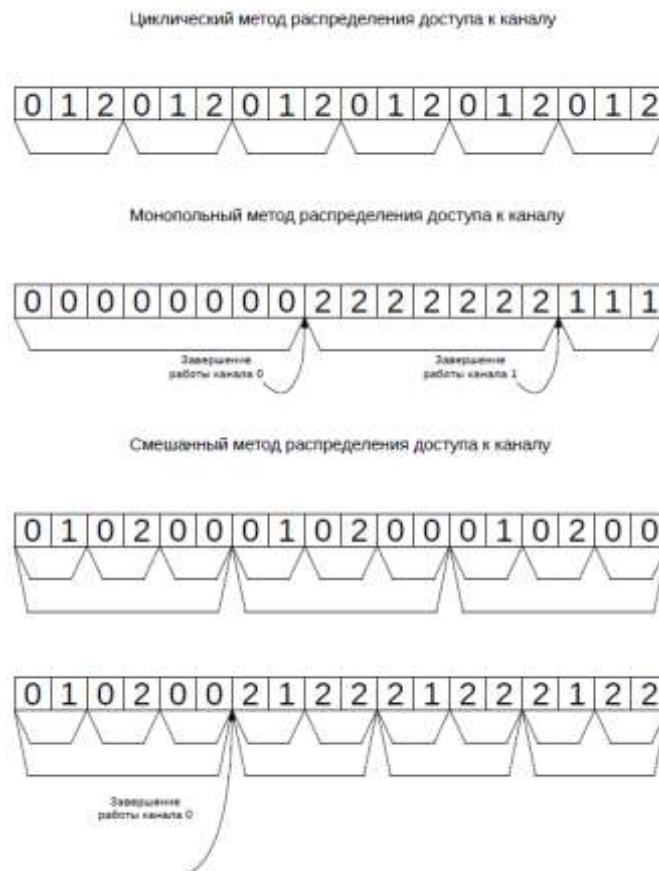


Рисунок 6.5. Режимы распределения приоритетов доступа к шине

6.4.6.9 Регистр конфигурации канала DMA_CFG

Регистр DMA_CFG содержит разряды управления режимами работы каналов. Назначение разрядов регистров DMA_CFG приведено в Таблица 6.35.

Таблица 6.35. Назначение разрядов регистра DMA_CFG

Номер разряда	Обозначение	Назначение
0	DIR	Направление обмена канала
1	DIM	Размерность обмена канала
2	CYCLE	Цикличность обмена канала
6:3	PRT	Приоритет канала
7	BRST AE	Тип передачи по адресу AE
8	BRST AI	Тип передачи по адресу AI
10:9	SIZE	Размер передачи
31:11	-	Резерв

Примечание. При чтении возвращается следующее значение: {DMA_CFG,ACTV,BUSY}.

Разряд DIR определяет направление обмена соответствующего канала. При DIR=0 выполняется чтение внешней памяти, при DIR=1 – запись в нее.

Разряд DIM определяет размерность обмена соответствующего канала. При DIM=0 выполняется обмен одномерными массивами данных, при DIM=1 – обмен двумерными массивами данных.

Разряд CYCLE определяет цикличность обмена соответствующего канала. При CYCLE=0 производится однократный обмен с начального адреса, при CYCLE=1 – циклический обмен с текущего адреса, адрес при этом циклически изменяется в пределах одномерного или двумерного буфера данных.

Разряды PRT содержат разряды управления приоритетами каналов.

Приоритеты каналов определяются 4-разрядными кодами, соответствующими числам от 0 до 15. Меньшие по величине числа соответствуют более высокому приоритету. Приоритеты каналов используются при определении очередности выполнения заданий различных каналов.

Флаги BRST_AE, BRST_AI содержат тип передачи для адресов {AI,AE}. Эти флаги программно устанавливаются в состояние «1» процессором.

Установка флага в «0» – тип передачи в формате FIFO (установленный адрес инкрементироваться не будет).

Установка флага в «1» – тип передачи в формате INCR (установленный адрес инкрементируется).

Флаги SIZE[1:0] содержат размерность передачи для 0 канала и т.д.

Установка флагов в «0» – размерность передачи 1 байт;

Установка флагов в «1» – размерность передачи 2 байта;

Установка флагов в «2» – размерность передачи 4 байта;

Установка флагов в «3» – размерность передачи 8 байт;

При чтении возвращается следующее значение регистра: $BUSY \mid (ACTV \ll 1) \mid (DMA_CFG[29:0] \ll 2)$.

6.4.6.10 Организация работы каналов

6.4.6.10.1 Запуск и остановка каналов

Необходимыми условиями запуска i -го канала ($i=0, \dots, 15$) являются:

- включение канала ($RUN[i]=1$);
- готовность внутренней памяти к обмену ($IMRDY[i]=1$);
- отсутствие незавершенных заданий ($BUSY[i]=0, ACTIVE[i]=0, DONE[i]=0$).

При запуске канал переходит в состояние занятости ($BUSY[i]=1$), при этом флаг готовности внутренней памяти $IMRDY[i]$ аппаратно сбрасывается в «0». Задание для канала DMA заключается в организации передачи фрагмента – одномерного или двумерного, в зависимости от режима, блока данных.

После завершения предусмотренной заданием передачи данных флаг занятости $BUSY[i]$ сбрасывается в «0», и устанавливается флаг завершения работы ($DONE[i]=1$). Заметим, что пока флаг $DONE[i]$ не будет установлен снова в нулевое состояние, задание считается незавершенным, и канал в этом случае не может приступить к выполнению нового задания.

Выполнение текущего задания может быть прервано процессором досрочно посредством установки бита $RUN[i]$ в «0», однако в тех случаях, когда канал находится в активном состоянии ($ACTIVE[i]=1$), отмена задания происходит не немедленно, а спустя некоторое время, требующееся для завершения начатого взаимодействия с шиной AMBA AXI. В течение этого времени флаги занятости $BUSY[i]$ и активности $ACTIVE[i]$ остаются в состоянии «1».

6.4.6.10.2 Регистры каналов

Важнейшая функция канала DMA-контроллера при организации обменов данными заключается в формировании адресов внутренней и внешней памяти. Генерация адресов памяти выполняется каналом на основе данных, хранящихся в регистрах канала, и используемого режима обмена.

Контроллер DMA в составе видеопроцессорного ядра VElcore-01 поддерживает 4 режима обмена данными:

- одномерный однократный;
- двумерный однократный;
- одномерный циклический;
- двумерный циклический.

Наиболее сложным является двумерный циклический режим. Для его организации требуется в полном объеме весь набор параметров, представленных в регистрах канала.

При организации обменов в двумерном циклическом режиме используется 5 измерений адресации данных, смысл которых иллюстрируется на Рисунок 6.6 –Рисунок 6.7.

За время выполнения одного задания канал DMA осуществляет передачу двумерного фрагмента изображения, структура которого определяется хранящимися в регистрах ACNT, BCNT, CCNT параметрами. Она приведена на Рисунок 6.6. Фрагмент содержит CCNT строк изображения, каждая строка состоит из BCNT массивов по ACNT байт.

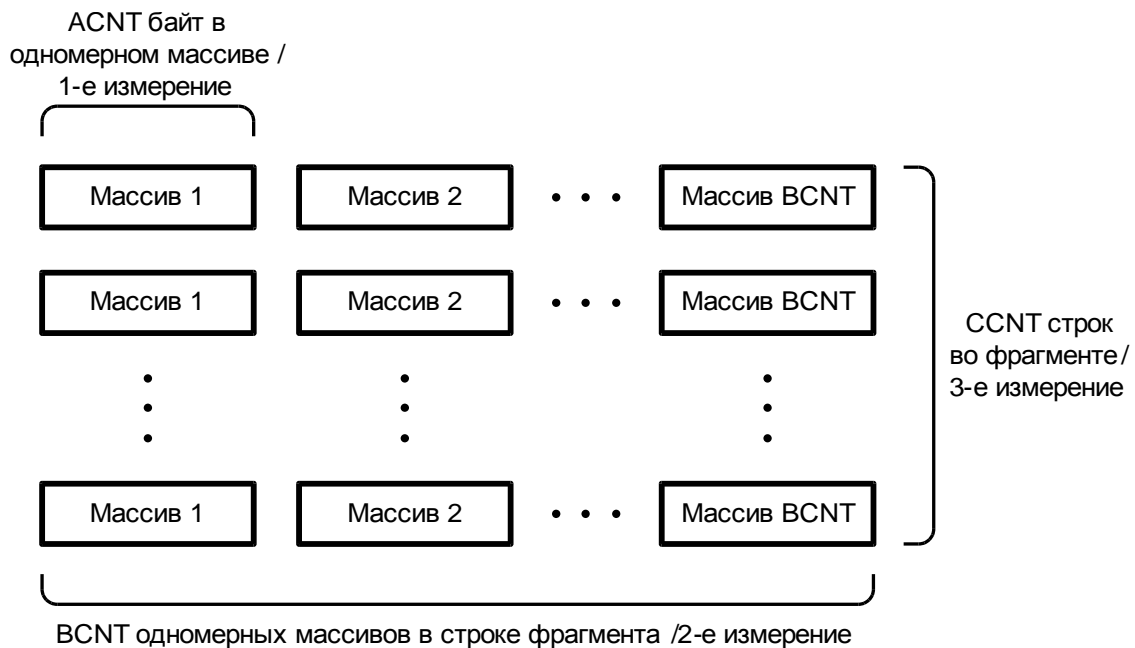


Рисунок 6.6. Определение ACNT, BCNT, CCNT

Передаваемый фрагмент является частью обрабатываемого изображения, структура которого иллюстрируется на Рисунок 6.7. Всего изображение (кадр), хранящееся во внешней памяти, содержит VECNT строк и HECNT столбцов, состоящих из таких фрагментов. Во внутренней памяти хранится, как правило, только часть изображения, содержащая VICNT строк и HICNT столбцов.

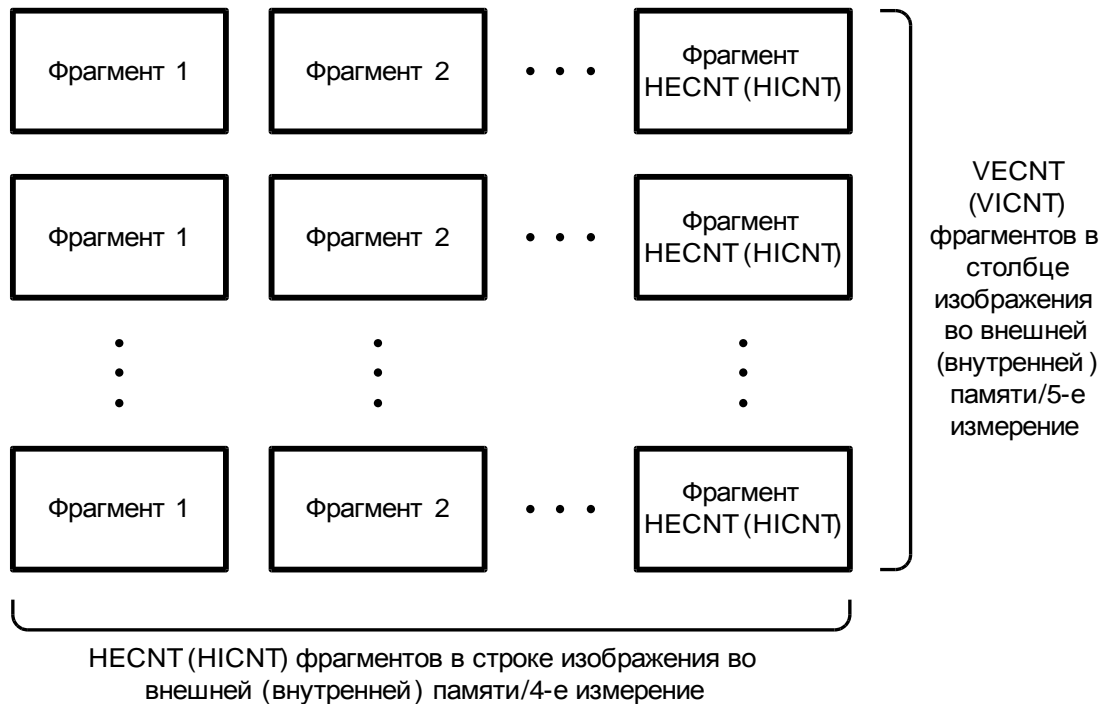


Рисунок 6.7. Определение HECNT (HICNT), VECNT (VICNT)

Перечисленные регистры содержат текущие значения соответствующих счетчиков, которые изменяются в процессе генерации адреса. По этой причине для каждого из этих счетчиков среди регистров канала предусмотрен регистр, хранящий его исходное значение, автоматически перезагружаемое после обнуления счетчика. К числу таких регистров относятся: ARLD, BRLD, CRLD, HERLD, HIRLD, VERLD, VIRLD.

В 32-разрядных регистрах A0E и AECUR хранятся, соответственно, начальный и текущий адрес изображения во внешней памяти, в 32-разрядных регистрах A0I и AICUR - начальный и текущий адрес изображения во внутренней памяти. Заметим, что внешняя запись в регистр A0E приводит к одновременной записи этого же значения в регистр AECUR, а внешняя запись в регистр A0I приводит к одновременной записи этого же значения в регистр AICUR.

При формировании обращений к внутренней памяти старшие 12 разрядов регистров A0I и AICUR игнорируются, также как и младшие 4 разряда. Для адресации VRAM используются только разряды A0I[19:4] и AICUR[19:4]. Это означает, что даже при записи в регистры A0I и AICUR адресов, выходящих за пределы VRAM, адресация будет производиться внутри выделенного под VRAM диапазона 1 Мбайт, все обращения при этом выравниваются по границам 128-разрядных слов.

Для вычисления адресов используются индексные регистры BEIDX, CEIDX, HEIDX, VEIDX для внешней памяти и BIIDX, CIIDX, HIIDX, VIIDX – для внутренней. В них хранятся смещения адреса при переходе от одного массива данных к другому. Смещения представлены в виде 32-разрядных целых чисел.

Для модификации адреса при переходе от массива к массиву в одномерном однократном режиме используется смещение BEIDX при адресации внешней памяти и смещение BIIDX - при адресации внутренней памяти. При смене строки внутри фрагмента используется смещение CEIDX. При переходе от последнего массива фрагмента к первому массиву следующего фрагмента в данной строке фрагментов используется смещение HEIDX, а при смене строк фрагментов – смещение VEIDX. Использование регистров смещений иллюстрируется Рисунок 6.8 – Рисунок 6.10.

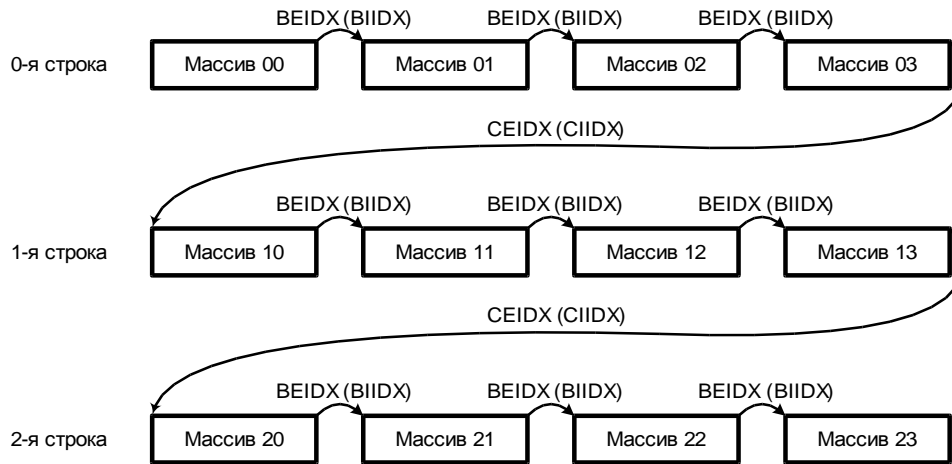


Рисунок 6.8. Адресация массивов в двумерном однократном режиме (BCNT=4, CCNT=3)

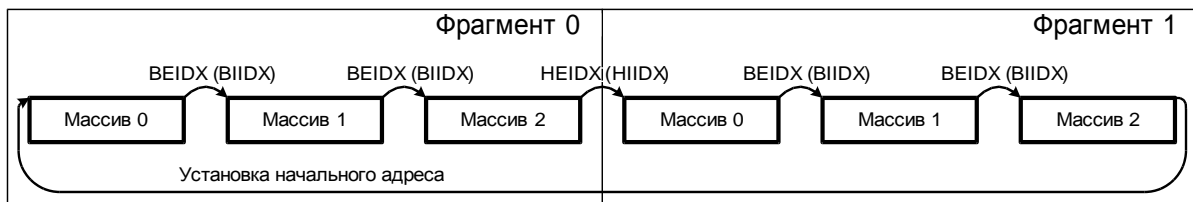


Рисунок 6.9. Адресация массивов в одномерном циклическом режиме (BCNT=3, HEICNT=2; HICNT=2)

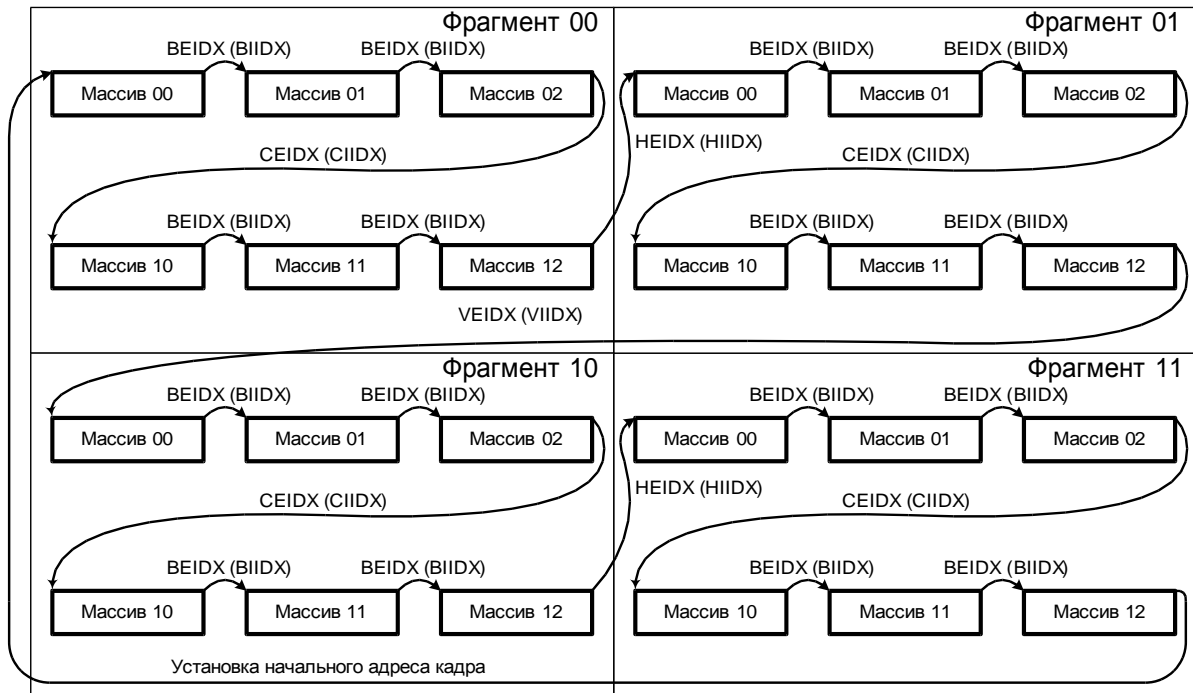


Рисунок 6.10. Адресация массивов в двумерном циклическом режиме (BCNT=3, CCNT=2, HECNT=2; HICNT=2, VECNT=2; VICNT=2)

6.4.7 Блок ECD

6.4.7.1 Назначение

Блок ECD предназначен для аппаратной реализации алгоритмов энтропийного кодирования и декодирования CAVLC стандарта сжатия видео H.264.

6.4.7.2 Структура

Блок ECD включает в свой состав:

- энтропийные кодеры и декодеры;
- упаковщики и разборщики потока сжатых данных;
- общие регистры данных;
- контроллеры обращений со стороны CPU и DSP;
- контроллеры выполнения заданий;
- контроллеры обращений к памяти VRAM.

На первом уровне иерархии блок ECD делится на два блока EC (блоки кодирования) и два блока ED (блоки декодирования). Таким образом обеспечивается параллельное выполнение четырёх потоков обработки видео/изображений: два потока кодирования и два потока декодирования. Перечень подблоков ECD приведён в Таблица 6.36.

Таблица 6.36. Структура блока ECD

Название	Описание
	Контроллеры
AHBCTR	Контроллер обращений по шине АНВ
SEVCTR	Контроллер интерфейса событий EVENT
VRAMCTR	Контроллер обращений к памяти VRAM
	Энтропийные кодеры/декодеры
EC0	Блок энтропийного кодирования #0
ED0	Блок энтропийного декодирования #0
EC1	Блок энтропийного кодирования #1
ED1	Блок энтропийного декодирования #1

Перечень подблоков ЕС и ED приведён в Таблица 6.37 и Таблица 6.38 соответственно.

Таблица 6.37. Структура блока ЕС

Название	Описание
	Контроллеры
AHBCTRC	Контроллер обращений по шине АНВ
TASKCTRC	Контроллер выполнения заданий для энтропийных кодеров
VRAMCTRC	Контроллер обращений к памяти VRAM от энтропийных кодеров
	Общие регистры
REGC	Общие регистры для энтропийных кодеров
	Энтропийные кодеры
CAVLC	Кодер контекстно-адаптивными кодами переменной длины (H.264)
HDRC	Генератор/кодер заголовков
	Формирователи потока
PACKER	Упаковщик потока

Таблица 6.38. Структура блока ED

Название	Описание
	Контроллеры
AHBCTRD	Контроллер обращений по шине АНВ
TASKCTRD	Контроллер выполнения заданий для энтропийных декодеров
VRAMCTRD	Контроллер обращений к памяти VRAM от энтропийных декодеров
	Общие регистры
REGD	Общие регистры для энтропийных декодеров
	Энтропийные кодеры
CAVLD	Декодер контекстно-адаптивных кодов переменной длины (H.264)
HDRD	Разборщик/декодер заголовков
	Формирователи потока
PARSER	Разборщик потока

6.4.7.3 Карта памяти

Адресное пространство блока ECD находится в диапазоне 0x0000 – 0x7FFF.

Наименьший адресуемый элемент – 1 байт.

Базовые адреса подблоков ECD, а также подблоков ЕС и ED приведены в Таблица 6.39 – Таблица 6.41

Таблица 6.39. Базовые адреса подблоков ECD (относительно базового адреса блока ECD)

Подблок ECD	Базовый адрес
EC0	0x0000
ED0	0x2000
EC1	0x4000
ED1	0x6000

Таблица 6.40. Базовые адреса подблоков EC (относительно базового адреса блока EC)

Подблок EC	Базовый адрес
REGC	0x0000
CAVLC	0x0A00
HDRC	0x1800
PACKER	0x1A00
VRAMCTRC	0x1C00
TASKCTRC	0x1E00

Таблица 6.41. Базовые адреса подблоков ED (относительно базового адреса блока ED)

Подблок ED	Базовый адрес
REGD	0x0000
CAVLD	0x0A00
HDRD	0x1800
PARSER	0x1A00
VRAMCTRD	0x1C00
TASKCTRD	0x1E00

6.4.7.4 Программно-доступные регистры

Программно-доступные регистры для каждого подблока ECD приводятся в таблицах в соответствующих разделах данного описания.

В колонке «Смещение адреса» приведено байтовое смещение адреса относительно базового адреса блока, содержащего этот регистр.

В колонке «Размер» указывается реальный размер регистра в битах.

Колонка «Доступ» определяет допустимые типы обращений к данному регистру. Возможные значения:

- RW (Read/Write) – регистр доступен по чтению и по записи;
- RWC (Read/WriteChange) – регистр доступен по чтению и по записи. Значение регистра после его записи может измениться;
- RO (ReadOnly) – регистр доступен только по чтению;
- WO (WriteOnly) – регистр доступен только по записи.

6.4.7.5 Блок TASKCTRC

6.4.7.5.1 Описание

Блок TASKCTRC предназначен для выполнения высокоуровневых задач энтропийного кодирования (кодирование макроблока/слайса/кадра).

Блок TASKCTRC является упрощённым микроконтроллером системы из энтропийных кодеров, общих регистров REGC и контроллера доступа к памяти VRAMCTRC.

В блоке TASKCTRC содержится предопределённый набор заданий (программ). Каждое задание состоит из последовательности операций. Операции поочерёдно выполняются подконтрольными для блока TASKCTRC устройствами, обеспечивая таким образом выполнение всего задания. Настройка и запуск задания осуществляется с помощью записи регистра TASK.

Программно-доступные регистры блока TASKCTRC приведены в Таблица 6.42.

Таблица 6.42. Регистры блока TASKCTRC

Регистр	Смещение адреса	Размер (бит)	Доступ	Описание
TASK	0x000	32	RW	Регистр задания
CS	0x004	4	RW	Регистр активизации энтропийного кодера
MBPOS	0x008	32	RW	Положение текущего макроблока в кадре/изображении
FRMN	0x00C	32	RW	Номер текущего кадра
DMA_CBS_LEN	0x010	16	RW	Размер потока, передаваемого через DMA во внешнюю память

6.4.7.5.2 Регистр TASK

Регистр TASK предназначен для постановки задания кодирования блоку ЕС. Перечень полей регистра TASK приведён в Таблица 6.43.

Таблица 6.43. Регистр TASK

Поле	Биты	Доступ	Описание
repn	15:0	RW	Количество повторений задания (минус 1) Количество повторений задания равно repn+1
task_id	23:16	RW	Идентификатор задания
m7frmn	25	RW	Флаг разрешения установки события EVENTS[8*i+7] по номеру кадра (i – номер потока)
m7eof	27	RW	Флаг разрешения установки события EVENTS[8*i+7] по концу кадра (i – номер потока)
m7pos	26	RW	Флаг разрешения установки события EVENTS[8*i+7] по положению макроблока в кадре (i – номер потока)
rep	29	RW	Количество повторений задания (1 – конечное, 0 – бесконечное)
ready	30	RO	Готовность задания
run	31	RW	Запуск выполнения задания

Поле task_id определяет задание (программу), которую будет выполнять блок ЕС. Перечень возможных значений поля task_id приведён в Таблица 6.44.

Таблица 6.44. Значения поля task_id регистра TASK

Задание	task_id	Описание
T_PACKER_CBS_ADDEXTBITS	0x92	Добавление в поток внешних данных (битовый режим). 1) Выполнение задания cbs_addextbits в блоке PACKER.
T_PACKER_CBS_ADDEXTBYTES	0x93	Добавление в поток внешних данных (байтовый режим). 1) Выполнение задания cbs_addextbytes в блоке PACKER.
T_H264_ENC_TOTAL_RESET	0xC0	Кодирование H.264. Полный сброс настроек. 1) Сброс в 0x0 программно-доступного регистра CBS блока REGC. 2) Выполнение команды reset в блоке CAVLC. Сброс в 0x0 всех программно-доступных регистров блока CAVLC, кроме поля ready регистра CR. 3) Выполнение команды reset в блоке PACKER. Сброс в 0x0 всех программно-доступных регистров блока PACKER, кроме поля ready регистра CR. 4) Сброс программно-доступных регистров блока VRAMCTRC в начальное состояние. ADDR_CP0 = BASE_CP0 ADDR_CP1 = BASE_CP1 ADDR_CP2 = BASE_CP2 ADDR_CP3 = BASE_CP3 ADDR_CQC = BASE_CQC ADDR_CBS = BASE_CBS 5) Сброс в 0x0 программно-доступных регистров MBPOS и FRMN блока TASKCTRC.
T_H264_ENC_SLICE_RESET	0xC1	Кодирование H.264. Сброс настроек перед началом кодирования нового слайса. 1) Сброс в 0x0 программно-доступного регистра CBS блока REGC. 2) Выполнение команды reset в блоке CAVLC. Сброс в 0x0 всех программно-доступных регистров блока CAVLC, кроме поля ready регистра CR. 3) Выполнение команды reset в блоке PACKER. Сброс в 0x0 всех программно-доступных регистров блока PACKER, кроме поля ready регистра CR. 4) Сброс программно-доступных регистров блока VRAMCTRC в начальное состояние. ADDR_CP0 = BASE_CP0 ADDR_CP1 = BASE_CP1 ADDR_CQC = BASE_CQC ADDR_CBS = BASE_CBS 5) Сброс в 0x0 программно-доступного регистра MBPOS блока TASKCTRC.

Задание	task_id	Описание
T_H264_ENC_MB_420	0xC2	<p>Кодирование H.264. Кодирование макроблока (mb_layer).</p> <ol style="list-style-type: none"> 1) Кодирование заголовка макроблока. 2) Кодирование макроблока. 3) Установка в 0 события EVENTS[offset+5], где offset=0 для EC0 и offset=8 для EC1. Данное событие разблокирует блок TQ. 4) В случае последнего макроблока в слайсе и установленного флага auto_trailing_bits, последовательное выполнение блоком PACKER заданий cbs_addbit1 и cbs_align0b8. 5) В случае, если длина битового потока, накопленного в памяти VRAM, равна или превышает DMA_CBS_LEN 128-разрядных слов, установка в 1 и последующее ожидание сброса в 0 события EVENTS[offset+3], где offset=0 для EC0 и offset=8 для EC1. Выгрузка битового потока из VRAM во внешнюю память через DMA. 6) В случае последнего макроблока в слайсе и установленного флага auto_flush, выполнение блоком PACKER задания cbs_flush. 7) В случае последнего макроблока в слайсе и установленного флага auto_flush, установка в 1 и последующее ожидание сброса в 0 события EVENTS[offset+3], где offset=0 для EC0 и offset=8 для EC1. Выгрузка битового потока из VRAM во внешнюю память через DMA. 8) В случае установленного флага m7eof и последнего макроблока в слайсе, или установленного флага m7pos и достижение макроблока останова, указанного в регистрах SMBPOS, установка в 1 события EVENTS[offset+7], где offset=0 для EC0 и offset=8 для EC1.
T_H264_ENC_TRAILING_BITS	0xC3	<p>Кодирование H.264. Добавление в поток элемента rbsp_trailing_bits.</p> <ol style="list-style-type: none"> 1) Последовательное выполнение блоком PACKER заданий cbs_addbit1 и cbs_align0b8.
T_H264_ENC_FLUSH	0xC4	<p>Кодирование H.264. Выгрузка потока из буфера ECD в память VRAM и внешнюю память.</p> <ol style="list-style-type: none"> 1) Выполнение блоком PACKER задания cbs_flush. 2) Ожидание завершения упаковки битового потока в регистр CBS. 3) Установка в 1 события EVENTS[offset+3], где offset=0 для EC0 и offset=8 для EC1. Данное событие запускает DMA. 4) Ожидание сброса в 0 события EVENTS[offset+3], где offset=0 для EC0 и offset=8 для EC1. 5) В случае установленного флага m7eof, установка в 1 события EVENTS[offset+7], где offset=0 для EC0 и offset=8 для EC1.

6.4.7.5.3 Регистр CS

Регистр CS предназначен для разрешения работы в блоке ЕС энтропийного кодера. Для активации энтропийного кодера (CAVLC) значение регистра CS должно быть 0x2.

6.4.7.5.4 Регистр MBPOS

Регистр MBPOS предназначен для определения положения текущего макроблока в кадре/изображении. Перечень полей регистра MBPOS приведён в Таблица 6.45.

Таблица 6.45. Регистр MBPOS

Поле	Биты	Доступ	Описание
mb_x	7:0	RW	Положение текущего макроблока по горизонтали
mb_y	15:8	RW	Положение текущего макроблока по вертикали
mb_xp	23:16	RW	Размер кадра/изображения в макроблоках по горизонтали
mb_yp	31:24	RW	Размер кадра/изображения в макроблоках по вертикали

6.4.7.5.5 Регистр FRMN

Регистр FRMN предназначен для определения номера текущего кадра. Номер текущего кадра может понадобиться для остановки процесса кодирования по номеру кадра.

6.4.7.5.6 Регистр DMA_CBS_LEN

Регистр DMA_CBS_LEN содержит размер буфера потока (в 128-битных словах) во внутренней памяти, выгружаемый за один подход из внутренней памяти во внешнюю блоком DMA. Пример:

0x0000 – передача данных через DMA запрещена;

0x0001 – 16 байт;

0x0040 – 1 Кбайт.

6.4.7.6 Блок TASKCTRD

6.4.7.6.1 Описание

Блок TASKCTRD предназначен для выполнения высокоуровневых задач энтропийного декодирования (декодирование макроблока/слайса/кадра).

Блок TASKCTRD является упрощённым микроконтроллером системы из энтропийных декодеров, общих регистров REGD и контроллера доступа к памяти VRAMCTRD.

В блоке TASKCTRD содержится предопределённый набор заданий (программ). Каждое задание состоит из последовательности операций. Операции поочередно выполняются подконтрольными для блока TASKCTRD устройствами, обеспечивая таким образом выполнение всего задания.

Настройка и запуск задания осуществляется с помощью записи регистра TASK.

Программно-доступные регистры блока TASKCTRD приведены в Таблица 6.46.

Таблица 6.46. Регистры блока TASKCTRД

Регистр	Смещение адреса	Размер (бит)	Доступ	Описание
TASK	0x000	32	RW	Регистр задания
CS	0x004	4	RW	Регистр активизации энтропийного кодера
MBPOS	0x008	32	RW	Положение текущего макроблока в кадре/изображении
FRMN	0x00C	32	RW	Номер текущего кадра
DMA_DBS_LEN	0x010	16	RW	Размер потока, подгружаемого из внешней памяти через DMA

6.4.7.6.2 Регистр TASK

Регистр TASK предназначен для постановки задания декодирования блоку ED. Перечень полей регистра TASK приведён в Таблица 6.47.

Таблица 6.47. Регистр TASK

Поле	Биты	Доступ	Описание
repn	15:0	RW	Количество повторений задания (минус 1)
task_id	23:16	RW	Идентификатор задания
m7frmn	25	RW	Флаг разрешения установки события EVENTS[8*i+7] по номеру кадра (i – номер потока)
m7pos	26	RW	Флаг разрешения установки события EVENTS[8*i+7] по положению макроблока в кадре (i – номер потока)
m7eof	27	RW	Флаг разрешения установки события EVENTS[8*i+7] по концу кадра (i – номер потока)
rep	29	RW	Количество повторений задания (1 – конечное, 0 – бесконечное)
ready	30	RO	Готовность задания
run	31	RW	Запуск выполнения задания

Поле task_id определяет задание (программу), которую будет выполнять блок ED. Перечень возможных значений поля task_id приведён в Таблица 6.48.

Таблица 6.48. Значения поля `task_id` регистра `TASK`

Задание	task_id	Описание
T_H264_DEC_TOTAL_RESET	0xC0	Декодирование H.264. Полный сброс настроек. 1) Сброс в 0x0 программно-доступного регистра DBS_LOAD_FLAG блока PARSEK. 2) Сброс в 0x0 программно-доступного регистра DBS блока REGD. 3) Выполнение команды reset в блоке CAVLD. Сброс в 0x0 всех программно-доступных регистров блока CAVLD, кроме поля ready регистра CR. 4) Выполнение команды reset в блоке PARSEK. Сброс в 0x0 всех программно-доступных регистров блока PARSEK, кроме поля ready регистра CR. 5) Сброс программно-доступных регистров блока VRAMCTRD в начальное состояние. ADDR_DP0 = BASE_DP0 ADDR_DP1 = BASE_DP1 ADDR_DP2 = BASE_DP2 ADDR_DP3 = BASE_DP3 ADDR_DQC = BASE_DQC ADDR_DBS = BASE_DBS 6) Сброс в 0x0 программно-доступных регистров MBPOS и FRMN блока TASKCTRD.
T_H264_DEC_SLICE_RESET	0xC1	Декодирование H.264. Сброс настроек перед началом декодирования нового слайса. 1) Выполнение команды reset в блоке CAVLD. Сброс в 0x0 всех программно-доступных регистров блока CAVLD, кроме поля ready регистра CR.
T_H264_DEC_MB_420	0xC2	Декодирование H.264. Декодирование макроблока (mb_layer). 1) Декодирование заголовка макроблока. 2) Декодирование макроблока. 3) Установка в 0 события EVENTS[offset+5], где offset=16 для ED0 и offset=24 для ED1. Данное событие разблокирует блок TQ. 4) В случае, если длина ещё не декодированного битового потока в памяти VRAM, меньше или равна DMA_DBS_LEN 128-разрядных слов, сброс в 0 и последующее ожидание установки в 1 события EVENTS[offset+3], где offset=16 для ED0 и offset=24 для ED1. Подкачка битового потока из внешней памяти в VRAM через DMA. 5) В случае установленного флага m7eof и последнего макроблока в слайсе, или установленного флага m7pos и достижение макроблока останова, указанного в регистрах SMBPOS, установка в 1 события EVENTS[offset+7], где offset=16 для ED0 и offset=24 для ED1.
T_H264_DEC_DBS_SHIFT	0xC3	Декодирование H.264. Сдвиг потока. 1) Выполнение блоком PARSEK задания dbs_shift.
T_H264_DEC_INIT_DBS_LOAD	0xC4	Декодирование H.264. Первоначальная загрузка потока через DMA во внутреннюю память. 1) Сброс в 0 и последующее ожидание установки в 1 события EVENTS[offset+3], где offset=16 для ED0 и offset=24 для ED1.
T_H264_DEC_DBS_LOAD_FLAG_0	0xC5	Декодирование H.264. Установка флага подкачки потока из внутренней памяти в разборщик PARSEK (регистр DBS_LOAD_FLAG) в 0x0.

Задание	task id	Описание
T_H264_DEC_DBS_LOAD_FLAG_1	0xC6	Декодирование H.264. Установка флага подкачки потока из внутренней памяти в разборщик PARSER (регистр DBS_LOAD_FLAG) в 0x1.

6.4.7.6.3 Регистр CS

Регистр CS предназначен для разрешения работы в блоке ED энтропийного декодера. Для активации энтропийного декодера (CAVLD) значение регистра CS должно быть 0x2.

6.4.7.6.4 Регистр MBPOS

Регистр MBPOS предназначен для определения положения текущего макроблока в кадре/изображении. Перечень полей регистра MBPOS приведён в Таблица 6.49.

Таблица 6.49. Регистр MBPOS

Поле	Биты	Доступ	Описание
mb x	7:0	RW	Положение текущего макроблока по горизонтали
mb y	15:8	RW	Положение текущего макроблока по вертикали
mb xp	23:16	RW	Размер кадра/изображения в макроблоках по горизонтали
mb yp	31:24	RW	Размер кадра/изображения в макроблоках по вертикали

6.4.7.6.5 Регистр FRMN

Регистр FRMN предназначен для определения номера текущего кадра. Номер текущего кадра может понадобиться для остановки процесса декодирования по номеру кадра.

6.4.7.6.6 Регистр DMA_DBS_LEN

Регистр DMA_DBS_LEN содержит размер буфера потока (в 128-битных словах) во внутренней памяти, загружаемый за один подход из внешней памяти во внутреннюю блоком DMA. Пример:

- 0x0000 – передача данных через DMA запрещена;
- 0x0001 – 16 байт;
- 0x0040 – 1 Кбайт.

6.4.7.7 Блок VRAMCTRC

Блок VRAMCTRC предназначен для обмена данными между памятью VRAM и блоком REGC.

Блок VRAMCTRC осуществляет обмен данными между памятью VRAM и блоком REGC по двум каналам:

- запись/чтение памяти VRAM как операция в рамках выполнения задания (чтение входных данных и параметров, запись параметров);
- фоновая запись в память VRAM выходных данных (потока).

Программно-доступные регистры блока VRAMCTRC приведены в Таблица 6.50.

Таблица 6.50. Регистры блока VRAMCTRC

Регистр	Смещение адреса	Размер (бит)	Доступ	Описание
BASE_CP0	0x000	16	RW	Базовый адрес буфера #0 параметров кодера
BASE_CP1	0x004	16	RW	Базовый адрес буфера #1 параметров кодера
BASE_CP2	0x008	16	RW	Базовый адрес буфера #2 параметров кодера
BASE_CP3	0x00C	16	RW	Базовый адрес буфера #3 параметров кодера
BASE_CPN	0x010	16	RW	Базовый адрес буфера параметров текущего макроблока
BASE_CQC	0x020	16	RW	Базовый адрес буфера входных данных кодера
BASE_CBS	0x024	16	RW	Базовый адрес буфера выходных данных кодера
SIZE_CP0	0x040	16	RW	Размер буфера #0 параметров кодера
SIZE_CP1	0x044	16	RW	Размер буфера #1 параметров кодера
SIZE_CP2	0x048	16	RW	Размер буфера #2 параметров кодера
SIZE_CP3	0x04C	16	RW	Размер буфера #3 параметров кодера
SIZE_CQC	0x060	16	RW	Размер буфера входных данных кодера
SIZE_CBS	0x064	16	RW	Размер буфера выходных данных кодера
ADDR_CP0	0x080	16	RW	Текущий адрес буфера #0 параметров кодера
ADDR_CP1	0x084	16	RW	Текущий адрес буфера #1 параметров кодера
ADDR_CP2	0x088	16	RW	Текущий адрес буфера #2 параметров кодера
ADDR_CP3	0x08C	16	RW	Текущий адрес буфера #3 параметров кодера
ADDR_CPN	0x090	16	RO	Текущий адрес буфера параметров текущего макроблока
ADDR_CPA	0x094	16	RO	Текущий адрес буфера параметров левого макроблока
ADDR_CPB	0x098	16	RO	Текущий адрес буфера параметров верхнего макроблока
ADDR_CQC	0x0A0	16	RW	Текущий адрес буфера входных данных кодера
ADDR_CBS	0x0A4	16	RW	Текущий адрес буфера выходных данных кодера

Регистры группы BASE содержат базовые адреса буферов данных и параметров. Базовые адреса буферов указываются как смещение относительно начала памяти VRAM в 128-разрядных словах.

Регистры группы SIZE содержат размеры буферов данных и параметров. Размеры буферов указываются в 128-разрядных словах.

Регистры группы ADDR содержат текущие адреса буферов данных и параметров. Текущие адреса буферов указываются как смещение относительно начала памяти VRAM в 128-разрядных словах.

6.4.7.8 Блок VRAMCTRD

Блок VRAMCTRD предназначен для обмена данными между памятью VRAM и блоком REGD.

Блок VRAMCTRD осуществляет обмен данными между памятью VRAM и блоком REGD по двум каналам:

- запись/чтение памяти VRAM как операция в рамках выполнения задания (запись выходных данных, чтение и запись параметров);

- фоновое чтение из памяти VRAM входных данных (потока).

Программно-доступные регистры блока VRAMCTRC приведены в Таблица 6.51.

Таблица 6.51. Регистры блока VRAMCTRD

Регистр	Смещение адреса	Размер (бит)	Доступ	Описание
BASE_DP0	0x000	16	RW	Базовый адрес буфера #0 параметров декодера
BASE_DP1	0x004	16	RW	Базовый адрес буфера #1 параметров декодера
BASE_DP2	0x008	16	RW	Базовый адрес буфера #2 параметров декодера
BASE_DP3	0x00C	16	RW	Базовый адрес буфера #3 параметров декодера
BASE_DPN	0x010	16	RW	Базовый адрес буфера параметров текущего макроблока
BASE_DQC	0x020	16	RW	Базовый адрес буфера выходных данных декодера
BASE_DBS	0x024	16	RW	Базовый адрес буфера входных данных декодера
SIZE_DP0	0x040	16	RW	Размер буфера #0 параметров декодера
SIZE_DP1	0x044	16	RW	Размер буфера #1 параметров декодера
SIZE_DP2	0x048	16	RW	Размер буфера #2 параметров декодера
SIZE_DP3	0x04C	16	RW	Размер буфера #3 параметров декодера
SIZE_DQC	0x060	16	RW	Размер буфера выходных данных декодера
SIZE_DBS	0x064	16	RW	Размер буфера входных данных декодера
ADDR_DP0	0x080	16	RW	Текущий адрес буфера #0 параметров декодера
ADDR_DP1	0x084	16	RW	Текущий адрес буфера #1 параметров декодера
ADDR_DP2	0x088	16	RW	Текущий адрес буфера #2 параметров декодера
ADDR_DP3	0x08C	16	RW	Текущий адрес буфера #3 параметров декодера
ADDR_DPN	0x090	16	RO	Текущий адрес буфера параметров текущего макроблока
ADDR_DPA	0x094	16	RO	Текущий адрес буфера параметров левого макроблока
ADDR_DPB	0x098	16	RO	Текущий адрес буфера параметров верхнего макроблока
ADDR_DQC	0x0A0	16	RW	Текущий адрес буфера выходных данных декодера
ADDR_DBS	0x0A4	16	RW	Текущий адрес буфера входных данных декодера

Регистры группы BASE содержат базовые адреса буферов данных и параметров. Базовые адреса буферов указываются как смещение относительно начала памяти VRAM в 128-разрядных словах.

Регистры группы SIZE содержат размеры буферов данных и параметров. Размеры буферов указываются в 128-разрядных словах.

Регистры группы ADDR содержат текущие адреса буферов данных и параметров. Текущие адреса буферов указываются как смещение относительно начала памяти VRAM в 128-разрядных словах.

6.4.7.9 Блок REGC

Блок REGC содержит общие регистры энтропийных кодеров. Перечень программно-доступных регистров блока REGC приведён в Таблица 6.52.

Таблица 6.52. Регистры блока REGC

Регистр	Смещение адреса	Размер (бит)	Доступ	Описание
CP0	0x000	128	RW	Регистр параметров #0
CP1	0x010	128	RW	Регистр параметров #1
CP2	0x020	128	RW	Регистр параметров #2
CP3	0x030	128	RW	Регистр параметров #3
CPN	0x040	128	RW	Регистр параметров текущего макроблока
CPA	0x050	128	RW	Регистр параметров левого макроблока
CPB	0x060	128	RW	Регистр параметров верхнего макроблока
CQC	0x080	1024	RW	Регистр входных данных
CBS	0x100	2048	RW	Регистр выходных данных

Регистры CP0, CP1, CP2, CP3 являются универсальными регистрами параметров энтропийного кодера. Каждый из энтропийных кодеров может использовать необходимое ему число регистров параметров, а также может использовать не весь 128-разрядный регистр параметров, а только его часть.

Регистры CPN, CPA, CPB являются регистрами параметров макроблоков при кодировании H.264.

Регистр CQC содержит входные данные энтропийного кодера. Формат входных данных определяется энтропийным кодером.

Регистр CBS содержит выходные данные энтропийного кодера. Также в регистр CBS может добавляться служебная информация (заголовки макроблоков, флаги и др.). Таким образом в регистре CBS возможно формирование полноценного выходного потока, готового к инкапсуляции в файл.

2048-разрядный регистр CBS организован как буфер FIFO из 16-ти 128-разрядных слов. При наличии в регистре CBS данных автоматически формируется запрос на запись их в память VRAM по адресу ADDR_CBS. Если память долгое время занята, то при заполнении FIFO до определённого уровня выставляется сигнал блокировки выполнения задания.

6.4.7.10 Блок REGD

Блок REGD содержит общие регистры энтропийных декодеров. Перечень программно-доступных регистров блока REGC приведён в Таблица 6.53.

Таблица 6.53. Регистры блока REGD

Регистр	Смещение адреса	Размер (бит)	Доступ	Описание
DP0	0x000	128	RW	Регистр параметров #0
DP1	0x010	128	RW	Регистр параметров #1
DP2	0x020	128	RW	Регистр параметров #2
DP3	0x030	128	RW	Регистр параметров #3
DPN	0x040	128	RW	Регистр параметров текущего макроблока
DPA	0x050	128	RW	Регистр параметров левого макроблока
DPB	0x060	128	RW	Регистр параметров верхнего макроблока
DQC	0x080	1024	RW	Регистр выходных данных
DBS	0x100	2048	RW	Регистр входных данных (bitstream)

Регистры DP0, DP1, DP2, DP3 являются универсальными регистрами параметров энтропийного кодера. Каждый из энтропийных декодеров может использовать необходимое ему число регистров параметров, а также может использовать не весь 128-разрядный регистр параметров, а только его часть.

Регистры DPN, DPA, DPB являются регистрами параметров макроблоков при декодировании потока H.264.

Регистр DQC содержит выходные данные энтропийного декодера. Формат выходных данных определяется энтропийным декодером.

Регистр DBS содержит выходные данные энтропийного кодера.

2048-разрядный регистр DBS организован как буфер FIFO из 16-ти 128-разрядных слов. При отсутствии в регистре DBS достаточного количества данных (12 128-разрядных слов) автоматически формируется запрос на чтение их из памяти VRAM по адресу ADDR_DBS.

6.4.7.11 Блок CAVLC

6.4.7.11.1 Описание

Блок CAVLC предназначен для кодирования блоков квантованных коэффициентов по стандарту H.264 с помощью контекстно-адаптивных кодов переменной длины. Подходят блоки 4×4 (Luma Level, Luma DC, Luma AC, Chroma AC), 2×2 (Chroma DC 4:2:0) и 2×4 (Chroma DC 4:2:2).

Входными данными являются блоки 16-разрядных квантованных коэффициентов. Максимальный размер блока составляет 16 (4×4) элементов, или 256 бит. Блоки упаковываются в регистр CQC блока REGC, до четырёх блоков за раз. Допустимые способы упаковки блоков приведены на Рисунок 6.11.

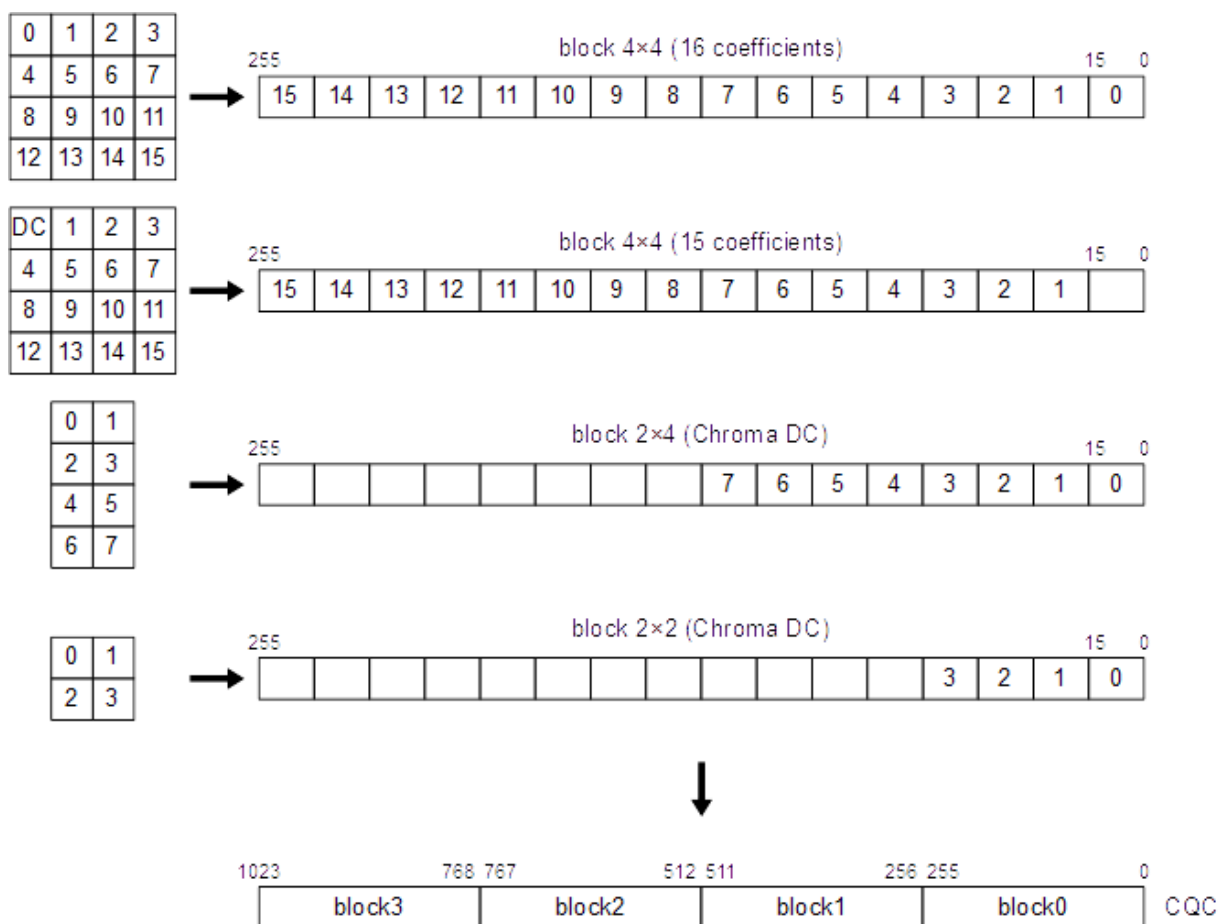


Рисунок 6.11. Допустимые способы упаковки блоков коэффициентов

Выходными данными являются коды CAVLC. Коды упаковываются с помощью блока PACKER в регистр CBS блока REGC. Данные упаковываются побайтно, начиная с младших бит регистра CBS. Порядок байтов потока в регистре CBS приведён на Рисунок 6.12.

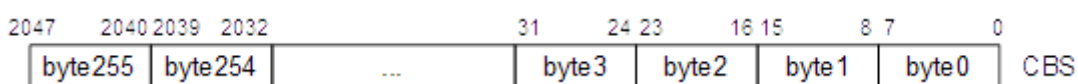


Рисунок 6.12. Порядок байтов потока в регистре CBS

Перечень программно-доступных регистров блока CAVLC приведён в Таблица 6.54.

Таблица 6.54. Регистры блока CAVLC

Регистр	Смещение адреса	Размер (бит)	Доступ	Описание
CR	0x000	32	RW	Регистр управления
SR	0x004	32	RO	Регистр состояния
nC0	0x020	6	RW	Предсказание количества ненулевых коэффициентов в кодируемых блоках
nC1	0x024	6	RW	
nC2	0x028	6	RW	
nC3	0x02C	6	RW	
nQ0	0x040	6	RW	Количество ненулевых коэффициентов в закодированных блоках
nQ1	0x044	6	RW	
nQ2	0x048	6	RW	
nQ3	0x04C	6	RW	

Регистр	Смещение адреса	Размер (бит)	Доступ	Описание
nQ4	0x050	6	RW	
nQ5	0x054	6	RW	
nQ6	0x058	6	RW	
nQ7	0x05C	6	RW	
nQ8	0x060	6	RW	
nQ9	0x064	6	RW	
nQ10	0x068	6	RW	
nQ11	0x06C	6	RW	
nQ12	0x070	6	RW	
nQ13	0x074	6	RW	
nQ14	0x078	6	RW	
nQ15	0x07C	6	RW	

6.4.7.11.2 Регистр CR

Регистр CR предназначен для управления блоком CAVLC. Перечень полей регистра CR приведён в Таблица 6.55.

Таблица 6.55. Регистр CR

Поле	Биты	Доступ	Описание
YCbCr	1:0	RW	Тип цветовой компоненты (0 – Y, 1 – Cb, 2 – Cr)
nC_eval	4	RW	Бит вычисления параметра nC (1 – вычислить параметр nC исходя из значений регистров CPx, 0 – взять готовый из регистров nC0..nC3)
coeff_reorder	5	RW	Бит переупорядочивания (зигзаг) входного блока коэффициентов (1 – переупорядочить входной блок, 0 – оставить как есть)
pos8x8	9:8	RW	Положение кодируемого блока 8×8 в макроблоке
pos4x4	15:12	RW	Положение кодируемого блока 4×4 в макроблоке
coeff_pos	17:16	RW	Положение блока 4x4 во входном регистре
coeff_num_m1	23:20	RW	Количество коэффициентов для кодирования во входном блоке (минус 1)
op_code	27:24	RW	Код операции 0 – reset 1 – encode1 2 – encode4 3 – encode2cdc2x2 4 – encode2cdc2x4
ready	28	RO	Флаг готовности к выполнению новой команды (1 – готовность, 0 – в работе)
task	30	RW	Флаг контроля блока CAVLC блоком TASKCTRC
start	31	RWC	Бит запуска (1 – запуск)

Возможные значения поля op_code регистра CR приведены в Таблица 6.56.

Таблица 6.56. Значения поля `op_code` регистра CR

Команда	<code>op_code</code>	Описание
<code>reset</code>	0x0	Программный сброс. Установка в 0x0 всех программно-доступных регистров блока, кроме CR.
<code>encode1</code>	0x1	Кодирование блока CQC[255:0]
<code>encode4</code>	0x2	Последовательное кодирование блоков CQC[255:0], CQC[511:256], CQC[767:512] и CQC[1023:768].
<code>encode2cdc2x2</code>	0x3	Последовательное кодирование блоков CQC[255:0], CQC[511:256] как блоков Chroma DC 4:2:0
<code>encode2cdc2x4</code>	0x4	Последовательное кодирование блоков CQC[255:0], CQC[511:256] как блоков Chroma DC 4:2:2

6.4.7.11.3 Регистр SR

Регистр SR предназначен для контроля состояния блока CAVLC. Перечень полей регистра SR приведён в Таблица 6.57.

Таблица 6.57. Регистр SR

Поле	Биты	Доступ	Описание
<code>err_code</code>	6:4	RO	Код ошибки 0 – резерв 1 – запуск некорректной команды (некорректное значение поля <code>op_code</code> регистра CR) 2 – запись CR без запуска новой команды (запись 0 в поле <code>start</code> регистра CR) 3..7 – резерв
<code>err</code>	7	RO	Флаг ошибки (1 – ошибка, 0 – нет ошибки)
<code>cbs_len</code>	31:16	RW	Длина кода, полученного в результате выполнения последней операции (в битах)

6.4.7.12 Блок CAVLD

6.4.7.12.1 Описание

Блок CAVLD предназначен для декодирования контекстно-адаптивных кодов переменной длины по стандарту H.264 в блоки квантованных коэффициентов. Декодируются блоки 4×4 (Luma Level, Luma DC, Luma AC, Chroma AC), 2×2 (Chroma DC 4:2:0) и 2×4 (Chroma DC 4:2:2).

Входными данными декодера CAVLD является поток H.264. Специальный блок-разборщик потока PARSER готовит входные данные для блока CAVLD таким образом, что следующий код для декодирования всегда находится в самом начале (в левой части) вектора входных данных. Декодировав очередной код, CAVLD сообщает блоку PARSER длину этого кода, и входные данные сдвигаются влево, подставляя CAVLD следующий код.

Выходными данными являются блоки 16-разрядных квантованных коэффициентов. Блоки упаковываются в регистр CQC блока REGC.

Перечень программно-доступных регистров блока CAVLD приведён в Таблица 6.58.

Таблица 6.58. Регистры блока CAVLD

Регистр	Смещение адреса	Размер (бит)	Доступ	Описание
CR	0x000	32	RW	Регистр управления
SR	0x004	32	RO	Регистр состояния
nC0	0x020	6	RW	Предсказание количества ненулевых коэффициентов в кодируемых блоках
nC1	0x024	6	RW	
nC2	0x028	6	RW	
nC3	0x02C	6	RW	
nQ0	0x040	6	RW	Количество ненулевых коэффициентов в закодированных блоках
nQ1	0x044	6	RW	
nQ2	0x048	6	RW	
nQ3	0x04C	6	RW	
nQ4	0x050	6	RW	
nQ5	0x054	6	RW	
nQ6	0x058	6	RW	
nQ7	0x05C	6	RW	
nQ8	0x060	6	RW	
nQ9	0x064	6	RW	
nQ10	0x068	6	RW	
nQ11	0x06C	6	RW	
nQ12	0x070	6	RW	
nQ13	0x074	6	RW	
nQ14	0x078	6	RW	
nQ15	0x07C	6	RW	

6.4.7.12.2 Регистр CR

Регистр CR предназначен для управления блоком CAVLD. Перечень полей регистра CR приведён в Таблица 6.59.

Таблица 6.59. Регистр CR

Поле	Биты	Доступ	Описание
YCbCr	1:0	RW	Тип цветовой компоненты (0 – Y, 1 – Cb, 2 – Cr)
nC_eval	4	RW	Бит вычисления параметра nC (1 – вычислить параметр nC исходя из значений регистров CPx, 0 – взять готовый из регистров nC0..nC3)
coeff_reorder	5	RW	Бит переупорядочивания (зигзаг) входного блока коэффициентов (1 – переупорядочить входной блок, 0 – оставить как есть)
pos8x8	9:8	RW	Положение кодируемого блока 8×8 в макроблоке
pos4x4	15:12	RW	Положение кодируемого блока 4×4 в макроблоке
coeff_pos	17:16	RW	Положение блока 4x4 в выходном регистре
coeff_num_m1	23:20	RW	Количество коэффициентов для декодирования (минус 1)
op_code	27:24	RW	Код операции 0 – reset 1 – decode1 2 – decode4 3 – decode2cdc2x2 4 – decode2cdc2x4
ready	28	RO	Флаг готовности к выполнению новой команды (1 – готовность, 0 – в работе)
task	30	RW	Флаг контроля блока CAVLD блоком TASKCTRD
start	31	RWC	Бит запуска (1 – запуск)

Возможные значения поля `op_code` регистра CR приведены в Таблица 6.60.

Таблица 6.60. Значения поля `op_code` регистра CR

Команда	<code>op_code</code>	Описание
<code>reset</code>	0x0	Программный сброс. Установка в 0x0 всех программно-доступных регистров блока, кроме CR.
<code>decode1</code>	0x1	Декодирование блока CQC[255:0]
<code>decode4</code>	0x2	Последовательное декодирование блоков CQC[255:0], CQC[511:256], CQC[767:512] и CQC[1023:768].
<code>decode2cdc2x2</code>	0x3	Последовательное декодирование блоков CQC[255:0], CQC[511:256] как блоков Chroma DC 4:2:0
<code>decode2cdc2x4</code>	0x4	Последовательное декодирование блоков CQC[255:0], CQC[511:256] как блоков Chroma DC 4:2:2

6.4.7.12.3 Регистр SR

Регистр SR предназначен для контроля состояния блока CAVLD. Перечень полей регистра SR приведён в Таблица 6.61.

Таблица 6.61. Регистр SR

Поле	Биты	Доступ	Описание
<code>err_code</code>	6:4	RO	Код ошибки: 0x1 – недопустимое значение поля <code>op_code</code> регистра CR 0x4 – ошибка при декодировании <code>coeff_token</code> 0x5 – ошибка при декодировании <code>level_prefix</code> 0x6 – ошибка при декодировании <code>total_zeros</code> 0x7 – ошибка при декодировании <code>run_before</code>
<code>err</code>	7	RO	Флаг ошибки (1 – ошибка, 0 – нет ошибки)
<code>cbs_len</code>	31:16	RW	Длина кода, полученного в результате выполнения последней операции (в битах)

6.4.7.13 Блок HDRC

Блок HDRC предназначен для генерации и кодирования заголовков. Перечень программно-доступных регистров блока HDRC приведён в Таблица 6.62.

Таблица 6.62. Регистры блока HDRC

Регистр	Смещение адреса	Размер (бит)	Доступ	Описание
CR	0x000	32	RW	Регистр управления

6.4.7.13.1 Регистр CR

Регистр CR предназначен для управления блоком HDRC. Перечень полей регистра CR приведён в Таблица 6.63.

Таблица 6.63. Регистр CR

Поле	Биты	Доступ	Описание
<code>hdr_type</code>	23:20	RW	Тип заголовка 0 – заголовок макроблока H.264 (поля <code>mb_skip_run</code> и <code>macroblock_layer</code> , кроме поля <code>residual</code>) 1 – поле <code>mb_skip_run</code> потока H.264

Поле	Биты	Доступ	Описание
op_code	27:24	RW	Код операции 0 – reset 1 – gen_hdr
ready	28	RO	Флаг готовности к выполнению новой команды (1 – готовность, 0 – в работе)
taskctr	30	RW	Флаг контроля блока HDRC блоком TASKCTRC 0 – ручной контроль 1 – контроль блоком TASKCTRC
start	31	RWC	Бит запуска (1 – запуск)

6.4.7.14 Блок HDRD

Блок HDRD предназначен для разбора и декодирования заголовков. Перечень программно-доступных регистров блока HDRD приведён в Таблица 6.64.

Таблица 6.64. Регистры блока HDRD

Регистр	Смещение адреса	Размер (бит)	Доступ	Описание
CR	0x000	32	RW	Регистр управления

6.4.7.14.1 Регистр CR

Регистр CR предназначен для управления блоком HDRD. Перечень полей регистра CR приведён в Таблица 6.65.

Таблица 6.65. Регистр CR

Поле	Биты	Доступ	Описание
hdr_type	23:20	RW	Тип заголовка 0 – заголовок макроблока H.264 (поля mb_skip_run и macroblock_layer, кроме поля residual) 1 – поле mb_skip_run потока H.264
op_code	27:24	RW	Код операции 0 – reset 1 – parse_hdr
ready	28	RO	Флаг готовности к выполнению новой команды (1 – готовность, 0 – в работе)
taskctr	30	RW	Флаг контроля блока HDRD блоком TASKCTRD 0 – ручной контроль 1 – контроль блоком TASKCTRD
start	31	RWC	Бит запуска (1 – запуск)

6.4.7.15 Блок PACKER

Блок PACKER предназначен формирования потока сжатых данных. Блок PACKER умеет выполнять следующие действия:

- упаковка кодов переменной длины, полученных от энтропийных кодеров, в фиксированные по длине слова памяти VRAM (128 бит);
- добавление в поток произвольных данных (заголовков, служебной информации и т.п.);

- завершение последнего байта в потоке единицами или нулями;
- байт-стаффинг по стандартам H.264 и JPEG.

Перечень программно-доступных регистров блока PACKER приведён в Таблица 6.66.

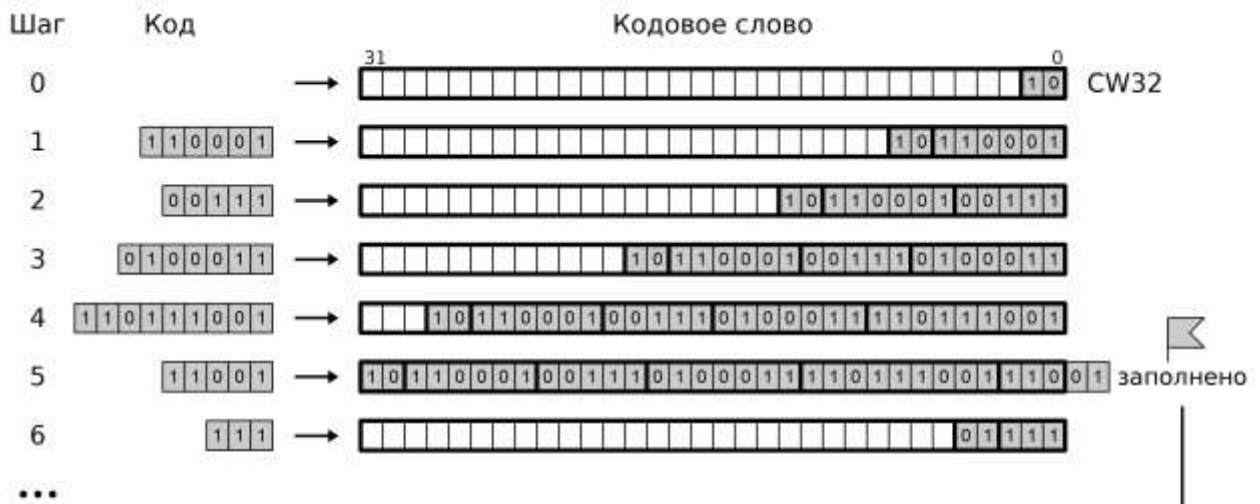
Таблица 6.66. Регистры блока PACKER

Регистр	Смещение адреса	Размер (бит)	Доступ	Описание
CR	0x000	32	RW	Регистр управления
CBS_TOTAL_LEN	0x004	32	RW	Общая длина данных, упакованных в выходной поток (бит)
CBS_EXTBITS	0x008	32	RW	Внешняя битовая строка для вставки в поток
CBS_EXTBITS_LEN	0x00C	6	RW	Длина внешней битовой строки (бит)
CBS_STUFF_MODE	0x010	4	RW	Режим байт-стаффинга
CBS_STUFF_POS	0x014	4	RW	Номер байта, начиная с которого необходимо проводить байт-стаффинг ([-2..3])

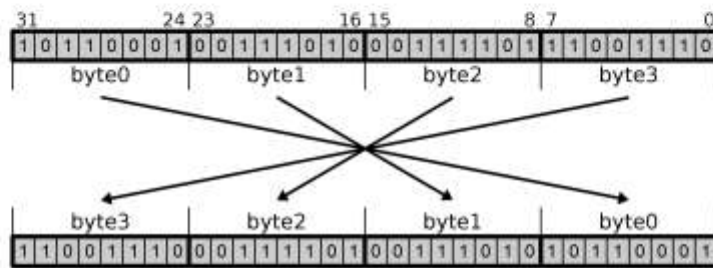
В процессе кодирования изображения или видео формируется последовательность кодов переменной длины. В блоке PACKER эти коды упаковываются (последовательно соединяются один за другим) во внутреннем программно-недоступном 128-разрядном регистре. Когда этот регистр заполняется данными полностью, а также по специальной команде `cbs_flush`, он записывается в буфер CBS блока REGC, откуда далее автоматически записывается в память VRAM.

Поясняющий пример формирования 128-разрядного кодового слова из кодов переменной длины приведён на Рисунок 6.13. На первом этапе коды переменной длины накапливаются друг за другом в 32-разрядном регистре CW32. На втором этапе, когда регистр CW32 полностью заполнен, его байты переставляются местами так, чтобы младшие байты содержали начало потока. И, наконец, на третьем этапе формируется и записывается в память 128-разрядный регистр с упакованными кодами.

1 Упаковка кодов переменной длины в 32-разрядное кодовое слово



2 Перестановка байтов в 32-разрядном кодовом слове



3 Формирование 128-разрядного кодового слова и запись его в память

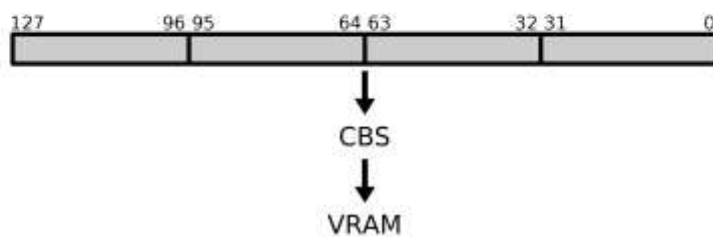


Рисунок 6.13. Поясняющий пример формирования 128-разрядного кодового слова из кодов переменной длины.

6.4.7.15.1 CR

Регистр CR предназначен для управления блоком PACKER. Перечень полей регистра CR приведён в Таблица 6.67.

Таблица 6.67. Регистр CR

Поле	Биты	Доступ	Описание
op_code	27:24	RW	Код операции
ready	28	RO	Флаг готовности к выполнению новой команды (1 – готовность, 0 – в работе)
task	30	RW	Флаг контроля блока PACKER блоком TASKCTRC
start	31	RWC	Бит запуска (1 – запуск)

Возможные значения поля op_code регистра CR приведены в Таблица 6.68.

Таблица 6.68. Значения поля op_code регистра CR

Команда	op_code	Описание
reset	0x0	Программный сброс. Установка в 0x0 всех программно-доступных регистров блока, кроме CR.
cbs_flush	0x1	Выгрузка незавершённого кодового слова в регистр CBS
cbs_addextbits	0x2	Вставка в поток внешней битовой строки (регистр CBS_EXTBITS)
cbs_addextbytes	0x3	Вставка в поток внешних байт (регистр CBS_EXTBITS)
cbs_addbit0	0x4	Вставка в поток бита 0
cbs_addbit1	0x5	Вставка в поток бита 1
cbs_align0b8	0x6	Завершение последнего байта в потоке нулями
cbs_align1b8	0x7	Завершение последнего байта в потоке единицами

6.4.7.15.2 Регистр CBS_TOTAL_LEN

Регистр CBS_TOTAL_LEN содержит длину выходного потока в битах. Считается только поток, прошедший при кодировании через блок PACKER.

6.4.7.15.3 Регистр CBS_EXTBITS

Регистр CBS_EXTBITS содержит произвольные данные (до 32 бит) для вставки в выходной поток. Размер данных определяется значением регистра CBS_EXTBITS_LEN. В выходной поток добавляются данные CBS_EXTBITS [CBS_EXTBITS_LEN-1: 0].

Данные из регистра CBS_EXTBITS можно вставить в выходной поток двумя способами: как поток битов (команда cbs_addextbits) или как поток байтов (команда cbs_addextbytes).

В случае команды cbs_addextbits данные CBS_EXTBITS [CBS_EXTBITS_LEN-1: 0] присоединяются к потоку аналогично кодам переменной длины (см. Рисунок 6.13 и Рисунок 6.)

В случае команды cbs_addextbytes данные CBS_EXTBITS [CBS_EXTBITS_LEN-1: 0] рассматриваются как последовательность байтов, и перед их упаковкой в кодовое слово

CW32 происходит перестановка байтов младшим байтом вперёд, т.е. в начало кода (см. Рисунок 6.13 и Рисунок 6.)

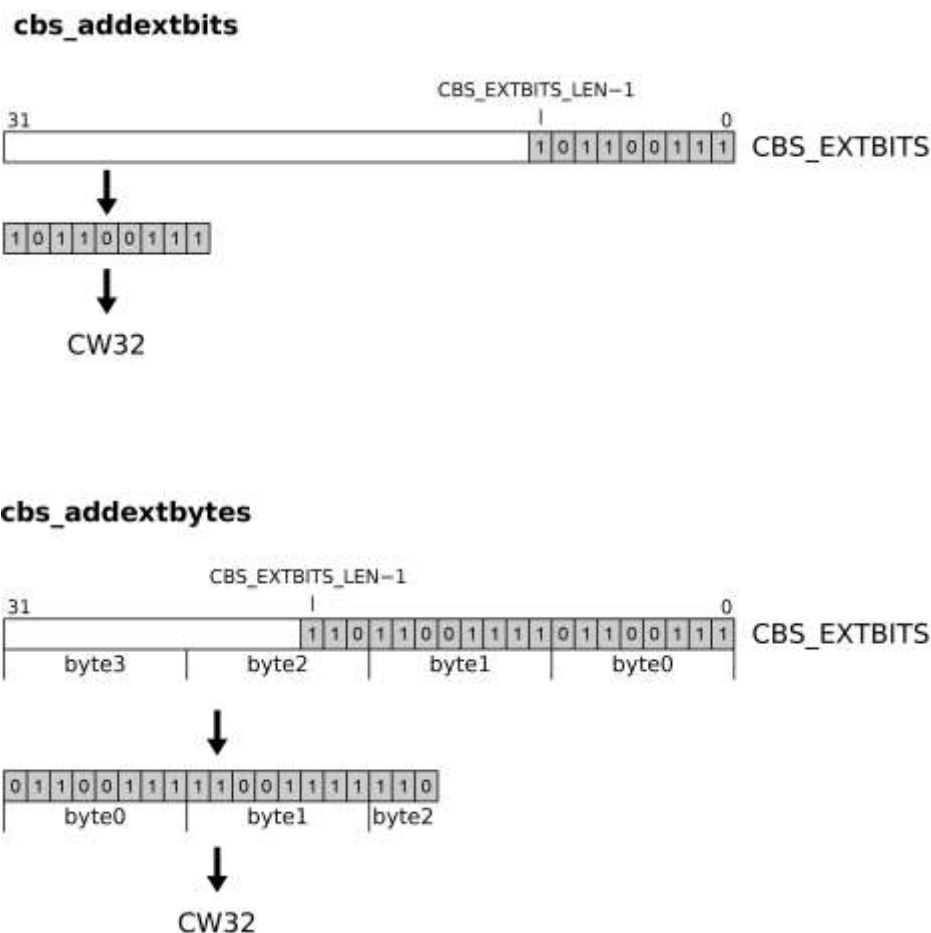


Рисунок 6.14

6.4.7.15.4 Регистр CBS_EXTBITS_LEN

Регистр CBS_EXTBITS_LEN определяет длину данных, записанных в регистр CBS_EXTBITS.

6.4.7.15.5 Регистр CBS_STUFF_MODE

Регистр CBS_STUFF_MODE определяет режим байт-стаффинга. Допустимые значения регистра CBS_STUFF_MODE приведены в Таблица 6.69.

Таблица 6.69. Значения регистра CBS_STUFF_MODE

Значение	Описание
0	Отсутствие байт-стаффинга. Битовый поток передаётся «как есть».
1	<p>Байт-стаффинг по стандарту H.264. В случае обнаружения в битовом потоке запрещённых последовательностей байтов (выровненных по границе байта), в них добавляется специальный служебный байт 0x03:</p> <p>0x000000 → 0x00000300</p> <p>0x000001 → 0x00000301</p> <p>0x000002 → 0x00000302</p> <p>0x000003 → 0x00000303</p>

6.4.7.15.6 Регистр CBS_STUFF_POS

Регистр CBS_STUFF_POS содержит позицию байта в битовом потоке, начиная с которой блок PACKER начнёт рассматривать поток для осуществления байт-стаффинга. Указывать позицию этого байта необходимо в том случае, если блок PACKER продолжает (дозаписывает) поток, начатый в памяти другим устройством, и если предполагается, что байт-стаффинг потока будет осуществляться блоком PACKER. В этом случае блок PACKER должен получить информацию о том, есть ли в конце потока, уже записанного в память, байты, с которых может начинаться запрещённая последовательность.

Данная информация указывается в регистре CBS_STUFF_POS. Допустимые значения регистра CBS_STUFF_POS с пояснениями приведены в Таблица 6.70.

Условные сокращения, применяемые в Таблица 6.70:

BS32P – предпоследнее полное 32-разрядное слово битового потока в памяти VRAM

BS32F – последнее полное 32-разрядное слово битового потока в памяти VRAM

BS32 – последнее неполное 32-разрядное слово битового потока в памяти VRAM

BS32_LEN – длина BS32 в битах

BP3 – BS32P[31:24] – третий байт BS32P

BF0 – BS32F[7:0] – нулевой байт BS32F

BF1 – BS32F[15:8] – первый байт BS32F

BF2 – BS32F[23:16] – второй байт BS32F

BF3 – BS32F[31:24] – третий байт BS32F

B0 – BS32[7:0] – нулевой байт BS32

B1 – BS32[15:8] – первый байт BS32

B2 – BS32[23:16] – второй байт BS32

B3 – BS32[31:24] – третий байт BS32

Таблица 6.70. Значения регистра CBS_STUFF_POS

Шестнадцатеричное значение	Десятичное значение	Условие установки
0xE	-2	$(BS32_LEN < 8) \& (\{BP3, BF0, BF1\} \neq 0x000003) \& (BF1 \neq 0x00) \& (\{BF2, BF3\} = 0x0000)$
0xF	-1	$(BS32_LEN < 16) \& (\{BF0, BF1, BF2\} \neq 0x000003) \& (BF2 \neq 0x00) \& (BF3 = 0x00)$
0x0	0	$(BS32_LEN < 24) \& (\{BF1, BF2, BF3\} \neq 0x000003) \& (BF3 \neq 0x00)$
0x1	1	$(BS32_LEN \geq 8) \& (\{BF2, BF3, B0\} \neq 0x000003) \& (B0 \neq 0x00)$
0x2	2	$(BS32_LEN \geq 16) \& (\{BF3, B0, B1\} \neq 0x000003) \& (B1 \neq 0x00)$
0x3	3	$(BS32_LEN \geq 24) \& (\{B0, B1, B2\} \neq 0x000003) \& (B2 \neq 0x00)$

Важно, чтобы уже существующие в потоке байты 0x00 не участвовали в байт-стаффинге ранее. Т.е. перед первым байтом 0x00, который будет анализировать блок PACKER, не должно быть байтовой последовательности 0x000003.

Ниже смотри поясняющий Рисунок 6.15, на котором приведены все возможные варианты состояния уже существующего в памяти битового потока и соответствующие ему значения, которые следует записать в регистр CBS_STUFF_POS.

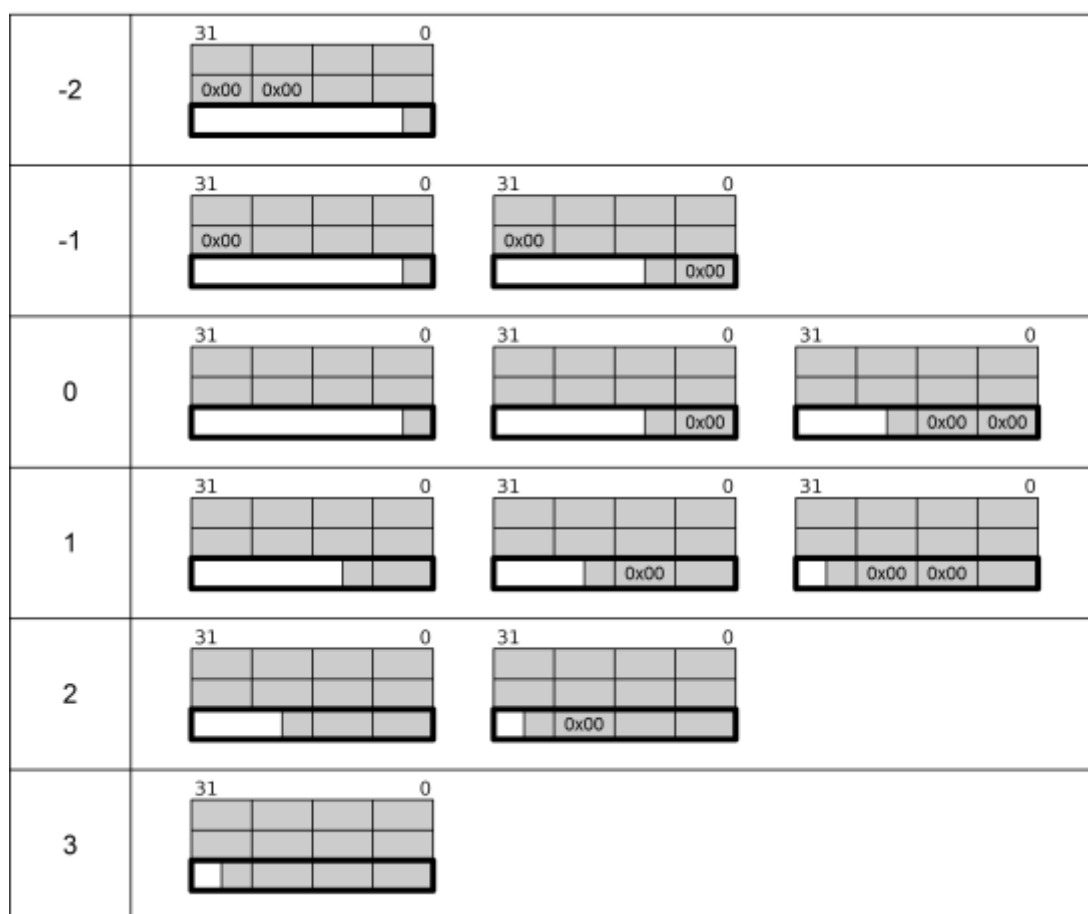
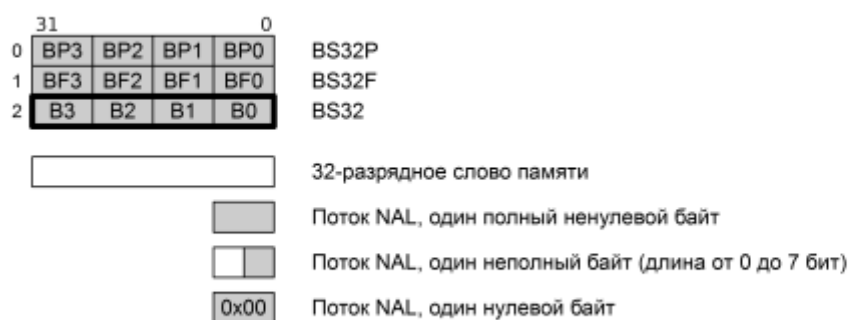
STUFF_POS

Рисунок 6.15

6.4.7.16 Блок PARSER

Блок PARSER предназначен для подготовки потока сжатых данных к декодированию. Блок PARSER умеет выполнять следующие действия:

- разрешение и остановка загрузки битового потока из памяти VRAM в буфер DBS блока REGD;
- сдвиг потока сжатых данных на величину декодированного кода;
- сдвиг потока сжатых данных на произвольное число бит;
- удаление из потока байт-стаффинга по стандарту H.264.

Перечень программно-доступных регистров блока PARSER приведён в Таблица 6.71.

Таблица 6.71. Регистры блока PARSER

Регистр	Смещение адреса	Размер (бит)	Доступ	Описание
CR	0x000	32	RW	Регистр управления
DBS_TOTAL_LEN	0x004	32	RW	Общая длина декодированных данных
DBS_OFFSET	0x008	32	RW	Величина сдвига потока сжатых данных
DBS_LOAD_FLAG	0x00C	1	RW	Флаг разрешения загрузки потока сжатых данных из памяти VRAM в блок общих регистров REGD
DBS_STUFF_MODE	0x010	4	RW	Режим байт-стаффинга

6.4.7.16.1 CR

Регистр CR предназначен для управления блоком PARSER. Перечень полей регистра CR приведён в Таблица 6.72.

Таблица 6.72. Регистр CR

Поле	Биты	Доступ	Описание
op_code	27:24	RW	Код операции 0 – reset 1 – dbs_shift
ready	28	RO	Флаг готовности к выполнению новой команды (1 – готовность, 0 – в работе)
task	30	RW	Флаг контроля блока PARSER блоком TASKCTRD
start	31	RWC	Бит запуска (1 – запуск)

Возможные значения поля op_code регистра CR приведены в Таблица 6.73.

Таблица 6.73. Значения поля op_code регистра CR

Команда	op_code	Описание
reset	0x0	Программный сброс. Установка в 0x0 всех программно-доступных регистров блока, кроме CR.
dbs_shift	0x1	Сдвиг потока сжатых данных на DBS_OFFSET битов. При выполнении этой команды имитируется чтение из буфера DBS блока REGD 128-разрядных слов в количестве DBS_OFFSET[31:7]+1 штук, и последнее из них дополнительно сдвигается на величину DBS_OFFSET[6:0] битов. Таким образом осуществляется пропуск части потока, который не должен быть декодирован блоком ECD.

6.4.7.16.2 DBS_TOTAL_LEN

Регистр DBS_TOTAL_LEN содержит общую длину декодированных данных, включая длину данных, пропущенных с помощью команды dbs_shift.

6.4.7.16.3 DBS_OFFSET

Регистр DBS_OFFSET содержит величину в битах, на которую будет сдвинут поток сжатых данных при выполнении команды dbs_shift.

6.4.7.16.4 DBS_LOAD_FLAG

Регистр DBS_LOAD_FLAG содержит флаг разрешения загрузки битового потока из памяти VRAM в буфер DBS блока REGD. Допустимые значения регистра DBS_LOAD_FLAG приведены в Таблица 6.74. Если загрузка разрешена, то битовый поток постоянно по мере необходимости подгружается из памяти VRAM в буфер DBS блока REGD.

Таблица 6.74. Значения регистра DBS_LOAD_FLAG

Значение	Описание
0	Загрузки битового потока из памяти VRAM в буфер DBS блока REGD запрещена.
1	Загрузки битового потока из памяти VRAM в буфер DBS блока REGD запрещена.

6.4.7.16.5 DBS_STUFF_MODE

Регистр DBS_STUFF_MODE определяет режим удаления из потока байтов байт-стаффинга. Допустимые значения регистра DBS_STUFF_MODE приведены в Таблица 6.75.

Таблица 6.75. Значения регистра DBS_STUFF_MODE

Значение	Описание
0	Отсутствие удаления байтов байт-стаффинга. Битовый поток декодируется «как есть».
1	Удаление байтов байт-стаффинга по стандарту H.264. В случае обнаружения в битовом потоке определённых последовательностей байтов (выровненных по границе байта), из них удаляется специальный служебный байт 0x03: 0x00000300 → 0x000000 0x00000301 → 0x000001 0x00000302 → 0x000002 0x00000303 → 0x000003

6.4.7.17 Зависимость регистров ECD от регистров управления потоков VPU

Некоторые регистры ECD являются зависимыми от регистров управления потоков VPU. Это означает, что при записи регистров управления потоков VPU одновременно происходит запись в соответствующие регистры ECD.

Перечень регистров EC0, зависимых от регистров управления потоков VPU, приведён в Таблица 6.76.

Перечень регистров EC1, зависимых от регистров управления потоков VPU, приведён в Таблица 6.77.

Перечень регистров ED0, зависимых от регистров управления потоков VPU, приведён в Таблица 6.78.

Перечень регистров ED1, зависимых от регистров управления потоков VPU, приведён в Таблица 6.79.

Таблица 6.76. Зависимость регистров ЕС0 от регистров управления потоков VPU

Регистр VPU	Связанный регистр или поле регистра блока ЕС0	Данные, записываемые в регистр блока ЕС0
	TASKCTRC	
TASK0	TASK.run	TASK0.RUN
TASK0	TASK.ready	1'b0
TASK0	TASK.rep	1'b0
TASK0	TASK.m7eof	TASK0.M7EOF
TASK0	TASK.m7pos	TASK0.M7POS
TASK0	TASK.task id	(TASK0.STD == 2'b00) ? T H264 ENC MB 420 : 8'h0
TASK0	TASK.repn	16'h0
MBPOS0	MBPOS	MBPOS0
FRMN0	FRMN	FRMN0
RUN_ON0	TASK.run	1'b1
RUN_OFF0	TASK.run	1'b0
SMBPOS0	SMBPOS	SMBPOS0
	VRAMCTRC	
ADR0	BASE CP0	{ADR0.ARES, 7'h0}
ADR0	BASE CP1	{ADR0.ARES, 7'h0}
ADR0	BASE CP2	{ADR0.ARES, 7'h0}
ADR0	BASE CP3	{ADR0.ARES, 7'h0}
ADR0	BASE CQC	{ADR0.ARES, 7'h0}
ADR0	BASE CBS	{ADR0.ARES, 7'h0} + 16'h0080
ADR0	BASE CPN	{ADR0.ACUR, 6'h0}
	REGC	
CFG0	CP0	{96'h0, 7'h0, CFG0[10], 7'h0, CFG0[9], 3'h0, CFG0[8:4], 4'h0, CFG0[3:0]}

Таблица 6.77. Зависимость регистров ЕС1 от регистров управления потоков VPU

Регистр VPU	Связанный регистр или поле регистра блока ЕС1	Данные, записываемые в регистр блока ЕС1
	TASKCTRC	
TASK1	TASK.run	TASK1.RUN
TASK1	TASK.ready	1'b0
TASK1	TASK.rep	1'b0
TASK1	TASK.m7eof	TASK1.M7EOF
TASK1	TASK.m7pos	TASK1.M7POS
TASK1	TASK.task id	(TASK1.STD == 2'b00) ? T H264 ENC MB 420 : 8'h0
TASK1	TASK.repn	16'h0
MBPOS1	MBPOS	MBPOS1
FRMN1	FRMN	FRMN1
RUN_ON1	TASK.run	1'b1
RUN_OFF1	TASK.run	1'b0
SMBPOS1	SMBPOS	SMBPOS1
	VRAMCTRC	
ADR1	BASE CP0	{ADR1.ARES, 7'h0}
ADR1	BASE CP1	{ADR1.ARES, 7'h0}
ADR1	BASE CP2	{ADR1.ARES, 7'h0}
ADR1	BASE CP3	{ADR1.ARES, 7'h0}
ADR1	BASE CQC	{ADR1.ARES, 7'h0}
ADR1	BASE CBS	{ADR1.ARES, 7'h0} + 16'h0080
ADR1	BASE CPN	{ADR1.ACUR, 6'h0}
	REGC	
CFG1	CP0	{96'h0, 7'h0, CFG1[10], 7'h0, CFG1[9], 3'h0, CFG1[8:4], 4'h0, CFG1[3:0]}

Таблица 6.78. Зависимость регистров ED0 от регистров управления потоков VPU

Регистр VPU	Связанный регистр или поле регистра блока ED0	Данные, записываемые в регистр блока ED0
	TASKCTRD	
TASK2	TASK.run	TASK2.RUN
TASK2	TASK.ready	1'b0
TASK2	TASK.rep	1'b0
TASK2	TASK.m7eof	TASK2.M7EOF
TASK2	TASK.m7pos	TASK2.M7POS
TASK2	TASK.task id	(TASK2.STD == 2'b00) ? T H264 DEC MB 420 : 8'h0
TASK2	TASK.repn	16'h0
MBPOS2	MBPOS	MBPOS2
FRMN2	FRMN	FRMN2
RUN_ON2	TASK.run	1'b1
RUN_OFF2	TASK.run	1'b0
SMBPOS2	SMBPOS	SMBPOS2
	VRAMCTRD	
ADR2	BASE DP0	{ADR2.ARES, 7'h0}
ADR2	BASE DP1	{ADR2.ARES, 7'h0}
ADR2	BASE DP2	{ADR2.ARES, 7'h0}
ADR2	BASE DP3	{ADR2.ARES, 7'h0}
ADR2	BASE DQC	{ADR2.ARES, 7'h0}
ADR2	BASE DBS	{ADR2.ARES, 7'h0} + 16'h0080
ADR2	BASE DPN	{ADR2.ACUR, 6'h0}
	REGD	
CFG2	DP0	{96'h0, 16'h0, 3'h0, CFG2[8:4], 4'h0, CFG2[3:0]}

Таблица 6.79. Зависимость регистров ED1 от регистров управления потоков VPU

Регистр VPU	Связанный регистр или поле регистра блока ED1	Данные, записываемые в регистр блока ED1
	TASKCTRD	
TASK3	TASK.run	TASK3.RUN
TASK3	TASK.ready	1'b0
TASK3	TASK.rep	1'b0
TASK3	TASK.m7eof	TASK3.M7EOF
TASK3	TASK.m7pos	TASK3.M7POS
TASK3	TASK.task_id	(TASK3.STD == 2'b00) ? T H264 DEC MB 420 : 8'h0
TASK3	TASK.repn	16'h0
MBPOS3	MBPOS	MBPOS3
FRMN3	FRMN	FRMN3
RUN_ON3	TASK.run	1'b1
RUN_OFF3	TASK.run	1'b0
SMBPOS3	SMBPOS	SMBPOS3
	VRAMCTRD	
ADR3	BASE DP0	{ADR3.ARES, 7'h0}
ADR3	BASE DP1	{ADR3.ARES, 7'h0}
ADR3	BASE DP2	{ADR3.ARES, 7'h0}
ADR3	BASE DP3	{ADR3.ARES, 7'h0}
ADR3	BASE DQC	{ADR3.ARES, 7'h0}
ADR3	BASE DBS	{ADR3.ARES, 7'h0} + 16'h0080
ADR3	BASE DPN	{ADR3.ACUR, 6'h0}
	REGD	
CFG3	DP0	{96'h0, 16'h0, 3'h0, CFG3[8:4], 4'h0, CFG3[3:0]}

7. СИСТЕМА ОТЛАДКИ МИКРОСХЕМЫ (CSSYS)

Система отладки и трассировки реализована на базе открытой архитектуры CoreSight, разработанной компанией ARM, что теоретически позволяет использовать множество уже существующих программных и аппаратных CoreSight-совместимых решений различных производителей. Некоторые вводные сведения об этой архитектуре можно найти в разделе «Архитектура CoreSight».

На следующем рисунке представлена упрощённая схема системы отладки и трассировки:

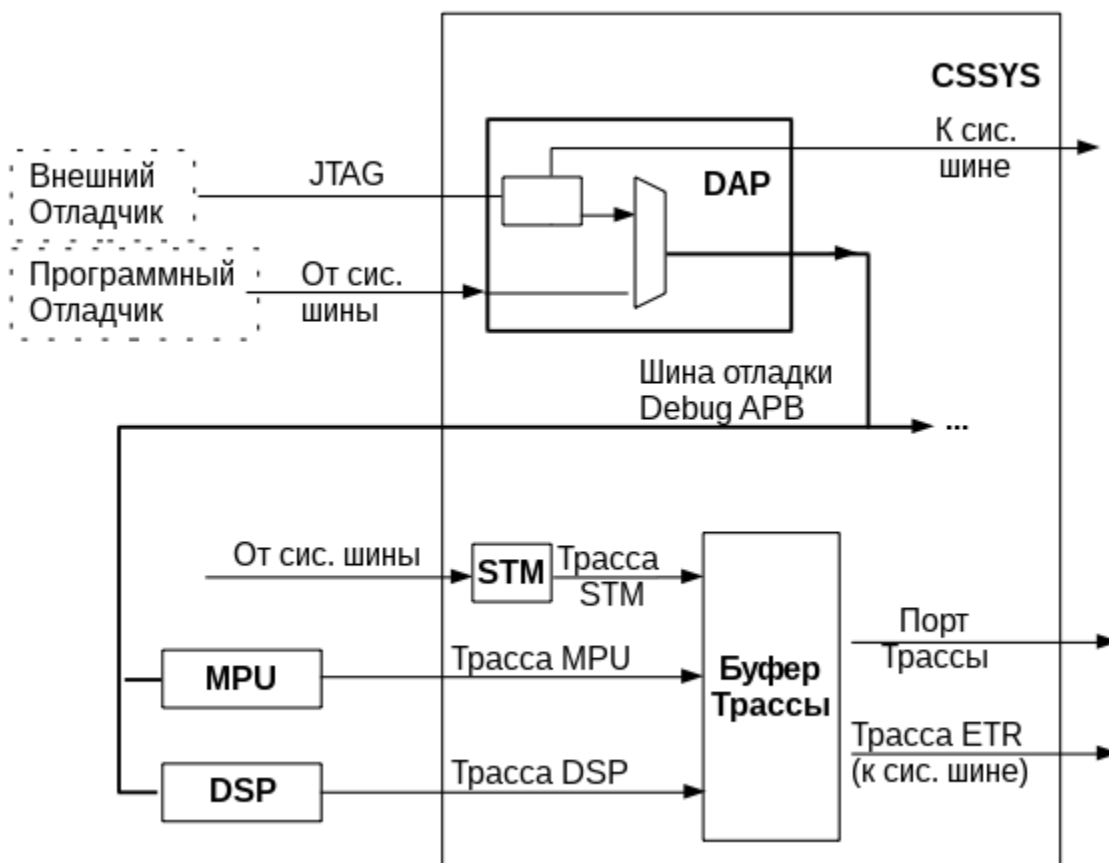


Рисунок 7.1. Упрощённая схема системы отладки и трассировки

Доступ к системе отладки осуществляется через внешний JTAG интерфейс или программно со стороны системного ПО. Отладчик внешний или программный имеет доступ ко всем устройствам системной шины, т.е. может производить запись или чтение в любую* область памяти системной шины.

Кроме доступа к системной шине отладчик имеет доступ к специально выделенной шине отладки Debug APB. Все компоненты системы отладки подключены к этой шине. Через эту шину отладчик производит конфигурирование и управление системой отладки.

Информация о ходе выполнения программы MPU или DSP, потоки отладочных данных от различных мастеров системной шины (трасса STM) накапливаются в накристалльной

памяти либо выдаются наружу через специальный выделенный порт трассы. Также имеется возможность направить вывод трассы в произвольную* область системной памяти (ETR).

Система отладки и трассировки состоит из следующих частей:

Подсистема CSSYS. Центральный блок системы отладки. Отвечает за взаимодействие с отладчиком. Управляет сбором и выдачей трассы от различных источников.

Подсистема MPU. Отвечает за настройку трассы и отладку ядер MPU.

Подсистема DSP. Отвечает за трассу ядер DSP.

* Есть ограничения, некоторые из маршрутов пересылок могут вызывать блокировки на системной шине.

7.1 Подсистема CSSYS

На следующем рисунке представлена подсистема отладки CSSYS:

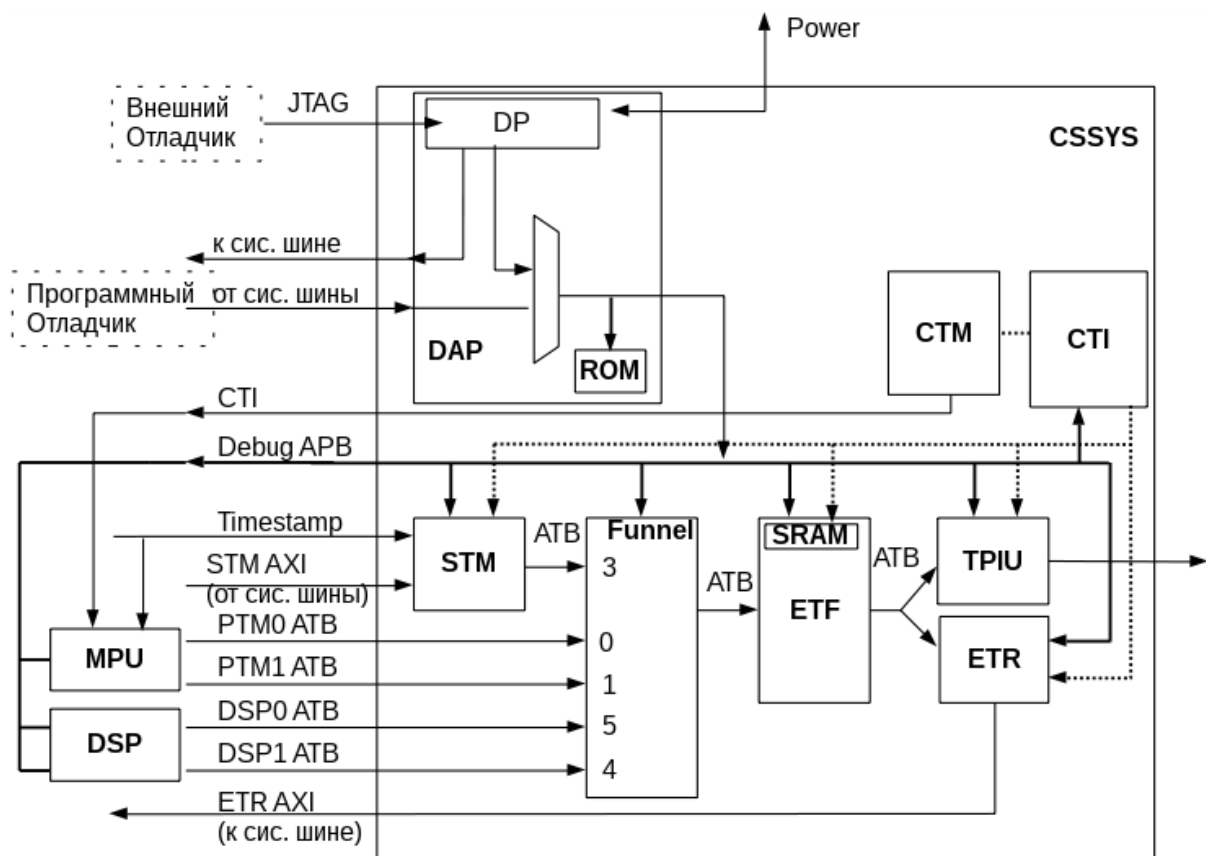


Рисунок 7.2. Подсистема отладки CSSYS

Для доступа к системе отладки внешний отладчик должен произвести настройку блока DAP (Debug Access Port). DAP позволяет внешнему отладчику получить доступ либо к системной шине, либо к шине отладки Debug APB.

Доступ программного отладчика к шине отладки тоже производится через DAP. Внутри DAP обращения внешнего отладчика к Debug APB мультиплексируются с обращениями к шине отладке от программного отладчика.

К выделенной шине отладки Debug APB подключены следующие устройства:

DAP.ROM. Компонент системы отладки с адресом 0x0 — таблица адресов устройств отладки. Отладчик, считывая эту таблицу, определяет адреса остальных устройств отладки в системе (всех устройств на шине Debug APB).

Подсистема MPU. Отвечает за отладку и трассировку ядер MPU.

Подсистема DSP. Отвечает за трассировку ядер DSP.

STM (System Trace Macrocell). Формирует трассу из потоков отладочных данных от различных мастеров системной шины. Запись в область системной памяти, выделенную под STM вызывает генерацию трассы блоком. Позволяет осуществлять отладку в стиле printf. Совместим со стандартом STPv2 MIPI.

Funnel. Собирает и объединяет в один поток трассы от различных источников. Трасса источников передаётся по шине ATB (Advanced Trace Bus). Ко входам блока подключены следующие источники трассы:

Трасса от ядер MPU.

Трасса от ядер DSP.

Трасса STM.

ETF. Накристалльное FIFO/буфер трассы.

TRIU (Trace Port Interface Unit). Внешний порт трассы. Через этот порт трасса извлекается во внешний внекристальный буфер (для адаптеров с поддержкой выделенного порта трассы).

ETR (Embedded Trace Router). Роутер трассы, позволяет перенаправить трассу в произвольную область системной памяти.

CTI (Cross Trigger Interface). Отвечает за распространение некоторых аппаратных сигналов отладки в другие части отлаживаемой системы (например, переполнение буфера трассы ETF может вызвать запрос входа в режим отладки любого из ядер MPU). Блок

STM (Cross Trigger Matrix) - повторитель сигналов СТИ, в программной настройке не нуждается.

Для целей синхронизации событий отладки используется 48-разрядный счётчик «временных меток (Timestamp)». Счётчик работает в коде Грея и переключается на каждом такте частоты MPUCLK. Значения счётчика могут встраиваться в трассу блоков PTM0, PTM1 и STM.

7.1.1 CSSYS. ROM

CSSYS.ROM - таблица адресов устройств отладки, подключена к шине Debug APB. Со стороны внешнего отладчика доступна по адресам 0x0000_0000 и 0x8000_0000 (адресация на выделенной шине отладки Debug APB). Об адресации устройств на шине Debug APB см. в разделе «Карта памяти Debug APB». Подробнее о компоненте ROM см. в разделе «ROM таблица».

7.1.2 CSSYS. DAP

Блок DAP (Debug Access Port) — связующее звено между отладчиком и ресурсами отладки.

На следующем рисунке показана схема DAP:

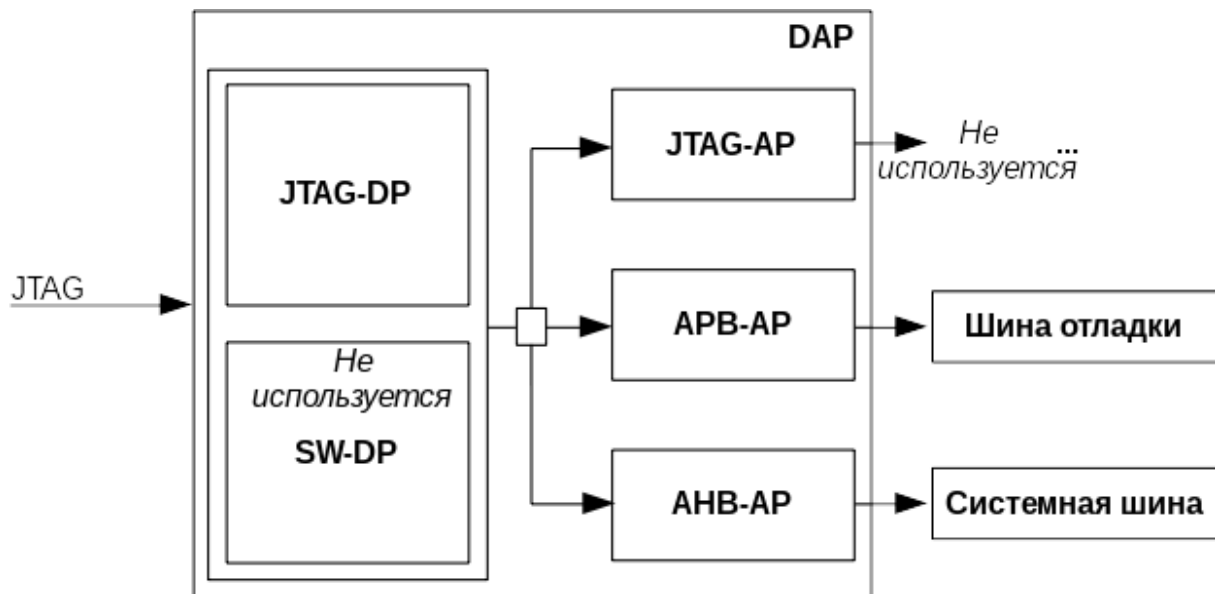


Рисунок 7.3. DAP — верхний уровень

Отладчик подключается к DAP через внешний JTAG интерфейс.

Блок JTAG-DP - «порт отладки», обеспечивает подключение отладчика через JTAG.

Блок SW-DP - «порт отладки», обеспечивает подключение отладчика через Serial Wire.

В данной реализации подключение отладчика по интерфейсу Serial Wire не поддерживается.

По сбросу DAP настроен на работу через порт отладки JTAG-DP.

Управляя регистрами «порта отладки» (JTAG-DP), отладчик получает доступ к необходимому ресурсу:

К выделенной шине отладки через «порт доступа» APB-AP.

К системной шине через «порт доступа» AHB-AP.

К дополнительным цепочкам JTAG через «порт доступа» JTAG-AP. *В данной реализации порт JTAG-AP не имеет активных подключений.*

Также DAP осуществляет арбитраж между внешним отладчиком (JTAG) и программным отладчиком при их доступе к шине отладки. (Сигналы от программного отладчика на рисунке не показаны).

DAP содержит ROM-таблицу с адресами устройств отладки подключённых к Debug APB (на рисунке не показана). Настроив обращение к APB-AP и обратившись по адресу 0x0000_0000 или 0x8000_0000 внешний отладчик может прочитать эту таблицу.

Подробнее о DAP см. в документе «CoreSight Components Technical Reference Manual».

7.1.3 CSSYS. Funnel

Блок Funnel — компонент, который объединяет трассу ATB от нескольких источников в один поток ATB.

На следующем рисунке представлена структурная схема блока Funnel:

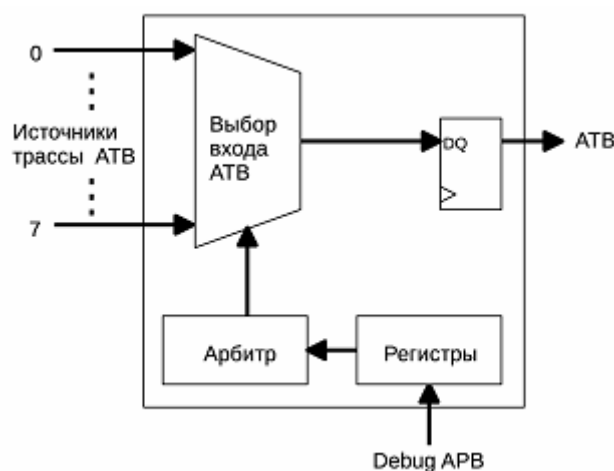


Рисунок 7.4. Funnel — упрощённая схема

Блок выбора трассы АТВ позволяет переключаться между источниками трассы АТВ. Переключением между портами трассы на основании их приоритета управляет арбитр трассы. Настройка Funnel производится через шину Debug APB.

В следующей таблице указаны источники трассы подключённые к CSSYS.Funnel:

Таблица 7.1. Подключение портов CSSYS.FUNNEL к источникам трассы АТВ

Порт АТВ	Источник трассы
0	MPU. CPU0
1	MPU. CPU1
2	Не подключён
3	STM
4	DSP. Core1
5	DSP. Core0
6	Не подключён
7	Не подключён

Подробнее о Funnel см. в документе «CoreSight Components Technical Reference Manual».

7.1.4 CSSYS. TPIU

CSSYS.TPIU (Trace Port Interface Unit) — Блок вывода трассы через внешний порт трассы.

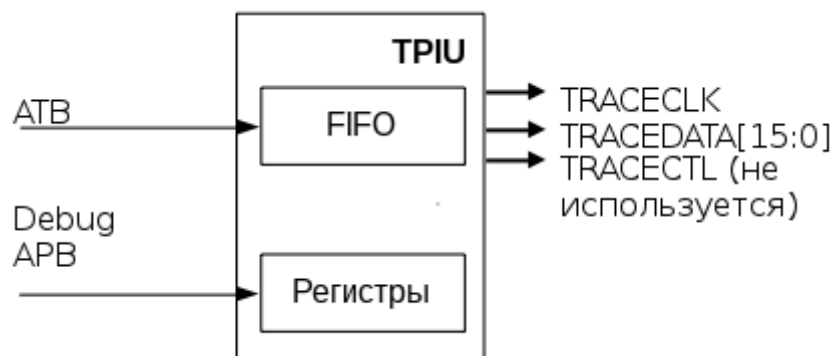


Рисунок 7.5. TPIU — значительно упрощённая схема

На вход блока заведена шина трассы АТВ. Каждое слово данных (ATDATA[31:0]) на шине АТВ сопровождается идентификатором источника данных (ATID[6:0]). Блок принимает эти данных и упаковывает данные и идентификаторы в структуры данных по 16 байт (кадры/фреймы — см. «CoreSight Architecture Specification. Trace Formatter»). Управление блоком осуществляется через Debug APB.

Особенности реализации:

Разрядность выходной шины данных TRACEDATA — 16.

Выходная частота TRACECLK — делённая на два частота отладки ATCLK.

В данной реализации TPIU выходной сигнал TRACECTL не используется. Поэтому всегда необходимо настраивать TPIU в режим «continuous». Режим включается установкой 1-го

разряда регистра управления (смещение 0x304) в единицу. Подробнее см. в «CoreSight Components Technical Reference Manual».

7.1.5 CSSYS. ETF

CSSYS.ETF (Embedded Trace FIFO) — FIFO трассы. FIFO трассы размером в 4Кбайта может использоваться в следующих режимах:

Режим циклического буфера. В этом режиме трасса сохраняется в накристальный буфер размером 4 Кбайта. Буфер заполняется циклически. Старая трасса будет перезаписана после заполнения буфера. Трассу нельзя считать, до тех пор, пока сбор трассы не будет остановлен. В этом режиме сбор трассы можно автоматически остановить, при появлении активности на входе TRIGIN (см. CSSYS.CTI).

Режим аппаратного FIFO. В этом режиме накристальный буфер используется как FIFO. Трасса не перезаписывается и не теряется, т.е. при заполнении FIFO новые слова трассы не принимаются до тех пор пока в буфере не появится свободное место. Данные входной шины ATB, проходя через FIFO, сразу выдаются на выходную шину ATB и могут быть считаны (выданы через порт TPIU или блок ETR) прямо в процессе заполнения FIFO.

Режим программного FIFO. В этом режиме компонент работает как FIFO, данные вычитываются через Debug APB.

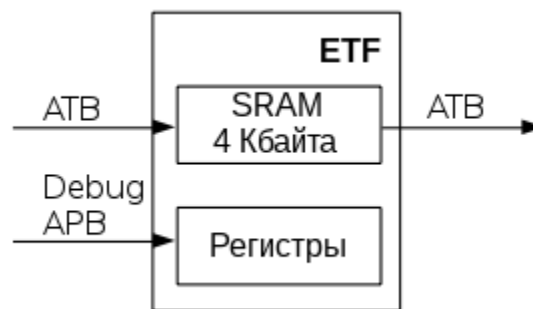


Рисунок 7.6. ETF — упрощённая схема

Блок является имплементацией компонента ТМС, сконфигурированного в режим ETF. Более детальную информацию можно найти в «CoreSight Trace Memory Controller Technical Reference Manual».

7.1.6 CSSYS. ETR

CSSYS.ETR (Embedded Trace Router) — Роутер трассы. Компонент позволяет перенаправлять поступающую на его вход трассу АТВ в произвольную область системной памяти.

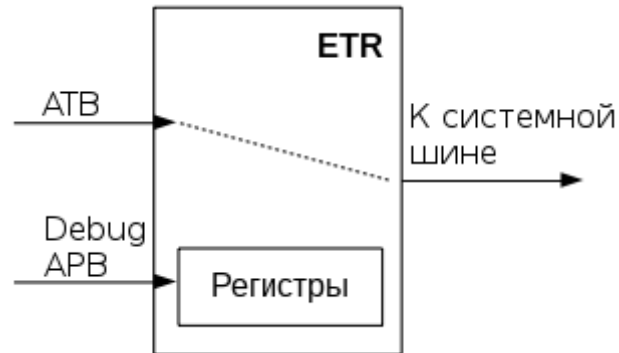


Рисунок 7.7. ETR — упрощённая схема

Блок является имплементацией компонента ТМС, сконфигурированного в режим ETR. Подробнее см. в «CoreSight Trace Memory Controller Technical Reference Manual».

7.1.7 CSSYS. STM

CSSYS.STM (System Trace Macrocell) — Источник трассы, инициируемый записью в область памяти выделенную под STM. Трасса содержит данные, которые были записаны в область памяти выделенную под STM. Позволяет осуществлять отладку в стиле printf. Совместим со стандартом STPv2 MIPI.

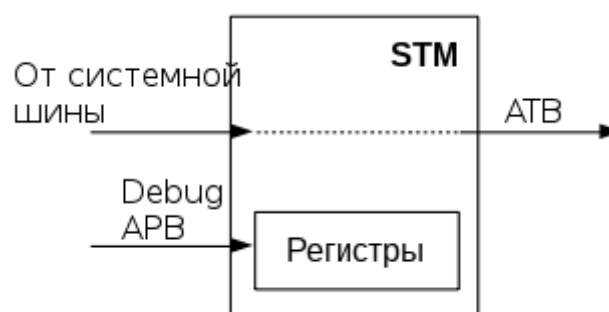


Рисунок 7.8. STM — упрощённая схема

Подробнее см. в «CoreSight System Trace Macrocell Technical Reference Manual».

7.1.8 CSSYS. CTI

На следующем рисунке показана схема подключения сигналов отладки к блоку CSSYS.CTI:

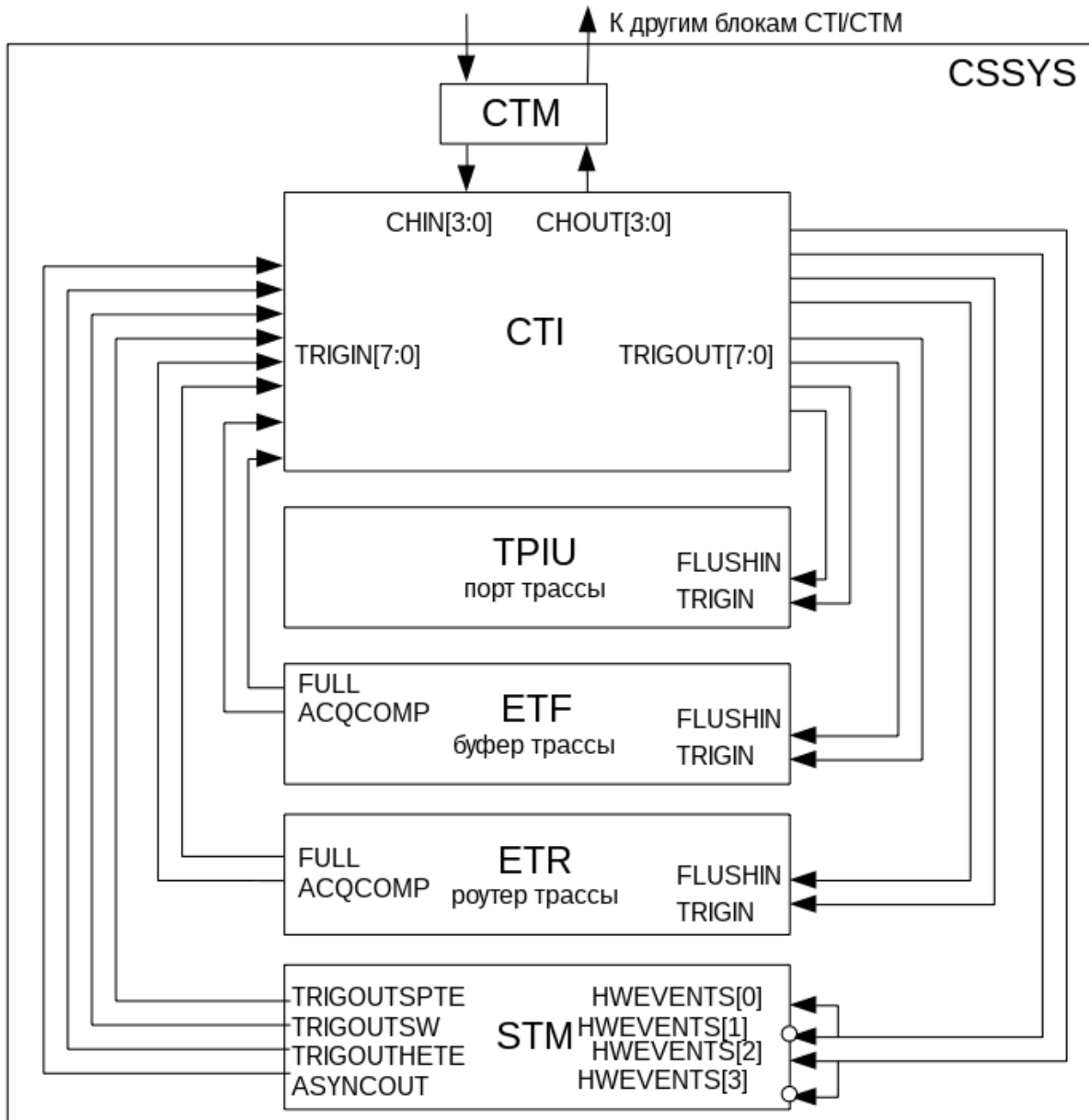


Рисунок 7.9. Подключение сигналов отладки к CSSYS.CTI

Блок CSSYS.CTI обеспечивает распространение и коммутацию аппаратных сигналов отладки. Любой из сигналов подключённых ко входам TRIGIN[7:0] можно программно скоммутировать с любым из выходов TRIGOUT[7:0]. К портам TRIGIN/TRIGOUT подключены локальные сигналы отладки (формируются внутри CSSYS).

Входной порт CHIN[3:0] и выходной порт CHOUT[3:0] через блок CTM подключены к внешней части системы отладки.

Любой из сигналов, подключённых ко входам CHIN[3:0], можно программно скоммутировать с любым из сигналов TRIGOUT[7:0]. Таким образом, аппаратные сигналы из внешней системы отладки через СТМ, а затем CHIN могут быть переданы в локальную область.

Любой из сигналов, подключённых ко входам TRIGIN[7:0], можно программно скоммутировать с любым из сигналов CHOUT[3:0]. Таким образом, локальные аппаратные сигналы отладки могут быть переданы во внешнюю область системы отладки.

В следующей таблице указаны точки подключения сигналов TRIG* CSSYS.CTI.

Таблица 7.2. Подключение входов/выходов CSSYS.CTI

Сигнал	Аск*	Точка подключения
Входы CSSYS.CTI TRIGIN[7:0]		
TRIGIN[0]	нет	Выход CSSYS.ETF.FULL
TRIGIN[1]	нет	Выход CSSYS.ETF.ACQCOMP
TRIGIN[2]	нет	Выход CSSYS.ETR.FULL
TRIGIN[3]	нет	Выход CSSYS.ETR.ACQCOMP
TRIGIN[4]	нет	Выход CSSYS.STM.TRIGOUTSPTE
TRIGIN[5]	нет	Выход CSSYS.STM.TRIGOUTSW
TRIGIN[6]	нет	Выход CSSYS.STM.TRIGOUTHETE
TRIGIN[7]	нет	Выход CSSYS.STM.ASYNCOUT
Выходы CSSYS.CTI TRIGOUT[7:0]		
TRIGOUT[0]	нет	Вход CSSYS.ETR.FLUSHIN
TRIGOUT[1]	нет	Вход CSSYS.ETR.TRIGIN
TRIGOUT[2]	да	Вход CSSYS.TPIU.FLUSHIN
TRIGOUT[3]	да	Вход CSSYS.TPIU.TRIGIN
TRIGOUT[4]	нет	Вход CSSYS.STM.HWEVENTS[0] Вход CSSYS.STM.HWEVENTS[1](с инверсией)
TRIGOUT[5]	нет	Вход CSSYS.STM.HWEVENTS[2] Вход CSSYS.STM.HWEVENTS[3](с инверсией)
TRIGOUT[6]	нет	Вход CSSYS.ETF.FLUSHIN
TRIGOUT[7]	нет	Вход CSSYS.ETF.TRIGIN

*Аск - Используются сигналы TRIGINACK(TRIGIN) или TRIGOUTACK (для TRIGOUT).

7.2 Подсистема MPU

На следующем рисунке показана схема подсистемы отладки MPU:

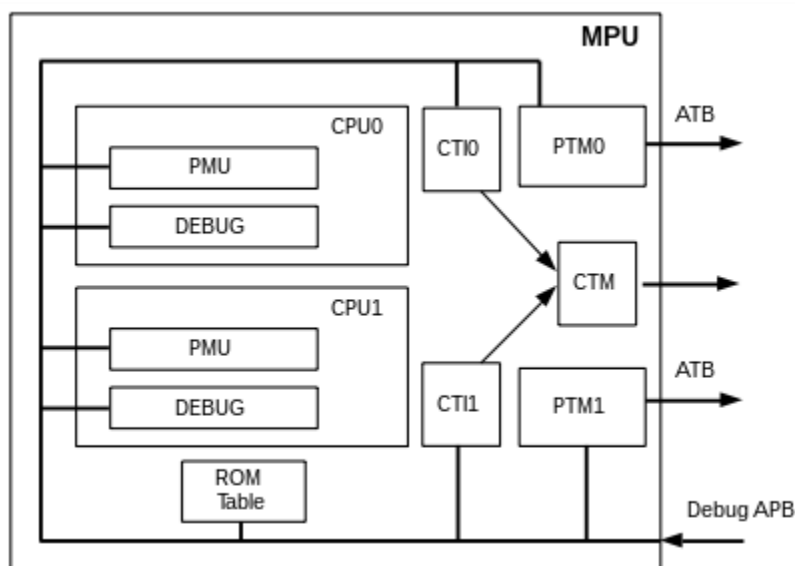


Рисунок 7.10. Ресурсы отладки MPU

Подсистема отладки MPU состоит из следующих частей:

Таблица ROM. В этой таблице хранятся адреса всех устройств шины Debug APB MPU.

Система отладки (блоки CPU0.DEBUG, CPU1.DEBUG). Управление отладкой ядер MPU.

Система трассировки (блоки CPU0.PTM, CPU1.PTM). Блоки PTM (Program Trace Macrocell) отвечают за вывод трассы ядер MPU.

Подсистема измерения производительности (CPU0.PMU, CPU1.PMU). Управление мониторами производительности ядер MPU. Аппаратные счётчики модулей PMU (Performance Monitoring Unit) позволяют отслеживать множество различных событий, таких как пропуски кэша инструкций, выполнение инструкций чтения или записи, входы в исключения и др. (всего до 58 событий).

CTI0, CTI1.

7.2.1 MPU. ROM

ROM-таблица MPU содержит адреса всех компонентов отладки и трассировки MPU. В ROM-таблице указаны смещения адресов относительно ROM-таблицы для следующих компонентов:

MPU.CPU0.PMU

MPU.CPU0.DEBUG

MPU.CPU1.PMU

MPU.CPU1.DEBUG

MPU.CTI0

MPU.CTI1

MPU.PTM0

MPU.PTM1

Дополнительную информацию см. в разделе «ROM таблица».

7.2.2 MPU. CPU0.DEBUG, CPU1.DEBUG

DEBUG — Блок отладки ядра MPU. Блок поддерживает до 6 точек останова (breakpoint) и 4 точек отслеживания (watchpoint). Управление блоком DEBUG производится либо через Debug APB либо через команды сопроцессора CP14.

Подробнее см. в «Cortex-A9 Technical Reference Manual».

7.2.3 MPU. CPU0.PMU, CPU1.PMU

PMU (Performance Monitoring Unit) — Монитор производительности ядра MPU. Блок PMU содержит 6 аппаратных счётчиков, которые позволяют собирать статистику операций процессора. Каждый из счётчиков можно настроить на подсчёт любого из 58 определённых событий ядра. Управление блоком PMU производится либо через Debug APB, либо через команды сопроцессора CP15.

Подробнее см. в «Cortex-A9 Technical Reference Manual».

7.2.4 MPU. PTM0, PTM1

PTM (Program Trace Macrocell) - в реальном режиме времени выполняет трассировку инструкций ядра процессора. Трасса, генерируемая блоком PTM, позволяет отладчику восстановить ход программы ядра.

Подробнее см. в «CoreSight PTM-A9 Technical Reference Manual».

7.2.5 MPU. СТИ0, СТИ1

СТИ0 осуществляет подключение аппаратных сигналов отладки между CPU0 и PTM0.

СТИ1 осуществляет подключение аппаратных сигналов отладки между CPU1 и PTM1.

Блоки СТИ0 и СТИ1 через блок СТИ подключаются к внешней для MPU части системы отладки. На следующем рисунке показаны соединения блока СТИ0 (для СТИ1 аналогично):

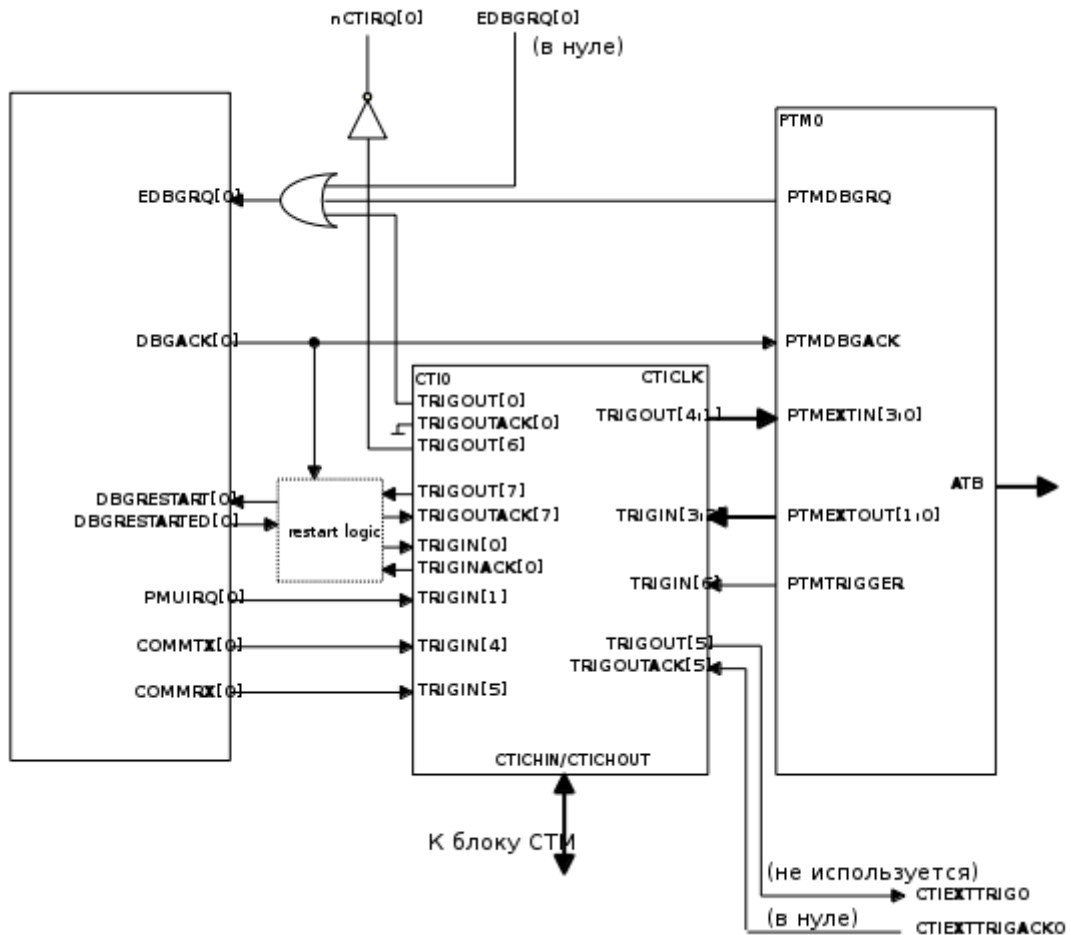


Рисунок 7.11. Соединение сигналов СТИ для MPU.CPU0

Подробнее см. в «CoreSight PTM-A9 Technical Reference Manual».

7.3 Подсистема DSP

Верхний уровень подсистемы отладки DSP можно представить следующим образом:

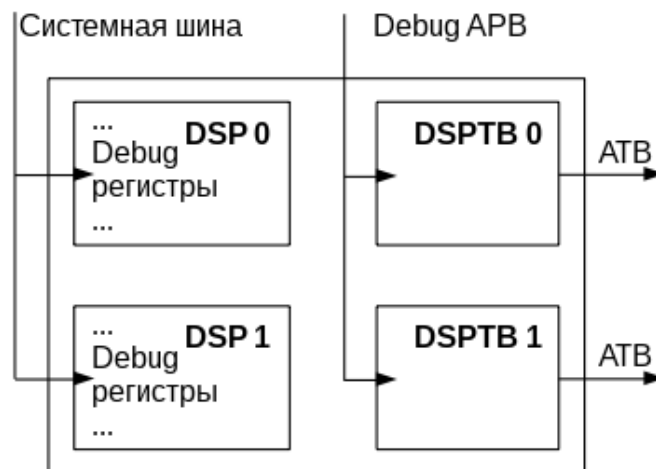


Рисунок 7.12. Подсистема отладки DELcore-30M

Непосредственно отладка DSP осуществляется через отладочные регистры, которые доступны только с системной шины и не доступны с выделенной шины отладки.

Блоки DSPTB (DSP Trace Block) генерируют трассу ATB, соответствующую ходу выполнения программы DSP ядер. Настройка блоков производится через Debug APB*

* Внимание! Для того, чтобы успешно выполнять пересылки на шине Debug APB с устройствами DSPTB необходимо включить частоту всего блока DSP.

7.3.1 DSPTB — генератор трассы DSP

DSPTB генерирует *трассу* программы DSP. Трасса - это поток 32 разрядных слов, в которых упакованы *сообщения трассы*. В *сообщениях трассы* закодирована информация о ходе выполнения программы DSP. *Сообщение трассы* представляет из себя код сообщения и следующую за ним дополнительную информацию.

На следующем рисунке показана структурная схема блока DSPTB:

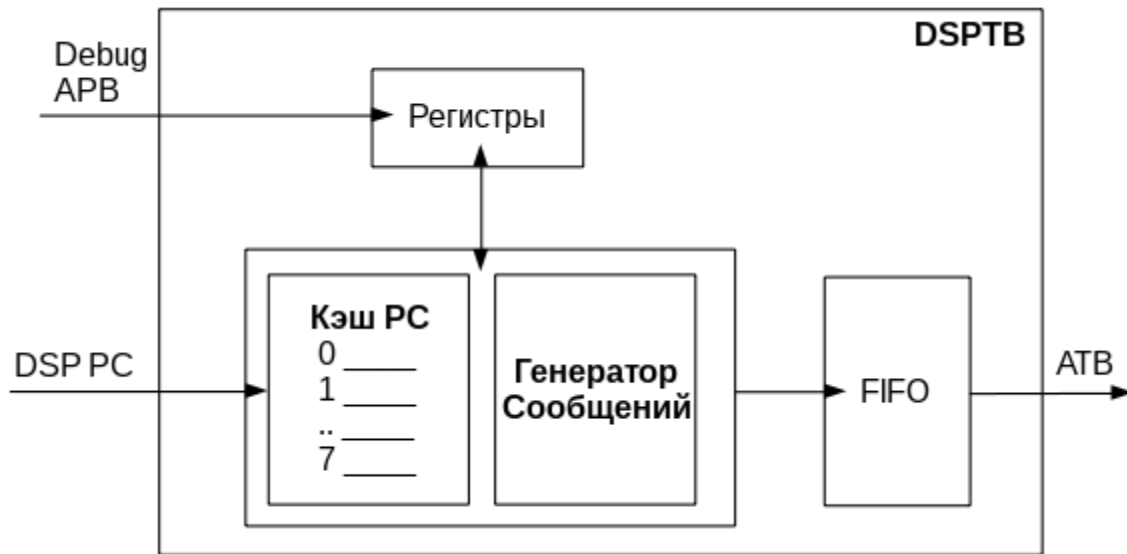


Рисунок 7.13. Структурная схема DSPTB

Генератор сообщений анализирует изменение адреса инструкции DSP (PC) и формирует соответствующие сообщения трассы. Генератор накапливает/упаковывает сообщения в 32-х разрядные слова, которые затем помещаются в FIFO. FIFO является источником трассы для шины ATB. Адреса инструкций переходов программы DSP записываются в Кэш PC. Кэш PC — циклический буфер, позволяет сохранить до восьми переходов.

7.3.2 Сообщения трассы DSPTB

В следующей таблице приведены сообщения трассы DSP:

Таблица 7.3. Сообщения трассы DSP

Код сообщения	Доп. информация	Описание
1'b0	-	Программа выполняется последовательно.
3'b001	3 разряда номера ячейки в Кэш PC	Программа совершила переход, адрес есть в Кэш PC
3'b011	32 разряда адреса	Программа совершила переход, адреса нет в Кэш PC
3'b101	-	Маркер переполнения FIFO.
3'b111	-	Маркер конца трассы.

Накопление слова трассы и генерация сообщений происходит следующим образом:

Первое сообщение трассы после запуска — сообщение с кодом 3'b011 и адресом первой инструкции DSP. Сообщения начинают накапливаться/упаковываться в 32-х разрядные слова.

Если PC меняется на 4 или на 8, считается, что программа выполняется последовательно, к накопленному слову добавляется 1 бит — 1'b0.

Если PC изменяется более чем на 8, считается что произошёл программный переход. Если новый PC присутствует в Кэше PC, к накопленному слову прибавляется 6 бит (3-битный код - 3'b001 и 3-битный номер ячейки в Кэше PC). Если нового PC нет в Кэше PC, то к

накопленному слову прибавляется 35 бит (3-битный код 3'b011 и 32 бита PC), новый PC записывается в Кэш PC, замещая при этом самую старую ячейку Кэша PC.

Если в момент формирования нового слова, в FIFO трассы нет места для нового слова, будет сформирован маркер переполнения FIFO (код 3'b101). Генерация сообщений будет приостановлена и возобновится после того, как в FIFO появится свободное место, до этого момента изменения PC учитываться не будут.

Если во время формирования трассы поступает запрос на остановку DSPTB, в слово трассы добавляется маркер конца трассы (код 3'b111) и генерация новых сообщений прекращается. После того как полностью освободится FIFO трассы, DSPTB останавливает работу.

На следующем рисунке показан пример генерации и накопления сообщений для программы DSP:

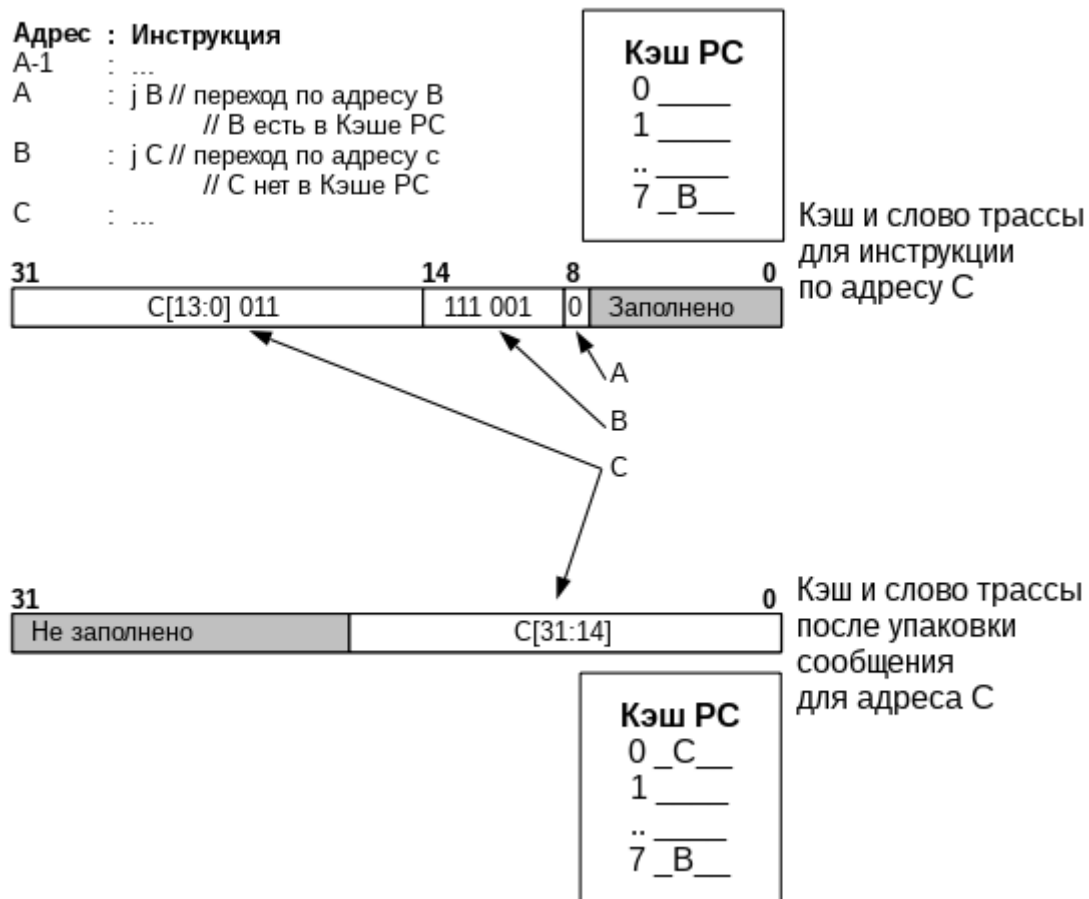


Рисунок 7.14. Пример упаковки сообщений в слова трассы

7.3.3 Регистры DSPTB

Доступ к регистрам DSPTB осуществляется через шину Debug APB.

Размер области памяти занимаемой регистрами DSPTB — 4 Кбайта.

В следующей таблице приведён список регистров DSPTB и их смещения:

Таблица 7.4. Список регистров DSPTB

Сокращённое название	Смещение	Разрядность	Состояние по сбросу	Тип	Название
TC_DSP_CSR	0x000		0x00000000	RW	Регистр управления
TC_DSP_IDR	0x004		0x00000000	RW	Регистр идентификатора
-	0x008-0xEFC	-	-	-	Зарезервировано
Регистры Coresight					
ITCTRL	0xF00	1	0x0	RO	Integration Mode Control Register
-	0xF04-0xF9C	-	-	-	Зарезервировано
CLAIMSET	0xFA0	4	0x0	RO	Claim Tag Set Register
CLAIMCLR	0xFA4	4	0x0	RO	Claim Tag Clear Register
-	0xFA8-0xFAC	-	-	-	Зарезервировано
LAR	0xFB0	32	0x00000000	RO	Lock Access
LSR	0xFB4	3	0x0	RO	Lock Status
AUTHSTATUS	0xFB8	8	0x00	RO	Authentication status
-	0xFBC-0xFC4	-	-	-	Зарезервировано
DEVID	0xFC8	8	0x00	RO	Device ID (Device Configuration)
DEVTYPE	0xFCC	8	0x03	RO	Device Type Identifier
PIDR4	0xFD0	8	0x07	RO	Peripheral ID4
PIDR5	0xFD4	8	0x00	RO	Peripheral ID5
PIDR6	0xFD8	8	0x00	RO	Peripheral ID6
PIDR7	0xFDC	8	0x00	RO	Peripheral ID7
PIDR0	0xFE0	8	0x00	RO	Peripheral ID0
PIDR1	0xFE4	8	0x70	RO	Peripheral ID1
PIDR2	0xFE8	8	0x0E	RO	Peripheral ID2
PIDR3	0xFEC	8	0x00	RO	Peripheral ID3
CIDR0	0xFF0	8	0x0D	RO	Component ID0
CIDR1	0xFF4	8	0x90	RO	Component ID1
CIDR2	0xFF8	8	0x05	RO	Component ID2
CIDR3	0xFFC	8	0xB1	RO	Component ID3

Поля регистров и их описания приведены ниже.

Таблица 7.5. Регистр TC_DSP_CSR

Поле	Биты	Описание
RESERVED	31:3	Зарезервировано
CLR	2	Очистка блока. Сбрасывает содержимое Кэша РС и последнее накопленное 32-х разрядное слово трассы
STOP	1	Запрос на завершение формирования трассы
RUN	0	Запуск/пауза формирования трассы

Таблица 7.6. Регистр TC_DSP_IDR (0x004), RW

Поле	Биты	Описание
RESERVED	31:7	Зарезервировано
ID	6:0	Идентификатор источника трассы. Идентификатор является атрибутом пересылки на шине ATB. Необходимо настроить значение идентификатора до того, как будет запущена генерация трассы. Значения 0x00, 0x70-0x7F - зарезервированы. Идентификатор трассы нужен для разбора объединённого потока трассы от нескольких источников

Подробнее о CoreSight регистрах см. в разделе «CoreSight регистры»

7.4 Карта памяти Debug APB

Под каждое устройство отладки на шине Debug APB выделена область памяти размером от 4 Кбайт. В следующей таблице указаны адреса устройств отладки и трассы на шине Debug APB:

Таблица 7.7. Адреса устройств шины Debug APB

Смещение адреса	Компонент
0x0000_0000	CSSYS.ROM (DAP.ROM)
0x0000_1000	CSSYS.ETF
0x0000_2000	CSSYS.CTI
0x0000_3000	CSSYS.TPIU
0x0000_4000	CSSYS.Funnel
0x0000_5000	CSSYS.STM
0x0000_6000	CSSYS.ETR
-	-
0x0000_8000	DELCORE.DSPTB0
0x0000_9000	DELCORE.DSPTB1
-	-
0x0010_0000	MPU.ROM
0x0010_1000-0x10_F000	-
0x0011_0000	MPU.CPU0.DEBUG
0x0011_1000	MPU.CPU0.PMU
0x0011_2000	MPU.CPU1.DEBUG
0x0011_3000	MPU.CPU1.PMU
0x0011_4000	-
0x0011_5000	-
0x0011_6000	-
0x0011_7000	-
0x0011_8000	MPU.CTI0
0x0011_9000	MPU.CTI1
0x0011_A000	-
0x0011_B000	-
0x0011_C000	MPU.PTM0
0x0011_D000	MPU.PTM1

При доступе со стороны внешнего отладчика адрес обращения к компоненту вычисляется так:

0x0000_0000 + смещение компонента.

При доступе со стороны системного ПО адрес компонента вычисляется так:

базовый адрес системы отладки в системной памяти + смещение компонента.

7.5 Архитектура CoreSight

В данном разделе приведён обзор архитектуры CoreSight. Более детальную информацию можно найти в «CoreSight Architecture Specification».

Подразумевается, что все устройства отладки подключены к выделенной шине отладки Debug APB. Регистры каждого из устройств отображаются в определённую область памяти на шине Debug APB.

Структура регистров устройства подключённого к Debug APB зависит от класса устройства. Выделяют следующие классы устройств:

Системный компонент. Этот класс используется для компонентов не связанных с системой CoreSight. Для такого устройства должны быть определены только регистры PIDR и CIDR. Компонент CoreSight. Для такого компонента кроме регистров PIDR и CIDR должен быть дополнительно определен набор управляющих регистров CoreSight.

Таблица ROM. Является компонентом CoreSight, который содержит список всех CoreSight устройств доступных с шины Debug APB.

Класс устройства можно определить, считав регистры CIDR3-0.

7.5.1 CoreSight регистры

Каждому из компонентов CoreSight требуется минимум 4 килобайта адресного пространства. Эта область памяти имеет предопределённую структуру регистров. В том случае, если компоненту требуется больше 4 килобайт, тогда предопределённые регистры должны быть размещены в самом верхнем блоке 4 Кбайт, блоке с наибольшими адресами.

В следующей таблице приведена карта памяти CoreSight компонента размером в 4Кбайта:

Таблица 7.8. Карта памяти CoreSight устройства (4Кбайта)

Смещение	Тип	Байт 3	Байт 2	Байт 1	Байт 0	Название	Комментарий	
0x000-0xEFC	RW						Определяется компонентом	
0xF00	RW	SBZ	SBZ	SBZ	Только бит 0	ITCTRL	Integration Mode Control	
0xF04-0xF9C	-	SBZ	SBZ	SBZ	SBZ	-	Зарезервировано	
0xFA0	RW	Определяется компонентом					CLAIMSET	Claim Tag Set Register
0xFA4	RW	Определяется компонентом					CLAIMCLR	Claim Tag Clear Register
0xFA8-0xFAC	-	SBZ	SBZ	SBZ	SBZ	-	Зарезервировано	
0xFB0	WO	Определяется компонентом					LAR	Lock Access
0xFB4	RO	SBZ	SBZ	SBZ	Только биты 2-0	LSR	Lock Status	
0xFB8	RO	SBZ	SBZ	SBZ	STATUS	AUTHSTATUS	Authentication status	

Смещение	Тип	Байт 3	Байт 2	Байт 1	Байт 0	Название	Комментарий
0xFBC- 0xFC4	-	SBZ	SBZ	SBZ	SBZ	-	Зарезервировано
0xFC8	RO	Определяется компонентом				DEVID	Device ID
0xFCC	RO	SBZ	SBZ	SBZ	TYPE	DEVTYPE	Device Type Identifier
0xFD0	RO	SBZ	SBZ	SBZ	PID4	PIDR4	Peripheral ID4
0xFD4	RO	SBZ	SBZ	SBZ	PID5	PIDR5	Peripheral ID5
0xFD8	RO	SBZ	SBZ	SBZ	PID6	PIDR6	Peripheral ID6
0xFDC	RO	SBZ	SBZ	SBZ	PID7	PIDR7	Peripheral ID7
0xFE0	RO	SBZ	SBZ	SBZ	PID0	PIDR0	Peripheral ID0
0xFE4	RO	SBZ	SBZ	SBZ	PID1	PIDR1	Peripheral ID1
0xFE8	RO	SBZ	SBZ	SBZ	PID2	PIDR2	Peripheral ID2
0xFEC	RO	SBZ	SBZ	SBZ	PID3	PIDR3	Peripheral ID3
0xFF0	RO	SBZ	SBZ	SBZ	0x0D	CIDR0	Component ID0
0xFF4	RO	SBZ	SBZ	SBZ	Класс компонента	CIDR1	Component ID1
0xFF8	RO	SBZ	SBZ	SBZ	0x05	CIDR2	Component ID2
0xFFC	RO	SBZ	SBZ	SBZ	0xB1	CIDR3	Component ID3

Запись SBZ (Should Be Zero) в таблице означает, что ПО должно записывать в эти поля нули.

Из таблицы видно, что под специфичные для компонента регистры выделена область адресов 0x000 — 0xEFC. Остальные регистры — стандартные регистры CoreSight. Рекомендуется управляющие регистры размещать с адреса 0x000 и далее в порядке увеличения адреса. Регистры используемые для целей интеграции размещаются с адреса 0xEFC и далее в порядке уменьшения адреса.

Особенности зарезервированных областей:

При чтении из зарезервированных областей должны возвращаться нули.

Записи в зарезервированные области должны игнорироваться.

ПО не должно производить записи в зарезервированные области.

При записи в регистры с зарезервированными полями ПО должно сохранять значение этих разрядов (полученное при чтении этих разрядов).

Под регистры управления CoreSight зарезервированы адреса 0xF00-0xFCC. Любое чтение из регистров, которые не реализованы, должно возвращать ноль, а записи должны игнорироваться.

7.5.1.1 Регистры CIDR3-CIDR0 (0xFF0-0xFFC)

Считав значение этого регистра ПО может определить класс компонента, с которым работает.

Таблица 7.9. Регистры CIDR3-CIDR0 (Component ID Register), RO

Регистр	Смещение	Биты*	Поле	Значение	Описание
CIDR3	0xFFC	[7:0]	PRMBL 3	0xB1	Component ID3.
CIDR2	0xFF8	[7:0]	PRMBL 2	0x05	Component ID2.
CIDR1	0xFF4	[7:4]	CLASS	-	Component ID1. Класс компонента. Кодировка значений поля: 0x0-Зарезервировано. 0x1-ROM таблица. 0x2-0x8 Зарезервировано. 0x9-Компонент CoreSight. 0xA-0xE Зарезервировано. 0xF-Системный компонент.
		[3:0]	PRMBL 1	0x0	Component ID1.
CIDR0	0xFF0	[7:0]	PRMBL 0	0x0D	Component ID0.

*Биты [31:8] этих регистров зарезервированы и должны быть в нуле.

7.5.1.2 Регистры PIDR7-PIDR0 (0xFD0-0xFEC)

Регистры PIDR* позволяют однозначно идентифицировать компонент.

Таблица 7.10. Регистры PIDR7-PIDR0 (Peripheral Identification Register), RO

Регистр	Смещение	Биты	Поле	Значение	Описание
PIDR7	0xFDC	[7:0]	-	0x00	Зарезервировано.
PIDR6	0xFD8	[7:0]	-	0x00	Зарезервировано.
PIDR5	0xFD4	[7:0]	-	0x00	Зарезервировано.
PIDR4	0xFD0	[7:4]	SIZE	-	Определяет количество блоков в 4 Кбайта, которое занимает компонент: 0-4 Кбайта 1-8 Кбайт 2-16 Кбайт 3-32 Кбайт ...
		[3:0]	DES 2	-	JEP106 continuation code.
PIDR3	0xFEC	[7:4]	REVAND	-	RevAnd. Указывает на незначительные исправления специфичные для проекта. Обычно в нуле.
		[3:0]	CMOD	-	Customer Modified. Если компонент является IP блоком, это поле указывает на то, было ли изменено поведение компонента пользователем. Обычно в нуле.
PIDR2	0xFE8	[7:3]	REVISION	-	Номер ревизии компонента. Инкрементируемая величина, начальное значение ноль.
		[3]	JEDEC	1	Всегда в единице. Указывает на то, что для идентификации используется JEP106.
		[2:0]	DES 1	-	JEP106 identification code[6:4]
PIDR1	0xFE4	[7:4]	DES 0	-	JEP106 identification code[3:0]

Регистр	Смещение	Биты	Поле	Значение	Описание
		[3:0]	PART_1	-	Разряды [11:8] номера компонента (Part Number), который присваивается разработчиком.
PIDR0	0xFE0	[7:0]	PART_0	-	Разряды [7:0] номера компонента (Part Number), который присваивается разработчиком.

DES_2, DES_1, DES_0

Поля DES_2, DES_1, DES_0 позволяют определить идентификатор разработчика компонента. Идентификатор указывает на разработчика компонента, а не на имплементатора. В качестве идентификатора используется код JEP106. Код присваивается разработчику организацией JEDEC (www.jedec.org) и представляет из себя строку, состоящую из нуля или нескольких чисел 0x7F и последующего за ними 8-ми разрядного числа отличного от 0x7F (8-ой разряд — разряд чётности).

Например, код JEP106 для компании ARM: 0x7F 0x7F 0x7F 0x7F 0x3B:

Тогда DES_1, DES_0 — это последние 7 разрядов кода JEP106 (для ARM'a — 0x3B).

DES_2 возвращает число повторов комбинации 0x7F в коде JEP106 (для ARM'a — 0x4).

7.5.1.3 Регистр DEVTYPE (0xFCC)

Регистр содержит информацию о типе устройства, для случая, когда номер компонента (Part Number) неизвестен отладчику.

Таблица 7.11. Регистр DEVTYPE (Device Type Identifier Register), RO

Поле	Биты	Значение по сбросу	Описание
RESERVED	31:8	-	Зарезервировано
SUB	7:4		Подтип устройства.
MAJOR	3:0		Тип устройства.

Таблица 7.12. Расшифровка значение полей MAJOR и SUB регистра DEVTYPE

MAJOR		SUB	
Значение	Описание	Значение	Описание
0x0	Разное	0x0	Другое
		0x1-0x3	Зарезервировано.
		0x4	Компонент валидации.
		0x5-0xF	Зарезервировано.
0x1	Trace sink	0x0	Другое
		0x1	Порт трассы (например, TPIU)
		0x2	Буфер (например, ETB)
		0x3-0xF	Зарезервировано.
0x2	Trace link	0x0	Другое
		0x1	Сборщик трассы(Trace funnel), роутер
		0x2	Фильтр
		0x3	FIFO, большой буфер.

MAJOR		SUB	
0x3	Источник трассы	0x4-0xF	Зарезервировано
		0x0	Другое
		0x1	Связан с ядром процессора
		0x2	Связан с ядром DSP
		0x3	Связан с сопроцессором или блоком обработки данных?? (Data Engine)
		0x4	Связан с шиной, инициируется активностью на шине
		0x5-0xF	Зарезервировано
0x4	Управление отладкой	0x0	Другое
		0x1	Триггерный блок (например, ECT)
		0x2	Блок управления аутентификацией.
		0x3-0xF	Зарезервировано
0x5	Отладочная логика	0x0	Другое
		0x1	Ядро процессора
		0x2	DSP
		0x3	Сопроцессор или блок обработки данных?? (Data Engine)
		0x4-0xF	Зарезервировано
0x6-0xF	Зарезервировано.	-	-

7.5.1.4 Регистр DEVID (0xFC8)

Назначение полей и разрядов регистра определяется реализацией компонента.

В этом регистре должны отображаться возможности/свойства компонента. Неиспользуемые разряды должны считываться как 0. Если компонент конфигурируемый, рекомендуется, чтобы это регистр отражал все изменения относительно стандартной конфигурации.

Таблица 7.13. Регистр DEVID (Device Configuration Register), RO

Поле	Биты	Значение по сбросу	Описание
-	31:0	-	Роль и значение разрядов определяется реализацией компонента

7.5.1.5 Регистр AUTHSTATUS (0xFB8)

Таблица 7.14. Регистр AUTHSTATUS (Authentication Status Register), RO

Поле	Биты	Значение по сбросу	Описание
RESERVED	31:4	28'b0	Зарезервировано
SNID	3		Secure non-invasive
SID	2		Secure invasive
NSNID	1		Non-secure non-invasive
NSID	0		Non-secure invasive

7.5.1.6 Регистр LSR (0xFB4)

При отладке ПО возможна ситуация, когда отлаживаемое ПО, по ошибке делает запись в область памяти выделенную для системы отладки, что может привести к сбою в работе системы отладки. Для предотвращения случайного доступа (снижения его вероятности) к

регистрам отладки используется схема, при которой доступ к системе отладки контролируется регистрами LSR и LAR (механизм программной блокировки через LOCK-регистры). Для того, чтобы получить доступ к компоненту, программный отладчик должен сначала разблокировать компонент, а по завершению работы заблокировать. Когда компонент заблокирован, доступ к регистрам компонента со стороны программного отладчика а вместе с ним и отлаживаемого ПО заблокирован (кроме LAR). Для того, чтобы разблокировать компонент (чтобы проходили записи в его регистры кроме LAR), необходимо записать значение 0xC5ACCE55 в регистр LAR.

Доступ со стороны внешнего отладчика к компоненту не должен управляться через LOCK-регистры. Внешний отладчик должен всегда иметь доступ к компоненту.

Регистр отражает статус программной блокировки компонента. Должен всегда возвращать ноль при чтении, если механизм программной блокировки не реализован.

Таблица 7.15. Регистр LSR (Lock Status Register), RO

Поле	Биты	Значение по сбросу	Описание
RESERVED	31:3	32'b0	Зарезервировано
nTT	2	2'b0	Всегда в нуле. Регистр LAR 32-х разрядный
SLK	1		Статус программной блокировки (Software Lock Status): 0 - Компонент разблокирован. 1 - Компонент заблокирован. Все записи в управляющие регистры игнорируются, чтения допускаются. Если механизм программной блокировки реализован в компоненте, значение по сбросу — 1 (компонент заблокирован)
SLI	0		Программная блокировка поддерживается (Software Lock Implemented) если разряд установлен в 1'b1. Если разряд установлен в 1'b0, то механизм программной блокировки не поддерживается

7.5.1.7 Регистр LAR (0xFB0)

С помощью это регистра производится разблокировка CoreSight компонента. Когда компонент заблокирован не проходят записи в не LOCK-регистры.

Таблица 7.16. Регистр LAR (Lock Access Register), WO

Поле	Биты	Значение по сбросу	Описание
KEY	31:0	32'b0	Запись значения 0xC5ACCE55 в это поле производит разблокировку компонента — разрешает записи в другие регистры компонента. Если в это поле будет записано значение, отличающееся от 0xC5ACCE55, тогда компонент будет заблокирован (доступ по записи не будет проходить)

Если разряд SLI регистра LSR в нуле, тогда этого регистра не существует.

7.5.1.8 Регистр CLAIMCLR (0xFA4)

При совместном доступе нескольких отладчиков к одному компоненту, необходимо координировать их работу. (Например, внешний отладчик и программный пытаются использовать точки останова процессора.) Одним из механизмов координирования является использование регистров CLAIMSET и CLAIMCLR.

В регистр CLAIMSET записывается некоторое значение. Это значение может быть считано и сброшено через регистр CLAIMCLR. Таким образом, отладчики могут обмениваться информацией о занятости необходимого ресурса. Все отладчики должны использовать один и тот же протокол работы с регистрами CLAIM*.

Например, одним из протоколов можете быть следующий:

Отладчик считывает регистр CLAIMCLR

IF (установлен нужный бит)

Ресурс компонента не доступен

ELSE

Отладчик устанавливает необходимый бит через CLAIMSET

Отладчик использует ресурс

Регистр CLAIMCLR используется совместно с регистром CLAIMSET. Позволяет нескольким отладчиками координировать совместный доступ к ресурсам одного компонента.

Таблица 7.17. Регистр CLAIMCLR (Claim Tag Clear Register), R/W

Поле	Биты	Значение по сбросу	Описание
CLR	31:0	32'b0	При чтении возвращает значение, установленное с помощью CLAIMSET. Запись нуля в какой-либо разряд ни на что не влияет. Запись единицы в какой-либо разряд сбрасывает соответствующий разряд в значении, записанном через CLAIMSET

Разряды, которые реально используются, определяются реализацией компонента. Их количество можно узнать, считав регистр CLAIMSET. Если разряд не используется, то записи в него игнорируются, а при чтении возвращается ноль.

7.5.1.9 Регистр CLAIMSET (0xFA0)

Регистр CLAIMSET используется совместно с регистром CLAIMCLR. Позволяет нескольким отладчиками координировать совместный доступ к ресурсам одного компонента.

Таблица 7.18. Регистр CLAIMSET (Claim Tag Clear Register), R/W

Поле	Биты	Значение по сбросу	Описание
SET	31:0	32'b0	Единица, полученная в каком-либо разряде при считывании регистра, указывает, на то, что разряд реализован (поддерживает запись/сброс через регистры CLAIM*). Ноль указывает на то, что разряд не реализован. Запись нуля в какой-либо разряд ни на что не влияет. Запись единицы в какой-либо разряд вызывает установку значения разряда, которое затем может быть считано через регистр CLAIMCLR

Количество разрядов, которое реально используется определяется реализацией компонента. Рекомендуется, чтобы было реализовано минимум 4 разряда. Если работа с регистрами CLAIM* не поддерживается, CLAIMSET при чтении должен всегда возвращать ноль.

7.5.1.10 Регистр ITCTRL (0xF00)

Регистр позволяет осуществлять переключение между *обычным*(функциональным) режимом и режимом *интеграции*. По сбросу компонент должен работать в функциональном режиме. В режиме *интеграции* некоторые аппаратные входы/выходы компонента могут управляться программно (можно считывать и устанавливать их значения). Режим *интеграции* может использоваться для тестов интеграции и во время процедуры *определения топологии* (см. раздел «Определение топологии»). Устанавливая программно выходы одних компонентов и считывая программно входы других компонентов, можно проверить наличие подключения между ними (тесты интеграции). После завершения работы в режиме *интеграции* необходимо произвести сброс системы, чтобы устранить возможное влияние произведенных изменений на работу системы в обычном режиме.

Таблица 7.19. Регистр ITCTRL (Integration Mode control Register), R/W

Поле	Биты	Значение по сбросу	Описание
RESERVED	31:1	31'b0	Зарезервировано
IME	0	1'b0	Включение режима интеграции: 1'b0 — Обычный режим 1'b1 — Режим интеграции

Если поддержка режима *интеграции* не реализована в компоненте, тогда при чтении регистра должен всегда возвращаться ноль.

7.5.2 ROM таблица

ROM таблица — это CoreSight компонент, который содержит список компонентов системы и должен быть во всех системах отладки CoreSight. Отладчик может использовать эту таблицу, для определения адресов всех устройств, которые реализованы в системе отладки.

7.5.2.1 Регистры CIDR3-CIDR0 (0xFF0-0xFFC)

Таблица 7.20. Регистры CIDR3-CIDR0 (Component ID Register), RO

Регистр	Смещение	Биты	Значение	Описание
CIDR3	0xFFC	[7:0]	0xB1	Component ID3
CIDR2	0xFF8	[7:0]	0x05	Component ID2
CIDR1	0xFF4	[7:0]	0x10	Component ID1.
CIDR0	0xFF0	[7:0]	0x0D	Component ID0

7.5.2.2 Регистры PIDR7-PIDR0 (0xF00-0xFEC)

Поле SIZE регистра PIDR4 должно быть в нуле. ROM таблица должна занимать ровно 4 Кбайта.

Для чипов с разной конфигурацией системы отладки, периферийный ID должен быть разным

7.5.2.3 Регистры 0xF00-0xFE0

Регистры в области 0xF00-0xFE0 зарезервированы. При чтении должны возвращаться нули.

7.5.2.4 Элементы/записи ROM таблицы (0x000-0xEFC)

Записи ROM таблицы содержат информацию об адресах компонентов системы, подключённых к шине отладки. Запись ROM таблицы — это 32-х разрядное слово вида:

Таблица 7.21. Формат 32-х разрядного элемента/записи ROM таблицы

Биты	Название	Описание
31:12	comp_offset	Смещение адреса компонента, на который указывает запись. Адрес компонента вычисляется как: $rom_address + (comp_offset \ll 12)$
11:2	-	Зарезервировано
1	format	Формат. 1 — Формат записей в ROM таблице 32-х разрядный. 0 — Формат записей в ROM таблице 8-ми разрядный
0	present	Запись существует. Всегда в 1

Чтение элементов ROM таблицы начинается с адреса 0x000 и производится до тех пор пока не будет считано значение 0x00000000. Значение 0x00000000 - зарезервированное значение, которое является признаком конца списка адресов компонентов.

7.5.3 Определение топологии

В общем случае топология/структура системы отладки может быть изначально неизвестна внешнему отладчику. В архитектуре CoreSight определена процедура *определения топологии*, которая теоретически позволяет отладчику незнакомому с отлаживаемой системой, автоматически определить её структуру.

Процедура определения топологии выполняется следующим образом:

Отладчик считывает корневую ROM таблицу DAP. Адрес таблицы ROM на шине Debug APB — 0x0. В этой таблице прописаны адреса всех устройств подключённых к шине отладки.

Зная адреса устройств и их типы, отладчик переводит их в режим *интеграции*. В этом режиме отладчик может программно управлять входами и выходами компонентов. Установив выходной сигнал какого-то из компонентов, отладчик считывает значения входных сигналов других компонентов. Таким образом отладчик может определить, как компоненты соединены между собой.

7.5.4 Доступ со стороны внешнего и программного отладчика

Компоненты системы отладки подключены к выделенной шине отладки Debug APB. Каждому из компонентов выделено от 4-х Кбайт адресного пространства на этой шине.

Адрес шины Debug APB 32-х разрядный, но старший 31-й разряд имеет особое значение (нумерация разрядов с нуля), поэтому можно адресовать до двух Гбайт вместо четырёх. На основе 31-го разряда адреса компонент может определить, какой доступ к нему осуществляется:

31-ый разряд в единице — доступ со стороны внешнего отладчика

31-ый разряд в нуле — доступ со стороны программного отладчика

При обращениях со стороны программного отладчика 31-ый разряд адреса всегда принудительно зануляется в блоке DAP. При обращениях со стороны внешнего отладчика 31-ый разряд адреса передаётся неизменным. Т.е. внешний отладчик может установить 31-ый разряд в ноль и тем самым эмулировать доступ со стороны программного отладчика. Большинство компонентов используют это свойство для реализации механизма программной блокировки доступа (см. LOCK-регистры LSR, LAR).

7.5.5 Шина трассы АТВ

Подробнее о шине трассы смотрите в документе «AMBA ATB Protocol Specification».

7.5.6 СТИ, СТМ - Обмен сигналами между компонентами системы

Определённые события в системе отладки (например, останов сбора трассы, заполнение буфера трассы и др.) могут передаваться на один или несколько управляющих сигналов других компонентов системы (например, запрос входа в режим отладки CPU). Распространение этих сигналов программируется через блоки СТИ (Cross Trigger Interface).

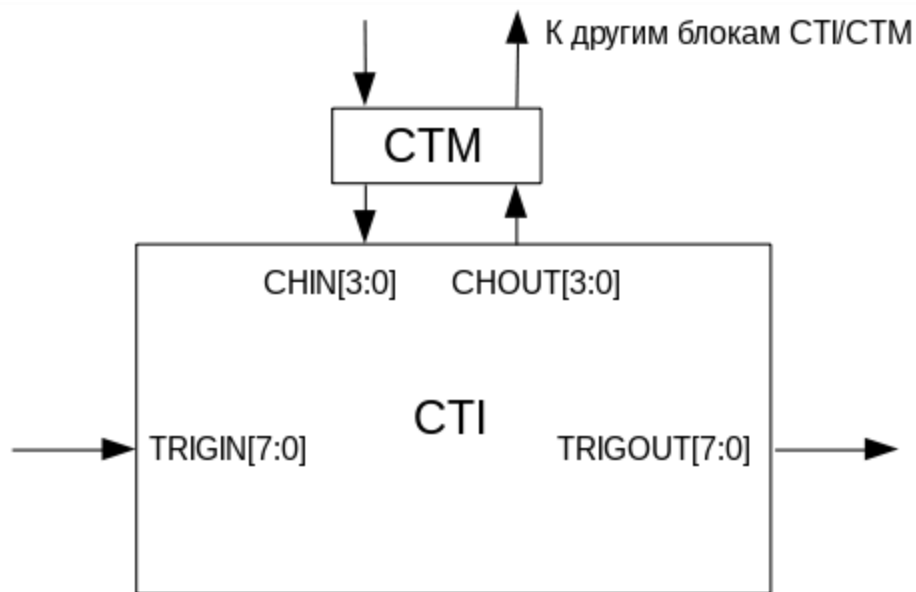


Рисунок 7.15. СТИ — верхний уровень

Блок СТИ обеспечивает распространение и коммутацию аппаратных сигналов отладки. Любой из сигналов, подключённых ко входам TRIGIN[7:0], можно программно скоммутировать с любым из выходов TRIGOUT[7:0]. К портам TRIGIN/TRIGOUT подключены локальные сигналы отладки.

Входной порт CHIN[3:0] и выходной порт CHOUT[3:0] через блок СТМ подключены к внешней части системы отладки.

Любой из сигналов, подключённых ко входам CHIN[3:0], можно программно скоммутировать с любым из сигналов TRIGOUT[7:0]. Таким образом, аппаратные сигналы из внешней системы отладки через СТМ, а затем CHIN могут быть переданы в локальную область.

Любой из сигналов, подключённых ко входам TRIGIN[7:0], можно программно скоммутировать с любым из сигналов CHOUT[3:0]. Таким образом, локальные аппаратные сигналы отладки могут быть переданы во внешнюю область системы отладки.

7.6 Дополнительные источники информации.

Наиболее полную информацию о системе отладки CoreSight можно найти в следующих документах:

1. «CoreSight ArchitectureSpecification».
2. «CoreSight Components Technical Reference Manual».
3. «Cortex-A9 Technical Reference Manual».
4. «CoreSight PTM-A9 Technical Reference Manual».
5. «ARM Architecture Reference Manual ARMv7-A and ARMv7-R edition».
6. «CoreSight System Trace Macrocell».
7. «CoreSight Trace Memory Controller».
8. Часть документации находится в свободном доступе по адресу <http://infocenter.arm.com>.

8. СИСТЕМНЫЙ DMA КОНТРОЛЛЕР (SDMA)

Настоящий раздел содержит информацию об AXI DMA контроллере шины L0_COMM (далее - шины AXI) SDMA.

8.1 Общее описание SDMA

SDMA - устройство шины AXI, позволяющее автоматически (без постоянного вмешательства CPU) выполнять пересылки данных между заданными устройствами шины. Структурная схема SDMA и пример работы показаны на рисунке ниже:

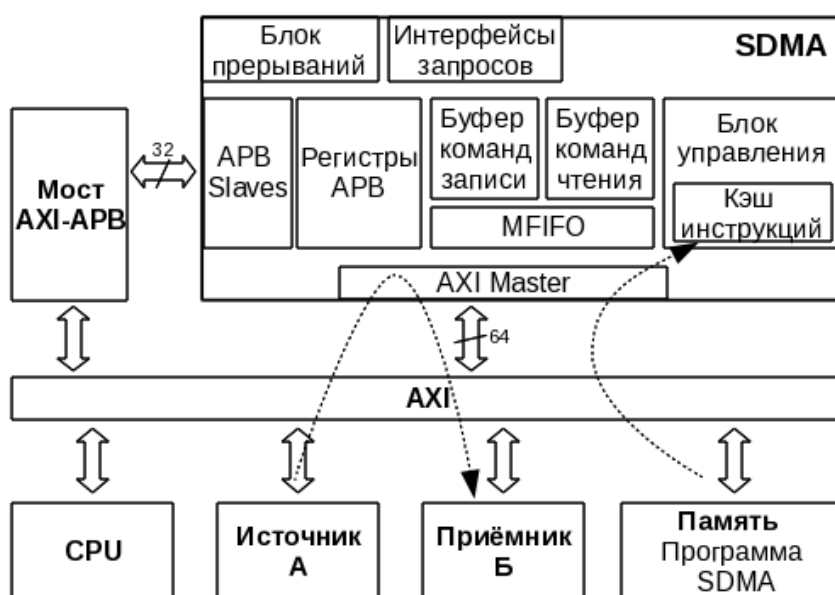


Рисунок 8.1. Структура SDMA

SDMA читает данные из *Источника А*, сохраняет их в MFIFO, затем берет данные из MFIFO и записывает их в *Приёмник Б*.

Источник — устройство, доступное с шины AXI, из которого SDMA читает данные. *Приёмник* — устройство, доступное с шины AXI, в которое SDMA производит запись данных. Обращения к *Источнику/Приёмнику* производятся через ведущий (мастер) порт AXI.

Адрес *Источника*, *Приёмника*, количество данных и т.д. определяются программой, выполняемой контроллером SDMA. Программа SDMA, предварительно загруженная в определённую область памяти, считывается контроллером SDMA через ведущий порт AXI и сохраняется в кэше инструкций.

Через аппаратные интерфейсы запросов SDMA может взаимодействовать с периферийными устройствами. Например, программа SDMA может ожидать появления аппаратного сигнала готовности к пересылке со стороны периферии (*Источника* или *Приёмника*). Замечание. В данной реализации интерфейсы запросов не используются.

Интерфейс прерываний отвечает за формирование сигналов прерываний. Например, программа SDMA может устанавливать сигналы прерываний.

SDMA имеет два ведомых порта APB. Через эти порты осуществляется доступ к регистрам SDMA. *В данной реализации SDMA используется только защищённый APB интерфейс.*

SDMA позволяет одновременно обрабатывать до 8-ми программных потоков команд (*потоков каналов*). Для каждого *потока канала* в SDMA имеется отдельный набор регистров (регистр адреса источника, регистр адреса приёмника, адрес текущей инструкции и другие). Кроме 8-ми потоков каналов в SDMA существует отдельный поток управления. Поток управления позволяет запускать и останавливать потоки каналов.

Основные параметры:

1. Количество каналов — 8.
2. Разрядность порта AXI — 64 разряда.
3. Глубина MFIFO — 128 строк.
4. Глубина очереди чтения — 8 инструкций чтения.
5. Количество отложенных AXI чтений — 4.
6. Глубина очереди записи — 8 инструкций записи.
7. Количество отложенных AXI записей — 4.
8. Количество сигналов прерываний — 16.

8.2 Состояния SDMA

В процессе работы SDMA может находиться и переходить в следующие состояния:

1. Остановлен (Stopped).
2. Выполнение (Executing).
3. Пропуск кэша (Cache miss).
4. Обновление PC (Updating PC).
5. Ожидание события (Waiting for event).
6. Барьер (At barrier).
7. Ожидание периферии (Waiting for peripheral).
8. Уничтожение (Killing).
9. Завершение (Completing).
10. Завершение при сбое (Faulting completing).
11. Сбой (Faulting).

На рисунке показаны состояния, в которых могут находиться *поток управления и потоки каналов*. Для каждого потока существует отдельный автомат состояний.

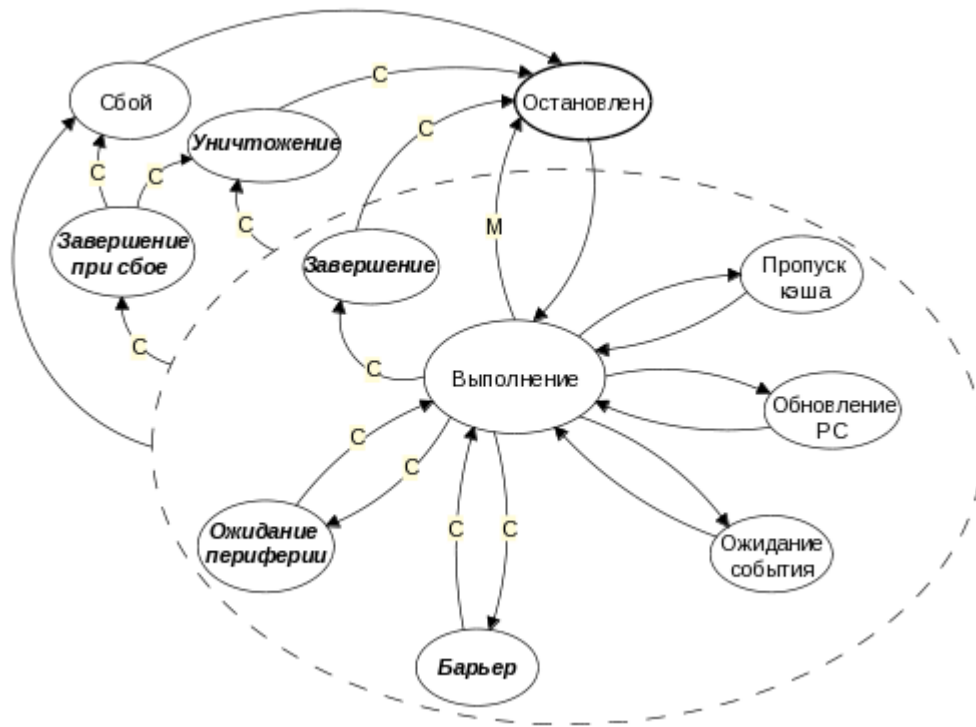


Рисунок 8.2. Состояния SDMA

Примечания:

1. Состояния, обозначенные **жирным курсивом**, выполняются только автоматами *потоков каналов*.
2. Переходы, отмеченные символом «С», выполняются только *потоками каналов*.
3. Переходы, отмеченные символом «М», выполняются только *поток управления*.
4. Неотмеченные переходы выполняются как *поток управления*, так и *потоками каналов*.
5. Из состояний, обведённых штриховой линией, возможны переходы в состояния «Завершение при сбое», «Сбой», «Уничтожение».

По сбросу все *потоки каналов* переходят в состояние «Остановлен».

Состояние *потока управления* по сбросу определяется входом `boot_from_pc`:

- `boot_from_pc = 0` — *поток управления* переходит в состояние «Остановлен»;
- `boot_from_pc = 1` — *поток управления* переходит в состояние «Выполнение».

8.2.1 Остановлен (Stopped)

РС потока недостоверен, выборка инструкций не производится.

Для того, чтобы перевести *поток управления* в состояние «Выполнение» необходимо произвести сброс (aresetn в 0) с установленным boot_from_pc (1), а затем снять сигнал сброса (перевести aresetn в 1).

Чтобы перевести *поток канала* в состояние «Выполнение», необходимо выполнить команду DMAGO из *потока управления*.

8.2.2 Выполнение (Executing)

РС потока достоверен. Поток включается в схему арбитража.

Из состояния «Выполнение» возможны переходы в следующие состояния:

1. «Остановлен» - После выполнения *потокком управления* команды DMAEND.
2. «Пропуск кэша» - Если в кэше инструкций отсутствует следующая инструкция *для потока управления или потока канала*.
3. «Обновление РС» - SDMA вычисляет адрес следующей инструкции в кэше.
4. «Ожидание события» - Выполнение инструкции DMAWFE.
5. «Барьер» - Либо выполняются команды DMARMB, DMAWMB, DMAFLUSHP, либо обновление регистров SAR, DAR, CCR с помощью DMAMOV.
6. «Ожидание периферии» - Выполнение инструкции DMAWFP.
7. «Уничтожение» - Выполнение инструкции DMAKILL.
8. «Завершение» - Выполнение *потокком канала* инструкции DMAEND.
9. «Завершение при сбое» - Попытка выполнения *потокком канала* неопределённой или неразрешённой инструкции, или же ошибка AXI при считывании инструкции или передаче данных *потокком канала*.
10. «Сбой» (Faulting) — Для *потока управления*: попытка выполнить неопределённую или неразрешённую инструкцию, ошибка на шине AXI при попытке чтения инструкции. Для *потока канала*: срабатывание *сторожа блокировки*.

8.2.3 Пропуск кэша (Cache miss)

Поток приостанавливается, SDMA заполняет кэш. После завершения заполнения кэша поток переходит в состояние «Выполнение».

8.2.4 Обновление PC (Updating PC)

SDMA вычисляет адрес следующей инструкции в кэше. После вычисления поток переходит в состояние «Выполнение».

8.2.5 Ожидание события (Waiting for event)

Поток останавливается и ожидает, пока SDMA выполнит команду DMASEV с заданным номером события. После того, как заданное событие произойдет, поток перейдет в состояние «Выполнение».

8.2.6 Барьер (At barrier)

Поток канала приостанавливается и SDMA ожидает завершения транзакций AXI. После завершения AXI транзакций поток канала возвращается в состояние «Выполнение».

8.2.7 Ожидание периферии (Waiting for peripheral)

Поток канала приостанавливает работу и SDMA ожидает запроса от периферии. После получения данных от периферии канал переходит в состояние «Выполнение».

8.2.8 Уничтожение (Killing)

Поток канала ожидает завершения отложенных транзакций AXI. После завершения поток переходит в состояние «Остановлен».

8.2.9 Завершение (Completing)

Поток канала ожидает завершения отложенных транзакций AXI. После завершения поток переходит в состояние «Остановлен».

8.2.10 Завершение при сбое (Faulting completing)

Поток канала ожидает завершения отложенных транзакций AXI. После завершения поток переходит в состояние «Сбой».

8.2.11 Сбой (Faulting)

Поток находится в состоянии «Сбой» до тех пор, пока не будет переведён в состояние «Остановлен» командой DMAKILL через регистр отладки DBGCMD.

8.3 Аварийное прекращение работы

Существуют два вида аварийных ситуаций (сбоев):

1. «Точный сбой». При точном сбое в регистре счётчика команд Канала(CPCn) содержится адрес инструкции, которая вызвала переход в состояние «Сбой».
2. «Неточный сбой». Регистр счётчика команд Канала(CPCn) содержит адрес некоторой инструкции, но эта инструкция не является причиной перехода в состояние «Сбой».

Источниками «точного сбоя» являются:

1. Попытка канала, работающего в «незащищённом» режиме, настроить регистр CCRn и запустить «защищенную» AXI-транзакцию.
2. Попытка канала, работающего в «незащищённом» режиме, выполнить инструкции DMAWFE или DMASEV для события заданного как «защищённое». «Защищенность» события определяется состоянием статического сигнала boot_irq_ns.
3. Попытка канала выполнить инструкцию DMAST при недостаточном количестве данных в MFIFO (все предыдущие инструкции DMALD были выполнены, но загружено недостаточное количество данных для выполнения DMAST).
4. Попытка канала, работающего в «незащищённом» режиме, выполнить инструкции DMAWFP, DMALDP, DMASTP, DMAFLUSHP для интерфейса запросов заданного как «защищённый». «Защищенность» интерфейса запросов определяется состоянием статического сигнала boot_periph_ns.
5. Попытка потока управления, работающего в «незащищённом» состоянии, запустить «защищённый» поток (см. инструкцию DMAGO).
6. Ошибка при выборке инструкции (AXI отклик, указывающий на наличие ошибки).
7. Попытка выполнения неопределённой инструкции.
8. Попытка потока выполнить инструкцию с операндами недопустимыми для данной аппаратной конфигурации SDMA.

При «точном сбое» вызвавшая сбой инструкция не выполняется. Вместо неё выполняется DMANOP.

Источниками «неточного сбоя» являются:

1. Ошибка AXI при чтении данных (AXI отклик, указывающий на наличие ошибки).
2. Ошибка AXI при записи данных (AXI отклик, указывающий на наличие ошибки).
3. Канал выполняет DMALD/DMAST, но глубина MFIFO меньше размера данных команд DMALD/DMAST.
4. Блокировка SDMA, вызванная нехваткой ресурсов MFIFO, срабатывание *сторожа блокировки*.

Архитектура SDMA не предусматривает автоматического восстановления после «Сбоя». Чтобы остановить канал, перешедший в состояние «Сбой» необходимо использовать внешний агент, например, CPU.

На Рисунок 8.3 показана блок-схема перехода SDMA в состояние «Сбой» и выхода из него:

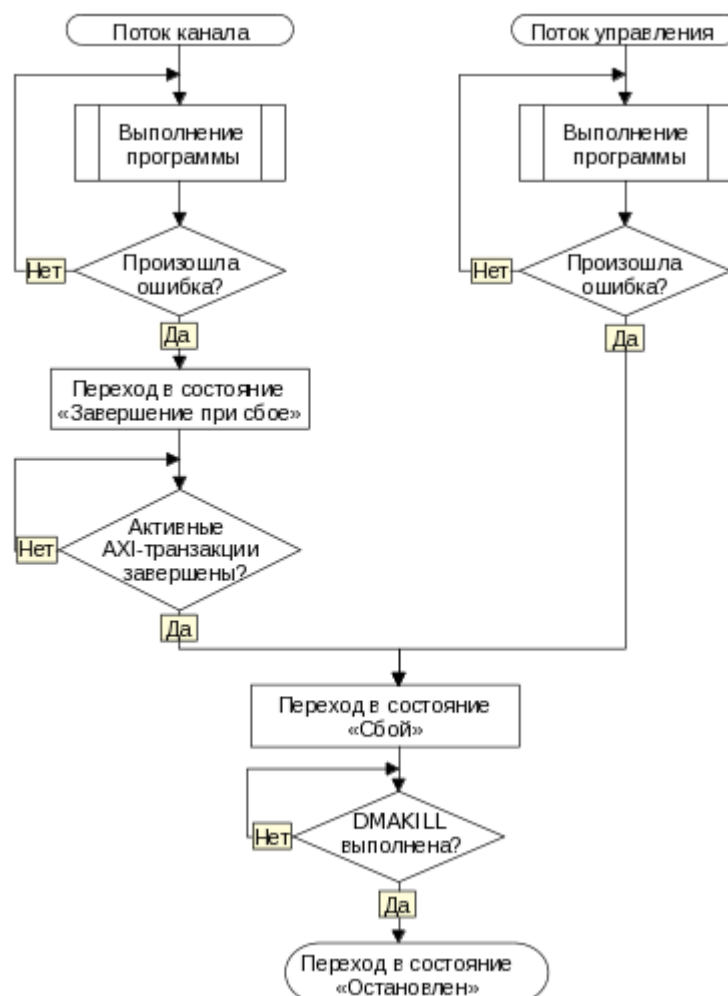


Рисунок 8.3. Переход и выход из состояния «Сбой»

При сбое потока канала:

- поток немедленно переходит в состояние «Завершение при сбое»;
- устанавливается сигнал `irq_abort`;
- останавливается выполнение всех инструкций канала;
- все записи кэша для канала инвалидируются;
- в регистр `CRCPn` записывается адрес инструкции, вызвавшей сбой (только при «точном сбое»);
- AXI-транзакции для инструкций, находящихся в очереди чтений или записей, не выполняются;
- канал ожидает завершения всех активных AXI-транзакций и переходит в состояние «Сбой».

При сбое потока управления:

- поток немедленно переходит в состояние «Сбой»;
- устанавливается сигнал `irq_abort`.

Внешний обработчик может определить переход SDMA в состояние «Сбой» и его причину, считав регистры `FSRD`, `FSRC`, `FTRD` и `FTRn`.

Для того чтобы вывести канал из состояния «Сбой» необходимо в регистр `DBGINST0` загрузить код инструкции `DMAKILL`, а затем произвести запись в регистр `DBGCMD`. После выполнения инструкции `DMAKILL` через отладочные регистры канал перейдёт в состояние «Остановлен».

8.4 Выполнение инструкций через отладочные регистры.

Отладочные регистры (`DBGCMD`, `DBGINST0`, `DBGINST1`) можно использовать для запуска следующих инструкций:

- `DMAGO` - Запуск необходимого канала DMA;
- `DMASEV` - Формирование заданного события или прерывания;
- `DMAKILL` - Уничтожение потока.

Необходимо убедиться, что используется подходящий APB интерфейс в зависимости от состояния защищённости (задаётся сигналом `boot_manager_ns`). Если SDMA находится в защищённом режиме, для запуска инструкций необходимо использовать защищённый APB интерфейс, иначе SDMA проигнорирует инструкцию. Если SDMA находится в незащищённом режиме, для запуска или перезапуск канала можно использовать любой из APB интерфейсов.

После получения инструкции через APB интерфейс SDMA может потребоваться несколько тактов, перед тем как инструкция будет выполнена (если SDMA занят выполнением другой инструкции).

Следующий пример показывает необходимые шаги для запуска DMA канала через отладочные регистры:

1. Создать программу для канала DMA.
2. Загрузить программу в область системной памяти.
3. Считать состояние регистра DBGSTATUS и убедиться, что разряд dbgstatus в нуле (т.е. SDMA не занят выполнением другой отладочной команды).
4. Записать в регистр DBGINST0:
5. Нулевой и первый байты инструкции DMAGO.
6. Установить поле debug_thread в ноль (тем самым выбрав поток управления).
7. Записать в регистр DBGINST1 со 2-го по 5-ый байты инструкции DMAGO (содержат адрес программы канала).
8. Запустить выполнение инструкции, записав ноль в регистр DBGCMD. SDMA запустит поток канала и установит dbgstatus в единицу (см. DBGSTATUS). После завершения инструкции dbgstatus будет сброшен в ноль.

8.5 Совместное использование ресурсов

SDMA помещает инструкции загрузки/сохранения в буфера инструкций чтения/записи, перед тем как запустить соответствующие транзакции на AXI. При выполнении AXI транзакций чтения данные загружаются в разделяемое MFIFO, а при выполнении транзакций записи - выгружаются из него. MFIFO - это FIFO, разделяемое между всеми активными каналами. При программировании MFIFO можно представить как набор параллельных FIFO переменного размера (по одному на канал) с ограничением, что суммарная глубина всех FIFO не должна превышать физического размера MFIFO. Запрещается запускать одновременно несколько каналов, если их требования к памяти превышают физический размер MFIFO. При превышении требований к MFIFO срабатывает *сторож блокировки* и возможен переход в состояние «Сбой».

Для того, чтобы доступ к разделяемому MFIFO осуществлялся корректно, в SDMA реализован аппаратный механизм «захвата загрузок» в MFIFO. Канал, захвативший доступ к загрузкам в MFIFO, может беспрепятственно выполнять инструкции DMALD. Любой другой канал не сможет выполнить инструкцию DMALD до тех пор, пока не захватит доступ к загрузкам в MFIFO сам.

Канал захватывает доступ к загрузкам в MFIFO (устанавливает «блокировку загрузок/load-lock») при одновременном выполнении следующих условий:

1. Канал выполняет инструкции DMALD или DMALDP.
2. Доступ к загрузкам в MFIFO свободен (не захвачен ни одним другим каналом).

Канал освобождает доступ к загрузкам в MFIFO (снимает «блокировку загрузок») при выполнении любого из следующих условий:

1. Канал выполняет инструкции DMAST, DMASTP, DMASTZ.
2. Канал выполняет инструкции DMARMB или DMAWMB.
3. Канал выполняет инструкции DMAWFP, DMAWFE.
4. Канал выполняет инструкцию DMAEND.
5. Канал прервал свою работу из-за любой причины, включая DMAKILL.

Выделяют *статические* и *динамические* виды требований к ресурсам MFIFO со стороны канала, которые учитываются механизмом «захвата загрузок» и *сторожем блокировок*.

Статические требования к MFIFO — максимальное количество записей MFIFO используемых каналом на момент выполнения инструкции DMAWFP, DMAWFE или же в момент захвата доступа к MFIFO каналом.

Динамические требования к MFIFO — Разница между статическими требованиями и максимальным количеством записей MFIFO используемых каналом в любой момент времени.

Для того, чтобы вычислить требуемый размер MFIFO нужно сложить наибольшее из *динамических требований* с суммой всех *статических требований*. Для предотвращения блокировки SDMA требуемый размер MFIFO должен быть меньше либо равен физического размера MFIFO.

8.6 Ограничения использования

8.6.1 Арбитраж каналов

SDMA использует жёстко заданную циклическую схему обслуживания активных DMA каналов. Перед обслуживанием следующего потока канала всегда обслуживается канал управления.

8.6.2 Приоритеты каналов

Все каналы DMA равноприоритетны. Не существует способа увеличить или уменьшить приоритет необходимого канала.

8.6.3 Задержка кэша

В случае пропуска кэша инструкций задержка обслуживания в основном зависит от задержки чтения шины AXI. Задержка добавляемая SDMA минимальна.

8.6.4 Разрядность AXI пересылок

SDMA может выполнять только те обращения, разрядность которых меньше либо равна разрядности шины AXI SDMA. При попытке настроить `src_burst_size` или `dst_burst_size` (см. Регистр CCRn) на разрядность большую, чем разрядность AXI SDMA, будет произведён аварийный останов (точный сбой).

8.6.5 Пакеты AXI и пересечение 4К границ

Спецификация AMBA AXI не разрешает пакеты, пересекающие границу 4 килобайта. Если настроить пакет с таким начальным адресом и длиной, чтобы произошло пересечение 4К границы за один пакет, тогда SDMA вместо одного пакета сформирует два, с суммарной длиной аналогичной заданной. Для программы канала данная операция прозрачна — SDMA отвечает на одну инструкцию DMALD, формируя соответствующую пару пакетов AXI.

8.6.6 Типы пакетов AXI

SDMA поддерживает только пакеты с фиксированным адресом или пакеты с автоматической инкрементацией адреса. Пакеты с «прокручиванием»(wrapping) адреса не используются.

8.6.7 Адреса AXI записей

SDMA может обрабатывать несколько отложенных записей (количество определяется аппаратной конфигурацией SDMA). SDMA не обслужит адрес записи до тех пор, пока не будут получены все байты данных необходимые для транзакции.

8.6.8 Смешивание (interleaving) данных записи

SDMA не формирует «смешивающиеся» данные при записи. Все данные текущего пакета будут выданы наружу до начала передачи данных следующего пакета (транзакции) записи.

8.7 Регистры SDMA

Через ведомые APB интерфейсы осуществляется доступ к регистрам SDMA. Доступ к регистрам SDMA позволяет:

1. Считать информацию о состоянии потока управления.
2. Считать информацию о состоянии потоков каналов.
3. Разрешить или сбросить прерывание.
4. Разрешить событие.

Запустить инструкции DMAGO, DMASEV, DMAKILL (через отладочные регистры DBGCMD, DBGINST0, DBGINST1).

Регистры SDMA занимают диапазон адресов размером 4КБ.

Не рекомендуется производить доступ к зарезервированным или неиспользуемым адресам SDMA. Попытки доступа по этим адресам могут привести к непредсказуемым последствиям.

Если в тексте не указано иное, тогда верны следующие утверждения:

1. Не рекомендуется изменять значение неопределённых разрядов.
2. При чтении неопределённых разрядов их значение необходимо игнорировать.
3. Все разряды регистров SDMA устанавливаются в ноль по сбросу.

При описании типов регистров используются следующие сокращения:

RO — регистр доступен только по чтению

WO — регистр доступен только по записи

RW — регистр доступен по записи и по чтению

RAZ — при чтении возвращает ноль

Таблица 8.1. Список регистров SDMA

Сокращённое название	Смещение	Тип	Название
DSR	0x000	RO	Состояние потока управления
DPC	0x004	RO	Счётчик команд потока управления
-	0x008 - 0x01C	-	Зарезервировано
INTEN	0x020	RW	Разрешение прерываний

Сокращённое название	Смещение	Тип	Название
INT_EVENT_RIS	0x024	RO	Статус прерываний/событий
INTMIS	0x028	RO	Статус прерываний
INTCLR	0x02C	WO	Сброс прерываний
FSRD	0x030	RO	Сбой потока управления
FSRC	0x034	RO	Сбой потоков каналов
FTRD	0x038	RO	Тип сбоя потока управления
-	0x03C	-	Зарезервировано
FTR0	0x040	RO	Тип ошибки канала 0
FTR1	0x044	RO	Тип ошибки канала 1
FTR2	0x048	RO	Тип ошибки канала 2
FTR3	0x04C	RO	Тип ошибки канала 3
FTR4	0x050	RO	Тип ошибки канала 4
FTR5	0x054	RO	Тип ошибки канала 5
FTR6	0x058	RO	Тип ошибки канала 6
FTR7	0x05C	RO	Тип ошибки канала 7
-	0x060 - 0x0FC	-	Зарезервировано
CSR0	0x100	RO	Статус канала 0
CPC0	0x104	RO	PC канала 0
CSR1	0x108	RO	Статус канала 1
CPC1	0x10C	RO	PC канала 1
CSR2	0x110	RO	Статус канала 2
CPC2	0x114	RO	PC канала 2
CSR3	0x118	RO	Статус канала 3
CPC3	0x11C	RO	PC канала 3
CSR4	0x120	RO	Статус канала 4
CPC4	0x124	RO	PC канала 4
CSR5	0x128	RO	Статус канала 5
CPC5	0x12C	RO	PC канала 5
CSR6	0x130	RO	Статус канала 6
CPC6	0x134	RO	PC канала 6
CSR7	0x138	RO	Статус канала 7
CPC7	0x13C	RO	PC канала 7
-	0x140 - 0x3FC	-	Зарезервировано
SAR0	0x400	RO	Адрес Источника для канала 0
DAR0	0x404	RO	Адрес Приёмника для канала 0
CCR0	0x408	RO	Регистр управления для канала 0
LC0_0	0x40C	RO	Счётчик циклов 0 для канала 0
LC1_0	0x410	RO	Счётчик циклов 1 для канала 0
-	0x414 - 0x41C	-	Зарезервировано
SAR1	0x420	RO	Адрес Источника для канала 1
DAR1	0x424	RO	Адрес Приёмника для канала 1
CCR1	0x428	RO	Регистр управления для канала 1
LC0_1	0x42C	RO	Счётчик циклов 0 для канала 1
LC1_1	0x430	RO	Счётчик циклов 1 для канала 1
-	0x434 - 0x43C	-	Зарезервировано
SAR2	0x440	RO	Адрес Источника для канала 2
DAR2	0x444	RO	Адрес Приёмника для канала 2
CCR2	0x448	RO	Регистр управления для канала 2
LC0_2	0x44C	RO	Счётчик циклов 0 для канала 2
LC1_2	0x450	RO	Счётчик циклов 1 для канала 2

Сокращённое название	Смещение	Тип	Название
-	0x454 - 0x45C	-	Зарезервировано
SAR3	0x460	RO	Адрес Источника для канала 3
DAR3	0x464	RO	Адрес Приёмника для канала 3
CCR3	0x468	RO	Регистр управления для канала 3
LC0_3	0x46C	RO	Счётчик циклов 0 для канала 3
LC1_3	0x470	RO	Счётчик циклов 1 для канала 3
-	0x474 - 0x47C	-	Зарезервировано
SAR4	0x480	RO	Адрес Источника для канала 4
DAR4	0x484	RO	Адрес Приёмника для канала 4
CCR4	0x488	RO	Регистр управления для канала 4
LC0_4	0x48C	RO	Счётчик циклов 0 для канала 4
LC1_4	0x490	RO	Счётчик циклов 1 для канала 4
-	0x494 - 0x49C	-	Зарезервировано
SAR5	0x4A0	RO	Адрес Источника для канала 5
DAR5	0x4A4	RO	Адрес Приёмника для канала 5
CCR5	0x4A8	RO	Регистр управления для канала 5
LC0_5	0x4AC	RO	Счётчик циклов 0 для канала 5
LC1_5	0x4B0	RO	Счётчик циклов 1 для канала 5
-	0x4B4 - 0x4BC	-	Зарезервировано
SAR6	0x4C0	RO	Адрес Источника для канала 6
DAR6	0x4C4	RO	Адрес Приёмника для канала 6
CCR6	0x4C8	RO	Регистр управления для канала 6
LC0_6	0x4CC	RO	Счётчик циклов 0 для канала 6
LC1_6	0x4D0	RO	Счётчик циклов 1 для канала 6
-	0x4D4 - 0x4DC	-	Зарезервировано
SAR7	0x4E0	RO	Адрес Источника для канала 7
DAR7	0x4E4	RO	Адрес Приёмника для канала 7
CCR7	0x4E8	RO	Регистр управления для канала 7
LC0_7	0x4EC	RO	Счётчик циклов 0 для канала 7
LC1_7	0x4F0	RO	Счётчик циклов 1 для канала 7
-	0x4F4 - 0x4FC	-	Зарезервировано
DBGSTATUS	0xD00	RO	Debug Status Register
DBGCMD	0xD04	WO	Debug Command Register
DBGINST0	0xD08	WO	0-ой регистр отладки
DBGINST1	0xD0C	WO	1-ый регистр отладки
-	0xD10 - 0xDFC	-	Зарезервировано
CR0	0xE00	RO	Регистр конфигурации 0
CR1	0xE04	RO	Регистр конфигурации 1
CR2	0xE08	RO	Регистр конфигурации 2
CR3	0xE0C	RO	Регистр конфигурации 3
CR4	0xE10	RO	Регистр конфигурации 4
CRD	0xE14	RO	Конфигурация SDMA
-	0xE18 - 0xE7C	-	Зарезервировано
WD	0xE80	RW	Сторожевой регистр
-	0xE84 - 0xFDC	-	Зарезервировано
periph_id_n	0xFE0 - 0xFEC	RO	ID регистры периферии.

Сокращённое название	Смещение	Тип	Название
pcell_id_n	0xFF0 - 0xFFC	RO	ID регистры компонента.

8.7.1 DSR – Регистр состояния Потока Управления

Регистр DSR (DMA Manager Status Register) содержит информацию о состоянии потока управления.

Смещение	0x000
Тип	RO
Состояние по сбросу	0x0
Разрядность	32

Таблица 8.2. Описание полей регистра DSR

Разряды	Поле	Описание
31:10	Undefined	Не определено
9	DNS	Состояние режима защищённости Потока Управления: 0 — SDMA работает в защищённом режиме. 1 — SDMA работает в незащищённом режиме. (Определяется аппаратным входом SDMA boot manager ns.)
8:4	WAKEUP_EVENT	Определяет номер события (от 0 до 31), которое ожидает Поток Управления, выполняя инструкцию DMAWFE.
3:0	DMA_STATUS	Состояние Потока Управления: 0000 — Остановлен (Stopped). 0001 — Выполнение (Executing). 0010 — Пропуск кэша (Cache miss). 0011 — Обновление PC (Updating PC). 0100 — Ожидание события (Waiting for event). 0101-1110 — Зарезервировано. 1111 — Сбой (Faulting)

8.7.2 DPC – Регистр счётчика команд Потока Управления

Регистр DPC (DMA Program Counter Register) отображает значение счётчика команд Потока Управления.

Смещение	0x004
Тип	RO
Состояние по сбросу	0x0
Разрядность	32

Таблица 8.3. Описание полей регистра DPC

Разряды	Поле	Описание
31:0	pc_mgr	Счётчик команд Потока Управления

8.7.3 INTEN - Разрешение прерываний

Регистр INTEN (Interrupt Enable Register) позволяет выбрать реакцию SDMA на инструкцию DMASEV (либо формирование прерывания, либо оповещение о событии).

Смещение	0x020
Тип	RW
Состояние по сбросу	0x0
Разрядность	32

Таблица 8.4. Описание полей регистра INTEN

Разряды	Поле	Описание
15:0	event_irq_select	Установка соответствующего разряда определяет как SDMA обрабатывает инструкцию DMASEV: event_irq_select[N] = 0 — При выполнении инструкции DMASEV с номером ресурса N SDMA оповестит об этом событии все каналы, сигнал прерывания N сформирован не будет. event_irq_select[N] = 1 — При выполнении инструкции DMASEV с номером ресурса N SDMA установит выход прерывания irq[N].

8.7.4 INT_EVENT_RIS - Статус прерываний/событий

Регистр INT_EVENT_RIS (Event-Interrupt Raw Status Register) отображает статус ресурса прерывания/события.

Смещение	0x024
Тип	RO
Состояние по сбросу	0x0
Разрядность	32

Таблица 8.5. Описание полей регистра INT_EVENT_RIS

Разряды	Поле	Описание
15:0	DMASEV_active	Каждый разряд отображает состояние соответствующего ресурса прерывания/события: DMASEV_active[N] = 0 — Событие N неактивно или irq[N] в нуле. DMASEV_active[N] = 1 — Событие N активно или irq[N] в единице. Регистр INTEN определяет, как SDMA выполняет инструкцию DMASEV (формирует сигналы прерываний или сообщает о событии другим каналам). Разряд DMASEV_active[N] будет сброшен: После выполнения инструкции DMAWFE для события N, если INTEN настроен на формирования события при выполнении DMASEV. После записи в соответствующий разряд регистра сброса прерываний INTCLR, если INTEN настроен на формирования прерывания при выполнении DMASEV.

8.7.5 INTMIS - Статус прерываний

Регистр INTMIS (Interrupt Status Register) отображает состояние сигналов прерываний SDMA.

Смещение	0x028
Тип	RO
Состояние по сбросу	0x0
Разрядность	32

Таблица 8.6. Описание полей регистра INTMIS

Разряды	Поле	Описание
15:0	irq_status	Каждый разряд отображает состояние соответствующего сигнала прерываний irq: irq_status[N] = 0 — irq[N] в нуле. irq_status[N] = 1 — irq[N] в единице. Сброс разрядов irq_status осуществляется через регистр сброса прерываний INTCLR. irq_status[N] всегда в нуле, если в регистре INTEN настроено формирование события N, а не прерывания при выполнении DMASEV

8.7.6 INTCLR - Сброс прерываний

Регистр INTCLR (Interrupt Clear Register) отвечает за сброс сигналов прерываний.

Смещение	0x02C
Тип	WO
Состояние по сбросу	0x0
Разрядность	32

Таблица 8.7. Описание полей регистра INTCLR

Разряды	Поле	Описание
15:0	irq_clr	Управляет сбросом сигналов irq: Запись нуля в разряд N не изменяет значения irq[N]. Запись единицы в разряд N вызывает установку irq[N] в ноль, если INTEN настроен на формирование прерывания N. Иначе не влияет.

8.7.7 FSRD – Состояние Сбоя Потoka Управления

Регистр FSRD (Fault Status DMA Manager Register) указывает на нахождение Потокa Управления в состоянии «Сбой».

Смещение	0x030
Тип	RO
Состояние по сбросу	0x0
Разрядность	32

Таблица 8.8. Описание полей регистра FSRD

Разряды	Поле	Описание
31:1	-	Зарезервировано.
0	fs_mgr	0 — Поток Управления не находится в состоянии «Сбой» 1 — Поток Управления находится в состоянии «Сбой»

8.7.8 FSRC – Состояние Сбоев Каналов

Регистр FSRC (Fault Status DMA Channel Register) указывает на нахождение каналов в состоянии «Сбой».

Смещение	0x034
Тип	RO
Состояние по сбросу	0x0
Разрядность	32

Таблица 8.9. Описание полей регистра FSRC

Разряды	Поле	Описание
31:8	-	Зарезервировано.
7:0	fault_status	Каждый разряд указывает на состояние «Сбой» соответствующего канала: fault_status[N] = 0 — Канал N не в состоянии «Сбой». fault_status[N] = 1 — Канал N в состоянии «Сбой».

8.7.9 FTRD – Тип Сбоя Потока Управления

Регистр FTRD (Fault Type DMA Manager Register) указывает на тип ошибки, которая привела к переходу Потока Управления в состояние «Сбой».

Смещение	LLP0 – 0x000
Тип	RO
Состояние по сбросу	0x0
Разрядность	32

Таблица 8.10. Описание полей регистра FTRD

Разряды	Поле	Описание
31	-	Зарезервировано.
30	dbg_instr	Указывает на тип инструкции, вызвавшей преждевременное прекращение работы и переход Потока Управления в состояние «Сбой»: 0 — Инструкция загружена из системной памяти. 1 — Инструкция загружена через интерфейс отладки.
29:17	-	Зарезервировано.
16	instr_fetch_err	Отклик RRESP шины AXI после попытки выборки инструкции: 0 — OKAY 1 — EXOKAY, SLVERR, или DECERR
15:6	-	Зарезервировано.
5	mgr_evnt_err	Единица указывает на то, что Поток Управления, работающий в незащищённом режиме, попытался выполнить одну из следующих инструкций: DMAWFE — для ожидания защищённого события DMASEV — для создания защищённого события или прерывания.

Разряды	Поле	Описание
4	dmago_err	Единица указывает на то, что Поток Управления, работающий в незащищённом режиме, попытался командой DMAGO запустить Поток канала, работающий в защищённом режиме.
3:2	-	Зарезервировано.
1	operand_invalid	Единица указывает на попытку обработки инструкции с операндом недопустимым для данной конфигурации SDMA.
0	undef_instr	Единица указывает на попытку выполнения неопределённой инструкции.

8.7.10 FTRn - Тип Сбоя в Канале n

Регистр FTRn (Fault type for DMA channel n) указывает на тип ошибки, которая привела к переходу Потока Канала n в состояние «Сбой».

Сбой считается «точным», если в регистре счётчика команд Канала (CPCn) содержится адрес инструкции, которая вызвала переход в состояние «Сбой».

Сбой считается «неточным», если в регистре счётчика команд Канала (CPCn) не содержится адрес инструкции, которая вызвала переход в состояние «Сбой».

Смещение	FTR0 – 0x040 FTR1 – 0x044 FTR2 – 0x048 FTR3 – 0x04C FTR4 – 0x050 FTR5 – 0x054 FTR6 – 0x058 FTR7 – 0x05C
Тип	RO
Состояние по сбросу	0x0
Разрядность	32

Таблица 8.11. Описание полей регистра FTRn

Разряды	Поле	Описание
31	lockup_err	Единица указывает на блокировку SDMA, вызванную нехваткой ресурсов. Например, в FIFO недостаточно свободного пространства для выполнения команды DMALD. Сбой «неточен».
30	dbg_instr	Указывает на тип инструкции, вызвавшей преждевременное прекращение работы и переход Потока Канала в состояние «Сбой»: 0 — Инструкция загружена из системной памяти. 1 — Инструкция загружена через интерфейс отладки. Содержимое поля достоверно только при «точном сбое».
29:19	-	Зарезервировано.
18	data_read_err	Отклик RRESP шины AXI после попытки чтения данных: 0 — OKAY 1 — EXOKAY, SLVERR, или DECERR Сбой «неточен».
17	data_write_err	Отклик BRESP шины AXI после попытки записи данных: 0 — OKAY 1 — EXOKAY, SLVERR, или DECERR Сбой «неточен».

Разряды	Поле	Описание
16	instr_fetch_err	Отклик RRESP шины AXI после попытки выборки инструкции: 0 — OKAY 1 — EXOKAY, SLVERR, или DECERR Сбой «точен».
15:14	-	Зарезервировано.
13	st_data_unavailable	Указывает на отсутствие данных в MFIFO для выполнения команды DMAST: 0 — MFIFO содержит все данных для выполнения команды DMAST. 1 — Предыдущими командами DMALD было загружено недостаточное количество данных в MFIFO для выполнения DMAST (при этом канал выполнил все предшествующие DMALD). Сбой «точен».
12	mfifo_err	Указывает на ошибку при работе с MFIFO: 0 — В MFIFO достаточно пространства/данных для выполнения команды DMALD/DMAST. 1 — Глубина MFIFO меньше чем количество данных/свободного места требуемых для выполнения команды DMAST/DMALD. Сбой «неточен».
11:8	-	Зарезервировано.
7	ch_rdwr_err	Единица указывает на попытку Потока Канала, работающего в незащищённом режиме, настроить защищённые чтение или запись через регистр CCRn. Сбой «точен».
6	ch_periph_err	Единица указывает на попытку Потока Канала, работающего в незащищённом режиме, выполнить одно из следующих действий: DMAWPF для ожидания защищённой периферии. DMALDP или DMASTP для оповещения защищённой периферии. DMAFLUSHP — для сброса защищённой периферии. Сбой «точен».
5	ch_evnt_err	Единица указывает на попытку Потока Канала, работающего в незащищённом режиме, выполнить одно из следующих действий: DMAWFE для ожидания защищённого события. DMASEV для создания защищённого события или защищённого прерывания. Сбой «точен».
4:2	-	Зарезервировано.
1	operand_invalid	Единица указывает на попытку обработки инструкции с операндом недопустимым для данной конфигурации SDMA. Сбой «точен».
0	undef_instr	Единица указывает на попытку выполнения неопределённой инструкции. Сбой «точен».

8.7.11 CSRn - Статус канала n

Регистр CSRn (Channel status for DMA channel n) содержит информацию о состоянии канала n.

Смещение	CSR0 – 0x100 CSR1 – 0x108 CSR2 – 0x110 CSR3 – 0x118 CSR4 – 0x120 CSR5 – 0x128 CSR6 – 0x130 CSR7 – 0x138
Тип	RO
Состояние по сбросу	0x0
Разрядность	32

Таблица 8.12. Описание полей регистра CSRn

Разряды	Поле	Описание
31:22	-	Зарезервировано.
21	CNS	Режим защищённости потока канала: 0 — Канал работает в защищённом режиме. 1 — Канал работает в незащищённом режиме. Режим защищённости задаётся командой DMAGO при запуске канала.
20:16	-	Зарезервировано.
15	dmawfp_periph	Указывает на обработку инструкции DMAWFP с операндом periph: 0 — операнд periph не задан. 1 — операнд periph задан.
14	dmawfp_b_ns	Указывает на обработку инструкции DMAWFP с операндами burst или single: 0 — DMAWPF выполняется с операндом single. 1 — DMAWPF выполняется с операндом burst.
13:9	-	Зарезервировано.
8:4	wakeup_number	Номер события/периферийного устройства, которое ожидается Каналом, если Канал находится в состоянии «Ожидания события»/«Ожидание периферии».
3:0	channel_status	Состояние Потока Канала: 0000 — Остановлен (Stopped). 0001 — Выполнение (Executing). 0010 — Пропуск кэша (Cache miss). 0011 — Обновление PC (Updating PC). 0100 — Ожидание события (Waiting for event). 0101 — Барьер (At barrier). 0110 — Зарезервировано. 0111 — Ожидание периферии (Waiting for peripheral). 1000 — Уничтожение (Killing). 1001 — Завершение (Completing). 1010-1101 — Зарезервировано. 1110 — Завершение при сбое (Faulting completing). 1111 — Сбой (Faulting).

8.7.12 CPCn – PC канала n

CPCn (Channel PC for DMA channel n) — регистр счётчика команд (программный счётчик) канала n.

Смещение	CPC0 – 0x104 CPC1 – 0x10C CPC2 – 0x114 CPC3 – 0x11C CPC4 – 0x124 CPC5 – 0x12C CPC6 – 0x134 CPC7 – 0x13C
Тип	RO
Состояние по сбросу	0x0
Разрядность	32

Таблица 8.13. Описание полей регистра CPCn

Разряды	Поле	Описание
31:0	pc chnl	Счётчик команд Потока Канала n

8.7.13 SARn - Адрес Источника для канала n

Регистр SARn (Source address for DMA channel n) — Регистр адреса источника для канала n.

SDMA задаёт начальное значение адреса источника, выполняя команду DMAMOV SAR. Если командой DMAMOV CCR задано увеличение адреса источника, тогда SARn будет обновляться после выполнения каждой команды DMALD и будет содержать адрес, который использует следующая команда DMALD.

Смещение	SAR0 – 0x400 SAR1 – 0x420 SAR2 – 0x440 SAR3 – 0x460 SAR4 – 0x480 SAR5 – 0x4A0 SAR6 – 0x4C0 SAR7 – 0x4E0
Тип	RO
Состояние по сбросу	0x0
Разрядность	32

Таблица 8.14. Описание полей регистра SARn

Разряды	Поле	Описание
31:0	src addr	Адрес источника для канала n

8.7.14 DARN - Адрес Приёмника для канала n

DARn (Destination address for DMA channel n) — адрес приёмника для канала n.

SDMA задаёт начальное значение адреса приёмника, выполняя команду DMAMOV DAR. Если командой DMAMOV CCR задано увеличение адреса приёмника, тогда DARn будет обновляться после выполнения каждой команды DMAST и будет содержать адрес, который использует следующая команда DMAST.

Смещение	DAR0 – 0x404 DAR1 – 0x424 DAR2 – 0x444 DAR3 – 0x464 DAR4 – 0x484 DAR5 – 0x4A4 DAR6 – 0x4C4 DAR7 – 0x4E4
Тип	RO
Состояние по сбросу	0x0
Разрядность	32

Таблица 8.15. Описание полей регистра DARN

Разряды	Поле	Описание
31:0	dst_addr	Адрес приёмника для канала n.

8.7.15 CCRn - Регистр управления для канала n

CCRn (Channel control for DMA channel n) — регистр управления AXI транзакциями для канала n. Значение регистра устанавливается командой DMAMOV CCR.

Смещение	CCR0 – 0x408 CCR1 – 0x428 CCR2 – 0x448 CCR3 – 0x468 CCR4 – 0x488 CCR5 – 0x4A8 CCR6 – 0x4C8 CCR7 – 0x4E8
Тип	RO
Состояние по сбросу	0x00800200
Разрядность	32

Таблица 8.16. Описание полей регистра CCRn

Разряды	Поле	Описание
31	-	Зарезервировано.
30:28	endian_swap_size	Перестановка порядка байтов. 0 — Перестановки нет (8-ми разрядные данные). 1 — Перестановка внутри каждых 16 разрядов. 2 — Перестановка внутри каждых 32 разрядов. 3 — Перестановка внутри каждых 64 разрядов. 4 — Перестановка внутри каждых 128 разрядов. 5-7 — 7 Зарезервировано

Разряды	Поле	Описание
27:25	dst_cache_ctrl	Значение сигналов AWCACHE AXI при записи: Разряд 27 - AWCACHE[3]. Разряд 26 - AWCACHE[1]. Разряд 25 - AWCACHE[0]. AWCACHE[2] всегда в нуле. Установка AWCACHE[3,1] в b10 является нарушением протокола AXI
24:22	dst_prot_ctrl	Значение сигналов AWPROT AXI при записи: Разряд 24 - AWPROT[2]. Разряд 23 - AWPROT[1]. Разряд 22 - AWPROT[0]. Только канал работающий в защищённом режиме может установить AWPROT[1] в ноль. Попытка записи нуля в AWPROT[1] каналом, работающим в защищённом режиме, приведёт к прекращению работы канала
21:18	dst_burst_len	Значение сигналов AWLEN. Определяет количество записей в приёмник за пакет. Разрядность одной передачи определяется полем dst_burst_size. Общее количество байт, выбираемых из FIFO командой DMAST, задаётся установкой этого поля и поля dst_burst_size. 0 — 1 пересылка за пакет. 1 — 2 пересылки за пакет. 2 — 3 пересылки за пакет. ... 15 — 16 пересылок за пакет
17:15	dst_burst_size	Значение сигналов AWSIZE. Определяет разрядность одной пересылки внутри пакета: 0 — 1 байт за пересылку. 1 — 2 байта за пересылку. 2 — 4 байта за пересылку. 3 — 8 байт за пересылку. 4 — 16 байт за пересылку. 5-7 — Зарезервировано
14	dst_inc	Значение сигнала AWBURST[0]: 0 — Пакет с неизменным адресом. 1 — Пакет с увеличением адреса. AWBURST[1] всегда в нуле, так как SDMA не использует пакеты с прокручиванием.
13:11	src_cache_ctrl	Значение сигналов ARCACHE AXI при чтении: Разряд 13 - ARCACHE[2]. Разряд 12 - ARCACHE[1]. Разряд 11 - ARCACHE[0]. ARCACHE[3] всегда в нуле. Установка ARCACHE[2,1] в b10 является нарушением протокола AXI
10:8	src_prot_ctrl	Значение сигналов ARPROT AXI при записи: Разряд 10 - ARPROT[2]. Разряд 8 - ARPROT[1]. Разряд 7 - ARPROT[0]. Только канал работающий в защищённом режиме может установить ARPROT[1] в ноль. Попытка записи нуля в ARPROT[1] каналом, работающим в незащищённом режиме, приведёт к прекращению работы канала

Разряды	Поле	Описание
7:4	src_burst_len	Значение сигналов ARLEN. Определяет количество чтении из источника за пакет. Разрядность одной передачи определяется полем src_burst_size. Общее количество байт, загружаемых командой DMALD в FIFO, задаётся настройками этого поля и поля src_burst_size. 0 — 1 пересылка за пакет. 1 — 2 пересылки за пакет. 2 — 3 пересылки за пакет. ... 15 — 16 пересылок за пакет
3:1	src_burst_size	Значение сигналов ARSIZE AXI. Определяет разрядность одной пересылки внутри пакета: 0 — 1 байт за пересылку. 1 — 2 байта за пересылку. 2 — 4 байта за пересылку. 3 — 8 байт за пересылку. 4 — 16 байт за пересылку. 5-7 — Зарезервировано
0	src_inc	Значение сигнала ARBURST[0]: 0 — Пакет с неизменным адресом. 1 — Пакет с увеличением адреса. ARBURST[1] всегда в нуле, так как SDMA не использует пакеты с прокручиванием

8.7.16 LC0_n и LC1_n - Счётчики циклов для канала n

Регистры LC0_n и LC1_n (Loop counter for DMA channel n) канала n — счётчики циклов SDMA. Значение регистров меняется при выполнении команды DMALPEND[S|B].

Смещение	LC0_0 – 0x40C LC0_1 – 0x42C LC0_2 – 0x44C LC0_3 – 0x46C LC0_4 – 0x48C LC0_5 – 0x4AC LC0_6 – 0x4CC LC0_7 – 0x4EC LC1_0 – 0x410 LC1_1 – 0x430 LC1_2 – 0x450 LC1_3 – 0x470 LC1_4 – 0x490 LC1_5 – 0x4B0 LC1_6 – 0x4D0 LC1_7 – 0x4F0
Тип	RO
Состояние по сбросу	0x0
Разрядность	32

Таблица 8.17. Описание полей регистров LC0_n и LC1_n

Разряды	Поле	Описание
31:8	-	Зарезервировано.
7:0	loop_counter	Число выполненных итераций цикла.

8.7.17 DBGSTATUS – Состояние отладки

Регистр DBGSTATUS (Debug Status Register) — состояние отладки .

Смещение	0xD00
Тип	RO
Состояние по сбросу	0x0
Разрядность	32

Таблица 8.18. Описание полей регистра DBGSTATUS

Разряды	Поле	Описание
31:1	-	Зарезервировано.
0	dbgstatus	Отражает текущее состояние отладки: 0 — Не занят. 1 — В работе. Перед тем как выполнить инструкцию через отладочный регистр DBGCMD, необходимо считать содержимое регистра DBGSTATUS и убедиться, что dbgstatus в нуле. Иначе SDMA проигнорирует инструкцию.

8.7.18 DBGCMD – Отладочный регистр управления

Регистр DBGCMD (Debug Command Register) управляет выполнением инструкций, загружаемых через APB интерфейс.

Смещение	0xD04
Тип	WO
Состояние по сбросу	-
Разрядность	32

Таблица 8.19. Описание полей регистра DBGCMD

Разряды	Поле	Описание
31:2	-	Зарезервировано. Записывать нули
1:0	dbgcmd	Расшифровка значений поля dbgcmd: 00 — Выполнить инструкцию в регистрах DBGINST0, DBGINST1. 01, 10, 11 — Зарезервировано

8.7.19 DBGINST0 – 0-ой регистр отладки

Регистр DBGINST0 (Debug Instruction-0 Register) — нулевой отладочный регистр инструкций.

Смещение	0xD08
Тип	WO
Состояние по сбросу	-
Разрядность	32

Таблица 8.20. Описание полей регистра DBGINST0

Разряды	Поле	Описание
31:24	instruction_byte1	Первый байт инструкции
23:16	instruction_byte0	Второй байт инструкции
15:11	-	Зарезервировано. Записывать нули
10:8	channel_num	Номер канала (от 0 до 7)
7:1	-	Зарезервировано. Записывать нули
0	debug_thread	Расшифровка значений поля: 0 — Работа с Потокком Управления. 1 — Работа с Потокком Канала

8.7.20 DBGINST1 - 1-ый регистр отладки

Регистр DBGINST1 (Debug Instruction-1 Register) — первый отладочный регистр инструкций.

Смещение	0xD0C
Тип	WO
Состояние по сбросу	-
Разрядность	32

Таблица 8.21. Описание полей регистра DBGINST1

Разряды	Поле	Описание
31:24	instruction_byte5	Пятый байт инструкции
23:16	instruction_byte2	Четвёртый байт инструкции
15:8	instruction_byte3	Третий байт инструкции
7:0	instruction_byte2	Второй байт инструкции

8.7.21 CR0 - Регистр конфигурации 0

Регистр CR0 (Configuration Register 0) — содержит информацию о числе каналов, поддерживаемых SDMA, количестве интерфейсов запросов от периферии, количестве поддерживаемых сигналов прерываний и др.

Смещение	CR0 – 0xE00
Тип	RO
Состояние по сбросу	0x001E0070
Разрядность	32

Таблица 8.22. Описание полей регистра CR0

Разряды	Поле	Описание
31:22	-	Зарезервировано. Значение при чтении не определено.
21:17	num_events	Количество выходов прерываний (от 1 до 32).
16:12	num_periph_req	Количество интерфейсов запросов от периферии (от 1 до 32). Поле достоверно только при установленном periph_req.
11:7	-	Зарезервировано. Значение при чтении не определено.
6:4	num_chnls	Количество каналов (от 1 до 8).
3	-	Зарезервировано. Значение при чтении не определено.

Разряды	Поле	Описание
2	mgr_ns_at_rst	Указывает на состояние входа boot_manager_ns при выходе SDMA из сброса: 0 — boot_manager_ns был в нуле. 1 — boot_manager_ns был в единице.
1	boot_en	Указывает на состояние входа boot_from_pc при выходе SDMA из сброса: 0 — boot_from_pc был в нуле. 1 — boot_from_pc был в единице.
0	periph_req	Поддержка запросов от периферии: 0 — SDMA не поддерживает интерфейс запросов периферии. 1 — SDMA поддерживает интерфейс запросов периферии. Замечание. В данной реализации интерфейс запросов не используется.

8.7.22 CR1 - Регистр конфигурации 1

Регистр CR1 (Configuration Register 1) содержит информацию о конфигурации кэша инструкций.

Смещение	CR1 – 0xE04
Тип	RO
Состояние по сбросу	0x000000F5
Разрядность	32

Таблица 8.23. Описание полей регистра CR1

Разряды	Поле	Описание
31:8	-	Зарезервировано. Значение при чтении не определено.
7:4	num_i-cache_lines	Количество строк кэша инструкций (от 1 до 16).
3	-	Зарезервировано. Значение при чтении не определено.
2:0	i-cache_len	Размер строки кэша: b000-b001 — Зарезервированы. b010 — 4 байта. b011 — 8 байт. b100 — 16 байт. b101 — 32 байта. b110-b111 — Зарезервированы.

8.7.23 CR2 - Регистр конфигурации 2

Регистр CR2 (Configuration Register 2) содержит адрес, из которого загружается программа SDMA после сброса.

Смещение	CR2 – 0xE08
Тип	RO
Состояние по сбросу	0x00000000
Разрядность	32

Таблица 8.24. Описание полей регистра CR2

Разряды	Поле	Описание
31:0	boot_addr	Адрес из которого загружается программ SDMA после сброса.

8.7.24 CR3 - Регистр конфигурации 3

Регистр CR3 (Configuration Register 3) содержит состояние режима защищённости для событий прерываний после выхода из сброса.

Смещение	CR3 – 0xE0C
Тип	RO
Состояние по сбросу	0x00000000
Разрядность	32

Таблица 8.25. Описание полей регистра CR3

Разряды	Поле	Описание
31:0	INS	Тип режима защищённости событий и прерываний: Разряд n в 0 — событие n или прерывание n в защищённом режиме. Разряд n в 1 — событие n или прерывание n в незащищённом режиме. Разряды сохраняют значения на входах boot_irq_ns в момент после выхода SDMA из сброса.

8.7.25 CR4 - Регистр конфигурации 4

Регистр CR4 (Configuration Register 4) содержит состояние режима защищённости для периферийных интерфейсов.

Смещение	CR4 – 0xE10
Тип	RO
Состояние по сбросу	0x00000000
Разрядность	32

Таблица 8.26. Описание полей регистра CR4

Разряды	Поле	Описание
31:0	PNS	Тип режима защищённости периферийных интерфейсов: Разряд n в 0 — интерфейс запросов от периферии n в защищённом режиме. Разряд n в 1 — интерфейс запросов от периферии n в незащищённом режиме. Разряды сохраняют значения на входах boot_periph_ns в момент после выхода SDMA из сброса. Замечание. В данной реализации интерфейс запросов не используется.

8.7.26 CRD – Конфигурация SDMA

Регистр CRD (DMA Configuration Register) содержит информацию о параметрах буфера данных, возможностях чтения и записи.

Смещение	0xE14
Тип	RO
Состояние по сбросу	0x07F73733
Разрядность	32

Таблица 8.27. Описание полей регистра CRD

Разряды	Поле	Описание
31:30	-	Зарезервировано. Значение при чтении не определено.
29:20	data_buffer_dep	Число строк(глубина) MFIFO: b000000000 — 1 строка b000000001 — 2 строки ... b111111111 — 1024 строки
19:16	rd_q_dep	Глубина очереди чтений: b0000 — 1 строка b0001 — 2 строки ... b1111 — 16 строк
15	-	Зарезервировано. Значение при чтении не определено.
14:12	rd_cap	Максимальное количество отложенных чтений AXI. b000 — 1 чтение b001 — 2 чтения ... b111 — 8 чтений
11:8	wr_q_dep	Глубина очереди записей: b0000 — 1 строка b0001 — 2 строки ... b1111 — 16 строк
7	-	Зарезервировано. Значение при чтении не определено.
6:4	wr_cap	Максимальное количество отложенных записей AXI. b000 — 1 запись b001 — 2 записи ... b111 — 8 записей
3	-	Зарезервировано. Значение при чтении не определено.
2:0	data_width	Разрядность шины данных AXI: b000 — Зарезервировано. b001 — Зарезервировано. b010 — 32 разряда. b011 — 64 разряда. b100 — 128 разрядов. b101-b111 — Зарезервировано.

8.7.27 WD – Сторожевой регистр

Регистр WD (Watchdog Register) — Сторожевой регистр. Обновлять содержимое этого регистра следует, когда все каналы находятся в состоянии «Остановлен».

Смещение	0xE80
Тип	RW
Состояние по сбросу	0x0
Разрядность	32

Таблица 8.28. Описание полей регистра WD

Разряды	Поле	Описание
31:1	-	Зарезервировано. Значение при чтении не определено.
0	wd_irq_only	Определяет, как SDMA обрабатывает ситуацию блокировки: 0 — SDMA прекращает работу каналов и устанавливает сигнал irq_abort. 1 — SDMA устанавливает сигнал irq_abort.

8.7.28 `periph_id_[3..0]` — ID регистры периферии

Регистры `periph_id_[3:0]` (Peripheral Identification Registers) — Идентификационные регистры периферии.

Смещение	<code>periph_id_3 - 0xFEC</code> <code>periph_id_2 - 0xFE8</code> <code>periph_id_1 - 0xFE4</code> <code>periph_id_0 - 0xFE0</code>
Тип	RO
Состояние по сбросу	<code>periph_id_3 - 0x00</code> <code>periph_id_2 - 0x34</code> <code>periph_id_1 - 0x13</code> <code>periph_id_0 - 0x30</code>
Разрядность	32

Схематически регистры `periph_id_[3..0]` можно представить в виде одного 32-разрядного регистра `periph_id`:

Таблица 8.29. Описание полей условного регистра `periph_id`

Разряды	Поле	Описание
31:25	-	Зарезервировано. Значение при чтении не определено.
24	<code>integration_cfg</code>	Возвращает ноль, если SDMA не содержит логики для интеграционных тестов.
23:20	<code>revision</code>	Указывает на версию RTL.
19:12	<code>designer</code>	Указывает на разработчика блока (0x41 для ARM).
11:0	<code>part_number</code>	Код компонента. Для SDMA — 0x330.

Таблица 8.30. Описание полей регистра `periph_id_3`

Разряды	Поле	Описание
31:8	-	Зарезервировано. Значение при чтении не определено.
7:1	-	Зарезервировано. Значение при чтении не определено.
0	<code>integration_cfg</code>	Возвращает ноль, если SDMA не содержит логики для интеграционных тестов.

Таблица 8.31. Описание полей регистра `periph_id_2`

Разряды	Поле	Описание
31:8	-	Зарезервировано. Значение при чтении не определено.
7:4	<code>revision</code>	Указывает на версию: 0 — r0p0. 1 — r1p0. 2 — r1p1. 3 — r1p2.
3:0	<code>designer_1</code>	При чтении возвращает 0x4.

Таблица 8.32. Описание полей регистра `periph_id_1`

Разряды	Поле	Описание
31:8	-	Зарезервировано. Значение при чтении не определено.
7:4	<code>designer_0</code>	При чтении возвращает 0x1.
3:0	<code>part_number_1</code>	При чтении возвращает 0x3.

Таблица 8.33. Описание полей регистра `periph_id_0`

Разряды	Поле	Описание
31:8	-	Зарезервировано. Значение при чтении не определено.
7:0	<code>part_number_0</code>	При чтении возвращает 0x30.

8.7.29 pcell_id_[3:0] - ID регистры компонента

Регистр pcell_id_[3:0] (Component Identification Registers) - Идентификационные регистры компонента.

Смещение	pcell_id_3 – 0xFFC pcell_id_2 – 0xFF8 pcell_id_1 – 0xFF4 pcell_id_0 – 0xFF0
Тип	RO
Состояние по сбросу	pcell_id_3 – 0xB1 pcell_id_2 – 0x05 pcell_id_1 – 0xF0 pcell_id_0 – 0x0D (состояние разрядов 31:8 при чтении не определено)
Разрядность	32

Таблица 8.34. Описание полей регистров pcell_id_[3:0]

Разряды	Поле	Описание
31:8	-	Значение при чтении не определено.
7:0	pcell_id_n	Значение, считанное из регистров pcell_id_3-0 содержит идентификационный номер компонента. Например, это значение может использоваться при автоматической настройке BIOS.

8.8 Набор инструкций SDMA

Можно выделить следующие группы инструкций SDMA:

1. Запуск/останов каналов - DMAGO, DMAEND, DMAKILL.
2. Работа с SAR, DAR, CCR - DMAADDH, DMAADNH, DMAMOVE.
3. Циклы - DMALP, DMALPEND, DMALPFE.
4. Пересылки AXI - DMALD, DMALDP<S|B>, DMAST, DMASTZ, DMASTP, DMARMB, DMAWMB.
5. События, прерывания - DMASEV, DMAWFE, DMAWFP.
6. Другие - DMANOP, DMAFLUSHP.

В следующей таблице приведён список команд SDMA (без директив ассемблера):

Таблица 8.35. Список инструкций SDMA (без директив ассемблера)

Мнемоника инструкции	Расшифровка мнемоники	*	**	Название
DMAADDH	Add Halfword	-	C	Прибавить полуслово.
DMAADNH	Add Negative Halfword	-	C	Вычесть полуслово.
DMAEND	End	M	C	Завершить поток.
DMAFLUSHP	Flush and Notify Peripheral	-	C	Сброс периферии.
DMAGO	Go	M	-	Запуск канала.
DMAKILL	Kill	M	C	Уничтожить поток.
DMALD	Load	-	C	Загрузить.
DMALDP	Load and Notify Peripheral	-	C	Загрузить и оповестить периферию.
DMALP	Loop	-	C	Начало цикла.
DMALPEND	Loop End	-	C	Конец цикла.
DMALPFE	Loop Forever	-	C	Начало бесконечного цикла.
DMAMOV	Move	-	C	Задать значение.
DMANOP	No operation	M	C	Нет операции.
DMARMB	Read Memory Barrier	-	C	Барьер чтения из памяти.
DMASEV	Send Event	M	C	Сформировать событие.
DMAST	Store	-	C	Сохранить.
DMASTP	Store and Notify Peripheral	-	C	Сохранить данные и оповестить периферию.
DMASTZ	Store Zero	-	C	Записать нули.
DMAWFE	Wait For Event	M	C	Ожидание события.
DMAWFP	Wait For Peripheral	-	C	Ожидание периферии.
DMAWMB	Write Memory Barrier	-	C	Барьер записи в память.

* Применимость к потоку управления:

M — используется потоком управления.

** Применимость к потоку канала:

C — используется потоком канала.

При описании синтаксиса инструкций используются следующие обозначения:

- $\langle \rangle$ - Параметр внутри угловых скобок обязателен
- $[\]$ - Параметр внутри квадратных скобок не обязателен.

8.8.1 DMAADDH

DMAADDH - «Прибавить полуслово» (Add Halfword). Увеличивает значение регистра SARn или DARn на 16-ти разрядную величину, заданную в коде команды. Позволяет использовать SDMA для 2D пересылок (scatter/gather).

Используется только потоком канала.

23	1	1	8	7	6	5	4	3	2	1	0
	6	5									
imm[15:8]		imm[7:0]	0	1	0	1	0	1	ra	0	

Рисунок 8.4. Формат инструкции DMAADDH

Синтаксис

DMAADDH <Регистр адреса>, <16-ти разрядное число>

<Регистр адреса>

Выбор адресного регистра. Возможные значения:

SAR (обращение к SARn, ra = 0)

DAR (обращение к DARn, ra = 1)

<16-ти разрядное число>

16-ти разрядное беззнаковое число, на которое увеличится <Регистр адреса>.

Пример

:: SAR = SAR + 3

DMAADDH SAR, 0x3

8.8.2 DMAADNH

DMAADNH - «Прибавить отрицательное полуслово» (Add Negative Halfword). Уменьшает значение регистра SARn или DARn на 16-ти разрядную величину, заданную в коде команды (от -1 до -65536). Позволяет использовать SDMA для 2D пересылок (scatter/gather).

Используется только потоком канала.

23	16	15	8	7	6	5	4	3	2	1	0	
imm[15:8]		imm[7:0]			0	1	0	1	1	1	ra	0

Рисунок 8.5. Формат инструкции DMAADNH

Синтаксис

DMAADDH <Регистр адреса>, <16-ти разрядное число>

<Регистр адреса>

Выбор адресного регистра. Возможные значения:

SAR (обращение к SARn, ra = 0)

DAR (обращение к DARn, ra = 1)

<16-ти разрядное число>

16-ти разрядное беззнаковое число, на которое уменьшится <Регистр адреса>. Отрицательное число заданно в дополнительном коде (дополнение до двух).

Пример

;; DAR = DAR - 16

DMAADNH DAR, 0xFFFF0

8.8.3 DMAEND

DMAEND - «Завершить поток». После завершения всех AXI пересылок канала, канал переводится в состояние «Остановлен». Все записи кэша команд для канала объявляются недействительными. Данные канала удаляются из MFIFO.

Может быть использована как потоком канала, так и потоком управления.

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0

Рисунок 8.6. Формат инструкции DMAEND

Синтаксис

DMAEND

8.8.4 DMAGO

DMAGO - «Запуск канала». Когда поток управления выполняет инструкцию DMAGO для канала, находящегося в состоянии «Остановлен», инициируется следующая последовательность действий:

32-х разрядное значение загружается в регистр CPC канала.

Устанавливается режим защищённости канала.

Канал переводится в состояние «Выполнение».

Если канал не находится в состоянии «Остановлен», когда поток управления выполняет инструкцию DMAGO, тогда вместо инструкции DMAGO будет выполнена инструкция DMANOP.

Инструкция применима только к потоку управления.

47														16	
imm[31:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	cn[2:0]		1	0	1	0	0	0	0	ns	0

Рисунок 8.7. Формат инструкции DMAGO

Синтаксис

DMAGO <Номер канала>, <PC программы> [, Режим защищённости]
<Номер канала>

Номер запускаемого канала (поле cn[2:0]). Возможные значения:

- C0 — канал 0;
- C1 — канал 1;
- C2 — канал 2;
- C3 — канал 3;
- C4 — канал 4;
- C5 — канал 5;
- C6 — канал 6;
- C7 — канал 7.

Если задан канал недоступный в данной реализации SDMA, поток управления перейдёт в состояние «Сбой».

<PC программы>

32-х разрядное значение записываемое в регистр CPC канала. Начальный адрес программы запускаемого канала.

[Режим защищённости]

При заданном параметре ns (ns = 1) канал запускается в незащищённом режиме.

Если параметр ns не задан (ns=0) выполнение инструкции зависит от режима потока управления:

Если поток управления в защищённом режиме, тогда канал запускается в защищённом режиме.

Если поток управления в незащищённом режиме, тогда при попытке запуска защищённого канала происходит переход в состояние «Сбой».

Пример

;;Запуск потока канала номер 0 с адреса 0x60000080

DMAGO C0, 0x60000080

8.8.5 DMAKILL

DMAKILL - «Уничтожить поток». Инструкция DMAKILL немедленно прерывает выполнение потока. В зависимости от типа потока выполняются следующие действия:

Для потока управления

Все записи кэша команд для потока управления объявляются недействительными.

Поток управления переводится в состояние «Остановлен».

Для потока канала

Поток канала переводится в состояние «Уничтожение».

Ожидается завершение AXI транзакций с ID равным номеру канала SDMA.

Все записи кэша команд для потока канала объявляются недействительными.

Данные канала удаляются из MFIFO.

Очистка буферов записи и чтения для канала.

Поток канала переводится в состояние «Остановлен».

Может быть применена как для потока канала, так и для потока управления. Не следует использовать команду DMAKILL в программах для потоков каналов. Для выполнения инструкции DMAKILL используйте регистр DBGINST0 (через APB интерфейс).

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	1

Рисунок 8.8. Формат инструкции DMAKILL

Синтаксис

DMAKILL

8.8.6 DMALD[S|B]

DMALD[S|B] - «Загрузка». Иницирует чтение данных из Источника. Адрес Источника определяется содержимым регистра SAR. Параметры AXI-транзакции настраиваются через регистр CCR. Данные считанные из Источника помещаются в MFIFO (при этом привязываются к соответствующему номеру канала). Инструкция DMALD выполняется безусловно. Выполнение инструкций DMALDS и DMALDB зависит от состояния флага `request_type` (значение флага `request_type` устанавливается при выполнении команды DMAWFP). Если поле `src_inc` регистра CCR настроено на увеличение адреса, тогда после выполнения инструкции DMALD[S|B] обновляется содержимое регистра Адреса Источника (SAR).

Инструкция применима только к потоку канала.

7	6	5	4	3	2	1	0
0	0	0	0	0	1	bs	x

Рисунок 8.9. Формат инструкции DMALD[S|B]

Синтаксис

DMALD[S|B]

[S]

bs = 0, x = 1. Выполнение инструкции зависит от состояния флага `request_type`:

`request_type` = Single

SDMA выполняют инструкцию — AXI-транзакцию чтения длиной 1 (`arlen[3:0]=0x0`). Размер транзакции, заданный полем `src_burst_len` регистра CCR, игнорируется.

`request_type` = Burst

Вместо чтения SDMA выполняет инструкцию DMANOP, после чего PC увеличивается (становится равным адресу следующей инструкции).

[B]

bs = 1, x = 1. Выполнение инструкции зависит от состояния флага `request_type`:

`request_type` = Single

Вместо чтения SDMA выполняет инструкцию DMANOP, после чего PC увеличивается (становится равным адресу следующей инструкции).

request_type = Burst

SDMA выполняют AXI-транзакцию чтения.

Если операнды S или B не заданы, тогда ассемблер устанавливает bs = 0 и x = 0.

Пример

:: чтение из источника длиной 1 (при request_type = single)

DMALDS

8.8.7 DMALP

DMALP - «Начало цикла». Загружает 8-разрядное значение в заданный счётчик цикла (LC0 или LC1). Указывает на начало блока инструкций в цикле. Конец цикла устанавливается инструкцией DMALPEND. SDMA повторяет набор инструкций между DMALP и DMALPEND до тех пор, пока счётчик цикла не достигнет нуля. После выполнения DMALPEND, если счётчик циклов не равен нулю, будет выполняться следующая за DMALP инструкция (первая в цикле).

Инструкция применима только к потоку канала.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
iter[7:0]								0	0	1	0	0	0	lc	0

Рисунок 8.10. Формат инструкции DMALP

Синтаксис

DMALP [*<LC0>*|*<LC1>*] *<Количество итераций>*

<Количество итераций>

Определяет количество итераций в цикле (от 1 до 256). Используемый счётчик циклов определяется либо ассемблером, либо задаётся явно. *<Количество итераций>* записывается в регистр LC0 или LC1.

<LC0>

Если задан, используется счётчик циклов LC0.

<LC1>

Если задан, используется счётчик циклов LC1.

Если параметры LC0 и LC1 не заданы, то ассемблер сам определяет какой из счётчиков использовать.

Пример

```
;; Пересылка 4-х пачек от Источника к Приёмнику
```

```
DMALP 4
```

```
DMALD
```

```
DMAST
```

```
DMALPEND
```

8.8.8 DMALPEND[S|B]

DMALPEND - «Конец цикла». Указывает на последнюю инструкцию цикла.

Выполнение DMALPEND зависит от способа задания цикла:

- начало цикла задано инструкцией DMALP. Цикл имеет определённое количество итераций. При выполнении DMALPEND SDMA считывает состояние регистра счётчика цикла. Если регистр счётчика цикла равен нулю, SDMA выполняет DMANOP и выходит из цикла. Если счётчик циклов не равен нулю, значение счётчика циклов уменьшается, в CPC записывается адрес первой инструкции в цикле;
- начало цикла задано инструкцией DMALPFE. Цикл не имеет определённого количества циклов. Выход из цикла зависит от состояния флага request_last. Если request_last равен 1, SDMA выполняет DMANOP и после этого выходит из цикла. Если request_last равен 0, в CPC записывается адрес первой инструкции в цикле.

Флаг request_last устанавливается, когда периферийное устройство, сообщает о последней пересылке в текущей серии через интерфейс запросов.

Инструкция применима только к потоку канала.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
backwards_jump[7:0]								0	0	1	nf	1	lc	bs	x

Рисунок 8.11. Формат инструкции DMALPEND[S|B]

Синтаксис

DMALPEND[S|B]

[S]

bs = 0, x = 1 (если начало цикла задано DMALP). Выполнение инструкции зависит от состояния флага request_type:

request_type = Single

SDMA выполняет инструкцию DMALPEND.

request_type = Burst

SDMA выполняет инструкцию DMANOP, после чего выходит из цикла.

[B]

bs = 1, x = 1 (если начало цикла задано DMALP). Выполнение

инструкции зависит от состояния флага request_type:

request_type = Single

SDMA выполняет инструкцию DMANOP, после чего выходит из цикла.

request_type = Burst

SDMA выполняет инструкцию DMALPEND.

Если операнды S или B не заданы, тогда ассемблер устанавливает bs = 0 и x = 0 и инструкция DMALPEND выполняется всегда.

Не следует использовать S или B, если цикл открывается инструкцией DMALPFE. Если попытаться это сделать, ассемблер выдаст предупреждение, установит bs = 0, x = 0 и nf = 1. Состояние флага request_last используется для определения момента выхода из цикла.

Замечания:

Флаг request_type устанавливается при выполнении DMAWFP.

Флаг request_type устанавливается в 1, когда установлен сигнал drlast интерфейса запросов, указывающий на последний запрос периферии.

Описание полей инструкции:

Поле `backwards_jump[7:0]` определяет относительное расположение первой инструкции цикла. Ассемблер вычисляет значение этого поля, вычитая адрес первой инструкции цикла из адреса инструкции `DMALPEND`.

Поле `nf` устанавливается в единицу, если начало цикла задано с помощью `DMALP`. Поле `nf` установлено в ноль, если начало цикла задано с помощью `DMALPFE`.

Поле `lc` в 0, если для цикла используется счётчик циклов `LC0`.

Поле `lc` в 1, если для цикла используется счётчик циклов `LC1`.

Поле `lc` в 1, если начало цикла задано с помощью `DMALPFE`.

8.8.9 DMALPFE

`DMALPFE` - «Начало бесконечного цикла». Применяется для вставки бесконечного цикла. Ассемблер использует `DMALPFE` для установки определённых битов `DMALPEND` (сбрасывает поле `nf` инструкции `DMALPEND`). Когда ассемблер встречает инструкцию `DMALPFE`, он не создаёт инструкции для `SDMA`, а изменяет поведение инструкции `DMALPEND`. Вставка `DMALPFE` в код программы указывает на старт цикла.

Синтаксис

`DMALPFE`

8.8.10 DMAMOV

`DMAMOV` — Загружает заданное значение в один из следующих регистров:

- адрес Источника (`SAR`);
- адрес Приёмника (`DAR`);
- регистр управления для канала (`CCR`).

Используется только потоком канала.

47	16
<code>imm[31:0]</code>	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	<code>rd[2:0]</code>			1	0	1	1	1	1	0	0

Рисунок 8.12. Формат инструкции `DMAMOV`

Синтаксис

DMAMOV <Регистр>, <Значение>

<Регистр>

Допустимые значения:

SAR — Адрес Источника (rd = 3'b000)

CCR — Регистр управления для канала (rd = 3'b001)

DAR — Адрес Приёмника (rd = 3'b010)

<Значение>

32-х разрядная величина, заданная в imm, которая будет записана в <Регистр>.

Пример

;; Загрузка начального адреса Приёмника (0x40001000)

DMAMOV DAR, 0x40001000

8.8.11 DMAMOVE CCR

DMAMOVE CCR - «Установка регистра управления». Директива ассемблера, для установки управляющего регистра (CCR).

Синтаксис

DMAMOVE CCR, [SB<1-16>] [SS<8/16/32/64/128>] [SA<I/F>]

[SP<imm3>] [SC<imm4>]

[DB<1-16>] [DS<8/16/32/64/128>] [DA<I/F>]

[DP<imm3>] [DC<imm4>]

[ES<8/16/32/64/128>]

Таблица 8.36.

	Описание	Возможные значения	По умолчанию
SA	Увеличение адреса Источника ARBURST[0]	I = увеличение (increment) F = не меняется (fixed)	I
SS	Количество разрядов одной в пересылке. ARSIZE[2:0]	8, 16, 32, 64, 128	8
SB	Количество пересылок в пакете. ARLEN[3:0]	От 1 до 16	1
SP	ARPROT[2:0]	От 0 до 7	0
SC	ARCACHE[3:0]	От 0 до 15	0
DA	Увеличение адреса Приёмника AWBURST[0]	I = увеличение (increment) F = не меняется (fixed)	I
DS	Количество разрядов одной в пересылке. AWSIZE[2:0]	8, 16, 32, 64, 128	8
DB	Количество пересылок в пакете. AWLEN[3:0]	От 1 до 16	1
DP	AWPROT[2:0]	От 0 до 7	0
DC	AWCACHE[3:0]	От 0 до 15	0
ES	Перестановка байтов	8 — Без перестановки. 16 — Смена порядка байтов внутри каждых 16 разрядов. 32 — Смена порядка байтов внутри каждых 32 разрядов. 64 — Смена порядка байтов внутри каждых 64 разрядов. 128 — Смена порядка байтов внутри каждых 128 разрядов.	8

Пример

:: Размер AXI транзакций чтения из Источника — 4

:: Разрядность AXI транзакций чтения из Источника — 64

:: Размер AXI транзакций записи в Приёмник — 8

:: Разрядность AXI транзакций записи в Приёмник - 32

DMAMOV CCR, SB4 SS64 DB8 DS32

8.8.12 DMANOP

DMANOP - «Нет операции» (No operation). Например, инструкцию DMANOP можно использовать для организации задержек или выравнивания кода в памяти. Может быть использована как потоком канала, так и потоком управления.

7	6	5	4	3	2	1	0
0	0	0	1	1	0	0	0

Рисунок 8.13. Формат инструкции DMANOP

Синтаксис

DMANOP

8.8.13 DMARMB

DMARMB - «Барьер чтения памяти» (Read Memory Barrier). Инструкция DMARMB вынуждает канал SDMA ожидать завершения всех предшествующих инструкций DMALD (обработка и их завершение на AXI). Это позволяет безопасно выполнить последовательность «запись после чтения».

Применима только к потоку канала.

7	6	5	4	3	2	1	0
0	0	0	1	0	0	1	0

Рисунок 8.14. Формат инструкции DMARMB

Синтаксис

DMARMB

8.8.14 DMASEV

DMASEV - «Послать событие» (send event). В зависимости от настроек регистра разрешения прерываний (INTEN) выполняется одно из следующих действий:

Или генерируется событие с номером event_num.

Обычно используется инструкция DMAWFE, чтобы приостановить выполнение потока, а затем другой поток выполняет DMASEV с необходимым номером события, чтобы снова запустить ожидающий поток.

Или устанавливается сигнал прерывания irq<event_num>.

Применима к потоку канала и к потоку управления.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
event_num[4:0]					0	0	0	0	0	1	1	0	1	0	0

Рисунок 8.15. Формат инструкции DMASEV

Синтаксис

DMASEV <Номер события>

<Номер события>

5-ти разрядный номер события (от 0 до 31). SDMA аварийно завершит выполнение потока, если будет выбран номер события, недоступный в данной конфигурации SDMA.

Пример

:: Сформировать событие с номером 4

DMASEV E4

8.8.15 DMAST[S|B]

DMAST[S|B] - «Сохранение». Иницирует запись данных из MFIFO в Приёмник. Адрес Приёмника определяется содержимым регистра DAR. Параметры AXI-транзакции настраиваются через регистр CCR. Если поле *dst_inc* регистра CCR настроено на увеличение адреса, тогда после выполнения инструкции DMAST[S|B] обновляется содержимое регистра Адреса Приёмника (DAR).

Инструкция применима только к потоку канала.

7	6	5	4	3	2	1	0
0	0	0	0	1	0	bs	x

Рисунок 8.16. Формат инструкции DMAST[S|B]

Синтаксис

DMAST[S|B]

[S]

bs = 0, x = 1. Выполнение инструкции зависит от состояния флага *request_type*:

request_type = Single

SDMA выполняют инструкцию — AXI-транзакцию записи длиной 1 (*awlen*[3:0]=0x0). Размер транзакции, заданный полем *dst_burst_len* регистра CCR, игнорируется.

request_type = Burst

SDMA выполняет инструкцию DMANOP, после чего PC увеличивается (становится равным адресу следующей инструкции).

[B]

bs = 1, x = 1. Выполнение инструкции зависит от состояния флага *request_type*:

request_type = Single

SDMA выполняет инструкцию DMANOP, после чего PC увеличивается (становится равным адресу следующей инструкции).

request_type = Burst

SDMA выполняют AXI-транзакцию записи.

Если операнды S или B не заданы, тогда ассемблер устанавливает bs = 0 и x = 0 и запись выполняется безусловно.

Замечания:

Признак request_type формируется при выполнении инструкции DMAWFP.

SDMA начнёт запись только тогда, когда в MFIFO будет необходимое для пакета количество данных.

Пример

;; запись в приёмник длиной 1 (npu request_type = single)

DMASTS

8.8.16 DMASTZ

DMASTZ - «Записать ноль». Иницирует запись нулей в Приёмник. Адрес Приёмника определяется содержимым регистра DAR. Параметры AXI-транзакции настраиваются через регистр CCR. Если поле dst_inc регистра CCR настроено на увеличение адреса, тогда после выполнения инструкции обновляется содержимое регистра Адреса Приёмника (DAR).

Инструкция применима только к потоку канала.

7	6	5	4	3	2	1	0
0	0	0	0	1	1	0	0

Рисунок 8.17. Формат инструкции DMASTZ

Синтаксис

DMASTZ

8.8.17 DMAWFE

DMAWFE - «Ожидание события» (Wait For Event). Инструкция DMAWFE приостанавливает выполнение программы потока до тех пор, пока не произойдёт событие с заданным номером. После того как заданное событие происходит, канал переходит в состояние «Выполнение», событие «очищается».

Применима к потоку канала и потоку управления.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
event_num[4:0]					0	i	0	0	0	1	1	0	1	1	0

Рисунок 8.18. Формат инструкции DMAWFE

Синтаксис

DMAWFE <Номер события>[, <Достоверность кэша>]

<Номер события>

5-ти разрядное число — номер события (event_num).

[<Достоверность кэша>]

Возможное значение: invalid.

Если параметр задан, тогда i устанавливается в 1, и кэш инструкций считается недостоверным для текущего потока. Если параметр не задан, тогда ассемблер устанавливает i в 0 и кэш инструкций не инвалидируется.

Пример

;; ожидание события номер 0, кэш недостоверен

DMAWFE E0, invalid

;; ожидание события номер 15, кэш достоверен

DMAWFE E15

8.8.18 DMAWMB

DMAWMB - «Барьер записи в память» (Write Memory Barrier). Инструкция DMAWMB вынуждает канал SDMA ожидать завершения всех предшествующих инструкций DMAST (обработка и их завершение на AXI). Это позволяет безопасно выполнить последовательность «чтение после записи».

Применима только к потоку канала.

7	6	5	4	3	2	1	0
0	0	0	1	0	0	1	1

Рисунок 8.19. Формат инструкции DMAWMB

Синтаксис

DCD <Значение>

DCD

DCD - «Разместить слово». Директива ассемблера для размещения 32-разрядного числа в потоке инструкций.

Синтаксис

DCD <32-разрядной число>

8.8.19 DCB

DCB - «Разместить байт». Директива ассемблера для размещения 8-разрядного числа в потоке инструкций.

Синтаксис

DCB <8-разрядной число>

9. ОБЩИЙ DMA КОНТРОЛЛЕР ПЕРИФЕРИЙНОЙ ШИНЫ (PDMA)

Настоящий раздел содержит информацию о АНВ DMA контроллере периферийной шины L1_COMM (далее - шины АНВ) PDMA.

9.1 Описание работы

PDMA - устройство шины АНВ, позволяющее автоматически (без постоянного вмешательства CPU) выполнять пересылки данных между заданными устройствами шины. Структурная схема PDMA и пример работы показаны на Рисунок 9.1:

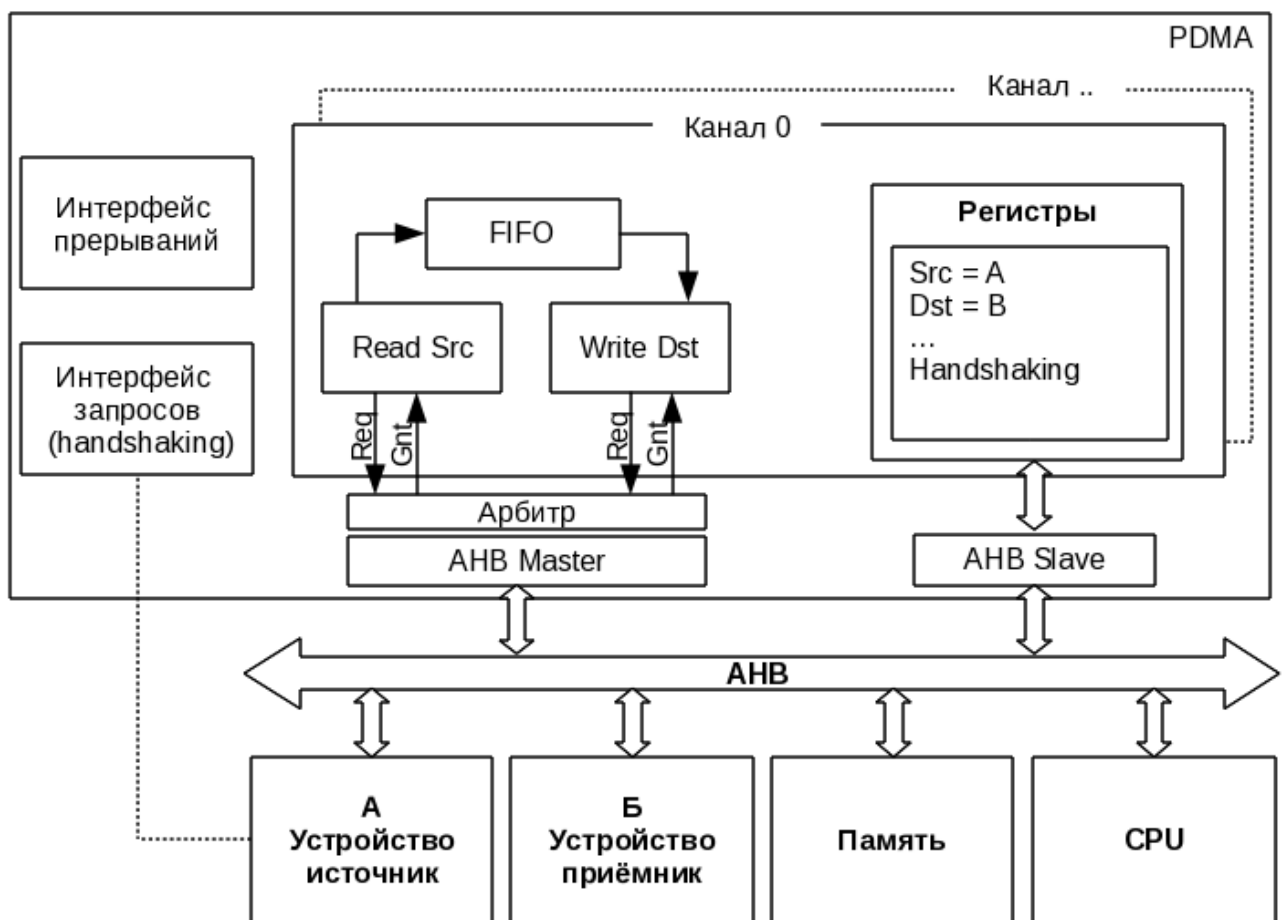


Рисунок 9.1. Структура PDMA и пример работы

PDMA читает данные из *Источника А*, сохраняет их в FIFO, затем берет данные из FIFO и записывает их в *Приёмник Б*.

Источник - устройство на шине АНВ, из которого PDMA читает данные. *Приёмник* - устройство на шине АНВ, в которое PDMA производит запись данных.

В качестве *Источника/Приёмника* может выступать любое устройство, доступное с данной шины АНВ. Например, ведомое устройство шины АНВ или АРВ. В случае АРВ доступ к источнику производится через мост АНВ-АРВ.

Источник и приёмник образуют *Канал пересылки* (далее *Канал*). Всего PDMA позволяет настроить до 8-ми одновременно работающих *Каналов*. Каждый *Канал* имеет свой собственный набор регистров управления, отдельное, собственное FIFO.

Пересылка данных осуществляется через ведущий порт АНВ.

Арбитр ведущего порта АНВ PDMA управляет доступом *Каналов* к шине на основе их приоритета (настраивается программно).

Настройка и управление пересылками осуществляется через ведомый порт АНВ. Например, задаётся адрес *Источника*, адрес *Приёмника*, размер пересылки и др.

Инициирование передач непосредственно на шине АНВ осуществляется через *Интерфейс запросов* (программный или аппаратный). При использовании аппаратного *Интерфейса запросов* периферийное устройство (*Источник/Приёмник*) устанавливает аппаратный сигнал готовности к передаче, после чего PDMA запускает передачу на шине АНВ. При использовании программного *Интерфейса запросов* запрос передачи осуществляется через специальные регистры PDMA.

Интерфейс прерываний отвечает за формирование сигналов прерываний при выполнении определённых событий PDMA. Например, по завершению заданной пересылки.

Следует выделить особый вид *Источника/Приёмника* - *Память*.

Память - *Источник* или *Приёмник*, который всегда готов к осуществлению передач. Для этого типа устройств не требуется *Интерфейс запросов*. *Памятью* рекомендуется считать устройство, которое при обращении к нему вставляет не более 16 циклов ожидания на шине АНВ (сигнал HREADY). Если требуется более 16-ти циклов ожидания предпочтительнее использовать *Интерфейс запросов*.

9.1.1 Основные параметры PDMA

1. Количество одновременно работающих Каналов - 8.
2. Размер FIFO каждого из Каналов - 64 байта.
3. Максимальный размер Блока - 4095 одиночных обращений АНВ.
4. Максимальный размер Пакета PDMA - 256 одиночных обращений АНВ.
5. Максимальная разрядность обращений от Источника или к Приёмнику - 32 разряда.
6. Количество аппаратных Интерфейсов Запросов - 16.

7. В данной реализации PDMA используются только АНВ транзакции типа INCR. Транзакции SINGLE, INCR4, INCR8 и т.д. не поддерживаются.

9.1.2 Пересечение 1К границы

Согласно протоколу АНВ непрерывная пересылка АНВ не должна пересекать 1К границу адресов. PDMA автоматически разрешает эту ситуацию. В случае пересылки с пересечением 1К границы PDMA автоматически разобьёт её на две, первая из которых закончится на границе 1К, а следующая начнётся после.

9.2 Организация пересылок PDMA

Настроенный и запущенный в работу *Канал* осуществляет *PDMA Пересылку*. *PDMA Пересылка* - это наиболее крупная высокоуровневая задача по передаче данных от *Источника* к *Приёмнику*.

PDMA Пересылка состоит из *Блоков*. *Блок* - блок данных, который необходимо передать от *Источника* к *Приёмнику*. ПО управляет количеством *Блоков* в *PDMA Пересылке*. По окончании *PDMA Пересылки Канал* завершает работу, при необходимости генерируется прерывание. После этого ПО может перенастроить *Канал* на новую *PDMA Пересылку*.

Существуют следующие виды *PDMA Пересылок*:

1. Одноблочная Пересылка.
2. Пересылка цепочкой Блоков (связным списком).
3. Пересылка с автоповтором.
4. Пересылка смежными блоками.

Источник и *Приёмник* можно независимо настроить на необходимый тип *PDMA Пересылки*.

Размер *Блока* задаётся программно, если он известен заранее (размером *Блока* управляет PDMA). Размер *Блока* задаётся количеством *Одиночных обращений* на шине АНВ.

Если размер *Блока* заранее неизвестен, тогда размером *Блока* управляет периферийное устройство (*Источник* или *Приёмник*), через *Интерфейс запросов*.

Замечание: Все транзакции АНВ (тип транзакции АНВ определяется сигналом HBURST) состоят из *Одиночных обращений АНВ* (beat АНВ). Например, транзакция типа INCR8 состоит из 8-ми *Одиночных обращений*, а транзакция типа SINGLE состоит из одного *Одиночного обращения*. Транзакция типа SINGLE - *Одиночная транзакция АНВ*. Транзакции других типов (INCR, INCR8 и др.) - *Пакетные транзакции АНВ*.

Внимание. В данной реализации PDMA используются только транзакции типа INCR.

Пересылка Блока от Источника к PDMA, а затем от PDMA к Приёмнику осуществляется не непрерывным потоком, а пакетами PDMA и одиночными обращениями PDMA. Блок разбивается на пакеты PDMA и одиночные обращения PDMA. Пакет PDMA — порция данных заданного размера, на которые разбивается Блок PDMA.

Размер пакета PDMA (другими словами, количество одиночных обращений АНВ внутри пакета PDMA) настраивается программно. Если Блок невозможно разбить на целое количество пакетов, тогда данные, не уместившиеся в пакет, можно переслать одиночными обращениями PDMA. Одиночное обращение PDMA соответствует одиночной транзакции АНВ. Пакет PDMA или Одиночное обращение PDMA - PDMA транзакция. Пакет PDMA состоит из пакетных и одиночных транзакций АНВ.

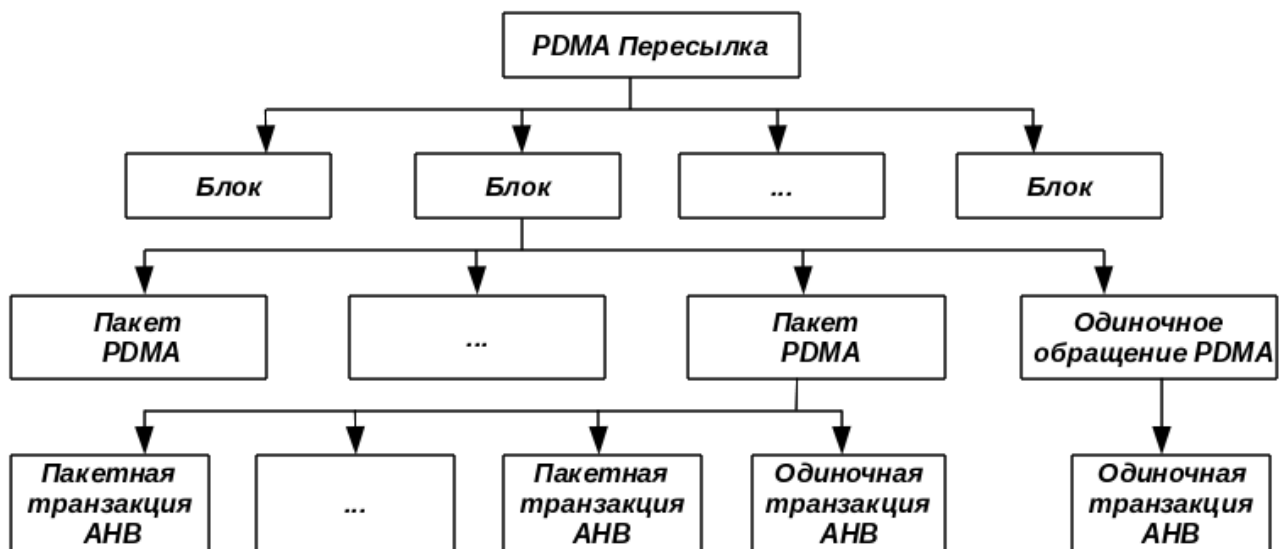


Рисунок 9.2. Организация пересылок PDMA

Таким образом, PDMA Пересылка состоит из одного или нескольких Блоков. Блок разбивается на Пакеты PDMA заданного размера. Пакеты PDMA преобразуются в транзакции АНВ.

Для периферийных устройств типа Память, структура пересылок выглядит несколько иначе:

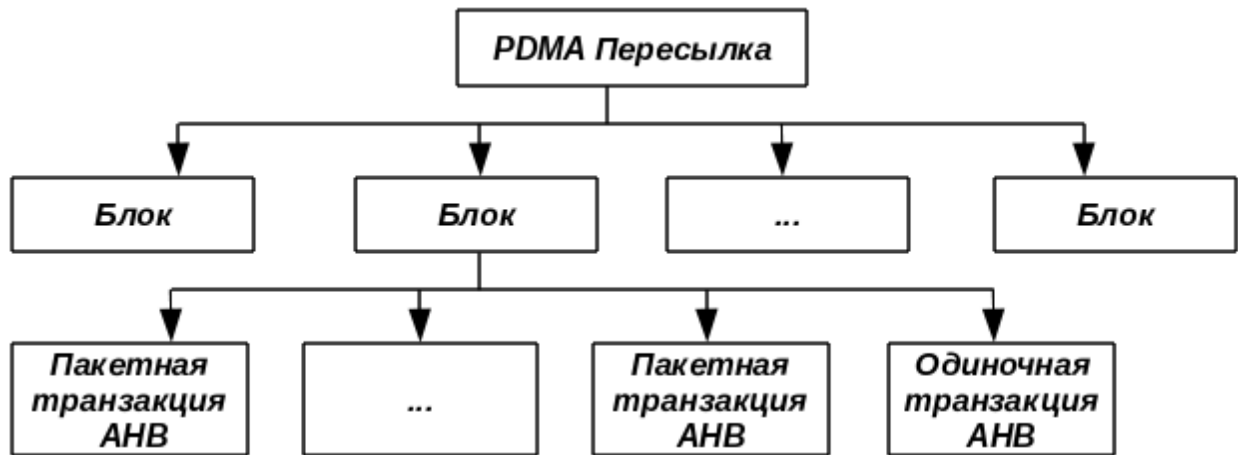


Рисунок 9.3. Организация пересылок PDMA для Памяти

В пересылках между PDMA и Памятью отсутствует уровень *Пакетов PDMA*. Блоки напрямую преобразуются в *транзакции АНВ*, так как подразумевается, что Память всегда готова к обмену. При пересылках между Памятью и PDMA *Интерфейс запросов* не используется.

Для обычного *Источника/Приёмника* инициирование передачи *пакетов PDMA* происходит по готовности периферийного устройства (Например, по заполнению FIFO *Источника/Приёмника* через *Интерфейс запросов* формируется сигнал готовности периферии к обмену).

9.3 Интерфейсы запросов

Интерфейс запросов используется при пересылке между PDMA и периферийным устройством (*Источником/Приёмником*) отличным от Памяти. Через *Интерфейс запросов* периферийное устройство сообщает PDMA о своей готовности к выдаче/приёму данных. Существуют *Программный* и *Аппаратный Интерфейсы запросов*. Для каждого *Канала* программно настраивается используемый *Интерфейс запросов* (как для *Источника*, так и для *Приёмника*).

9.3.1 Область одиночных обращений

В некоторых ситуациях *Блок PDMA* невозможно передать, используя только *Пакеты PDMA*. Например, размер *Блока PDMA* такой, что его невозможно передать за целое количество *Пакетов PDMA*. Тогда PDMA передаёт *Пакеты* до тех пор, пока количество оставшихся данных не станет меньше размера *Пакета*. В этом случае считается, что периферия переходит в *Область Одиночных Обращений*. Оставшиеся данные *Блока* передаются, используя *Одиночные Обращения PDMA*. Замечание: Существует возможность завершить передачи в *Области Одиночных Обращений*, используя *Прерванные Пакеты PDMA*. PDMA обрабатывает только запросы *Пакетов*, игнорируя

запросы *Одиночных Обращений PDMA*, если периферия не находится в *Области Одиночных Обращений*.

Область Одиночных Обращений определяется только для периферии, которая не управляет размером *Блока*.

9.3.2 Прерванный пакет PDMA

Запросить *Пакет PDMA* возможно, даже если *Источник* или *Приёмник* находятся в *Области Одиночных Обращений*. В этом случае *Пакет PDMA* будет запущен, но будет считано только необходимое количество данных. Затем *Пакет* прервётся, не обрабатывая все запрограммированное количество байт в *Пакете* (поля SRC_MSIZE, DST_MSIZE, SRC_TR_WIDTH, DST_TR_WIDTH регистров CTLx).

Прерванный Пакет PDMA определяется только для периферии, которая не управляет размером *Блока*.

9.3.3 Аппаратный интерфейс запросов

Как для *Источника*, так и *Приёмника* каждого *Канала* можно назначить любой из аппаратных *Интерфейсов запросов*, представленных в таблице «Аппаратные Интерфейсы запросов PDMA».

Таблица 9.1. Аппаратные интерфейсы запросов PDMA

Номер	Устройство
15	MCC CA
14	MCC
13	SSI1 RX
12	SSI1 TX
11	SSI0 RX
10	SSI0 TX
9	I2C1 RX
8	I2C1 TX
7	I2C0 RX
6	I2C0 TX
5	UART2 RX
4	UART2 TX
3	UART1 RX
2	UART1 TX
1	UART0 RX
0	UART0 TX

9.3.3.1 Обмен по готовности Источника/Приёмника

При готовности к обмену периферийное устройство устанавливает сигнал запроса. После получения сигнала запроса PDMA инициирует передачу на шине АНВ (передачу *пакета PDMA* или *одиночного обращения PDMA*). После выполнения необходимого обмена

контроллер PDMA сообщает об этом периферии. Периферийное устройство снимает сигнал запроса.

Для более эффективного использования шины АНВ размер *пакетов PDMA* должен соответствовать количеству доступных ресурсов периферии (например, размеру FIFO периферии, по заполнению которого, периферия формирует сигнал готовности к обмену).

9.3.3.2 Управление размером Блока

Если размером *Блока* управляет периферийное устройство (т.е. размер *Блока* заранее не известен), то при выдаче/приёме необходимого количества данных, периферийное устройство формирует признак окончания *Блока*. После чего PDMA прекращает дальнейшие обращения к периферийному устройству, завершает обработку *Блока*, информирует об этом периферийное устройство.

Если размером *Блока* управляет PDMA (т.е. размер *Блока* известен заранее и задаётся через регистры PDMA), тогда сигнал завершения *Блока* от периферии не используется.

9.3.4 Программный Интерфейс запросов

При использовании *программного Интерфейса запросов* определение готовности периферии к обмену, а также инициирование передач производится программно. Например, периферийное устройство может сформировать сигнал прерывания, а обработчик прерывания, считав состояния периферии, программно запустить необходимые передачи.

Управление передачами осуществляется через следующие регистры:

- ReqSrcReg - Запрос передачи *пакета PDMA Источника*;
- SglReqSrcReg - Запрос одиночного обращения PDMA к *Источнику*;
- LstSrcReg - Признак последней передачи (*пакета PDMA* или *одиночного обращения PDMA*) *Источника*;
- ReqDstReg, SglReqDstReg, LstDstReg - регистры *Приёмника*, аналогичные регистрам ReqSrcReg, SglReqSrcReg, LstSrcReg *Источника*.

9.3.4.1 Программный Интерфейс запросов, периферия не управляет размером Блока

Регистры LstSrcReg и LstDstReg в этом режиме не используются и их значения игнорируются.

9.3.4.2 Источник/Приёмник находится вне Области Одиночных Обращений

Для того, чтобы инициировать пересылку *Пакета Источника* для *Канала N* необходимо установить соответствующие *Каналу* разряды запросов в регистрах ReqSrcReq и SglReqSrcReq. Т.е для запуска *Пакета* необходимо выполнение следующих условий:

$\text{ReqSrcReq}[N] = 1$ (*Запрос передачи Пакета*)

$\text{SglReqSrcReq}[N] = 1$ (*Запрос Одиночного Обращения*)

Последовательность обращений к регистрам ReqSrcReq и SglReqSrcReq вне *Области Одиночных Обращений* не важна. После выполнения передачи *Пакета*, установленные ранее разряды запросов в регистрах ReqSrcReq и SglReqSrcReq сбросятся аппаратно. Для *Приёмника* все работает аналогично (вместо регистров ReqSrcReq и SglReqSrcReq используются регистры ReqDstReq и SglReqDstReq).

9.3.4.3 Источник/Приёмник находится в Области Одиночных Обращений

Для того, чтобы инициировать пересылку *Одиночного Обращения Источника* для *Канала N* необходимо установить соответствующий *Каналу* разряд запроса в регистре SglReqSrcReq:

$\text{SglReqSrcReq}[N] = 1$ (*Запрос Одиночного Обращения*)

После этого запись запроса в $\text{ReqSrcReq}[N]$ будет проигнорирована. Разряды запросов в регистрах ReqSrcReq и SglReqSrcReq будут сброшены аппаратно после завершения *Одиночного Обращения PDMA*.

Для того, чтобы запустить *Пакет PDMA* в *Области Одиночных Обращений* необходимо сначала установить разряд запроса в регистре ReqSrcReq, а затем в регистре SglReqSrcReq:

$\text{ReqSrcReq}[N] = 1$ (*Запрос передачи Пакета*)

$\text{SglReqSrcReq}[N] = 1$ (*Запрос Одиночного Обращения*)

Запущенный *Пакет* будет обработан как *Прерванный Пакет PDMA*. Разряды запросов в регистрах ReqSrcReq и SglReqSrcReq будут сброшены аппаратно после завершения *Прерванного Пакета PDMA*.

Для *Приёмника* все работает аналогично (вместо регистров ReqSrcReq и SglReqSrcReq используются регистры ReqDstReq и SglReqDstReq).

Таким образом, ПО может определять моменты завершения выполнения *Пакетов и Одиночных обращений* или опрашивая регистры ReqSrcReq/ReqDstReq, SglReqSrcReq/SglReqDstReq, или настроив прерывания IntSrcTran, IntDstTran. Прерывания генерируются по выполнению *транзакции PDMA* (как по завершению *Одиночного Обращения PDMA*, так и *Пакета PDMA*).

9.3.4.4 Программный Интерфейс запросов, периферия управляет размером Блока

Регистры ReqSrcReq/ReqDstReq, SglReqSrcReq/SglReqDstReq используются несколько иначе, чем случае, когда размером *Блока* управляет не периферия. Сначала при необходимости устанавливается LstSrcReg / LstDstReg или SglReqSrcReq / SglDstSrcReq. После этого записью в ReqSrcReq / ReqDstReq инициируется передача. Тип передачи определяется заранее предустановленными SglReqSrcReq / SglDstSrcReq (Запрос Одиночного Обращения) и LstSrcReg/ LstDstReg (Признак последней передачи в *Блоке*). Порядок записи в регистры LstSrcReg/ LstDstReg и SglReqSrcReq/SglDstSrcReq не важен. Запись в ReqSrcReq/ ReqDstReq всегда должна следовать после записей в SglReqSrcReq/SglDstSrcReq и LstSrcReg/ LstDstReg. После завершения *транзакции PDMA* (*Пакета или Одиночного обращения*) разряды запросов в регистрах *Интерфейса запроса* аппаратно сбрасываются. Если периферия управляет размером *Блока*, и блок не уместится в целое количество *Пакетов Источника* или *Приёмника*, ПО должно использовать *Одиночные Обращения*, чтобы завершить *Блок*.

9.4 Виды PDMA Пересылок

9.4.1 Одноблочная Пересылка

В случае одноблочной пересылки после выполнения передачи *Блока Канал* останавливает свою работу.

9.4.2 Пересылка цепочкой Блоков (связным списком)

Если для *Источника* или *Приёмника* настроена передача цепочкой *Блоков*, тогда после завершения передачи *Блока* следующий *Блок* автоматически проинициализируется из *Описателя Блока (LLI - linked list Item)*, адрес которого задаётся в регистре LLPx.

Описатель Блока (он же элемент связного списка или LLI) представляет из себя следующую область памяти:

Таблица 9.2. Структура Описателя Блока (LLI)

Адрес	Название	Описание
{LLPx[31:2], 2'b00} + 0x18	LLI.DSTAT	Статус <i>Приёмника</i> . Сюда после завершения <i>Блока</i> PDMA может записать значение, считанное по адресу указанному в регистре DSTATARx.
{LLPx[31:2], 2'b00} + 0x14	LLI.SSTAT	Статус <i>Источника</i> . Сюда после завершения <i>Блока</i> PDMA может записать значение, считанное по адресу указанному в регистре SSTATAR .
{LLPx[31:2], 2'b00} + 0x10	LLI.CTL[63:32]	Управляющий регистр <i>Блока</i>
{LLPx[31:2], 2'b00} + 0xC	LLI.CTL[31:0]	Управляющий регистр <i>Блока</i>
{LLPx[31:2], 2'b00} + 0x8	LLI.LLP	Указатель на следующий <i>Описатель Блока</i>
{LLPx[31:2], 2'b00} + 0x4	LLI.DAR	Начальный адрес <i>Приёмника</i>
{LLPx[31:2], 2'b00}	LLI.SAR	Начальный адрес <i>Источника</i>

Из этой области инициализируются соответствующие регистры *Канала* при запуске *Блока*.

9.4.2.1 Пересылка с автоповтором

Если для *Источника* или *Приёмника* настроена *Пересылка с автоповтором*, тогда содержимое регистров *Канала*, после завершения передачи *Блока* будет обновляться значениями, которые содержались в них в момент запуска *Канала*.

9.4.2.2 Пересылка смежными Блоками

После выполнения текущего *Блока*, начало следующего *Блока* является продолжением текущего.

Возможны следующие варианты многоблочных PDMA Пересылок:

- *автоповтор Блока Источника - Автоповтор Блока Приёмника;*
- *автоповтор Блока Источника - Цепочка Блоков Приёмника;*
- *автоповтор Блока Источника - Смежные Блоки Приёмника;*
- *цепочка Блоков Источника - Автоповтор Блока Приёмника;*
- *цепочка Блоков Источника - Цепочка Блоков Приёмника;*
- *цепочка Блоков Источника - Смежные Блоки Приёмника;*
- *смежные Блоки Источника - Автоповтор Блока Приёмника;*
- *смежные Блоки Источника - Цепочка Блоков Приёмника.*

PDMA не поддерживает многоблочную передачу типа *Смежные Блоки Источника - Смежные Блоки Приёмника*. Если необходима такая функциональность, следует либо использовать *Блоки* большего размера, либо использовать пересылки *Цепочками Блоков* для *Источника* и *Приёмника* с необходимыми настройками адресов SARx и DARx.

Тип *Пересылки* определяется полями регистров LLPx, CTLx, CFGx. Содержимое регистров SARx, DARx, CTLx, LLPx *Канала* может автоматически обновляться в начале *Блока* в зависимости от типа *Пересылки*. В следующей таблице приведены возможные типы *Пересылок* и варианты изменений регистров *Канала*.

Таблица 9.3. Типы пересылок и обновление регистров *Канала*

Тип	LO C = 0 LL Px.	CTLx.LLP_ SRC_EN	CFGx.RELO AD_SRC	CTLx.LLP_ DST_EN	CFGx.RELO AD_DST	Обнов ление CTLx и LLPx	Обнов ление SARx	Обнов ление DARx	Обрат ная запись
Одноблочная <i>Пересылка</i> или последний <i>Блок</i> многоблочной									
1	Да	0	0	0	0	Нет	Нет	Нет	Нет
Многоблочные <i>Пересылки</i> без использования цепочек <i>Блоков</i>									
2	Да	0	0	0	1	<i>Нач.</i>	<i>Смеж.</i>	<i>Нач.</i>	Нет
3	Да	0	1	0	0	<i>Нач.</i>	<i>Нач.</i>	<i>Смеж.</i>	Нет
4	Да	0	1	0	1	<i>Нач.</i>	<i>Нач.</i>	<i>Нач.</i>	Нет
Одноблочная <i>Пересылка</i> или последний <i>Блок</i> многоблочной									
5	Нет	0	0	0	0	Нет	Нет	Нет	Да
Многоблочные <i>Пересылки</i> цепочками <i>Блоков</i>									
6	Нет	0	0	1	0	<i>LLI</i>	<i>Смеж.</i>	<i>LLI</i>	Да
7	Нет	0	1	1	0	<i>LLI</i>	<i>Нач.</i>	<i>LLI</i>	Да
8	Нет	1	0	0	0	<i>LLI</i>	<i>LLI</i>	<i>Смеж.</i>	Да
9	Нет	1	0	0	1	<i>LLI</i>	<i>LLI</i>	<i>Нач.</i>	Да
10	Нет	1	0	1	0	<i>LLI</i>	<i>LLI</i>	<i>LLI</i>	Да

В таблице используются следующие условные обозначения и сокращения:

Нач. - начальное значение. При старте *Блока* с автоповтором, в регистры автоматически записывается значение, которое было записано в них до запуска *Блока*.

Смеж. - смежные адреса *Блоков*.

LLI - значение регистра загружается и *LLI* (из *Описателя Блока*). Используется при обработке *Блока* в цепочке *Блоков*.

Обратная запись (write back) - Под обратной записью подразумевается запись управляющей и статусной информации контроллером PDMA в *Описатель Блока* при завершении обработки *Блока*. PDMA может обновлять поля DSTAT, SSTAT, CTL LLI по завершению обработки *Блока*.

9.5 Изменение адреса внутри *Блока*

При выполнении пересылки *Блока* существует несколько возможностей изменения адреса *Источника/Приёмника* внутри *Блока*. Способ изменения адреса *Источника/Приёмника* внутри *Блока* настраивается независимо как для *Источника*, так и для *Приёмника*.

9.5.1 Адрес не меняется

Все обращения PDMA к *Источнику/Приёмнику* производятся по одному и тому же адресу. Например, такой способ может подойти, если в качестве буфера данных *Источника/Приёмника* используется FIFO.

9.5.2 Адрес увеличивается

В этом случае все обращения PDMA к *Источнику/Приёмнику* производятся по последовательным адресам с возрастанием адреса.

9.5.3 Адрес уменьшается

Обращения PDMA к *Источнику/Приёмнику* производятся по последовательным адресам с убыванием адреса.

9.5.4 Пересылка с Разбросом/Сбором

Для пересылок с увеличением или уменьшением адреса можно настроить дополнительные возможности *Сбора(gather)* и *Разброса(scatter)* данных.

Возможность *разброса* данных относится только к *Приёмнику*.

Для *Блока*, с включённым *Разбросом* данных, программно определяется количество *Одиночных обращений АНВ* к *Приёмнику*, после которых адрес обращения увеличивается/уменьшается на заданную величину.

Сбор данных относится только к *Источнику*.

Для *Блока*, с включённым *Сбором* данных, программно определяется количество *Одиночных обращений АНВ* к *Источнику*, после которых адрес обращения увеличивается/уменьшается на заданную величину.

Граница Разброса/Сбора — адрес, после которого происходит скачкообразное изменение адреса *Приёмника/Источника*. Граница достигается после заданного количества обращений со стороны PDMA(см. SGR.SGI и DSR.DSI).

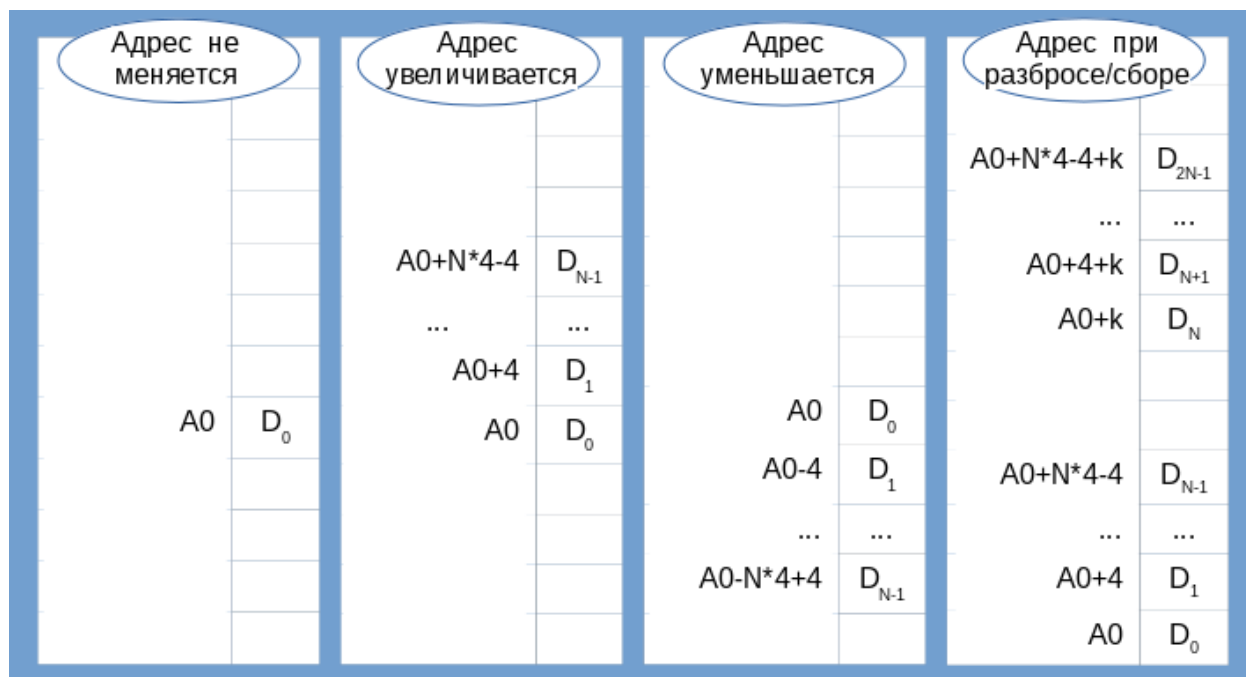


Рисунок 9.4. Пример изменения адреса в Блоке для 32-х разрядных пересылок

На Рисунок 9.5 показан пример изменения адреса *Источника* при включённой возможности *Сбора*:

Адрес	Данные
A + 68	D ₁₁
A + 64	D ₁₀
A + 60	D ₉
A + 56	D ₈
A + 40	D ₇
A + 36	D ₆
A + 32	D ₅
A + 28	D ₄
A + 12	D ₃
A + 8	D ₂
A + 4	D ₁
A	D ₀

Разрядность одиночного обращения АНВ Источника:
 $CTLx.SRC_TR_WIDTH = 3'b010$ (32разряда/8 = 4 байта)

Интервал Сбора Источника:
 $SGR.SGI = 3$

Величина изменения адреса при достижении границы Сбора
= количество байт одиночного обращения * $SGR.SGI$
= 12 байт

Количество обращений PDMA к Источнику с непрерывным адресом (до достижения границы Сбора):
 $SGR.SGC = 4$

Рисунок 9.5. Пример изменения адреса для пересылки со Сбором

В примере PDMA последовательно считывает из *Источника* 4 слова (задаётся в $SGR.SGC$). Затем адрес обращения изменяется скачкообразно (задаётся в $SGR.SGI$), и следующие 4 слова считываются не из последовательного адреса, а из этого нового адреса и т.д.

При включённом *Разбросе* в *Приёмнике* обращения будут происходить аналогично.

9.6 Выключение канала до завершения пересылки

При обычном порядке работы *Канал* включается программно (записью единицы в $ChEnReg.CH_EN$) и аппаратно отключается после выполнения пересылки ($ChEnReg.CH_EN$ сбрасывается аппаратно).

Чтобы избежать потери данных при необходимости программной остановки *Канала* до завершения пересылки, рекомендуется использовать следующую последовательность действий:

- установить разряд CFGx.CH_SUSP (запрос прекращения пересылок от Источника, после этого FIFO канала не будет получать новых данных);
- опрашивать разряд CFGx.FIFO_EMPTY до тех пор, пока FIFO не опустошится;
- программно сбросить разряд ChEnReg.CH_EN.

Если разрядность передач от *Источника*(CTLx.SRC_TR_WIDTH) меньше разрядности передач к *Приёмнику*(CTLx.DST_TR_WIDTH) и был установлен разряд CFGx.CH_SUSP при непустом FIFO, может возникнуть ситуация, когда данные считанные из *Источника* не будут переданы *Приёмнику* (считано недостаточно разрядов для одиночного обращения к *Приёмнику*). Разрешается возобновить работу канала (записью нуля в CFGx.CH_SUSP).

Замечание: При программной остановке *Канала* не гарантируется подтверждение на запрос одиночного или пакетного обращения.

Канал также может быть остановлен без предварительных действий просто записью нуля в ChEnReg.CH_EN. Запись в CH_EN следует рассматривать как запрос на прекращение работы. Чтобы убедиться, что канал действительно остановлен, следует опрашивать ChEnReg.CH_EN до тех пор, пока из него не будет считан ноль.

Возможно, прервать работу всех каналов сразу сбросом глобального разрешения работы PDMA DmaCfgReg[0]. Для того, чтобы убедиться, что каналы остановлены, необходимо опрашивать регистр ChEnReg.

Замечание: Если разряд разрешения работы сброшен при непустом FIFO, данные из FIFO *Приёмнику* не передаются. Это может привести к потере данных. При программной остановке *Канала* не гарантируется подтверждение на запрос одиночного или пакетного обращения.

9.7 Прерывания

Для каждого *Канала* существует пять источников прерываний:

- **IntTfr** - Завершение *PDMA Пересылки*.

Прерывание формируется после завершения всей *PDMA Пересылки Приёмнику*.

- **IntBlock** - Завершение передачи *Блока*.

Прерывание формируется после передачи всего *Блока Приёмнику*.

- **IntDstTran** - Завершение передачи *Приёмнику*.

Формируется после выполнения последней АНВ транзакции в *Пакете PDMA* или *Одиночном обращении PDMA Приёмника*. *Пакет* или *Одиночное обращение PDMA* инициируются через *Интерфейс запросов* (программный или аппаратный). Если

Приёмник является устройством типа *Память*, тогда это прерывание не будет формироваться, так как для *Памяти* не существует разбиения *Блока* на *Пакеты* и *Одиночные обращения PDMA*.

- **IntSrcTran** - Завершение передачи *Источника*.

Формируется после выполнения последней АНВ транзакции в *Пакете PDMA* или *Одиночном обращении PDMA Источника*. *Пакет* или *Одиночное обращение PDMA* инициируются через *Интерфейс запросов* (программный или аппаратный). Если *Источник* является устройством типа *Память*, тогда это прерывание не будет формироваться, так как для *Памяти* не существует разбиения *Блока* на *Пакеты* и *Одиночные обращения PDMA*.

- **IntError** - Ошибка передачи АНВ.

Это прерывание формируется, если во время выполнения передачи через ведущий порт АНВ будет получен ответ ERROR (см. сигнал HRESP АНВ). Дополнительно происходит отмена *PDMA Пересылки* и отключение *Канала*.

Для работы с прерываниями используются следующие группы регистров:

- немаскируемые регистры прерываний.

RawBlock, RawDstTran, RawErr, RawSrcTran, RawTfr. Регистры содержат информацию о выполнении условий формирования прерываний для каждого канала. Всегда устанавливаются при выполнении условия прерывания (независимо от CTLx.INT_EN).

- регистры масок прерываний.

MaskBlock, MaskDstTran, MaskErr, MaskSrcTran, MaskTfr.

- регистры масок прерываний каналов для всех типов прерываний;
- маскируемые регистры прерываний.

StatusBlock, StatusDstTran, StatusErr, StatusSrcTran, StatusTfr.

Содержимое регистров Raw* маскируется регистрами Mask* и записывается в регистры Status*. Для того, чтобы прерывания могли формироваться в регистрах Status*, необходимо также глобально разрешить формирование сигналов всех прерываний через CTLx.INT_EN.

- регистры сброса прерываний.

ClearBlock, ClearDstTran, ClearErr, ClearSrcTran, ClearTfr.

Запись в регистры Clear* очищает запросы прерываний в регистрах Raw* и Status* на одном и том же такте.

- объединённый регистр прерываний StatusInt.

Каждый из пяти значащих разрядов регистра StatusInt содержит взятое по ИЛИ содержимое соответствующего регистра StatusBlock, StatusDstTran, StatusErr, StatusSrcTran, StatusTfr. Таким образом, регистр StatusInt указывает на наличие прерываний определённого типа. Для того, чтобы определить конкретный *Канал* прерывания, необходимо считать значения регистров StatusBlock, StatusDstTran, StatusErr, StatusSrcTran, StatusTfr.

Физические выводы сигналов прерываний:

- IntTfr - Завершение *PDMA Пересылки* в любом *Канале*;
- IntBlock - Завершение передачи *Блока* в любом *Канале*;
- IntDstTran - Завершение передачи *Приёмнику* в любом *Канале*;
- IntSrcTran - Завершение передачи *Источника* в любом *Канале*;
- IntErr - Ошибка передачи АНВ в любом *Канале*;
- IntCombined - взятые по ИЛИ IntTfr, IntBlock, IntDstTran, IntSrcTran, IntErr;
- запросы прерываний на физических выводах формируются, если прерывания разрешены через CTLx.INT_EN и установлены соответствующие маски в регистрах Mask*.

9.8 Регистры PDMA

Все регистры АНВ DMA 64-х разрядные. В основном используются только младшие 32 разряда. Записи в зарезервированные разряды регистров игнорируются. При чтении в зарезервированных разрядах возвращаются нули.

9.8.1 Ошибки при доступе к регистрам

Следующие обращения к регистрам PDMA считаются запрещёнными и будут вызывать отклик на шине АНВ с установленным признаком ошибки:

- попытка обращения по АНВ с hsize более 64;
- попытка обращения по несуществующему адресу при установленном hsel;
- запись в регистры SARx, DARx, LLPx, CTLx, SSTATx, DSTATx, SSTATARx, DSTATARx, SGRx, DSRx при включенном канале;
- попытка чтения из регистров ClearBlock, ClearDstTran, ClearErr, ClearSrcTran, ClearTfr (доступны только по записи);

- попытка записи в регистры StatusBlock, StatusDstTran, StatusErr, StatusSrcTran, StatusTfr, StatusInt, DmaIdReg, DMA_Component_ID_Register (доступны только по чтению).

9.8.2 Карта памяти

Таблица 9.4. Список регистров PDMA

Сокращённое название	Смещение	Тип	Название
Регистры Канала 0			
SAR0	0x000	RW	Адрес Источника
DAR0	0x008	RW	Адрес Приёмника
LLP0	0x010	RW	Адрес описателя следующего Блока
CTL0	0x018	RW	Регистр управления
SSTAT0	0x020	RW	Статус Источника
DSTAT0	0x028	RW	Статус Приёмника
SSTATAR0	0x030	RW	Адрес Статуса Источника
DSTATAR0	0x038	RW	Адрес Статуса Приёмника
CFG0	0x040	RW	Регистр конфигурации
SGR0	0x048	RW	Регистр Сбора Источника
DSR0	0x050	RW	Регистр Разброса Приёмника
Регистры Канала 1			
SAR1	0x058	RW	См. регистры Канала 0
DAR1	0x060	RW	См. регистры Канала 0
LLP1	0x068	RW	См. регистры Канала 0
CTL1	0x070	RW	См. регистры Канала 0
SSTAT1	0x078	RW	См. регистры Канала 0
DSTAT1	0x080	RW	См. регистры Канала 0
SSTATAR1	0x088	RW	См. регистры Канала 0
DSTATAR1	0x090	RW	См. регистры Канала 0
CFG1	0x098	RW	См. регистры Канала 0
SGR1	0x0A0	RW	См. регистры Канала 0
DSR1	0x0A8	RW	См. регистры Канала 0
Регистры Канала 2			
SAR2	0x0B0	RW	См. регистры Канала 0
DAR2	0x0B8	RW	См. регистры Канала 0
LLP2	0x0C0	RW	См. регистры Канала 0
CTL2	0x0C8	RW	См. регистры Канала 0
SSTAT2	0x0D0	RW	См. регистры Канала 0
DSTAT2	0x0D8	RW	См. регистры Канала 0
SSTATAR2	0x0E0	RW	См. регистры Канала 0
DSTATAR2	0x0E8	RW	См. регистры Канала 0
CFG2	0x0F0	RW	См. регистры Канала 0
SGR2	0x0F8	RW	См. регистры Канала 0
DSR2	0x100	RW	См. регистры Канала 0
Регистры Канала 3			
SAR3	0x108	RW	См. регистры Канала 0
DAR3	0x110	RW	См. регистры Канала 0
LLP3	0x118	RW	См. регистры Канала 0
CTL3	0x120	RW	См. регистры Канала 0
SSTAT3	0x128	RW	См. регистры Канала 0
DSTAT3	0x130	RW	См. регистры Канала 0
SSTATAR3	0x138	RW	См. регистры Канала 0
DSTATAR3	0x140	RW	См. регистры Канала 0
CFG3	0x148	RW	См. регистры Канала 0
SGR3	0x150	RW	См. регистры Канала 0

Сокращённое название	Смещение	Тип	Название
DSR3	0x158	RW	См. регистры <i>Канала 0</i>
Регистры Канала 4			
SAR4	0x160	RW	См. регистры <i>Канала 0</i>
DAR4	0x168	RW	См. регистры <i>Канала 0</i>
LLP4	0x170	RW	См. регистры <i>Канала 0</i>
CTL4	0x178	RW	См. регистры <i>Канала 0</i>
SSTAT4	0x180	RW	См. регистры <i>Канала 0</i>
DSTAT4	0x188	RW	См. регистры <i>Канала 0</i>
SSTATAR4	0x190	RW	См. регистры <i>Канала 0</i>
DSTATAR4	0x198	RW	См. регистры <i>Канала 0</i>
CFG4	0x1A0	RW	См. регистры <i>Канала 0</i>
SGR4	0x1A8	RW	См. регистры <i>Канала 0</i>
DSR4	0x1B0	RW	См. регистры <i>Канала 0</i>
Регистры Канала 5			
SAR5	0x1B8	RW	См. регистры <i>Канала 0</i>
DAR5	0x1C0	RW	См. регистры <i>Канала 0</i>
LLP5	0x1C8	RW	См. регистры <i>Канала 0</i>
CTL5	0x1D0	RW	См. регистры <i>Канала 0</i>
SSTAT5	0x1D8	RW	См. регистры <i>Канала 0</i>
DSTAT5	0x1E0	RW	См. регистры <i>Канала 0</i>
SSTATAR5	0x1E8	RW	См. регистры <i>Канала 0</i>
DSTATAR5	0x1F0	RW	См. регистры <i>Канала 0</i>
CFG5	0x1F8	RW	См. регистры <i>Канала 0</i>
SGR5	0x200	RW	См. регистры <i>Канала 0</i>
DSR5	0x208	RW	См. регистры <i>Канала 0</i>
Регистры Канала 6			
SAR6	0x210	RW	См. регистры <i>Канала 0</i>
DAR6	0x218	RW	См. регистры <i>Канала 0</i>
LLP6	0x220	RW	См. регистры <i>Канала 0</i>
CTL6	0x228	RW	См. регистры <i>Канала 0</i>
SSTAT6	0x230	RW	См. регистры <i>Канала 0</i>
DSTAT6	0x238	RW	См. регистры <i>Канала 0</i>
SSTATAR6	0x240	RW	См. регистры <i>Канала 0</i>
DSTATAR6	0x248	RW	См. регистры <i>Канала 0</i>
CFG6	0x250	RW	См. регистры <i>Канала 0</i>
SGR6	0x258	RW	См. регистры <i>Канала 0</i>
DSR6	0x260	RW	См. регистры <i>Канала 0</i>
Регистры Канала 7			
SAR7	0x268	RW	См. регистры <i>Канала 0</i>
DAR7	0x270	RW	См. регистры <i>Канала 0</i>
LLP7	0x278	RW	См. регистры <i>Канала 0</i>
CTL7	0x280	RW	См. регистры <i>Канала 0</i>
SSTAT7	0x288	RW	См. регистры <i>Канала 0</i>
DSTAT7	0x290	RW	См. регистры <i>Канала 0</i>
SSTATAR7	0x298	RW	См. регистры <i>Канала 0</i>
DSTATAR7	0x2A0	RW	См. регистры <i>Канала 0</i>
CFG7	0x2A8	RW	См. регистры <i>Канала 0</i>
SGR7	0x2B0	RW	См. регистры <i>Канала 0</i>
DSR7	0x2B8	RW	См. регистры <i>Канала 0</i>
Регистры прерываний			
RawTfr	0x2C0	R	Немаскируемые прерывания IntTfr
RawBlock	0x2C8	R	Немаскируемые прерывания IntBlock
RawSrcTran	0x2D0	R	Немаскируемые прерывания IntSrcTran
RawDstTrn	0x2D8	R	Немаскируемые прерывания IntDstTran
RawErr	0x2E0	R	Немаскируемые прерывания IntErr
StatusTfr	0x2E8	R	Статус прерывания IntTfr
StatusBlock	0x2F0	R	Статус прерываний IntBlock

Сокращённое название	Смещение	Тип	Название
StatusSrcTran	0x2F8	R	Статус прерываний IntSrcTran
StatusDstTran	0x300	R	Статус прерываний IntDstTran
StatusErr	0x308	R	Статус прерываний IntErr
MaskTfr	0x310	RW	Маска прерываний IntTfr
MaskBlock	0x318	RW	Маска прерываний IntBlock
MaskSrcTran	0x320	RW	Маска прерываний IntSrcTran
MaskDstTran	0x328	RW	Маска прерываний IntDstTran
MaskErr	0x330	RW	Маска прерываний IntErr
ClearTfr	0x338	W	Сброс прерываний IntTfr
ClearBlock	0x340	W	Сброс прерываний IntBlock
ClearSrcTran	0x348	W	Сброс прерываний IntSrcTran
ClearDstTran	0x350	W	Сброс прерываний IntDstTran
ClearErr	0x358	W	Сброс прерываний IntErr
StatusInt	0x360	W	Объединённый регистр прерываний
Регистры программного Интерфейса Запросов			
ReqSrcReg	0x368	RW	Запрос передачи пакета Источника
ReqDstReg	0x370	RW	Запрос передачи пакета Приёмника
SglReqSrcReg	0x378	RW	Запрос одиночного обращения Источника
SglReqDstReg	0x380	RW	Запрос одиночного обращения Приёмника
LstSrcReg	0x388	RW	Признак последнего обращения Источника
LstDstReg	0x390	RW	Признак последнего обращения Приёмника
Регистры конфигурации и управления PDMA			
DmaCfgReg	0x398	RW	Конфигурационный регистр PDMA
ChEnReg	0x3a0	RW	Регистр включения каналов PDMA
DmaIdReg	0x3a8	R	ID регистр DMA
DmaTestReg	0x3b0	RW	Тестовый регистр PDMA
Регистры аппаратных параметров PDMA			
Reserved	0x3b8		Зарезервировано
Reserved	0x3c0		Зарезервировано
DMA_COMP_PARAMS_6	0x3c8	R	6-ой регистр параметров PDMA
DMA_COMP_PARAMS_5	0x3d0	R	5-ый регистр параметров PDMA
DMA_COMP_PARAMS_4	0x3d8	R	4-ый регистр параметров PDMA
DMA_COMP_PARAMS_3	0x3e0	R	3-ий регистр параметров PDMA
DMA_COMP_PARAMS_2	0x3e8	R	2-ой регистр параметров PDMA
DMA_COMP_PARAMS_1	0x3f0	R	1-ый регистр параметров PDMA
Dma Component ID	0x3f8	R	ID регистр компонента DMA

9.8.3 Регистры Каналов

Каждый из восьми *Каналов* PDMA имеет следующий набор регистров:

SAR_x, DAR_x, LLP_x, CTL_x, SSTAT_x, DSTAT_x, SSTATAR_x, DSTATAR_x, CFG_x, SGR_x, DSR_x (x от 0 до 7).

9.8.3.1 SAR_x - Адрес Источника

Регистр SAR_x (Source address register for channel x) -

Регистр адреса *Источника* для *Канала* x.

Смещение	SAR0 – 0x000
	SAR1 – 0x058
	SAR2 – 0x0b0
	SAR3 – 0x108
	SAR4 – 0x160
	SAR5 – 0x1b8
	SAR6 – 0x210
	SAR7 – 0x268
Тип	RW
Состояние по сбросу	0x0
Разрядность	64

Начальное значение регистра SARx задаётся или программно до включения *Канала*, или считывается из *Описателя Блока (LLI)* перед началом обработки *Блока*. Во время обработки *PDMA Пересылки* регистр содержит текущее значение адреса, по которому PDMA производит АНВ чтения из *Источника*.

Подробнее о возможностях загрузки начального значения SARx при обработке *Блока* см. в таблице «Типы пересылок и обновление регистров Канала» в разделе «Виды PDMA Пересылок».

Таблица 9.5. Описание полей регистра SARx

Разряды	Поле	Описание
63:32	Undefined	Зарезервировано.
31:0	SAR	Текущий адрес <i>Источника</i> данных. Обновляется после каждого считывания данных контроллером PDMA из <i>Источника</i> . Поле SINC регистра CTLx определяет увеличивается ли адрес, уменьшается или остаётся неизменным после каждой передачи внутри <i>Блока</i> . Адрес должен быть выровнен согласно разрядности обращений по шине АНВ для <i>Источника</i> (определяется полем CTLx.SRC_TR_WIDTH).

9.8.3.2 DARx - Адрес Приёмника

Регистр DARx (Destination address register for channel x) — Регистр адреса *Приёмника* для *Канала x*.

Смещение	DAR0 – 0x008
	DAR1 – 0x060
	DAR2 – 0x0b8
	DAR3 – 0x110
	DAR4 – 0x168
	DAR5 – 0x1c0
	DAR6 – 0x218
	DAR7 – 0x270
Тип	RW
Состояние по сбросу	0x0
Разрядность	64

Начальное значение регистра DARx задаётся или программно до включения *Канала*, или считывается из *Описателя Блока (LLI)* перед началом обработки *Блока*. Во время обработки *PDMA Пересылки* регистр содержит текущее значение адреса, по которому PDMA производит АНВ записи в *Приёмник*.

Подробнее о возможностях загрузки начального значения DARx при обработке *Блока* см. в таблице «Типы пересылок и обновление регистров Канала» в разделе «Виды PDMA Пересылок».

Таблица 9.6. Описание полей регистра DARx

Разряды	Поле	Описание
63:32	Undefined	Зарезервировано.
31:0	DAR	Текущий адрес <i>Приёмника</i> данных. Обновляется после каждой АНВ записи данных контроллером PDMA в <i>Приёмник</i> . Поле DINC регистра CTLx определяет увеличивается ли адрес, уменьшается или остаётся неизменным после каждой передачи внутри <i>Блока</i> . Адрес должен быть выровнен согласно разрядности обращений по шине АНВ для <i>Приёмника</i> (определяется полем CTLx.DST_TR_WIDTH).

Автоматическое выравнивание адреса Приёмника

В определённых ситуациях при *Пересылке Смежными Блоками* после окончания передачи *Блока* адрес *Приёмника* может оказаться невыровненным для передачи следующего *Блока*. В таких ситуациях PDMA автоматически выравнивает адрес *Приёмника*, перед стартом следующего *Блока*.

Пример.

- размер *Блока* - 9. Настраивается в CTLx.BLOCK_TS;
- разрядность передач *Источника* - 16 (полуслово). Настраивается в CTLx.SRC_TR_WIDTH;
- разрядность передач *Приёмника* - 32 (слово). Настраивается в CTLx.DST_TR_WIDTH;
- для *Приёмника* настроена пересылка *Смежными Блоками*.

PDMA выполнит 4 записи по целому слову в *Приёмник*, а затем запись полуслова для того, чтобы завершить передачу *Блока*. В конце передачи *Блока* адрес *Приёмника* будет выровнен к 16-битной границе, так как последней пересылкой на АНВ была пересылка полуслова. Это не совпадает с заданной разрядностью обращений *Приёмника* (32 разряда). В этом случае PDMA выравнивает начальный адрес следующего *Блока* *Приёмника* к ближайшему 32 разрядному адресу (следующему 32 разрядному адресу, если адрес настроен на увеличение, предыдущему 32-разрядному адресу, если адрес настроен на уменьшение).

PDMA автоматически выравнивает адрес *Приёмника* при одновременном выполнении следующих условий:

- приёмник настроен на работу со *Смежными Блоками*;
- разрядность обращений АНВ к Приёмнику больше разрядности обращений к Источнику (DST_TR_WIDTH > SRC_TR_WIDTH);

- невозможно обработать Блок за целочисленное количество обращений разрядности DST_TR_WIDTH к Приёмнику ($(BLOCK_TS * SRC_TR_WIDTH) / DST_TR_WIDTH \neq \text{целое_число}$).

9.8.3.3 LLPx – Адрес Описателя следующего Блока

Регистр LLPx (Linked list pointer register for channel x)- Регистр указателя на *Описатель следующего Блока* для Канала x.

При работе с *Пересылкой цепочками Блоков* до того как включить Канал необходимо записать в этот регистр адрес, указывающий на элемент LLI (*Описатель следующего Блока*) в памяти.

Смещение	LLP0 – 0x010 LLP1 – 0x068 LLP2 – 0x0c0 LLP3 – 0x118 LLP4 – 0x170 LLP5 – 0x1c8 LLP6 – 0x220 LLP7 – 0x278
Тип	RW
Состояние по сбросу	0x0
Разрядность	64

Таблица 9.7. Описание полей регистра LLPx

Разряды	Поле	Описание
63:32	Undefined	Зарезервировано.
31:2	LOC	Адрес <i>Описателя следующего Блока</i> . Младшие два разряда адреса не сохраняются, так как предполагается, что адрес выровнен по 32-разрядной границе. Доступ к LLI всегда 32-разрядный (HSIZE=2), выровнен по 32-разрядной границе.
1:0	LMS	List Master Select. Выбор АНВ интерфейса, по которому PDMA произведёт чтение LLI. 00 — АНВ Master 1 01 — АНВ Master 2 10 — АНВ Master 3 11 — АНВ Master 4 <i>Замечание:</i> В общем случае PDMA может служить мостом между несколькими различными шинами АНВ (до 4-х) и осуществлять передачи между устройствами на этих разных шинах. В данной конкретной реализации PDMA работает только с одной единственной шиной АНВ, поэтому это поле доступно только по чтению и всегда возвращает значение 00.

Регистр LLPx выполняет две функции:

- Определение типа Пересылки.* Нулевое значение поля LOC выключает использование *Пересылок цепочками Блоков* и позволяет задать одноблочную *Пересылку*. См. таблицу «Типы пересылок и обновление регистров Канала» в разделе «Виды PDMA Пересылок».

2. *Хранение адреса Описателя следующего Блока или адреса Статуса Источника/Приёмника.* Если поле LOC отлично от нуля, тогда в нем содержится адрес *Описателя следующего Блока*. Регистр также может содержать адрес по которому производилась запись статуса *Источника/Приёмника* после завершения обработки Блока. См. таблицу «Структура *Описателя Блока (LLI)*» в разделе «*Виды PDMA Пересылок*».

9.8.3.4 CTLx – Регистр управления

Регистр CTLx (Control register for channel x) - Регистр управления *Каналом x*.

Управление *Пересылкой PDMA* осуществляется через поля этого регистра. При использовании *Пересылок цепочками Блоков* регистр CTLx обновляется из соответствующей области *Описателя Блока (LLI)*. Если включена возможность *обратной записи*, в конце передачи каждого *Блока* разряды CTLx[63:32] записываются в соответствующее местоположение *Описателя Блока*. См. таблицу «Типы пересылок и обновление регистров *Канала*» в разделе «*Виды PDMA Пересылок*». Значение регистра CTLx необходимо задать до включения *Канала*.

Смещение	CTL0 – 0x018
	CTL1 – 0x070
	CTL2 – 0x0c8
	CTL3 – 0x120
	CTL4 – 0x178
	CTL5 – 0x1d0
	CTL6 – 0x228
	CTL7 – 0x280
Тип	RW
Состояние по сбросу	0x00000002 00104825
Разрядность	64

Таблица 9.8. Описание полей регистра CTLx

Разряды	Поле	Описание
63:45	Undefined	Зарезервировано.
44	DONE	При использовании возможности <i>обратной записи</i> разряды CTLx[63:32] записываются в LLI в конце обработки <i>Блока</i> с установленным разрядом DONE. Программно опрашивая разряд DONE LLI.CTL, можно определить выполнен ли конкретный <i>Блок</i> в цепочке или нет. При настройке цепочки <i>Блоков</i> разряд DONE регистра LLI.CTL должен быть сброшен до запуска <i>Канала</i> .

Разряды	Поле	Описание
43:32	BLOCK_TS	<p>Размер <i>Блока</i> (Block Transfer Size). Если размером <i>Блока</i> управляет PDMA, то это поле устанавливается пользователем до запуска <i>Канала</i>. Значение поля задаёт количество <i>Одиночных обращений</i> на шине АНВ к <i>Источнику</i>, которое будет произведено за один <i>Блок</i>. <i>Одиночное обращение</i> соответствует одному «beat» АНВ. Разрядность <i>Одиночного обращения</i> определяется полем CTLx.SRC_TR_WIDTH. После запуска передачи BLOCK_TS возвращает текущее количество элементов данных, считанных из <i>Источника</i> (независимо от того управляет ли размером <i>Блока</i> PDMA или периферийное устройство). Если размером <i>Блока</i> управляет <i>Источник/Приёмник</i>, тогда максимальное значение, прочитанное из BLOCK_TS, ограничено параметром DMAH_CHx_MAX_BLK_SIZE. Хотя фактических чтений из <i>Источника</i> может производиться больше (размер <i>Блока</i> может быть больше). Значение по сбросу — 0x2.</p> <p><i>Замечание:</i> Для каждого <i>Канала</i> аппаратно задаётся максимальный размер <i>Блока</i> — DMAH_CHx_MAX_BLK_SIZE. Если размером <i>Блока</i> управляет PDMA, тогда DMAH_CHx_MAX_BLK_SIZE определяет максимальное разрешённое значение для BLOCK_TS.</p> <p>В данной реализации PDMA значение параметра DMAH_CHx_MAX_BLK_SIZE для всех <i>Каналов</i> равно 4095, т.е. максимальный размер <i>Блока</i> 4096 обращений.</p>
31:29	Undefined	Зарезервировано.
28	LLP_SRC_EN	Разрешение цепочки <i>Блоков Источника</i> . Цепочки <i>Блоков Источника</i> разрешены при LLPx.LOC != 0 и LLP_SRC_EN в 1.
27	LLP_DST_EN	Разрешение цепочки <i>Блоков Приёмника</i> . Цепочки <i>Блоков Приёмника</i> разрешены при LLPx.LOC != 0 и LLP_DST_EN в 1.
26:25	SMS	<p>Source Master Select. Выбор АНВ интерфейса, по которому PDMA обращается к <i>Источнику</i>.</p> <p>00 — АНВ Master 1 01 — АНВ Master 2 10 — АНВ Master 3 11 — АНВ Master 4</p> <p><i>Замечание:</i> В общем случае PDMA может служить мостом между несколькими различными шинами АНВ (до 4-х) и осуществлять передачи между устройствами на этих разных шинах. В данной конкретной реализации PDMA работает только с одной единственной шиной АНВ, поэтому это поле доступно только по чтению и всегда возвращает значение 00.</p>
24:23	DMS	<p>Destination Master Select. Выбор АНВ интерфейса, по которому PDMA обращается к <i>Приёмнику</i>.</p> <p>00 — АНВ Master 1 01 — АНВ Master 2 10 — АНВ Master 3 11 — АНВ Master 4</p> <p><i>Замечание:</i> В общем случае PDMA может служить мостом между несколькими различными шинами АНВ (до 4-х) и осуществлять передачи между устройствами на этих разных шинах. В данной конкретной реализации PDMA работает только с одной единственной шиной АНВ, поэтому это поле доступно только по чтению и всегда возвращает значение 00.</p>

Разряды	Поле	Описание																											
22:20	TT_FC	<p>Тип передачи и Управление размером <i>Блока</i> (Transfer Type and Flow Control). Возможны следующие варианты:</p> <table border="1"> <thead> <tr> <th>TT_FC</th> <th>Тип передачи</th> <th>Управление размером Блока</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>Память-Память</td> <td>PDMA</td> </tr> <tr> <td>001</td> <td>Память-Периферия</td> <td>PDMA</td> </tr> <tr> <td>010</td> <td>Периферия-Память</td> <td>PDMA</td> </tr> <tr> <td>011</td> <td>Периферия-Периферия</td> <td>PDMA</td> </tr> <tr> <td>100</td> <td>Периферия-Память</td> <td>Периферия</td> </tr> <tr> <td>101</td> <td>Периферия-Периферия</td> <td>Источник</td> </tr> <tr> <td>110</td> <td>Память-Периферия</td> <td>Периферия</td> </tr> <tr> <td>111</td> <td>Периферия-Периферия</td> <td>Приёмник</td> </tr> </tbody> </table> <p>При использовании цепочки <i>Блоков</i> поле TT_FC должно оставаться неизменным для всех <i>Блоков</i> цепочки.</p> <p>Примечание. Для каждого <i>Канала</i> аппаратно задан тип управления размером <i>Блока</i>: Размером <i>Блока</i> управляет только PDMA (DMA_FC_ONLY) Размером <i>Блока</i> управляет только <i>Источник</i> (SRC_FC_ONLY) Размером <i>Блока</i> управляет только <i>Приёмник</i> (DST_FC_ONLY) Размером <i>Блока</i> управляет или <i>Периферия</i> или PDMA (ANY_FC) Значение по сбросу: TT_FC[0] = 1 TT_FC[1] = 1 если тип отличен от SRC_FC_ONLY TT_FC[2] = 1 при SRC_FC_ONLY или DST_FC_ONLY</p> <p>Поле TT_FC[2] не реализовано и при чтении возвращает 0 при DMA_FC_ONLY. Поле TT_FC[2:1] не реализовано и при чтении возвращает 10 при SRC_FC_ONLY. Поле TT_FC[2:1] не реализовано и при чтении возвращает 11 при DST_FC_ONLY.</p> <p>В данной реализации PDMA для всех каналов аппаратно задан тип управления передачей ANY_FC. Соответственно состояние по сбросу: TT_FC[2:0] = 011.</p>	TT_FC	Тип передачи	Управление размером Блока	000	Память-Память	PDMA	001	Память-Периферия	PDMA	010	Периферия-Память	PDMA	011	Периферия-Периферия	PDMA	100	Периферия-Память	Периферия	101	Периферия-Периферия	Источник	110	Память-Периферия	Периферия	111	Периферия-Периферия	Приёмник
TT_FC	Тип передачи	Управление размером Блока																											
000	Память-Память	PDMA																											
001	Память-Периферия	PDMA																											
010	Периферия-Память	PDMA																											
011	Периферия-Периферия	PDMA																											
100	Периферия-Память	Периферия																											
101	Периферия-Периферия	Источник																											
110	Память-Периферия	Периферия																											
111	Периферия-Периферия	Приёмник																											
19	Undefined	Зарезервировано.																											
18	DST_SCATTER_EN	<p>Разрешение режима <i>Разброса данных Приёмника</i>. 0 - Разброс запрещён. 1 - Разброс разрешён. <i>Режим Разброса</i> применим только в том случае, если поле CTLx.DINC настроено на увеличение или уменьшение адреса <i>Приёмника</i>.</p> <p>Примечание. Поле не реализовано и при чтении возвращает ноль, если не задан аппаратный параметр DMAH_CHx_DST_SCA_EN.</p> <p>В данной реализации PDMA аппаратный параметр DMAH_CHx_DST_SCA_EN задан для всех <i>Каналов</i>.</p>																											

Разряды	Поле	Описание																		
17	SRC_GATHER_EN	<p>Разрешение режима <i>Сбора данных Источника</i>. 0 - Сбор запрещён. 1 - Сбор разрешён. Режим Сбора применим только в том случае, если поле CTLx.SINC настроено на увеличение или уменьшение адреса <i>Источника</i>.</p> <p>Примечание. Поле не реализовано и при чтении возвращает ноль, если не задан аппаратный параметр DMAH_CHx_SRC_GAT_EN.</p> <p>В данной реализации PDMA аппаратный параметр DMAH_CHx_SRC_GAT_EN задан для всех <i>Каналов</i>.</p>																		
16:14	SRC_MSIZЕ	<p>Размер пакета <i>Источника</i> (Source Burst Transaction Length). Определяет количество элементов данных разрядностью CTLx.SRC_TR_WIDTH, которое PDMA считывает из <i>Источника</i> после поступления сигнала <i>запроса передачи пакета</i> от программного или аппаратного <i>Интерфейса Запросов</i>.</p> <p>Значение по сбросу - 1.</p> <p><i>Замечание:</i> это поле не имеет отношения к сигналам HBURST AHB. Зависимость значения SRC_MSIZЕ и числа элементов в пакете:</p> <table border="1"> <thead> <tr> <th>SRC_MSIZЕ</th> <th>Число элементов данных разрядностью CTLx.SRC_TR_WIDTH в пакете</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>1</td> </tr> <tr> <td>001</td> <td>4</td> </tr> <tr> <td>010</td> <td>8</td> </tr> <tr> <td>011</td> <td>16</td> </tr> <tr> <td>100</td> <td>32</td> </tr> <tr> <td>101</td> <td>64</td> </tr> <tr> <td>110</td> <td>128</td> </tr> <tr> <td>111</td> <td>256</td> </tr> </tbody> </table> <p>Примечание. Аппаратный параметр DMAH_CHx_MAX_MULT_SIZE определяет максимальное значение SRC_MSIZЕ, которое можно задать программно и соответственно количество используемых разрядов MSIZЕ. При чтении неиспользуемых разрядов возвращается ноль.</p> <p>В данной реализации PDMA параметр DMAH_CHx_MAX_MULT_SIZE для всех <i>Каналов</i> определяет размер <i>Пакета</i> не более чем 256 элементов данных.</p>	SRC_MSIZЕ	Число элементов данных разрядностью CTLx.SRC_TR_WIDTH в пакете	000	1	001	4	010	8	011	16	100	32	101	64	110	128	111	256
SRC_MSIZЕ	Число элементов данных разрядностью CTLx.SRC_TR_WIDTH в пакете																			
000	1																			
001	4																			
010	8																			
011	16																			
100	32																			
101	64																			
110	128																			
111	256																			
13:11	DEST_MSIZЕ	<p>Размер пакета <i>Приёмника</i> (Destination Burst Transaction Length). Определяет количество элементов данных разрядностью CTLx.DST_TR_WIDTH, которое PDMA записывает в <i>Приёмник</i> после поступления сигнала <i>запроса передачи пакета</i> от программного или аппаратного <i>Интерфейса Запросов</i>.</p> <p>Значение по сбросу, размер пакета и ограничения те же, что и у SRC_MSIZЕ.</p>																		

Разряды	Поле	Описание																
10:9	SINC	<p>Тип изменения адреса <i>Источника</i> (Source Address Increment).</p> <p>Поле SINC и изменение адреса <i>Источника</i> после каждого обращения PDMA к <i>Источнику</i>:</p> <p>00 - Инкремент 01 - Декремент 1x - Не меняется (подходит для работы с FIFO)</p> <p>Увеличение/уменьшение адреса выровнено согласно CTLx.SRC_TR_WIDTH.</p>																
8:7	DINC	<p>Тип изменения адреса <i>Приёмника</i> (Destination Address Increment).</p> <p>Поле DINC и изменение адреса <i>Приёмника</i> после каждого обращения PDMA к <i>Приёмнику</i>:</p> <p>00 - Инкремент 01 - Декремент 1x - Не меняется (подходит для работы с FIFO)</p> <p>Увеличение/уменьшение адреса выровнено согласно CTLx.DST_TR_WIDTH.</p>																
6:4	SRC_TR_WIDTH	<p>Разрядность одиночного обращения АHB <i>Источника</i> (Source Transfer Width).</p> <p>Разрядность обращения в зависимости от значения SRC_TR_WIDTH (см. HSIZE АHB):</p> <table border="1"> <thead> <tr> <th>SRC_TR_WIDTH</th> <th>Разрядность обращения АHB (в битах)</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>8</td> </tr> <tr> <td>001</td> <td>16</td> </tr> <tr> <td>010</td> <td>32</td> </tr> <tr> <td>011</td> <td>64</td> </tr> <tr> <td>100</td> <td>128</td> </tr> <tr> <td>101</td> <td>256</td> </tr> <tr> <td>11x</td> <td>256</td> </tr> </tbody> </table> <p>Разрядность настраиваемая через SRC_TR_WIDTH не должна превышать разрядности шины АHB мастер порта. Поле SRC_TR_WIDTH существует, если не задан аппаратный параметр DMAH_CHx_STW, жёстко определяющий разрядность обращений. Если параметр DMAH_CHx_STW задан, то при чтении поля будет возвращаться аппаратно заданное значение DMAH_CHx_STW.</p> <p>В данной реализации PDMA разрядность обращений аппаратно не задана. Поле доступно по чтению и по записи.</p>	SRC_TR_WIDTH	Разрядность обращения АHB (в битах)	000	8	001	16	010	32	011	64	100	128	101	256	11x	256
SRC_TR_WIDTH	Разрядность обращения АHB (в битах)																	
000	8																	
001	16																	
010	32																	
011	64																	
100	128																	
101	256																	
11x	256																	
3:1	DST_TR_WIDTH	<p>Разрядность одиночного обращения АHB <i>Приёмника</i> (Destination Transfer Width).</p> <p>Возможные значения аналогичны полю SRC_TR_WIDTH.</p> <p>В данной реализации PDMA разрядность обращений аппаратно не задана (параметр DMAH_CHx_DTW). Поле доступно по чтению и по записи.</p>																
0	INT_EN	<p>Разрешение прерываний (Interrupt Enable Bit).</p> <p>Если установлено в 1, то включаются все возможные источники прерываний. Работает как глобальная маска для всех прерываний <i>Канала</i>. Но прерывания в немаскируемых (Raw*) регистрах будут формироваться, даже если поле установлено в 0.</p> <p>Значение по сбросу - 1.</p>																

9.8.3.5 SSTATx – Статус Источника

Регистр SSTATx (Source status register for channel x) - Регистра статуса *Источника* для *Канала x*.

После завершения передачи *Блока PDMA* может прочитать информацию о состоянии *Источника* по адресу заданному в SSTATARx. Эта информация сохраняется в регистре SSTATx и записывается в местоположение SSTATx в блоке LLI до старта следующего *Блока*. Регистр является временным буфером статуса *Источника* при его записи в LLI. Программному обеспечению следует брать информацию о статусе из блока LLI, а не из этого регистра.

Смещение	SSTAT0 – 0x020 SSTAT1 – 0x078 SSTAT2 – 0x0d0 SSTAT3 – 0x128 SSTAT4 – 0x180 SSTAT5 – 0x1d8 SSTAT6 – 0x230 SSTAT7 – 0x288
Тип	RW
Состояние по сбросу	0x0
Разрядность	64

Таблица 9.9. Описание полей регистра SSTATx

Разряды	Поле	Описание
63:32	Undefined	Зарезервировано.
31:0	SSTAT	Информация о состоянии <i>Источника</i> , аппаратно загружаемая из местоположения указанного в регистре SSTATARx. Разрешение считывания статуса источника задаётся в регистре CFGx.SS_UPD_EN. Поле реализовано, если задан аппаратный параметр DMAH_CHx_STAT_SRC. Если параметр DMAH_CHx_STAT_SRC не задан, при чтении возвращается ноль. В данной реализации PDMA аппаратная поддержка чтения статуса <i>Источника</i> разрешена (параметр DMAH_CHx_STAT_SRC задан) для всех <i>Каналов</i> .

9.8.3.6 DSTATx – Статус Приёмника

Регистр DSTATx (Destination status register for channel x) - Регистра статуса *Приёмника* для *Канала x*.

После завершения передачи *Блока PDMA* может прочитать информацию о состоянии *Приёмника* по адресу заданному в DSTATARx. Эта информация сохраняется в регистре DSTATx и записывается в местоположение DSTATx в блоке LLI до старта следующего *Блока*. Регистр является временным буфером статуса *Приёмника* при его записи в LLI. Программному обеспечению следует брать информацию о статусе из блока LLI, а не из этого регистра.

Смещение	DSTAT0 – 0x028 DSTAT1 – 0x080 DSTAT2 – 0x0d8 DSTAT3 – 0x130 DSTAT4 – 0x188 DSTAT5 – 0x1e0 DSTAT6 – 0x238 DSTAT7 – 0x290
Тип	RW
Состояние по сбросу	0x0
Разрядность	64

Таблица 9.10. Описание полей регистра DSTATx

Разряд	Имя	Описание
63:32	Undefined	Зарезервировано.
31:0	DSTAT	Информация о состоянии <i>Приёмника</i> , аппаратно загружаемая из местоположения указанного в регистре DSTATARx. Разрешение считывания статуса источника задаётся в регистре CFGx.DS_UPD_EN. Поле реализовано, если задан аппаратный параметр DMAH_CHx_STAT_DST. Если параметр DMAH_CHx_STAT_DST не задан, при чтении возвращается ноль. В данной реализации PDMA аппаратная поддержка чтения статуса <i>Приёмника</i> разрешена (параметр DMAH_CHx_STAT_DST задан) для всех <i>Каналов</i> .

9.8.3.7 SSTATARx – Адрес Статуса Источника

Регистр SSTATARx (Source status address register for channel x) - Адрес статуса *Источника* для *Канала* x.

После завершения передачи *Блока* PDMA может аппаратно считать информацию о состоянии *Источника*. Адрес статусной информации определяется пользователем в регистре SSTATARx. Пользователь может выбрать любое местоположение системной памяти, где находится 32-разрядная информация о состоянии *Источника*. Например, если в качестве периферии используется блок DW_arb_ssi, пользователь может использовать один из регистров DW_arb_ssi для индикации состояния приёмника. В SSTATARx можно задать адреса таких регистров DW_arb_ssi как: SSI.CTRL, SSI.ISR, SSI.RXFLR и т.д.

Смещение	SSTATAR0 – 0x030 SSTATAR1 – 0x088 SSTATAR2 – 0x0e0 SSTATAR3 – 0x138 SSTATAR4 – 0x190 SSTATAR5 – 0x1e8 SSTATAR6 – 0x240 SSTATAR7 – 0x298
Тип	RW
Состояние по сбросу	0x0
Разрядность	64

Таблица 9.11. Описание полей регистра SSTATARx

Разряды	Поле	Описание
63:32	Undefined	Зарезервировано.
31:0	SSTATAR	Указывает на местоположение памяти, из которого PDMA считывает информацию о состоянии <i>Источника</i> в регистр SSTATx, а затем сохраняет её в соответствующую ячейку LLI до запуска следующего <i>Блока</i> .

9.8.3.8 DSTATARx – Адрес Статуса Приёмника

Регистр DSTATARx (Destination status address register for channel x) - адрес статуса *Приёмника* для *Канала x*.

После завершения передачи *Блока* PDMA может считать информацию о состоянии *Приёмника*. Адрес статусной информации определяется пользователем в регистре DSTATARx. Пользователь может выбрать любое местоположение системной памяти, где находится 32-разрядная информация о состоянии *Приёмника*. Например, если в качестве периферии используется блок DW_arb_ssi, пользователь может использовать один из регистров DW_arb_ssi для индикации состояния приёмника. В DSTATARx можно задать адреса таких регистров DW_arb_ssi как: SSI.CTRL, SSI.ISR, SSI.TXFLR и т.д.

Смещение	DSTATAR0 – 0x038 DSTATAR1 – 0x090 DSTATAR2 – 0x0e8 DSTATAR3 – 0x140 DSTATAR4 – 0x198 DSTATAR5 – 0x1f0 DSTATAR6 – 0x248 DSTATAR7 – 0x2a0
Тип	RW
Состояние по сбросу	0x0
Разрядность	64

Таблица 9.12. Описание полей регистра DSTATARx

Разряды	Поле	Описание
63:32	Undefined	Зарезервировано.
31:0	DSTATAR	Указывает на местоположение памяти, из которого PDMA считывает информацию о состоянии <i>Приёмника</i> в регистр DSTATx, а затем сохраняет её в соответствующую ячейку LLI до запуска следующего <i>Блока</i> .

9.8.3.9 CFGx – Регистр Конфигурации

Регистр CFGx (Configuration register for channel x) - Регистр конфигурации *Канала x*.

Настройка *Пересылки* осуществляется через этот регистр. Регистр конфигурации останется неизменным для всех *Блоков* многоблочной *Пересылки*. Регистр необходимо проинициализировать до включения *Канала*.

Смещение	CFG0 – 0x040 CFG1 – 0x098 CFG2 – 0x0f0 CFG3 – 0x148 CFG4 – 0x1a0 CFG5 – 0x1f8 CFG6 – 0x250 CFG7 – 0x2a8
Тип	RW
Состояние по сбросу	0x0000_0004_0000_0Ex0
Разрядность	64

Таблица 9.13. Описание полей регистра CFGx

Разряды	Поле	Описание
63:47	Undefined	Зарезервировано.
46:43	DEST_PER	Определяет аппаратный Интерфейс запросов Приёмника для Канала x, если выбрана работа с аппаратным Интерфейсом запросов (CFGx.HS_SEL_DST = 0). Поле игнорируется, если выбран программный Интерфейс запросов (CFGx.HS_SEL_DST = 1). PDMA будет взаимодействовать с Приёмником через заданный Интерфейс запросов.
42:39	SRC_PER	Определяет аппаратный интерфейс Запросов Источника для Канала x, если выбрана работа с аппаратным Интерфейсом запросов (CFGx.HS_SEL_SRC = 0). Поле игнорируется, если выбран программный Интерфейс запросов (CFGx.HS_SEL_SRC = 1). PDMA будет взаимодействовать с Источником через заданный Интерфейс запросов.
38	SS_UPD_EN	Разрешение считывания статуса Источника (Source Status Update Enable). Если SS_UPD_EN в 1, тогда информация о состоянии Источника считывается из местоположения, на которое указывает регистр SSTATARx, сохраняется в регистр SSTATx и записывается в соответствующую ячейку блока LLI.
37	DS_UPD_EN	Разрешение считывания статуса Приёмника (Destination Status Update Enable). Если DS_UPD_EN в 1, тогда информация о состоянии Приёмника считывается из местоположения, на которое указывает регистр DSTATARx, сохраняется в регистр DSTATx и записывается в соответствующую ячейку блока LLI.
36:34	PROTCTL	(Protection Control). Используется для задания сигналов HPROT[3:1] шины АНВ. Спецификация AMBA рекомендует по умолчанию устанавливать «non-cached, non-buffered, privileged data access». HPROT[0] всегда в единице. По сбросу устанавливается в 0x1, что соответствует рекомендациям AMBA. Зависимость сигналов АНВ от значения поля PROTCTL: HPROT[0] - 1 HPROT[1] - PROTCTL[0] HPROT[2] - PROTCTL[1] HPROT[3] - PROTCTL[2]
33	FIFO_MODE	Выбор режима FIFO(FIFO Mode Select). Определяет количество данных или свободное пространство FIFO, достаточное для обслуживания запроса передачи пакета. 0 - Для обслуживания запроса передачи пакета в FIFO должно быть достаточно данных/места для одиночной АНВ передачи заданной разрядность. 1 - Для обслуживания запроса передачи пакета Приёмника FIFO должно быть заполнено на половину и более. Для обслуживания запроса приёма пакета Источника FIFO должно быть свободно более чем на половину. Исключениями являются окончание пакета или окончание блока.

Разряды	Поле	Описание
32	FCMODE	Flow Control Mode. Определяет момент обслуживания запроса передачи от источника, когда размером блока управляет приёмник. 0 - Запросы от источника обслуживаются по мере их поступления. DMA считывает данные из источника даже если не было запросов от приёмника (т.е. предварительная выборка/data pre-fetching разрешена). 1 - Запрос от источника не обрабатывается до тех пор, пока приёмник не установит свой запрос. В этом режиме гарантируется, что количество данных записанных в приёмник совпадёт с количеством, считанных из источника (приёмник определяет величину блока, и может прервать блок в любой момент.) Предварительная выборка данных запрещена.
31	RELOAD_DST	Автоматическое обновление адреса приёмника (Automatic Destination Reload). Поле задаёт режим автоповтора Блока для Приёмника. При пересылке с автоповтором в конце каждого блока регистр DARx автоматически возвращается к своему начальному значению. После этого запускается передача нового блока.
30	RELOAD_SRC	Автоматическое обновление адреса источника (Automatic Source Reload). Поле задаёт режим автоповтора Блока для Источника. При пересылке с автоповтором в конце каждого блока регистр SARx автоматически возвращается к своему начальному значению. После этого запускается передача нового блока.
29:20	MAX_ABRST	Максимальный размер пакетной транзакции АНВ (Maximum AMBA Burst Length). 0 - ПО не ограничивает максимальный размер АНВ транзакции. Если MAX_ABRST больше нуля, тогда количество обращений внутри пакетной транзакции АНВ ограничено значением MAX_ABRST. <i>Замечание:</i> Это поле не реализовано и при чтении возвращает ноль, если не установлен аппаратный параметр DMAH_MABRST. В данной реализации PDMA поле существует.
19	SRC_HS_POL	Активный уровень интерфейса запросов источника (Source Handshaking Interface Polarity). 0 - Активный уровень высокий. 1 - Активный уровень низкий.
18	DST_HS_POL	Активный уровень интерфейса запросов приёмника (Destination Handshaking Interface Polarity). 0 - Активный уровень высокий. 1 - Активный уровень низкий.
17	LOCK_B	Блокировка шины (Bus Lock Bit). Сигнал АНВ HLOCK формируется на период, определённый в CFGx.LOCK_B_L, если установлен разряд LOCK_B. <i>Замечание:</i> Это поле не реализовано и при чтении возвращает ноль, если не установлен аппаратный параметр DMAH_CHx_LOCK_EN. В данной реализации PDMA поле не реализовано.
16	LOCK_CH	Блокировка канала (Channel Lock Bit). Если каналу предоставлено управление мастер интерфейсом АНВ и установлен разряд CFGx.LOCK_CH, то ни один другой другой канал не получит доступ к АНВ в течении периода, задаваемого в CFGx.LOCK_CH_L. <i>Замечание:</i> Это поле не реализовано и при чтении возвращает ноль, если не установлен аппаратный параметр DMAH_CHx_LOCK_EN. В данной реализации PDMA поле не реализовано.
15:14	LOCK_B_L	Bus Lock Level. Определяет период в течении которого применяется разряд CFGx.LOCK_B. 00 - До завершения PDMA Пересылки. 01 - До завершения передачи Блока. 1x - До завершения одиночного обращения PDMA или пакета PDMA. <i>Замечание:</i> Это поле не реализовано и при чтении возвращает ноль, если не установлен аппаратный параметр DMAH_CHx_LOCK_EN. В данной реализации PDMA поле не реализовано.

Разряды	Поле	Описание
13:12	LOCK_CH_L	Channel Lock Level. Определяет интервал в течении которого применяется разряд CFGx.LOCK_CH. 00 - До завершения PDMA Пересылки. 01 - До завершения передачи Блока. 1x - До завершения PDMA транзакции. <i>Замечание:</i> Это поле не реализовано и при чтении возвращает ноль, если не установлен аппаратный параметр DMAH_CHx_LOCK_EN. В данной реализации PDMA поле не реализовано.
11	HS_SEL_SRC	Выбор интерфейса запросов источника (Source Software or Hardware Handshaking Select). 0 - Аппаратный интерфейс. Программно инициируемые транзакции DMA игнорируются. 1 - Программный интерфейс запросов. Аппаратно инициируемые транзакции игнорируются. Если источник является памятью, тогда разряд игнорируется. Значение по сбросу - 0x1 (программный интерфейс).
10	HS_SEL_DST	Выбор интерфейса запросов приёмника (Destination Software or Hardware Handshaking Select). 0 - Аппаратный интерфейс. Программно инициируемые транзакции PDMA игнорируются. 1 - Программный интерфейс запросов. Аппаратно инициируемые транзакции игнорируются. Если приёмник является памятью, тогда разряд игнорируется. Значение по сбросу - 0x1 (программный интерфейс).
9	FIFO_EMPTY	Признак наличия данных в FIFO. Может использоваться совместно с CFGx.CH_SUSP, для «чистого» отключения канала (преждевременного, до штатного отключения). 1 - FIFO свободно. 0 - В FIFO есть слова. Значение по сбросу - 0x1.
8	CH_SUSP	Channel Suspend. Запись 1 приостанавливает все передачи данных от источника, до тех пор пока не будет записан 0. Нет гарантии, что текущая транзакция будет завершена. Можно использовать совместно с FIFO_EMPTY, чтобы остановить канал без потери данных. 0 - Нормальная работа. 1 - Приостановка передач от источника.
7:5	CH_PRIOR	Приоритет Канала (Channel priority). Приоритет 7 - наивысший. 0 - низший. Значение по сбросу - соответствует номеру канала (для 0 - 0, ..., для 7 - 7).
4:0	Undefined	Зарезервировано.

9.8.3.10 SGRx – Регистр Сбора Источника

Регистр SGRx (Source gather register for channel x) - Регистр Сбора для канала x.

Если включён режим Сбора(Gather), то через определённое количество чтений из Источника по АНВ, адрес чтения автоматически увеличивается/уменьшается на заданную величину. Регистр позволяет задать количество чтений, при которых адрес меняется неразрывно (последовательно увеличивается/уменьшается), а также величину, на которую изменяется адрес чтения при приёме заданного количества слов. Увеличение/уменьшение адреса чтения задаётся полем SINC регистра CTLx. Если поле SINC регистра CTLx настроено на неизменный адрес, тогда адрес не изменяется и регистр SGRx игнорируется.

Смещение	SGR0 – 0x048
	SGR1 – 0x0a0
	SGR2 – 0x0f8
	SGR3 – 0x150
	SGR4 – 0x1a8
	SGR5 – 0x200
	SGR6 – 0x258
	SGR7 – 0x2b0
Тип	RW
Состояние по сбросу	0x0
Разрядность	64

Таблица 9.14. Описание полей регистра SGRx

Разряды	Поле	Описание
63:32	Undefined	Зарезервировано.
31:20	SGC	Счётчик Сбора Источника (Source gather count). Задаёт количество чтений АНВ разрядностью CTLx.SRC_TR_WIDTH, после которых адрес чтения изменяется скачком (см. поле SGI).
19:0	SGI	Интервал Сбора Источника (Source gather interval). Определяет величину изменения адреса чтения источника после достижения границы сбора. Т.е. каждые N чтений (задаётся полем SGC) из источника адрес чтения изменяется на величину, заданную этим полем, умноженную на разрядность обращения по АНВ к Источнику в байтах (см. CTLx.SRC_TR_WIDTH).

9.8.3.11 DSRx – Регистр Разброса Приёмника

Регистр DSRx (Destination scatter register for channel x) - Регистр Разброса Приёмника для канала x.

Если включён режим Разброса(Scatter), то через определённое количество записей по АНВ в приёмник, адрес записи автоматически увеличивается/уменьшается на заданную величину. Регистр позволяет задать количество передач, при которых адрес меняется неразрывно (последовательно увеличивается/уменьшается), а также величину, на которую изменяется адрес передачи при выдаче заданного количества слов. Увеличение/уменьшение адреса записи задаётся полем DINC регистра CTLx. Если поле DINC регистра CTLx настроено на неизменный адрес, тогда адрес не изменяется и регистр DSRx игнорируется

Смещение	DSR0 – 0x050
	DSR1 – 0x0a8
	DSR2 – 0x100
	DSR3 – 0x158
	DSR4 – 0x1B0
	DSR5 – 0x208
	DSR6 – 0x260
	DSR7 – 0x2b8
Тип	RW
Состояние по сбросу	0x0
Разрядность	64

Таблица 9.15. Описание полей регистра DSRx

Разряды	Поле	Описание
63:32	Undefined	Зарезервировано.
31:20	DSC	Счётчик Разброса Приёмника (Destination scatter count). Задаёт количество записей по АНВ в Приёмник разрядностью CTLx.DST_TR_WIDTH, после которых адрес передачи изменяется скачком (см. поле DSI).
19:0	DSI	Интервал Разброса Приёмника (Destination scatter interval). Определяет величину изменения адреса записи приёмника при достижении границы разброса. Т.е. каждые N записей (задаётся полем DSC) в приёмник адрес передачи изменяется на величину, заданную этим полем, умноженную на разрядность обращения к Приёмнику (см. CTLx.DST_TR_WIDTH).

9.8.4 Регистры Прерываний

9.8.4.1 Регистры RawTfr, RawBlock, RawSrcTran, RawDstTran, RawErr

Перед маскированием события прерываний формируются в регистрах RawBlock, RawDstTran, RawErr, RawSrcTran, RawTfr. Каждый из регистров содержит информацию о прерываниях определённого типа

(IntTfr, IntBlock, IntSrcTran, IntDstTran, IntErr). См. Раздел «1.7 Прерывания». Каждый из разрядов этих регистров сбрасывается записью единицы в соответствующие разряды регистров ClearTfr, ClearBlock, ClearSrcTran, ClearDstTran, ClearErr. Регистры Raw* доступны по записи только для целей тестирования. В обычном режиме не рекомендуется производить запись в эти регистры.

Смещение	RawTfr	- 0x2c0
	RawBlock	- 0x2c8
	RawSrcTran	- 0x2d0
	RawDstTran	- 0x2d8
	RawErr	- 0x2e0
Тип	RW	
Состояние по сбросу	0x0	
Разрядность	64	

Таблица 9.16. Описание полей регистров RawTfr, RawBlock, RawSrcTran, RawDstTran, RawErr

Разряды	Поле	Описание
63:8	Undefined	Зарезервировано.
7:0	RAW	Разряды с седьмого по нулевой, указывают на прерывания в соответствующих каналах. Разряд 0 указывает на прерывание в канале 0, разряд 1 - на прерывание в канале 1, и т.д.

9.8.4.2 Регистры StatusTfr, StatusBlock, StatusSrcTran, StatusDstTran, StatusErr

Регистры StatusTfr, StatusBlock, StatusSrcTran, StatusDstTran, StatusErr - маскируемые регистры прерываний. После маскирования события прерываний сохраняются в этих регистрах. См. Раздел «1.7 Прерывания».

Смещение	StatusTfr	- 0x2e8
	StatusBlock	- 0x2f0
	StatusSrcTran	- 0x2f8
	StatusDstTran	- 0x300
	StatusErr	- 0x308
Тип	R	
Состояние по сбросу	0x0	
Разрядность	64	

Таблица 9.17. Описание полей регистров StatusTfr, StatusBlock, StatusSrcTran, StatusDstTran, StatusErr

Разряды	Поле	Описание
63:8	Undefined	Зарезервировано.
7:0	STATUS	Разряды с седьмого по нулевой указывают на событие прерывания в соответствующих каналах после маскирования. Разряд 0 указывает на прерывание в канале 0, разряд 1 - на прерывание в канале 1, и т.д.

9.8.4.3 Регистры MaskTfr, MaskBlock, MaskSrcTran, MaskDstTran, MaskErr

Регистры MaskTfr, MaskBlock, MaskSrcTran, MaskDstTran, MaskErr - регистры масок прерываний. См. Раздел «1.7 Прерывания». Содержимое регистров Raw* маскируется регистрами Mask* и сохраняется в регистры Status*.

Смещение	MaskTfr	- 0x310
	MaskBlock	- 0x318
	MaskSrcTran	- 0x320
	MaskDstTran	- 0x328
	MaskErr	- 0x330
Тип	RW	
Состояние по сбросу	0x0	
Разрядность	64	

Таблица 9.18. Описание полей регистров MaskTfr, MaskBlock, MaskSrcTran, MaskDstTran, MaskErr

Разряды	Поле	Описание
63:8	Undefined	Зарезервировано.
15:8	INT_MASK_WE	Разрешение записи в соответствующие разряды поля INT_MASK. Например, запись 01X1(шестн.) в регистр MaskTfr установит 1 в нулевой разряд MaskTfr, не изменяя значения остальных разрядов.
7:0	INT_MASK	Запись единицы в разряды INT_MASK разрешает формирования прерывания для соответствующего Канала. Разряд 0 разрешает/запрещает прерывание в канале 0, разряд 1 разрешает/запрещает прерывание в канале 1, и т.д.

9.8.4.4 Регистры ClearTfr, ClearBlock, ClearSrcTran, ClearDstTran, ClearErr

Регистры ClearTfr, ClearBlock, ClearSrcTran, ClearDstTran, ClearErr - регистры сброса прерываний. См. Раздел «1.7 Прерывания».

Каждый разряд регистров Raw* и Status* очищается на одном и том же такте записью единицы в соответствующий разряд регистров Clear*. Запись нуля не оказывает влияния.

Регистры недоступны по чтению.

Смещение	ClearTfr	- 0x338
	ClearBlock	- 0x340
	ClearSrcTran	- 0x348
	ClearDstTran	- 0x350
	ClearErr	- 0x358
Тип	W	
Состояние по сбросу	0x0	
Разрядность	64	

Таблица 9.19. Описание полей регистров ClearTfr, ClearBlock, ClearSrcTran, ClearDstTran, ClearErr

Разряды	Поле	Описание
63:8	Undefined	Зарезервировано.
7:0	CLEAR	Разряды с седьмого по нулевой отвечают за сброс события прерывания в соответствующем канале. Разряд 0 сбрасывает прерывание в канале 0, разряд 1 - прерывание в канале 1, и т.д.

9.8.4.5 Регистр StatusInt

Регистр StatusInt (Status for each interrupt type) - Объединённый регистр прерываний. См. Раздел «Прерывания». Регистр доступен только по чтению.

Смещение	0x360
Тип	R
Состояние по сбросу	0x0
Разрядность	64

Таблица 9.20. Описание полей регистра StatusInt

Разряды	Поле	Описание
63:5	Undefined	Зарезервировано.
4	ERR	Взятое по ИЛИ содержимое регистра StatusErr.
3	DSTT	Взятое по ИЛИ содержимое регистра StatusDstTran.
2	SRCT	Взятое по ИЛИ содержимое регистра StatusSrcTran.
1	BLOCK	Взятое по ИЛИ содержимое регистра StatusBlock.
0	TFR	Взятое по ИЛИ содержимое регистра StatusTfr.

9.8.5 Регистры Интерфейса Запросов

В данном разделе описаны регистры *Программного Интерфейса Запросов*. Регистры *Программного Интерфейса Запросов* позволяют инициировать PDMA транзакции (Пакеты PDMA или *Одиночные обращения PDMA*), аналогично сигналам Аппаратных Интерфейсов Запросов. См. Раздел «*Интерфейсы Запросов*». Чтобы разрешить Программный Интерфейс Запросов Источника для Канала *x*, необходимо установить в единицу CFGx.HS_SEL_SRC. Чтобы разрешить *Программный Интерфейс Запросов Приёмника* для Канала *x*, необходимо установить в единицу CFGx.HS_SEL_DST.

9.8.5.1 Регистр ReqSrcReg

Регистр ReqSrcReg (Source Software Transaction Request Register) - Программный запрос передачи пакета Источника.

Каждому Каналу соответствует определённый разряд запроса в этом регистре. Включение запроса передачи пакета от источника инициирует чтение пакета контроллером PDMA от Источника. Если программный интерфейс запросов для источника канала *N* отключён, то соответствующие разряды этого регистра игнорируются.

Смещение	0x368
Тип	RW
Состояние по сбросу	0x0
Разрядность	64

Таблица 9.21. Описание полей регистра ReqSrcReg

Разряды	Поле	Описание
63:16	Undefined	Зарезервировано.
15:8	SRC_REQ_WE	Разрешение записи в разряды SRC_REQ. 0 - Запись запрещена. 1 - Запись разрешена. Поле доступно только по записи.
7:0	SRC_REQ	Запросы передачи пакета от источника. Разряды от 7 до нуля, соответствуют каналам от 7-го до нулевого. Запись в эти разряды происходит только с совместно установленными соответствующими разрядами поля SRC_REQ_WE, при этом канал должен быть включён через регистр ChEnReg.

9.8.5.2 Регистр ReqDstReg

Регистр ReqDstReg (Destination Software Transaction Request Register) - Программный запрос передачи пакета Приёмнику.

Каждому каналу соответствует определённый разряд запроса в этом регистре. Включение запроса передачи пакета Приёмнику инициирует передачу контроллером пакета приёмнику по шине АНВ. Если программный интерфейс запросов для приёмника канала *N* отключён, то соответствующие разряды этого регистра игнорируются.

Смещение	0x370
Тип	RW
Состояние по сбросу	0x0
Разрядность	64

Таблица 9.22. Описание полей регистра ReqDstReg

Разряды	Поле	Описание
63:16	Undefined	Зарезервировано.
15:8	DST_REQ_WE	Разрешение записи в разряды DST_REQ. 0 - Запись запрещена. 1 - Запись разрешена. Поле доступно только по записи.
7:0	DST_REQ	Запросы передачи пакета приёмнику. Разряды от 7 до нуля, соответствуют каналам от 7-го до нулевого. Запись в эти разряды происходит только, если установлены соответствующие разряды поля DST_REQ_WE.

9.8.5.3 Регистр SglReqSrcReg

Регистр SglReqSrcReg (Single Source Transaction Request Register) - Программный запрос одиночного чтения Источника.

Каждому каналу соответствует определённый разряд запроса в этом регистре. Включение запроса одиночного чтения источника инициирует одиночное обращение PDMA к Источнику. Если программный интерфейс запросов для источника канала N отключён, то соответствующие разряды этого регистра игнорируются.

Смещение	0x378
Тип	RW
Состояние по сбросу	0x0
Разрядность	64

Таблица 9.23. Описание полей регистра SglReqSrcReg

Разряды	Поле	Описание
63:16	Undefined	Зарезервировано.
15:8	SRC_SGLREQ_WE	Разрешение записи в разряды SRC_SGLREQ. 0 - Запись запрещена. 1 - Запись разрешена. Поле доступно только по записи.
7:0	SRC_SGLREQ	Запросы одиночных чтений Источника. Разряды от 7 до нуля, соответствуют каналам от 7-го до нулевого. Запись в эти разряды происходит только, если установлены соответствующие разряды поля SRC_SGLREQ_WE.

9.8.5.4 Регистр SglReqDstReg

Регистр SglReqDstReg (Single Destination Transaction Request Register) - Программный запрос одиночного обращения Приёмника.

Каждому каналу соответствует определённый разряд запроса в этом регистре. Включение запроса одиночной записи приёмника инициирует одиночное обращения PDMA к Приёмнику. Если программный интерфейс запросов для приёмника канала N отключён, то соответствующие разряды этого регистра игнорируются.

Смещение	0x380
Тип	RW
Состояние по сбросу	0x0
Разрядность	64

Таблица 9.24. Описание полей регистра SglReqDstRe

Разряды	Поле	Описание
63:16	Undefined	Зарезервировано.
15:8	DST_SGLREQ_WE	Разрешение записи в разряды DST_SGLREQ. 0 - Запись запрещена. 1 - Запись разрешена. Поле доступно только по записи.
7:0	DST_SGLREQ	Запросы одиночных обращений Приёмника. Разряды от 7 до нуля, соответствуют каналам от 7-го до нулевого. Запись в эти разряды происходит только, если установлены соответствующие разряды поля DST_SGLREQ_WE.

9.8.5.5 Регистр LstSrcReg

Регистр LstSrcReg (Last Source Transaction Request Register) - Последнее обращение Источника. Если для запроса (пакета или одиночного обращения) установлен этот признак, после обработки этого запроса PDMA завершит обработку Блока. Каждому каналу соответствует определённый разряд в этом регистре. Разряды этого регистра игнорируются, если программный интерфейс запросов для источника канала N отключён или если источник не управляет размером Блока.

Смещение	0x388
Тип	RW
Состояние по сбросу	0x0
Разрядность	64

Таблица 9.25. Описание полей регистра LstSrcReg

Разряды	Поле	Описание
63:16	Undefined	Зарезервировано.
15:8	LSTSRC_WE	Разрешение записи в разряды LSTSRC. 0 - Запись запрещена. 1 - Запись разрешена. Поле доступно только по записи.
7:0	LSTSRC	Признак последнего обращения (пакета или одиночного обращения) Источника. Разряды от 7 до нуля, соответствуют каналам от 7-го до нулевого. Запись в эти разряды происходит только, если установлены соответствующие разряды поля LSTSRC_WE. 0 - Обращение не является последним в Блоке. 1 - Последнее обращение в текущем Блоке.

9.8.5.6 Регистр LstDstReg

Регистр LstDstReg (Last Destination Transaction Request Register) - Последнее обращение к Приёмнику. Если для запроса (пакета или одиночного обращения) установлен этот признак, после обработки этого запроса PDMA завершит обработку Блока. Каждому каналу соответствует определённый разряд в этом регистре. Разряды этого регистра игнорируются, если программный интерфейс запросов для приёмника канала N отключён или если приёмник не управляет размером Блока.

Смещение	0x390
Тип	RW
Состояние по сбросу	0x0
Разрядность	64

Таблица 9.26. Описание полей регистра LstDstReg

Разряды	Поле	Описание
63:16	Undefined	Зарезервировано.
15:8	LSTDST_WE	Разрешение записи в разряды LSTDST. 0 - Запись запрещена. 1 - Запись разрешена. Поле доступно только по записи.
7:0	LSTDST	Признак последнего обращения (пакета или одиночного обращения) Приёмника. Разряды от 7 до нуля, соответствуют каналам от 7-го до нулевого. Запись в эти разряды происходит только, если установлены соответствующие разряды поля LSTDST_WE. 0 - Обращение не является последним в Блоке. 1 - Последнее обращение в текущем Блоке.

9.8.6 Регистры Конфигурации и Управления

9.8.6.1 Регистр DmaCfgReg

Регистр DmaCfgReg (DMA Configuration Register) - Конфигурационный регистр PDMA.

Регистр используется для глобального разрешения работы PDMA. Перед включением каналов необходимо установить глобальное разрешение работы.

Смещение	0x398
Тип	RW
Состояние по сбросу	0x0
Разрядность	64

Таблица 9.27. Описание полей регистра DmaCfgReg

Разряды	Поле	Описание
63:1	Undefined	Зарезервировано.
0	DMA_EN	Разрешения работы PDMA. 0 - PDMA отключён. 1 - PDMA включён. Если во время работы любого из Каналов записать в этот разряд 0, то при чтении он будет возвращать 1 до тех пор, пока PDMA не остановит активность на всех Каналах. После этого разряд будет возвращать 0.

9.8.6.2 Регистр ChEnReg

Регистр ChEnReg (Channel Enable Register) - Регистр включения каналов PDMA.

Регистр позволяет определять доступные (неактивные) Каналы, а также разрешать/запрещать работу необходимых каналов. Все разряды регистра очищаются в ноль, когда глобальный разряд включения PDMA (DmaCfgReg[0]) в нуле. Если глобальный разряд включения PDMA в нуле, записи в этот регистр будут игнорироваться и чтения всегда будут возвращать ноль.

Смещение	0x3A0
Тип	RW
Состояние по сбросу	0x0
Разрядность	64

Таблица 9.28. Описание полей регистра ChEnReg

Разряды	Поле	Описание
63:16	Undefined	Зарезервировано.
15:8	CH_EN_WE	Разрешения записи в разряды разрешения работы каналов.
7:0	CH_EN	Разрешение/Запрет работы канала. 0 - Запрет работы. 1 - Разрешение работы. Каждому каналу соответствует один разряд поля CH_EN. Разряды поля CH_EN аппаратно сбрасываются в ноль после завершения последней АНВ транзакции к Приёмнику в PDMA Пересылке. Опрашивая эти разряды, поможет определить доступные для работы каналы. Запись в разряды этого поля возможна только, если установлены соответствующие разряды CH_EN_WE. Например, запись значения 01X1 (шестн.) в этот регистр вызовет установку единицы в разряде ChEnReg[0], а остальные разряды ChEnReg[7:1] оставит незатронутыми. См. 1.6 «Выключение канала до завершения пересылки».

9.8.6.3 Регистр DmaIdReg

Регистр DmaIdReg (DMA ID Register) - ID регистр PDMA.

Регистр доступен только по чтению. Возвращает аппаратно заданный идентификатор контроллера PDMA.

Смещение	0x3a8
Тип	R
Состояние по сбросу	0xeee ???
Разрядность	64

Таблица 9.29. Описание полей регистра DmaIdReg

Разряды	Поле	Описание
63:32	Undefined	Зарезервировано.
31:0	DMA_ID	Аппаратно заданный ID PDMA.

9.8.6.4 Регистр DmaTestReg

Регистр DmaTestReg (DMA Test Register) - Тестовый регистр PDMA.

Регистр используется для перевода ведомого порта АНВ PDMA в тестовый режим. В тестовом режиме значение, записанное в регистр PDMA доступный по записи, совпадает со значением, которое возвращается последующими чтениями. В нормальном режиме значение, возвращаемое при чтении, зависит от состояния PDMA и может не совпадать с записанным.

Смещение	0x3b0
Тип	RW
Состояние по сбросу	0x0
Разрядность	64

Таблица 9.30. Описание полей регистра DmaTestReg

Разряды	Поле	Описание
63:1	Undefined	Зарезервировано.
0	TEST_SLV_IF	Переводит конфигурационный (ведомый) порт АНВ в тестовый режим. В тестовом режиме при чтении регистров, доступных по записи, всегда возвращается значение, установленное предшествующей записью. Разряд не разрешает запись в регистры доступные только по чтению. 0 - Нормальный режим. 1 - Тестовый режим.

9.8.7 Регистры Аппаратных Параметров

Регистры аппаратных параметров - доступные только по чтению регистры, содержащие информацию об аппаратных параметрах PDMA. О каждом из Каналов PDMA можно узнать следующую информацию:

Таблица 9.31. Аппаратные параметры Каналов PDMA

Параметр Канала x (x от 0 до 7)	Описание
Chx_FIFO_DEPTH[2:0]	Глубина FIFO канала в байтах. 0 = 8 байт 1 = 16 байт 2 = 32 байта 3 = 64 байта 4 = 128 байт 5 = 256 байт
CHx_SMS[2:0]	АНВ порт Источника. 0 = АНВ 1 1 = АНВ 2 2 = АНВ 3 3 = АНВ 4 4 = Жёстко не задан
CHx_LMS[2:0]	АНВ порт LLP. 0 = АНВ 1 1 = АНВ 2 2 = АНВ 3 3 = АНВ 4 4 = Жёстко не задан
CHx_DMS[2:0]	АНВ порт Приёмника. 0 = АНВ 1 1 = АНВ 2 2 = АНВ 3 3 = АНВ 4 4 = Жёстко не задан
CHx_MAX_MULT_SIZE[2:0]	Максимальный размер Пакета PDMA. 0 = 4 1 = 8 2 = 16 3 = 32 4 = 64 5 = 128 6 = 256 7 = Зарезервировано

Параметр Канала x (x от 0 до 7)	Описание
Chx_FC[1:0]	Тип управления размером Блока. 0 = только PDMA 1 = только Источник 2 = только Приёмник 3 = любое устройство Если выбран тип управления 3, тогда управляющее устройство назначается программно.
CHx_HC_LLP	Поддержка цепочек Блоков. 1 - Регистр LLP всегда в нуле. Передачи цепочками блоков не поддерживаются. Информация о статусах Источника и Приёмника не обрабатывается (см. STATx и DSTATx), т. е информация о статусе не считывается из периферии и не записывается в блок LLI. Отключена возможность обратной записи.
CHx_CTL_WB_EN	Поддержка обратной записи. 1 - Поддержка обратной записи реализована (см. CTLx, SSTATx, DSTATx).
CHx_MULTI_BLK_EN	Поддержка многоблочных Пересылок. 0 - Поддерживаются только одноблочные Пересылки. 1 - Многоблочные Пересылки поддерживаются
CHx_LOCK_EN	Поддержка блокировок Канала и Шины. 0 - Поддержка блокировки Канала и Шины не реализована 1 - Поддержка блокировки Канала и Шины реализована
CHx_SRC_GAT_EN	Поддержка Сбора Источника. 0 - Сбор Источника не поддерживается 1 - Сбор Источника поддерживается
CHx_DST_SCA_EN	Поддержка Разброса Приёмника. 0 - Разброса Приёмника не поддерживается 1 - Разброса Приёмника поддерживается
CHx_STAT_SRC	Поддержка обработки статуса Источника. 0 - чтение и обратная запись статуса не поддерживается 1 - чтение и обратная запись статуса поддерживается
CHx_STAT_DST	Поддержка обработки статуса Приёмника. 0 - чтение и обратная запись статуса не поддерживается 1 - чтение и обратная запись статуса поддерживается
CHx_STW	Разрядность передач Источника. 0 = Не задана 1 = 8 2 = 16 3 = 32 4 = 64 5 = 128 6 = 256 7 = Зарезервировано
CHx_DTW	Разрядность передач Приёмника. 0 = Не задана 1 = 8 2 = 16 3 = 32 4 = 64 5 = 128 6 = 256 7 = Зарезервировано

9.8.7.1 Регистр DMA_COMP_PARAMS_6

Регистр DMA_COMP_PARAMS_6 – 6-ой регистр аппаратных параметров PDMA. Содержит информацию об аппаратной конфигурация канала 7.

Смещение	0x3c8
Тип	R
Состояние по сбросу	3006 DBC0 0000 0000
Разрядность	64

Таблица 9.32. Описание полей регистра DMA_COMP_PARAMS_6

Разряды	Поле	Описание
63	Reserved	Зарезервировано.
62:60	CH7_FIFO_DEPTH	Глубина FIFO канала в байтах.
59:57	CH7_SMS	АНВ порт Источника.
56:54	CH7_LMS	АНВ порт LLP.r
53:51	CH7_DMS	АНВ порт Приёмника.
50:48	CH7_MAX_MULT_SIZE	Максимальный размер Пакета.
47:46	CH7_FC	Тип управления размером Блока.
45	CH7_HC_LLP	Поддержка цепочек Блоков.
44	CH7_CTL_WB_EN	Поддержка обратной записи.
43	CH7_MULTI_BLK_EN	Поддержка многоблочных Пересылок.
42	CH7_LOCK_EN	Поддержка блокировок Канала и Шиной.
41	CH7_SRC_GAT_EN	Поддержка Сбора Источника.
40	CH7_DST_SCA_EN	Поддержка Разброса Приёмника.
39	CH7_STAT_SRC	Поддержка обработки статуса Источника.
38	CH7_STAT_DST	Поддержка обработки статуса Приёмника.
37:35	CH7_STW	Разрядность передач Источника.
34:32	CH7_DTW	Разрядность передач Приёмника.
31:0	Reserved	Зарезервировано.

9.8.7.2 Регистр DMA_COMP_PARAMS_5

Регистр DMA_COMP_PARAMS_5 - 5-ый регистр аппаратных параметров PDMA. Содержит информацию об аппаратной конфигурация каналов 6 и 5.

Смещение	0x3d0
Тип	R
Состояние по сбросу	3006 DBC0 3006 DBC0
Разрядность	64

Таблица 9.33. Описание полей регистра DMA_COMP_PARAMS_5

Разряды	Поле	Описание
63	Reserved	Зарезервировано.
62:60	CH5_FIFO_DEPTH	Глубина FIFO канала в байтах.
59:57	CH5_SMS	АНВ порт Источника.
56:54	CH5_LMS	АНВ порт LLP.
53:51	CH5_DMS	АНВ порт Приёмника.
50:48	CH5_MAX_MULT_SIZE	Максимальный размер Пакета.
47:46	CH5_FC	Тип управления размером Блока.
45	CH5_HC_LLP	Поддержка цепочек Блоков.
44	CH5_CTL_WB_EN	Поддержка обратной записи.

Разряды	Поле	Описание
43	CH5_MULTI_BLK_EN	Поддержка многоблочных Пересылок.
42	CH5_LOCK_EN	Поддержка блокировок Канала и Шины.
41	CH5_SRC_GAT_EN	Поддержка Сбора Источника.
40	CH5_DST_SCA_EN	Поддержка Разброса Приёмника.
39	CH5_STAT_SRC	Поддержка обработки статуса Источника.
38	CH5_STAT_DST	Поддержка обработки статуса Приёмника.
37:35	CH5_STW	Разрядность передач Источника.
34:32	CH5_DTW	Разрядность передач Приёмника.
31	Reserved	Зарезервировано.
30:28	CH6_FIFO_DEPTH	Глубина FIFO канала в байтах.
27:25	CH6_SMS	АНВ порт Источника.
24:22	CH6_LMS	АНВ порт LLP.
21:19	CH6_DMS	АНВ порт Приёмника.
18:16	CH6_MAX_MULT_SIZE	Максимальный размер Пакета.
15:14	CH6_FC	Тип управления размером Блока.
13	CH6_HC_LLP	Поддержка цепочек Блоков.
12	CH6_CTL_WB_EN	Поддержка обратной записи.
11	CH6_MULTI_BLK_EN	Поддержка многоблочных Пересылок.
10	CH6_LOCK_EN	Поддержка блокировок Канала и Шины.
9	CH6_SRC_GAT_EN	Поддержка Сбора Источника.
8	CH6_DST_SCA_EN	Поддержка Разброса Приёмника.
7	CH6_STAT_SRC	Поддержка обработки статуса Источника.
6	CH6_STAT_DST	Поддержка обработки статуса Приёмника.
5:3	CH6_STW	Разрядность передач Источника.
2:0	CH6_DTW	Разрядность передач Приёмника.

9.8.7.3 Регистр DMA_COMP_PARAMS_4

Регистр DMA_COMP_PARAMS_4 - 4-ый регистр аппаратных параметров PDMA. Содержит информацию об аппаратной конфигурации каналов 4 и 3.

Смещение	0x3d8
Тип	R
Состояние по сбросу	3006 DBC0 3006 DBC0
Разрядность	64

Таблица 9.34. Описание полей регистра DMA_COMP_PARAMS_4

Разряды	Поле	Описание
63	Reserved	Зарезервировано.
62:60	CH3_FIFO_DEPTH	Глубина FIFO канала в байтах.
59:57	CH3_SMS	АНВ порт Источника.
56:54	CH3_LMS	АНВ порт LLP.
53:51	CH3_DMS	АНВ порт Приёмника.
50:48	CH3_MAX_MULT_SIZE	Максимальный размер Пакета.
47:46	CH3_FC	Тип управления размером Блока.
45	CH3_HC_LLP	Поддержка цепочек Блоков.
44	CH3_CTL_WB_EN	Поддержка обратной записи.
43	CH3_MULTI_BLK_EN	Поддержка многоблочных Пересылок.
42	CH3_LOCK_EN	Поддержка блокировок Канала и Шины.
41	CH3_SRC_GAT_EN	Поддержка Сбора Источника.
40	CH3_DST_SCA_EN	Поддержка Разброса Приёмника.
39	CH3_STAT_SRC	Поддержка обработки статуса Источника.
38	CH3_STAT_DST	Поддержка обработки статуса Приёмника.
37:35	CH3_STW	Разрядность передач Источника.

Разряды	Поле	Описание
34:32	CH3_DTW	Разрядность передач Приёмника.
31	Reserved	Зарезервировано.
30:28	CH4_FIFO_DEPTH	Глубина FIFO канала в байтах.
27:25	CH4_SMS	АНВ порт Источника.
24:22	CH4_LMS	АНВ порт LLP.
21:19	CH4_DMS	АНВ порт Приёмника.
18:16	CH4_MAX_MULT_SIZE	Максимальный размер Пакета.
15:14	CH4_FC	Тип управления размером Блока.
13	CH4_HC_LLDP	Поддержка цепочек Блоков.
12	CH4_CTL_WB_EN	Поддержка обратной записи.
11	CH4_MULTI_BLK_EN	Поддержка многоблочных Пересылок.
10	CH4_LOCK_EN	Поддержка блокировок Канала и Шины.
9	CH4_SRC_GAT_EN	Поддержка Сбора Источника.
8	CH4_DST_SCA_EN	Поддержка Разброса Приёмника.
7	CH4_STAT_SRC	Поддержка обработки статуса Источника.
6	CH4_STAT_DST	Поддержка обработки статуса Приёмника.
5:3	CH4_STW	Разрядность передач Источника.
2:0	CH4_DTW	Разрядность передач Приёмника.

9.8.7.4 Регистр DMA_COMP_PARAMS_3

Регистр DMA_COMP_PARAMS_3 - 3-ий регистр аппаратных параметров PDMA. Содержит информацию об аппаратной конфигурации каналов 2 и 1.

Смещение	0x3e0
Тип	R
Состояние по сбросу	3006 DBC0 3006 DBC0
Разрядность	64

Таблица 9.35. Описание полей регистра DMA_COMP_PARAMS_3

Разряды	Поле	Описание
63	Reserved	Зарезервировано.
62:60	CH1_FIFO_DEPTH	Глубина FIFO канала в байтах.
59:57	CH1_SMS	АНВ порт Источника.
56:54	CH1_LMS	АНВ порт LLP.
53:51	CH1_DMS	АНВ порт Приёмника.
50:48	CH1_MAX_MULT_SIZE	Максимальный размер Пакета.
47:46	CH1_FC	Тип управления размером Блока.
45	CH1_HC_LLDP	Поддержка цепочек Блоков.
44	CH1_CTL_WB_EN	Поддержка обратной записи.
43	CH1_MULTI_BLK_EN	Поддержка многоблочных Пересылок.
42	CH1_LOCK_EN	Поддержка блокировок Канала и Шины.
41	CH1_SRC_GAT_EN	Поддержка Сбора Источника.
40	CH1_DST_SCA_EN	Поддержка Разброса Приёмника.
39	CH1_STAT_SRC	Поддержка обработки статуса Источника.
38	CH1_STAT_DST	Поддержка обработки статуса Приёмника.
37:35	CH1_STW	Разрядность передач Источника.
34:32	CH1_DTW	Разрядность передач Приёмника.
31	Reserved	Зарезервировано.
30:28	CH2_FIFO_DEPTH	Глубина FIFO канала в байтах.
27:25	CH2_SMS	АНВ порт Источника.
24:22	CH2_LMS	АНВ порт LLP.
21:19	CH2_DMS	АНВ порт Приёмника.
18:16	CH2_MAX_MULT_SIZE	Максимальный размер Пакета.
15:14	CH2_FC	Тип управления размером Блока.

Разряды	Поле	Описание
13	CH2_HC_LL	Поддержка цепочек Блоков.
12	CH2_CTL_WB_EN	Поддержка обратной записи.
11	CH2_MULTI_BLK_EN	Поддержка многоблочных Пересылок.
10	CH2_LOCK_EN	Поддержка блокировок Канала и Шины.
9	CH2_SRC_GAT_EN	Поддержка Сбора Источника.
8	CH2_DST_SCA_EN	Поддержка Разброса Приёмника.
7	CH2_STAT_SRC	Поддержка обработки статуса Источника.
6	CH2_STAT_DST	Поддержка обработки статуса Приёмника.
5:3	CH2_STW	Разрядность передач Источника.
2:0	CH2_DTW	Разрядность передач Приёмника.

9.8.7.5 Регистр DMA_COMP_PARAMS_2

Регистр DMA_COMP_PARAMS_2 - 2-ой регистр аппаратных параметров PDMA. Содержит информацию об аппаратной конфигурации канала 0 и типах многоблочных пересылок для всех каналов.

Смещение	0x3e8
Тип	R
Состояние по сбросу	0000_0000_3006_DBC0
Разрядность	64

Таблица 9.36. Описание полей регистра DMA_COMP_PARAMS_2

Разряды	Поле	Описание
63:60	CH7_MULTI_BLK_TYPE	Тип многоблочных Пересылок канала 7. 0 = NO_HARDCODE Любые типы. 1 = CONT_RELOAD SARx - смежный. DAR и CTL - автоповтор. 2 = RELOAD_CONT SARx и CTLx - автоповтор. DARx - смежный. 3 = RELOAD_RELOAD SARx, DARx, и CTLx - автоповтор. 4 = CONT_LL
		SARx - смежный. DARx, CTLx, и LLPx загружаются из блоков LLI. 5 = RELOAD_LL
		SARx - автоповтор. DARx, CTLx, и LLPx загружаются из блоков LLI. 6 = LLP_CONT
		SARx, CTLx, и LLPx загружаются из блоков LLI. DARx - смежный. 7 = LLP_RELOAD
		SARx, CTLx, и LLPx загружаются из блоков LLI. DARx - автоповтор. 8 = LLP_LL
		SARx, DARx, CTLx, и LLPx загружаются из блоков LLI цепочки Блоков.
59:56	CH6_MULTI_BLK_TYPE	Тип многоблочных Пересылок канала 6.
55:52	CH5_MULTI_BLK_TYPE	Тип многоблочных Пересылок канала 5.
51:48	CH4_MULTI_BLK_TYPE	Тип многоблочных Пересылок канала 4.
47:44	CH3_MULTI_BLK_TYPE	Тип многоблочных Пересылок канала 3.
43:40	CH2_MULTI_BLK_TYPE	Тип многоблочных Пересылок канала 2.

Разряды	Поле	Описание
39:36	CH1_MULTI_BLK_TYPE	Тип многоблочных Пересылок канала 1.
35:32	CH0_MULTI_BLK_TYPE	Тип многоблочных Пересылок канала 0.
31	Reserved	Зарезервировано.
30:28	CH0_FIFO_DEPTH	Глубина FIFO канала в байтах.
27:25	CH0_SMS	АНВ порт Источника.
24:22	CH0_LMS	АНВ порт LLP.
21:19	CH0_DMS	АНВ порт Приёмника.
18:16	CH0_MAX_MULT_SIZE	Максимальный размер Пакета.
15:14	CH0_FC	Тип управления размером Блока.
13	CH_HC_LLP	Поддержка цепочек Блоков.
12	CH0_CTL_WB_EN	Поддержка обратной записи.
11	CH0_MULTI_BLK_EN	Поддержка многоблочных Пересылок.
10	CH0_LOCK_EN	Поддержка блокировок Канала и Шины.
9	CH0_SRC_GAT_EN	Поддержка Сбора Источника.
8	CH0_DST_SCA_EN	Поддержка Разброса Приёмника.
7	CH0_STAT_SRC	Поддержка обработки статуса Источника.
6	CH0_STAT_DST	Поддержка обработки статуса Приёмника.
5:3	CH0_STW	Разрядность передач Источника.
2:0	CH0_DTW	Разрядность передач Приёмника.

9.8.7.6 Регистр DMA_COMP_PARAMS_1

Регистр DMA_COMP_PARAMS_1 - 1-ый регистр аппаратных параметров PDMA.

Смещение	0x3f0
Тип	R
Состояние по сбросу	3800 070A AAAA AAAA
Разрядность	64

Таблица 9.37. Описание полей регистра DMA_COMP_PARAMS_1

Разряды	Поле	Описание
63:62	Reserved	Зарезервировано.
61	STATIC_ENDIAN_SELECT	Способ задания порядка байтов в обменах АНВ. 0 - Для каждого порта АНВ порядок байтов определяется индивидуально отдельными аппаратными входами PDMA. 1 - Порядок байтов для всех портов АНВ (как ведомых, так и ведущих) одинаков и жёстко задан при конфигурации.
60	ADD_ENCODED_PARAM	Определяет наличие регистров аппаратных параметров от 6-го до 1-го (DMA_COMP_PARAMS ..).
59:55	NUM_HS_INT	Количество аппаратных интерфейсов запросов (от 0 до 16).
54:53	M4_HDATA_WIDTH	Разрядность ведущего АНВ порта 4. 0 - 32 разряда 1 - 64 разряда 2 - 128 разрядов 3 - 256 разрядов
52:51	M3_HDATA_WIDTH	Разрядность ведущего АНВ порта 3.
50:49	M2_HDATA_WIDTH	Разрядность ведущего АНВ порта 2.
48:47	M1_HDATA_WIDTH	Разрядность ведущего АНВ порта 1.
46:45	S_HDATA_WIDTH	Разрядность конфигурационного АНВ порта.
44:43	NUM_MASTER_INT	Количество ведущих портов АНВ. 0 - 1 ведущий ... 3 - 4 ведущих

Разряды	Поле	Описание
42:40	NUM_CHANNELS	Количество Каналов. 0 - 1 канал ... 7 - 8 каналов
39:36	Reserved	Зарезервировано.
35	MABRST	Разрешение программного ограничения размера пакетов АНВ. 0 - Максимальный размер пакета АНВ определяется размером FIFO Канала. PDMA может заполнять и очищать FIFO за одно пакетное обращение. 1 - Максимальный размер пакета АНВ определяется настройками регистров Канала.
34:33	INTR_IO	Аппаратно заданный тип сигналов прерываний: 0 - ALL Для каждого канала выведены все 5 возможных прерываний (любому прерыванию каждого из каналов соответствует отдельный сигнал). 1 - TYPE Выведены 5 сигналов прерываний согласно типу (каждый из сигналов указывает на возникновение прерывание заданного типа в любом из каналов). Также выведен объединённый сигнал прерываний (указывает на наличие любого прерывания в любом канале). 2 - COMBINED Выведен только объединённый сигнал прерываний (указывает на наличие любого прерывания в любом канале). 3 - зарезервировано
32	BIG_ENDIAN	Порядок байтов в обменах АНВ. 0 - Сначала передаются младшие байты (little-endian) 1 - Сначала передаются старшие байты (big-endian) Поле работает только при установленном в единицу поле STATIC_ENDIAN_SELECT.
31:28	CH7_MAX_BLK_SIZE	Максимальный размер Блока канала 7. Определяет максимально количество обращений разрядностью передач источника в Блоке. Если размером Блока управляет PDMA, разрешается настраивать размер Блока, не превышающий значение этого параметра. Если размером Блока управляет периферия, то размер Блока может быть больше значения этого параметра. Параметр ограничивает размер границы Сбора/Разброса. 0x0 = 3 0x1 = 7 0x2 = 15 0x3 = 31 0x4 = 63 0x5 = 127 0x6 = 255 0x7 = 511 0x8 = 1023 0x9 = 2047 0xa = 4095
27:24	CH6_MAX_BLK_SIZE	Максимальный размер Блока канала 6.
23:20	CH5_MAX_BLK_SIZE	Максимальный размер Блока канала 5.
19:16	CH4_MAX_BLK_SIZE	Максимальный размер Блока канала 4.
15:12	CH3_MAX_BLK_SIZE	Максимальный размер Блока канала 3.
11:8	CH2_MAX_BLK_SIZE	Максимальный размер Блока канала 2.
7:4	CH1_MAX_BLK_SIZE	Максимальный размер Блока канала 1.
3:0	CH0_MAX_BLK_SIZE	Максимальный размер Блока канала 0.

9.8.8 Регистр DMA_Component_ID_Register

Регистр DMA_Component_ID_Register (DMA Component ID Register) - ID регистр компонента PDMA.

Регистр доступен только по чтению. Регистр позволяет определить тип и версию компонента Designware.

Смещение	0x3f8
Тип	R
Состояние по сбросу	3231_372A_4457_1110
Разрядность	64

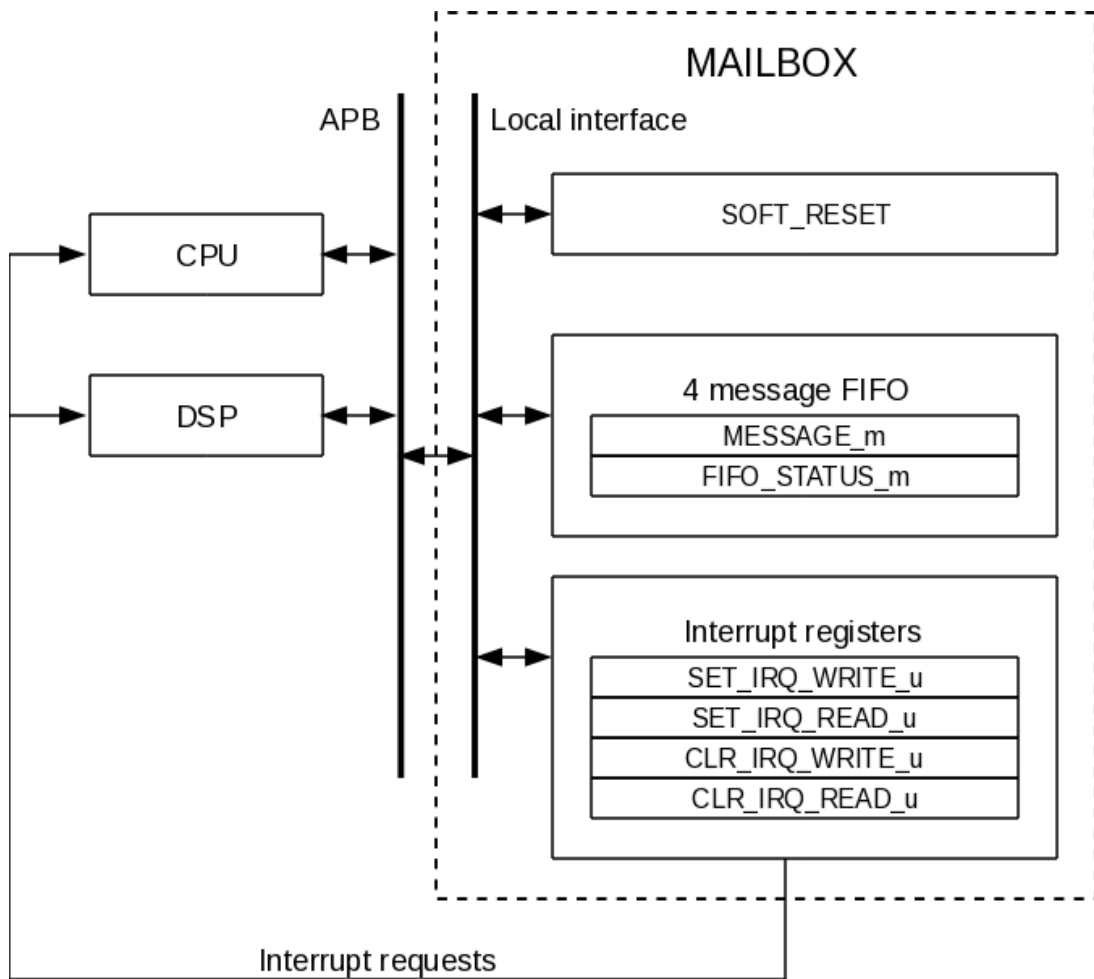
Таблица 9.38. Описание полей регистра DMA_Component_ID_Register

Разряды	Поле	Описание
63:32	DMA_COMP_VERSION	Версия компонента.
31:0	DMA_COMP_TYPE	Тип компонента Designware. Значение по сбросу - 0x44571110.

10. БЛОК ОБМЕНА СООБЩЕНИЯМИ (MAILBOX)

10.1 Назначение

Межпроцессорный обмен на чипе организуется модулем Mailbox. Этот модуль позволяет программно организовать канал обмена между ядрами CPU и DSP.



u=0..1
m=0..7

Рисунок 10.1. Структура модуля Mailbox

Структура модуля Mailbox представлена на Рисунок 10.1.

10.2 Характеристики

Блок обмена сообщениями имеет следующие характеристики:

- имеет 8 буферов FIFO, глубина - 4 слова, разрядность – 32;
- поддерживает режимы работы по прерыванию и по опросу;
- формирует четыре прерывания:
 - IRQ_WRITE_0: прерывание к CPU на запись данных в Mailbox;
 - IRQ_READ_0: прерывание к CPU на чтение данных из Mailbox;
 - IRQ_WRITE_1: прерывание к DSP на запись данных в Mailbox;
 - IRQ_READ_1: прерывание к DSP на чтение данных в Mailbox;
- установка и сброс прерываний осуществляется через отдельные регистры.

10.3 Регистры MC_MAILBOX

В Таблица 10.1 приведен перечень программно-доступных регистров блока Mailbox.

Таблица 10.1. Перечень программно-доступных регистров Mailbox

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние	Смещение
SOFT_RESET	Регистр программного сброса	W	0x0	0x0
MESSAGE_m	Регистр обмена	W/R	0x0	m=0: 0x100 m=1: 0x104 m=2: 0x108 m=3: 0x10C m=4: 0x110 m=5: 0x114 m=6: 0x118 m=7: 0x11C
FIFO_STATUS_m	Регистр статуса FIFO	R	0x2	m=0: 0x200 m=1: 0x204 m=2: 0x208 m=3: 0x20C m=4: 0x210 m=5: 0x214 m=6: 0x218 m=7: 0x21C
SET_IRQ_WRITE_u	Регистр установки прерывания IRQ_WRITE_u	W/R	0x0	u=0: 0x400 u=1: 0x404
SET_IRQ_READ_u	Регистр установки прерывания IRQ_READ_u.	W/R	0x0	u=0: 0x440 u=1: 0x444
CLR_IRQ_WRITE_u	Регистр сброса прерывания IRQ_WRITE_u.	W/R	0x0	u=0: 0x480 u=1: 0x484
CLR_IRQ_READ_u	Регистр сброса прерывания IRQ_READ_u.	W/R	0x0	u=0: 0x4C0 u=1: 0x4C4

10.3.1 Регистр **SOFT_RESET**

Регистр программного сброса.

Формат регистра **SOFT_RESET** приведен в Таблица 10.2.

Таблица 10.2. Формат регистра **SOFT_RESET**

Номер бита	Условное обозначение	Назначение
0	SOFT_RESET	Программный сброс обнуляет содержимое буферов, регистров статуса FIFO и все прерывания.
1:31	-	Резерв

10.3.2 Регистр **MESSAGE_m**

Регистр чтения/записи в **FIFO_m**.

Формат регистра **MESSAGE_m** приведен в Таблица 10.3.

Таблица 10.3. Формат регистра **MESSAGE_m**

Номер бита	Условное обозначение	Назначение
0:31	MESSAGE	Регистр, через который происходит чтение и запись в Mailbox.

10.3.3 Регистр **FIFO_STATUS_m**

Регистр статуса **FIFO_m**.

Формат регистра **FIFO_STATUS_m** приведен в Таблица 10.4.

Таблица 10.4. Формат регистра **FIFO_STATUS_m**

Номер бита	Условное обозначение	Назначение
0	FULL	Регистр, указывающий на то, что FIFO полон.
1	EMPTY	Регистр, указывающий на то, что FIFO пуст.
4:7	STATUS	Регистр, указывающий на число слов данных в FIFO.
8:31	-	Резерв

10.3.4 Регистр **SET_IRQ_WRITE_u**

Регистр включения прерывания **IRQ_WRITE_u**. Прерывание **IRQ_WRITE_u** формируется сложением всех бит этого регистра по ИЛИ. Каждому из 8-и бит этого регистра соответствует буфер FIFO, в который ядро *u* (0 - CPU, 1 - DSP) должно записать данные.

Формат регистра **SET_IRQ_WRITE_u** приведен в Таблица 10.5.

Таблица 10.5. Формат регистра SET_IRQ_WRITE_u

Номер бита	Условное обозначение	Назначение
0:7	SET_IRQ_WRITE_u	Для каждого бита: Чтение 0: прерывание не установлено. Чтение 1: прерывание установлено. Запись 0: игнорируется Запись 1: установить прерывание.
8:31	-	Резерв

10.3.5 Регистр SET_IRQ_READ_u

Регистр включения прерывания IRQ_READ_u. Прерывание IRQ_READ_u формируется сложением всех бит этого регистра по ИЛИ. Каждому из 8-и бит этого регистра соответствует буфер FIFO, из которого ядро *u* (0 - CPU, 1 - DSP) должно прочитать данные.

Формат регистра SET_IRQ_READ_u приведен в Таблица 10.6.

Таблица 10.6. Формат регистра SET_IRQ_READ_u

Номер бита	Условное обозначение	Назначение
0:7	SET_IRQ_READ_u	Для каждого бита: Чтение 0: прерывание не установлено. Чтение 1: прерывание установлено. Запись 0: игнорируется Запись 1: установить прерывание.
8:31	-	Резерв

10.3.6 Регистр CLR_IRQ_WRITE_u

Регистр сброса прерывания IRQ_WRITE_u. Запись в любой из 8-и бит этого регистра, обнуляет значение, установленное в соответствующем бите регистра IRQ_WRITE_u.

Формат регистра CLR_IRQ_WRITE_u приведен в Таблица 10.7.

Таблица 10.7. Формат регистра CLR_IRQ_WHITE_u

Номер бита	Условное обозначение	Назначение
0:7	CLR_IRQ_WRITE_u	Для каждого бита: Чтение 0: прерывание не установлено. Чтение 1: прерывание установлено. Запись 0: игнорируется Запись 1: убрать прерывание.
8:31	-	Резерв

10.3.7 Регистр CLR_IRQ_READ_u

Регистр сброса прерывания IRQ_READ_u. Запись в любой из 8-и бит этого регистра, обнуляет значение, установленное в соответствующем бите регистра IRQ_READ_u.

Формат регистра CLR_IRQ_READ_u приведен в Таблица 10.8.

Таблица 10.8. Формат регистра CLR_IRQ_READ_u

Номер бита	Условное обозначение	Назначение
0:7	CLR_IRQ_READ_u	Для каждого бита: Чтение 0: прерывание не установлено. Чтение 1: прерывание установлено. Запись 0: игнорируется Запись 1: убрать прерывание.
8:31	-	Резерв

10.4 Методы организации канала межпроцессорного обмена

10.4.1 По прерыванию IRQ_READ_u

Если ядро DSP имеет данные на передачу ядру CPU, то ядру DSP необходимо записать данные в пустой FIFO_m (при этом FIFO_STATUS_m[1]==1) через регистр MESSAGE_m и записать 1 в бит SET_IRQ_READ_0[m], что приведет к запросу прерывания на чтение CPU из FIFO_m.

Ядру CPU, получив прерывание, необходимо прочитать регистр SET_IRQ_READ_0, для определения номера FIFO_m, содержащего данные, считать данные из FIFO_m через регистр MESSAGE_m а после сбросить прерывание, записав 1 в регистр CLR_IRQ_READ_0[m].

10.4.2 По прерыванию IRQ_WRITE_u

Если CPU необходимо запросить данные от DSP, то ему необходимо выбрать пустой FIFO_m, (при этом FIFO_STATUS_m[1]==1). После чего, CPU необходимо установить в 1 бит SET_IRQ_WRITE_1[m], что вызовет запрос прерывания IRQ_WRITE_1 на запись данных от DSP в FIFO_m. После этого необходимо дождаться пока DSP сбросит это прерывание и читать данные из FIFO_m через регистр MESSAGE_m.

Соответственно, DSP, получив прерывание IRQ_WRITE_1, необходимо прочитать регистр SET_IRQ_WRITE_1, для определения номера FIFO_m. Записать данные в FIFO_m через регистр MESSAGE_m и сбросить прерывание, записав 1 в бит CLR_IRQ_WRITE_1[m].

10.4.3 По опросу

Если DSP необходимо периодически передавать данные CPU в выбранный FIFO_{*m*}, то DSP необходимо записывать данные через регистр MB_MESSAGE_{*m*}, проверяя содержимое регистра MB_FIFOSTATUS_{*m*} на наличие свободного места в FIFO_{*m*}.

Соответственно, CPU должно периодически опрашивать регистр MB_FIFOSTATUS_{*m*} на наличие в нем данных, и читать их через регистр MB_MESSAGE_{*m*}.

11. БЛОК ПОДДЕРЖКИ АТОМАРНЫХ ОПЕРАЦИЙ (SPINLOCK)

Структура SPINLOCK представляет собой набор из 32-х низкоуровневых взаимоисключающих примитивов синхронизации, каждый из которых — однобитный регистр. При их использовании необходимо выполнять цикл в ожидании получения блокировки.

11.1 Регистры SPINLOCK

Таблица 11.1. Регистры блока

Условное обозначение регистра	Название регистра	Тип доступа	Исходное Состояние	Смещение
SPINLOCK_SOFTRESET	Регистр программного сброса	W	0x0	0x0
SPINLOCK_LOCK_N. N = 0..31	Регистр блокировки	W/R	0x0	0x800+(0x4*N)

11.2 Алгоритм работы

Каждый однобитный регистр SPINLOCK_LOCK имеет два состояния:

- NOT TAKEN (0);
- TAKEN (1).

При этом переход NOT TAKEN -> TAKEN происходит при чтении бита, находящегося в состоянии NOT TAKEN. А переход TAKEN -> NOT TAKEN происходит при записи 0 в бит TAKEN.

Алгоритм работы модуля представлен на Рисунок 11.1.

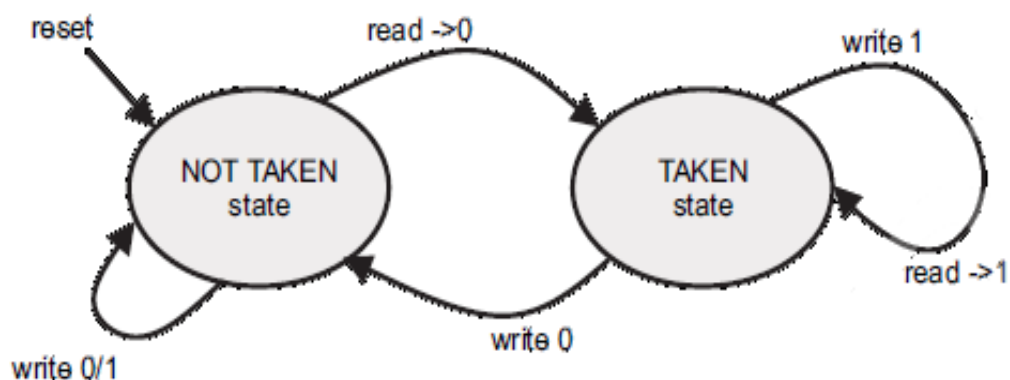


Рисунок 11.1. Алгоритм переключения SPINLOCK_LOCK регистров

Запись 1 в регистра SPINLOCK_SOFTRESET сбрасывает все SPINLOCK_LOCK_N в состояние NOT_TAKEN(0).

12. БЛОК УНИВЕРСАЛЬНЫХ ТАЙМЕРОВ (TIMERS)

12.1 Общая информация

Блок состоит из восьми идентичных, отдельно программируемых таймеров. Таймеры начинают обратный отсчет от установленного значения и выдают прерывание по достижению нуля. Каждый таймер тактируется частотой уровня L3 коммутатора L3_PCLK. Все таймеры 32-х разрядные.

Два таймера из восьми способны генерировать сигнал импульсной модуляции.

12.2 Регистры блока универсальных таймеров

В Таблица 12.1 приведен перечень программно-доступных регистров блока универсальных таймеров.

Таблица 12.1. Перечень программно-доступных регистров блока универсальных таймеров

Условное обозначение регистра	Название регистра	Тип Доступа	Исходное Состояние	Смещение
TimerNLoadCount	Первый регистр начала отсчета TimerN.	W/R	0x0	N=1: 0x00 N=2: 0x14 N=3: 0x28 N=4: 0x3C N=5: 0x50 N=6: 0x64 N=7: 0x78 N=8: 0x8C
TimerNLoadCount2	Второй регистр начала отсчета TimerN.	W/R	0x0	N=1: 0xB0 N=2: 0xB4
TimerNCurrentValue	Регистр текущего значения TimerN.	R	0x0	N=1: 0x04 N=2: 0x18 N=3: 0x2C N=4: 0x40 N=5: 0x54 N=6: 0x68 N=7: 0x7C N=8: 0x90
TimerNControlReg	Регистр управления TimerN.	W/R	0x0	N=1: 0x08 N=2: 0x1C N=3: 0x30 N=4: 0x44 N=5: 0x58 N=6: 0x6C N=7: 0x80 N=8: 0x94

Условное обозначение регистра	Название регистра	Тип Доступа	Исходное Состояние	Смещение
TimerMEOI	Регистр сброса прерывания TimerN.	R	0x0	N=1: 0x0C N=2: 0x20 N=3: 0x34 N=4: 0x48 N=5: 0x5C N=6: 0x70 N=7: 0x84 N=8: 0x98
TimerMIntStatus	Регистр статуса прерывания TimerN.	R	0x0	N=1: 0x10 N=2: 0x24 N=3: 0x38 N=4: 0x4C N=5: 0x60 N=6: 0x74 N=7: 0x88 N=8: 0x9C
TimersIntStatus	Регистр статуса маскированных прерываний.	R	0x0	0xA0
TimersEOI	Регистр сброса прерываний.	R	0x0	0xA4
TimersIntRawStatus	Регистр статуса немаскированных прерываний.	R	0x0	0xA8

12.2.1 Регистр TimerMLoadCount

Формат регистра TimerMLoadCount приведен в Таблица 12.2.

Таблица 12.2. Формат регистра TimerMLoadCount

Номер бита	Условное обозначение	Назначение
0:31	TimerMLoadCount	Значение этого регистра загружается в TimerN перед началом отсчета. Значение содержит точку начала отсчета TimerN.

12.2.2 Регистр TimerNLoadCount2

Формат регистра TimerNLoadCount2 приведен в Таблица 12.3.

Таблица 12.3. Формат регистра TimerNLoadCount2

Номер бита	Условное обозначение	Назначение
0:31	TimerNLoadCount2	Это значение загружается в TimerN (N=1,2), когда TimerNControlReg[3]=1 (N=1,2) и выходной сигнал timer_N_toggle изменяется с 0 на 1. Это значение определяет продолжительность высокого уровня сигнала timer_N_toggle.

12.2.3 Регистр TimerNCurrentValue

Формат регистра TimerNCurrentValue приведен в Таблица 12.4.

Таблица 12.4. Формат регистра TimerNCurrentValue

Номер бита	Условное обозначение	Назначение
0:31	TimerNCurrentValue	Текущее значение таймера <i>N</i> .

12.2.4 Регистр TimerNControlReg

Этот регистр управляет включением/выключением, режимом работы и маскированием прерываний TimerN.

Формат регистра TimerNControlReg приведен в Таблица 12.5.

Таблица 12.5. Формат регистра TimerNControlReg

Номер бита	Условное обозначение	Назначение
0	Timer Enable	Бит включения TimerN. 0: выключен. 1: включен.
1	Timer Mode	Бит режима работы TimerN. 0: free-running 1: определяемый пользователем.
2	Timer Interrupt Mask	Бит маскирования прерывания от TimerN. 0: прерывание разрешено. 1: прерывание запрещено.
3	TIMER_PWM	Бит включения выходного сигнала импульсной модуляции timer_N_toggle. 0: выключен. 1: включен.
4:31	-	Резерв

12.2.5 Регистр TimerNEOI

Формат регистра TimerNEOI приведен в Таблица 12.6.

Таблица 12.6. Формат регистра TimerNEOI

Номер бита	Условное обозначение	Назначение
0	TimerN End-of-Interrupt	Чтение этого регистра возвращает 0 и сбрасывает прерывание таймера <i>N</i> .
1:31	-	Резерв

12.2.6 Регистр TimerMntStatus

Формат регистра TimerMntStatus приведен в Таблица 12.7.

Таблица 12.7. Формат регистра TimerMntStatus

Номер бита	Условное обозначение	Назначение
0	TimerN Interrupt Status Register	Регистр содержит статус прерывания таймера N.
1:31	-	Резерв

12.2.7 Регистр TimersIntStatus

Формат регистра TimersIntStatus приведен в Таблица 12.8.

Таблица 12.8. Формат регистра TimersIntStatus

Номер бита	Условное обозначение	Назначение
0:7	Timers Interrupt Status Register	Регистр содержит статусы прерываний всех таймеров.
8:31	-	Резерв

12.2.8 Регистр TimersEOI

Формат регистра TimersEOI приведен в Таблица 12.9.

Таблица 12.9. Формат регистра TimersEOI

Номер бита	Условное обозначение	Назначение
0:7	Timers End-of- Interrupt	Чтение этого регистра возвращает нули и сбрасывает все активные прерывания.
8:31	-	Резерв

12.2.9 Регистр TimersRawIntStatus

Формат регистра TimersRawIntStatus приведен в Таблица 12.10.

Таблица 12.10. Формат регистра TimersRawIntStatus

Номер бита	Условное обозначение	Назначение
0:7	Timers Interrupt Status Register	Регистр содержит статусы прерываний всех таймеров до маскирования.
8:31	-	Резерв

12.3 Функционирование

12.3.1 Включение и выключение таймера

Для включения или выключения $TimerN$, необходимо записать соответственно 1 или 0 в бит 0 регистра $TimerNControlReg$.

Когда таймер включен, значение его счетчика декрементируется каждый такт частоты уровня L3 коммутатора. При включении таймера, текущее значение регистра $TimerMLoadCount$ загружается в счетчик таймера.

При выключении таймера, значение его счетчика сбрасываются.

12.3.2 Загрузка значения начала отсчета

При включении таймера, значение счетчика загружается из регистра $TimerMLoadCount$, это происходит в обоих *free-running* и *user-defined* режимах.

Когда счетчик таймера достигает нулевого состояния, в счетчик загружается одно из двух значений, в зависимости от выбранного режима работы таймера.

В режиме *user-defined* - в таймер загружается текущее значение регистра $TimerMLoadCount$. Этот режим используется для генерирования периодических прерываний. Режим можно выбрать, записав 1 в бит 1 регистра $TimerNControlReg$.

В режиме *free-running* - в таймер загружается максимально возможное значение $0xFFFFFFFF$, что позволяет перепрограммировать или выключить таймер, до того, как произойдет новое прерывание. Этот режим используется для генерирования единичных прерываний. Этот режим можно выбрать, записав 0 в бит 1 регистра $TimerNControlReg$.

12.3.3 Импульсная модуляция

Два из восьми таймеров блока универсальных таймеров имеют выходной сигнал импульсной модуляции $timer_N_toggle(N=1,2)$.

Продолжительность высокого и низкого уровня сигнала модуляции, выраженная в тактах частоты $L3_PCLK$, определяется регистрами $TimerNLoadCount2$ и $TimerNLoadCount$:

$$HIGH_period = (TimerMLoadCount2 + 1)$$

$$LOW_period = (TimerMLoadCount + 1)$$

13. БЛОК ТАЙМЕРА РЕАЛЬНОГО ВРЕМЕНИ (RTC)

13.1 Основные характеристики

1. Подсчет лет, месяцев, дней недели, дней, часов, минут, секунд и шестнадцатых долей секунды.
2. Поддержка високосного года.
3. Представление данных в двоично-десятичном коде (BCD).
4. Будильника — генерирует прерывание по достижению заданного времени.
5. Интервальный таймер — генерирует периодическое прерывание с заданным интервалом.
6. Вывод системы из режима power down по сигналу от будильника или интервального таймера.
7. APB — интерфейс.
8. Наличие механизма контроля целостности данных в операциях чтения и записи.
9. Поддержка работы от автономного питания.
10. Функционирование на частоте 32,768 кГц.

13.2 Структурная схема

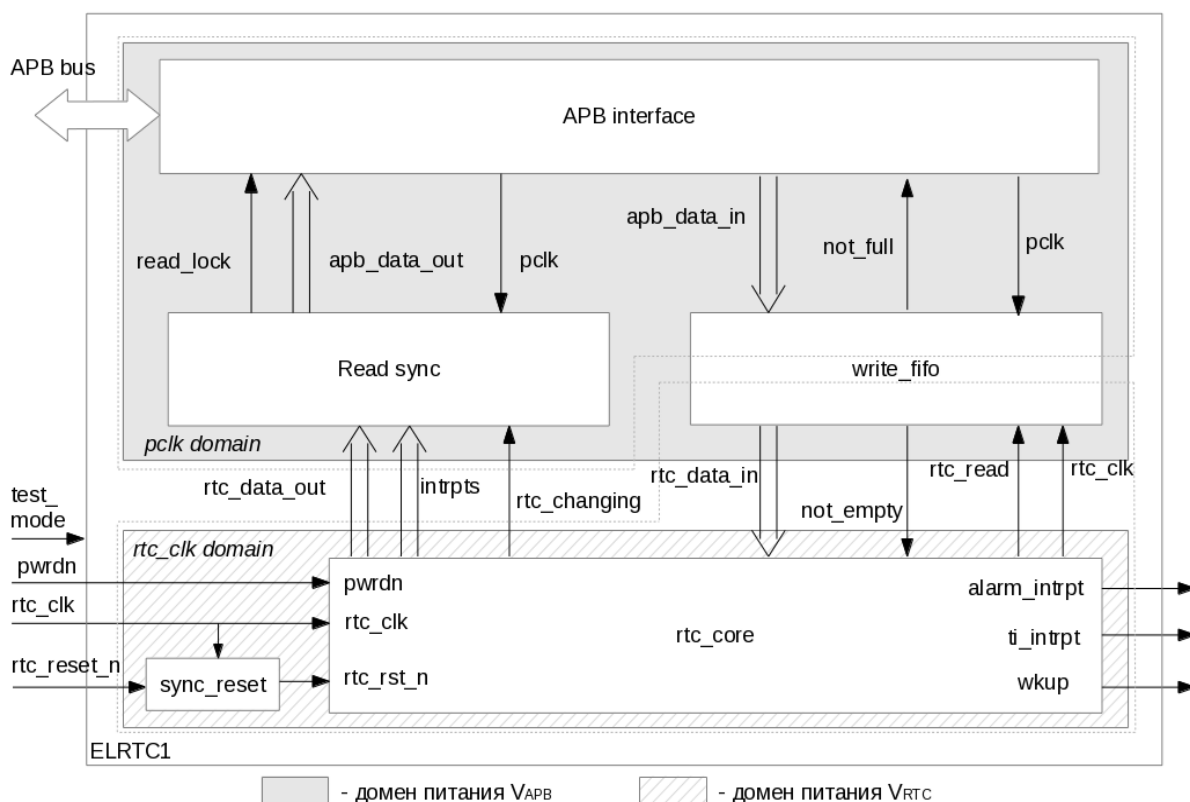


Рисунок 13.1. Структурная схема IP блока ELRTC1

IP блок ELRTC1 имеет два домена синхронизации: домен частоты APB интерфейса — *pclk*, и домен частоты *rtc_clk* равной 32.768 кГц. Интерфейс APB функционирует на частоте шины *pclk* и передает данные в *rtc_core* через двух портовый модуль *write_fifo* с указателями на счетчиках Грея. Размер FIFO, находящегося в этом модуле, составляет 8 слов по 38 бит. По мере появления данных на выходах *write_fifo*, *rtc_core* по положительному фронту *rtc_clk* сохраняет их во внутренних регистрах. Все внутренние регистры *rtc_core* доступны на чтение. Функционал Read Sync обеспечивает контроль целостности считываемых данных.

13.3 Механизм контроля целостности данных в пределах регистра в операциях чтения

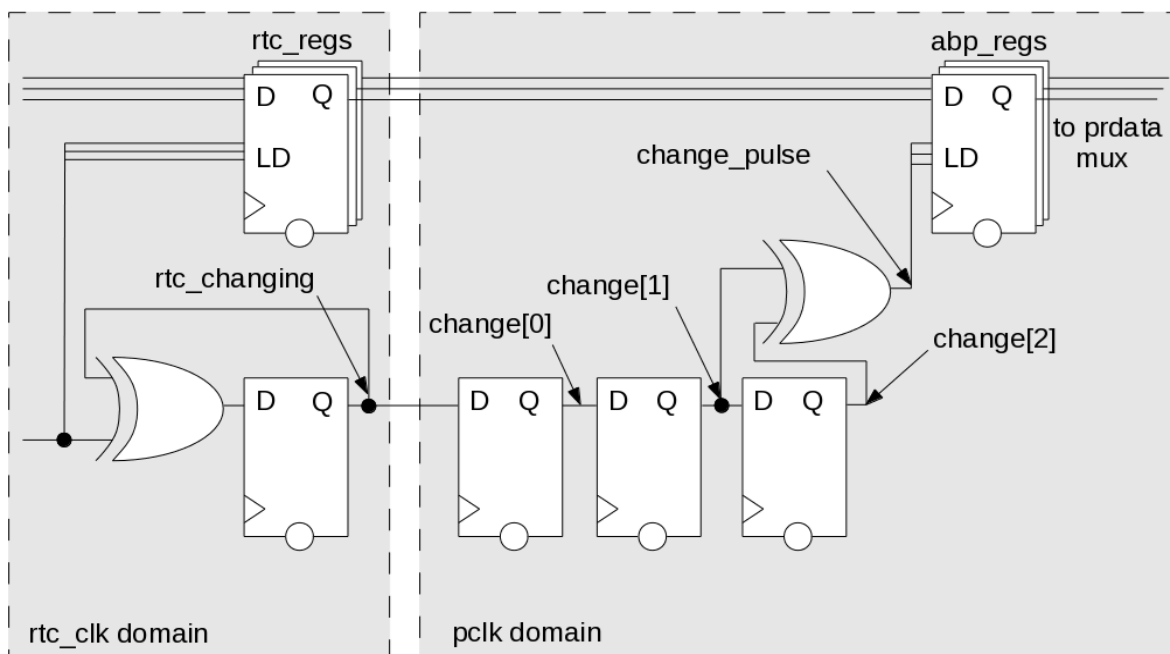


Рисунок 13.2. Логическая схема механизма синхронизации при чтении

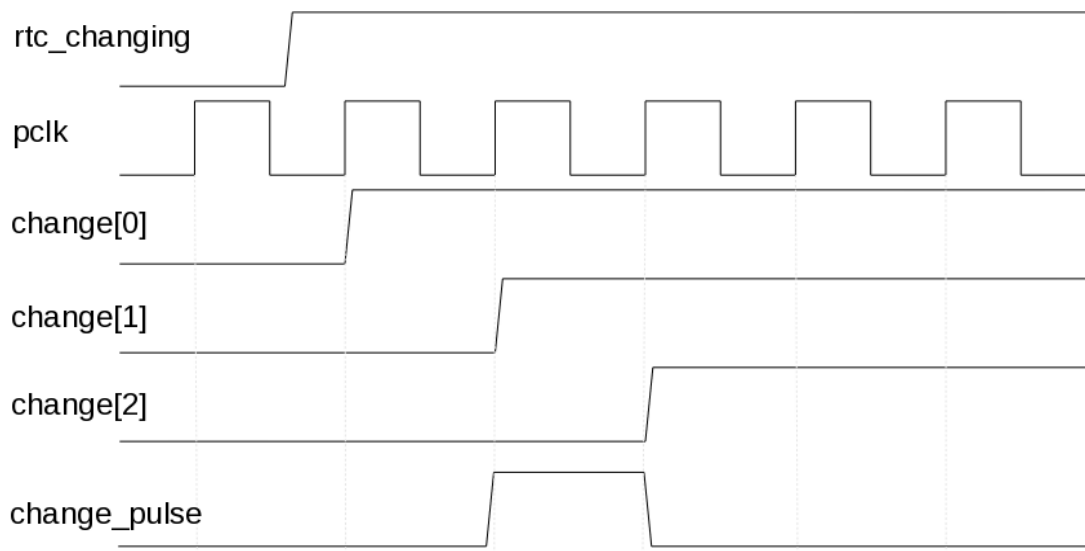


Рисунок 13.3. Временная диаграмма синхронизации при чтении

Необходимость контроля целостности данных во время операций записи возникает из-за ограниченности размера FIFO. Большая разница в частотах *pclk* и *rtc_clk*, может привести к тому что FIFO переполнится и часть данных с системной шины не будут записаны. Для исключения подобной ситуации во время частой записи программное обеспечение должно периодически проверять количество занятых ячеек памяти в буфере FIFO. Реализуется это

чтением поля USED_CELLS регистра RRTC_CTRL. При полном заполнении буфера, далее записываемые данные будут игнорироваться.

Целостность данных во время операций чтения также контролируется. На рисунке 13.2 представлена схема синхронизации передачи данных из частотного домена *rtc_clk* в домен повышенной частоты *pclk*. Каждое изменение регистров в частотном домене *rtc_clk* сопровождается изменением фронта сигнала *rtc_changing*, что в свою очередь с задержкой в 1-2 такта *pclk* вызывает появление строба *change_pulse*. Этот строб служит разрешающим сигналом для записи регистров в домене *pclk*.

13.4 Сигналы блока

Таблица 13.1.

Название	Направление	Описание
Тактовые сигналы и сигнал сброса		
<i>rtc_clk</i>	I	Тактовый сигнал RTC равный 32.768 кГц
<i>rtc_reset_n</i>	I	Асинхронный сигнал сброса внутренних регистров модуля <i>rtc_core</i> (текущие дату, время, счетчики интервального таймера, сигналы прерываний и счетчик количества прерываний интервального таймера). Активный 0.
<i>pclk</i>	I	Тактовый сигнал APB шины
<i>presetn</i>	I	Асинхронный сигнал сброса шины APB Сбрасывает все регистры <i>pclk</i> домена, а также модуль <i>write_fifo</i> . Активный 0. Должен сниматься по положительному фронту <i>pclk</i> .
Сигналы шины APB		
<i>penable</i>	I	Сигнал разрешения
<i>pwrite</i>	I	Сигнал чтение/запись
<i>pdata[31:0]</i>	I	Шина данных на запись
<i>paddr[5:0]</i>	I	Шина адреса
<i>psel</i>	I	Сигнал выбора периферийного устройства
<i>prdata[31:0]</i>	O	Шина данных на чтение
<i>pready</i>	O	Сигнал готовности периферийного устройства
Прочие сигналы		
<i>pwrdsn</i>	I	Сигнал, сигнализирующий о переходе системы в режим <i>power down</i> (1 — <i>power down</i> активен, 0 — <i>power down</i> не активен)
<i>alarm_intrpt</i>	O	Сигнал прерывания по будильнику
<i>it_intrpt</i>	O	Сигнал периодического прерывания интервального таймера
<i>wkup</i>	O	Сигнал пробуждения системы (выход из режима <i>power down</i>)
<i>test_mode</i>	I	Сигнал управления DFT

13.5 Будильник

Функционал будильника реализован средствами двух регистров RRTC_TALRM и RRTC_DALRM. Установленные в этих регистрах значения полей будут сравниваться с соответствующими полями регистров даты и времени RRTC_TIME и RRTC_DATE. Разрешение сравнение по каждому типу поля выставляется отдельно. Например если разрешить сравнивать только шестнадцатые доли секунды, то будильник будет срабатывать каждую секунду. Если добавить в разрешение секунды, то каждую минуту и т. д. Если в регистре RRTC_CTRL установлен соответствующий разрешающий бит

INT_ALARM_EN, срабатывание будильника вызывает соответствующее прерывание: на выходе *alarm_intrpt* выставляется 1 и держится в течении одного такта *rtc_clk* (~30мкс). Независимо от разрешающего бита INT_ALARM_EN в момент срабатывания будильника в регистре статуса устанавливается бит INT_ALARM. Очистка статусного бита происходит при записи в этот бит единицы.

13.6 Интервальный таймер

Интервальный таймер, представляет собой два счетчика. Вспомогательный на 16 бит, и основной на 28 бит. Вспомогательный задает частоту работы основного. Максимальное значение вспомогательного счетчика определяется значением поля IT_MLT регистра RRTC_TCNT. Частоту работы основного счетчика рассчитывается следующим образом:

$$f_{IT} = f_{RTC} / N, \text{ где } N=2^{IT_MLT},$$

При достижении основным счетчиком максимального значения, задаваемого в поле IT_VAL регистра RRTC_TCNT, значение этого счетчик сбрасывается и счет продолжается. Если в регистре RRTC_CTRL установлен соответствующий разрешающий бит INT_IT_EN, то в момент сброса основного счетчика происходит прерывание интервального таймера: на выходе *it_intrpt* выставляется 1 и держится в течение 1-го такта *rtc_clk* (~30мкс). Независимо от разрешающего бита INT_IT_EN в регистре статуса устанавливается соответствующий бит INT_IT. Очистка статусного бита происходит при записи в этот бит единицы.

Период работы интервального таймера рассчитывается по следующей формуле:

$$T_{IT} = IT_VAL / f_{IT};$$

Значение IT_VAL не может быть задаваться равным 0. Совместная установка IT_VAL = 1 и IT_MLT = 0 также не корректна. Некорректно установленные значения игнорируются.

Значения частоты работы интервального таймера и максимально отсчитываемые периоды (при IT_VAL=28'hFFF_FFFF) в зависимости от значения поля IT_MLT, представлены в следующей таблице:

Таблица 13.2.

Значение регистра IT_MLT	Частота работы основного счетчика интервального таймера, (Гц)	Максимальный возможный период таймера, (сек)
b0000	32768 Гц	~8192
b0001	16384 Гц	~16384
b0010	8192 Гц	~32768
...
b1101	4 Гц	~67108864
b1110	2 Гц	~134217728
b1111	1 Гц	~268435456 ≈ 8.5 лет

При чтении регистра RRTC_TCUR возвращается текущее значение основного счетчика IT_TCUR и количество прерываний интервального таймера IT_INT_CNT. Значения обоих счетчиков интервального таймера сбрасываются во время операции записи любого из полей регистра RRTC_TCNT. Максимальное значение количества прерываний, хранимое в поле IT_INT_CNT равно 15. При превышении этого числа, счетчик будет сбрасываться и начинать счет сначала. Количество прерываний также сбрасывается каждый раз при очистке бита INT_IT в регистре статуса.

13.7 RTC таймер и режим сна микросхемы

Архитектура блока предусматривает возможность индикации событий будильника или интервального таймера на вывод RTC_WAKEUP для вывода микросхемы из режима сна. Регистр RRTC_CTRL содержит биты ALRM_WKUP_EN и IT_WKUP_EN разрешающие эту возможность. Если один из этих бит установлен, то срабатывание будильника либо интервального таймера на следующем такте rtc_clk вызовет появление на выходе RTC_WAKUP высокого уровня сигнала. Сразу после вывода системы из режима сна (после подачи питания, снятия сигнала сброса и сигнала RTC_ISO) в регистре статуса произойдет установка битов ALARM_WKUP или IT_WKUP (в зависимости от того, чем был вызвано событие). Очистка статусных бит происходит при записи в них единицы. Снятие сигнала RTC_WAKEUP произойдет сразу после снятия сигнала RTC_ISO микросхемы.

13.8 Описание регистров

Таблица 13.3. Описание аббревиатур, используемых при описании регистров

Сокращение	Описание
RESERVED	Поле не доступно для записи, операция чтения возвращает 0.
RO	Поле доступно только для чтения, операция записи игнорируется.
WO	Поле доступно только для записи, операция чтения возвращает 0.
RW	Поле доступно как для записи, так и для чтения.
RW1C	Поле доступно как для записи, так и для чтения. Запись 1 очищает поле. Запись 0 игнорируется.

В следующей таблице кратко представлено описание всех регистров, реализованных в адресном пространстве блока ELRTC1:

Таблица 13.4. Общая карта регистров RTC

Адрес	Название	Описание
h00	RRTC_ID	Регистр идентификации
h04	RRTC_CTRL	Регистр управления.
h08	RRTC_TIME	Регистр, содержащий данные о времени.
h0C	RRTC_DATE	Регистр, содержащий данные о дате.
h10	RRTC_TALRM	Регистр, содержащий данные о времени будильника.
h14	RRTC_DALRM	Регистр, содержащий данные о дате будильника.

Адрес	Название	Описание
h18	RRTC_STAT	Регистр статуса прерываний.
h1C	RRTC_TCNT	Регистр настройки интервального таймера.
h20	RRTC_TCUR	Регистр текущего значения интервального таймера.
h24-h2C	RESERVED	Зарезервированное адресное пространство.

С момента установки системного сброса *presetn* в 0 и на протяжении 2-х периодов сигнала *rtc_clk* (~60мкс) модуль *write_fifo* находится в состоянии сброса. В следствии этого запись во внутренние регистры модуля *rtc_core* невозможна. Регистр RRTC_STAT находится в частотном домене *pclk*, запись в него доступна непосредственно после поднятия *presetn* и происходит моментально. Изменение значений остальных регистров после совершения операции записи происходит с задержкой, обусловленной передачей данных через FIFO. При одной операции записи, значение регистра изменится через 2 полных периода сигнала *rtc_clk* (~60мкс), отсчитываемых от первого положительного фронта *rtc_clk* после момента записи. Если производится последовательно N операций записи, то время передачи увеличится на 1 такт *rtc_clk* (~30мкс) для каждого дополнительного регистра, т.е. займет N+1 полных периодов *rtc_clk*. Чтение регистров происходит моментально. Асинхронный сигнал сброса *rtc_reset_n* прежде чем поступить в *rtc_core* синхронизируется на частоте *rtc_clk*. Поэтому снятие сброса для модуля *rtc_core* произойдет только спустя 2 такта *rtc_clk* после подачи активного уровня сигнала на вход *rtc_reset_n*. На протяжении этого времени при чтении по шине APB будет возвращаться значение h45524F52 («EROR» в ASCII коде).

Проверка корректности ввода данных в регистры RRTC_TIME и RRTC_DATE никак не реализована. В случае записи некорректного значения в какое-либо поле этих регистров, счетчики работающие со значениями остальных полей будут работать без изменений, но при появлении ситуации, требующей инкрементирования некорректно введенного регистра, значение этого регистра сбросится на следующее корректное по смыслу. Например, при установке 21 часа и 78 минут, блок ELRTC1 досчитает текущие единицы минут до конца (т. е. до 9). Затем, в момент переключения некорректно введенного значения десятков минут, в соответствующих полях регистра RRTC_TIME установится 22 часа и 00 минут. Последовательность прочитанных данных в этом случае будет выглядеть следующим образом:

... 21 час 78 минут 00 секунд...

...

... 21 час 78 минут 59 секунд...

... 21 час 79 минут 00 секунд...

...

... 21 час 79 минут 59 секунд...

... 22 час 00 минут 00 секунд...

В случае отключения тактового сигнала `pslk` достоверное значение внутренних регистров модуля `rtc_core` будет доступно либо после сброса `presetn`, либо после изменения значения одного из внутренних регистров (записано новое значение в какой либо регистр, переключились шестнадцатые доли секунды, секунды, минуты и пр., изменилось значение основного счетчика интервального таймера).

13.8.1 Описание регистра `RRTC_ID`

При чтении из этого регистра, возвращается значение идентификационного регистра.

Таблица 13.5. Поля регистра `RRTC_ID`

Диапазон	Название	Тип	Сброс	Описание
31:8	NAME	R0	24'h525443	«RTC» в кодировке ASCII
7:4	RESERVED	R0	4'h0	
3:0	NVER	R0	4'h1	Номер версии блока ELRTC1

13.8.2 Описание регистра `RRTC_CTRL`

Регистр `RRTC_CTRL` управляет функционированием ядра RTC.

Таблица 13.6. Поля регистра `RRTC_CTRL`

Диапазон	Название	Тип	Сброс	Описание
0	INT_ALARM_EN	RW	1'h0	Если бит установлен, то разрешено появление прерывания на выходе <code>alarm intrpt</code> по срабатыванию будильника.
1	INT_IT_EN	RW	1'h0	Если бит установлен, то разрешено появление прерывания на выходе <code>it intrpt</code> по событию от интервального таймера.
2	ALRM_WKUP_EN	RW	1'h0	Если бит установлен, то разрешен вывод системы из режима <code>power down</code> по срабатыванию будильника.
3	IT_WKUP_EN	RW	1'h0	Если бит установлен, то разрешен вывод системы из режима <code>power down</code> по событию от интервального таймера.
7:4	USED_CELLS	R0	4'h0	Счетчик занятых ячеек FIFO. Счетчик уменьшается по мере считывания данных в домене <code>rtc_clk</code> . Если значение счетчика равно 0, то все данные из FIFO переписаны в соответствующие внутренние регистры <code>rtc_core</code> .
31:4	RESERVED	RO	28'h0	

13.8.3 Описание регистра `RRTC_TIME`

Регистр `RRTC_TIME` содержит несколько BCD счетчиков, составляющих текущее время. Запись в этот регистр установит соответствующие значения в эти счетчики. При чтении регистра возвращается текущее время. Предделитель шестнадцатых долей секунды сбрасывается во время записи поля `SXTH`.

Таблица 13.7. Поля регистра RRTC_TIME

Диапазон	Название	Тип	Сброс	Описание
3:0	SXTH	RW	4'h0	Шестнадцатые доли секунды. Счетчик изменяется от 0 до 15.
7:4	SEC	RW	4'h0	Секунды. Счетчик изменяется от 0 до 9.
10:8	TSEC	RW	3'h0	Десятки секунд. Счетчик изменяется от 0 до 5.
14:11	MIN	RW	4'h0	Минуты. Счетчик изменяется от 0 до 9.
17:15	TMIN	RW	3'h0	Десятки минут. Счетчик изменяется от 0 до 5.
21:18	HOUR	RW	4'h0	Часы. Счетчик изменяется от 0 до 9 (при THOUR = 2, HOUR = 0...3)
23:22	THOUR	RW	2'h0	Десятки часов. Счетчик изменяется от 0 до 2.
26:24	DOW	RW	3'h6	День недели. Счетчик изменяется от 1 до 7. Не синхронизируется с календарем.
27	MSXTH	WO	1'h0	Маска шестнадцатых долей секунды. Если бит равен 1, то при записи поле SXTH будет изменено.
28	MSEC	WO	1'h0	Маска секунд. Если бит равен 1, то во время записи поля SEC и TSEC будут изменены.
29	MMIN	WO	1'h0	Маска минут. Если бит равен 1, то во время записи поля MIN и TMIN будут изменены.
30	MHOUR	WO	1'h0	Маска часов. Если бит равен 1, то во время записи поля HOUR и THOUR будут изменены.
31	MDOW	WO	1'h0	Маска дней недели. Если бит равен 1, то во время записи поле DOW будет изменено.

13.8.4 Описание регистра RRTC_DATE

Регистр RRTC_DATE содержит несколько BCD счетчиков, составляющих текущую дату. Запись в этот регистр установит соответствующие значения в эти счетчики. При чтении регистра возвращается текущая дата.

Таблица 13.8. Поля регистра RRTC_DATE

Диапазон	Название	Тип	Сброс	Описание
3:0	DAY	RW	4'h1	Дни. Счетчик изменяется от 1 до 9 при TDAY=0. Если TDAY = 1 - от 0 до 9. Если TDAY = 2 и текущий месяц февраль и год не високосный, DAY изменяется от 0 до 8, иначе от 0 до 9. При TDAY = 3, DAY принимает значения 0 или 1 в зависимости от количества дней в текущем месяце (30 или 31).
5:4	TDAY	RW	2'h0	Десятки дней. Счетчик изменяется от 0 до 3. Исключение составляет Февраль, в этом случае максимальное значение TDAY = 2.
9:6	MON	RW	4'h1	Месяцы. Счетчик изменяется от 1 до 9 при TMON = 0, и от 0 до 2, если TMON = 1
10	TMON	RW	1'h0	Десятки месяцев. Счетчик изменяется от 0 до 1.
14:11	YEAR	RW	4'h0	Годы. Счетчик изменяется от 0 до 9.
18:15	TYEAR	RW	4'h0	Десятки лет. Счетчик изменяется от 0 до 9.
22:19	CEN	RW	4'h0	Сотни лет (века). Счетчик изменяется от 0 до 9.
26:23	TCEN	RW	4'h2	Тысячи лет (десятки веков). Счетчик изменяется от 0 до 9.
27	MDAY	WO	1'h0	Маска дней. Если бит равен 1, то во время записи поля DAY и TDAY будут изменены.
28	MMON	WO	1'h0	Маска месяцев. Если бит равен 1, то во время записи поля MON и TMON будут изменены.
29	MYEAR	WO	1'h0	Маска лет. Если бит равен 1, то во время записи поля YEAR и TYEAR будут изменены.
30	MCEN	WO	1'h0	Маска веков. Если бит равен 1, то во время записи поля CEN и TCEN будут изменены.
31	RESERVE D	RO	1'h0	

13.8.5 Описание регистра RRTC_TALRM

Регистр RRTC_TALRM содержит поля, которые сравниваются с соответствующими полями регистра RRTC_TIME. При их совпадении если установлен разрешающий бит в регистре RRTC_CTRL возникает прерывание будильника.

Таблица 13.9. Поля регистра RRTC_TALRM

Диапазон	Название	Тип	Сброс	Описание
3:0	SXTH	RW	4'h0	Шестнадцатые доли секунды. Счетчик изменяется от 0 до 15.
7:4	SEC	RW	4'h0	Секунды. Принимает значения от 0 до 9.
10:8	TSEC	RW	3'h0	Десятки секунд. Принимает значения от 0 до 5.
14:11	MIN	RW	4'h0	Минуты. Принимает значения от 0 до 9.
17:15	TMIN	RW	3'h0	Десятки минут. Принимает значения от 0 до 5.
21:18	HOUR	RW	4'h0	Часы. Принимает значения от 0 до 9 (при THOUR = 2, HOUR = 0...3)
23:22	THOUR	RW	2'h0	Десятки часов. Принимает значения от 0 до 2.
26:24	DOW	RW	3'h0	День недели. Принимает значения от 1 до 7.
27	CSXTH	RW	1'h0	Когда бит установлен, шестнадцатые доли секунды из RRTC_TIME сравниваются с шестнадцатыми долями секунд будильника из RRTC_TALRM.
28	CSEC	RW	1'h0	Когда бит установлен, секунды сравниваются с секундами будильника.
29	CMIN	RW	1'h0	Когда бит установлен, минуты сравниваются с минутами будильника.
30	CHOUR	RW	1'h0	Когда бит установлен, часы сравниваются с часами будильника.
31	CDOW	RW	1'h0	Когда бит установлен, день недели сравнивается с днем недели будильника.

13.8.6 Описание регистра RRTC_DALRM

Регистр RRTC_DALRM содержит поля, которые сравниваются с соответствующими полями регистра RRTC_DATE. При их совпадении если установлен разрешающий бит в регистре RRTC_CTRL возникает прерывание будильника.

Таблица 13.10. Поля регистра RRTC_DALRM

Диапазон	Название	Тип	Сброс	Описание
3:0	DAY	RW	4'h0	Дни. Аналогично таблице 5.
5:4	TDAY	RW	2'h0	Десятки дней. Аналогично таблице 5.
9:6	MON	RW	4'h0	Месяцы. Аналогично таблице 5.
10	TMON	RW	1'h0	Десятки месяцев. Аналогично таблице 5.
14:11	YEAR	RW	4'h0	Годы. Принимает значения от 0 до 9.
18:15	TYEAR	RW	4'h0	Десятки лет. Принимает значения от 0 до 9.
22:19	CEN	RW	4'h0	Сотни лет (века). Принимает значения от 0 до 9.
26:23	TCEN	RW	4'h0	Тысячи лет (десятки веков). Принимает значения от 0 до 9.
27	CDAY	RW	1'h0	Когда бит установлен, дни из RRTC_DATE сравниваются с днями будильника из RRTC_DALRM.
28	CMON	RW	1'h0	... сравниваются месяцы
29	CYEAR	RW	1'h0	... сравниваются годы (годы + десятилетия)
30	CCEN	RW	1'h0	... сравниваются века (столетия + тысячелетия)
31	RESERVE D	RO	1'h0	

13.8.7 Описание регистра RRTC_STAT

При чтении из этого регистра, возвращается набор статусов соответствующих прерываний. Очистка статусов прерываний производится записью единицы в соответствующий бит данного регистра. Запись нуля игнорируется.

Таблица 13.11. Поля регистра RRTC_STAT

Диапазон	Название	Тип	Сброс	Описание
0	INT_ALARM	RW1 C	1'h0	Если бит установлен, то произошло прерывание от будильника.
1	INT_IT	RW1 C	1'h0	Если бит установлен, то произошло прерывание от интервального таймера.
2	ALRM_WKUP	RW1 C	1'h0	Если бит установлен, то произошло срабатывание будильника во время активного режима <i>power down</i> .
3	IT_WKUP	RW1 C	1'h0	Если бит установлен, то произошло срабатывание интервального таймера во время активного режима <i>power down</i> .
4	RTC_RESET	RW1 C	1'h0	Бит устанавливается в 1 при появлении активного сигнала сброса <i>rtc reset n</i> .
5	APB_RESET	RW1 C	1'h1	Бит устанавливается в 1 при появлении активного сигнала сброса <i>presetn</i> .
31:6	RESERVED	RO	28'h0	

13.8.8 Описание регистра RRTC_TCNT

Регистр RRTC_TCNT управляет работой интервального таймера.

Таблица 13.12. Поля регистра RRTC_TCNT

Диапазон	Название	Тип	Сброс	Описание
27:0	IT_VAL	RW	28'h0	Максимальное значение счетчика тактов, при достижении которого будет происходить прерывание. Установка в этом поле 0 игнорируется. Также игнорируется значение 1 при $IT_MLT = 0$.
31:28	IT_MLT	RW	4'h0	Значение, определяющее величину делителя частоты для интервального таймера.

13.8.9 Описание регистра RRTC_TCUR

При чтении из этого регистра, возвращается текущее значение основного счетчика интервального таймера и количество произошедших прерываний.

Таблица 13.13. Поля регистра RRTC_TCUR

Диапазон	Название	Тип	Сброс	Описание
27:0	IT_TCUR	RO	28'h0	Текущее значение основного счетчика интервального таймера. Значения основного и вспомогательного счетчиков сбрасываются во время записи любого из полей регистра RRTC_TCNT.
31:28	IT_INT_CNT	RO	4'h0	Количество прерываний интервального таймера. Сбрасывается во время очищения бита INT_IT регистра статуса и по активному сигналу сброса <i>presetn</i> .

14. СТОРОЖЕВОЙ ТАЙМЕР (WDT)

14.1 Общая информация

Сторожевой таймер WDT служит для предотвращения зависаний системы. Таймер постоянно декрементируется от исходного состояния до нуля. Если таймер программно не вернуть в исходное положение до достижения нуля, то блок сгенерирует системный сброс или прерывание.

14.2 Регистры WDT

Перечень регистров WDT приведен в Таблица 14.1.

Таблица 14.1. Перечень программно-доступных регистров WDT

Условное обозначение	Название регистра	Тип доступа	Исходное состояние	Смещение
WDT_CR	Регистр управления таймером	W/R	0x0	0x0
WDT_TORR	Регистр диапазона таймаута	W/R	0x0	0x4
WDT_CCVR	Регистр текущего значения счетчика	R	0xFFFF	0x8
WDT_CRR	Регистр сброса счетчика	W	0x0	0xC
WDT_STAT	Регистр статуса прерывания	R	0x0	0x10
WDT_EOI	Регистр сброса прерывания	R	0x0	0x14

14.2.1 Регистр WDT_CR

Регистр управления WDT.

Формат регистра WDT_CR приведен в Таблица 14.2.

Таблица 14.2. Формат регистра WDT_CR

Номер бита	Условное обозначение	Назначение
0	WDT_EN	Бит включения WDT. Пока WDT не включен, его счетчик не декрементируется, а значит не генерирует прерывание и системный сброс. Будучи однажды включенным, WDT выключается только после системного сброса.
1	RMOD	Включение прерывания. 0: После таймаута генерируется системный сброс. 1: После таймаута генерируется прерывание. Если к следующему таймауту прерывание не будет сброшено, то генерируется системный сброс.
2:4	RPL	Продолжительность импульса системного сброса: 000 – 2 такта L3_PCLK 001 – 4 такта L3_PCLK 010 – 8 тактов L3_PCLK 011 – 16 тактов L3_PCLK 100 – 32 такта L3_PCLK 101 – 64 такта L3_PCLK 110 – 128 тактов L3_PCLK 111 – 256 тактов L3_PCLK
5:31	-	Резерв

14.2.2 Регистр WDT_TORR

Регистр таймаута WDT.

Формат регистра WDT_TORR приведен в Таблица 14.3.

Таблица 14.3. Формат регистра WDT_TORR

Номер бита	Условное обозначение	Назначение
0:3	TOP	Период таймаута. Поле хранит значение, с которого начинает отсчёт таймер. Изменение этого поля будет иметь эффект только после сброса таймера. Период таймаута рассчитывается следующим образом. $T = 2(16 + i)$, где T – период, выраженный в тактах частоты L3_PCLK, а i – значение поля TOP.
4:7	TOP_INT	Период таймаута для инициализации. Значение этого поля будет записано в TOP после включения таймера. Запись в регистр возможна после системного сброса но до включения WDT.
8:31	-	Резерв

14.2.3 Регистр WDT_CCVR

Формат регистра WDT_CCVR приведен в Таблица 14.4.

Таблица 14.4. Формат регистра WDT_CCVR

Номер бита	Условное обозначение	Назначение
0:31	CCVR	Регистр содержит текущее значение счетчика WDT.

14.2.4 Регистр WDT_CRR

Регистр сброса счетчика WDT.

Формат регистра WDT_CRR приведен в Таблица 14.5.

Таблица 14.5. Формат регистра WDT_CRR

Номер бита	Условное обозначение	Назначение
0:7	CRR	Для перезапуска счётчика необходимо записать 0x76 в это поле. Также, это сбросит прерывание от WDT.
8:31	-	Резерв

14.2.5 Регистр WDT_STAT

Регистр статуса прерывания WDT.

Формат регистра WDT_STAT приведен в Таблица 14.6.

Таблица 14.6. Формат регистра WDT_STAT

Номер бита	Условное обозначение	Назначение
0	ISR	Статус прерывания WDT: 1 – прерывание активно. 0 – прерывания не активно
1 :31	-	Резерв

14.2.6 Регистр WDT_EOI

Регистр сброса прерывания.

Формат регистра WDT_EOI приведен в Таблица 14.7.

Таблица 14.7. Формат регистра WDT_EOI

Номер бита	Условное обозначение	Назначение
0	ICR	Чтение этого регистра сбрасывает прерывание WDT.
1:31	-	Резерв

14.3 Функционирование

После включения WDT, счетчик начинает отсчет от предустановленного значения до нуля. При достижении нуля, в зависимости от выбранного режима, генерируется либо системный сброс либо прерывание. Режим выбирается полем RMOD регистра WDT_CR. При достижении нуля в счетчик заново загружается значение таймаута и он продолжает декрементироваться. Пользователь в любой момент может сбросить счетчик на исходное состояние записью 0x76 в регистр WDT_STAT.

В случае, если RMOD=1, WDT установил прерывание, и оно не было сброшено до следующего достижения счетчиком нуля, то WDT генерирует системный сброс. Прерывание сбрасывается чтением регистра WDT_EOI или записью 0x76 в регистр WDT_STAT.

15. КОНТРОЛЛЕР ПАМЯТИ DDR (DDRMC)

15.1 Характеристики контроллера DDRMC

- комплексное решение для модулей памяти DDR2, DDR3, mDDR, LPDDR2 при совместном использовании с блоком DDR PHY;
- поддержка интерфейса DDR PHY (DFI) для упрощения интеграции с блоками физического уровня (PHY), соответствующими стандарту DFI 3.1 (Версия 3.1, от 19 Мая 2012):
 - поддержка всех сигналов интерфейсов управления, интерфейсов данных чтения и записи;
 - интерфейс обновлений:
 - поддержка запросов от MC;
 - поддержка запросов от блоков физического уровня (PHY);
 - интерфейс тестирования (Training): поддержка тестового режима PHY-Independent;
 - интерфейс управления режимом низкого потребления;
- архитектура с соотношением частоты 1:1 преобразует данные 2:1 из шины HIF в шину данных памяти DDR;
- для DDR3, LPDDR2 управление по прямому программному запросу или программируемое внутреннее управление для коротких циклов калибровки ZQ;
- для DDR3, LPDDR2 поддержка длинных циклов калибровки ZQ после выхода из режима саморегенерации (Self-Refresh);
- для LPDDR2 поддержка программной опции сброса ZQ;
- динамическая диспетчеризация для оптимизации пропускной способности и задержки;
- буферы чтения и записи в полностью ассоциативных контекстно-адресуемых блоках памяти (CAM), размеры которых конфигурируются в степени двойки, до 64 операций чтения и 64 операций записи;
- отложенная запись для оптимальной производительности на шине данных SDRAM.
- для максимальной эффективности SDRAM поддерживается внеочередное выполнение команд:
 - запросы чтения сопровождаются тегом из HIF;
 - данные чтения возвращаются с тегом для SnK ядра, позволяющим выявить соответствия данных чтения с конкретным запросом на чтение;
- аппаратно и программно конфигурируемая поддержка QoS (Quality of service):
 - поддержка трех видов трафика для команд чтения – высокий приоритет, изменяемый приоритет, низкий приоритет;
 - поддержка двух видов трафика для команд записи – обычный приоритет и изменяемый приоритет;
 - поддержка сигналов «port urgent» и «port throttling control»;

- программируемые параметры SDRAM;
- программируемая поддержка разрядностей шины данных SDRAM, представленных ниже:
 - полная (максимальная) ширина шины данных или;
 - половинная ширина шины данных или;
 - четвертная ширина шины данных;
- поддержка следующих опций длины пакета:
 - длина пакетной передачи SDRAM 2,4, или 8 в режиме полной разрядности шины;
 - длина пакетной передачи SDRAM 2,4, 8 или 16 в режиме половинной или четвертной разрядности шины;
- два приоритета для транзакций чтения, один – для записи;
- поддержка 2 модулей памяти;
- опции контроля «голодания» портов с низким приоритетом;
- обеспечение когерентности при конфликтах запись-после-чтения (WAR) и чтение-после-записи (RAW) (через интерфейс HIF - всегда, через AXI интерфейс - при условии установки программных регистров);
- опция объединенной записи позволяет объединить несколько записей, выполняемых по одному адресу в SDRAM при условии совпадения начального адреса;
- алгоритм управления страницами:
 - страницы остаются открытыми после выполнения обращений;
 - страница закрывается, если в контроллере нет дальнейших доступных обращений для этой страницы;
 - автоматическая предварительная загрузка при каждом обращении с оптимизацией для режима закрытия страниц, который оставляет страницу открытой после сброса в память при конфликтах чтение-запись и запись-чтение;
- автоматическое включение и выключение питания SDRAM по отсутствию запроса в течение заданного интервала;
- автоматический вход и выход из режима отключения тактовой частоты (Clock Stop) (mDDR/LPDDR2) по отсутствию запроса в течение заданного интервала;
- автоматическое выключение и включение питания по отсутствию запроса в течение заданного интервала;
- автоматический вход и выход из режима саморегенерации:
 - вход и выход из режима автоматической саморегенерации по отсутствию запроса в течение заданного интервала;
 - вход и выход из режима автоматической саморегенерации под контролем программы;

- вход и выход из режима автоматической саморегенерации через выделенный аппаратный интерфейс DDRC с низким энергопотреблением (аналогично интерфейсу AMBA 3 AXI с низким энергопотреблением);
- поддержка динамически изменяющейся тактовой частоты в режиме саморегенерации:
 - поддержка режима «DLL-off» для модулей DDR3;
- поддержка режима глубокого сна и включения питания под контролем программы (mDDR/LPDDR2);
- поддержка явных обновлений Регистра режима SDRAM под контролем программы;
- гибкая логика распределения разрядов адреса для определения разрядов строки, столбца, банка или категории для конкретного приложения;
- программируемая поддержка временных параметров 1T и 2T;
- выбираемые пользователем опции управления регенерацией:
 - автоматические запросы регенерации, формируемые контроллером через программируемые средние интервалы;
 - к каждому таймеру регенерации модуля может применяться смещение; счетчики (таймеры) регенерации модуля истекают в разное время (это позволяет повысить эффективность, так как параллельно с процессом регенерации одного модуля продолжается передача данных в других модулях);
 - возможность объединения до 8 запросов регенерации, формируемых контроллером, для последовательного выполнения (что позволяет сократить частоту закрытия страниц, повышая общую эффективность);
 - при объединении запросов регенерации, формируемых контроллером, некоторые из них могут быть выполнены спекулятивно, если контроллер находится в состоянии простоя в течение заданного интервала;
 - возможность отключать автоматическую регенерацию, формируемую контроллером;
 - возможность выполнения регенерации по прямому программному запросу;
 - для LPDDR2 пользователь имеет возможность выполнять регенерацию отдельно для каждого банка;
- усовершенствованная энергосберегающая архитектура исключает лишние переключения сигналов команд, адреса и данных (RAS/CAS/WE/BA/A сохраняет последнее состояние после каждой команды; Сигналы DQ не изменяются при записях, если байты отключены);
- поддержка стандартов UDIMM и RDIMM;
- поддержка DDR3U и DDR3L;
- малопотребляющая и эффективная по площади архитектура;
- стандартная задержка команды в 5 тактов через контроллер DDRMC2 (интерфейс HIF):

- может быть сокращено до 4 тактов при отсутствии выходного регистра на DFI;
- 3 такта задержки для высокого приоритета чтения;
- поддержка внеочередных запросов с CAM для максимальной пропускной способности;
- интерфейс APB для программно-доступных регистров DDRMC;
- до 16 мастер-портов с использованием AMBA AXI/AHB;
- для мастер-портов с AXI интерфейсом:
 - совместимость с протоколом AMBA 3 AXI;
 - поддержка пакетных передач AXI: с инкрементацией адреса и циклической адресацией;
 - частота AXI асинхронна частоте контроллера;
 - поддержка эксклюзивного доступа;
 - буфер перераспределения запросов чтения с опциями уменьшения задержки (например, bypass).

Обобщенная схема контроллера DDRMC2 представлена на Рисунок 15.1.

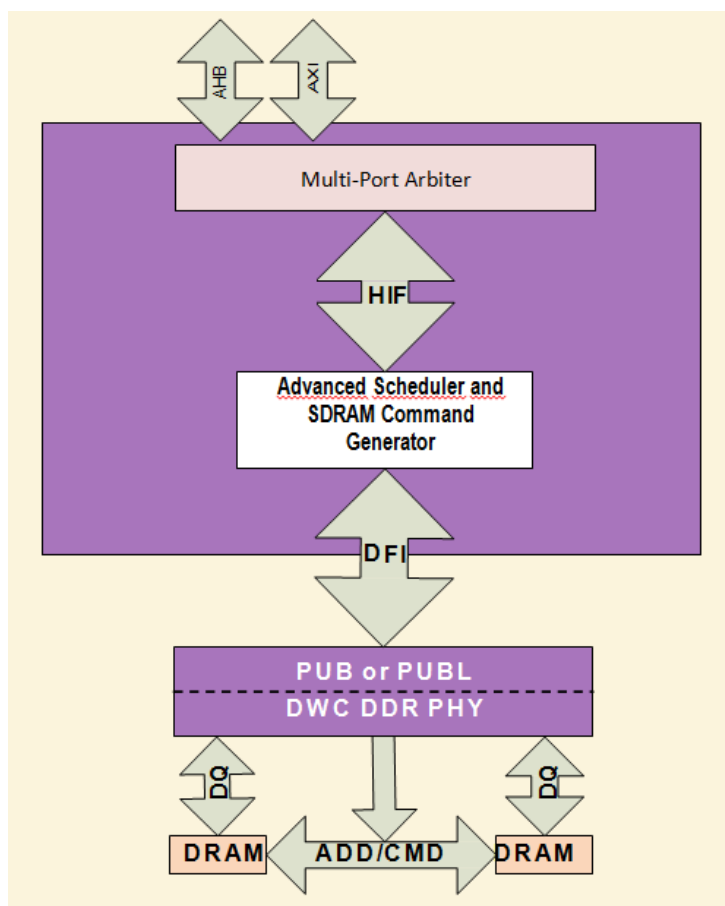


Рисунок 15.1. Схема контроллера DDRMC2

15.2 Неподдерживаемые характеристики контроллера

- интерфейс DFI 3.1 к PHY (Версия 3.1 от 19 Мая, 2012). Не требуется для соединения с DWC DDR PHY:
 - интерфейс состояния: не поддерживается сигнал «dfi_init_start». Данный сигнал требуется только для опции динамического изменения соотношения частоты, которая также не поддерживается;
 - обновления PHY evaluation DFI 3.1 и DDR4;
 - запрос тестирования PHY в режиме non-DFI Training;
 - отдельный интерфейс DFI с низким энергопотреблением на шинах управления и данных;
 - CA Training;
- разделение пакетной передачи (Burst chop) DDR3/ (BC4) поддерживается только в режиме полной разрядности шины.

15.3 Поддержка форматов

Контроллер DWC_ddr_DDRMC2 поддерживает следующие стандарты:

- спецификация JEDEC DDR3 SDRAM, JESD79-3E;
- спецификация JEDEC DDR2 SDRAM, JESD79-2F;
- спецификация JEDEC LPDDR SDRAM, JESD209B;
- спецификация JEDEC LPDDR2 SDRAM, JESD209-2E;
- спецификация интерфейса DDR PHY(DFI), Ревизия 3.1 (Предварительно) от 19 мая 2012;
- спецификация ARM AMBA 3 AXI.

15.4 Характеристики DDR PHY

Основные особенности DDR PHY работающей в паре с контроллером DDRMC:

- совместимость с JEDEC стандартом DDR2/DDR3/DDR3U/LPDDR(или Mobile DDR)/LPDDR2;
- диапазон частот от 100 МГц (200 Мб/с) до 533 МГц (1066 Мб/с) в режимах DDR2/DDR3/DDR3U/LPDDR2, до 200 МГц в режиме Mobile DDR (см. Табл.);
- DFI 2.1 совместимый интерфейс с контроллером;
- поддержка операций с SDRAM, имеющими разрядность данных меньше имплементированной в multiPHY;
- поддержка ODT импеданса с динамической PVT компенсацией;
- встроенная динамическая детекция утечек (Dynamic Drift Detection);
- Master/Slave DLL;
- лэйн(lane)-основанная архитектура (Byte Lane, Command Lane);

- тестовые режимы, поддерживающие IDDq и DLL характеризацию.

Таблица 15.1. Типы памяти поддерживаемых DDR PHY

Тип памяти	Максимальная скорость (Мб/с)
DDR2	1066
DDR3	1066
DDR3L	1066
DDR3U	1066
Mobile DDR	400
LPDDR2	1066

15.4.1 Ограничения накладываемые DDR PHY

- не поддерживает write leveling, требуемый для DDR3 DIMM; должен поддерживать DQS и DQS_b в DDR2 режиме.

15.5 Программная модель PHY

15.5.1 Запуск

На рисунке 15.2 приведена схема последовательности запуска PHY. Ниже приведены подробное описание последовательности и временные диаграммы. В этом разделе предполагается, что конфигурация порта стандартна и `cfg_clk` и `cfg_rst_n` представлены как тактовый сигнал и сигнал сброса, соответственно. Эти сигналы необходимо заменить на `pclk` и `presetn`, если в устройстве планируется применять порт конфигурации APB.

Последовательность запуска имеет две фазы. Первая фаза (на рисунке 15.2 к ней относятся области, отмеченные сплошными линиями) осуществляется автоматически при сбросе и включает в себя следующие этапы:

- До и во время сброса конфигурации (например, если `cfg_rst_n` активирован) PHY не инициализирована и пребывает в этом состоянии до тех пор, пока сигнал сброса не будет снят;
- При деактивации сигнала сброса, PHY переходит в фазу запуска Delay-Locked Loop (замыкания контура автоподстройки задержки). Эта фаза может быть пропущена в любой момент. Для этого необходимо записать «1» в бит регистра обхода запуска DLL (`PIR[LOCKBYP]`);
- Параллельно с запуском DLL, при деактивации сигнала сброса также начинается фаза калибровки импеданса. Эта фаза тоже может быть пропущена. Для этого необходимо записать «1» в бит регистра обхода калибровки импеданса (`PIR[ZCALBYP]`).
- Если процедура инициализации PHY была активирована пользователем, то существует опция отправки команды частичного сброса к модулям задержки (ITMs). Автоматический запуск инициализации при сбросе не позволяет отправить

команду частичного сброса к ITMs, потому что все компоненты перезапускаются сами за счет основного сброса.

- По окончании фазы запуска DLL, калибровки импеданса и сброса ITMs, РНУ переводится в инициализированное состояние. Следует отметить, что если указанные процедуры были пропущены, то пользователю следует выбрать, осуществить ли их программно или запустить их позднее, чтобы начать работать с РНУ.

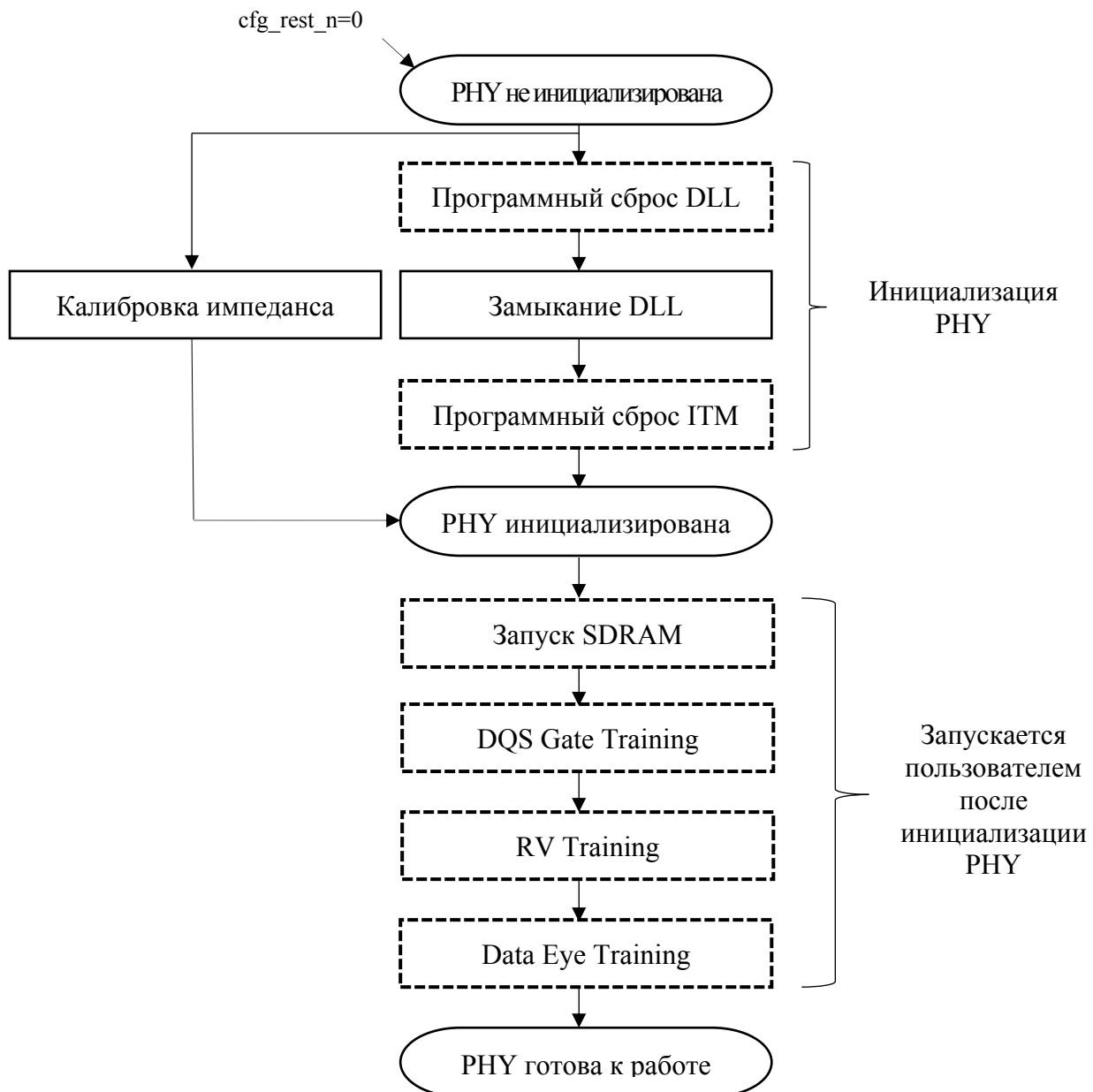


Рисунок 15.2. Последовательность запуска РНУ

На рисунке 15.3 представлены временные диаграммы для первой фазы запуска РНУ, которая происходит автоматически после того, как сигнал сброса деактивирован.

Программный сброс DLL и программный сброс ITM запускаются только тогда, когда запуск первой фазы осуществлен пользователем через PIR-регистр (см. рисунок 15.4).

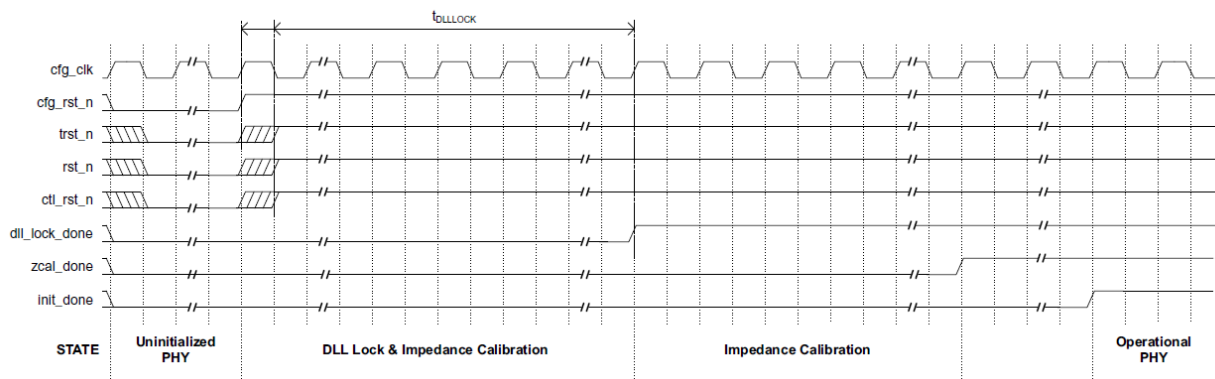


Рисунок 15.3. Временная диаграмма процесса запуска PHY путем сброса

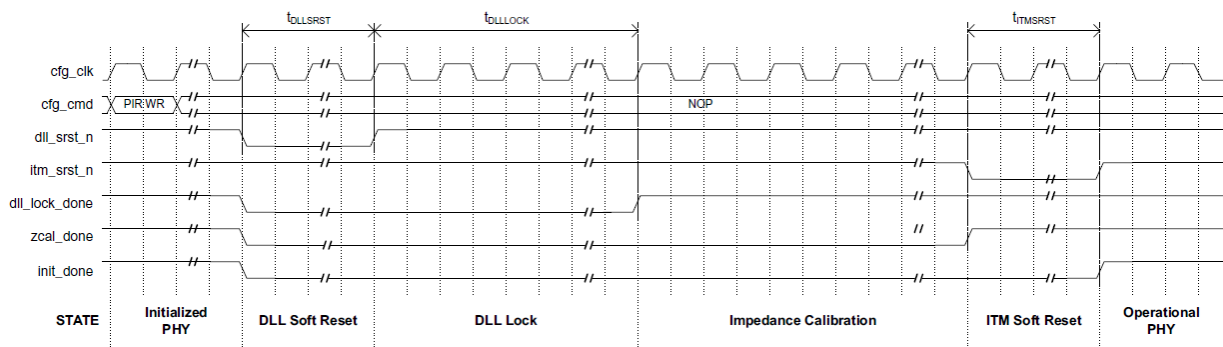


Рисунок 15.4. Временная диаграмма процесса запуска PHY через PIR-регистр

Вторая фаза запуска начинается после инициализации PHY. Запуск каждого из этапов этой фазы производится либо пользователем, либо через контроллер памяти.

- Пользователь или контроллер памяти запускает последовательность инициализации SDRAM (см. раздел 15.5.1.1). Необходимо, чтобы регистры управления DRAM и все необходимые временные параметры были предварительно запрограммированы в PUBL перед запуском инициализации SDRAM.
- После инициализации SDRAM, пользователь или контроллер памяти запускает (через PUBL или самостоятельно) тестирование положения маски стробов DQS-сигнала (DQS gate training). Перед запуском тестирования положения маски стробов DQS необходима инициализация SDRAM.
- Пользователь или контроллер памяти запускает (через PUBL или самостоятельно) тестирование целостности данных.

- Пользователь или контроллер памяти производит (через PUBL или самостоятельно) тестирование смещения стробов относительно данных. Следует отметить, что в текущей версии PUB алгоритм тестирования смещения стробов относительно данных не встроен.
- После этого PHY готова к запросам на запись/чтение от SDRAM.

15.5.1.1 Инициализация SDRAM

Перед началом работы микросхема DDR SDRAM должна быть инициализирована. PUBL обладает встроенным алгоритмом инициализации, который может быть запущен программно или через контроллер памяти путем записи в регистр запуска PHY (PIR). Встроенный в PUBL алгоритм инициализации стандартен и для его запуска не требуется никаких знаний о типе или конфигурации внешних микросхем SDRAM. В алгоритм вписаны соответствующие спецификации JEDEC для самых быстрых и самых медленных типов микросхем SDRAM, поддерживаемых PUBL, что делает ее универсальной. Такой обобщенный алгоритм запуска применим к DDR3, DDR2, LPDDR2, LPDDR и DDR SDRAMs.

Рекомендуется пользоваться встроенным в PUBL алгоритмом для инициализации SDRAM. Однако, возможны альтернативные случаи: например, во время отладки системы, когда встроенная в PUBL инициализация DRAM не запущена и запуск DRAM осуществляется программно или через контроллер. В таких случаях система должна сначала дождаться инициализации PHY, то есть окончания процессов замыкания DLL и калибровки импеданса, затем она должна записать «1» в бит PIR[INIT]. При этом в PIR[CTLDINT] может быть записано «1» (для инициализации через контроллер) или «0» (для инициализации программно или через PUBL). Запись в PIR[INIT] сообщит PUBL о том, что запуск DRAM будет произведен позднее: программно, через контроллер или путем перезапуска PUBL. Затем программа или контроллер запускает алгоритм инициализации соответствующими командами к DRAM, с учетом разнообразных требований этого алгоритма к задержкам. Программный запуск SDRAM возможен через порт конфигурации.

Последующие разделы описывают встроенные в SDRAM алгоритмы инициализации для различных типов SDRAM. Перед запуском инициализации SDRAM все необходимые конфигурации должны быть запрограммированы в PUBL. Инициализация SDRAM должна запускаться только после инициализации PHY, как описано выше в разделе. Все основные параметры задержек SDRAM, описанные ниже, программируются тактовыми сигналами контроллера к регистрам PTR1 и PTR2, описанным ниже в разделе.

15.5.1.2 Последовательность инициализации DDR3

Инициализация DDR3 SDRAMs включает в себя следующие этапы:

1. Подача сигнала сброса по низкому уровню на вывод RESET# в течение минимального времени: 200 мкс в случае включения и 100 нс в случае перезагрузки/выхода из спящего режима. PUBL поддерживает низкий уровень RESET# с самого начала установки сигнала сброса, поэтому этот этап может быть пропущен при запуске инициализации DRAM, если прошло уже достаточное количество времени, удовлетворяющее минимуму для низкого уровня RESET#.
2. После деактивации RESET#: бездействие в течение минимум 500 мкс при низком уровне СКЕ.
3. Отправка команды пустой операции NOP и подача высокого уровня на СКЕ.
4. Бездействие в течение минимального времени tXPR.
5. Отправка команды загрузки регистра режима MR2.
6. Отправка команды загрузки регистра режима MR3.
7. Отправка команды загрузки регистра режима MR1 (для установки параметров и активации DLL).
8. Отправка команды загрузки регистра режима MR0 для установки параметров и перезагрузки DLL.
9. Отправка команды калибровки внешним резисторам ZQ.
10. Бездействие в течение 512 тактовых циклов SDRAM, пока не выполнится замыкание DLL (tDLLK) и не окончится калибровка ZQ (tZQinit). Время бездействия связано с этапом 8: отсчет начинается с момента отправки команды сброса DLL на шину управления SDRAM.

15.5.1.3 Последовательность инициализации DDR2

Инициализация DDR2 SDRAMs включает в себя следующие этапы:

1. Бездействие в течение минимум 200 мкс при низком уровне СКЕ.
2. Отправка команды пустой операции NOP и подача высокого уровня на СКЕ.
3. Бездействие в течение минимум 400 мкс.
4. Отправка команды регенерации PRECHARGE ALL.
5. Отправка команды загрузки регистра расширенного режима EMR2.
6. Отправка команды загрузки регистра расширенного режима EMR3.

7. Отправка команды загрузки регистра расширенного режима EMR для активации DLL.
8. Отправка команды загрузки регистра режима MR для сброса DLL.
9. Отправка команды регенерации PRECHARGE ALL.
10. Отправка двух команд REFRESH.
11. Отправка команды загрузки регистра режима MR для программирования параметров работы прибора без перезагрузки DLL.
12. Бездействие в течение 200 тактовых циклов SDRAM, ожидание замыкания DLL. Время бездействия связано с этапом 8: отсчет начинается с момента отправки команды сброса DLL на шину управления SDRAM.
13. Исполнение команды EMR OCD Default.
14. Исполнение команды EMR OCD Exit.

15.5.1.4 Последовательность инициализации LPDDR2

Инициализация LPDDR2 SDRAMs включает в себя следующие этапы:

1. Бездействие в течение минимум 100 мкс (t_{INIT1}) при низком уровне СКЕ.
2. Отправка команды пустой операции NOP и подача высокого уровня на СКЕ.
3. Бездействие в течение минимум 200 мкс (t_{INIT3}).
4. Отправка команды сброса RESET.
5. Бездействие в течение минимум 1 мкс + 10 мкс ($t_{INIT4} + t_{INIT5}$).
6. Отправка команды калибровки внешним резисторам ZQ.
7. Бездействие в течение минимум 1 мкс (t_{ZQINIT}).
8. Отправка команды Write Mode Register регистру режима MR1.
9. Отправка команды Write Mode Register регистру режима MR2.
10. Отправка команды Write Mode Register регистру режима MR3.

15.5.1.5 Последовательность инициализации DDR

Инициализация DDR SDRAMs включает в себя следующие этапы:

1. Бездействие в течение минимум 100 мкс (t_{INIT1}) при низком уровне СКЕ.
2. Отправка команды пустой операции NOP и подача высокого уровня на СКЕ.
3. Бездействие в течение минимум 400 нс.
4. Отправка команды регенерации PRECHARGE ALL.
5. Отправка команды загрузки регистра расширенного режима EMR для активации DLL.
6. Отправка команды загрузки регистра режима MR для сброса DLL.
7. Отправка команды регенерации PRECHARGE ALL.
8. Отправка двух команд REFRESH.
9. Отправка команды загрузки регистра режима MR для программирования параметров работы прибора без перезагрузки DLL.
10. Бездействие в течение 200 тактовых циклов SDRAM, ожидание выполнения замыкания DLL. Время бездействия связано с этапом б: отсчет начинается с момента отправки команды сброса DLL на шину управления SDRAM.

15.5.1.6 Последовательность инициализации LPDDR

Инициализация LPDDR SDRAMs включает в себя следующие этапы:

1. Бездействие в течение минимум 200 мкс (t_{INIT1}) при низком уровне СКЕ.
2. Отправка команды регенерации PRECHARGE ALL.
3. Отправка двух команд REFRESH.
4. Отправка команды загрузки регистра режима MR для программирования работы прибора.
5. Отправка команды загрузки регистра расширенного режима EMR для программирования работы прибора.

15.5.2 Запуск и пропуск инициализации

Все этапы инициализации, представленные на рисунке 15.2, могут быть запущены через регистр инициализации PHY (PIR). Подробнее он описан в разделе 15.5.4.2.

Запись «1» в бит регистра PIR[INIT] запускает инициализацию, а выбор алгоритмов, которые необходимо запустить, зависит от соответствующих битов регистра PIR. Если

выбрано несколько алгоритмов, их запуск производится в порядке, указанном на рисунке 15.2. В том же порядке располагаются и биты выбора в регистре PIR. Завершение исполнения алгоритмов отражается в регистре общего статуса PNY заполнением соответствующих битов статуса. Подробнее регистр общего статуса PNY описан в разделе 15.5.4.4.

Бит PGSR[IDONE] указывает на завершение общего процесса инициализации. Бит регистра, отражающий статус завершения инициализации, обнуляется, когда соответствующий алгоритм перезапущен.

Если сброс снят, PUBL автоматически производит инициализацию DLL (замыкание) и калибровку импеданса. После завершения замыкания DLL и калибровки импеданса, инициализация SDRAM и стробирование сигнала DQS могут быть запущены или исполнены как программно, так и через контроллер памяти. Поскольку при запуске инициализации через PIR регистр PUBL позволяет исполнять набор алгоритмов по выбору, то пропущены из них могут быть только те, которые автоматически запускают снятие сброса. Это означает, что замыкание DLL и/или калибровка импеданса могут быть пропущены в любой момент, если записать «1» в соответствующий бит обхода в PIR регистре. После обхода алгоритма, он отмечается как завершённый и в регистре PGSR в соответствующем бите записывается статус завершения. Пользователь может перезапустить или произвести исполнение пропущенного алгоритма позднее, чтобы начать работать с PNY. Бит PIR-регистра [INITBYP] предоставляет возможность пропустить весь процесс инициализации.

15.5.3 Команды

PUBL поддерживает два типа команд. Команды доступа к регистрам используются для записи или чтения регистров в конфигурации PUBL. Точные задержки команд доступа зависят от используемого протокола. В остальном, вне зависимости от протокола, существуют две основные команды доступа к регистрам: запись в регистр и чтение из регистра.

PUBL также позволяет исполнять команды через порт конфигурации. Соответствующий DRAM Command Unit (DCU) оснащен буферами для командных запросов, в которые можно производить запись через порт конфигурации. Затем эти команды могут быть запущены в PUBL в разнообразных конфигурациях, позволяющих использование циклов, установку задержек между выполнением команд и т.д. Возможность запускать команды SDRAM в рамках конфигурации позволяет программно запускать и инициализацию SDRAM через порт конфигурации. Это также обеспечивает независимый от контроллера способ отладки и/или представления интерфейсов PNY и DDR.

Помимо команд, запускаемых пользователем через порт конфигурации, PUBL имеет несколько внутренних блоков, которые автоматически генерируют командные запросы

SDRAM. Эти запросы применяются для инициализации, тестирования данных, BIST и DFT опций.

В таблице Таблица 15.2 перечислены команды, которые могут быть исполнены в PUBL как через блок конфигурации, так и через внутренние блоки PUBL.

Команды SDRAM, исполняемые так или иначе, специально записываются так, чтобы минимизировать количество расшифровки при отправке в SDRAM. В частности, командные биты CMD[3:1] по большей части соответствуют набору {ras_b, cas_b, we_b} для соответствующих команд SDRAM.

Командный бит CMD[0] предоставляет еще больший выбор для команд SDRAM, например, предзаряд одного банка памяти или всех, чтение/запись с автоматическим предзарядом или чтение/запись без автоматического предзаряда, и самообновление или автообновление.

Команды, генерируемые внутренними блоками PUBL, автоматически запустят требуемые команды активации или предзаряда перед тем, как команды чтения или записи будут отправлены в SDRAM. Этим внутренним запросам PUBL также присваиваются автоматические задержки для генерации правильных временных интервалов между командами, которые требуются SDRAM. Однако, командам, запускаемым через порт конфигурации с DCU, PUBL не присваивает временные интервалы автоматически, как и команды активации/предзаряда не генерируются автоматически. Таким образом, при запуске команд через порт конфигурации, пользователь обязан исполнять в дополнение и нужное количество команд пустой операции NOP или использовать возможности DCU для установления задержек, соответствующих требованиям прибора. Аналогичным образом должны быть запущены самостоятельно и команды активации и/или предзаряда, чтобы в SDRAM были открыты и/или закрыты необходимые банки памяти перед исполнением команд чтения или записи.

Таблица 15.2. Команды PUBL

Код команды (cfg_cmd/CMD[3:0])	Имя команды (Мнемоника)	Описание команды
Команды конфигурации		
0	REG_READ	Чтение регистра: читает запись из регистра PUBL.
1	REG_WRITE	Запись в регистр: записывает в регистр PUBL.
Команды SDRAM		
0000	NOP/READ_MODE	NOP (во всей SDRAM, кроме LPDDR2): никаких действий в PUBL. READ_MODE (только в LPDDR2): читает регистр режима SDRAM (MRR). Следует пользоваться командами DCUAR/DCUDR для получения данных из MRR.
0001	LOAD_MODE	Режим загрузки: загружает регистр управления SDRAM.

Код команды (cfg_cmd/CMD[3:0])	Имя команды (Мнемоника)	Описание команды
0010	SELF_REFRESH	Авто-регенерация: вводит SDRAM в режим авто-регенерации. Внимание: не поддерживается в данной версии PUBL.
0011	REFRESH	Обновление: отправка команды авто-регенерации SDRAM.
0100	PRECHARGE	Предзаряд: деактивирует (закрывает) открытую строку в определенном банке памяти SDRAM.
0101	PRECHARGE_ALL	Полный предзаряд: деактивирует открытую строку во всех банках памяти SDRAM.
0110	ACTIVATE	Активация: активирует (открывает) строку в определенном банке памяти SDRAM.
0111	SPECIAL_CMD	Специальные команды: прочие команды SDRAM и PUBL. Выбор команды происходит по последним 4 битам адресного поля следующим образом: 0000 = низкий сброс DRAM (RESET_LO): подает низкий уровень на сброс DDR3. 0001 = высокий сброс DRAM (RESET_HI): подает высокий уровень на сброс DDR3. 0010 = низкий CKE (CKE_LO): подает низкий уровень на CKE. 0011 = высокий CKE (CKE_HI): подает высокий уровень на CKE. 0100 = остановка (CK_STOP) тактового сигнала (CK): останавливает CK (придает сигналу постоянную величину). 0101 = запуск (CK_START) тактового сигнала (CK): перезапуск CK (переключение). 0110 – 1110 = резерв. 1111 = режим выхода (MODE_EXIT): выход из режима авто-обновления или спящего режима.
1000	WRITE	Запись: запускает обращение пакета данных на запись в SDRAM.
1001	WRITE_PRECHG	Запись с подзарядкой: запускает обращение пакета данных на запись в SDRAM. Подзаряжает строку, к которой произошло обращение, по окончании импульса.
1010	READ	Чтение: запускает обращение пакета данных на чтение в SDRAM.
1011	READ_PRECHG	Чтение с подзарядкой: запускает обращение пакета данных на чтение в SDRAM. Подзаряжает строку, к которой произошло обращение, по окончании импульса.
1100	ZQCAL_SHORTT	Быстрая калибровка ZQ: применяется только в DDR3. Запускает быструю калибровку ZQ SDRAM.
1101	ZQCAL_LONG	Долгая калибровка ZQ: применяется только в DDR3. Запускает долгую калибровку ZQ SDRAM.
1110	POWER_DOWN	Отключение питания: вводит SDRAM в энергосберегающий режим низкого питания.
1111	SDRAM_NOP	SDRAM NOP: запуск цикла пустой операции в SDRAM. Это защищает от регистрации нежелательных команд в SDRAM в режимах простоя или ожидания.

15.5.4 Карта регистров PHU

Регистры PUBL применяются для конфигурирования определенных частей PHU, управления ими или записи их статуса. Пользователь взаимодействует с регистрами через команды чтения/записи порта конфигурации.

Все регистры имеют ширину 32 бита. Операция записи в зарезервированные адреса и биты регистров невозможна, а операция чтения возвращает 0. В последующих разделах приводится детальное описание регистров PUBL. За исключением специальных случаев, предполагается, что биты регистров управления имеют положительный уровень.

Карта регистров PHU приведена в Таблица 15.3.

Таблица 15.3. Карта регистров PHU

№	Регистр	Описание	Смещение	Тип доступа
0	RIDR	Регистр индекса версий	0x00	R
1	PIR	Регистр инициализации PHU	0x01	R/W
2	PGCR	Регистр основной конфигурации PHU	0x02	R/W
3	PGSR	Регистр основного статуса PHU	0x03	R
4	DLLGCR	Регистр основных настроек DLL	0x04	R/W
5	ACDLLCR	Регистр настроек AC DLL	0x05	R/W
6-8	PTR0-2	Регистр задержек PHU 0-2	0x06-0x08	R/W
9	ACIOCR	Регистр конфигурации AC I/O	0x09	R/W
10	DXCCR	Регистр общей конфигурации DATX8	0x0A	R/W
11	DSGCR	Регистр основной конфигурации системы DDR	0x0B	R/W
12	DCR	Регистр конфигурации DRAM	0x0C	R/W
13-15	DTPR0-2	Регистр параметров задержек DRAM 0	0x0D-0x0F	R/W
16	MR0	Регистр режима 0	0x10	R/W
17	MR1	Регистр режима 1	0x11	R/W
18	MR2	Регистр режима 2	0x12	R/W
19	MR3	Регистр режима 3	0x13	R/W

№	Регистр	Описание	Смещение	Тип доступа
20	ODTCR	Регистр конфигурации ODT	0x14	R/W
21	DTAR	Регистр адресов для тестирования данных	0x15	R/W
22-23	DTDR0-1	Регистр данных для тестирования данных 0-1	0x16-0x17	R/W
24-47	-	Резерв	0x18-0x2F	-
48	DCUAR	Регистр адресов DCU	0x30	R/W
49	DCUDR	Регистр данных DCU	0x31	R/W
50	DCURR	Регистр работы DCU	0x32	R/W
51	DCULR	Регистр циклов DCU	0x33	R/W
52	DCUGCR	Регистр общей конфигурации DCU	0x34	R/W
53	DCUTPR	Регистр параметров задержек DCU	0x35	R/W
54	DCUSR0-1	Регистр статуса DCU 0-1	0x36-0x37	R
55-93	-	Резерв	0x18-0x5D	-
94-95	GPR0-1	Регистр общих задач 0-1	0x05E-0x05F	R/W
96-97	ZQ0CR0-1	Регистр управления импедансом 0-1 ZQ 0	0x60-0x61	R/W
98-99	ZQ0SR0-1	Регистр статуса импеданса 0-1 ZQ 0	0x62-0x63	R
100-101	ZQ1CR0-1	Регистр управления импедансом 0-1 ZQ 1	0x64-0x65	R/W
102-103	ZQ1SR0-1	Регистр статуса импеданса 0-1 ZQ 1	0x66-0x67	R
104-105	ZQ2CR0-1	Регистр управления импедансом 0-1 ZQ 2	0x68-0x69	R/W
106-107	ZQ2SR0-1	Регистр статуса импеданса 0-1 ZQ 2	0x6A-0x6B	R
108-109	ZQ3CR0-1	Регистр управления импедансом 0-1 ZQ 3	0x6C-0x6D	R/W
110-111	ZQ3SR0-1	Регистр статуса импеданса 0-1 ZQ 3	0x6E-0x6F	R
112	DX0GCR	Регистр общей конфигурации DATX8 0	0x70	R/W
113-114	DX0GSR0-1	Регистр общего статуса DATX8 0 0-1	0x71-0x72	R
115	DX0DLLCR	Регистр управления DLL DATX8 0	0x73	R/W

№	Регистр	Описание	Смещение	Тип доступа
116	DX0DQTR	Регистр задержек DQ DATX8 0	0x74	R/W
117	DX0DQSTR	Регистр задержек DQS DATX8 0	0x75	R/W
118-127	-	Резерв	0x76-0x7F	-
128	DX1GCR	Регистр общей конфигурации DATX8 1	0x80	R/W
129-130	DX1GSR0-1	Регистр общего статуса DATX8 1 0-1	0x81-0x82	R
131	DX1DLLCR	Регистр управления DLL DATX8 1	0x83	R/W
132	DX1DQTR	Регистр задержек DQ DATX8 1	0x84	R/W
133	DX1DQSTR	Регистр задержек DQS DATX8 1	0x85	R/W
134-143	-	Резерв	0x86-0x8F	-
144	DX2GCR	Регистр общей конфигурации DATX8 2	0x90	R/W
145-146	DX2GSR0-1	Регистр общего статуса DATX8 2 0-1	0x91-0x92	R
147	DX2DLLCR	Регистр управления DLL DATX8 2	0x93	R/W
148	DX2DQTR	Регистр задержек DQ DATX8 2	0x94	R/W
149	DX2DQSTR	Регистр задержек DQS DATX8 2	0x95	R/W
150-159	-	Резерв	0x96-0x9F	-
160	DX3GCR	Регистр общей конфигурации DATX8 3	0xA0	R/W
161-162	DX3GSR0-1	Регистр общего статуса DATX8 3 0-1	0xA1-0xA2	R
163	DX3DLLCR	Регистр управления DLL DATX8 3	0xA3	R/W
164	DX3DQTR	Регистр задержек DQ DATX8 3	0xA4	R/W
165	DX3DQSTR	Регистр задержек DQS DATX8 3	0xA5	R/W
166-175	-	Резерв	0xA6-0xAF	-
176	DX4GCR	Регистр общей конфигурации DATX8 4	0xB0	R/W
177-178	DX4GSR0-1	Регистр общего статуса DATX8 4 0-1	0xB1-0xB2	R
179	DX4DLLCR	Регистр управления DLL DATX8 4	0xB3	R/W

№	Регистр	Описание	Смещение	Тип доступа
180	DX4DQTR	Регистр задержек DQ DATX8 4	0xB4	R/W
181	DX4DQSTR	Регистр задержек DQS DATX8 4	0xB5	R/W
182-191	-	Резерв	0xB6-0xBF	-
192	DX5GCR	Регистр общей конфигурации DATX8 5	0xC0	R/W
193-194	DX5GSR0-1	Регистр общего статуса DATX8 5 0-1	0xC1-0xC2	R
195	DX5DLLCR	Регистр управления DLL DATX8 5	0xC3	R/W
196	DX5DQTR	Регистр задержек DQ DATX8 5	0xC4	R/W
197	DX5DQSTR	Регистр задержек DQS DATX8 5	0xC5	R/W
198-207	-	Резерв	0xC6-0xCF	-
208	DX6GCR	Регистр общей конфигурации DATX8 6	0xD6	R/W
209-210	DX6GSR0-1	Регистр общего статуса DATX8 6 0-1	0xD1-0xD2	R
211	DX6DLLCR	Регистр управления DLL DATX8 6	0xD3	R/W
212	DX6DQTR	Регистр задержек DQ DATX8 6	0xD4	R/W
213	DX6DQSTR	Регистр задержек DQS DATX8 6	0xD5	R/W
214-223	-	Резерв	0xD6-0xDF	-
224	DX7GCR	Регистр общей конфигурации DATX8 7	0xE0	R/W
225-226	DX7GSR0-1	Регистр общего статуса DATX8 7 0-1	0xE1-0xE2	R
227	DX7DLLCR	Регистр управления DLL DATX8 7	0xE3	R/W
228	DX7DQTR	Регистр задержек DQ DATX8 7	0xE4	R/W
229	DX7DQSTR	Регистр задержек DQS DATX8 7	0xE5	R/W
230-239	-	Резерв	0xE6-0xEF	-
240	DX8GCR	Регистр общей конфигурации DATX8 8	0xF0	R/W
241-242	DX8GSR0-1	Регистр общего статуса DATX8 8 0-1	0xF1-0xF2	R
243	DX8DLLCR	Регистр управления DLL DATX8 8	0xF3	R/W

№	Регистр	Описание	Смещение	Тип доступа
244	DX8DQTR	Регистр задержек DQ DATX8 8	0xF4	R/W
245	DX8DQSTR	Регистр задержек DQS DATX8 8	0xF5	R/W
246-255	-	Резерв	0xF6-0xFF	-

15.5.4.1 Регистр индекса версий (RIDR)

Регистр индекса версий возвращает номер версии PHU. Номер версии PUB состоит из трёх цифр и, как правило, записывается в виде [PUBMJR].[PUBMDR][PUBMNR]. Номер версии PHU состоит из трех цифр и, как правило, записывается в виде [PHYMJR].[PHYMDR][PHYMNR]. Поле пользовательского номера версии (UDRID) используется в общих целях, которые пользователь может задавать через макрос Verilog DWC_UDRID.

Поля регистра RIDR описаны в Таблица 15.4.

Таблица 15.4. Регистр индекса версий

Диапазон	Название	Описание	Исходное значение
[3:0]	PUBMNR	Небольшие обновления PUB: указывает на минимальные изменения в PUB, такие как исправления мелких ошибок. Как правило, не включают новых функций.	0
[7:4]	PUBMDR	Средние обновления PUB: указывает на умеренные изменения PUB, такие как добавка новых функций. Как правило, новые версии совместимы с предыдущими.	4
[11:8]	PUBMJR	Крупные обновления PUB: указывает на масштабные изменения PUB, такие как добавка новых функций, которые влекут за собой несовместимость новой версии со старыми.	1
[15:12]	PHYMNR	Небольшие обновления PHU: указывает на минимальные изменения в PHU, такие как исправления мелких ошибок. Как правило, не включают новых функций.	0
[19:16]	PHYMDR	Средние обновления PHU: указывает на умеренные изменения PHU, такие как добавка новых функций. Как правило, новые версии совместимы с предыдущими.	0
[23:20]	PHYMJR	Крупные обновления PHU: указывает на масштабные изменения PHU, такие как добавка новых функций, которые влекут за собой несовместимость новой версии со старыми.	1
[31:24]	UDRID	Поле пользовательского номера версии: номер версии для общих нужд, задается пользователем.	0

15.5.4.2 Регистр инициализации PHU (PIR)

Регистр инициализации PHU используется для конфигурации и управления инициализацией PHU. Это включает запуск определенных алгоритмов инициализации, а также сброс PHU и/или используемого в PHU DLL. Любая запись в регистр конфигурации, которая устанавливает бит PIR[INIT], запускает инициализацию в виде, заданном остальными битами регистра PIR. Статус завершения этой инициализации

можно получить запросом к регистру основного статуса PHY (PGSR). Следует отметить, что PGSR0[IDONE] не обнуляется сразу после установки бита PIR[INIT], и, таким образом, программное обеспечение должно прождать минимум 10 тактов конфигурации от момента установки бита PIR[INIT] до отправки запроса к биту PGSR[IDONE].

Поля регистра PIR описаны в Таблица 15.5.

Таблица 15.5. Регистр инициализации PHY

Диапазон	Название	Описание	Исходное значение
[0]	INIT	Запуск инициализации: запись "1" в этот бит запускает инициализацию системы DDR, включая инициализацию PHY, DRAM, и тестирование PHY. Точная последовательность исполняемых шагов инициализации указана в битах 1-6 регистра PIR. "1" означает, что шаг будет выполнен в ходе инициализации, а "0" означает, что шаг будет пропущен. Бит запуска инициализации обнуляется сам.	0
[1]	DLLSRST	Перезагрузка DLL: перезагружает все DLL в PHY путем отправки импульса на контакт сигнала сброса DLL. Замечание: для того, чтобы сигнал перезагрузки DLL был на выходе DLL, необходимо, чтобы сигнал ctl_clk переключался. Если нет уверенности в стабильном переключении ctl_clk (cclk_0 в AC DLL), рекомендуется пользоваться ручным сбросом DLL ACDLLCR[DLLSRST], а не PIR[DLLSRST].	0
[2]	DLLLOCK	Замыкание DLL: ожидает замыкания DLL в PHY.	0
[3]	ZCAL	Калибровка импеданса: производит калибровку импеданса PHY.	0
[4]	ITMSRST	Перезагрузка модулей задержек интерфейса (ITMs): перезагружает модули задержек интерфейса для сигналов данных и строб-сигналов, то есть, устанавливает сигнал перезагрузки для ITM (srstb).	0
[5]	DRAMRST	Сброс DRAM (только для DDR3): отправляет команду сброса в DRAM (путем отправки импульса на контакт сигнала сброса DRAM) и ожидает 200 мкс. Может быть запущен изолированно или вместе с полной инициализацией DRAM (DRAMINIT). Во втором случае отправка сигнала сброса и ожидание в течение 200 мкс происходят до начала полной последовательности инициализации.	0
[6]	DRAMINIT	Инициализация DRAM: исполняет подпрограмму инициализации DRAM.	0
[7]	QSTRN	Тестирование положения стробов DQS (Read DQS Training): исполняет алгоритм тестирования PUBL, чтобы определить оптимальное положение строба DQS при чтении данных для максимизации рамок системных задержек.	0

Диапазон	Название	Описание	Исходное значение
[8]	RVTRN	Тестирование положения маски строба (read DQS gate training) (QSTRN) и тестирование целостности данных (read valid training) (RVTRN) в норме, должны проводиться одновременно. Ожидается, что бит RVTRN устанавливается всегда, когда устанавливается бит PIR.QSTRN. Если RVTRN=1, а PIR.QSTRN=0, когда PIR.INIT=1 (запуск процесса инициализации) алгоритм тестирования положения маски строба все равно будет запущен (как если бы PIR.QSTRN был "1"). Если необходимо запустить только тестирование целостности данных, отдельно от тестирования положения маски строба, можно предотвратить запуск этого тестирования установкой PGCR.LBGDQS=1 (см. описание регистра PGCR в разделе). Замечание: тестирование целостности данных не может обращаться к многоцелевому регистру MPR, и обязано использовать пользовательские данные, запрограммированные в DTDR0-1.	0
[15:9]	Резерв	Возвращает 0 при чтении.	-
[16]	ICPC	Конфигурация контакта завершения инициализации: определяет, как выходной контакт завершения инициализации DFI 2.1 должен отображать статус инициализации. Валидные значения: 0 = устанавливается после окончания инициализации PHY (завершение замыкания DLL и калибровки импеданса); 1 = устанавливается после окончания инициализация PHY и окончания любых процессов, запущенных в процессе инициализации PUBL (инициализация DRAM, тестирование данных, запуск инициализации с невыбранными параметрами).	0
[17]	DLLBYP	Пропуск DLL: запись "1" в этот бит переводит все DLL в PHY в режим пропуска. Пропущенный DLL будет обесточен (отключен). Подробнее требования при отключении/включении DLL описаны в справочнике DWC DDR SDRAM PHY Utility Block "Lite" (PUBL).	0
[18]	CTLDINIT	Инициализация контроллера DRAM: если этот бит установлен, он указывает, что инициализация DRAM будет проведена через микроконтроллер. Если он не установлен, это указывает, что инициализация DRAM будет проведена через встроенный алгоритм инициализации или с применением программного обеспечения через порт конфигурации.	0
[27:19]	Резерв	Возвращает 0 при чтении.	-
[28]	CLRSR	Регистры очистки статуса. Запись "1" в эти биты запускает: - автоматическую самоочистку (PIR.CLRSR). Это означает, что чтение из PIR.CLSR вернет "0"; - очистку следующих битов в DXnGSR0 : DTDONE, DTERR, DTIERR; - очистку битов PGSR.DFTERR и DXnGSR0.DFTERR. Этот бит предназначен в первую очередь для отладки и, как правило, не нужен в нормальном режиме работы. Он может быть использован, когда PGSR.IDONE=1 для ручной очистки битов статуса PGSR, однако биты статуса PGSR (кроме DFTRR и TQ) обнуляются автоматически при запуске нового процесса инициализации. Этот бит также может быть использован для ручной очистки битов статуса DXnGSR, однако, запуск нового процесса тестирования данных автоматически обнуляет биты статуса DXnGSR.	0

Диапазон	Название	Описание	Исходное значение
[29]	LOCKBY P	Пропуск замыкания DLL: когда этот бит установлен, он пропускает или прекращает режим ожидания замыкания DLL. Ожидание замыкания DLL запускается автоматически после сброса. Ожидание замыкания DLL может быть запущено вручную через INIT и DLLLOCK-биты PIR-регистра. Этот бит обнуляется сам.	0
[30]	ZCALBYP	Пропуск калибровки импеданса: если установлен, пропускает или прекращает калибровку импеданса всех блоков настройки ZQ. Эта калибровка запускается автоматически после сброса. Она может быть также запущена вручную через INIT и ZCAL-биты PIR-регистра. Этот бит обнуляется сам.	0
[31]	INITBYP	Пропуск инициализации: если установлен, пропускает или прекращает все текущие процессы инициализации, включая инициализацию PHY, DRAM и тестирование PHY. Инициализация может быть запущена вручную через INIT и другие соответствующие биты PIR-регистра. Этот бит обнуляется сам.	0

15.5.4.3 Регистр основной конфигурации PHY (PGCR)

Этот регистр используется для прочих конфигураций PHY, таких как тип PHY, конфигурация стробирования DQS и компенсация дрейфа DQS.

Поля регистра PGCR описаны в Таблица 15.6.

Таблица 15.6. Регистр основной конфигурации PHY

Диапазон	Название	Описание	Исходное значение
[0]	ITMDMD	Режим ITM DDR: указывает, использовать ли в модулях ITMS оба сигнала DQS и DQS#, или только DQS. Валидные значения: 0 = в ITMS используются и DQS, и DQS#; 1 = в ITMS используется только DQS. Замечание: при использовании DDR или mDDR правильное значение - "1", потому что DQS# в них не применяется.	0
[1]	DQSCFG	Конфигурация стробирования DQS: выбирает одну из двух схем стробирования DQS: 0 = строб DQS автоматически обрезается фронтом DQS_b (режим активного окна стробирования - active windowing mode); 1 = строб DQS охватывает весь пакет импульса (режим пассивного окна стробирования - passive windowing mode). Замечание: в LPDDR/LPDDR2 необходимо использовать режим пассивного окна.	0

Диапазон	Название	Описание	Исходное значение
[2]	DFTCMP	<p>Компенсация дрейфа строб-сигнала DQS: включает или отключает компенсацию дрейфа строб-сигнала DQS. Валидные значения: 0 = отключает компенсацию дрейфа строба данных; 1 = включает компенсацию дрейфа строба данных. По умолчанию, компенсация дрейфа включена.</p> <p>Замечание: компенсация дрейфа не поддерживается в следующих ситуациях: - LPDDR/LPDDR2 (DCR.DDRMD установлен на LPDDR или LPDDR2); - длина пакета 2 (в MR0.BL установлена длина пакета 2); - при тестировании положения маски строба DQS используется режим пассивного окна строб-сигнала (PGCR.DQSCFG установлен в режим пассивного окна стробирования). Если установлен любой из перечисленных выше режимов, компенсация дрейфа должна быть отключена.</p>	1
[4:3]	DFTLMT	<p>Предел дрейфа DQS: определяет ожидаемый предел дрейфа сигнала на стробах чтения данных. Дрейф, равный или больший чем эта величина, вызовет сообщение об ошибке дрейфа через флаг ошибки порта ведущего устройства. Валидные значения: 00 = предел не задан (сообщения об ошибке не возникают); 01 = дрейф 90°; 10 = дрейф 180°; 11 = дрейф 270° или более. Замечание: несмотря на то, что сообщение отправляется через флаг ошибки, это не та ошибка, которая требует каких-либо действий. Это просто индикатор того, что дрейф больше ожидаемой величины.</p>	00
[8:5]	DTOSEL	<p>Выбор вывода цифрового теста: выбирает в PHY вывод цифрового теста, сигнал с которого пойдет на контакт цифрового теста PHY (phy_dto). Валидные значения: 0000 = выход цифрового теста DLL DATX8 0; 0001 = выход цифрового теста DLL DATX8 1; 0010 = выход цифрового теста DLL DATX8 2; 0011 = выход цифрового теста DLL DATX8 3; 0100 = выход цифрового теста DLL DATX8 4; 0101 = выход цифрового теста DLL DATX8 5; 0110 = выход цифрового теста DLL DATX8 6; 0111 = выход цифрового теста DLL DATX8 7; 1000 = выход цифрового теста DLL DATX8 8; 1001 = выход цифрового теста DLL AC; 1010 - 01111 = резерв.</p>	0000
[11:9]	CKEN	<p>Подключение СК: это поле контролирует, когда сигнал тактовой частоты СК, идущий к SDRAM, включен (переключается), а когда отключен (имеет статическую величину, заданную полем CKDV). На каждую из трех пар сигнала СК отведен один бит.</p>	111
[13:12]	CKDV	<p>Значение отключения СК: определяет статическую величину, которая должна быть подана на пару/пары СК, когда она/они отключены. Бит CKDV[0] определяет величину СК, а бит CKDV[1] определяет величину СК#.</p>	10
[15:14]	CKINV	<p>Инверсия СК: если установлен, делает СК/СК# инвертированным. В противном случае СК/СК# переключаются со стандартной полярностью.</p>	0

Диапазон	Название	Описание	Исходное значение
[15]	IOLB	Петлевой интерфейс системы ввода-вывода (I/O Loopback): это поле указывает, где в системе I/O происходит обратная петля сигналов. Неприменимо к D3A I/Os. Валидные значения: 0 = обратная петля после буфера вывода; вывод должен быть подключен; 1 = обратная петля перед буфером вывода; неважно, подключен ли вывод.	0
[17:16]	IODDRM	Режим I/O DDR (только для D3F I/O): устанавливает режим DDR для системы ввода/вывода.	00
[21:18]	RANKEN	Подключение рангов: определяет ранги, подключенные для тестирования данных. Бит 0 управляет рангом 0, бит 1 управляет рангом 1, бит 2 управляет рангом 2, бит 3 управляет рангом 3. Установка "1" в бит подключает ранг, установка "0" в бит отключает ранг.	1111
[23:22]	ZCKSEL	Выбор делителя тактовой частоты импеданса: задает соотношение деления для тактовой частоты, используемой логикой настройки импеданса. Исходный тактовый сигнал для делителя - синхросигнал порта конфигурации (cfg_clk или pclk), который варьируется в зависимости от используемого порта конфигурации. Подробнее калибровка импеданса описана в справочнике DWC DDR SDRAM PHY Utility Block "Lite". Валидные значения: 00 = деление на 2; 01 = деление на 8; 10 = деление на 32; 11 = деление на 64.	10
[24]	PDDISDX	Обесточивание модулей отключенного байта: если установлен, указывает, что DLL и I/O отключенного байта должны быть обесточены.	1
[28:25]	RFSHDT	Регенерация в процессе тестирования: если в этом поле ненулевая величина, она указывает, что пакет регенераций, равный числу, указанному в этом поле, должен быть отправлен к SDRAM после тестирования каждого ранга, кроме последнего.	0000
[29]	LBDQSS	Сдвиг строба DQS при обратной петле (loopback DQS shift): задает смещение строб-сигнала чтения во время обратной петли данных, чтобы убедиться, что строб-сигнал чтения центрирован в интервале чтения данных (read data eye). Валидные значения: 0 = PUB устанавливает задержку строба чтения DQS в 0; DQS уже смещен на 90 градусов за счет пути записи. 1 = сдвиг строба чтения DQS устанавливается вручную программным обеспечением.	0
[30]	LBGDQS	Обратная петля стробирования DQS (loopback DQS gating): задает такой режим стробирования DQS, который должен применяться, когда PHY работает в режиме обратной петли, включая режим обратной петли встроенного самотестирования BIST (Built-In Self-Test). Валидные значения: 0 = тестирование смещения стробов относительно данных будет запущено в PUB; 1 = тестирование смещения стробов относительно данных будет запущено вручную через программное обеспечение. Замечание: когда PGCR.LBGDQS=0, бит PIR.QSTRN не должен быть запущен раньше, чем запуск обратной петли BIST DATX8.	0
[31]	LBMODE	Режим обратной петли (loopback mode): если установлен, указывает, что PHY/PUB находится в режиме обратной петли.	0

15.5.4.4 Регистр основного статуса PHY (PGSR)

Это регистр общего статуса PHY. Среди прочего, он указывает, проводить ли тестирование данных.

Поля регистра PGSR описаны в Таблица 15.7.

Таблица 15.7. Регистр основного статуса PHY

Диапазон	Название	Описание	Исходное значение
[0]	IDONE	Готовность инициализации: если установлен, указывает, что инициализация системы DDR завершилась. Этот бит устанавливается после того, как все выбранные в PIR-регистре процессы инициализации завершились.	0
[1]	DLDONE	Готовность замыкания DLL: если установлен, указывает, что замыкание DLL завершилось.	0
[2]	ZCDONE	Готовность калибровки импеданса: если установлен, указывает, что калибровка импеданса завершилась.	0
[3]	DIDONE	Готовность инициализации DRAM: если установлен, указывает, что инициализация DRAM завершилась.	0
[4]	DTDONE	Готовность тестирования данных: если установлен, указывает, что PHY завершила тестирование данных.	0
[5]	DTERR	Ошибка тестирования положения маски строба DQS: если установлен, указывает, что валидное положение для маски строба DQS не было найдено в процессе тестирования.	0
[6]	DTIERR	Ошибка прерывания тестирования положения маски строба DQS: если установлен, указывает, что процесс тестирования был прерван, например, за проходом последовал отказ, за которым снова последовал проход (нестабильность прихода данных).	0
[7]	DFTERR	Ошибка дрейфа строба DQS: если установлен, указывает, что хотя бы один из стробов чтения данных сдвинулся на величину, большую или равную пределу дрейфа, установленному в регистре основной конфигурации PHY (PGCR).	0
[8]	RVERR	Ошибка тестирования целостности данных: если установлен, указывает, что валидное положение прочитанных данных не найдено в процессе тестирования целостности данных.	0
[9]	RVEIRR	Ошибка прерывания тестирования целостности данных: если установлен, указывает, что тестирование целостности данных было прервано, например, за проходом последовал отказ, за которым снова последовал проход (нестабильность прихода данных).	0
[30:10]	Резерв	Возвращает нули при чтении.	0
[31]	TQ	Температурный вывод (только в LPDDR): этот бит подсоединен к контакту сенсора температурного вывода DRAM (TQ), который запрограммирован переходить на высокий уровень, когда температура LPDDR равна или превышает 85°, и оставаться на низком в других случаях.	0

15.5.4.5 Регистр основных настроек DLL (DLLGCR)

Регистр DLLGCR отвечает за прочие глобальные настройки конфигурации и за выравнивание всех DLL, используемых в макросах AC и DATX8, включая тестовые режимы DLL.

Некоторые поля этого регистра имеют разные значения по умолчанию, в зависимости от технологического процесса. Эти параметры задаются макросом Verilog `DWC_DDR3PHY_DLL_TYPEB`. В справочнике PHY приводятся рекомендованные значения по умолчанию для таких полей. Аналогично, некоторые поля регистра зарезервированы для других процессов.

Поля регистра DLLGCR описаны в Таблица 15.8.

Таблица 15.8. Регистр основных настроек DLL

Диапазон	Название	Описание	Исходное значение
[1:0]	DRES	Выравнивание отклонений сопротивления (delta resistor trim): используется для выравнивания базисного тока относительно отклонений величины сопротивления. 00 = R _{nom} ; 01 = R _{nom} - 20%; 1x = R _{nom} + 20%. Замечание: для некоторых процессов это поле зарезервировано и не используется DLL.	00
[4:2]	IPUMP	Выравнивание тока накачки заряда (charge pump current trim): применяется для выравнивания тока накачки заряда: 000 = максимальный ток; 111 = минимальный ток. Замечание: когда задан Verilog макрос <code>DWC_DDR3PHY_DLL_TYPEA</code> , значение этого поля по умолчанию - 011.	000
[5]	TESTEN	Подключение тестовых выводов: подключает цифровые и аналоговые тестовые выводы, заданные управляющими полями DTC и ATC соответственно.	0
[8:6]	DTC	Настройки цифрового теста: подает цифровой сигнал на цифровой тестовый вывод DLL (<code>test_out_d[1]</code>), когда на TESTEN подан высокий уровень (при низком уровне TESTEN вывод равен "0"). Валидные значения для главного (master) DLL (например, когда TESTSW = «0»): 000 = синхросигнал вывода с периодом 0 (<code>clk_0</code>); 001 = синхросигнал вывода с периодом 90 (<code>clk_90</code>); 010 = синхросигнал вывода с периодом 180 (<code>clk_180</code>); 011 = синхросигнал вывода с периодом 270 (<code>clk_270</code>); 100 = синхросигнал вывода с периодом 360 (<code>clk_360</code>); 101 = повышение частоты (<code>spdup</code>); 110 = снижение частоты (<code>slwdn</code>); 111 = синхросигнал MCTL-логики с периодом 0 (<code>cclk_0</code>). Валидные значения для подчиненного (slave) DLL (например, когда TESTSW = «1»): 000 = входной строб-сигнал DQS (<code>dqs</code>); 001 = эталонный входной синхросигнал (<code>clk_90_in</code>); 010 = синхросигнал внутренней обратной связи (<code>clk_0_out</code>); 011 = строб-сигнал вывода DQS_b с периодом 90 (<code>dqsb_90</code>); 100 = строб-сигнал вывода DQS с периодом 90 (<code>dqs_90</code>); 101 = повышение частоты (<code>spdup</code>); 110 = снижение частоты (<code>slwdn</code>); 111 = сигнал подключения автозамыкания.	000

Диапазон	Название	Описание	Исходное значение
[10:9]	ATC	<p>Настройки аналогового теста: подает аналоговый сигнал на аналоговый тестовый вывод DLL (test_out_a), когда на TESTEN подан высокий уровень (при низком уровне TESTEN на выводе Vss). Сигнал на тестовый вывод приходит или с главного (master) DLL или с подчиненного (slave) DLL, в зависимости от положения тестового переключателя (TESTSW). И главный (master), и подчиненный (slave) DLL выводят одинаковые аналоговые тестовые сигналы.</p> <p>Валидные значения аналоговых настроек: 00 = напряжение смещения для PMOS (МОП-транзистора с каналом p-типа) (Vbp); 01 = напряжение смещения для NMOS (МОП-транзистора с каналом n-типа) (Vbn); 10 = фильтрующее напряжение (Vc); 11 = Vdd.</p>	00
[11]	TESTSW	Тестовый переключатель: задает тестовый сигнал либо от главного DLL, когда значение "0", либо от подчиненного DLL, когда значение "1".	0
[19:12]	MBIAS	Выравнивание отклонений главного DLL: используется для выравнивания отклонений главного DLL. Замечание: когда задан Verilog макрос DWC_DDR3PHY_DLL_TYPEA, исходное значение этого поля - 0x00.	0x37
[22:20]	SBIAS[2:0]	Выравнивание отклонений подчиненного DLL: используется для выравнивания отклонений подчиненного DLL. Замечание: когда задан Verilog макрос DWC_DDR3PHY_DLL_TYPEA, исходное значение этого поля - 0x00.	0x37
[23]	BPS200	Диапазон частоты режима пропуска: 0 = от 0 до 100 МГц; 1 = от 0 до 200 МГц.	0
[26:24]	SBIAS[5:3]	Выравнивание отклонений подчиненного DLL: используется для выравнивания отклонений подчиненного DLL. Замечание: когда задан Verilog макрос DWC_DDR3PHY_DLL_TYPEA, исходное значение этого поля - 0x00.	0x37
[28:27]	FDTRM_S L	Выравнивание фиксированной задержки пропуска подчиненного DLL: 00: номинальная задержка; 01: номинальная задержка - 10%; 10: номинальная задержка + 10%; 11: номинальная задержка + 20%.	00
[29]	LOCKDE T	Подключение определителя замыкания главного DLL. Замечание: это поле валидно только для некоторых процессов. Для всех остальных процессов это поле зарезервировано.	0
[31:30]	DLLRSV D2	Зарезервированные настройки DLL: этот бит подсоединяется к шине управления DLL и зарезервирован для дальнейшего использования.	0

15.5.4.6 Регистр настроек AC DLL (ACDLLCR)

Регистр настроек AC DLL используется для настройки DLL на тракте адресов/команд.

Поля регистра ACDLLCR описаны в Таблица 15.9.

Таблица 15.9. Регистр настроек AC DLL

Диапазон	Название	Описание	Исходное значение
[5:0]	Резерв	Возвращает 0 при чтении.	-
[8:6]	MFBDLY	Выравнивание задержки обратной связи главного DLL: используется для выравнивания пути обратной связи главного DLL: 000 = минимальная задержка; 111 = максимальная задержка.	000
[11:9]	MFWDLY	Выравнивание задержки прямой связи главного DLL: используется для выравнивания пути прямой связи главного DLL: 000 = минимальная задержка; 111 = максимальная задержка.	000
[17:12]	Резерв	Возвращает 0 при чтении.	-
[18]	ATESTEN	Подключение аналогового теста: используется для пуска аналогового тест-сигнала на вывод аналогового теста DLL (test_out_a). Когда этот бит равен "0", вывод аналогового теста DLL тристабилен.	0
[29:19]	Резерв	Возвращает 0 при чтении.	-
[30]	DLLSRST	Перезагрузка DLL: перезагружает AC DLL отправкой сигнала на контакт перезагрузки DLL.	1
[31]	DLLDIS	Отключение DLL: отключенный DLL пропускается. Значение по умолчанию ("0") - DLL включен. Подробнее требования к включению и отключению DLL описаны в справочнике DWC DDR SDRAM PHY Utility Block "Lite".	0

15.5.4.7 Регистр задержек PHY 0 (PTR0)

Регистр задержек PHY используется для программирования различных параметров задержек, используемых логикой PUBL.

Поля регистра PTR0 описаны в Таблица 15.10.

Таблица 15.10. Регистр задержек PHY 0

Диапазон	Название	Описание	Исходное значение
[5:0]	t _{DLLSRST}	Время перезагрузки DLL: число тактовых циклов конфигурации, в течение которых контакт сигнала перезагрузки DLL должен оставаться установленным, когда перезагрузка запускается через регистр инициализации PHY (PIR). Это время должно быть равным или большим, чем 50 нс или 8 тактовых циклов контроллера, в зависимости от того, что окажется дольше. Значение по умолчанию соответствует 50 нс при 533 МГц.	27
[17:6]	t _{DLLLOCK}	Время замыкания DLL: число тактовых циклов конфигурации, в течение которых DLL стабилизируется и замыкается, то есть, число тактовых циклов от момента, когда контакт сброса DLL снят, до момента, когда DLL замкнут и готов к работе. Время замыкания DLL по умолчанию указано в справочнике PHY. Значение по умолчанию соответствует 5,12 мкс при 533 МГц.	2750

Диапазон	Название	Описание	Исходное значение
[21:18]	tTMSRST	Время перезагрузки ИТМ: число тактовых циклов конфигурации, в течение которых контакт сигнала перезагрузки ИТМ должен оставаться установленным, когда происходит перезагрузка ИТМs. Это время должно быть равно или больше, чем 8 тактовых циклов контроллера. Значение по умолчанию соответствует 8 тактовым циклам контроллера.	8
[31:22]	Резерв	Возвращает 0 при чтении.	-

15.5.4.8 Регистр задержек PHY 1 (PTR1)

Поля регистра PTR1 описаны в Таблица 15.11.

Таблица 15.11. Регистр задержек PHY 1

Диапазон	Название	Описание	Исходное значение
[18:0]	tDINIT0	<p>Время инициализации DRAM 0: время инициализации DRAM, с которым связаны:</p> <p>DDR3 = время низкого уровня СКЕ, тактовый сигнал и напряжение стабильные (500 мкс);</p> <p>DDR2 = время низкого уровня СКЕ, тактовый сигнал и напряжение стабильные (200 мкс);</p> <p>LPDDR = время высокого уровня СКЕ до первой команды (200 мкс);</p> <p>LPDDR2 = время высокого уровня СКЕ до первой команды (200 мкс).</p> <p>Значение по умолчанию соответствует 500 мкс DDR3 на частоте 533 МГц.</p> <p>В симуляциях Verilog рекомендуется уменьшать эту величину до куда меньших значений, чтоб избежать удлинения времени симуляции. Однако это может спровоцировать ошибку модели памяти из-за нарушения алгоритма запуска СКЕ. Такого нарушения можно ожидать, если в программе эта величина задана неравной требуемому времени низкого уровня SDRAM СКЕ, но модели памяти должны быть способны справляться с таким нарушением без ошибок в работе.</p>	266525
[26:19]	tDINIT1	<p>Время инициализации DRAM 1: время инициализации DRAM, с которым связаны:</p> <p>DDR3 = время высокого уровня СКЕ до первой команды ($t_{RFC}+10$ нс или 5 циклов $t_{СК}$, большее из двух);</p> <p>DDR2 = время высокого уровня СКЕ до первой команды (400 мкс).</p> <p>DDR = время высокого уровня СКЕ до первой команды (400 мкс или 1 цикл $t_{СК}$);</p> <p>LPDDR2 = время низкого уровня СКЕ, тактовый сигнал и напряжение стабильные (100 мкс);</p> <p>Значение по умолчанию соответствует 360 мкс DDR3 на частоте 533 МГц.</p>	192
[31:27]	Резерв	Возвращает 0 при чтении.	-

15.5.4.9 Регистр задержек РНУ 2 (PTR2)

Поля регистра PTR2 описаны в Таблица 15.12.

Таблица 15.12. Регистр задержек РНУ 2

Диапазон	Название	Описание	Исходное значение
[16:0]	tDINIT2	Время инициализации DRAM 2: время инициализации DRAM, с которым связаны: DDR3 = время низкого уровня сброса (200 мкс при включении системы, 100 нс, если система включена); LPDDR2 = время от получения команды сброса до окончания авто-инициализации (1 мкс + 10 мкс = 11 мкс). Значение по умолчанию соответствует 200 мкс DDR3 на частоте 533 МГц.	106610
[26:17]	tDINIT3	Время инициализации DRAM 3: время инициализации DRAM, с которым связаны: LPDDR2 = время от команды инициализации ZQ до первой команды (1 мкс) Исходное значение соответствует 1 мкс LPDDR2 на частоте 533 МГц.	534
[31:27]	Резерв	Возвращает 0 при чтении.	-

15.5.4.10 Регистр конфигурации АС I/O (ACIOCR)

Регистр конфигурации вводов/выводов АС используется для управления подключением/отключением выводов, внутренней терминации и отключения питания вводов/выводов SSTL для всех сигналов адресов/команд, идущих к SDRAM, включая синхросигнал SDRAM (СК).

Для вводов/выводов D3A, биты регистра IOM подсоединяются к контактам вводов/выводов IDDQ. Более того, биты регистра, отвечающие за отключение питания (PDD, PDR, и PD), никак не связаны с вводами/выводами D3A.

Поля регистра ACIOCR описаны в Таблица 15.13.

Таблица 15.13. Регистр конфигурации АС I/O

Диапазон	Название	Описание	Исходное значение
[0]	ACIOM	Режим адресов/команд I/O: для всех контактов адресов и команд, а также для опциональных контактов DIMM PAR_IN и LPDDR TPD этот бит задает режим SSTL, когда установлен 0, и режим CMOS, когда установлен 1	0
[1]	ACOE	Подключение вывода команд/адресов: когда установлен, подключает на I/O выходной драйвер для всех контактов адресов и команд, а также для опциональных контактов DIMM PAR_IN и LPDDR TPD.	1
[2]	ACODT	Встроенная терминация команд/адресов: когда установлен, подключает на I/O встроенную терминацию для контактов полей RAS#, CAS#, WE#, BA[2:0] и A[15:0], а также для опциональных контактов DIMM PAR_IN и LPDDR TPD.	0

Диапазон	Название	Описание	Исходное значение
[3]	ACPDD	Отключение питания драйвера AC: когда установлен, отключает питание выходного драйвера на I/O для контактов полей RAS#, CAS#, WE#, BA[2:0] и A[15:0], а также для опциональных контактов DIMM PAR_IN и LPDDR TPD.	0
[4]	ACPDR	Отключение питания приемника AC: когда установлен, отключает питание входного приемника на I/O для контактов полей RAS#, CAS#, WE#, BA[2:0] и A[15:0], а также для опциональных контактов DIMM PAR_IN и LPDDR TPD.	1
[7:5]	CKODT	Встроенная терминация СК: когда установлен, подключает на I/O встроенную терминацию для контактов полей СК[0], СК[1] и СК[2], соответственно.	000
[10:8]	CKPDD	Отключение питания драйвера СК: когда установлен, отключает питание выходного драйвера на I/O для контактов полей СК[0], СК[1] и СК[2], соответственно.	000
[13:11]	CKPDR	Отключение питания приемника СК: когда установлен, отключает питание входного приемника на I/O для контактов полей СК[0], СК[1] и СК[2], соответственно.	111
[17:14]	RANKODT	Встроенная терминация ранга: когда установлен, подключает на I/O встроенную терминацию для контактов полей СKE[3:0], ODT[3:0] и CS#[3:0]. Бит RANKODT[0] управляет встроенной терминацией для полей СKE[0], ODT[0] и CS#[0], RANKODT[1] управляет встроенной терминацией для полей СKE[1], ODT[1] и CS#[1] и так далее.	0000
[21:18]	CSPDD	Отключение питания драйвера CS#: когда установлен, отключает питание выходного драйвера на I/O для контактов полей CS#[3:0]. PDD[0] управляет отключением питания для CS#[0], PDD[1] управляет отключением питания для CS#[1] и так далее. Отключением питания драйверов СKE и ODT управляет регистр DSGCR.	0000
[25:22]	RANKPDR	Отключение питания приемника ранга: когда установлен, отключает питание входного приемника на I/O для контактов полей СKE[3:0], ODT[3:0] и CS#[3:0]. Бит RANKPDR[0] управляет отключением питания для полей СKE[0], ODT[0] и CS#[0], RANKPDR[1] управляет отключением питания для полей СKE[1], ODT[1] и CS#[1] и так далее.	1111
[26]	RSTODT	Встроенная терминация сброса SDRAM: когда установлен, подключает на I/O встроенную терминацию для контакта SDRAM RST#.	0
[27]	RSTPDD	Отключение питания драйвера сброса SDRAM: когда установлен, отключает питание выходного драйвера на I/O для контакта SDRAM RST#.	0
[28]	RSTPDR	Отключение питания приемника сброса SDRAM: когда установлен, отключает питание входного приемника на I/O для контакта SDRAM RST#.	1
[29]	RSTIOM	Режим I/O сброса SDRAM: для сброса SDRAM выбирает в I/O режим SSTL, когда установлен 0, и режим CMOS, когда установлен 1.	1
[31:30]	ACSR	Скорость нарастания напряжения на контактах команд/адресов (только для D3F I/O): устанавливает скорость нарастания напряжения на I/O для всех контактов адресов и команд, а также для опциональных контактов DIMM PAR_IN и LPDDR TPD.	00

15.5.4.11 Регистр общей конфигурации DATX8 (DXCCR)

Регистр общей конфигурации DATX8 используется для управления функциями, влияющими на макросы DATX8. Среди них: подключение/отключение внутренней терминации и отключение питания вводов/выводов SSTL для всех данных SDRAM, маскировка данных и сигналы строба данных.

Для вводов/выводов D3A, биты регистра IOM подсоединяются к контактам вводов/выводов IDDQ. Более того, поля регистра, отвечающие за отключение питания (PDD, PDR, и PD), никак не связаны с вводами/выводами D3A.

Поля регистра DXCCR описаны в Таблица 15.14.

Таблица 15.14. Регистр общей конфигурации DATX8

Диапазон	Название	Описание	Исходное значение
[0]	DXODT	Встроенная терминация данных: когда установлен, подключает на I/O встроенную терминацию для контактов полей DQ, DM и DQS/DQS# всех макросов DATX8. Этот бит складывается в логическое ИЛИ с битом конфигурации ODT отдельного DATX8 (см. таблица).	0
[1]	DXIOM	Режим ввода/вывода (I/O) данных: для контактов полей DQ, DM и DQS/DQS# всех макросов DATX8 выбирает на вводе/выводе (I/O) режим SSTL, когда установлен 0, и режим CMOS, когда установлен 1. Этот бит складывается в логическое ИЛИ с битом конфигурации IOM отдельного DATX8 (см. таблица).	0
[2]	DXPDD	Отключение питания драйвера данных: когда установлен, отключает питание выходного драйвера на I/O для контактов полей DQ, DM и DQS/DQS# всех макросов DATX8. Этот бит складывается в логическое ИЛИ с битом конфигурации PDD отдельного DATX8 (см. таблица).	0
[3]	DXPDR	Отключение питания приемника данных: когда установлен, отключает питание входного приемника на I/O для контактов полей DQ, DM и DQS/DQS# всех макросов DATX8. Также отключает питание поля PDQSR для всех макросов DATX8. Этот бит складывается в логическое ИЛИ с битами конфигурации PDR и DQSRPD отдельного DATX8 (см. таблица).	0

Диапазон	Название	Описание	Исходное значение
[7:4]	DQSRES	<p>Резистор DQS: выбирает подтягивающий резистор встроенной терминации для контактов DQS.</p> <p>Бит DQSRES[3] устанавливает резистор, подтягивающий к земле (когда равен "0"), или подтягивающий к питанию (когда равен "1").</p> <p>Бит DQSRES[2:0] устанавливает величину сопротивления следующим образом:</p> <p>000 = открыто: резистор встроенной терминации отключен; 001 = 688 Ом; 010 = 611 Ом; 011 = 550 Ом; 100 = 500 Ом; 101 = 458 Ом; 110 = 393 Ом; 111 = 344 Ом.</p> <p>Замечание: для работы с LPDDR/LPDDR2 резистор DQS должен быть подключен.</p>	0000
[11:8]	DQSNRES	<p>Резистор DQS#: выбирает накристалльный подтягивающий резистор для контактов DQS#. Все коды битов соответствуют аналогичным для DQSRES.</p> <p>Замечание: для работы с LPDDR/LPDDR2 резистор DQS# должен быть подключен.</p>	1000
[13:12]	DXSR	<p>Скорость нарастания напряжения на контактах данных (только для вводов/выводов D3F): устанавливает скорость нарастания напряжения на I/O для контактов полей DQ, DM и DQS/DQS# всех макросов DATX8.</p>	00
[14]	DQSNRST	<p>Сброс DQS#: если установлен, указывает, что модули ITMS DQS должны всегда быть поставлены в сброс, так, чтобы на подключении вывода всегда была "1", а на выводе данных - "0". Это достигается путем подачи "0" на контакты oe_set_b и do_rst_b этих модулей ITMs для того, чтобы привести неиспользуемые в DQS PAD-ы к заранее известному состоянию "0" в приложениях, которые не используют DQS#, таких как LPDDR.</p>	0
[15]	RWSEL	<p>Выбор проверки целостности данных ITMD (interface timing module data): выбирает схему, по которой производится проверка целостности данных ITMD.</p> <p>Валидные значения:</p> <p>0 = сигнал валидности данных ITMD генерируется за счёт запаздывающего сигнала подключения чтения DFI (пассивное окно);</p> <p>1 = сигнал валидности данных ITMD генерируется в самой ITMD асинхронно (активное окно).</p>	0
[16]	AWDT	<p>Тестирование данных в окне активности: если установлен, указывает, что тестирование данных (тестирование положения маски строба DQS и тестирование целостности данных) должны проводиться в окне активности сигнала DQS. Это используется только в целях отладки. Исходно тестирование всегда проводится в окне пассивности DQS.</p>	0
[31:17]	Резерв	Возвращает 0 при чтении	-

15.5.4.12 Регистр основной конфигурации системы DDR (DSGCR)

Регистр основной конфигурации системы DDR используется для конфигурирования прочих функций системы DDR, включая логику DFI 2.1 в PUBL.

Поля регистра DSGCR описаны в Таблица 15.15.

Таблица 15.15. Регистр основной конфигурации системы DDR

Диапазон	Название	Описание	Исходное значение
[0]	PUREN	Подключение запросов обновления PHY: если установлен, указывает, что PHY должна производить отправку инициированного в PHY запроса на обновление DFI, когда дрейф DQS превышает 3/4 тактового цикла в рамках одного непрерывного (back-to-back) пакета данных. По умолчанию, PHY производит отправку инициированных в PHY запросов на обновление и контроллер должен отвечать, в противном случае PHY может возвращать неверные значения. Возможность отключить запросы обновлений предоставляется только для тестирования и оценки работы полупроводника.	1
[1]	BDisEN	Возможность отключения байта: если установлен, указывает, что PHY должна отзываться на запрос об отключении байта от DFI. В противном случае запросы об отключении байта от DFI игнорируются, и в этом случае байты могут быть отключены только через регистр DXnGCR.	1
[2]	ZUEN	Подключение обновления импеданса: если установлен, указывает, что PHY должна производить калибровку импеданса (обновление) при каждом инициированном контроллером запросе об обновлении от DFI. В противном случае PHY будет игнорировать запросы об обновлении от контроллера.	1
[3]	LPIOPD	Отключение питания вводов/выводов при низком питании (Low Power I/O Power Down): если установлен, указывает, что PHY должна отзываться на запрос DFI о возможности низкого питания и отключать питание вводов/выводов PHY.	1
[4]	LPDLLPD	Отключение питания DLL при низком питании (Low Power DLL Power Down): если установлен, указывает, что PHY должна отзываться на запрос DFI о возможности низкого питания и отключать питание DLL в PHY, если запрос о моменте следующего включения удовлетворяет времени замыкания DLL. Подробнее требования к подключению/отключению DLL описаны в справочнике DWC DDR SDRAM PHY Utility Block "Lite".	1
[7:5]	DQSGX	Расширение строба DQS (DQS Gate Extension): определяет число тактовых циклов, в течение которых ширина строба DQS должна выйти за пределы стандартной ширины пакета данных. Применимо только когда используется ячейка ввода/вывода регистра PDQSR, в режиме пассивного стробирования DQS и без компенсации дрейфа. Рекомендуется устанавливать 0 в это поле для всех типов DDR, кроме LPDDR/LPDDR2. Для LPDDR2 оно должно иметь значение $(tDQSCk_{max} - tDQSCk_{min})$, деленное на период тактового сигнала и округленное. Времена $tDQSCk_{max}$ и $tDQSCk_{min}$ можно найти в спецификации производителя LPDDR2.	000

Диапазон	Название	Описание	Исходное значение
[10:8]	DQSGE	Опережение строба DQS (DQS Gate Early): определяет число тактовых циклов, в течение которых стробирование DQS должно запускаться раньше своей стандартной позиции. Применимо только когда используется ячейка ввода/вывода регистра PDQSR, в режиме пассивного стробирования DQS и без компенсации дрейфа. Рекомендуется устанавливать 0 в это поле для всех типов DDR, кроме LPDDR/LPDDR2. Для LPDDR/LPDDR2 оно должно иметь значение $(tDQSCk_{max} - tDQSCk_{min})$, деленное на период тактового сигнала и округленное. Времена $tDQSCk_{max}$ и $tDQSCk_{min}$ можно найти в спецификации производителя LPDDR/LPDDR2.	000
[11]	NOBUB	Без "пузырей": если установлен, указывает, что прочитанные пакеты данных должны возвращаться к контроллеру без "пузырей" (когда некоторые ступени отдельных команд выполняются более одного такта). Подключение чтения без "пузырей" увеличивает время ожидания чтения. Валидные значения: 0 = "пузыри" в процессе чтения разрешены; 1 = "пузыри" в процессе чтения запрещены. Если интерфейс скомпилирован для режима HDR, то либо в бит NOBUB, либо в бит FXDLAT должна быть установлена "1".	0
[12]	FXDLAT	Фиксированное время ожидания (Fixed Latency): если установлен, указывает, что все прочитанные пакеты данных должны возвращаться к контроллеру с фиксированным временем ожидания чтения. Подключение фиксированного времени ожидания чтения увеличивает время ожидания чтения. Валидные значения: 0 = отключить фиксированное время ожидания чтения; 1 = подключить фиксированное время ожидания чтения. Если интерфейс скомпилирован для режима HDR, то либо в бит NOBUB, либо в бит FXDLAT должна быть установлена "1".	0
[15:13]	Резерв	Возвращает 0 при чтении.	-
[19:16]	СКЕРDD	Отключение питания драйвера СКЕ: когда установлен, отключает питание выходного драйвера на I/O для контактов СКЕ[3:0]. Бит СКЕРDD[0] управляет отключением питания для СКЕ[0], бит СКЕРDD[1] управляет отключением питания для СКЕ[1] и так далее.	0000
[23:20]	ОДТРDD	Отключение питания драйвера ОДТ: когда установлен, отключает питание выходного драйвера на I/O для контактов ОДТ[3:0]. Бит ОДТРDD[0] управляет отключением питания для ОДТ[0], бит ОДТРDD[1] управляет отключением питания для ОДТ[1] и так далее.	0000
[24]	NL2PD	Отключение питания модулей, не относящихся к LPDDR2: когда установлен, отключает питание выходного драйвера и входного приемника на I/O для контактов модулей, не относящихся к LPDDR2 (ODT, RAS#, CAS#, WE# и BA). Это поле может применяться, когда чип, разработанный как для LPDDR2, так и для других DDR-режимов, используется в режиме LPDDR2. Для этих контактов сигнал отключения питания ввода/вывода (PDD (драйвера) или PDR (приемника)) складывается как логическое ИЛИ этого бита и соответствующего бита отключения питания в регистре ACIOCR.	0

Диапазон	Название	Описание	Исходное значение
[25]	NL2OE	Подключение выводов модулей, не относящихся к LPDDR2: когда установлен, подключает выходной драйвер на I/O для контактов модулей, не относящихся к LPDDR2 (ODT, RAS#, CAS#, WE# и BA). Это поле может применяться, когда чип, разработанный как для LPDDR2, так и для других DDR-режимов, используется в режиме LPDDR2. Для этих контактов сигнал подключения вывода I/O (Output Enable, OE) складывается как логическое И этого бита и соответствующего бита подключения вывода в регистрах ACIOCR или DSGCR.	1
[26]	TPDPD	Отключение питания драйвера SDRAM TPD (только для LPDDR): когда установлен, отключает питание выходного драйвера на I/O для контакта SDRAM TPD. Следует отметить, что отключение питания приемника на I/O для контакта SDRAM TPD управляется битом регистра ACIOCR[ACPDR].	0
[27]	TPDOE	Подключение вывода SDRAM TPD (только для LPDDR): когда установлен, подключает выходной драйвер на I/O для контакта SDRAM TPD.	1
[28]	CKOE	Подключение вывода SDRAM CK: когда установлен, подключает выходной драйвер на I/O для контактов SDRAM CK/CK#.	1
[29]	ODTOE	Подключение вывода SDRAM ODT: когда установлен, подключает выходной драйвер на I/O для контактов SDRAM ODT.	1
[30]	RSTOE	Подключение вывода сброса SDRAM: когда установлен, подключает выходной драйвер на I/O для контакта SDRAM RST#.	1
[31]	CKEOE	Подключение вывода SDRAM CKE: когда установлен, подключает выходной драйвер на I/O для контактов SDRAM CKE.	1

15.5.4.13 Регистр конфигурации DRAM (DCR)

Этот регистр используется для конфигурирования системы DRAM.

Поля регистра DCR описаны в Таблица 15.16.

Таблица 15.16. Регистр конфигурации DRAM

Диапазон	Название	Описание	Исходное значение
[2:0]	DDRMD	Режим DDR: режим DDR в SDRAM. Валидные значения: 000 = LPDDR (Mobile DDR); 001 = DDR; 010 = DDR2; 011 = DDR3; 100 = LPDDR2 (Mobile DDR2); 101 - 111 = резерв.	011

Диапазон	Название	Описание	Исходное значение
[3]	DDR8BN K	8-банковая DDR: если установлен, указывает, что в используемой SDRAM 8 банков регистров. $tRPA = tRP + 1$ и $tFAW$ применяются для 8-банковых DRAMs, остальные $tRPA=tRP$, а $tFAW$ не применяются. Следует отметить, что установка "1" для DRAMs, которые имеют менее 8 банков, все равно позволит корректную работу, но для описываемых выше параметров интервалы между командами DRAM будут менее узкими.	1
[6:4]	PDQ	Основной DQ (только для DDR3): определяет тот контакт DQ в байте, который предназначен как основной контакт для чтений многоцелевого регистра (MPR). Валидные значения: от 0 до 7 для битов от DQ[0] до DQ[7], соответственно.	000
[7]	MPRDQ	Многоцелевой регистр MPR DQ (только для DDR3): задает значение, которое посылается к неосновным контактам DQ во время чтения MPR. Валидные значения: 0 = основной DQ выгружает данные с MPR (0-1-0-1); неосновные DQ выводят "0"; 1 = основной DQ и неосновные DQ выгружают одни и те же данные с MPR (0-1-0-1).	0
[9:8]	DDRTYP E	Тип DDR: указывает тип DDR для определенного режима LPDDR. Валидные значения для LPDDR2: 00 = LPDDR2-S4; 01 = LPDDR2-S2; 10 = резерв; 11 = резерв.	00
[26:10]	Резерв	Возвращает 0 при чтении.	-
[27]	NOSRA	Запрет на одновременное обращение рангов: если установлен, указывает, что одновременное обращение разных рангов к одному и тому же тактовому сигналу запрещено. Это означает, что множественные сигналы выбора чипа не должны быть активированы одновременно. Это может требоваться в некоторых DIMM системах.	0
[28]	DDR2T	Задержки DDR 2T: если установлен, указывает, что задержки 2T должны применяться к сгенерированным в PUB транзакциям SDRAM.	0
[29]	UDIMM	Зеркальное копирование адресов небуферизованной памяти DIMM: если установлен, указывает, что на втором ранге небуферизованной памяти DIMM (ранге, связанном с CS#1) применяется зеркальное копирование адресов. В этом случае, PUB повторно шифрует банк и адрес, когда посылает команды регистра режима второму рангу. Это применяется только к внутренним транзакциям SDRAM в PUB. Для транзакций, сгенерированных контроллером, необходимы свои собственные модификации при работе с небуферизованной памятью DIMM. Если отражение адресов подключено, бит DCR[NOSRA] также должен быть установлен.	0
[30]	RDIMM	Буферизованная память DIMM: если установлен, указывает, что используется буферизованная память DIMM. В этом случае, PUB увеличивает задержки SDRAM на чтение и запись (WL/RL) на 1. Это применяется только к сгенерированным в PUB транзакциям SDRAM. В транзакциях, сгенерированных контроллером, следует производить свои модификации длительностей чтения/записи WL/RL перед использованием буферизованной памяти DIMM.	0
[31]	TPD	Тестовое отключение питания (только для LPDDR): если установлен, помещает DRAM в режим глубокого сна.	0

15.5.4.14 Регистр параметров задержек DRAM 0 (DTPR0)

Различные задержки для SDRAM сделаны программируемыми для обеспечения совместимости с разными скоростными уровнями или с комплектующими от разных производителей. В таблице описаны параметры задержек, которые могут быть запрограммированы через регистры параметров задержек SDRAM. Эти параметры задержек заключены в настройках тактовых циклов и рассчитываются как соответствующие параметры, указанные в справочнике SDRAM, деленные на длину одного тактового цикла.

Нецелые величины должны быть округлены вверх до следующего целого числа. Все исходные значения, указанные в таблице, представлены в десятичном формате и предназначены для 400МГц 1Гб x 16 DDR2-800E SDRAM. За более подробным описанием параметров задержек следует обращаться к справочнику по SDRAM.

Поля регистра DTPR0 описаны в Таблица 15.17.

Таблица 15.17. Регистр параметров задержек DRAM 0

Диапазон	Название	Описание	Исходное значение
[1:0]	t _{MRD}	Длительность цикла режима загрузки: минимальное время, которое должно пройти между командой загрузки регистра и любой другой командой. Для DDR3 это минимальное время между двумя соседними командами загрузки регистра. Валидные значения для DDR2 - от 2 до 3. Для DDR3, значение для t _{MRD} = 4 плюс величина, запрограммированная в эти биты, например, величина t _{MRD} для DDR3 варьируется от 4 до 7.	2
[4:2]	t _{RTP}	Длительность задержки между внутренним чтением и командой предзаряда. Валидные значения: от 2 до 6. Следует отметить, что даже хотя RTP не применяется к приборам JEDEC DDR, этот параметр все же обязан быть выставлен на минимальное значение 2 для DDR, потому что контроллер всегда пользуется уравнением DDR2: $AL + BL/2 + \max(RTP, 2) - 2$, для вычисления задержки между чтением и предзарядом (для JEDEC она равна BL/2).	3
[7:5]	t _{WTR}	Длительность задержки между внутренней записью и командой предзаряда. Валидные значения: от 1 до 6.	3
[11:8]	t _{RP}	Период команды предзаряда: минимальное время между отправкой команды предзаряда и отправкой любой другой команды. Следует отметить, что контроллер автоматически вычисляет t _{RPА} для 8-банковых приборов DDR2 путём прибавления 1 к t _{RP} . Валидные значения: от 2 до 11.	6
[15:12]	t _{RCД}	Задержка активации на чтение или запись. Минимальное время с момента отправки команды активации до момента, когда чтение или запись могут быть произведены в активированной строке. Валидные значения: от 2 до 11.	6
[20:16]	t _{RAS}	Задержка активации на регенерацию. Валидные значения: от 2 до 31.	18
[24:21]	t _{RRD}	Задержка активации на команду активации (для разных банков). Валидные значения: от 1 до 8.	4

Диапазон	Название	Описание	Исходное значение
[30:25]	t_{RC}	Задержка активации на команду активации (для одного банка). Валидные значения: от 2 до 42.	24
[31]	t_{CCD}	Задержка чтения для команды чтения и задержка записи для команды записи. Валидные значения: 0 = BL/2 для DDR2 и 4 для DDR3; 1 = BL/2 + 1 для DDR2 и 5 для DDR3.	0

15.5.4.15 Регистр параметров задержек DRAM 1 (DTPR1)

Поля регистра DTPR1 описаны в Таблица 15.18.

Таблица 15.18. Регистр параметров задержек DRAM 1

Диапазон	Название	Описание	Исходное значение
[1:0]	t_{AOND}/t_{AOFD}	Задержки включения/отключения ODT (только для DDR2). Задержки измеряются в тактовых циклах. Валидные значения: 00 = 2/2,5; 01 = 3/3,5; 10 = 4/4,5; 11 = 5/5,5. Большая часть приборов DDR2 используют фиксированное значение 2/2,5. Для нестандартных SDRAMs, пользователь обязан самостоятельно добиться того, чтобы операционное время ожидания записи было всегда большим или равным задержке выключения ODT.. Например, DDR2 SDRAM с временем ожидания CAS, установленным как 3, и добавочной задержкой CAS, установленной как 0, имеет время ожидания записи, равное 2. Тогда может быть использовано значение 2/2,5, но не 3/3,5 или выше.	00
[2]	t_{RTW}	Задержка между командами чтения и записи. Валидные значения: 0 = стандартная задержка переключения шины; 1 = стандартная задержка переключения шины + один тактовый цикл. Этот параметр позволяет пользователю увеличивать задержку между отправкой команд на запись в SDRAM, когда им предшествуют команды на чтение. Это дает возможность увеличить рамки переключения шины для высокочастотных систем.	0
[8:3]	t_{FAW}	Период активации 4 банков. В заданный временной интервал t_{FAW} команд активации может быть отправлено не более, чем на 4 банка. Применимо только к 8-банковым приборам. Валидные значения: от 2 до 31.	18
[10:9]	t_{MOD}	Задержка обновления режима загрузки (только для DDR3). Минимальное время между командой загрузки регистра и командой, не относящейся к загрузке регистра. Валидные значения: 00 = 12; 01 = 13; 10 = 14; 11 = 15.	00

Диапазон	Название	Описание	Исходное значение
[11]	t_{RTODT}	Задержка между чтением и подключением ODT (только для DDR3). Указывает, может ли внутренняя терминация ODT быть подключена сразу после окончания чтения или необходимо прибавить задержку длиной в один тактовый цикл. Валидные значения: 0 = ODT может быть подключена сразу после окончания чтения; 1 = ODT не может быть подключена до тех пор, пока после момента окончания чтения не пройдет один тактовый цикл. Если в t_{RTODT} установлена "1", тогда время ожидания между чтением и записью (read-to-write latency) тоже увеличивается на 1, если подключена ODT.	0
[15:12]	Резерв	Возвращает 0 при чтении.	-
[23:16]	t_{RFC}	Время между регенерациями: указывает в тактовых циклах минимальное время между двумя командами регенерации или между командой регенерации и какой-либо операцией. Вычисляется как минимальный интервал регенерации из справочника, $t_{RFC(min)}$, деленный на длину одного тактового цикла. По умолчанию, число тактовых циклов задается для наибольшей поддерживаемой величины JEDEC $t_{RFC(min)}$.	131
[26:24]	$t_{DQSKmin}$	Время доступа к выводу DQS от CK/CK# (только для LPDDR2). Эта величина используется для вычисления времени ожидания чтения. Валидные значения от 0 до 7. Это значение вычисляется как соответствующий параметр из справочника SDRAM, деленный на время одного тактового цикла без округления вверх. Нецелый остаток автоматически корректируется за счет тестирования данных в четвертях тактовых циклов. Если тестирование данных не проводится, нецелый остаток должен быть сконвертирован в единицы четверти тактового цикла и регистры стробирования (DXnDQSTR) следует настроить соответствующим образом.	1
[29:27]	$t_{DQSKmax}$	Максимальное время доступа к выводу DQS от CK/CK# (только для LPDDR2). Эта величина используется для обеспечения интервала между командами чтения и записи. Валидные значения: от 1 до 7.	1
[31:30]	Резерв	Возвращает 0 при чтении.	-

15.5.4.16 Регистр параметров задержек DRAM 2 (DTPR2)

Поля регистра DTPR2 описаны в Таблица 15.19.

Таблица 15.19. Регистр параметров задержек DRAM 2

Диапазон	Название	Описание	Исходное значение
[9:0]	t_{XS}	Задержка команды выхода из саморегенерации. Минимальное время между командой выхода из саморегенерации и любой другой командой. Этот параметр должен быть приведен к максимальному среди различных параметров минимального времени задержки выхода из саморегенерации, описанных в справочнике SDRAM. Например, $\max(t_{XS}, t_{XSDLL})$ для DDR2 и $\max(t_{XS}, t_{XSDLL})$ для DDR3. Валидные значения: от 2 до 1023.	200

Диапазон	Название	Описание	Исходное значение
[14:10]	t_{XP}	Задержка команды выхода из режима низкого питания (power down exit delay). Минимальное время между командой выхода из режима низкого питания и любой другой командой. Этот параметр должен быть приведен к максимальному среди различных параметров минимума задержки выхода из режима низкого питания, описанных в справочнике SDRAM. Например, $\max(t_{XP}, t_{XARD}, t_{XARDS})$ для DDR2 и $\max(t_{XP}, t_{XPDLL})$ для DDR3. Валидные значения: от 2 до 31.	8
[18:15]	t_{CKE}	Минимальная ширина пульсации СКЕ. Также определяет минимальное время, в течение которого SDRAM должна пребывать в режиме низкого питания или авторегенерации. Для DDR3 этот параметр должен иметь величину, равную t_{CKESR} , которая обычно больше, чем t_{CKE} . Валидные значения: от 2 до 15.	3
[28:19]	t_{DLLK}	Время замыкания DLL. Валидные значения: от 2 до 1023.	512
[31:29]	Резерв	Возвращает 0 при чтении.	-

15.5.4.17 Регистр режима 0 DDR3 (MR0) (MR0)

Параметры SDRAM, контролируемые регистром режима 0 (MR0) включают, среди прочего, длину пакета, тип пакета, время ожидания CAS, режим работы (нормальный или тестовый), сброс DLL, режимы восстановления записи и выключения. Регистр режима PUBL 0 (MR0) разделяется на регистр режима DDR3 (MR0), регистр режима DDR2 (MR), регистр режима DDR (MR) и регистр режима LPDDR (MR).

Поля регистра MR0 описаны в Таблица 15.20.

Таблица 15.20. Регистр режима 0 DDR3 (MR0)

Диапазон	Название	Описание	Исходное значение
[1:0]	BL	Длина пакета: определяет максимальное число позиций столбцов, доступ к которым возможен в рамках одной операции чтения/записи. Валидные значения для DDR3: 00 = 8 (фиксировано); 01 = 4 или 8 (определяется в процессе); 10 = 4 (фиксировано); 11 = зарезервировано.	10
[2]	CL	Время ожидания CAS: задержка в тактах между моментом, когда SDRAM регистрирует команду чтения и моментом, когда данные становятся доступны. Валидные значения: 0010 = 5; 0100 = 6; 0110 = 7; 1000 = 8; 1010 = 9; 1100 = 10; 1110 = 11. Все остальные значения зарезервированы и не должны использоваться.	0
[3]	BT	Тип пакета: указывает тип пакета - последовательный (0) или с чередованием (1).	1010
[6:4]	CL	Биты поля CL (время ожидания CAS).	0

Диапазон	Название	Описание	Исходное значение
[7]	TM	Режим работы: выбирает либо нормальный режим работы (0), либо тестовый (1). Тестовый режим зарезервирован для изготовителя и не должен использоваться.	0
[8]	DR	Сброс DLL: запись "1" в этот бит запускает сброс SDRAM DLL. Этот бит обнуляется сам, то есть, он возвращается к значению "0" после запуска сброса DLL.	0
[11:9]	WR	Восстановление записи: время восстановления записи в тактовых циклах. Эта величина вычисляется как время восстановления записи из справочника t_{WR} (нс), деленное на длину тактового цикла из справочника t_{CK} (нс) и округленное вверх до целого. Валидные значения: 001 = 5; 010 = 6; 011 = 7; 100 = 8; 101 = 10; 110 = 12. Все остальные значения зарезервированы и не должны использоваться. Замечание: t_{WR} (нс) - это время от первого положительного края тактового сигнала SDRAM после последней пары входных данных команды записи, до момента, когда возможна отправка команды предзаряда этого же банка.	0
[12]	PD	Переключатель режима низкого питания: управляет временем выхода из режимов низкого питания. Подробнее режимы сна описаны в справочнике SDRAM. Валидные значения: 0 = медленный выход (DLL отключен); 1 = быстрый выход (DLL включен).	0
[15:13]	RSVD	Резерв. Это зарезервированные биты JEDEC, и JEDEC рекомендует выставлять их на 0.	-
[31:16]	Резерв	Возвращает 0 при чтении.	-

15.5.4.18 Регистр режима DDR2 (MR) (MR0)

Поля регистра MR0 описаны в Таблица 15.21.

Таблица 15.21. Регистр режима DDR2 (MR)

Диапазон	Название	Описание	Исходное значение
[2:0]	BL	Длина пакета: определяет максимальное число позиций столбцов, доступ к которым возможен в рамках одной операции чтения/записи. Валидные значения: 010 = 4; 011 = 8. Все остальные значения зарезервированы и не должны использоваться.	010
[3]	BT	Тип пакета: указывает тип пакета - последовательный (0) или с чередованием (1).	0

Диапазон	Название	Описание	Исходное значение
[6:4]	CL	<p>Время ожидания CAS: задержка в тактах между моментом, когда SDRAM регистрирует команду чтения и моментом, когда выходные данные становятся доступны. Валидные значения:</p> <p>010 = 2; 011 = 3; 100 = 4; 101 = 5; 110 = 6.</p> <p>Все остальные значения зарезервированы и не должны использоваться.</p>	101
[7]	TM	<p>Режим работы: выбирает либо нормальный режим работы (0), либо тестовый (1). Тестовый режим зарезервирован для изготовителя и не должен использоваться.</p>	0
[8]	DR	<p>Сброс DLL: запись "1" в этот бит запускает сброс SDRAM DLL. Этот бит обнуляется сам, то есть, он возвращается к значению "0" после запуска сброса DLL.</p>	0
[11:9]	WR	<p>Восстановление записи: это время восстановления записи в тактовых циклах. Эта величина вычисляется как время восстановления записи из справочника t_{WR} (нс), деленное на длину тактового цикла из справочника t_{CK} (нс) и округленное вверх до целого.</p> <p>Валидные значения:</p> <p>001 = 2; 010 = 3; 011 = 4; 100 = 5; 101 = 6.</p> <p>Все остальные значения зарезервированы и не должны использоваться.</p> <p>Замечание: t_{WR} (нс) - это время от первого положительного края тактового сигнала SDRAM после последней пары входных данных команды записи, до момента, когда возможна отправка команды предзаряда этого же банка.</p>	101
[12]	PD	<p>Переключатель режима низкого питания: управляет временем выхода из режимов низкого питания. Подробнее режимы сна описаны в справочнике SDRAM. Валидные значения:</p> <p>0 = быстрый выход; 1 = медленный выход.</p>	0
[15:13]	RSVD	<p>Резерв. Это зарезервированные биты JEDEC, и JEDEC рекомендует выставлять их на 0.</p>	000
[31:16]	Резерв	<p>Возвращает 0 при чтении.</p>	-

15.5.4.19 Регистр режима DDR (MR) (MR0)

Поля регистра MR0 описаны в Таблица 15.22.

Таблица 15.22. Регистр режима DDR (MR)

Диапазон	Название	Описание	Исходное значение
[2:0]	BL	Длина пакета: определяет максимальное число позиций столбцов, доступ к которым возможен в рамках одной операции чтения/записи. Валидные значения: 001 = 2; 010 = 4; 011 = 8. Все остальные значения зарезервированы и не должны использоваться.	010
[3]	BT	Тип пакета: указывает тип пакета - последовательный (0) или с чередованием (1).	0
[6:4]	CL	Время ожидания CAS: задержка в тактах между моментом, когда SDRAM регистрирует команду чтения и моментом, когда выходные данные становятся доступны. Валидные значения: 010 = 2; 011 = 3; 101 = 1,5 (не поддерживается PHY); 110 = 2,5 (не поддерживается PHY). Все остальные значения зарезервированы и не должны использоваться.	101
[7]	TM	Режим работы: выбирает либо нормальный режим работы (0), либо тестовый (1). Тестовый режим зарезервирован для изготовителя и не должен использоваться.	0
[8]	DR	Сброс DLL: запись "1" в этот бит запускает сброс SDRAM DLL. Этот бит обнуляется сам, то есть, он возвращается к значению "0" после запуска сброса DLL.	0
[11:9]	RSVD	Резерв. Это зарезервированные биты JEDEC, и JEDEC рекомендует выставлять их на 0.	101
[15:12]	RSVD	Резерв. Это зарезервированные биты JEDEC, и JEDEC рекомендует выставлять их на 0.	000
[31:16]	Резерв	Возвращает 0 при чтении	-

15.5.4.20 Регистр режима LPDDR (MR) (MR0)

Поля регистра MR0 описаны в Таблица 15.23.

Таблица 15.23. Регистр режима LPDDR (MR)

Диапазон	Название	Описание	Исходное значение
[2:0]	BL	Длина пакета: определяет максимальное число позиций столбцов, доступ к которым возможен в рамках одной операции чтения/записи. Валидные значения: 001 = 2; 010 = 4; 011 = 8; 100 = 16. Все остальные значения зарезервированы и не должны использоваться.	010

Диапазон	Название	Описание	Исходное значение
[3]	BT	Тип пакета: указывает тип пакета - последовательный (0) или с чередованием (1).	0
[6:4]	CL	Время ожидания CAS: задержка в тактах между моментом, когда SDRAM регистрирует команду чтения и моментом, когда выходные данные становятся доступны. Валидные значения: 010 = 2; 011 = 3; 100 = 4. Все остальные значения зарезервированы и не должны использоваться.	101
[7]	TM	Режим работы: выбирает либо нормальный режим работы (0), либо тестовый (1). Тестовый режим зарезервирован для изготовителя и не должен использоваться.	0
[11:8]	RSVD	Резерв. Это зарезервированные биты JEDEC, и JEDEC рекомендует выставлять их на 0.	1010
[15:12]	RSVD	Резерв. Это зарезервированные биты JEDEC, и JEDEC рекомендует выставлять их на 0.	000
[31:16]	Резерв	Возвращает 0 при чтении.	-

15.5.4.21 Регистр режима 1 DDR3 (MR1) (MR1)

Параметры SDRAM, контролируемые регистром режима 1 (MR1) включают, среди прочего, подключение/отключение контуров DLL, нагрузочную способность, резисторы для встроенной терминации (ODT), добавочную задержку CAS, внешнюю калибровку импеданса выходного сигнала (OCD), подключение/отключение сигналов DQS_b и RDQS/RDQS_b, и подключение вывода. Регистр режима PUBL 1 (MR1) разделяется на регистр режима 1 DDR3 (MR1), регистр расширенного режима DDR2 (EMR), регистр расширенного режима DDR (EMR) и регистр режима 1 LPDDR (MR1).

Поля регистра MR1 описаны в Таблица 15.24.

Таблица 15.24. Регистр режима 1 DDR3 (MR1)

Диапазон	Название	Описание	Исходное значение
[0]	DE	Отключение/подключение DLL: подключает (0) или отключает (1) DLL. Для нормальной работы DLL должен быть подключен.	0
[1]	DIC	Управление импедансом выходного сигнала: управляет нагрузочной способностью выходного сигнала. Валидные значения: 00 = RZQ/6; 01 = RZQ/7; 10 = резерв; 11 = резерв.	0

Диапазон	Название	Описание	Исходное значение
[2]	RTT	Внутренняя терминация: выбор эффективного сопротивления для внутренней терминации SDRAM. Валидные значения: 000 = ODT (внутренняя терминация отключена); 001 = RZQ/4; 010 = RZQ/2; 011 = RZQ/6; 100 = RZQ/12; 101 = RZQ/8. Все остальные значения зарезервированы и не должны использоваться.	000
[4:3]	AL	Отложенная добавочная задержка CAS (posted CAS additive latency): устанавливает добавочную задержку, которая позволяет отправлять команды чтения и записи в SDRAM раньше обычного. Подробнее см. справочник SDRAM. Валидные значения: 00 = 0 (AL disabled); 01 = CL - 1; 10 = CL - 2; 11 = резерв.	00
[5]	DIC	Поле бита DIC.	0
[6]	RTT	Поле бита RTT.	000
[7]	LEVEL	Подключение регулировки уровней записи (write leveling): когда установлен, подключает регулировку уровней записи.	0
[8]	RSVD	Резерв. Это зарезервированные биты JEDEC, и JEDEC рекомендует выставлять их на 0.	0
[9]	RTT	Поле бита RTT.	000
[10]	RSVD	Резерв. Это зарезервированные биты JEDEC, и JEDEC рекомендует выставлять их на 0.	0
[11]	TDQS	Терминация для строка данных: когда подключен (1) бит TDQS обеспечивает добавочные выводы сопротивлений терминации, которые могут быть полезны в некоторых конфигурациях системы. Подробнее см. справочник SDRAM.	0
[12]	QOFF	Подключение/отключение вывода: когда установлен «0», все выводы функционируют нормально, когда «1» - все выводы SDRAM отключаются, что убирает выходной буферный ток. Эта функция должна применяться для характеристики IDD тока считывания, и не должна быть использована в режиме нормальной работы.	0
[15:13]	RSVD	Резерв. Это зарезервированные биты JEDEC, и JEDEC рекомендует выставлять их на 0.	000
[31:16]	Резерв	Возвращает 0 при чтении.	-

15.5.4.22 Регистр расширенного режима DDR2 (EMR) (MR1)

Поля регистра MR1 описаны в Таблица 15.25.

Таблица 15.25. Регистр расширенного режима DDR2 (EMR)

Диапазон	Название	Описание	Исходное значение
[0]	DE	Отключение/подключение DLL: подключает (0) или отключает (1) DLL. Для нормальной работы DLL должен быть подключен.	0

Диапазон	Название	Описание	Исходное значение
[1]	DIC	Внешнее управление импедансом выходного сигнала: управляет нагрузочной способностью выходного сигнала. Валидные значения: 0 = полная нагрузка; 1 = сниженная нагрузка.	0
[2]	RTT	Внутренняя терминация: выбор эффективного сопротивления для внутренней терминации SDRAM. Валидные значения: 00 = ODT (внутренняя терминация отключена); 01 = 75Ω; 10 = 150Ω; 11 = 50Ω (у некоторых производителей).	0
[5:3]	AL	Отложенная добавочная задержка CAS: устанавливает добавочную задержку, которая позволяет отправлять команды чтения и записи в SDRAM раньше обычного. Подробнее см. справочник SDRAM. Валидные значения: 000 = 0; 001 = 1; 010 = 2; 011 = 3; 100 = 4; 101 = 5. Все остальные значения зарезервированы и не должны использоваться. Максимальное допустимое значение AL - t_{RCD}^{-1} .	0
[6]	RTT	Бит поля RTT.	0
[9:7]	OCD	Внешняя калибровка импеданса (off-chip driver (OCD) impedance calibration): используется для калибровки и приведения подтягивающих вверх и вниз импедансов к номинальной величине 18 Ω. Подробнее см. в справочнике SDRAM. Валидные значения: 000 = выход из режима внешней калибровки OCD; 001 = подтягивание сигнала (1) вверх; 010 = подтягивание сигнала (0) вниз; 100 = вход калибровки OCD в режим подстройки; 111 = параметры калибровки OCD по умолчанию. Все остальные значения зарезервированы и не должны использоваться. Следует отметить, что OCD поддерживается не всеми производителями. Подробнее рекомендованные настройки OCD описаны в справочнике SDRAM.	000
[10]	DQS	Подключение/отключение DQS_b: при «0», DQS_b - дополняющий сигнал дифференциальной пары строки данных DQS/DQS_b. При «1», DQS применяется в режиме однонаправленности, а контакт DQS_b отключен. Этот бит применяется также для аналогичного подключения/отключения RDQS_b, если RDQS подключен. Контроллер не позволяет пользователю менять значение этого бита.	0
[11]	RDQS	Подключение/отключение RDQS: когда подключен («1»), RDQS по функциям и временным параметрам идентичен строку данных DQS в момент чтения, а в момент записи - игнорируется. При «0» SDRAM теряет возможность запуска RDQS. Контроллер не позволяет пользователю менять значение этого бита.	0

Диапазон	Название	Описание	Исходное значение
[12]	QOFF	Подключение/отключение вывода: когда установлен «0», все выходы функционируют нормально, когда «1» - все выходы SDRAM отключаются, что убирает выходной буферный ток. Эта функция должна применяться для характеристики IDD тока считывания, и не должна быть использована в режиме нормальной работы.	0
[15:13]	RSVD	Резерв. Это зарезервированные биты JEDEC, и JEDEC рекомендует выставлять их на 0.	000
[31:16]	Резерв	Возвращает 0 при чтении.	-

15.5.4.23 Регистр расширенного режима DDR (EMR) (MR1)

Поля регистра MR1 описаны в Таблица 15.26.

Таблица 15.26. Регистр расширенного режима DDR (EMR)

Диапазон	Название	Описание	Исходное значение
[0]	DE	Отключение/подключение DLL: подключает (0) или отключает (1) DLL. Для нормальной работы DLL должен быть подключен.	0
[1]	DS	Нагрузочная способность вывода: управляет нагрузочной способностью вывода. Валидные значения: 0 = нормальная; 1 = слабая.	0
[15:2]	RSVD	Резерв. Это зарезервированные биты JEDEC, и JEDEC рекомендует выставлять их на 0.	000
[31:16]	Резерв	Возвращает 0 при чтении.	-

15.5.4.24 Регистр режима 1 LPDDR2 (MR1) (MR1)

Поля регистра MR1 описаны в Таблица 15.27.

Таблица 15.27. Регистр режима 1 LPDDR2 (MR1)

Диапазон	Название	Описание	Исходное значение
[2:0]	BL	Длина пакета: определяет максимальное число адресов столбцов, доступ к которым возможен в рамках одной операции чтения/записи. Валидные значения: 010 = 4; 011 = 8; 100 = 16. Все остальные значения зарезервированы и не должны использоваться.	010
[3]	BT	Тип пакета: указывает тип пакета - последовательный (0) или с чередованием (1).	0
[4]	WC	Управление режимом свертки адресов (wrap control). Валидные значения: 0 (свертка есть) и 1 (свертки нет).	0

Диапазон	Название	Описание	Исходное значение
[7:5]	nWR	Восстановление записи. Валидные значения: 001 = 3; 010 = 4; 011 = 5; 100 = 6; 101 = 7; 110 = 8. Все остальные значения зарезервированы и не должны использоваться.	000
[31:8]	Резерв	Возвращает 0 при чтении.	-

15.5.4.25 Регистр режима 2 DDR3 (MR2/EMR2) (MR2)

Регистр режима 2 контролирует, среди прочего, функции регенерации SDRAM. Регистр режима PUBL 2 (MR2) разделяется на регистр режима 2 DDR3 (MR2), регистр расширенного режима 2 DDR2 (EMR), регистр режима 2 LPDDR2 (MR2) и регистр расширенного режима LPDDR (EMR).

Поля регистра MR2 описаны в Таблица 15.28.

Таблица 15.28. Регистр режима 2 DDR3 (MR2/EMR2)

Диапазон	Название	Описание	Исходное значение
[2:0]	PASR	Частичная саморегенерация массива. Указывает, что данные, расположенные в массиве дальше определенной позиции, будут потеряны, если запущен режим саморегенерации. Валидные значения для 4-х банков: 000 = полный массив; 001 = половина массива (BA[1:0] = 00 и 01); 010 = четверть массива (BA[1:0] = 00); 011 = не определено; 100 = 3/4 массива (BA[1:0] = 01, 10, и 11); 101 = половина массива (BA[1:0] = 10 и 11); 110 = четверть массива (BA[1:0] = 11); 111 = не определено; Валидные значения для 8-ми банков: 000 = полный массив; 001 = половина массива (BA[2:0] = 000, 001, 010 и 011); 010 = четверть массива (BA[2:0] = 000, 001); 011 = 1/8 массива (BA[2:0] = 000); 100 = 3/4 массива (BA[2:0] = 010, 011, 100, 101, 110 и 111); 101 = половина массива (BA[2:0] = 100, 101, 110 и 111); 110 = четверть массива (BA[2:0] = 110 и 111); 111 = 1/8 массива (BA[2:0] 111).	000

Диапазон	Название	Описание	Исходное значение
[5:3]	CWL	<p>Время ожидания записи CAS: задержка в тактовых циклах между моментом, когда команда записи регистрируется в SDRAM и моментом, когда данные на запись становятся доступны.</p> <p>Валидные значения: 000 = 5 ($t_{CK} = 2.5нс$); 001 = 6 ($2.5нс > t_{CK} = 1.875нс$); 010 = 7 ($1.875нс > t_{CK} = 1.5нс$); 011 = 8 ($1.5нс > t_{CK} = 1.25нс$).</p> <p>Все остальные значения зарезервированы и не должны использоваться.</p>	000
[6]	ASR	<p>Автоматическая саморегенерация: когда подключена («1»), SDRAM автоматически обеспечивает функции управления энергопотреблением при саморегенерации для всех поддерживаемых температурных значений.</p> <p>В противном случае необходимо запрограммировать бит SRT на отображение диапазона температур.</p>	0
[7]	SRT	<p>Диапазон температур при саморегенерации: указывает нормальный («0») или расширенный («1») температурный режим во время саморегенерации.</p>	0
[8]	RSVD	<p>Резерв. Это зарезервированные биты JEDEC, и JEDEC рекомендует выставлять их на 0.</p>	0
[10:9]	RTTWR	<p>Динамическая встроенная терминация (ODT): указывает эффективное сопротивление (RTT) для динамической встроенной терминации SDRAM. Валидные значения: 00 = динамическая терминация ODT отключена; 01 = RZQ/4; 10 = RZQ/2; 11 = резерв.</p>	00
[15:11]	RSVD	<p>Резерв. Это зарезервированные биты JEDEC, и JEDEC рекомендует выставлять их на 0.</p>	0x00
[31:16]	Резерв	<p>Возвращает 0 при чтении.</p>	-

15.5.4.26 Регистр расширенного режима 2 DDR2 (EMR2) (MR2)

Поля регистра MR2 описаны в Таблица 15.29.

Таблица 15.29. Регистр расширенного режима 2 DDR2 (EMR2)

Диапазон	Название	Описание	Исходное значение
[2:0]	PASR	<p>Частичная саморегенерация массива. Указывает, что данные, расположенные в массиве дальше определенной ячейки, будут потеряны, если запущен режим саморегенерации.</p> <p>Валидные значения для 4-х банков:</p> <p>000 = полный массив; 001 = половина массива (BA[1:0] = 00 и 01); 010 = четверть массива (BA[1:0] = 00); 011 = не определено; 100 = 3/4 массива (BA[1:0] = 01, 10, и 11); 101 = половина массива (BA[1:0] = 10 и 11); 110 = четверть массива (BA[1:0] = 11); 111 = не определено;</p> <p>Валидные значения для 8-ми банков:</p> <p>000 = полный массив; 001 = половина массива (BA[2:0] = 000, 001, 010 и 011); 010 = четверть массива (BA[2:0] = 000, 001); 011 = 1/8 массива (BA[2:0] = 000); 100 = 3/4 массива (BA[2:0] = 010, 011, 100, 101, 110 и 111); 101 = половина массива (BA[2:0] = 100, 101, 110 и 111); 110 = четверть массива (BA[2:0] = 110 и 111); 111 = 1/8 массива (BA[2:0] 111).</p>	000
[3]	DCC	Корректор цикла заполнения (duty cycle corrector): если установлен, запускает коррекцию цикла заполнения в SDRAM.	0
[6:4]	RSVD	Резерв. Это биты JEDEC, зарезервированные для DDR2, и JEDEC рекомендует выставлять их на 0.	000
[7]	SRF	Частота саморегенерации (self-refresh rate): если установлен, запускает высокотемпературную частоту саморегенерации.	0
[8]	RSVD	Резерв. Это зарезервированный бит JEDEC, и JEDEC рекомендует выставлять его на 0.	0
[10:9]	RSVD	Резерв. Это биты JEDEC, зарезервированные для DDR2, и JEDEC рекомендует выставлять их на 0.	00
[15:11]	RSVD	Резерв. Это зарезервированные биты JEDEC, и JEDEC рекомендует выставлять их на 0.	0x00
[31:16]	Резерв	Возвращает 0 при чтении.	-

15.5.4.27 Регистр режима 2 LPDDR2 (MR2) (MR2)

Поля регистра MR2 описаны в Таблица 15.30.

Таблица 15.30. Регистр режима 2 LPDDR2 (MR2)

Диапазон	Название	Описание	Исходное значение
[3:0]	RL/WL	Время ожидания чтения и записи. Валидные значения: 0001 = RL = 3 / WL = 1; 0010 = RL = 4 / WL = 2; 0011 = RL = 5 / WL = 2; 0100 = RL = 6 / WL = 3; 0101 = RL = 7 / WL = 4; 0110 = RL = 8 / WL = 4. Все остальные значения зарезервированы и не должны использоваться.	0000
[7:4]	RSVD	Резерв. Это зарезервированные биты JEDEC, и JEDEC рекомендует выставлять их на 0.	0000
[31:8]	Резерв	Возвращает 0 при чтении.	-

15.5.4.28 Регистр расширенного режима LPDDR (EMR) (MR2)

Поля регистра MR2 описаны в Таблица 15.31.

Таблица 15.31. Регистр расширенного режима LPDDR (EMR)

Диапазон	Название	Описание	Исходное значение
[2:0]	PASR	Частичная саморегенерация массива. Указывает, что данные, расположенные в массиве дальше определенной ячейки, будут потеряны, если запущен режим саморегенерации. Валидные значения для 4-х банков: 000 = все банки; 001 = половина массива (BA[1] = 0); 010 = четверть массива (BA[1] = BA[0] = 0); 011 = резерв; 100 = резерв; 101 = 1/8 массива (BA[1] = BA[0] = ячейка старшего бита в строке (Row Addr MSB)= 0); 110 = 1/16 массива (BA[1] = BA[0] = вторая ячейка старшего бита в строке (Row Addr MSB 2)= 0); 111 = резерв.	000
[4:3]	TCSR	Температурно скомпенсированная саморегенерация: используется для установки периодов регенерации в зависимости от температуры. Валидные значения: 00 = 70°C; 01 = 45°C; 10 = 15°C; 11 = 85°C.	00

Диапазон	Название	Описание	Исходное значение
[7:5]	DS	Выходная нагрузочная способность (output drive strength): управляет выходной нагрузочной способностью. Валидные значения: 000 = полная нагрузка; 001 = половина нагрузки; 110 = четверть нагрузки; 111 = 1/8 нагрузки; 100 = 3/4 нагрузки. Все остальные значения зарезервированы и не должны использоваться.	000
[15:8]	RSVD	Резерв. Это зарезервированные биты JEDEC, и JEDEC рекомендует выставлять их на 0.	000
[31:16]	Резерв	Возвращает 0 при чтении.	-

15.5.4.29 Регистр режима 3 DDR3 (MR3) (MR3)

Регистр режима 3 контролирует, среди прочего, многоцелевой регистр. Регистр режима PUBL 3 (MR3) разделяется на регистр режима 3 DDR3 (MR3), регистр расширенного режима 3 DDR2 (EMR3) и регистр режима 3 LPDDR2 (MR3).

Поля регистра MR3 описаны в Таблица 15.32.

Таблица 15.32. Регистр режима 3 DDR3 (MR3)

Диапазон	Название	Описание	Исходное значение
[1:0]	MPRLOC	Позиция многоцелевого регистра: выбирает адрес размещения данных многоцелевого регистра. Валидные значения: 00 = заданный по умолчанию набор для калибровки системы. Все остальные значения зарезервированы и не должны использоваться.	00
[2]	MPR	Подключение многоцелевого регистра: если установлен, указывает, что считанные данные должны приходиться с многоцелевого регистра. В противном случае данные приходят из массива DRAM.	0
[15:3]	RSVD	Резерв. Это зарезервированные биты JEDEC, и JEDEC рекомендует выставлять их на 0.	0x0000
[31:16]	Резерв	Возвращает 0 при чтении.	-

15.5.4.30 Регистр расширенного режима 3 DDR3 (EMR3) (MR3)

Поля регистра MR3 описаны в Таблица 15.33.

Таблица 15.33. Регистр расширенного режима 3 DDR3 (EMR3)

Диапазон	Название	Описание	Исходное значение
[15:0]	RSVD	Резерв. Это зарезервированные биты JEDEC, и JEDEC рекомендует выставлять их на 0.	0x0000
[31:16]	Резерв	Возвращает 0 при чтении.	-

15.5.4.31 Регистр режима 3 LPDDR2 (MR3) (MR3)

Поля регистра MR3 описаны в Таблица 15.34.

Таблица 15.34. Регистр режима 3 LPDDR2 (MR3)

Диапазон	Название	Описание	Исходное значение
[3:0]	DS	Нагрузочная способность. Валидные значения: 0000 = резерв; 0001 = 34.3-Ом типовая; 0010 = 40-Ом типовая; 0011 = 48-Ом типовая; 0100 = 60-Ом типовая; 0101 = резерв; 0110 = 80-Ом типовая; 0111 = 120-Ом типовая. Все остальные значения зарезервированы и не должны использоваться..	0000
[7:4]	RSVD	Резерв. Это зарезервированные биты JEDEC, и JEDEC рекомендует выставлять их на 0.	0000
[31:8]	Резерв	Возвращает 0 при чтении.	-

15.5.4.32 Регистр конфигурации ODT (ODTCR)

Этот регистр конфигурирует, как должно осуществляться управление внутренней терминацией ODT на разных рангах, при записи или чтении определенного ранга. Такое управление обеспечивает гибкость распределения терминации по всей SDRAM в зависимости от количества используемых рангов и заполненности слотов DIMM.

Например, предположим, что система имеет двухранговую конфигурацию и во время команды чтения пользователю понадобилось разрешить терминацию по всей той части SDRAM, которая не занята предоставлением считанных данных. В этом случае, пользователь мог бы записать "0010" в бит RDODT0, и "0001" в бит RDODT1.

Поля регистра ODTCR описаны в Таблица 15.35.

Таблица 15.35. Регистр конфигурации ODT

Диапазон	Название	Описание	Исходное значение
[3:0]	RDOdT0	Внутренняя терминация (ODT) при считывании. Поле 0. Определяет, должна ли терминация ODT быть включена («1») или отключена («0») на каждом из (от одного до четырех) рангов, когда команда чтения послана к рангу n. Поля RDOdT0, RDOdT1, RDOdT2, и RDOdT3 описывают настройки ODT, когда чтение производится с ранга 0, 1, 2 и 3, соответственно. Четыре бита каждого поля каждое представляют собой ранг, где младший бит - 0-й ранг, а старший бит - 3-й ранг. По умолчанию, внутренняя терминация во время чтения отключена. Замечание: биты RODT применимы только к DDR2. Поскольку PUBL в режиме DDR3 не поддерживает конфигурацию DIMM, сигнал ранга не устанавливается для неактивных рангов в многоранговой конфигурации.	0000
[7:4]	RDOdT1	Внутренняя терминация (ODT) при считывании. Поле 1.	0000
[11:8]	RDOdT2	Внутренняя терминация (ODT) при считывании. Поле 2.	0000
[15:12]	RDOdT3	Внутренняя терминация (ODT) при считывании. Поле 3.	0000
[19:16]	WROdT0	Внутренняя терминация (ODT) при записи. Поле 0. Определяет, должна ли терминация ODT быть включена («1») или отключена («0») на каждом из (от одного до четырех) рангов, когда команда записи послана к рангу n. Поля WROdT0, WROdT1, WROdT2, и WROdT3 описывают настройки ODT, когда запись производится с ранга 0, 1, 2 и 3, соответственно. Четыре бита каждого поля каждый представляют собой ранг, где младший бит - 0-й ранг, а старший бит - 3-й ранг. По умолчанию, внутренняя терминация во время записи включена только на том ранге, в который производится запись.	0001
[23:20]	WROdT1	Внутренняя терминация (ODT) при записи. Поле 1.	0010
[27:24]	WROdT2	Внутренняя терминация (ODT) при записи. Поле 2.	0100
[31:28]	WROdT3	Внутренняя терминация (ODT) при записи. Поле 3.	1000

15.5.4.33 Регистр адресов для тестирования данных (DTAR)

Этот регистр может задавать ячейки памяти, используемые для тестирования данных. Адрес ячеек для тестирования данных базируется на адресах декодированного банка/строки/столбца. Пользователь должен удостовериться, что адрес столбца начинается на передней границе 16-ти-тактной длины пакета

Поля регистра DTAR описаны в Таблица 15.36.

Таблица 15.36. Регистр адресов для тестирования данных

Диапазон	Название	Описание	Исходное значение
[11:0]	DTCOL	Адрес столбца для тестирования данных. Указывает адрес столбца в SDRAM, который следует использовать в процессе тестирования данных. Нижние четыре бита адреса столбца всегда должны иметь значения "0000".	0x000
[27:12]	DTROW	Адрес строки для тестирования данных. Указывает адрес строки в SDRAM, который следует использовать в процессе тестирования данных.	0x0000

Диапазон	Название	Описание	Исходное значение
[30:28]	DTBANK	Адрес банка для тестирования данных: указывает адрес банка, который следует использовать в процессе тестирования данных.	000
[31]	DTMPR	Тестирование данных с применением многоцелевого регистра (MPR) (только для DDR3): если установлен, указывает, что в тестировании данных должен применяться многоцелевой регистр (MPR). В противном случае тестирование данных производится путем записи в некоторые ячейки памяти в SDRAM, а затем считывания из них обратно.	0

15.5.4.34 Регистр данных для тестирования данных 0 (DTDR0)

Регистры DTDR0 и DTDR1 могут задавать 8 байтов для данных, которые будут использоваться в процессе тестирования данных. Тестирование данных проводится на полной длине пакета 8, то есть, возможен один запрос для длины пакета 8, два запроса для длины пакета 4 и четыре запроса для длины пакета 2. Данные, установленные в регистрах DTDR, используются как данные для каждого из 8-ми циклов данных. Данные для первых четырех тактовых циклов (с DTBYTE0 по DTBYTE3) получают из регистра DTDR0, а данные для последних четырех тактовых циклов (с DTBYTE4 по DTBYTE7) получают из регистра DTDR1.

Поля регистра DTDR0 описаны в Таблица 15.37.

Таблица 15.37. Регистр данных для тестирования данных 0

Диапазон	Название	Описание	Исходное значение
[7:0]	DTBYTE0	Данные для тестирования данных. Поле 0. Первые четыре байта данных, используемые в процессе тестирования данных. Один и тот же байт данных используется в пределах каждого байтового тракта (8 байт). Последовательность по умолчанию: "бегущая единица" с переключением данных в каждом такте.	0x11
[15:8]	DTBYTE1	Данные для тестирования данных. Поле 1.	0xEE
[23:16]	DTBYTE2	Данные для тестирования данных. Поле 2.	0x22
[31:24]	DTBYTE3	Данные для тестирования данных. Поле 3.	0xDD

15.5.4.35 Регистр данных для тестирования данных 1 (DTDR1)

Поля регистра DTDR1 описаны в Таблица 15.38.

Таблица 15.38. Регистр данных для тестирования данных 1

Диапазон	Название	Описание	Исходное значение
[7:0]	DTBYTE4	Данные для тестирования данных. Поле 0. Последние четыре байта данных, используемые в процессе тестирования данных. Один и тот же байт данных используется в пределах каждого байтового тракта (8 байт). Последовательность по умолчанию: "бегущая единица" с переключением данных в каждом такте.	0x44

Диапазон	Название	Описание	Исходное значение
[15:8]	DTBYTE5	Данные для тестирования данных. Поле 1.	0xBB
[23:16]	DTBYTE6	Данные для тестирования данных. Поле 2.	0x88
[31:24]	DTBYTE7	Данные для тестирования данных. Поле 3.	0x77

15.5.4.36 Регистр адресов DCU (DCUAR)

Регистр адресов модуля команд DRAM (DCU) указывает кэш DCU и адреса кэша, к которым следует обращаться, когда команда записи или чтения от последующей конфигурации запускается через регистр данных DCU (DCUDR).

Запись в DCUAR автоматически передает первое слово кэша в регистр данных DCU (DCUDR) и опционально инкрементирует адрес, если команда обращения к кэшу была командой чтения.

Поля регистра DCUAR описаны в Таблица 15.39.

Таблица 15.39. Регистр адресов DCU

Диапазон	Название	Описание	Исходное значение
[3:0]	CWADDR	Адрес кэш-слова: адрес слова в кэше, к которому необходимо обратиться.	0000
[7:4]	CSADDR	Адрес слайса кэша (cache slice address): адрес слайса (32-битной части слова) в кэше, к которой необходимо обратиться.	0000
[9:8]	CSEL	Выбор кэша: выбирает один из кэшей для обращения к нему. Валидные значения: 00 = кэш команд; 01 = кэш ожидаемых данных; 10 = кэш прочитанных данных; 11 = резерв.	00
[10]	INCA	Инкрементация адреса: если установлен, указывает, что адрес кэша, заданный в WADDR и SADDR должен автоматически увеличиваться на 1 после каждого доступа к кэшу. Инкрементация производится таким способом, чтобы доступ в первую очередь был произведен ко всем слайсам выбранного слова перед переходом к следующему слову.	0
[11]	ATYPE	Тип доступа. Задаёт тип доступа к адресу. Валидные значения: 0 = доступ на запись; 1 = доступ на чтение.	0
[31:12]	Резерв	Возвращает 0 при чтении.	-

15.5.4.37 Регистр данных DCU (DCUDR)

Регистр данных модуля кэша данных DCU используется для хранения данных, которые нужно записать в кэш или прочитать из кэша.

Поля регистра DCUDR описаны в Таблица 15.40.

Таблица 15.40. Регистр данных DCU

Диапазон	Название	Описание	Исходное значение
[31:0]	CDATA	Данные кэша: данные, которые необходимо записать в кэш или считать из кэша. Эти данные соответствуют слайсу кэш-слова, заданного регистром адресов DCU.	0x00000000

15.5.4.38 Регистр работы DCU (DCURR)

Регистр работы DCU используется для запуска команд от DRAM в командном кэше модуля команд DRAM.

Поля регистра DCURR описаны в Таблица 15.41.

Таблица 15.41. Регистр работы DCU

Диапазон	Название	Описание	Исходное значение
[3:0]	DINST	Команда DCU: указывает команду DCU, которую следует выполнить. Валидные значения: 0000 = NOP: пустая команда; 0001 = Run: запускает исполнение команд в кэше команд; 0010 = Stop: прекращает исполнение команд в кэше команд; 0011 = Stop Loop: прекращает исполнение бесконечного цикла в кэше команд; 0100 = Reset: сбрасывает все значения регистров рабочего времени DCU. 0101 – 1111 : резерв.	0000
[7:4]	SADDR	Ячейка старта: адрес слова кэша, с которого должно начинаться исполнение команды.	0000
[11:8]	EADDR	Ячейка конца: адрес слова кэша, на котором исполнение команды должно закончиться.	0000
[19:12]	NFAIL	Число отказов: определяет число отказов, после которого исполнение команд и захват данных на чтение должны прекратиться, если бит SONF этого регистра задан. Если бит SONF задан, исполнение команд и захват данных на чтение прекратятся после (NFAIL+1)-го отказа.	0x00
[20]	SONF	Прекратить на N-ом отказе: если установлен, указывает, что исполнение команд и захват данных на чтение должны прекратиться, когда накопится N отказов чтения данных. Число отказов задает поле NFAIL. В противном случае команды исполняются до конца программы или до остановки вручную командой STOP.	0
[21]	SCOF	Прекратить захват по заполнению: если установлен, указывает, что захват данных на чтение должен быть прекращен, когда кэш захвата заполнится.	0
[22]	RCEN	Подключение захвата на чтение: если установлен, указывает, что данные на чтение, возвращающиеся из SDRAM, должны быть захвачены в кэш данных на чтение.	0
[23]	XCEN	Подключение сравнения с ожидаемыми данными: если установлен, указывает, что данные на чтение, возвращающиеся из SDRAM, необходимо сравнивать с ожидаемыми данными.	0
[31:24]	Резерв	Возвращает 0 при чтении.	-

15.5.4.39 Регистр циклов DCU (DCULR)

Регистр циклов DCU используется для конфигурации циклов при исполнении команд из кэша команд.

Поля регистра DCULR описаны в Таблица 15.42.

Таблица 15.42. Регистр циклов DCU

Диапазон	Название	Описание	Исходное значение
[3:0]	LSADDR	Ячейка старта цикла: адрес слова кэша команд, с которого цикл должен начинаться.	0000
[7:4]	LEADDR	Ячейка конца цикла: адрес слова кэша команд, на котором цикл должен заканчиваться.	0000
[15:8]	LCNT	Счетчик циклов: указывает, сколько раз должен быть запущен цикл, если бит LINF не установлен.	0x00
[16]	LINF	Бесконечный цикл: если установлен, указывает, что цикл должен исполняться бесконечно, пока не будет прерван командой STOP. В противном случае цикл должен исполняться столько раз, сколько записано в поле LCNT.	0
[17]	IDA	Инкрементация адреса DRAM: если установлен, указывает, что адрес DRAM должен увеличиваться на единицу всякий раз, как внутри цикла исполняется команда чтения/записи DRAM.	0
[27:18]	Резерв	Возвращает 0 при чтении.	-
[31:28]	XLEADDR	Адрес верхней границы кэша ожидаемых данных цикла: адрес последнего ожидаемого слова в кэше (EDC - expected data cache), который содержит валидные ожидаемые данные. Ожидаемые для команды данные должны находиться в цикле по адресам от 0 до XLEADDR.	1111

15.5.4.40 Регистр общей конфигурации DCU (DCUGCR)

Регистр общей конфигурации DCU используется для определения прочих параметров конфигурации DCU, предшествующих запуску исполнения команд.

Поля регистра DCUGCR описаны в Таблица 15.43.

Таблица 15.43. Регистр общей конфигурации DCU

Диапазон	Название	Описание	Исходное значение
[15:0]	RCSW	Слово, с которого стартует захват данных на чтение: захват и сравнение данных на чтение должны производиться после N-ого слова. Например, установка 12 в это поле позволит пропустить первые 12 слов данных на чтение.	0x0000
[31:16]	Резерв	Возвращает 0 при чтении.	-

15.5.4.41 Регистр параметров задержек DCU (DCUTPR)

Регистр параметров задержек DCU используется для программирования общих параметров задержек для поля повтора кэша команд.

Поля регистра DCUTPR описаны в Таблица 15.44.

Таблица 15.44. Регистр параметров задержек DCU

Диапазон	Название	Описание	Исходное значение
[7:0]	t _{DCUT0}	Общий параметр задержки DCU 0.	0x00
[15:8]	t _{DCUT1}	Общий параметр задержки DCU 1.	0x00
[23:16]	t _{DCUT2}	Общий параметр задержки DCU 2.	0x00
[31:24]	t _{DCUT3}	Общий параметр задержки DCU 3.	0x00

15.5.4.42 Регистр статуса DCU 0 (DCUSR0)

Регистры статуса DCU используются для отчета о различных статусах DCU, включая число вернувшихся чтений и число неудавшихся чтений.

Поля регистра DCUSR0 описаны в Таблица 15.45.

Таблица 15.45. Регистр статуса DCU 0

Диапазон	Название	Описание	Исходное значение
[0]	RDONE	Конец исполнения: если установлен, указывает, что DCU окончил исполнение команд из кэша команд. Этот бит также устанавливается, чтобы указать, что команда STOP успешно исполнена и ее исполнение окончено.	0
[1]	CFAIL	Отказ считывания: если установлен, указывает, что по крайней мере одна попытка чтения слова провалилась.	0
[2]	CFULL	Заполнение кэша считывания: если установлен, указывает, что кэш считывания полон.	0
[31:3]	Резерв	Возвращает 0 при чтении.	-

15.5.4.43 Регистр статуса DCU 1 (DCUSR1)

Поля регистра DCUSR1 описаны в Таблица 15.46.

Таблица 15.46. Регистр статуса DCU 1

Диапазон	Название	Описание	Исходное значение
[15:0]	RDCNT	Счетчик чтений: число чтений слов, вернувшихся из SDRAM.	0x0000
[23:16]	FLCND	Счетчик отказов: число чтений, которые провалились.	0x00
[31:24]	LPCNT	Счетчик цикла: указывает порядковый номер цикла. Это нужно, если программа прекращает выполнение из-за отказов, чтобы узнать, сколько чтений было произведено перед первым отказом.	0x00

15.5.4.44 Регистр общих задач 0 (GPR0)

Регистры GPR0 и GPR1 - опциональные регистры, которые могут быть использованы для общих задач на уровне микросхемы. Эти регистры конфигурируются для включения в PUB через определение макроса DWC_DDR3PHY_GPR в Verilog. Значения по умолчанию (сброс) этих регистров тоже может быть сконфигурирован в момент компиляции через параметры pGPR0_DFLT и pGPR1_DFLT.

Поля регистра GPR0 описаны в Таблица 15.47.

Таблица 15.47. Регистр общих задач 0

Диапазон	Название	Описание	Исходное значение
[31:0]	GPR0	Регистр общих задач 0: биты регистра общих задач.	0x00000000

15.5.4.45 Регистр общих задач 1 (GPR1)

Поля регистра GPR1 описаны в Таблица 15.48.

Таблица 15.48. Регистр общих задач 1

Диапазон	Название	Описание	Исходное значение
[31:0]	GPR1	Регистр общих задач 0: биты регистра общих задач.	0x00000000

15.5.4.46 Регистр управления импедансом 0 (ZQnCR0)

Эти регистры используются для настройки и калибровки импеданса для обеспечения программируемой внутренней терминации с PVT-компенсацией (сокращенно от "процесс, вольтаж, температура" - гасятся их колебания) и выходного импеданса функциональных ячеек SSTL. Подробнее настройки импеданса описаны в справочнике PHY.

Поля регистра ZQnCR0 описаны в Таблица 15.49.

Таблица 15.49. Регистр управления импедансом 0

Диапазон	Название	Описание	Исходное значение
[27:0]	ZDATA	<p>Данные для перехвата импеданса: данные, напрямую используемые для управления импедансом.</p> <p>Биты поля ZDATA распределены для вводов/выводов D3F I/Os следующим образом: ZDATA[27:21] - выбор импеданса, подтягивающего внутреннюю терминацию вверх. ZDATA[20:14] - выбор импеданса, подтягивающего внутреннюю терминацию вниз. ZDATA[13:7] - выбор импеданса, подтягивающего вывод вверх. ZDATA[6:0] - выбор импеданса, подтягивающего вывод вниз.</p> <p>Биты поля ZDATA распределены для вводов/выводов D3A/B/R I/Os следующим образом: ZDATA[27:20] - зарезервирован и возвращает 0 при чтении. ZDATA[19:15] - выбор импеданса, подтягивающего внутреннюю терминацию вверх. ZDATA[14:10] - выбор импеданса, подтягивающего внутреннюю терминацию вниз. ZDATA[9:5] - выбор импеданса, подтягивающего вывод вверх. ZDATA[4:0] - выбор импеданса, подтягивающего вывод вниз.</p> <p>Замечание: значение по умолчанию для ZDATA для D3F I/Os равно 0x0001830.</p>	0x000014A
[28]	ZDEN	<p>Подключение перехвата импеданса: когда этот бит установлен, он позволяет пользователям напрямую управлять настройками импеданса через изменение данных, запрограммированных в поле ZQDATA. В противном случае, настройки ZQDATA генерируются автоматически встроенной логикой контроля импеданса.</p> <p>Замечание: если бит ZDEN установлен, то ZCAL должен быть обнулен.</p>	0
[29]	ZCALBYP	<p>Пропуск калибровки импеданса: если установлен, отключает калибровку импеданса в соответствующем блоке управления ZQ для случая, когда калибровка импеданса запускается глобально через бит ZCAL регистра PIR. Калибровка импеданса такого блока ZQ может быть запущена вручную через бит ZCAL.</p>	0
[30]	ZCAL	<p>Запуск калибровки импеданса: запись «1» в этот бит указывает, что калибровка импеданса будет проведена встроенной логикой управления импедансом. Бит запуска калибровки импеданса обнуляется сам и возвращается к значению «0» по завершении калибровки.</p> <p>Замечание: если бит ZDEN установлен, то бит ZCAL должен быть обнулен.</p>	0
[31]	ZQPD	<p>Отключение питания ZQ: если установлен, отключает питание ячейки PZQ. Неприменимо к D3A I/Os.</p>	0

15.5.4.47 Регистр управления импедансом 1 (ZQnCR1)

Поля регистра ZQnCR1 описаны в Таблица 15.50.

Таблица 15.50. Регистр управления импедансом 1

Диапазон	Название	Описание	Исходное значение
[7:0]	ZPROG	Коэффициент деления импеданса: задает коэффициент деления внешнего резистора, используемый для установки выходного импеданса и внутренней терминации. Биты распределены следующим образом: ZPROG[7:4] = задает коэффициент деления для внутренней терминации; ZPROG[3:0] = задает коэффициент деления для выходного импеданса.	0x7B
[31:8]	Резерв	Возвращает 0 при чтении.	-

15.5.4.48 Регистр статуса импеданса 0 (ZQnSR0)

Эти регистры хранят статусы настроек импеданса и калибровки для обеспечения программируемой и PVT-скомпенсированной внутренней терминации (ODT) и выходного импеданса функциональных ячеек SSTL (PVT - сокращенно от "процесс, вольтаж, температура" - гасятся их колебания).

Подробнее настройки импеданса описаны в справочнике по SSTL PHY.

Поля регистра ZQnSR0 описаны в Таблица 15.51.

Таблица 15.51. Регистр статуса импеданса 0

Диапазон	Название	Описание	Исходное значение
[27:0]	ZCTRL	<p>Переключатель импеданса: текущее значение переключателя импеданса.</p> <p>Биты поля ZCTRL для вводов/выводов D3F размечены следующим образом: ZCTRL[27:21] - выбор импеданса внутренней терминации, подтягивающего к питанию; ZCTRL[20:14] - выбор импеданса внутренней терминации, подтягивающего к земле; ZCTRL[13:7] - выбор выходного импеданса, подтягивающего к питанию; ZCTRL[6:0] - выбор выходного импеданса, подтягивающего к земле;</p> <p>Биты поля ZCTRL для вводов/выводов D3A/B/R размечены следующим образом: ZCTRL[27:20] - зарезервированы и возвращают 0 при чтении; ZCTRL[19:15] - выбор импеданса внутренней терминации, подтягивающего к питанию; ZCTRL[14:10] - выбор импеданса внутренней терминации, подтягивающего к земле; ZCTRL[9:5] - выбор выходного импеданса, подтягивающего к питанию; ZCTRL[4:0] - выбор выходного импеданса, подтягивающего к земле.</p> <p>Замечание: значение по умолчанию для ZCTRL для вводов/выводов D3F равно 0x0001830.</p>	0x000014A
[29:28]	Резерв	Возвращает 0 при чтении.	-
[30]	ZERR	Ошибка калибровки импеданса: если установлен, указывает, что в процессе калибровки импеданса произошла ошибка.	0
[31]	ZDONE	Завершение калибровки импеданса: указывает, что калибровка импеданса завершена.	0

15.5.4.49 Регистр статуса импеданса 1 (ZQnSR1)

Поля регистра ZQnSR1 описаны в Таблица 15.52.

Таблица 15.52. Регистр статуса импеданса 1

Диапазон	Название	Описание	Исходное значение
[1:0]	ZPD	<p>Статус калибровки выходного импеданса, подтягивающего к земле.</p> <p>Валидные значения: 00 = калибровка завершена без ошибок; 01 = ошибка переполнения; 10 = ошибка незаполнения; 11 = калибровка в процессе выполнения.</p>	00
[3:2]	ZPU	Статус калибровки выходного импеданса, подтягивающего к питанию. Валидные значения статуса аналогичны значениям для поля ZPD.	00
[5:4]	OPD	Статус калибровки резистора внутренней терминации (ODT), подтягивающего к земле. Валидные значения статуса аналогичны значениям для поля ZPD.	00

Диапазон	Название	Описание	Исходное значение
[7:6]	OPU	Статус калибровки резистора внутренней терминации (ODT), подтягивающего к питанию. Валидные значения статуса аналогичны значениям для поля ZPD.	00
[31:8]	Резерв	Возвращает 0 при чтении.	-

15.5.4.50 Регистр общей конфигурации DATX8 (DXnGCR)

Этот регистр используется для прочих конфигураций, специфичных для конкретной реализации макроса DATX8.

Для I/Os D3A, биты регистра IOM соединяются с контактами I/O IDDQ. Более того, поля регистров (PDD, PDR, PD), стандартно отвечающие за отключение питания систем ввода/вывода, никак не связаны с I/Os D3A.

Поля регистра DXnGCR описаны в Таблица 15.53.

Таблица 15.53. Регистр общей конфигурации DATX8

Диапазон	Название	Описание	Исходное значение
[0]	DXEN	Подключение байта данных: если установлен, подключает к выбранному байту данных используемые порты DATX8 и SSTL I/Os. Установка «0» в этот бит отключает выбранный байт, то есть, порты SSTL I/Os переходят в режим низкого питания, а контур DLL в DATX8 переходит в режим пропуска.	1
[1]	DQSODT	Встроенная терминация строба данных DQS: если установлен, подключает встроенную терминацию на портах ввода/вывода для контакта DQS/DQS# выбранного байта. Этот бит складывается в логическое ИЛИ с битом общей конфигурации внутренней терминации ODT DATX8, который описан в DXCCR.	0
[2]	DQODT	Встроенная терминация данных: если установлен, подключает встроенную терминацию на портах ввода/вывода для контактов DQ и DM байта. Этот бит складывается в логическое ИЛИ с битом общей конфигурации внутренней терминации ODT DATX8, который описан в DXCCR.	0
[3]	DXIOM	Режим портов ввода/вывода: устанавливает режим SSTL (когда имеет значение "0") или CMOS (когда имеет значение "1") для контактов DQ, DM, и DQS/DQS# байта. Этот бит складывается в логическое ИЛИ с битом конфигурации IOM DATX8, который описан в DXCCR.	0
[4]	DXPDD	Отключение питания драйвера данных: если установлен, отключает питание драйвера вывода для контактов DQ, DM, и DQS/DQS# байта. Этот бит складывается в логическое ИЛИ с битом общей конфигурации PDD, который описан в DXCCR.	0
[5]	DXPDR	Отключение питания приемника данных: если установлен, отключает питание приемника для контактов DQ, DM, и DQS/DQS# байта. Этот бит складывается в логическое ИЛИ с битом общей конфигурации PDR, который описан в DXCCR.	0

Диапазон	Название	Описание	Исходное значение
[6]	DQSRPD	Отключение питания DQSR: если установлен, отключает питание ячейки PDQSR. Этот бит складывается в логическое ИЛИ с битом общей конфигурации PDR, который описан в DXCCR.	0
[8:7]	DSEN	Подключение DQS на запись. Указывает состояние сигнала DQS на запись, идущего к SDRAM: подключен (переключается) или отключен (фиксированное значение), и его инверсию. DQS# всегда является инверсией DQS. Эти значения валидны только если включен вывод DQS/DQS#, в противном случае сигнал DQS/DQS# тристабилен. Валидные значения: 00 = DQS отключен (приведен к постоянному 0); 01 = DQS переключается с обычной полярностью (это должно быть значением по умолчанию); 10 = DQS переключается с инвертированной полярностью; 11 = DQS отключен (приведен к постоянной 1).	01
[9]	DQSRRT	Переключатель динамического RTT DQS: если установлен, указывает, что переключатель внутренней терминации ODT вводов/выводов DQS SSTL необходимо контролировать динамически: присваивать ему значение бита DQSODT во время чтений и отключать его (установкой в «0») во время любого другого цикла. Если этот бит не установлен, тогда значение внутренней терминации ODT вводов/выводов DQS SSTL должно всегда быть равным содержимому бита DQSODT. Поскольку по умолчанию динамическая терминация ODT включена, при работе в LPDDR/LPDDR2 этот бит должен быть обнулен, поскольку в LPDDR/LPDDR2 не требуется включение внутренней терминации ODT.	1
[10]	DQRTT	Переключатель динамического RTT DQ: если установлен, указывает, что переключатель внутренней терминации ODT вводов/выводов DQ/DM SSTL необходимо контролировать динамически: присваивать ему значение бита DQODT во время чтений и отключать его (установкой в «0») во время любого другого цикла. Если этот бит не установлен, тогда значение внутренней терминации ODT вводов/выводов DQ SSTL должно всегда быть равным содержимому бита DQODT. Поскольку по умолчанию динамическая терминация ODT включена, при работе в LPDDR/LPDDR2 этот бит должен быть обнулен, поскольку в LPDDR/LPDDR2 не требуется включение внутренней терминации ODT.	1
[12:11]	RTTON	Удержание вывода RTT: указывает число тактовых циклов (от 0 до 3) после окончания чтения данных, в течение которых переключатель внутренней терминации ODT должен удерживать значение бита DQSODT для сигнала DQS или бита DQODT для сигнала DQ/DM перед тем, как быть отключенным (установленным в «0») при использовании динамических настроек внутренней терминации ODT. Переключатель ODT должен быть отключен в пределах примерно RTTON тактовых циклов после окончания чтения.	01

Диапазон	Название	Описание	Исходное значение
[13]	RTTOAL	Добавочная задержка к RTT: указывает, в какой момент переключатель внутренней терминации вводов/выводов DQ/DQS SSTL принимает значение битов DQODT/DQSODT в течение цикла чтения. Валидные значения: 0 = переключатель внутренней терминации принимает значение DQODT/DQSODT в пределах примерно двух тактовых циклов перед началом чтения данных; 1 = переключатель внутренней терминации принимает значение DQODT/DQSODT в пределах примерно одного тактового цикла перед началом чтения данных.	0
[16:14]	R0RVSL	Задержка системы валидации данных ITMD ранга n, поле 0. Применяется для определения задержки запуска системы валидации данных относительно наилучшей позиции сигнала валидации ITMD, когда DXCCR.RVSEL обнулен. Запуск по умолчанию - 011 (то есть, найдено наилучшее расположение сигнала валидации данных). PUB задает поля RVSL во время автоматического тестирования целостности данных, но эти значения могут быть переписаны прямой записью в этот регистр. Все три бита этого регистра задают задержку каждого из четырех рангов (рангов может быть до четырех штук). Бит R0RVSL управляет задержкой ранга 0, R1RVSL управляет задержкой ранга 1, и так далее. Валидные значения: 000 = задержка системы валидации данных = наилучшее расположение - 3; 001 = задержка системы валидации данных = наилучшее расположение - 2; 010 = задержка системы валидации данных = наилучшее расположение - 1; 011 = задержка системы валидации данных = наилучшее расположение; 100 = задержка системы валидации данных = наилучшее расположение + 1; 101 = задержка системы валидации данных = наилучшее расположение + 2; 110 = задержка системы валидации данных = наилучшее расположение + 3; 111 = резерв.	100
[19:17]	R1RVSL	Задержка системы валидации данных ITMD ранга n, поле 1.	100
[22:20]	R2RVSL	Задержка системы валидации данных ITMD ранга n, поле 2.	100
[25:23]	R3RVSL	Задержка системы валидации данных ITMD ранга n, поле 3.	100
[31:26]	Резерв	Возвращает 0 при чтении.	-

15.5.4.51 Регистр общего статуса DATX8 0 (DXnGSR0)

Это регистры общего статуса для DATX8. В числе прочего, они отражают дрейф DQS и статус тестирования данных.

Поля регистра DXnGSR0 описаны в Таблица 15.54.

Таблица 15.54. Регистр общего статуса DATX8 0

Диапазон	Название	Описание	Исходное значение
[3:0]	DTDONE	Окончание тестирования данных: если установлен, указывает, что байт завершил тестирование данных. Бит [0] относится к рангу 0, бит [1] к рангу 1 и так далее.	0000
[7:4]	DTERR	Ошибка тестирования положения маски строба DQS: если установлен, указывает, что не удалось найти окно валидного положения маски строба DQS в процессе тестирования положения маски строба DQS байта. Бит [0] относится к рангу 0, бит [1] к рангу 1 и так далее.	0000
[11:8]	DTIERR	Ошибка прерывания тестирования положения маски строба DQS: если установлен, указывает, что в процессе тестирования положения маски строба DQS байта произошла ошибка прерывания, например, за проходом последовал отказ, за которым последовал следующий проход. Бит [0] относится к рангу 0, бит [1] к рангу 1 и так далее.	0000
[12]	Резерв	Возвращает 0 при чтении.	-
[24:13]	DTPASS	Счетчик успешных проходов тестирования положения маски строба DQS: число успешно прошедших конфигураций в процессе тестирования положения маски строба DQS. Биты [2:0] относятся к рангу 0, биты [5:3] к рангу 1 и так далее.	0x000
[31:25]	Резерв	Возвращает 0 при чтении.	-

15.5.4.52 Регистр общего статуса DATX8 1 (DXnGSR1)

Поля регистра DXnGSR1 описаны в Таблица 15.55.

Таблица 15.55. Регистр общего статуса DATX8 1

Диапазон	Название	Описание	Исходное значение
[3:0]	DFTERR	Ошибка дрейфа DQS: если установлен, указывает, что строб чтения данных из байта съехал на величину, большую или равную пределу дрейфа, заданному в регистре общей конфигурации PHY (PGCR). Бит [0] относится к рангу 0, бит [1] к рангу 1 и так далее.	0000
[11:4]	DQSDFT	Дрейф DQS: используется для отчета о дрейфе строба считанных из байта данных. Валидные значения: 00 = дрейфа нет; 01 = дрейф 90°; 10 = дрейф 180°; 11 = дрейф 270° и больше. Биты [1:0] относятся к рангу 0, биты [3:2] к рангу 1 и так далее.	0x00
[15:12]	RVERR	Ошибка тестирования целостности данных: если установлен, указывает, что не удалось найти валидную позицию считывания в процессе тестирования целостности данных байта. Бит [0] относится к рангу 0, бит [1] к рангу 1 и так далее.	0000
[19:16]	RVIERR	Ошибка прерывания тестирования целостности данных: если установлен, указывает, что в процессе тестирования целостности данных байта произошла ошибка прерывания, например, за проходом последовал отказ, за которым последовал следующий проход (нестабильный приход данных). Бит [0] относится к рангу 0, бит [1] к рангу 1 и так далее.	0000

Диапазон	Название	Описание	Исходное значение
[31:20]	RVPASS	Счетчик успешных проходов тестирования целостности данных: число успешно прошедших конфигураций в процессе тестирования целостности данных. Биты [2:0] относятся к рангу 0, биты [5:3] к рангу 1 и так далее.	0x000

15.5.4.53 Регистр управления DLL DATX8 (DXnDLLCR)

Регистр управления DLL DATX8 используется для управления DLL на байтовом тракте.

Поля регистра DXnDLLCR описаны в Таблица 15.56.

Таблица 15.56. Регистр управления DLL DATX8

Диапазон	Название	Описание	Исходное значение
[2:0]	SFBDLY	Балансировка задержки обратной связи подчиненного DLL: используется для балансировки задержки на пути обратной связи подчиненного DLL: 000 = задержка минимальна; 111 = задержка максимальна.	000
[5:3]	SFWDLY	Балансировка задержки прямой связи подчиненного DLL: используется для балансировки задержки на пути прямой связи подчиненного DLL: 000 = задержка минимальна; 111 = задержка максимальна.	000
[8:6]	MFBDLY	Балансировка задержки обратной связи главного DLL: используется для балансировки задержки на пути обратной связи главного DLL: 000 = задержка минимальна; 111 = задержка максимальна.	000
[11:9]	MFWDLY	Балансировка задержки прямой связи главного DLL: используется для балансировки задержки на пути прямой связи главного DLL: 000 = задержка минимальна; 111 = задержка максимальна.	000
[13:12]	SSTART	Автозапуск подчиненного DLL: управляет параметрами запуска подчиненного DLL относительно замыкания главного DLL: 0X = подчиненный DLL запускается как только главный DLL замкнулся; 10 = автоматический запуск подчиненного DLL отключен; детектор фаз отключен; 11 = автоматический запуск подчиненного DLL отключен; детектор фаз подключен.	00

Диапазон	Название	Описание	Исходное значение
[17:14]	SDPHASE	Балансировка фаз подчиненного DLL: указывает разность фаз между входящим тактовым сигналом и соответствующим тактовым сигналом на выходе подчиненного DLL. Валидные значения: 0000 = 90; 0001 = 72; 0010 = 54; 0011 = 36; 0100 = 108; 0101 = 90; 0110 = 72; 0111 = 54; 1000 = 126; 1001 = 108; 1010 = 90; 1011 = 72; 1100 = 144; 1101 = 126; 1110 = 108; 1111 = 90.	0000
[18]	ATESTEN	Подключение аналогового тестирования: подключает на вывод аналогового тестирования DLL (test_out_a) сигнал аналогового тестирования. Когда этот бит равен «0», вывод аналогового тестирования DLL тристабилен.	0
[19]	SDLBMO DE	Режим обратной петли подчиненного DLL: если этот бит установлен, подчиненный DLL переводится в режим обратной петли, в котором отсутствует 90-градусный сдвиг фаз при чтении у сигнала DQS/DQS#. Этот бит должен быть установлен во время работы с байтовой РНУ в режиме обратной петли, например, во время режима обратной петли встроенного самотестирования BIST (Built-In Selt-Test). Применимо только в тех РНУ, у которых есть это функция. Подробнее см. в справочнике РНУ.	0
[29:20]	Резерв	Возвращает 0 при чтении.	-
[30]	DLLSRST	Перезагрузка DLL: перезагружает DLL байта путем подачи сигнала на контакт перезагрузки DLL.	1
[31]	DLLDIS	Отключение DLL: отключенный DLL будет пропущен. Значение по умолчанию («0») - DLL подключен.	0

15.5.4.54 Регистр задержек DQ DATX8 (DXnDQTR)

Этот регистр используется для регулировки задержек в ITMs на каждом бите данных для максимизации корректного интервала прихода данных во время чтений из SDRAM. Значения по умолчанию в этом регистре заданы так, чтобы задержка на каждом бите данных соответствовала задержке прохождения строба данных через подчиненный DLL и дерево синхросигналов. Эти параметры обеспечивают оптимальное смещение этих сигналов в ячейке ITMD. Регистр DQTR позволяет немного сократить эту задержку.

РНУ разработана таким образом, чтобы параметры задержек по умолчанию приводили к оптимальным длительностям задержек-таймингов. Пользователи могут регулировать связь DQ/DQS, настраивая эти регистры. Если пользователь собирается модифицировать

эти регистры, рекомендуется воспользоваться модифицированным алгоритмом тестирования данных для нахождения оптимальных параметров.

Поля регистра DXnDQTR описаны в Таблица 15.57.

Таблица 15.57. Регистр задержек DQ DATX8

Диапазон	Название	Описание	Исходное значение
[3:0]	DQDLY0	<p>Задержка DQ, поле 0.</p> <p>Используется для регулировки задержки данных относительно номинальной задержки, которая привязана к задержке стробов данных, идущих через подчиненный DLL и дерево синхросигналов.</p> <p>Каждые четыре бита этого регистра управляют задержкой отдельного бита данных в байте. DQDLY0 управляет задержкой бита данных [0], DQDLY1 управляет задержкой бита данных [1] и так далее. Нижние два бита каждого из полей DQDLY управляют задержкой данных, тактированных сигналом DQ, а верхние два бита управляют задержкой данных, тактированных сигналом DQS_b.</p> <p>Валидные значения для каждого 2-битного сочетания: 00 = номинальная задержка; 01 = номинальная задержка + 1 шаг; 10 = номинальная задержка + 2 шага; 11 = номинальная задержка + 3 шага.</p> <p>Замечание: размер шага можно найти в совместимых справочниках по DWC DDR PHY.</p>	1111
[7:4]	DQDLY1	Задержка DQ, поле 1.	1111
[11:8]	DQDLY2	Задержка DQ, поле 2.	1111
[15:12]	DQDLY3	Задержка DQ, поле 3.	1111
[19:16]	DQDLY4	Задержка DQ, поле 4.	1111
[23:20]	DQDLY5	Задержка DQ, поле 5.	1111
[27:24]	DQDLY6	Задержка DQ, поле 6.	1111
[31:28]	DQDLY7	Задержка DQ, поле 7.	1111

15.5.4.55 Регистр задержек DQS DATX8 (DXnDQSTR)

Этот регистр используется для управления задержкой стробирования DQS. Он также применяется для настройки задержек в ITMs на каждом стробе данных DQS/DQS_b для максимизации корректного интервала данных во время чтений из SDRAM. Обычно задержка на каждом стробе данных соответствует задержке прохождения бита данных через подчиненный DLL и дерево синхросигналов. Регистр DQSTR позволяет немного сократить или удлинить такую задержку.

PHY разработана таким образом, чтобы параметры номинальных задержек приводили к оптимальным величинам задержек-таймингов. Пользователи могут регулировать связь DQ/DQS, настраивая эти регистры. Если пользователь собирается модифицировать эти регистры, рекомендуется воспользоваться модифицированным алгоритмом тестирования данных для нахождения оптимальных параметров.

Поля регистра DXnDQSTR описаны в Таблица 15.58.

Таблица 15.58. Регистр задержек DQS DATX8

Диапазон	Название	Описание	Исходное значение
[2:0]	R0DGSL	<p>Время ожидания системы стробирования ранга n. Поле 0. Используется для увеличения числа тактовых циклов, необходимого для получения валидных данных на чтение DDR, вплоть до пяти дополнительных тактовых циклов. Это необходимо для компенсации задержек распространения сигнала и прочих системных задержек. Запуск по умолчанию - 000 (т.е. не требуется никаких дополнительных тактовых циклов).</p> <p>Значения полей регистра системного ожидания исходно задает PUBL во время автоматического тестирования данных DQS, но они могут быть переписаны путем прямой записи в этот регистр. Каждые три бита этого регистра управляют временем ожидания каждого из (до) четырех рангов. R0DGSL управляет временем ожидания ранга 0, R1DGSL управляет временем ожидания ранга 1 и так далее.</p> <p>Валидные значения: 000 = дополнительных тактовых циклов нет; 001 = 1 дополнительный тактовый цикл; 010 = 2 дополнительных тактовых цикла; 011 = 3 дополнительных тактовых цикла; 100 = 4 дополнительных тактовых цикла; 101 = 5 дополнительных тактовых циклов; 110 = резерв; 111 = резерв.</p>	000
[5:3]	R1DGSL	Время ожидания системы стробирования ранга n. Поле 1.	000
[8:6]	R2DGSL	Время ожидания системы стробирования ранга n. Поле 2.	000
[11:9]	R3DGSL	Время ожидания системы стробирования ранга n. Поле 3.	000
[13:12]	R0DGPS	<p>Выбор фазы стробирования DQS ранга n. Поле 0. Указывает тактовый сигнал, используемый для подключения стробов данных во время чтений для того, чтобы отфильтровывать величины стробов данных до и после начала/окончания чтения.</p> <p>Поля RnDGPS исходно задаются через PUBL во время автоматического тестирования данных DQS, и обновляются в процессе процедуры компенсации дрейфа строба данных. Однако они могут быть переписаны путем прямой записи в этот регистр, а автоматическое обновление в процессе процедуры компенсации дрейфа строба данных DQS может быть отключено через регистр общей конфигурации PHY (PGCR). Каждые два бита этого регистра управляют стробированием DQS для каждого из (до) четырех рангов. R0DGPS управляет стробированием DQS для ранга 0, R1DGPS управляет стробированием DQS для ранга 1 и так далее.</p> <p>Валидные значения для каждого 2-битного поля RnDGPS: 00 = тактовый сигнал 90° (clk90); 01 = тактовый сигнал 180° (clk180); 10 = тактовый сигнал 270° (clk270); 11 = тактовый сигнал 360° (clk0).</p>	10
[15:14]	R1DGPS	Выбор фазы стробирования DQS ранга n. Поле 1.	10
[17:16]	R2DGPS	Выбор фазы стробирования DQS ранга n. Поле 2.	10
[19:18]	R3DGPS	Выбор фазы стробирования DQS ранга n. Поле 3.	10

Диапазон	Название	Описание	Исходное значение
[22:20]	DQSDLY	<p>Задержка DQS/DQS#: DQS.</p> <p>Используется для регулировки задержки стробов данных относительно номинальной задержки, которая соответствует задержке прохождения бита данных через подчиненный DLL и дерево синхросигналов. Поле DQSDLY управляет задержкой по стробу DQS, а поле DQSNPLY управляет задержкой по стробу DQS#.</p> <p>Валидные значения:</p> <p>000 = номинальная задержка - 3 шага; 001 = номинальная задержка - 2 шага; 010 = номинальная задержка - 1 шаг; 011 = номинальная задержка; 100 = номинальная задержка + 1 шаг; 101 = номинальная задержка + 2 шага; 110 = номинальная задержка + 3 шага; 111 = номинальная задержка + 4 шага.</p> <p>Замечания:</p> <p>- размер шага можно найти в совместимых справочниках по DWC DDR PHY; - после изменения этой величины необходима перезагрузка ИТМ (установить PIR.ITMSRST=1, и PIR.INIT=1).</p>	011
[25:23]	DQSNPLY	Задержка DQS/DQS#: DQS#.	011
[29:26]	DMDLY	<p>Задержка DM: используется для регулировки задержки маскировки данных ближе к номинальной задержке, которая соответствует задержке прохождения стробов данных через подчиненный DLL и дерево синхросигналов.</p> <p>Нижние два бита поля DQMDLY управляют задержкой данных, тактированных сигналом DQS, а верхние два бита управляют задержкой данных, тактированных сигналом DQS_b.</p> <p>Валидные значения для каждого 2-битного сочетания:</p> <p>00 = номинальная задержка; 01 = номинальная задержка + 1 шаг; 10 = номинальная задержка + 2 шага; 11 = номинальная задержка + 3 шага.</p> <p>Замечание: размер шага можно найти в совместимых справочниках по DWC DDR PHY.</p>	1111
[31:30]	Резерв	Возвращает 0 при чтении.	-

15.6 Общая информация

В данном разделе содержится информация о функциональных возможностях контроллера DDRMC2. Контроллер DDRMC состоит из следующих основных архитектурных блоков:

- блок интерфейса AXI. Этот блок обеспечивает интерфейс с шиной. Он обеспечивает поддержку шинных протоколов, буферизацию данных, преобразования связанные с размером данных передаваемых по шине, выравнивание адреса при пакетной передаче данных(burst) и функционирование при переходе через границы страниц памяти;
- блок арбитра портов (Port Arbiter) обеспечивает арбитрацию между запросами, приходящими от блока интерфейса AXI;

- блок контроллера (DDRC) содержит логический блок адресации памяти (CAM). Он хранит информацию о командах, которые используются планировщиком для оптимального планирования команд, которые будут переданы PHY. Это делается исходя из приоритетности исполнения, статуса банка и временных ограничений DDR. Также обеспечивается режим bypass.

Устройство контроллера DDRMC2 представлена на Рисунок 15.5.

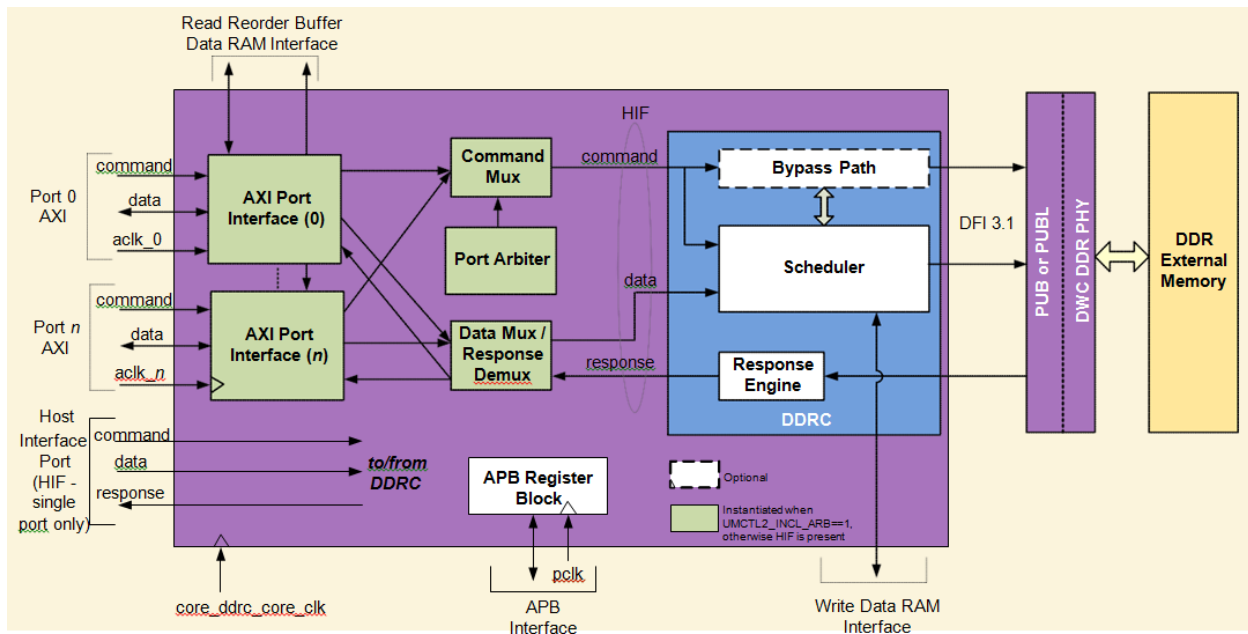


Рисунок 15.5. Устройство контроллера DDRMC2

Контроллер DDRMC2 выполняет следующие функции:

- принимает запросы от СнК ядра с системными адресами и соответствующими данными для записи;
- выполняет отображение системных адресов в адреса SDRAM (модуль, банк, группа банков, строка);
- приоритет запросов для уменьшения задержки чтения (особенно чтений с высоким приоритетом) и увеличения процента попаданий в страницу;
- обеспечивает корректную инициализацию SDRAM;
- все запросы, поступившие в SDRAM, выполняются с учетом ограничений SDRAM;
- запросы регенерации и другие служебные запросы обрабатываются в соответствии с требованиями (по мере необходимости);
- контролирует переход SDRAM в различные энергосберегающие режимы и выход из них;
- наименование сигналов AXI в соответствии со спецификацией AXI;
- наименования сигналов DFI в соответствии со спецификацией DFI;
- для сигналов HIF:

- первая часть содержит информацию об источнике сигнала. Для входных сигналов обычно используется обозначение «со_». Для выходных сигналов обычно «ddrc_» или для сигналов подблока DDRMC2, которые формируют выходные сигналы;
- вторая часть содержит информацию о назначении сигнала. Для входных сигналов обычно используется «ddrc_» или подблок DDRMC2, что является назначением сигнала. Для выходных обычно используется «со_» или «core_» для сигналов к СнК ядру;
- оставшаяся часть содержит описание сигнала.

Интерфейсы к внешней SRAM данных записи и буферу перераспределения запросов на чтение являются исключениями к вышеуказанным правилам.

Данные интерфейсы используют префиксы «wdataram_» и «rdataram_» для входных и выходных сигналов.

15.7 Интерфейс порта AXI (XPI)

15.7.1 Общая информация

Протокол AXI основан на пакетной передаче с каналами запросов на чтение и запись, которые определяют тег инициатора для запроса, адреса начального байта, длину пакета и тип пакета. Эта информация обрабатывается интерфейсом и используется в дальнейшем контроллером DDRMC2.

XPI интерфейс связывает AXI порт с блоком DDRMC2 и выполняет следующие основные функции:

- формирование адреса чтения;
- формирование адреса записи;
- формирование данных записи;
- формирование данных чтения и ответных сигналов на запрос чтения;
- формирование ответных сигналов на запрос записи.

Интерфейс XPI преобразует пакетные передачи AXI в запросы по чтению и записи, которые направляются в Арбитр портов. В обратном направлении, XPI преобразует ответные сигналы от DDRC в соответствующие запросы AXI.

Интерфейс между XPI и Арбитром портов является аналогичным интерфейсу NIF (но имеет отдельные каналы для команд чтения и записи). Каждый порт AXI может быть независимо настроен на тактовую частоту, асинхронную частоте контроллера памяти.

В соответствии со Спецификацией AXI транзакции не должны превышать границу адреса 4К. Ведущие устройства, соответствующие стандарту AXI, должны выполнять это требование.

15.7.2 Канал адреса чтения

Канал AXI адреса чтения имеет следующие параметры:

1. Длина транзакции чтения может составлять до 256 для пакетов с инкрементацией адреса, 16 пакетов с циклической адресацией.
2. Поддерживаемые типы пакетов: с инкрементацией адреса и циклическая адресация.
3. Начальный адрес пакета может быть не выровнен на границу полной разрядности шины данных AXI.
4. Размер пакета может быть меньше полной разрядности шины данных AXI.

Сигналы на канале адреса чтения регистрируются в XPI в соответствии с протоколом AXI valid/ready/handshaking и являются синхронизированными с тактовой частотой AXI (aclk).

Запросы на чтение принимаются, если запрос может быть записан в Очередь Адресов Чтения (RAQ). Данная очередь используется для хранения всех запросов адреса чтения. Данный порт содержит одну очередь адресов. Пересечение домена частоты из aclk в DDRMC2 (core_ddec_ore_clk) выполняется в блоке Очереди адресов чтения (RAQ).

После того, как канал адреса чтения регистрируется блоком RAQ, выполняются следующие операции:

- формирование новых запросов на чтение зависит от таких параметров, как выравнивание (адрес и размер AXI), длина пакетов (длина AXI и длина пакета памяти), и тип пакета (AXI с инкрементацией адреса или с циклической адресацией). Каждая пакетная передача AXI делится на пакеты длиной равной длине пакета памяти (BL2, BL4, BL8, BL16);
- формирование нового адреса HIF в случае не выровненного пакета или при расширении пакета. Пакет выравнивается на границу пакета памяти, если
$$A(R|W)ADDR[X]=0 \text{ if BL2};$$
$$A(R|W)ADDR[1+X:X]=0 \text{ if BL4};$$
$$A(R|W)ADDR[2+X:X]=0 \text{ if BL8};$$
$$A(R|W)ADDR[3+X:X]=0 \text{ if BL16};$$
Где X – это число байт данных на интерфейсе SDRAM.

В случае не выровненной пакетной передачи первый запрос на чтение не выровнен, оставшиеся запросы на чтение выровнены.

В целом, выравнивание на границу пакета памяти может привести к потере некоторых частей данных (влияет на пропускную способность) и дополнительной задержке на канале чтения данных и ответа на запрос.

Выходной сигнал aready по умолчанию установлен в значение «1» и изменяется в случае заполнения RAQ или запроса пакета WRAP (в следующем такте, после того, как был

принят пакет WRAP, сигнал `agready` устанавливается в «0»). Транзакция чтения выталкивается из RAQ, если он не пуст.

XPI управляет формированием признака, который используется DDRC для определения команды чтения и соответствующих данных.

15.7.3 Канал адреса записи

Очередь адресов записи (WAQ) используется для хранения всех адресов для запросов на запись от данного порта. Существует одна очередь для всех идентификаторов AXI из данного порта. Поведение очереди адресов (запросов) записи аналогично очереди адресов (запросов) чтения.

Каналы адреса записи и адреса чтения являются независимыми, и очередность запросов на чтение и запись может не устанавливаться. Для установления последовательности высокоуровневый протокол должен ожидать ответа по чтению/записи до отправки следующей транзакции. Транзакции через порты являются независимыми и могут выполняться в любом порядке.

15.7.4 Данные чтения и Ответный канал

XPI управляет общим интерфейсом ответов к DDRC для обработки данных чтения из памяти.

Данные чтения AXI и канал ответных сигналов имеют одну очередь хранения данных (RDQ – Read Data Queue) с двумя частотами – AXI для чтения и DDRMC2 для записи.

Данные с разными идентификаторами сохраняются в одной очереди и возвращаются в порядке получения адреса чтения.

Машина состояний, управляющая взаимодействием с AXI, также как запись и чтение из FIFO имеют следующие свойства:

- на основе сохраненной информации отфильтровывает пустые порции данных;
- на основе сигнала `ra_co_resp_last` формирует сигнал `rlast`.

Для эксклюзивных транзакций чтения DDRMC2 предоставляет ответ `EXOKAY`.

15.7.4.1 Буфер перераспределения данных чтения

Данные чтения могут быть возвращены из DDRC в порядке, отличном от того, в котором команды направляются из XPI (по причине перестановки команд чтения в DDRC с целью повышения пропускной способности SDRAM). Буфер перераспределения запросов чтения встроен в каждый порт для размещения данных чтения для этого порта в порядке команд AXI чтения.

Память буфера перераспределения данных чтения содержит то же количество записей, что и контекстно-адресуемая память чтения (CAM) и каждая запись содержит данные запроса чтения, соответствующие команде DDR. Буфер перераспределения может быть реализован внутри DDRMC2 или внешне как встроенная память SRAM, и доступ к ней осуществляется через Внешний Интерфейс RAM. В каждом случае управляющие сигналы для памяти перераспределения данных чтения управляются частотой DDRMC2 (не AXI). При реализации встроенной SRAM, требуется двухпортовая SRAM.

Протокол AXI позволяет чередовать данные чтения для транзакций с различными идентификаторами. Для сокращения возможных задержек, при которых данные чтения для одного идентификатора блокируются, ожидая данных, соответствующих другому идентификатору, буфер перераспределения запросов на чтение организован в виде нескольких виртуальных каналов (см. Рисунок 15.6). Виртуальный канал перераспределения запросов на чтение – это механизм, позволяющий независимо распределять данные чтения между несколькими группами идентификаторов пакетов AXI.

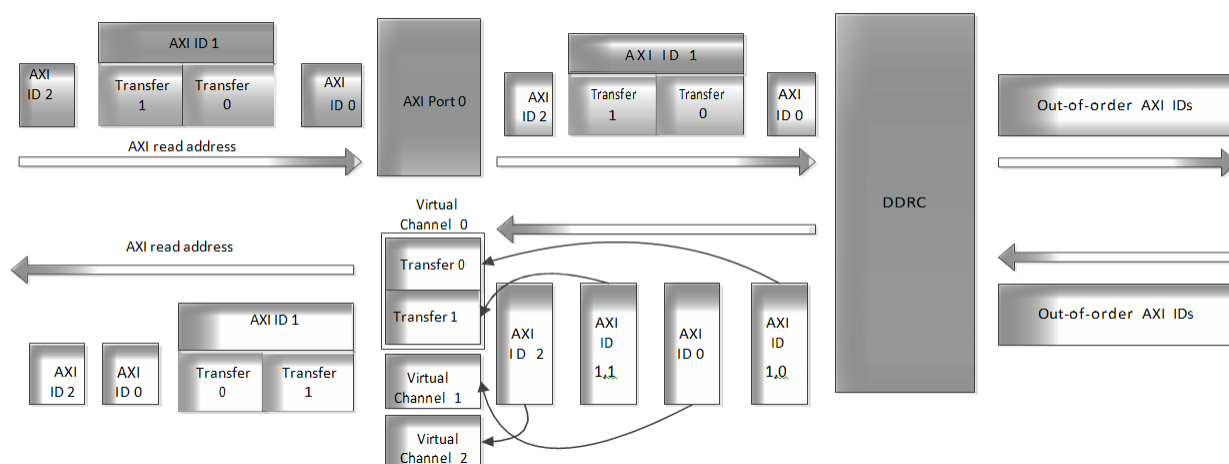


Рисунок 15.6. Работа буфера с виртуальными каналами

15.7.4.1.1 Виртуальные каналы – Динамическое распределение

Идентификаторы запросов чтения AXI назначаются динамически RRV виртуальным каналам. Рекомендуется использование режима динамического распределения, который является полностью прозрачным и не имеет программируемых программных регистров.

В этом режиме увеличивается распределение ID запросов чтения AXI через виртуальные каналы для сокращения зависимостей перераспределения между различными ID запросами чтения.

Когда новый идентификатор запросов чтения AXI не может быть назначен свободному виртуальному каналу, используется циклический алгоритм Round-robin для выбора одного из уже использующихся виртуальных каналов. Впоследствии, данные чтения для новых

ID могут блокироваться, ожидая данных, соответствующих другим ID в том же виртуальном канале. Увеличение количества виртуальных каналов уменьшает этот эффект.

В Таблица 15.59 показаны примеры назначения виртуальных каналов.

Таблица 15.59. Пример программирования регистров виртуального канала

Порт	AXI ID	Виртуальный канал	Регистр id_mask	Регистр id_value
0	0	0	PCFGIDMASKCH0 0=0x0	PCFGIDVALUECH0 0=0x0
1	1,3,5,7	0	PCFGIDMASKCH0 1=0x9	PCFGIDVALUECH0 1=0x1
	0,2,4,6	1	PCFGIDMASKCH1 1=0x9	PCFGIDVALUECH1 1=0x0
2	0	0	PCFGIDMASKCH0 2=0xF	PCFGIDVALUECH0 2=0x0
	1	1	PCFGIDMASKCH1 2=0xF	PCFGIDVALUECH1 2=0x1
	2	2	PCFGIDMASKCH2 2=0xF	PCFGIDVALUECH2 2=0x2
	3	3	PCFGIDMASKCH3 2=0xF	PCFGIDVALUECH3 2=0x3
	4	4	PCFGIDMASKCH4 2=0xF	PCFGIDVALUECH4 2=0x4
	5	5	PCFGIDMASKCH5 2=0xF	PCFGIDVALUECH5 2=0x5
	6	6	PCFGIDMASKCH6 2=0xF	PCFGIDVALUECH6 2=0x6
	7	7	PCFGIDMASKCH7 2=0xF	PCFGIDVALUECH7 2=0x7

Если идентификатор чтения AXI подтверждает условие для нескольких каналов, то всегда назначается каналу с меньшим номером канала. Например, если данный идентификатор соответствует каналам VC2 и VC3, то он будет назначен каналу VC2.

Если условие идентификатора чтения AXI не выполняется ни для одного из виртуальных каналов, идентификатор чтения AXI считается «не назначенным».

Два режима работы возможны для идентификаторов чтения AXI, которые не назначены путем распределения регистров. Эти режимы выбираются опцией PCFGR_n.read_reorder_bypass_en:

1. Если PCFGR_n.read_reorder_bypass_en = 0, не назначенные идентификаторы чтения соответствуют виртуальному каналу 0 (VC0) в дополнение к остальным идентификаторам, назначенным VC0.
2. Если PCFGR_n.read_reorder_bypass_en = 1, не назначенные идентификаторы чтения AXI соответствуют обходному пути и не перераспределяются.

Примечание. ID пакета чтения AXI назначается каналу m только при PCFGIDMASKCHm_n.id_mask, не равном 0. После сброса контроллера, весь трафик назначается каналу VC0, так как PCFGIDMASKCHm_n.id_mask, PCFGIDVALUECHm_n.id_value и PCFGR_n.read_reorder_bypass_en после сброса равны нулю.

«Обходной путь» пропускает буфер перераспределения, и данные чтения для этих транзакций не размещаются в порядке исходных команд. При использовании обходного

пути, применяются следующие ограничения для обеспечения совместимости с другими правилами перераспределения пакетов с AXI ID:

1. Длина пакета AXI должна соответствовать одной команде на интерфейсе DDR (если пакет AXI разделяется на более чем одну команду DDR, тогда порядок данных для этого пакета AXI не может быть гарантирован, что приведет к нарушению протокола).
2. Каждый необработанный AXI пакет чтения должен иметь уникальный идентификатор. Этот идентификатор также может быть использован, когда ведущее устройство AXI (rlast) принимает последнюю часть данных чтения.
3. Выход за границы пакета памяти DDR для пакетов типа INCR не допускается. Другими словами, стартовый адрес AXI (ARADDR) и конечный адрес AXI ($ARADDR + (ALEN+1) * 2*ARSIZE - 1$) должны содержаться в том же пакете DDR (BL).

Например, если размер данных памяти 64 бита и BL8, чтение AXI должно быть ограничено 64 байтами.

Передача AXI начинается с адреса $Start_addr = ARADDR$ и заканчивается адресом $End_addr = ARADDR + (ALEN+1) * 2*ARSIZE - 1$. Пакет соответствует выровненной границе пакета DDR, если $Start_addr[DDRC2_A_ADDRW-1:6] == End_addr[DDRC2_A_ADDRW-1:6]$.

15.7.5 Канал данных записи

Канал данных записи AXI имеет Очередь хранения данных (WDQ – Write Data Queue) с двумя тактовыми частотами: частота AXI ($aclk_n$) для записи и частота DDRMC2 ($core_ddrc_core_clk$) для чтения. Эта очередь используется для пересинхронизации между доменом частоты AXI и домен частоты контроллера, и действует в качестве регистрирующего слоя в случае синхронного интерфейса. На выходе WDQ некоторые порции данных пакета записи могут быть маскированы в зависимости от выравнивания, размера пакета и длины пакета.

Данные записи из каждого порта направляются в DDRC, который направляет данные в общее хранилище данных.

15.7.6 Преобразование размера данных

XPI выполняет преобразование размера данных между интерфейсом AXI и внутренним размером данных.

Поддерживаются два вида преобразований: «вниз» (шина данных AXI шире, чем внутренняя ширина шины данных HIF) и преобразование «вверх» (размер шины данных AXI меньше, чем размер внутренней шины данных HIF).

Размер очереди данных записи (WDQ) и очереди данных чтения всегда устанавливаются по большему размеру данных. В случае преобразования «вниз», эти очереди устанавливаются по ширине шины данных AXI. В случае преобразования «вверх», эти очереди устанавливаются по ширине внутренней шины данных NIF.

15.7.7 Канал ответа записи

Ответ по записи формируется, когда последняя часть данных записи для данного пакета AXI принимается в DDRС. Формирование сигнала ответа по записи использует результат мониторинга эксклюзивного доступа. Для транзакции записи, ответ на сигнал Response всегда OKAY. Для эксклюзивной транзакции записи, ответ на сигнал Response может быть OKAY или EXOKAY.

15.7.8 Эксклюзивный доступ

Контроллер DDRMC2 поддерживает опцию эксклюзивного доступа AXI. Данный параметр определяет количество адресов, которые может отслеживать контроллер DDRMC2.

Все эксклюзивные транзакции чтения имеют ответный сигнал EXOKAY. Успешные запросы на эксклюзивную запись получают ответный сигнал EXOKAY, неуспешные эксклюзивные доступы записи возвращают сигнал OKAY. Если эксклюзивная запись не выполняется, маска данных для эксклюзивной записи принудительно устанавливается в ноль, поэтому данные не записываются.

Каждый контроллер DDRMC2 отслеживает один адрес на эксклюзивной ID транзакции. Поэтому, если мастер не выполняет часть записи эксклюзивной операции, последующий эксклюзивный запрос на чтение по данному ID меняет адрес, который был зафиксирован для эксклюзивности.

После того, как был включен монитор эксклюзивного доступа для данного адреса, все транзакции записи отслеживаются на предмет нарушений, несмотря на исходный порт. Это означает, что проверка на наличие нарушений проводится через порты.

Монитор эксклюзивного доступа сравнивает адрес, размер, длину, ID и номер порта эксклюзивной транзакции записи с адресом, размером, длиной, ID и номером порта транзакции чтения, и принимает эксклюзивную запись только при условии, что эти параметры совпадают. Иначе, эксклюзивная запись рассматривается как неудачная.

Примечания

1. Максимальное количество байт, которое отслеживается как область на адрес, не может превышать 128. Длина эксклюзивной транзакции AXI должна всегда быть кратной степени двойки.

2. Когда все мониторы активны, дальнейшие эксклюзивные чтения не должны выполняться. При этом если один из активных мониторов исключается по циклическому принципу Round robin, принимается новый эксклюзивный запрос на чтение. Выбор монитора для исключения зависит от указателя, который перебирает все адреса при получении нового эксклюзивного запроса на чтение.

15.7.9 Программная когерентность портов AXI

Для команд, которые обрабатываются портом AXI, логика DDRC предотвращает любые программные ошибки когерентности, при которых ведущее устройство AXI ждет ответа записи (чтения) перед тем, как отправить следующий запрос на чтение (запись) по тому же адресу, и наоборот.

15.7.10 Сигналы arpoison/awpoison

Сторонние сигналы arpoison/awpoison представляют транзакцию AXI (чтение или запись) недействительной и вызывают ответный сигнал об ошибке (AXI SLVERR). Входной сигнал должен быть установленным с соответствующей транзакцией AXI. Если запись некорректна, записи устанавливаются в неактивное состояние, делая команду записи эффективной для памяти. Если чтение некорректно, команда посылается в память DDR и все части данных чтения перезаписываются нулевыми значениями в сочетании с ответным сигналом об ошибке.

Внешний блок должен формировать новые сторонние сигналы в зависимости от требований безопасности доступа транзакции.

15.8 Арбитр портов (PA)

Блок арбитра портов (PA) выполняет арбитраж запросов команд от 16 (максимум) портов AXI/АНВ к NIF контроллера DDR (DDRC). Арбитр портов состоит из нескольких уровней арбитража, которые включают:

- арбитраж Чтения/записи;
- Арбитраж с двухуровневым приоритетом на основании команд устаревания портов (timeout – priority0);
- арбитраж с двухуровневым приоритетом для запросов чтения на основании приоритетов чтения DDRC (HPR/LPR);
- арбитраж с 32-уровневым приоритетом на основании внутреннего устаревания портов или арбитраж с 16-уровневым приоритетом на основании внешних входных сигналов AXI QoS;
- арбитраж по циклическому принципу для портов, имеющих одинаковый приоритет после прохождения всех ступеней арбитража.

Устаревание порта представляет собой обратный отсчет от момента получения портом запроса до разрешения доступа к DDRС. Истечение времени ожидания (таймаут) порта наступает при достижении счетчиком значения «0», что соответствует высшему приоритету – «priority0».

15.8.1 Арбитраж чтение/запись

На первом уровне арбитража рассматриваются все запрашивающие порты, и решение принимается на основании:

- квот чтения (LPR, HPR) и записи;
- таймаут (Priority0).

Основная задача арбитра чтения/записи – объединять чтения и записи вместе, пока выбранное направление имеет доступные квоты, и не истекло время ожидания (таймаут) ни в одном порту противоположного направления. Если все условия равны, запросы на чтение имеют приоритет над запросами на запись. Сокращение количества переключений направлений повышает эффективность шины памяти.

Алгоритм заключается в следующем:

- при выполнении запросов на чтение:
 - продолжать выполнение запросов на чтение до появления порта чтения с таймаутом (Priority0) с доступной квотой, или;
 - переключаться на записи, если не осталось квот на чтение и имеется необработанный запрос на запись с доступной квотой;
- при выполнении записей:
 - продолжать выполнять записи, пока имеется порт записи с таймаутом (Priority0) с доступной квотой, или;
 - переключаться на чтения, если имеется порт чтения с тайм-аутом (оба имеют приоритет Priority0) с доступной квотой, или;
 - переключаться на чтения, если имеется порт чтения с высоким приоритетом чтения (HPR) с доступной квотой, или;
 - переключаться на чтения, если отсутствуют квоты на запись, и имеется необработанный запрос на чтение с доступной квотой, или;
 - переключаться на чтения, когда отсутствует квота на запись и имеется необработанный запрос на чтение с доступной квотой.

Установка сторонних сигналов AXI `arurgent` и `awurgent` вызывает немедленное переключение направления чтение/запись в Арбитре портов, если это разрешено регистрами `PCFGR_n.rd_port_urgent_en` и `PCFGW_n.wr_port_urgent_en`. Сигналы захвата приоритета также вызывают включение сигналов `co_gs_go2critical_wr` / `co_gs_go2critical_lpr` на интерфейсе HIF, которые в свою очередь вызывают переключение направления чтение/запись в DDRС, если это разрешено регистром `PCFG.go2critical_en`.

Арбитр портов должен гарантировать, что разрешение не дается инициаторам запроса (Write, HPR, LPR), не имеющим доступных квот. Арбитр портов не дает разрешения, если имеется указание неготовности (stall) от DDRС.

15.8.2 Таймаут порта

Счетчики устаревания порта, направления (чтение/запись) производят обратный отсчет с момента, когда порт был запрошен, но разрешение не было дано. Условие тайм-аута выполняется, когда счетчик устаревания порта достигает значения «0», и порт становится инициатором запроса в Арбитр портов, имеющим высший приоритет (Priority0). Регистры PCFGR_*n*.rd_port_priority и PCFGW_*n*.wr_port_priority определяют начальное значение счетчиков. Параметры устаревания и таймаута могут быть включены с помощью регистров PCFGR_*n*.rd_port_aging_en и PCFGW_*n*.wr_port_aging_en. Каждое ведущее устройство может информировать Арбитр портов о ближайшем состоянии «голодания» (starvation) путем установки сторонних сигналов AXI arurgent и awurgent. Эти сигналы могут быть установлены в любое время и не соответствуют определенной команде. При установленном сигнале a[r/w]urgent приоритет данного порта является самым высоким (Priority0). Этот параметр может быть включен с помощью регистров PCFGR_*n*.rd_port_urgent_en и PCFGW_*n*.wr_port_urgent_en.

Следует отметить, что даже если параметр устаревания отключен, сигнал a[r/w]urgent действителен при его установке. Это условие должно быть реализовано в системах, где ведущее устройство злоупотребляет механизмом устаревания, так как это может привести к значительному снижению доступной пропускной способности и/или «голоданию» остальных портов.

15.8.3 Приоритеты чтения DDRС (HPR/LPR) и приоритеты записи (NPW) для портов

Канал чтения порта может быть установлен как HPR (Высокий приоритет чтения, High Priority Reads), LPR (Низкий приоритет чтения, Low priority Reads) Распределение приоритетов выполняется через входы arqos и awqos на основании значений конфигурационных регистров PCFGQOS0_*n* и PCFGWQOS0_*n*. Арбитр портов дает высший приоритет порту чтения HPR перед портом чтения LPR.

Если один из портов установлен для обработки HPR, должно быть задано соответствующее значение регистра SCHED.lpr_num_entries для резервирования адресов в очереди высокого приоритета контекстно-адресуемой памяти чтения (CAM).

Записи с изменяемым приоритетом, период ожидания которых не истек, рассматриваются арбитром как записи с обычным приоритетом.

15.8.4 Приоритет порта

Следующим уровнем арбитража являются многоуровневые приоритеты порта, которые могут быть установлены через счетчики устаревания внутреннего порта. Данный уровень арбитража имеет приоритет ниже, чем таймаут. Также для чтений уровень приоритет порта имеет приоритет ниже, чем уровень HPR/LPR.

15.8.4.1 Приоритеты внутреннего порта

Другой способ установки приоритетов порта выполняется через счетчики устаревания портов. Когда запрос, ожидающий обработки, не обслуживается, декрементирующийся счетчик устаревания сбрасывается. Начальное значение данного счетчика является 10-разрядным значением из регистров приоритета порта PCFGR_n.rd_port_priority и PCFGW_n.wr_port_priority. После обслуживания запроса регистр обнуляется к стартовому значению. Старшие 5 разрядов счетчика определяют приоритет порта из 32 уровней, которые приблизительно соответствует приоритету каждого порта по принципу устаревания. Чем ниже значение счетчика, тем выше приоритет.

15.8.5 Циклический арбитраж round-robin

После прохождения всех уровней арбитража, конфликт разрешается на последней фазе с помощью циклического арбитража round-robin. Указатель round-robin начинает с порта с наименьшим индексом порта, и после получения разрешения, указатель переходит на первый активный инициатор запроса.

15.8.6 Опция совпадения страниц (Page match)

Опция Page Match – это возможность блокировки Арбитра портов при наличии последовательных транзакций к одной группе банков, банку, или строке (на одной странице). Это повышает эффективность DDR контроллера путем адаптивного выбора последовательных транзакций DDRC для одновременного разрешения на доступ со стороны данного порта.

Вместе с запросом каждый порт также отправляет арбитрам портов сигнал «ragematch». Атрибут команды ragematch показывает, что это продолжение предыдущей страницы. Опция Page match не представляет собой дополнительный уровень арбитража. Опция не влияет на выбор порта, который получит разрешение первым. После того, как порт получил разрешение, если имеется непосредственная транзакция с атрибутом ragematch, установленным в 1, срабатывает условие блокировки порта.

Блокировка порта записи снимается при срабатывании одного из следующих условий с предположением, что имеется длительный запрос на запись с установленным в 1 атрибутом ragematch.

1. Необработанный запрос на запись с приоритетом Priority0 (таймаут) от другого порта.
2. Необработанный запрос на чтение от любого порта
3. Необработанный запрос на чтение HPR от любого порта.
4. Если включено, при достижении счетчика `pagematch_limit` четырех последовательных транзакций.
5. Отсутствует доступная квота на запись, и имеется доступная квота на чтение.

Блокировка порта чтения снимается при срабатывании одного из следующих условий с предположением, что имеется запрос на чтение с установленным атрибутом `pagematch`.

1. Необработанный запрос на чтение с приоритетом Priority0 от другого порта.
2. Необработанный запрос на запись от любого порта.
3. Если включено, достигается `pagematch_limit` четырех последовательных транзакций DDRC.
4. Отсутствует доступная квота на чтение, и имеется доступная квота на запись.

Функция `PageMatch` может быть включена с помощью регистров `PCFGR_n.rd_port_pagematch_en` и `PCFGW_n.wr_port_pagematch_en`. Ограничение на количество доступов к одной и той же странице устанавливается регистром `PCCFG.pagematch_limit`.

15.8.6.1 Отображение адресов

Для вычисления атрибута порта `pagematch` XPI требуется знание правил преобразования логических адресов в физические адреса. Логический адрес – это адрес команды транзакции, представленный на одном из портов. Физический адрес – это группа банков, банк, адрес строки и столбца в памяти SDRAM. Преобразование из логического адреса в физический адрес выполняется контроллером DDRC. Адреса банков указываются в регистре `ADDRMAP1`. Адреса строк указываются в регистрах `ADDRMAP5`, `ADDRMAP6`, и `ADDRMAP7`. Блок XPI использует эти регистры для определения атрибута `pagematch` каждой команды DDRC, направленной в Арбитр портов.

15.8.7 Блокировка эксклюзивного обращения по записи

Обращение на эксклюзивную запись AXI может состоять из нескольких команд DDRC. Арбитр портов блокирует порт при наличии команд DDRC, которые относятся к одной транзакции эксклюзивного доступа записи AXI. Блокировка эксклюзивного доступа по записи не может быть снята любым другим условием и требуется для функциональной корректности. Блокировки данного типа происходят прозрачно, если включены мониторы эксклюзивного доступа и нет длинных эксклюзивных записей пачками.

15.9 Интерфейс HIF

HIF является внутренним интерфейсом в конфигурации DDRMC2 с мульти-портовым арбитром. Интерфейс порта AXI и/или Арбитр портов обрабатывает все сигналы на этом интерфейсе, эффективно действуя на уровне СнК.

Запросы чтения, записи, также как и данные записи принимаются через HIF. После получения и подтверждения запроса на запись, запросы DDRС записывают данные из интерфейса. Впоследствии, интерфейс предоставляет данные записи без временной зависимости в порядке запрашивания (соответствует порядку, в котором производились запросы к DDRС). Запросы чтения, записи выполняются через общую шину команд. Запросы на запись и на чтение могут быть перераспределены позднее, но прежде чем они сформируются на DFI интерфейсе.

Запросы к DDRС блокируются двумя способами:

1. Механизм квот обеспечивает доступность буферного пространства для любого запроса от СнК к DDRС, прежде чем запрос будет выполнен.
2. Независимый механизм остановки (stall), который пропускает запросы при возникновении конфликта адресов, или вход в режим Саморегенерации (Self Refresh) программно или аппаратно (режим регенерации с пониженным потреблением).

Данные обрабатываются отдельно. DDRС блокирует ожидаемые данные после получения запроса на запись, прежде чем запрашивать соответствующие данные. При наличии конфликта, блокировка продолжается до устранения конфликта в DDRС. Если поступил запрос на запись, он всегда подтверждается DDRС.

В данном разделе представлена следующая информация об интерфейсе HIF:

- механизм квот;
- запросы чтения;
- запросы и данные записи;
- общий ответный интерфейс.

15.9.1 Механизм квот

Контроллер DDRС использует механизм квот для контроля переполнения буферов. Интерфейс, выполняющий запрос к DDRС, может запрашивать только те команды, для которых были выданы квоты на запрос.

Квоты отслеживаются отдельно для следующих типов команд:

- чтение с высоким приоритетом;

- чтение с низким приоритетом;
- запись.

Квоты подсчитываются для каждого типа команд независимо и в соответствии со следующими правилами:

- начальное значение квот для интерфейса – ноль;
- логика интерфейса должна содержать счетчики для отслеживания количества квот, разрешенных DDRС и декрементируемых с помощью команд, выдаваемых логикой интерфейса к DDRС. Логика интерфейса должна иметь отдельные счетчики наличия квот для каждого индивидуального типа команд;
- далее после сброса DDRС квоты выдаются для каждого типа команд. Полученное число квот инкрементируется каждый раз при выдаче контроллером DDRС квоты, определяемой установкой соответствующего сигнала *_credit на переднем фронте сигнала core_ddrc_core_clk;
- если количество квот больше нуля, интерфейс может отправлять в DDRС запросы данного типа;
- при каждой отправке запроса в DDRС, соответствующий счетчик квот декрементируется. Команда RMW декрементирует счетчики LPR и счетчик квот на запись на единицу.

Список сигналов, относящихся к интерфейсу запроса квот:

- co_ih_rxcmd_valid;
- co_ih_rxcmd_type;
- co_ih_rxcmd_pri;
- ih_co_lpr_credit;
- ih_co_hpr_credit;
- ih_co_wr_credit;
- ih_co_stall.

15.9.2 Запросы на чтение

При значении счетчика квот для LPR или HPR больше нуля, интерфейс может отправлять в DDRС запросы на чтение. Команда отправляется в DDRС путем установки co_ih_rxcmd_valid на высоком уровне частоты. Все поля запросов на чтение должны быть одновременно установлены в соответствующие значения.

- co_ih_rxcmd_type: определяет тип запроса следующим образом:
 - «00» обозначает запрос на запись;
 - «01» обозначает запрос на чтение;
 - «10» не поддерживается;
 - «11» не поддерживается;
- co_ih_rxcmd_pri:

– размер данного сигнала – два разряда.

Значения для запросов на чтение:

- 2'b00 – LPR;
- 2'b01 – не поддерживается;
- 2'b10 – HPR;
- 2'b11 – Резерв;
- `co_ih_gxcmd_addr`: обозначает адрес для чтения. Каждое слово на интерфейсе HIF эквивалентно 2 словам DDR;
- `co_ih_gxcmd_length`: «1» в данном поле обозначает частичное (неполное) чтение, и «0» означает нормальное чтение.

Нормальное чтение составляет 8 слов SDRAM. Размер частичного чтения составляет половину от длины нормального чтения (где слово – количество данных, передаваемых по одному из фронтов сигналов DQS в SDRAM в полностью конфигурируемой системе). Данное поле не используется для команд записи;

- `co_ih_gxcmd_token`: поле, которое предоставляется с командой чтения и возвращается при ответе на чтение. Так как ответные сигналы могут быть выданы вне очереди, этот признак является идентификатором, который обозначает, какие именно данные возвращаются с ответной стороны. Таким образом, несколько чтений с одинаковым признаком не должны одновременно отправляться в DDRC, иначе ответы могут возвращаться некорректно. При обычном использовании в данном поле содержится идентификатор инициатора запроса и сериализация ответных данных. Данное поле не используется для команд записи.

15.9.2.1 Сигналы Valid и Stall

Как было отмечено, запрос отображается установкой сигнала `co_ih_gxcmd_valid`. Контроллер DDRC может останавливать запросы путем установки сигнала `ih_co_stall`. Для каждого такта, в котором сигнал `ih_co_stall` устанавливается по нарастающему фронту тактового сигнала, `co_ih_gxcmd_valid` и другие соответствующие сигналы запросов игнорируются DDRC. При этом запрос должен удерживаться на интерфейсе в течение следующего такта и соответствующий счетчик квот не декрементируется. Когда DDRC сбрасывает сигнал `ih_co_stall` по нарастающему уровню сигнала, запрос принимается, и интерфейс может сбросить сигнал `co_ih_gxcmd_valid` или может отправить следующий запрос на чтение, запись (разрешение квот).

DDRC устанавливает сигнал `ih_co_stall` при любом из следующих условий:

1. Запросы на вход в режим саморегенерации, формируемые программно. Это гарантирует, что контроллер DDRC пуст, если модули памяти находятся в режиме саморегенерации.

2. Успешные запросы на вход в режим саморегенерации, когда DDRC входит в режим пониженного энергопотребления. Это гарантирует, что DDRC пуст, если модули памяти находятся в режиме саморегенерации.
3. При конфликтах адресов в DDRC используется логика управления, которая не пропускает следующие команды в DDRC.
4. Если контекстно-адресуемая память записи заполнена (Write CAM), и соответствующие данные для любой из команд записи еще не поступили.

15.9.3 Запросы и данные на запись

Если значение квот WR больше нуля, интерфейс может отправлять запросы на запись в DDRC. Команда отправляется в DDRC установкой `co_ih_gxcmd_valid` по нарастающему фронту тактового сигнала.

Все поля запроса на запись должны быть одновременно установлены в соответствующие значения:

- `co_ih_gxcmd_type`: определяет тип запроса следующим:
 - «00» обозначает запрос на запись;
 - «01» обозначает запрос на запись;
 - «10» не поддерживается;
 - «11» не поддерживается;
- `co_ih_gxcmd_pri`: определяет приоритет запроса на запись, размер этого сигнала 2 разряда.

Значения для запросов по записи:

- 2'b00 – NPW (Записи с обычным приоритетом);
- 2'b01 – не поддерживается;
- 2'b10 – Резерв;
- 2'b11 – Резерв;
- `co_ih_gxcmd_addr`: обозначает адрес для записи. Каждое слово на интерфейсе NIF (`co_wu_rxdata/ra_co_resp_data`) адресуется однозначно. Таким образом, каждые два слова DDR, передаваемые по шине DQ, адресуются однозначно по сигналу `co_ih_gxcmd_addr`;
- `co_ih_gxcmd_wdata_ptr`: указатель в буферы инициатора запроса, которые могут быть использованы впоследствии для извлечения данных записи. Если принят запрос на запись, этот указатель возвращается в интерфейс для извлечения соответствующих данных записи. (Это поле не используется, так как запросы всегда принимаются по очереди).

Механизм блокировки (stall) для запросов на запись аналогичен механизму остановки для запроса на чтение.

Операция записи делится на три фазы: команда записи, возврат указателя на данные записи и данные записи, предоставляемые DDRMC2. Команда записи сообщает DDRC, что запрашивается транзакция записи. Возврат указателя данных записи сообщает ядру СнК, что DDRC готов принять данные записи. На последней фазе данные записываются в DDRC.

Во всех трех фазах транзакции должны следовать в одинаковом порядке. Указатель данных возвращается в том же порядке, в котором отправлена команда. Данные записи также должны отправляться в одинаковом порядке. Контроллер DDRC может впоследствии изменить порядок команд перед отправлением на интерфейс DFI с целью эффективного использования пропускной способности SDRAM.

15.9.3.1 Возврат указателя данных записи

После получения запроса на запись контроллер DDRC возвращает указатель данных записи в логику интерфейса для извлечения соответствующих данных записи. Это выполняется путем установки сигнала `ih_co_wdata_ptr_valid` по нарастающему фронту тактового сигнала. В течение того же такта, `ih_co_wdata_ptr` предоставляет значение указателя данных записи. Это аналогично указателю, который отправляется в DDRC как `co_ih_gxcmd_wdata_ptr` в фазе команды записи.

Не существует механизма блокировки получения указателя данных записи из DDRC; логика интерфейса должна предоставлять данные записи для каждого такта, в котором DDRC устанавливает сигнал `ih_co_wdata_ptr_valid`. Механизм установки сигнала `ih_co_wdata_ptr_valid` для интерфейса контролирует выдачу запросов по записи, отправляемых в DDRC.

Команды записи, отправляемые в DDRC, не имеют временной зависимости, тот же указатель возвращается как сигнал `ih_co_wdata_ptr`. Несколько указателей могут быть отправлены в DDRC с несколькими запросами перед тем, как первый будет возвращен в интерфейс. Порядок возвращенных указателей соответствует порядку запросов отправленных в DDRC.

15.9.3.2 Данные записи

После возврата указателя данных записи в логику интерфейса, соответствующие данные должны быть извлечены и предоставлены в DDRC. Данные, отправленные в DDRC, не требуют временной зависимости с передачей указателя записи на интерфейс. Данные, тем не менее, должны быть возвращены в том же порядке, в котором указатели отправлялись на интерфейс (в том же порядке, в котором выполнялись исходные запросы).

Данные записи могут контролироваться с помощью сигнала `wu_co_rxddata_stall`. Данные записи принимаются DDRC при высоком уровне сигнала `co_wu_rxddata_valid` и низком

уровне сигнала `wu_co_gxdata_stall` по нарастающему фронту тактового сигнала. Доступ к SRAM данных записи осуществляется через стандартный двухпортовый интерфейс SRAM.

15.9.3.2.1 Данные записи для DDRC в режиме BL8

Данные записи отправляются в DDRC путем установки сигнала `co_wu_gxdata_valid`. Каждый запрос может иметь одну, две, три или четыре фазы данных. Сигнал `co_wu_gxdata_valid` должен устанавливаться для каждой фазы, и `co_wu_gxdata_valid` должен устанавливаться на последней фазе. Сигналы `co_wu_gxdata` являются сигналами данных. Оба сигнала `co_wu_gxdata_end` и `co_wu_gxdata` действительны только при `co_wu_gxdata_valid` равном «1».

Обычная команда записи имеет четыре такта данных, соответствующих этой команде. В этом случае сигнал `co_wu_gxdata_end` должен быть установлен на четвертой фазе данных. Если ядро СнК имеет меньше, чем 4 такта записи данных для команды записи, он может на выбор отправить 1, 2 или 3 такта данных, и `co_wu_gxdata_end` должен быть установлен в соответствующей последней фазе данных. Для этих частичных записей DDRC продолжает отправлять количество пакетов на интерфейсе DDR, который он бы отправлял при нормальной записи, но маскирует неиспользованные фазы данных.

Во втором случае DDRC имеет все данные, которые он запрашивал двумя циклами ранее. На Рисунок 15.7 и Рисунок 15.8 представлены временные диаграммы.

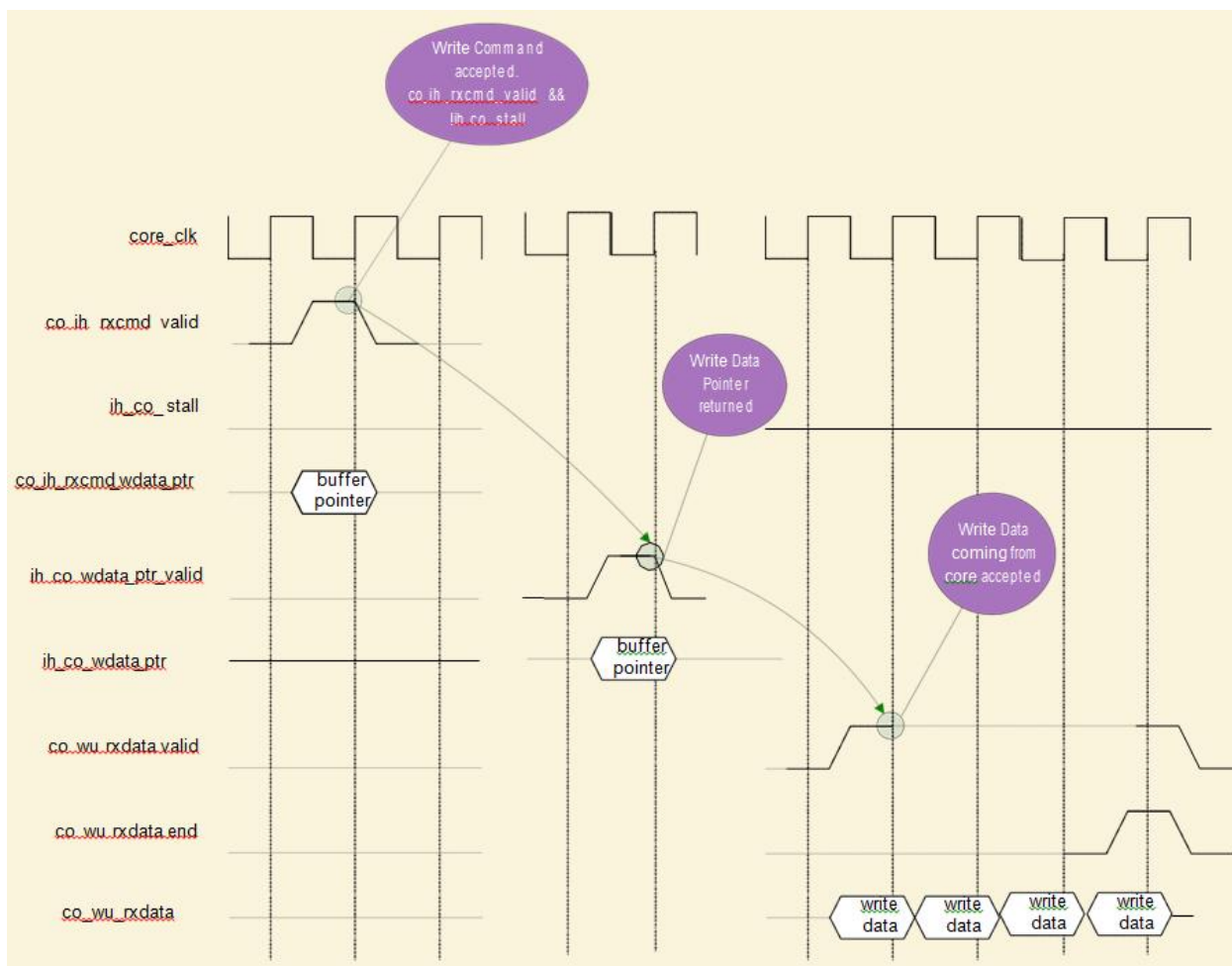


Рисунок 15.7. Запрос на запись. Запись без ожидания в четыре такта по данным

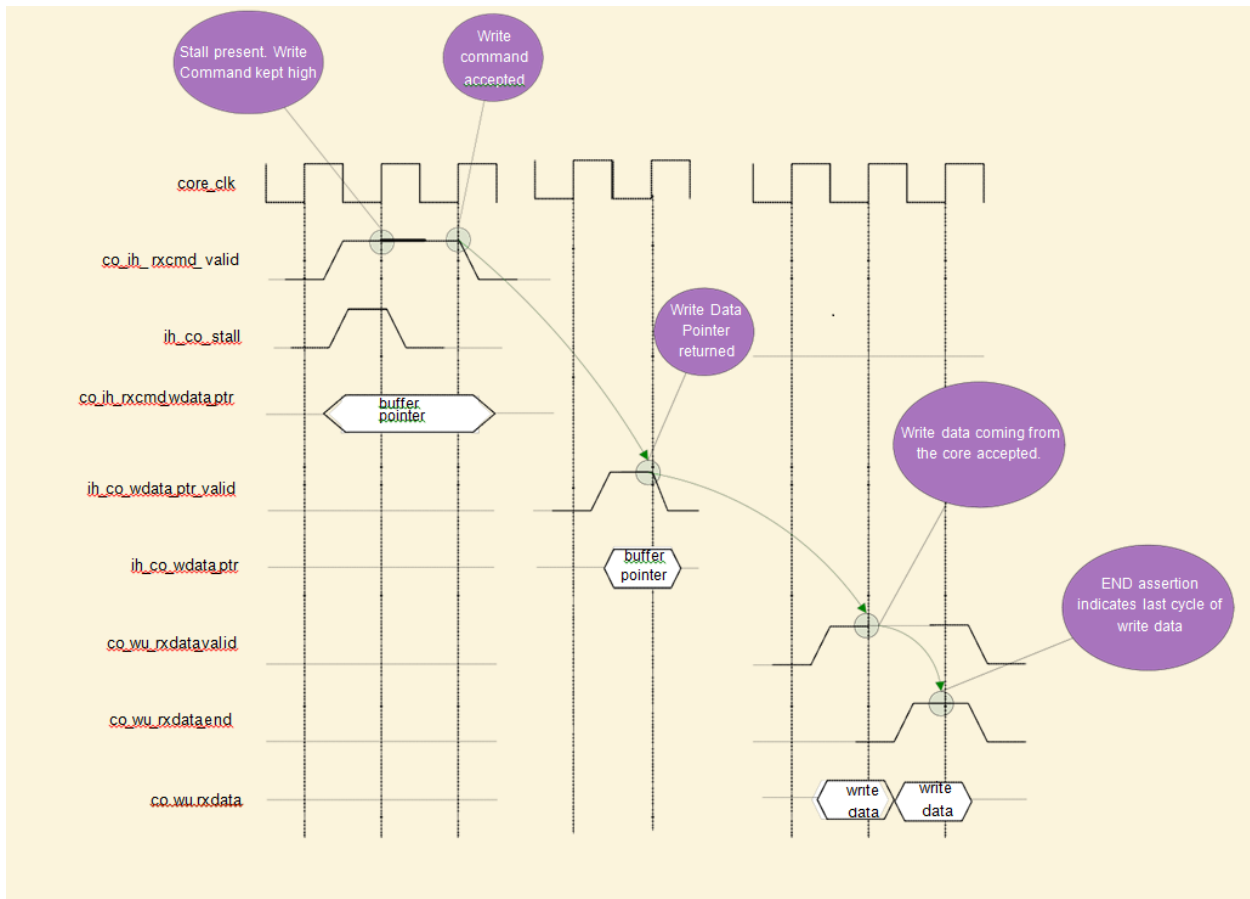


Рисунок 15.8. Запрос на запись. Запись с ожиданием в такт и двумя тактами по данным

15.9.4 Общий ответный интерфейс

Общий ответный интерфейс отправляет данные из DDRC ядру СнК в ответ на запросы чтения.

Используются следующие сигналы:

- ra_co_resp_valid;
- ra_co_resp_end;
- ra_co_resp_token;
- ra_co_resp_data.

Транзакции выполняются по нарастающему фронту тактового сигнала с установленным сигналом ra_co_resp_valid.

15.9.4.1 Порядок ответных данных

Данные чтения возвращаются на интерфейс НИФ в том же порядке, в котором принимаются из РНУ на интерфейсе DFI. Независимо от того, выровнен адрес чтения или нет.

15.9.4.2 Пример транзакции по общему ответному интерфейсу

На Рисунок 15.9 показано два запроса на чтение. Первый запрос по адресу A0 с признаком T0 и длиной 0. Второй запрос по адресу A1 с признаком T1 и длиной 1. Данные второго запроса на чтение возвращаются раньше, чем данные первого запроса. DDRMC2 может определить, что эта последовательность возможна по состоянию открытых страниц и других действий, происходящих в памяти. Этим улучшается утилизация пропускной способности памяти. Идентификатор ответа указывает, какому запросу чтения соответствуют предоставляемые данные. После начала чтения данных с соответствующим идентификатором, чтение этих данных будет завершено до того как вернутся данные с другим идентификатором. Сигнал `ra_co_resp_valid` означает, что достоверные данные поступили на шину, и сигнал `ra_co_resp_end` означает, что был передан последний пакет данных. Сигнал `ra_co_resp_valid` может быть сброшен в процессе возврата данных чтения на один или более тактов, таким образом, сигнал `ra_co_resp_valid` должен отслеживаться каждый такт для проверки достоверности возвращаемых данных.

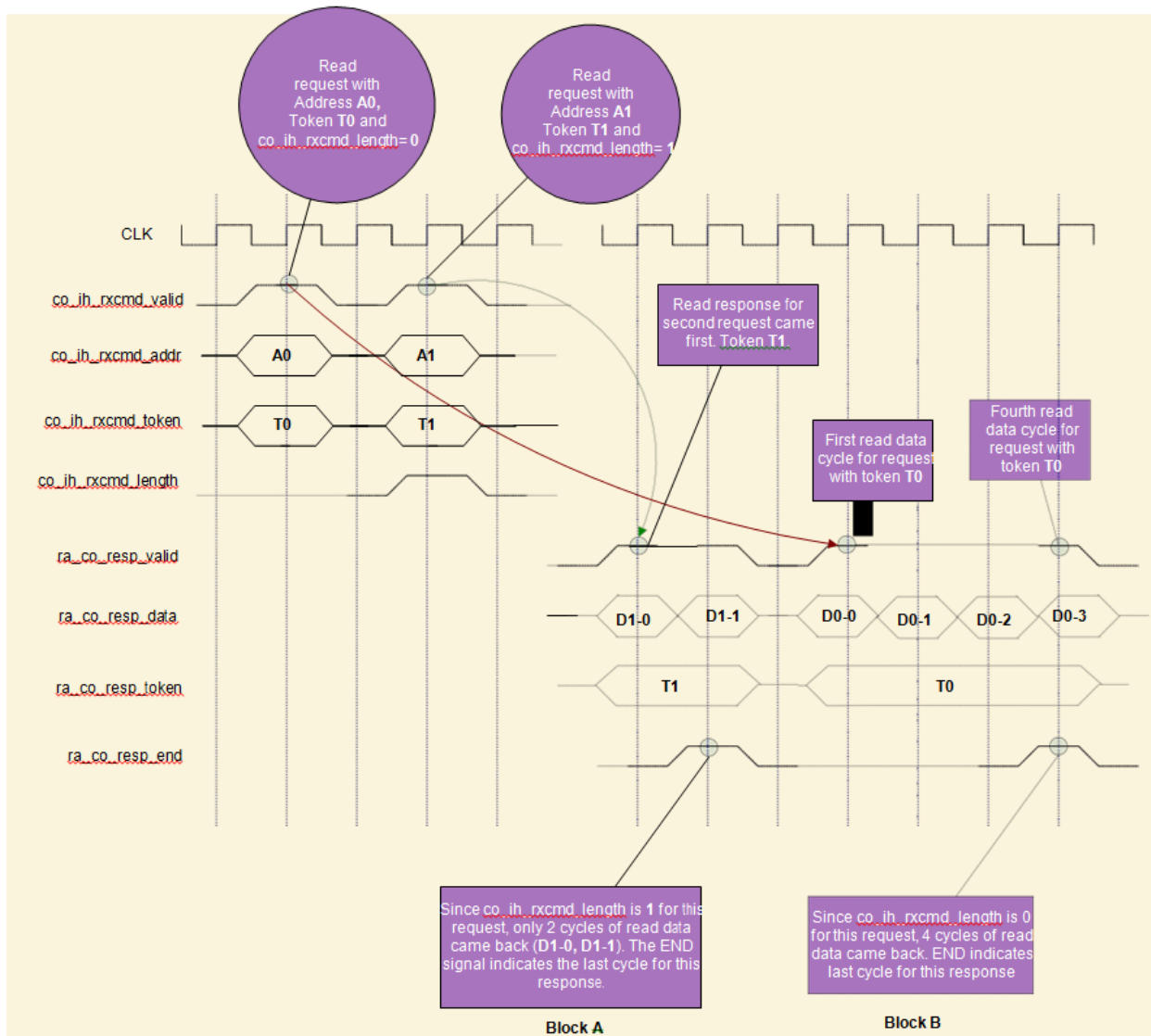


Рисунок 15.9. Пример двух передач

15.10 Интерфейс DFI

DDRMC2 содержит интерфейс контроллера памяти DFI, который используется для соединения с DFI-совместимыми физическими уровнями (PHY) и адресации, управления и передачи данных в физический уровень (PHY).

Интерфейс DFI делится на следующие группы интерфейсов:

- интерфейс управления;
- интерфейс данных записи;
- интерфейс данных чтения;
- интерфейс регенерации;
- интерфейс состояния;
- тестовый интерфейс (PHY-independent);

- интерфейс управления режимом пониженного энергопотребления.

15.10.1 Режим 1:1

DDRMC2, включая интерфейс DFI, работает по одному фронту тактового сигнала (SDR) (соотношение частот 1:1 в спецификации DFI), таким образом, сигналы команд и адресов DFI имеют одинаковую ширину с аналогичными сигналами DDR SDRAM. Сигналы данных DFI в два раза превышают по ширине аналогичные сигналы DDR SDRAM. DDRMC2 работает в режиме SDR и PHY производит преобразования SDR в DDR на шинах данных. В режиме 1:1, `core_ddrc_core_clk` и `СК/СК#` на одинаковой тактовой частоте SDR.

15.10.2 Преобразование данных DFI Запись/Чтение в SDRAM

Преобразование является спецификой PHY. Данные DFI (чтение и запись) могут содержать данные для нескольких байтных линий и для нескольких частей пачки данных. Спецификация DFI не определяет, каким образом эти данные должны быть упакованы в `dfi_rddata` и `dfi_wrdata`. Интерфейсы DFI между блоком DDR PHY и контроллером DDRMC2 разработаны с учетом того, что данные упорядочены по частям, а затем по байтам. Например, для 2-байтной конфигурации (16 разрядов SDRAM) в режиме 1:1, применяется следующий порядок данных DFI (от MSB к LSB):

[byte1-beat1, byte0-beat1, byte1-beat0, byte0-beat0]

PHY отправляет полученные данные во внешнюю память следующим образом:

- часть 0, данные из `dfi_wrdata[15:0]` отправляются в `DQ[15:0]`;
- часть 1, данные из `dfi_wrdata[31:16]` отправляются в `DQ[15:0]`.

Аналогично для 4-байтной конфигурации (32 разряда SDRAM) в режиме 1:1, порядок данных DFI следующий (от MSB к LSB): [byte3-beat1, byte2-beat1, byte1-beat1, byte0-beat1, byte3-beat0, byte2-beat0, byte1-beat0, byte0-beat0]. Следовательно, PHY отправляет полученные данные во внешнюю память следующим образом:

- часть 0 - данные из `dfi_wrdata[31:0]` отправляются в `DQ[31:0]`;
- часть 1 - данные из `dfi_wrdata[63:32]` отправляются в `DQ[31:0]`.

Аналогичный порядок действует для `dfi_wrdata_en/dfi_wrdata_mask` и `dfi_rddata_en/dfi_rddata/dfi_rddata_valid/dfi_rddata_dbi_n`.

15.10.3 Интерфейс управления

Интерфейс управления является отражением интерфейса управления SDRAM, включая адрес, банк, выбор микросхемы, строб строки, строб колонки, разрешение записи, сигнал разрешения тактовой частоты и управления ODT.

Данный интерфейс состоит из следующих сигналов: `dfi_address` (ширина данного сигнала – 20 разрядов):

- `dfi_bank`;
- `dfi_cas_n`;
- `dfi_cke`;
- `dfi_cs_n`;
- `dfi_odt`;
- `dfi_ras_n`;
- `dfi_reset_n`;
- `dfi_we_n`.

15.10.4 Интерфейс данных записи

Интерфейс данных записи осуществляет передачу данных записи через интерфейс DFI. Спецификация DFI определяет сигналы и временные параметры. Данный интерфейс состоит из следующих сигналов:

- `dfi_wrddata`;
- `dfi_wrddata_en`;
- `dfi_wrddata_mask`.

Временные параметры данного интерфейса конфигурируются пользователем для поддержки всех DFI-совместимых блоков PHY через регистры `DFITMG0.dfi_tphy_wrlat` и `DFITMG0.dfi_tphy_wrddata`. Для DFI 1:2 `DFITMG0.dfi_wrddata_use_sdr` определяет, в каких единицах измеряются поля `DFITMG0.dfi_tphy_wrlat` и `DFITMG0.dfi_tphy_wrddata` - в тактах частоты SDR или HDR. При HDR, временные параметры для формирования сигнала `dfi_wrddata*` для команд записи на фазе 0/фазе 1 одинаковы, и сигналы `dfi_wrddata*` выровнены по частоте HDR. При SDR, временные параметры для формирования сигнала `dfi_wrddata*` для команд записи на фазе 0/фазе 1 рассматриваются отдельно и сигналы `dfi_wrddata*` выровнены по частоте HDR. Для корректного программирования необходимо учитывать требования блока PHY.

15.10.5 Интерфейс данных чтения

Интерфейс данных чтения управляет возвратом данных чтения через интерфейс DFI. Спецификация DFI определяет отношения сигналов и временных параметров. Данный интерфейс состоит из следующих сигналов:

- dfi_rddata;
- dfi_rddata_en;
- dfi_rddata_valid.

Временные параметры этого интерфейса конфигурируются пользователем для поддержки всех DFI-совместимых PHY через регистр DFITMG0.t_rddata_en. Для DFI 1:2, DFITMG0.dfi_rddata_use_sdr определяет, в каких единицах измеряется поле DFITMG0.dfi_t_rddata_en, в тактах частоты SDR или HDR. При HDR временные параметры для генерации dfi_rddata_en для команд чтения на фазе 0/фазе 1 одинаковы, и сигналы dfi_rddata* выровнены по частоте HDR. При SDR временные параметры для генерации dfi_rddata* для команд чтения на фазе 0/фазе 1 рассматриваются отдельно и выравнивание сигналов dfi_rddata* относительно частоты HDR не гарантируется. Для корректного программирования необходимо учитывать требования используемых блоков PHY.

15.10.6 Интерфейс обновлений

Во время работы системы может потребоваться обновление внутренних настроек для компенсации внешних условий. Для гарантии, что обновления не влияют на сигналы интерфейса SDRAM, интерфейс DFI поддерживает режимы обновления, в которых DFI интерфейсы чтения, записи, и управления приостанавливаются в нормальном режиме работы. В соответствии со Спецификацией DFI процедура обновления может быть инициирована MC и PHY.

15.10.6.1 Обновления от контроллера

Данный интерфейс состоит из следующих сигналов:

- dfi_ctrlupd_req;
- dfi_ctrlupd_ack;
- dfi_ctrlupd_ack2.

Процедура обновления, инициированная контроллером MC, может быть подтверждена или проигнорирована PHY. Процедура обновления DFI, инициированная контроллером MC, выполняется DDRMC2 периодически.

15.10.6.2 Обновления, от блока РНУ

Данный интерфейс состоит из следующих сигналов:

- dfi_phyupd_req;
- dfi_phyupd_type;
- dfi_phyupd_ack.

15.10.7 Интерфейс состояний

Интерфейсу DFI требуется информация о состоянии для инициализации и управления частотой устройств SDRAM. Эти сигналы используются для передачи информации между МС и РНУ. Данный интерфейс состоит из следующих сигналов:

- dfi_init_complete;
- dfi_dram_clk_disable;
- dfi_parity_in;
- dfi_alert_n (данный сигнал заменяет dfi_parity_error).

DDRMC2 не поддерживает следующие сигналы (в Спецификации DFI определены как опциональные):

- dfi_data_byte_disable;
- dfi_freq_ratio.

Сигнал dfi_init_complete сообщает о завершении инициализации РНУ. Сигнал dfi_dram_clk_disable зависит от установки PWRCTL.en_dfi_dram_clk_disable.

15.10.7.1 Функция проверки четности

Сигнал dfi_parity_in, который является выходным сигналом DDRMC2, посылается с каждой командой и является результатом операции XOR таких сигналов как dfi_address, dfi_bank, dfi_cas_n, dfi_ras_n и dfi_we_n. Таким образом, dfi_parity_in – это сигнал проверки четности, который обозначает, что количество единиц в передаваемых сигналах, указанных выше, включая dfi_parity_in, всегда выражено четным числом. Это значение рассчитывается для каждой фазы. Не поддерживается генерация dfi_parity_in для LPDDR2 SDRAM. Сигнал dfi_alert_in является одноразрядным входом, который сообщает, что обнаружена ошибка четности в SDRAM. Предполагается, что данный сигнал имеет низкий активный уровень (для каждого такта dfi_alert_n = 0 обозначает, что обнаружена ошибка четности). Для каждого такта, в котором dfi_alert_n = 0, инкрементируется счетчик PARSTAT.dfi_parity_err_cnt. Данный счетчик сбрасывается установкой PARCTL.dfi_parity_err_cnt_clr. Прерывание (PARSTAT.dfi_parity_err_int) также предоставляется. Если разрешено (PARCTL.dfi_parity_err_int_en = 1), данное прерывание устанавливается, если dfi_alert_n был зафиксирован в значении «0». Сброс осуществляется записью «1» в регистр с функцией самоочистки PARCTL.dfi_parity_err_int_clr.

15.10.8 Интерфейс тестирования

Дополнительные функции памяти SDRAM обеспечивают точное выравнивание критичных ко времени сигналов. Спецификация DFI определяет четыре режима работы интерфейса для построения индикаторной диаграммы, выполнения процедуры gate training и регулировки записи.

Режим PHY Independent определяет ответственного в регулировании и программировании линий задержки и оценки результатов калибровки — MC, PHY, либо его отсутствие. Тестирование может быть инициировано блоком PHY Utility Block (PUB), встроенным в PHY.

15.10.8.1 Режим PHY Independent

Для режима «PHY Independent» актуальны следующие сигналы:

- dfi_wrlvl_mode;
- dfi_rdlvl_mode;
- dfi_rdlvl_gate_mode.

Данные сигналы являются входными и приходят от DFI-совместимого блока PHY. Любые другие сигналы DFI Training, которые являются выходными, могут игнорироваться, в то время как любые другие входные сигналы DFI Training должны быть установлены в ноль.

15.10.9 Интерфейс управления низким энергопотреблением

В подсистеме DDR памяти предпочтительно вводить PHY в режим пониженного энергопотребления, если DDRMC2 сообщает, что подсистема памяти в течение определенного периода времени остается в состоянии покоя. В зависимости от режима работы системы, DDRMC2 передает информацию о состоянии в блок PHY, разрешая PHY вход в соответствующий режим энергосбережения. Данный интерфейс состоит из сигналов, которые используются для оповещения PHY о возможности перехода в режим низкого энергопотребления, а также информацию о том, как быстро контроллер DDRMC2 требует от PHY возобновления нормальной работы. Данный интерфейс состоит из следующих сигналов:

- dfi_lp_req;
- dfi_lp_wakeup;
- dfi_lp_ack.

Программное управление осуществляется через регистры DFILPCFG0/DFILPCFG1:

Данный интерфейс является опциональным для DFI-совместимых блоков PHY. Сигналы интерфейса присутствуют на уровне контроллера DDRMC2 вне зависимости от использования. Но данный интерфейс может быть включен программно в режимах саморегенерации и/или выключения питания, и/или в режиме глубокого сна, и/или режим

максимального энергосбережения (DFILPCFG0.dfi_lp_en_pd, DFILPCFG0.dfi_lp_en_sr, DFILPCFG0.dfi_lp_en_dpd и DFILPCFG1.dfi_lp_en_mpsm соответственно).

Программное управление осуществляется через установку сигнала dfi_lp_wakeup (и соответствующие временные параметры) в режиме саморегенерации или выключения питания, или глубокого сна, или режиме максимального энергосбережения (DFILPCFG0.dfi_lp_wakeup_pd, DFILPCFG0.dfi_lp_wakeup_sr, DFILPCFG0.dfi_lp_wakeup_dpd и DFILPCFG1.dfi_lp_wakeup_mpsm соответственно).

Временные параметры данного режима низкого потребления DFI – DFILPCFG0.dfi_tlp_resp.

15.11 Интерфейс APB

DDRMC2 имеет выделенный интерфейс шины APB 3.0, который используется для доступа DDRMC2 к программно-доступным регистрам. DDRMC2 преобразует чтения и записи APB в обращения к внутреннему регистровому файлу. Ширина данных APB в 32 разряда является фиксированной в целях совместимости с DDR PHY. Ширина адреса APB – 12 разрядов. Все сигналы интерфейса APB (p*) синхронизированы с pclk. Частота pclk асинхронна с core_ddrc_core_clk. Тем не менее, частота pclk должна быть равна частоте core_ddrc_core_clk или быть меньше.

15.12 Блок преобразования адреса

Запросы на чтение и запись предоставляются DDRMC2 с системным адресом. Системный адрес – это адрес команды транзакции, выставленный на одном из портов данных. Контроллер DDRMC2 преобразует системный адрес в физический. Он отображает системный адрес в SDRAM ячейку, номер банка, номер строки и колонки. Контроллер предполагает, что DRAM всегда отображается, как монолитный блок памяти. Вторая часть отображения – это преобразование байтового адреса AXI/АНВ в словный адрес HIF. Данный этап осуществляется в блоке XPI, и применим он только к конфигурациям AXI/АНВ. Последняя часть – это преобразование словного адреса HIF в адрес SDRAM. Гибконастраиваемый контроллер отображения преобразует словный адрес HIF в адрес SDRAM по номеру микросхемы, банка, группы банков, строки и колонки. Адресный контроллер отображения расположен в DDRС. Используемое отображение адреса зависит от конкретного сценария. DDRMC2 имеет набор регистров, которые позволяют перепрограммировать алгоритм преобразования логического адреса в физический.

15.12.1 Отображение адресов HIF

Сигналы {ARADDR | AWADDR | HADDR} представлены как адреса, выровненные по байтовой границе. XPI отображает старшие разряды адреса в адрес интерфейса HIF (co_ih_rxcmd_addr) следующим образом:

- $co_ih_rxcmd_addr[36:0] = \{ARADDR | AWADDR | HADDR\} [DDRMC2_A_ADDRW-1: \log_2(64/8)+1]$.

Например, если ширина данных памяти «16» и ширина адреса транзакции «32»:

- $co_ih_rxcmd_addr[36:0] = \{ARADDR | AWADDR | HADDR\} [31: 2]$.

Адрес сдвигается на один разряд.

15.12.2 Преобразование адреса HIF в адрес SDRAM

Блок преобразования адреса преобразует словные адреса интерфейса HIF в адреса SDRAM путем выбора соответствующих разрядов адреса HIF. В то время как отображение адреса HIF в адрес SDRAM возможно любым способом, доступ к полному адресному пространству возможен только при условии, что 2 бита адреса SDRAM не определяются одним битом адреса HIF. Каждый адрес SDRAM имеет соответствующий регистровый вектор для определения его источника.

Регистры ADDRMAP_x (x=0 до 8) используются для программирования блока преобразования адреса.

Номера разрядов адреса HIF вычисляются путем прибавления базового номера регистра ADDRMAP_x (x=0 до 8) к установленному значению этого регистра, как показано в следующей формуле:

$$\text{HIF address bit number} = [\text{internal base}] + [\text{register value}]$$

Например, для ADDRMAP3.addrmap_col_b7, внутренний адрес равен 7. При использовании полноразрядной шины данных, 7 разряд колонки вычисляется по формуле:

$$7 + [\text{register value}]$$

Если значение данного регистра равно 2, разряд адреса HIF вычисляется по формуле:

$$7 + [\text{register value}]$$

Если значение данного регистра равно 2, разряд адреса HIF вычисляется по формуле:

$$[\text{HIF address bit number}] = 7 + 2 = 9$$

Другими словами, 7-й разряд адреса столбца, передаваемый в SDRAM, всегда будет равен co_ih_rxcmd_addr[9] соответствующего адреса источника HIF.

Примечания

1. Все разряды адреса столбца сдвигаются на 1 разряд, когда используется только половина шины данных. В этом случае, пользователю необходимо запрограммировать регистр ADDRMAP3.addrmap_col_b6 вместо определения значения 7 разряда адреса столбца.
2. Все разряды столбца сдвигаются на два разряда, когда используется только четверть шины данных. В этом случае используется ADDRMAP2.addrmap_col_b5 для определения значения 7-го разряда адреса столбца.
3. Все разряды адреса столбца дополнительно сдвигаются на один разряд. При этом необходимо использовать ADDRMAP3.addrmap_col_b6 для определения 7-го разряда адреса колонки (с учетом полной разрядности шины данных).
4. Регистр ADDRMAP5.addrmap_row_b2_10 отражает несколько разрядов адреса HIF.
5. Для всех разрядов адреса, которые не могут быть использованы во всех случаях, все разряды соответствующего регистра преобразования адреса должны быть установлены в 1, это означает, что данный разряд SDRAM адреса не используется.

Для отображения системного адреса в физический может быть использована одна из возможных комбинаций, представленных на Рисунок 15.10. На изображении приводится способ отображение разрядов адреса HIF в адрес SDRAM модуль/банк/группа банков/строка/колонка.

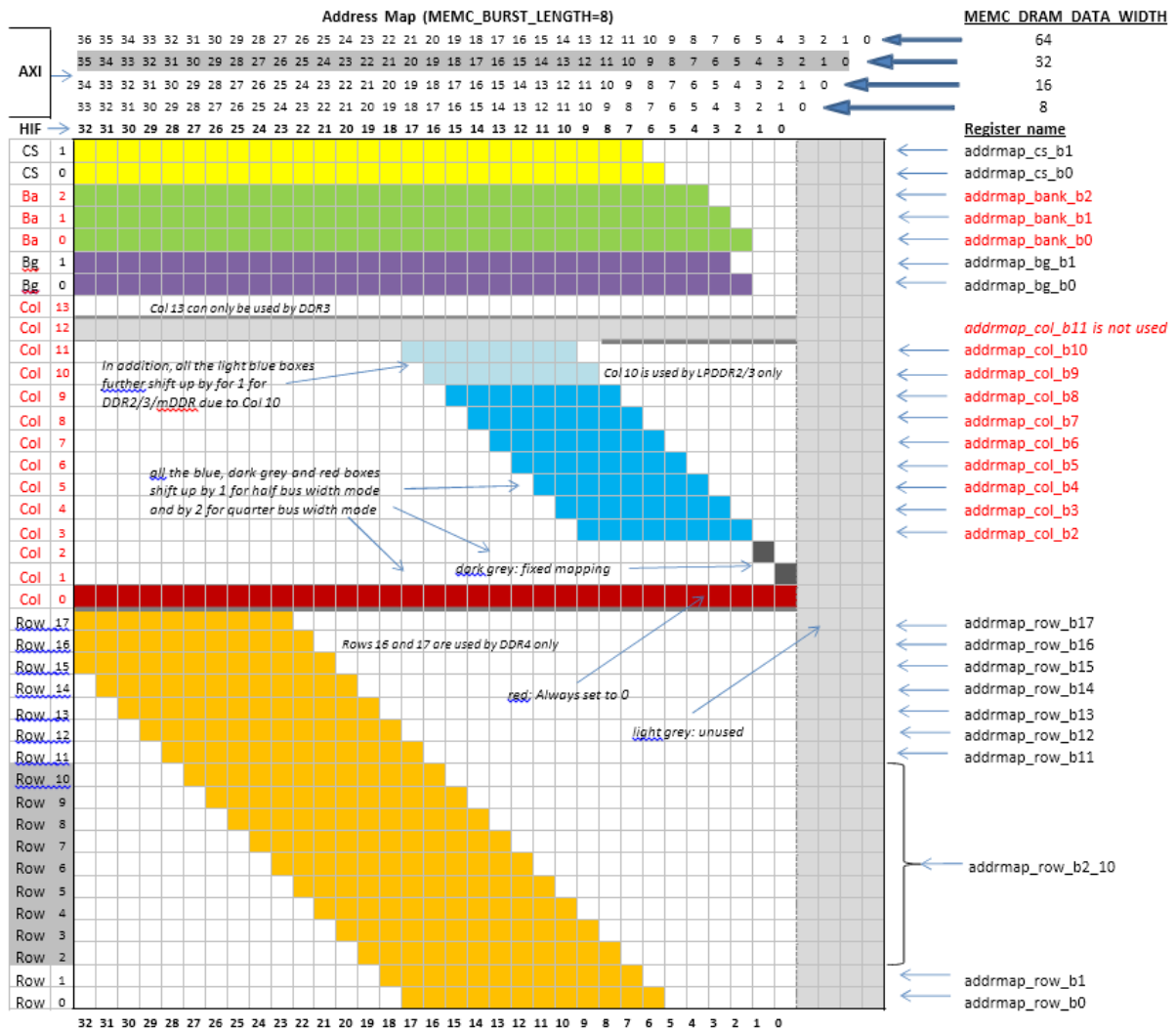


Рисунок 15.10. Отображение системного адреса в физический

Примечание. Пользователь должен реализовать программирование таким образом, чтобы два разряда адреса SDRAM не соответствовали одному разряду адреса HIF.

В Таблица 15.60 представлены примеры схем отображения адреса. В этом примере предполагается использование полной разрядности шины, использование SDRAM с 10 разрядным адресом столбца (в диаграмме обозначено как «с»), с 3 разрядным адресом банка («b») и 12-разрядным адресом строки («r»). В примере с перемешанным отображением показывается простое отображение адреса, где разряды младшей части адреса HIF отображаются в адрес столбца SDRAM, следующие 3 разряда адреса HIF соответствуют адресу банка, и старшая часть адреса HIF отображается в адрес строки. В первом примере с перемешанным отображением адреса, разряды адреса банка перемешены с разрядами адреса столбца. В двух последних примерах показано более произвольное отображение адреса. Эти примеры выбраны случайно для демонстрации гибкости настройки блока преобразования адреса DDRMC2 и не относятся к какой-либо системе

Таблица 15.60. Примеры отображения логического адреса в физический

	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Non-interleaved		r11	r10	r9	r8	r7	r6	r5	r4	r3	r2	r1	r0	b2	b1	b0	c9	c8	c7	c6	c5	c4	c3	c2	c1
Interleaved - example 1		r11	r10	r9	r8	r7	r6	r5	r4	r3	r2	r1	r0	c9	c8	c7	c6	c5	c4	b2	b1	b0	c3	c2	c1
Interleaved - example 2		r11	r10	r9	r8	r7	r6	r5	r4	r3	r2	c6	c7	b2	c8	c9	r0	r1	b1	c3	c5	c4	b0	c2	c1

Таблица 15.61. Пример программирования регистра для реализации необходимой схемы отображения адресов (для DDR3)

Разряд адреса НИФ	Требуемый адрес SDRAM	Программируемое поле регистра	Базовый адрес	Значение
0	c1	нет	-	-
1	c2	нет	-	-
2	b0	addrmap_bank_b0	2	0
3	c4	addrmap_col_b3	3	0
4	c5	addrmap_col_b4	4	0
5	c3	addrmap_col_b2	2	3
6	b1	addrmap_bank_b1	3	3
7	r1	addrmap_row_b1	7	0
8	r0	addrmap_row_b0	6	2
9	c9	addrmap_col_b8	8	1
10	c8	addrmap_col_b7	7	3
11	b2	addrmap_bank_b2	5	6
12	c7	addrmap_col_b6	6	6
13	c6	addrmap_col_b5	4	9
14	r2	addrmap_row_b2_10	8	6
...	
22	r10	addrmap_row_b2_10	16	6
23	r11	addrmap_row_b11	17	6

15.13 Управление сервисом транзакций

Управление сервисом транзакций предоставляет пользователю возможность контролировать следующее:

- затратные переключения направления чтение/запись на шине;
- приоритеты запросов на чтение для реализации трафика с высоким приоритетом, не допуская ситуации «голодания» трафика с низким приоритетом.

Данная функциональность реализована в виде простой машины состояний, которая содержит 2 состояния для каждого типа трафика с доступным управлением. Состояния машины определяют, когда обслуживаются чтения/записи и относительный приоритет (чтения с высоким приоритетом чтения с низким приоритетом) в любой момент времени.

Ниже представлен список регистров сервиса управления транзакцией:

- транзакция чтения с низким приоритетом:

- PERFLPR1.lpr_max_starve;
- PERFLPR1.lpr_xact_run_length;
- транзакция чтения с высоким приоритетом:
 - PERFHPR1.hpr_max_starve;
 - PERFHPR1.hpr_xact_run_length;
- транзакция записи:
 - PERFWR1.w_max_starve;
 - PERFWR1.w_xact_run_length;
- управление изменением направления на шине:
 - SCHED.prefer_write;
 - SCHED.rdwr_idle_gap;
- группировка транзакций чтения с изменяемым приоритетом:
 - PERFVPR1.vpr_timeout_range;
- группировка транзакций записи с изменяемым приоритетом:
 - PERFVPW1.vpw_timeout_range.

15.13.1 Очереди транзакций

Транзакции в DDRMC2 делятся на пять категорий:

- записи с низким приоритетом (Low Priority Reads, LPR);
- чтения с высоким приоритетом (High Priority Reads, HPR);
- записи с обычным приоритетом (Normal Priority Writes, NPW).

15.13.1.1 Очередь транзакций чтения

Данный раздел содержит информацию об обработке классов трафика LPR и HPR внутри контроллера DDRC. Регистр SCHED.lpr_num_entries разделяет память чтения CAM в контроллере на секции LPR и HPR. Команды LPR посылаются в раздел LPR памяти CAM, и команды HPR отправляются в раздел HPR. Команды LPR и HPR не имеют соответствующего значения таймаута.

15.13.1.2 Очередь транзакций записи

Данный раздел содержит информацию об обработке классов трафика NPW внутри контроллера.

Команды NPW посылаются в память записи CAM. Команды NPW не имеют соответствующего им значения таймаута.

15.13.1.3 Переключение состояний очереди транзакций

Каждый класс очередей транзакций может находиться в одном из двух состояний:

- нормальное - начальное состояние очереди;
- критическое - указывает на то, что очередь транзакций должна получить приоритет.

Очереди транзакций переходят из одного состояния в другое под управлением регистров *_max_starve и *_xact_run_length.

В Таблица 15.62 представлено описание переключений между состояниями очередей транзакций.

Таблица 15.62. Переключения между состояниями очередей транзакций

Текущее состояние	Следующее состояние	Переключение
Нормальное	Критическое	Данная очередь не обслуживается в течение количества тактов *_max_starve или при возникновении конфликта адресов.
Критическое	Нормальное	Обслуживается количество транзакций *_xact_run_length, начиная с данной транзакции

Если рассматривать очередь транзакций чтения с низким приоритетом, то очередь, как правило, функционирует независимо на основании следующих регистров:

- PERFLPR1.lpr_max_starve;
- PERFLPR1.lpr_xact_run_length.

В нормальном режиме работы машина состояний переходит из нормального состояния в критическое при наступлении таймаута «голодания». Очередь остается в критическом состоянии до завершения обслуживания количества транзакций, указанного в PERFLPR1.lpr_xact_run_length, или при отсутствии команд, доступных для очереди, которая возникла первой.

Сигналы со_gs_go2critical_* формируются Арбитром портов. В данном случае используются три сигнала: со_gs_go2critical_wr, со_gs_go2critical_lpr и со_gs_go2critical_hpr.

Установка сигналов со_gs_go2critical_* вызывает переход соответствующих очередей машины состояний в критическое состояние. Переключение режима Чтение/Запись и выбор уровня приоритета запроса на чтение на основании присутствия сигналов со_gs_go2critical_* описано в следующем разделе.

15.13.1.4 Переключение режима чтение/запись

Для описания алгоритма переключения режима чтение/запись используются следующие термины:

1. Ожидание переключения запись/чтение (Write/Read pending): Команда записи или чтения ожидает обработки в САМ.
2. Конфликт запись/чтение (Write/Read collision): Конфликт записи означает, что новая команда чтения, которая поступила на шину HIF, содержит тот же адрес, что и команда записи, ожидающая обработки в САМ, и конфликтная запись будет обработана до принятия команды чтения в САМ (такой же механизм используется при обработке конфликтного чтения).
3. Критическое состояние записи/LPR/HPR (Write/LPR/HPR critical): означает, что очередь Записи, LPR или HPR находится в критическом состоянии по причине «голодания».
4. Тайм-аут таймера состояния простоя команд чтение/запись (Read/Write idle timeout) на основании регистра SCHED.rdwr_idle_gap.

DDRC начинает работу в режиме чтение (обслуживает запросы на чтение) и затем переключается в режим Запись (обслуживает запросы на запись) при следующих условиях:

- Write pending && (Write collision || Write critical) && ! Read collision && ! HPR critical && ! LPR critical.

Или

- No Read pending && (SCHED.prefer_write || (Write pending && Read/Write idle timeout)).

DDRC переключается обратно в режим чтение при следующих условиях:

- Read pending && (co_gs_go2critical_hpr || co_gs_go2critical_lpr) && ! Write collision;
- Read pending && (Read collision || HPR critical || LPR critical) && ! Write collision && ! Write critical;
- No Write pending && (~SCHED.prefer_write || (Read pending && Read/Write idle timeout)).

Логика истечения срока ожидания команд чтение/запись представлена ниже:

Если SCHED.prefer_write = 0, выполняется обратный отсчет при наличии необработанного запроса на запись и при отсутствии запросов на чтение;

Если SCHED.prefer_write = 1, выполняется обратный отсчет при наличии необработанного запроса на чтение и при отсутствии запросов на запись.

Примечания

1. При программировании контроллера в нормальном режиме `SCHED.prefer_write=0`, это означает, что запросы на чтение обслуживаются непосредственно при переходе `DDRMC2` в состояние простоя. Также желательно устанавливать `SCHED.rdwr_idle_gap` в минимальные значения (такие как 0, 1, или 2). Это гарантирует, что команды записи не будут отправлены необслуженными в любой период времени покоя контроллера `DDRMC2`, снижая пропускную способность шины. Компромисс заключается в быстром обслуживании запросов на запись, при этом повышается вероятность того, что запросы на чтение, отправленные в `DDRMC2`, следующие непосредственно после запросов на запись, вызывают дополнительную задержку для обслуживания запросов на запись и переключения направления на шине.
2. Упорядочение запросов на чтение и запись, выполняемых по одному адресу, обеспечивается для всех запросов, отправленных к `DDRMC2`. Таким образом, задержка по записи не является критичной для системы. В случае если данные записи используются следующим запросом на чтение, `DDRMC2` автоматически принудительно записывает данные в `SDRAM` до начала обработки команды чтения.

15.13.1.5 Управление приоритетом чтения

В режиме чтения очередь с высоким приоритетом имеет приоритет над очередью с низким приоритетом. Но при критическом состоянии очереди транзакций чтения с низким приоритетом (при наличии транзакции, ожидающей обработки в течение длительного периода времени) и при условии нормального состояния очереди транзакций чтения с высоким приоритетом, очередь запросов на чтение с низким приоритетом получает приоритет выше, чем чтение с высоким приоритетом. Этот механизм не допускает ситуации «голодания» очереди с низким приоритетом.

Исключения из правил, указанных выше:

- при установке высокого уровня сигнала `co_gs_go2critical_hpr` очередь `HPR` получает приоритет над очередью `LPR`, в том числе при условии критического состояния очереди `LPR`;
- при установке высокого уровня сигнала `co_gs_go2critical_lpr` и низкого уровня сигнала `co_gs_go2critical_hpr` очередь `LPR` получает приоритет над очередью `HPR`, в том числе, если очередь `HPR` находится в критическом состоянии.

15.13.2 Разрешение конфликта адресов

`DDRC` поддерживает внеочередное выполнение транзакций, при этом обеспечивается появление транзакций в том порядке, в котором они поступили в контроллер. Каждая транзакция, требующая ответа от `DDRC`, приходит с индивидуальным номером признака,

который отправляется обратно в ядро СнК в составе ответа на запрос. Поскольку DDRC формирует очереди транзакций до их выполнения, может возникнуть ситуация, при которой несколько транзакций к одному адресу SDRAM могут быть получены до выполнения первой транзакции.

Для упорядочения обращений к одному адресу DDRC использует следующие алгоритмы:

1. Новый запрос на чтение имеет конфликт с очередным запросом на чтение. Этот тип конфликта решается следующим образом: Два запроса на чтение выполняются в любом порядке.
2. Новый запрос на запись имеет конфликт с очередным запросом на запись. Если включена опция объединенной записи, контроллер DDRC перезаписывает данные старой команды записи данными новой команды записи и выполняет только одну транзакцию (объединенная запись).
3. Новый запрос на чтение (или запись) имеет конфликт с очередным запросом на запись (или чтение) соответственно: В данном случае, DDRC выполняет следующую последовательность:
 - 3.1. Сохраняет новую транзакцию в промежуточном буфере.
 - 3.2. Применяет управление потоком от СнК ядра для блокирования поступлений новых транзакций.
 - 3.3. Очищает внутреннюю очередь, содержащую конфликтную транзакцию пока эта транзакция не будет обслужена.
 - 3.4. Принимает новую транзакцию и отключает управление потоком.
4. Новый запрос на запись имеет конфликт с запросами и чтения и записи. В этом случае команды чтения обрабатываются до разрешения конфликта по чтению, тогда как записи обрабатываются по принципу, указанному в пункте 3.
5. Новый запрос на запись имеет конфликт с запросами и чтения и записи. В этом случае, новый запрос на запись сохраняется в промежуточном буфере до завершения чтения. Затем он объединяется с очередным запросом на запись (при включении опции объединенной записи).

15.13.3 Объединенная запись

Опция объединенной записи позволяет объединять несколько записей в SDRAM, выполняемых по одному адресу.

При возникновении конфликта нового запроса на запись с очередным запросом на запись в САМ:

1. Если опция объединенной записи включена, DDRC перезаписывает данные старой команды записи данными новой команды записи, и выполняет только одну транзакцию (объединенная запись).
2. Если опция объединенной записи отключена, DDRC выполняет следующую последовательность действий:
3. Сохраняет новую транзакцию записи в промежуточном буфере;
 - 3.1. Включает контроль потока от SnK ядра, блокируя поступление следующих транзакций.
 - 3.2. Очищает внутреннюю очередь, которая содержит конфликтную транзакцию, пока транзакция не будет обработана.
 - 3.3. Принимает новую транзакцию и отключает контроль потока.

15.13.4 Механизм управления страницами

15.13.4.1 Явная автоматическая деактивация (по командам)

Данная опция включает режим автоматической деактивации для каждой команды. Если NIF сигнал `so_ih_gxcmd_autopre` устанавливается в течение действительной команды, разряд автодеактивации для этой команды устанавливается, когда она посылается в SDRAM.

Если нет необходимости в использовании данной опции, этот разряд может быть установлен в `1'b1` или `1'b0`. При установке в `1'b1` все команды выполняются с автодеактивацией, при установке в `1'b0` ни одна команда не выполняется с автодеактивацией. Для конфигураций AXI, `so_ih_gxcmd_autopre` устанавливается в «0» внутренне, и данная опция не доступна для пользователя.

Если транзакция NIF транслируется в несколько транзакций DFI, только последняя транзакция DFI выполняется с автодеактивацией. Предыдущие транзакции удерживают страницу открытой для того, чтобы последующие транзакции воспользовались попаданием в страницу. Также, если `DBG0.dis_collision_page_opt` установлен в «0», автодеактивация автоматически отключается для конфликтных команд.

15.13.4.2 «Интеллектуальная» деактивация

Регистр `SCHED.pageclose` включает исполнение команд деактивации через автоматическую деактивацию или явную деактивацию. Точная функциональность зависит от значения, запрограммированного в `SCHED1.pageclose_timer`:

1. Если SCHED.pageclose установлен в «1» и SCHED1.pageclose_timer=0, банк остается открытым до появления транзакций с попаданием в страницу, доступных в САМ к этому банку. Последняя команда чтения или записи в САМ с банком, и попаданием в страницу выполняется с автодеактивацией. В том числе, если регистр установлен в «1», явная деактивация (не автодеактивация) может быть выполнена в некоторых случаях, когда происходит переключение направления чтение/запись или LPR/HPR.
2. SCHED.pageclose устанавливается в «1» и SCHED1.pageclose_timer >0, банк остается открытым до появления транзакций с попаданием в страницу, доступных в САМ к этому банку. Последняя команда чтения или записи в САМ к банку и попаданием в страницу выполняется без деактивации. Наоборот, начальное значение таймера - pageclose_timer. Таймер присутствует для каждого банка. Он декрементируется, пока следующее чтение или запись в САМ к банку не будет являться попаданием в страницу. Таймер сбрасывается в значение pageclose_timer, если следующее чтение или запись в САМ в банк является попаданием в страницу. При достижении счетчиком нуля контроллер назначает явную деактивацию.
3. Если SCHED.pageclose устанавливается в «0», банк остается открытым до появления необходимости в его закрытии (с целью открыть другую страницу, или по тайм-ауту страницы, или по таймауту регенераций), такое поведение также называется алгоритмом открытых страниц. Сигнал HIF со_ih_rxcmd_autopre устанавливается в «0» и пользователь не имеет возможности управлять его состоянием.

Опция интеллектуальной деактивации является сочетанием алгоритма открытых страниц и алгоритма закрытых страниц. SCHED1.pageclose_timer обеспечивает пользователю управление временем ожидания, в течение которого не происходит попаданий в страницы к банку в САМ до назначенной авто-деактивации или явной деактивации. Это может быть полезным в многопортовой конфигурации арбитра. Таймер позволяет странице оставаться открытой в течение программируемого количества циклов с момента отсутствия необработанных команд в САМ к банку. Если отсутствуют необработанные команды в потоке (например, ХРІ/РА многопортового арбитра) к тому же банку/странице, у DDRMC2 появляется возможность заранее запланировать команду открытия страницы.

В Таблица 15.63 представлено краткое описание алгоритмов управления страницами, доступных в DDRMC2.

Таблица 15.63. Алгоритмы управления страницами

Алгоритм управления страницами	Конфигурации	Описание
Алгоритм открытых страниц	Все конфигурации	Установка SCHED.pageclose в «0» включает алгоритм открытых страниц, который может быть отменен путем отправки команд с со_ih_rxcmd autopre=1.

Алгоритм управления страницами	Конфигурации	Описание
Интеллектуальная деактивация (сочетание алгоритма открытых страниц и алгоритма закрытых страниц)	Все конфигурации	Установка SCHED.pageclose в «1» включает интеллектуальный алгоритм, как описано в разделе «Интеллектуальная деактивация». Функциональность зависит от значения таймера SCHED1.pageclose_timer. В конфигурациях NIF данное поведение может быть отменено путем отправки команд со <code>ih_gxcmd_autopre=1</code> .

15.14 Служба QOS

15.14.1 Классы трафика

DDRMC2 поддерживает различные классы трафика, которые отделяются друг от друга сигналом `argos`:

15.14.1.1 Классы запросов на чтение

- запрос на чтение с низким приоритетом (LPR): Также называется максимально эффективным трафиком. Этот тип трафика не имеет выделенных ресурсов и делит их с другими типами трафика. LPR всегда рассматривается как трафик с низким приоритетом в арбитре портов и DDRMC. Существуют механизмы таймаутов, которые могут быть использованы для предотвращения ситуации «голодания» как в арбитре портов, так и контроллере DDRMC. При наступлении таймаута в Арбитре портов данный порт получает высший приоритет (`priority0`). При наступлении таймаута в очереди LPR в DDRMC (то есть, состояние очереди LPR становится критическим), транзакции LPR обслуживаются раньше, чем транзакции HPR;
- запрос на чтение с высоким приоритетом (HPR): Имеет выделенные ресурсы. Для DDRMC, трафик HPR направляется в собственную очередь транзакций. Трафик HPR имеет более высокий приоритет, чем трафик LPR. Трафик HPR предназначен для приложений с критичными требованиями к задержке, но не подходит для приложений реального времени, таких как CPU.

15.14.1.2 Запросы на запись

Запись с обычным приоритетом (NPW): Также называется самым усиленным трафиком. Этот тип трафика не имеет выделенных ресурсов и делит ресурсы с другими типами трафика. Всегда рассматривается как трафик с обычным приоритетом в Арбитре портов и DDRMC. Существуют механизмы таймаутов, которые могут быть использованы для предотвращения ситуации «голодания» в Арбитре портов. При наступлении таймаута в Арбитре портов, данный порт получает высший приоритет (`priority0`).

15.14.2 Сигналы захвата приоритета

При установке сторонних сигналов AXI `arurgent` и `awurgent` порт получает высший приоритет (`priority0`) на время, пока эти сигналы установлены. Также происходит переключение направления чтение/запись в Арбитре портов, если это разрешено регистрами `PCFGR_n.rd_port_urgent_en` и `PCFGW_n.wr_port_urgent_en`.

Сигналы захвата приоритета также вызывают установку сигналов `co_gs_go2critical_wr/co_gs_go2critical_lpr` на интерфейсе HIF, которые в свою очередь переключают направление чтение/запись в DDRС, если это разрешено регистром `PCFG.go2critical_en`. Сигналы захвата приоритета игнорируются Арбитром портов, в случае если отсутствуют инициаторы запроса от установленного канала или порта. Аналогично, сигналы `co_gs_go2critical*` игнорируются DDRС, если соответствующая очередь пуста.

15.15 Описание работы обходной логики (bypass)

Обходная логика в DDRMC2 управляет запросами на чтение с низкой задержкой и высоким приоритетом.

Для включения обходной операции, регистры `DBG0.disable_act_bypass` и `DBG0.disable_rd_bypass` должны быть установлены в «0».

Контроллер DDRMC2 поддерживает два уровня приоритета для команд чтения – чтения с высоким приоритетом (HPR) и чтения с низким приоритетом (LPR). Память чтения САМ может быть разделена с помощью регистра `SCHED.lpr_num_entries` на секции команд с низким и высоким приоритетом. Обычно все команды чтения контроллера сохраняются в памяти чтения САМ. Команды HPR направляются в секцию с высоким приоритетом (HP), и команды LPR направляются в секцию с низким приоритетом (LP). Затем распределение команд происходит на основании нескольких факторов, таких как приоритет, совпадение страниц (`page match`) и наиболее устаревшая ячейка. Команды HPR в САМ получают приоритет над командами LPR с помощью механизма планирования. Тем не менее, команды HPR могут по некоторым причинам задерживаться в САМ на более длительный период.

Если включена обходная логика, команды HPR могут обходить САМ и напрямую поступать в интерфейсный блок РНУ, таким образом, экономится несколько тактов задержки.

Пути САМ и обходной путь показаны на Рисунок 15.11.

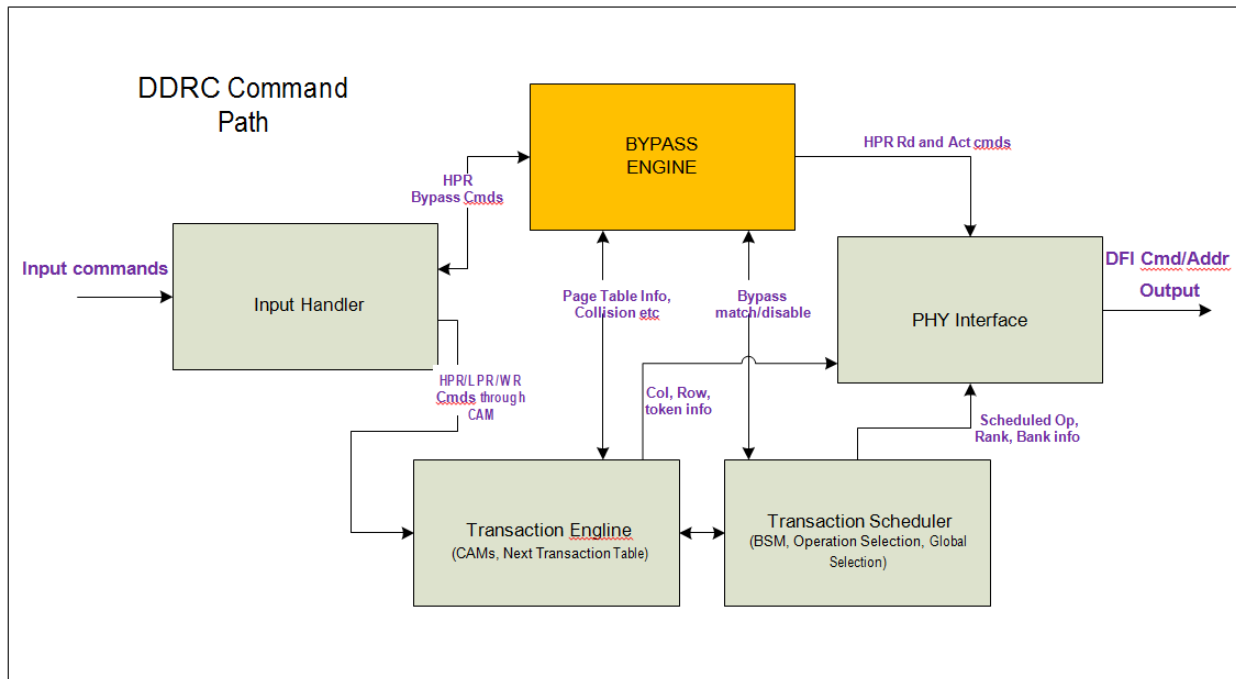


Рисунок 15.11. Путь CAM и обходной путь

Существуют два типа обходных операций:

1. Активация: Если команда Чтение HP поступает к закрытой странице, запрос Активации для этой команды отправляется через обходной путь. Команда отправляется в CAM и часть этого запроса, составляющая чтение, выполняется через логику планирования CAM.
2. Чтение: Если команда чтения HP поступает к открытой странице, запрос активации не требуется для этой команды. Чтение отправляется через обходной путь.

Даже при условии, что поступившая команда соответствует вышеуказанным условиям, команда может не пройти через обходной путь по следующим причинам:

- контроллер находится в режиме записи;
- контроллер выполняет необходимые команды обслуживания, такие как регенерация (Refresh), калибровка ZQ (ZQ Calibration), запись регистра MR/чтение регистра MR (MRW/MRR) и требуемая деактивация;
- контроллер разрешает конфликт;
- контроллер выполняет запрос обновления DFI Control Update.

Время простоя контроллера DDRC для команды активации или команды чтения, которая проходит через CAM составляет 4 или 5 тактов (в зависимости от поддержки ECC). Если та же команда проходит по обходному пути, время простоя составляет 3 или 4 такта.

15.16 Описание пакетного режима работы

15.16.1 Выбор разрядности шины

DDRMС2 предоставляет пользователю возможность выбирать, будет ли шина данных DQ подключена к SDRAM полностью или частично. Это позволяет DDRMC2 подключаться к «полноразрядным» SDRAM или с половиной, или четвертью этой разрядности. Выбор осуществляется с помощью регистра MSTR.data_bus_width.

Независимо от выбора ширины шины, интерфейс HIF использует полную разрядность шины, и DDRMC2 упаковывает данные в активные байты на интерфейсе DFI в зависимости от значения MSTR.data_bus_width. Это может потребовать формирования многочисленных пакетов для каждой транзакции HIF.

DDRMС2 не поддерживает опциональный сигнал DFI dfi_data_byte_disable, таким образом, может быть необходимым программирование PHY для указания байтов, которые не будут использованы. При использовании устройства DDR PHY, следует установить разряд DXnGCR.DXEN в «0».

15.16.2 Допустимые размеры пакетов

Нормальная транзакция чтения или записи на хост интерфейсе содержит количество данных, достаточное для одной транзакции DDR BL8.

Длина пакета, используемая на интерфейсе DFI, управляется разрядами MSTR.burst_rdw[3:0]. В следующих таблицах представлена информация о поддержке различных размеров пакета в различных конфигурациях устройства.

В Таблица 15.64 показано количество команд DRAM, которые генерируются DDRMC2 для каждой команды хост-интерфейса, в зависимости от настроек MSTR.burst_rdw и MSTR.data_bus_width.

Примечания

1. Потери пропускной способности при транзакции записи означают, что недостающие данные со стороны ядра СнК добавляются контроллером DDRMC2 и маскируются при записи в память SDRAM.
2. Потери пропускной способности при транзакции чтения означают, что дополнительные данные чтения от памяти SDRAM сбрасываются контроллером DDRMC2 до отправки данных в ядро СнК.

Таблица 15.64. Количество транзакций SDRAM

		MSTR.burst_rdwr			
		«0001» (BL2)	«0010» (BL4)	«0100» (BL8)	«1000» (BL16)
Полная разрядность шины	Полная запись	Не поддерживается	2	1	Не поддерживается
	Частичная запись	Не поддерживается	2 (с потерями пропускной способности)	1 (с потерями пропускной способности)	Не поддерживается
	Полное чтение	Не поддерживается	2	1	Не поддерживается
	Частичное чтение	Не поддерживается	1	1 (с потерями пропускной способности)	Не поддерживается
Половинная разрядность шины	Полная запись	Не поддерживается	4	2	1
	Частичная запись	Не поддерживается	4 (с потерями пропускной способности)	2 (с потерями пропускной способности)	1 (с потерями пропускной способности)
	Полное чтение	Не поддерживается	4	2	1
	Частичное чтение	Не поддерживается	2	1	1 (с потерями пропускной способности)
Четвертная разрядность шины	Полная запись	Не поддерживается	8	4	2
	Частичная запись	Не поддерживается	8 (с потерями пропускной способности)	4 (с потерями пропускной способности)	2 (с потерями пропускной способности)
	Полное чтение	Не поддерживается	8	4	2
	Частичное чтение	Не поддерживается	4	2	1

15.16.2.1 Поддержка разделения пакетной передачи (burst chop)

Опция разделения пакетной передачи поддерживается в режиме полноразрядной шины и используется только при чтении. При записи передается полный пакет данных в связи с поддержкой опции объединенной записи.

Когда это возможно, короткие операции чтения используют эту опцию. В соответствии со Спецификацией DDR3, модуль не доступен в течение двух тактов после разделения пакета. Применение опции разделения пакета данных полезно только при переключении между модулями.

Примечание. Эта опция предназначена только для работы в режиме DDR3.

15.16.3 Последовательные и чередующиеся пакетные передачи

Контроллер DDRMC2 поддерживает режимы последовательных и чередующихся пакетных передач. Тип пакета программируется в регистре MSTR.burst_mode.

Записи в SDRAM всегда выполняются как выровненные операции на интерфейсе DFI во всех режимах (DDR2/3, mDDR, LPDDR2). Если запись HIF имеет не выровненный адрес, контроллер DDRMC2 изменяет порядок данных таким образом, чтобы части данных приходили в таком же порядке, как и при выполнении выровненной записи на интерфейсе DFI и SDRAM).

Операции чтения SDRAM могут выполняться как выровненные, и как не выровненные, в зависимости от входного адреса HIF. Данные по чтению отправляются на интерфейс HIF в том порядке, в котором они запрашивались.

В Таблица 15.65 - Таблица 15.67 показаны примеры адресации для режимов последовательной адресации в пакете и адресации с чередованием. Примеры приведены для операций SDRAM с длиной пакета 4 и 8, аналогичным образом выполняются операции SDRAM с длиной пакета 2 и 16.

Таблица 15.65. Адресация MSTR.burst_rdwr = 4'b0010 (BL4)

Начальный адрес HIF (A1 A0)	Начальный адрес SDRAM (A2 A1 A0)	Адресация последовательная	Адресация с чередованием
00	000	0,1,2,3	0,1,2,3
01	010	2,3,0,1	2,3,0,1
10	100	0,1,2,3	0,1,2,3
11	110	2,3,0,1	2,3,0,1

Таблица 15.66. Адресация MSTR.burst_rdwr = 4'b0100 (BL8) (DDR2/DDR3)

Начальный адрес HIF (A1 A0)	Начальный адрес SDRAM (A2 A1 A0)	Адресация последовательная	Адресация с чередованием
00	000	0,1,2,3,4,5,6,7	0,1,2,3,4,5,6,7
01	010	2,3,0,1,6,7,4,5	2,3,0,1,6,7,4,5
10	100	4,5,6,7,0,1,2,3	4,5,6,7,0,1,2,3
11	110	6,7,4,5,2,3,0,1	6,7,4,5,2,3,0,1

Таблица 15.67. Адресация MSTR.burst_rdwr = 4'b0100 (BL8) (mDDR/LPDDR2)

Начальный адрес HIF (A1 A0)	Начальный адрес SDRAM (A2 A1 A0)	Адресация последовательная	Адресация с чередованием
00	000	0,1,2,3,4,5,6,7	0,1,2,3,4,5,6,7
01	010	2,3,4,5,6,7,0,1	2,3,0,1,6,7,4,5
10	100	4,5,6,7,0,1,2,3	4,5,6,7,0,1,2,3
11	110	6,7,0,1,2,3,4,5	6,7,4,5,2,3,0,1

15.17 Управление регенерацией

Регенерация памяти SDRAM может быть выполнена с помощью опции саморегенерации в DDRMC2 или через прямой программный запрос команды регенерации. Способ выбирается с помощью разряда RFSHCTL3.dis_auto_refresh. Если этот разряд установлен в «1», DDRMC2 использует прямой программный запрос команды регенерации, при установке разряда в «0» используется опция саморегенерации.

15.17.1 Прямой программный запрос команды регенерации

Для использования команды регенерации по прямому программному запросу необходимо выполнить следующие действия:

1. Установить разряд RFSHCTL3.dis_auto_refresh в «1». Если этот разряд установлен, DDRMC2 проверяет наличие запросов регенерации, ожидающих обработки. Любые запросы регенерации, ожидающие обработки, выполняются сразу, с помощью опции критической регенерации (critical refresh) внутри контроллера DDRMC2. После того, как все запросы регенерации выполнены, все таймеры регенерации внутри DDRMC2 сбрасываются в «0». Таймеры возобновляются только при включенной опции саморегенерации.
2. Ядро SnK должно отслеживать требования регенерации SDRAM.
3. Команда регенерации может быть отправлена с помощью установки разрядов DBGCMD.rank*_refresh в «1». Когда запрос rank*_refresh сохраняется в DDRMC2, соответствующий разряд регистра автоматически сбрасывается. Ядро SnK может инициировать операцию rank*_refresh только при установке низкого уровня сигнала DBGSTAT.rank*_refresh_busy. Контроллер DDRMC2 отправляет запросы регенерации в SDRAM как можно раньше. Если разряд DIMMCTL.dimm_stagger_cs_en установлен в «1», и команда регенерации предназначена для четных и нечетных модулей, DDRMC2 выдает две команды: одну для четных и одну для нечетных модулей.

4. Если опция саморегенерации отключена, между отправкой запросов регенерации ядро СнК ждет в течение интервала tRFC(min).

15.17.2 Саморегенерация

Контроллер DDRMC2 предоставляет расширенные возможности управления регенерацией. Кроме полностью конфигурируемых ограничений (tRFC(min) и tREFI), контроллер DDRMC2 также может быть запрограммирован для сбора запросов регенерации отдельно к каждому модулю SDRAM для сокращения потребления пропускной способности при регенерации и для повышения вероятности, что запросы на регенерацию могут быть обслужены в течение периода простоя.

Тщательный контроль над выполнением регенерации обеспечивает баланс между преимуществами саморегенерации и временем, которое тратится на их обслуживание.

Используются следующие сигналы:

- RFSHCTL0.refresh_burst;
- RFSHCTL0.per_bank_refresh (LPDDR2);
- RFSHCTL0.refresh_margin;
- RFSHCTL0.refresh_to_x32;
- RFSHCTL1.refresh_timer0_start_value_x32;
- RFSHCTL1.refresh_timer1_start_value_x32;
- RFSHCTL2.refresh_timer2_start_value_x32;
- RFSHCTL2._refresh_timer3_start_value_x32;
- RFSHCTL3.refresh_update_level;
- RFSHCTL3.dis_auto_refresh.

Преимущества управления регенерацией:

- уменьшение влияния тактов регенерации на пропускную способность;
- повышение вероятности обслуживания запросов регенерации в течение периодов простоя;
- обеспечение баланса между преимуществами объединения команд саморегенерации и увеличением задержек в худших случаях, связанных с обслуживанием регенерации;
- во время регенерации одного модуля продолжается передача данных в других модулях (только для конфигураций DDRMC2 с несколькими модулями).

Для минимизации воздействия принудительной регенерации контроллер DDRMC2 может быть запрограммирован на выдачу единичных запросов регенерации установкой следующего значения RFSHCTL0.refresh_burst=0. Также он может быть запрограммирован на выдачу пакета, объединяющего до 8 запросов регенерации (RFSHCTL0.refresh_burst=7). Пакетная регенерация может быть использована для

минимизации потерь пропускной способности в связи с закрытием страниц и для повышения вероятности, что регенерация может быть выполнена в период простоя.

15.17.2.1 Единичная регенерация

При использовании единичной регенерации (`RFSHCTL0.refresh_burst=0`) контроллер `DDRMC2` выполняет регенерацию каждый раз по истечении таймера регенераций (`tREFI`). Это оптимальный режим работы для систем, ограничивающих максимальную задержку, связанную с циклами регенерации.

15.17.2.2 Пакетная регенерация

При включении опции пакетной регенерации (`RFSHCTL0.refresh_burst > 0`), контроллер `DDRMC2` выполняет регенерацию пакетами (`RFSHCTL0.refresh_burst+1`). Такой способ сокращает общую задержку, связанную с регенерацией, путем сокращения количества деактиваций и активаций, требуемых для регенерации, так как банки должны быть деактивированы только один раз для выполнения всей группы, вместо деактивации для каждого пакета.

15.17.2.2.1 Спекулятивная регенерация

При включении пакетной регенерации пользователь может воспользоваться опцией спекулятивной регенерации.

Пакетная регенерация реализуется следующим образом: подсчитывается количество раз, когда истекает счетчик `tREFI`, и по достижению количества регенераций в пакете, выдается группа регенераций. Если счетчик `tREFI` истек как минимум один раз, контроллер `DDRMC2` имеет также возможность выполнять спекулятивные регенерации. При спекулятивных регенерациях происходит автоматическая вставка регенераций в период простоя `DDRMC2`.

Регистр `RFSHCTL0.refresh_to_x32` определяет, как долго контроллер `DDRMC2` должен находиться в состоянии простоя до вставки спекулятивных регенераций. Каждый раз, когда выполняется спекулятивная регенерация, счетчик истечения времени `tREFI` декрементируется, при этом увеличивая период времени, по завершению которого потребуется пакет регенераций. Это также гарантирует, что спекулятивные регенерации не происходят чаще, чем это требуется для выполнения требований `SDRAM`.

Если новая транзакция чтения принимается `DDRMC2` во время выполнения спекулятивной регенерации, она обрабатывается контроллером `DDRMC2` сразу, как только это будет разрешено. Чаще всего это влечет за собой ожидание в течение требуемого количества циклов `NOP` после регенерации, перед тем как будет выполнена активация и затем обработана транзакция чтения или записи. Если контроллер `DDRMC2` начал закрытие страниц для выполнения спекулятивной регенерации, но транзакция

поступила раньше, чем была выдана регенерация, происходит отмена спекулятивной регенерации.

15.17.2.2.2 Регенерация по банкам (только LPDDR2)

Если RFSHCTL0.per_bank_refresh установлен в «1», DDRMC2 выполняет регенерации для каждого банка отдельно. В этом случае RFSHTMG.t_rfc_nom_x32 и RFSHTMG.t_rfc_min должны быть установлены в соответствующие значения (tREFIpb и tRFCpb соответственно). В этом режиме DDRMC2 отслеживает, в каком банке выполняется регенерация в любой момент времени, и назначает команды другим банкам непосредственно до и после команд регенерации, тем самым повышая эффективность.

15.18 Прецизионная калибровка ZQ

Опция прецизионной калибровки ZQ может применяться в DDR3 и LPDDR2. Контроллер DDRMC2 использует данную команду для калибровки значений SDRAM RON (Resistor ON) и динамического согласования нагрузки на кристалле (ODT, On-Die Termination) по параметрам технология изготовления/напряжение/температура (PVT, Process, Voltage, Temperature). В DDR3 и LPDDR2 SDRAM требуется больше времени для калибровки значений RON и ODT при инициализации и относительно меньше времени для выполнения периодических калибровок. Более подробная информация содержится в Спецификациях DDR3 (JEDEC JESD79-3*), LPDDR2 (JEDEC JESD209-2*).

15.18.1 DDR3

Команда длинной калибровки ZQCL (ZQ Calibration Long) используется следующим образом:

1. Для выполнения начальной калибровки во время инициализации устройства при включении питания. Данная команда исполняется за период времени tZQinit, определяемый в INIT5.dev_zqinit_x32, при этом выполняется полная калибровка и передача значений.
2. Для выполнения длинной калибровки ZQ после выхода из режима саморегенерации. Данная команда исполняется за период времени tZQOPER, определяемый в ZQCTL0.t_zq_long_nop. Команда выдается автоматически при ZQCTL0.dis_srx_zqcl (ZQCL0.dis_mpsmx_zqcl), установленном в значение «0». Для отключения автоматической выдачи команды ZQCL после выхода из режима саморегенерации необходимо установить ZQCTL0.dis_srx_zqcl (ZQCTL0.dis_mpsmx_zqcl) в значение «1».

Команда короткой калибровки ZQCS (ZQ Calibration Short) используется для выполнения периодической калибровки с учетом изменений соотношения напряжение/температура (VT, Voltage/Temperature). Для выполнения калибровки и передачи значений требуется более короткое временное окно, выраженное параметром tZQCS (определяется в поле

регистра ZQCTL0.t_zq_short_nop). Команда ZQCS может выполняться автоматически с регулярным интервалом или по прямому программному запросу.

В DDR3 команды калибровки ZQ выдаются на шину команд DFI в кодировке, как указано в Спецификации JEDEC. Контроллер DDRMC2 не выполняет никаких других действий в периоды tzQinit, tzQOPER и tzQCS. Отсутствие активности на SDRAM позволяет произвести более точную калибровку RON и ODT. До выдачи контроллером DDRMC2 команд калибровки ZQ выполняется деактивация все банков и выдерживается время trp.

15.18.2 LPDDR2

Контроллер DDRMC2 поддерживает все команды калибровки ZQ, которые определены Спецификацией JEDEC.

Команда ZQInit (ZQ Initial Calibration) выполняет начальную калибровку во время инициализации при включении питания. Время исполнения команды – tzQinit (определяется в поле регистра INIT5.dev_zqinit_x32).

Команда ZQCL (ZQ Long Calibration) выполняет длинную калибровку ZQ после выхода из режима саморегенерации. Время исполнения команды – tzQCL (определяется в поле регистра ZQCTL0.t_zq_long_nop). Команда выдается автоматически при установке поля регистра ZQCTL0.dis_srx_zqcl в значение «0». Для отключения автоматической выдачи команды ZQCL после выхода из режима саморегенерации необходимо установить поле регистра ZQCTL0.dis_srx_zqcl в значение «1».

Команда ZQCS (ZQ Short Calibration) используется для выполнения периодической калибровки с учетом изменений соотношения напряжение/температура (VT). Для выполнения калибровки и передачи значений требуется более короткое временное окно, заданное параметром tzQCS (определяется в поле регистра ZQCTL0.t_zq_short_nop).

Команда ZQCS может выполняться автоматически с регулярным интервалом или по прямому программному запросу.

Команда ZQReset (ZQ Calibration Reset) используется для сброса калибровки RON к значению по умолчанию +/- 30% по параметру PVT. Эта команда используется для соблюдения точности RON в +/- 30%, если не используются команды ZQCS и ZQCL, и выполняется в течение периода времени tzQRESET, определяемого в ZQCTL1.t_zq_reset_nop. Эта команда выдается с помощью регистров ZQCTL2.zq_reset и ZQSTAT.zq_reset_busy.

Команды ZQ посылаются в DRAM как команды записи регистра MR (MRW).

Выполняется команда (MRW) записи регистра MR10, применяются следующие значения калибровки для различных команд: ZQInit – 0xFF, ZQCL – 0xAB, ZQCS – 0x56 и ZQRest – 0xC3.

Контроллер DDRMC2 не выполняет никаких других действий в периоды t_{zqinit} , t_{zqcl} , t_{zqcs} и $t_{zqreset}$. Отсутствие активности на SDRAM позволяет произвести более точную калибровку RON и ODT. До выдачи контроллером DDRMC2 команд калибровки ZQ выполняется деактивация все банков и выдерживается время t_{rp} .

Примечание. Для LPDDR2 возможно выполнение команд ZQ программным способом с помощью интерфейса регистра режима работы.

Тем не менее, при таком способе выполнении команды контроллер не соблюдает требования по временным параметрам, поэтому данную команду следует выполнять, используя один из перечисленных ниже способов.

15.18.3 Автоматическое и программное выполнение команды ZQCS

Контроллер DDRMC2 выполняет команду ZQCS следующими способами:

1. Автоматическая отправка команды ZQCS контроллером DDRMC2: В этом случае DDRMC2 периодически отправляет команды ZQCS в SDRAM. Интервал между командами определяется в $ZQCTL1.t_{zq_short_interval_x1024}$. Этот способ применяется, если разряд $ZQCTL0.dis_auto_zq$ установлен в значение «0».
2. Отправка команды ZQCS по прямому программному запросу: В этом случае ядро СнК посылает команду ZQCS программно, путем установки разряда $DBGCMD.zq_calib_short$ в значение «1». Когда запрос ZQCS сохраняется в DDRMC2, происходит автоматическая очистка разряда. Не рекомендуется устанавливать сигнал $DBGCMD.zq_calib_short$ в режимах инициализации, саморегенерации или режиме глубокого сна. Ядро СнК может инициировать операцию ZQCS только в случае, если разряд $DBGSTAT.zq_calib_short_busy$ установлен в значение «0». Высокий уровень сигнала $DBGSTAT.zq_calib_short_busy$ устанавливается в следующем такте после получения запроса ZQCS контроллером DDRMC2. Данный разряд сбрасывается в «0», когда DDRMC2 начинает выполнение операции ZQCS. Для корректной работы SDRAM необходимо частое назначение этой команды пользователем/программой. Этот способ используется при установке $ZQCTL0.dis_auto_zq$ в «1».

В обоих случаях, если устанавливается $DIMMCTL.dimm_stagger_cs_en$, DDRMC2 выполняет две последовательные команды ZQCS – одна для четных модулей, и вторая для нечетных модулей.

15.18.4 Команда сброса ZQ в LPDDR2

В LPDDR2 команда сброса ZQ (ZQ Reset) выдается путем установки $ZQCTL2.zq_reset$ в значение «1». После завершения операции ZQ Reset контроллер DDRMC2 автоматически очищает этот разряд. Не рекомендуется устанавливать этот сигнал в режиме

инициализации, саморегенерации или режиме глубокого сна. Ядро СнК может инициировать операцию ZQ Reset только в случае, если разряд ZQSTAT.zq_reset_busy установлен в «0». Высокий уровень этого сигнала устанавливается в следующем такте после того, как DDRMC2 принял запрос ZQ Reset. Данный разряд сбрасывается в «0», когда команда ZQ reset посылается в SDRAM и соответствующий период NOP завершен. Не рекомендуется выполнять команду ZQ Reset при ZQSTAT.zq_reset_busy, установленном в значение «1».

15.19 Обновления DFI

Запрос на обновление DFI, инициированный контроллером (dfi_ctrlupd_req), отправляется DDRMC2 на интерфейс DFI таким образом, что PHY может обновлять значения линии задержек из основной линии задержек. Необходимо периодически устанавливать этот сигнал с целью учета изменения параметров PVT (технология изготовления/напряжение/температура) в линиях задержки в PHY. Сигнал подтверждения от PHY (phy_dfi_ctrlupd_ack) указывает на завершение процесса обновления PHY. Контроллер DDRMC2 соблюдает требования Спецификации DFI относительно минимального и максимального времени, в течение которого запрос обновления DFI остается установленным.

Важно контролировать, чтобы обновление линии задержки не выполнялось во время операции чтения или записи, так как это может ухудшить индикаторную диаграмму. Существует два способа отправки запроса:

- автоматический запрос обновления от контроллера;
- прямой программный запрос обновления от контроллера.

15.19.1.1 Автоматический запрос обновления от контроллера

Этот способ применяется, если разряд DFIUPD0.dis_auto_ctrlupd установлен в значение «0».

DDRMC2 должен тщательно следить за установкой сигнала dfi_ctrlupd_req. Контроллер DDRMC2 устанавливает dfi_ctrlupd_req каждый раз, когда он находится в состоянии простоя, где простой означает отсутствие в памяти САМ операций чтения или записи, отсутствие ответов по чтению, буферизованных в блоке трекера ответов (RT), и также отсутствие данных записи, ожидающих обработки в блоке чтения памяти (MR).

Если DDRMC2 в течение длительного времени не находился в состоянии простоя (это зависит от PHY – насколько часто требуются запросы обновления), для отправки запросов обновления DFI DDRMC2 использует механизм таймаута. При возникновении таймаута обновления DFI, инициированного контроллером, DDRMC2 прекращает назначать

операции чтения и записи, пока блоки MR и RT не перейдут в состояние простоя, и затем устанавливает сигнал `dfi_ctrlupd_req`.

15.19.1.2 Прямой программный запрос обновления от контроллера

Этот способ применяется, если сигнал `dfi_ctrlupd_req` программно установлен в «1». В этом случае ядро СнК решает, когда выполнять запросы обновлений DFI, инициированные контроллером. Это может быть полезным в тех случаях, когда использование шины SDRAM является крайне важным, и для DDRMC2 предпочтительно исключить любые перерывы в транзакциях.

Для выполнения запроса ядро СнК устанавливает разряд `DBGCMD.ctrlupd` в значение «1». Когда запрос сохраняется в DDRMC2, разряд автоматически очищается. Ядро СнК может выполнить этот запрос только при низком уровне сигнала `DBGSTAT.ctrlupd_busy`. Высокий уровень сигнала `DBGSTAT.ctrlupd_busy` устанавливается в следующем такте после того, как DDRMC2 принял запрос. Низкий уровень сигнала устанавливается, когда операция обновления DFI инициирована в DDRMC2.

Контроллер DDRMC2 может устанавливать сигнал `dfi_ctrlupd_req` одновременно с установкой регенерации. DDRMC2 обеспечивает функциональную корректность выполнения обоих запросов. Логика ядра СнК обеспечивает частое выполнение запросов, а также их выполнение в момент, когда ядро может позволить соответствующий перерыв в операциях чтения/записи.

15.19.2 Запрос обновления DFI от блока PHY

Запросы обновлений DFI, инициированные блоком PHY должны быть подтверждены контроллером DDRMC2. DFI определяет 4 различных режима обновлений, инициированных PHY. Режимы отличаются только количеством тактов, в которых интерфейс DFI должен находиться в неактивном состоянии при выполнении обновления. Время для этих режимов программируется в разрядах `DFIUPD2.dfi_phyupd_type0`, `DFIUPD2.dfi_phyupd_type1`, `DFIUPD3.dfi_phyupd_type2` и `DFIUPD3.dfi_phyupd_type3`.

Поддержка этого интерфейса включается/выключается с помощью разряда `DFIUPD2.dfi_phyupd_en`. Если режим был включен программно, при возникновении запроса обновления, инициированного PHY, канал команды DFI, канал данных чтения и канал данных записи блокируются как можно раньше (максимальное время – 128 тактов), и контроллер отвечает на запрос путем установки сигнала `dfi_phyupd_ack` в значение «1».

Следует отметить, что если пакетная регенерация используется вместе с обновлениями DFI, инициированными блоком PHY, следует избегать возникновения нарушений ограничения t_{RFCmax} , которые могут произойти, если запрос обновления от PHY был получен незадолго до передачи пакетной регенерации. В этом случае, выполнение

пакетной регенерации откладывается до завершения обновления от РНУ. В зависимости от значений задержки, установленных в DFIUPDx.dfi_phyupd_type*, это может сдвинуть интервал обновлений за границу значения t_{RFCmax} . Этого можно избежать путем сокращения значения RFSHCTL0.refresh_burst.

Регистры, относящиеся к этому интерфейсу:

- DFIUPD2.dfi_phyupd_en;
- DFIUPD2.dfi_phyupd_type0;
- DFIUPD2.dfi_phyupd_type1;
- DFIUPD3.dfi_phyupd_type2;
- DFIUPD3.dfi_phyupd_type3;
- DFITMG0.dfi_ctrl_delay.

Примечание. Если блок РНУ не предусматривает обновления, инициированные РНУ, рекомендуется установить нижеперечисленные входные сигналы в следующие значения:

- DFIUPD2.dfi_phyupd_en = 1'b0;
- phy_ddrc_dfi_phyupd_req = 1'b0;
- phy_ddrc_dfi_phyupd_type = 2'b00.

15.20 Инициализация SDRAM

Для инициализации устройств SDRAM требуется выполнить определенную последовательность команд. Большинство команд этой последовательности являются стандартными, но некоторые части должны задаваться иначе, в соответствии с конфигурацией системы, тактовыми частотами и использованием определенных микросхем SDRAM. По этой причине DDRMC2 предоставляет большую гибкость в выполнении инициализации.

В данном разделе представлено описание последовательности инициализации и возможности ее программирования с помощью контроллера DDRMC2.

Список регистров, используемых при выполнении последовательности инициализации SDRAM:

- MSTR. ddr3;
- MSTR. mobile;
- MSTR. lpddr2;
- INIT0. skip_dram_init;
- INIT0. pre_cke_x1024;
- INIT0. post_cke_x1024;
- DRAMTMG3. t_mrd;
- DRAMTMG3. t_mod (Используется только для DDR3 SDRAM);

- INIT1.reg_ddrc_pre_ocd_x32;
- INIT1.final_wait_x32;
- INIT3.mr;
- INIT3.emr;
- INIT4.emr2;
- INIT4.emr3;
- INIT5.dev_zqinit_x32. (Используется только для DDR3 и LPDDR2 SDRAM).

Для LPDDR2 при инициализации SDRAM используются следующие регистры:

- INIT2.min_stable_clock_x1;
- INIT2.idle_after_reset_x32;
- INIT5.max_auto_init_x1024;
- DRAMTMG3.t_mrwl.

Если пользователь/СнК корректно программирует вышеуказанные регистры, контроллер DDRMC2 автоматически выполняет последовательность, необходимую для инициализации устройств DDR SDRAM. Эти регистры должны быть запрограммированы до выхода DDRMC2 из сброса.

Примечание. Кроме инициализации SDRAM после аппаратного сброса, последовательность инициализации может быть использована для вывода SDRAM из режима саморегенерации.

Описание последовательности инициализации SDRAM представлено в следующих подразделах.

15.20.1 Инициализация DDR2

Для DDR2 машина состояния инициализации контроллера DDRMC2 выполняет следующую последовательность:

1. Включение питания.
2. Выполнение операций NOP/deselect на период, заданный INIT0.pre_cke_x1024. Требование по Спецификации: не менее 200 us с сохранением стабильных значений питания и частоты.
3. Установка сигнала СКЕ и выполнение операции NOP/deselect на период, заданный INIT0.post_cke_x1024. Требование по Спецификации не менее 400 ns.
4. Выполнение деактивации с последующим исполнением операций NOP/deselect в течение числа тактов, заданного DRAMTMG4.t_gp.

5. Программирование регистра EMR2 в значение, заданное INIT4.emr2 с последующим исполнением операций NOP/deselect в течение числа тактов, заданного DRAMTMG3.t_mrd.
6. Программирование регистра EMR3 в INIT4.emr3 с последующим исполнением операций NOP/deselect в течение числа тактов, заданного DRAMTMG3.t_mrd.
7. Включение DLL путем программирования регистра EMR в значение, заданное INIT3.emr с последующим выполнением операций NOP/deselect в течение числа тактов, заданного DRAMTMG3.t_mrd.
8. Выполнение сброса DLL путем программирования регистра MR в значение, заданное INIT3.mr с последующим исполнением операций NOP/deselect в течение числа тактов, заданного DRAMTMG3.t_mrd.
9. Выполнение деактивации всех банков с последующей операцией NOP/deselect на период (DRAMTMG4.t_gp+1) тактов.
10. Выполнение регенерации с последующей операцией NOP/deselect в течение числа тактов, заданного RFSHTMG.t_rfc_min. Повторяется 9 раз.
11. Программирование регистра MR без сброса DLL путем установки регистра MR в значение, заданное INIT3.mr с установкой разряда 8 в значение «1».
12. Выполнение операций NOP/deselect в течение числа тактов, заданного INIT1.final_wait_x32.
13. Начало нормальной работы.

15.20.2 Инициализация DDR3

Для DDR3 машина состояния инициализации DDRMC2 исполняет следующую последовательность:

1. Включение питания.
2. Установка dfi_reset_n в значение «0» на период, определяемый INIT1.dram_rstn_x1024. Требование по спецификации: минимум 200 us с сохранением стабильного питания.
3. Выполнение операций NOP/deselect на период INIT0.pre_cke_x1024. Требование по спецификации минимум 500 us.
4. Установка сигнала СКЕ и выполнение операций NOP/deselect на период INIT0.post_cke_x1024 (требование по спецификации минимум txpr).

5. Выполнение команды MRS (настройка регистра MR) для загрузки в MR2 значения, заданного INIT4.emr2 с последующим выполнением NOP/deselect на период DRAMTMG3.t_mrd.
6. Выполнение команды MRS для загрузки в MR3 значения, заданного INIT4.emr3 с последующим выполнением NOP/deselect на период DRAMTMG3.t_mrd.
7. Выполнение команды MRS для загрузки в MR1 значения, заданного INIT4.emr с последующим выполнением NOP/deselect на период DRAMTMG3.t_mrd.
8. Выполнение команды MRS для загрузки в MR0 значения INIT3.mr с последующим выполнением NOP/deselect на период DRAMTMG3.t_mod.
9. Выполнение команды ZQCL для начала операции длинной калибровки ZQ и ожидание на период INIT5.dev_zqinit_x32.
10. Ожидание завершения INIT5.dev_zqinit_x32. Необходимо убедиться, что период ожидания после выполнения шага 8 больше, чем tDLLK.
11. Устройство DDR3 SDRAM готово к нормальной работе.

15.20.3 Инициализация mobile DDR

Для мобильного устройства LPDDR SDRAM, машина состояний инициализации DDRMC2 выполняет следующую последовательность:

1. Одновременное включение питания VDD и VDDQ. Установка и удерживание сигнала СKE.
2. Ожидание стабильной тактовой частоты.
3. Выполнение операций NOP/deselect на период INIT0.pre_cke_x1024 (Требование по спецификации: 200 us с сохранением стабильного питания и частоты).
4. Выполнение команды деактивации всех банков.
5. Выполнение команды регенерации 8 раз (Требования по Спецификации JEDEC только 2 команды регенерации во время инициализации).
6. Загрузка регистра режима работы (MR).
7. Загрузка расширенного регистра режима работы (EMR).
8. Выдать команду активации.
9. Выполнение операций NOP/deselect на период INIT1.final_wait_x32 тактов.

10. Начало нормальной работы.

15.20.4 Инициализация LPDDR2

Для LPDDR2 машина состояний инициализации DDRMC2 выполняет следующую последовательность:

1. Включение питания.
2. Низкий уровень сигнала СКЕ удерживается на период INIT0.pre_cke_x1024. Проверяется стабильность частоты в течение периода INIT2.min_stable_clock_x1 (не менее 5 тактовых циклов) перед первой установкой высокого уровня сигнала СКЕ.
3. Установка СКЕ на период INIT0.post_cke_x1024 (Требование по спецификации: не менее 200 us).
4. Выполнение команды MRW (Reset) для регистра MRW63. Для этой команды используются значения MA<7:0> = 3FH и OP<7:0> = 00H. Команда MRW reset переводит устройство в состояние авто-инициализации (сброс) в последовательности инициализации при включении питания.
5. Выполнение операций NOP/deselect на период, заданный INIT2.idle_after_reset_x32 (Требование по спецификации: минимум 1 us) и INIT5.max_auto_init_x1024 (требование по спецификации максимум 10 us).
6. Отправка команды начальной калибровки ZQ MRW в память в регистр MR10 для начала операции калибровки ZQ. Для этой команды используются значения MA<7:0> = 0AH и OP<7:0> = FFH.
7. Выполнение операций NOP/deselect на период, заданный INIT5.dev_zqinit_x32 (требование по спецификации: минимум 1 us).
8. Программирование регистра MR2 в значение, заданное INIT3.emr, с последующим выполнением операций NOP/deselect на период, заданный DRAMTMG3.t_mrwr (типичное значение 5 тактовых циклов).
9. Программирование регистра MR1 в значение, заданное INIT5.mr, с последующим выполнением NOP/deselect на период, заданный DRAMTMG3.t_mrwr (типичное значение 5 тактовых циклов).
10. Программирование регистра MR3 в значение, заданное INIT4.emr2 с последующим выполнением NOP/deselect на период, заданный DRAMTMG3.t_mrwr (типичное значение 5 тактовых циклов).
11. Выполнение нескольких операций регенерации всех банков.

12. Начало нормальной работы.

15.20.5 Поддержка модулей памяти DIMM

При инициализации модулей DIMM может быть необходима запись в регистр MR отдельно для четных и нечетных модулей.

15.20.5.1 Модули памяти UDIMM

Для DDR3 UDIMM могут применяться следующие опции:

Отражение адресов.

15.20.5.2 Модули памяти RDIMM

Для DDR3 RDIMM могут применяться следующие опции:

Инвертирование выхода;

15.20.5.3 Отражение адресов

В некоторых мультимодульных UDIMM и RDIMM реализована опция отражения адресов (mirroring), которая заключается в парном обмене содержимым нескольких разрядов адреса, который предназначен для нечетных модулей. Следующие пары адресных разрядов обмениваются содержимым:

- DDR3: (A3, A4), (A5, A6), (A7, A8), (BA0, BA1).

Для нормальных обращений к памяти отражение адреса не будет иметь никакого эффекта для команд записи и чтения. Данные, которые были записаны по конкретному отраженному адресу, могут быть считаны по этому адресу.

Для обеспечения программирования корректных значений, соответствующие биты адреса должны быть попарно заменены в контроллере для компенсации попарной замены в модулях UDIMM/RDIMM.

Обращения к регистру режима работы в четных и нечетных модулях должны выполняться отдельно, так как контроллеру необходимо устанавливать разные адреса для каждого модуля.

Обмен содержимым разрядов адреса и формирующиеся в шахматном порядке команды для обращений к регистру MR DDRMC2 выполняются автоматически во время инициализации, и могут быть включены установкой DIMMCTL.dimm_addr_mirr_en в значение «1».

Опция отражения адресов не поддерживается контроллером DDRMC2 для mDDR, LPDDR2 SDRAM.

15.20.5.4 Поддержка формирования сигнала Chip Select (CS) в «шахматном порядке»

Некоторые устройства DDR3 RDIMM рассматривают команды, в которых все разряды CS_N устанавливаются в значение «0», как записи для доступа к управляющим словам микросхемы регистров RDIMM. Эти команды не передаются в SDRAM.

Таким образом, для команд, которые предназначены для отправки во все модули, необходимо выполнить команду дважды, один раз для четных модулей, второй раз для нечетных модулей. Во время инициализации, такие команды содержат обращения к регистру MR, команды регенерации, и команды ZQ.

Перестановка сигналов cs_n в «шахматном порядке» выполняется автоматически в контроллере DDRMC2, и может быть включена установкой разряда DIMMCTL.dimm_stagger_cs_en.

15.20.5.5 Обращения к MR7

Если инициализация SDRAM выполняется через контроллер DDRMC2, необходимо установить MRCTRL0.rcd_init_en=1. Это позволяет запрограммировать управляющие регистры RDIMM через программное формирование команды MRS по адресу MR7 до инициализации SDRAM.

Разряд MRCTRL0.rcd_init_en должен быть сброшен в «0» после того, как управляющие слова RDIMM будут проинициализированы. В обратном случае, процедура инициализации SDRAM через контроллер DDRMC2 не сможет быть произведена повторно.

15.20.5.6 Инвертирование выхода

Если включена опция инвертирования выхода в DDR3 RDIMM, все выходы стороны A соответствуют эквивалентным входам. Следующие выходы стороны B устанавливаются в инверсии соответствующих выходов стороны A: A3-A9, A11, A13-A15, BA0-BA2. Данная опция не используется во время выполнения команды MRS к DRAM. В результате, инвертирование выхода является прозрачным для контроллера DDRMC2 в DDR3, и контроллеру DDRMC2 не нужно предпринимать каких-либо действий для управления обращениями к стороне B.

RDIMM декодирует команду MRS и использует состояние разряда BG1 для определения направления MRS: A-сторона или B-сторона. Если включена опция отражения адреса,

BG0 используется регистром вместо разряда BG1 как обозначение А-сторона/В-сторона для команды MRS к четным модулям.

Для включения формирования команды MRS к обеим сторонам в DDRMC2 (например, инициализация или автоматическая генерация команды MRS для включения/выключения определенных опций), используется регистр DIMMCTL0.dim_output_inv_en. Для программного формирования команд MRS должны программироваться обе стороны DRAM через отдельные команды MRS, генерируемые с помощью регистров MRCTRL*.

Примечание. Автоматические команды MRS, посылаемые контроллером DDRMC2 к В-стороне, инвертируют значения на соответствующих битах. Так для обращения с помощью команды MRS сигнал A17 всегда равен «0», это означает, что для автоматической команды MRS к стороне В сигнал A17 будет равен «1». Если контроль четности ведется с учетом сигнала A17 и если DRAM не имеет сигнала A17, то контроль четности будет приниматься DRAM некорректно. Для исправления этой ситуации, следует программировать регистр DIMMCTL.mrs_a17_en=1 только при наличии сигнала A17 в DRAM. Регистр DIMMCTL.mrs_a17_en определяет, участвует сигнал A17 в контроле четности или нет.

15.21 Динамические ограничения SDRAM

Динамические ограничения SDRAM – это ограничения, которые применяются при планировании транзакций в соответствии со спецификацией SDRAM. Точное значение каждого ограничения программируется в соответствии со спецификацией используемых микросхем SDRAM. Эти ограничения должны быть установлены до отправки трафика в DDRMC2.

Динамические ограничения SDRAM делятся на три основные категории:

1. Ограничения банка: Применяются к транзакциям, которые назначаются определенному банку.
2. Ограничения модуля: Применяются к транзакциям, которые назначаются определенному модулю.
3. Общие ограничения: Применяются ко всем транзакциям.

Следующие регистры используются для установки динамических ограничений SDRAM:

- ограничения банка:
 - DRAMTMG1.t_rc;
 - DRAMTMG4.t_rp;
 - DRAMTMG0.t_ras_min;
 - DRAMTMG0.t_ras_max;
 - DRAMTMG4.t_rcd;
 - DRAMTMG0.wr2pre;

- DRAMTMG1.rd2pre;
- DRAMTMG4.t_ccd;
- DRAMTMG4.t_rrd;
- DRAMTMG2.wr2rd;
- ограничения модуля:
 - RFSHTMG.t_rfc_nom_x32;
 - RFSHTMG.t_rfc_min;
 - DRAMTMG0.t_faw;
- общие ограничения:
 - DRAMTMG2.rd2wr;
 - DFITMG0.dfi_tphy_wrlat;
 - DFITMG0.dfi_tphy_wrdata;
 - DRAMTMG2.write_latency;
 - DRAMTMG2.read_latency;
 - DFITMG0.dfi_t_rddata_en.

Параметры задержки записи (WL) и задержки чтения (RL) для различных типов SDRAM определяются следующим образом:

- для DDR2: $RL = CL + AL$; $WL = CL - 1 + AL$;
- для DDR3: $RL = CL + AL$; $WL = CWL + AL$;
- для mDDR: $RL = CL$; $WL = 1$;
- для LPDDR2: RL и WL задаются напрямую в регистре MR.

15.21.1 Динамические ограничения банка SDRAM

Машины состояний банков отслеживают состояние каждого банка и применяют заданные ограничения для банка. Для каждого банка системой предусмотрена отдельная машина состояний.

Используя машины состояний банков, планировщик динамически соблюдает все указанные в Таблица 15.68 ограничения при планировании транзакций для каждого банка отдельно. Значения временных параметров в столбце «Сокращенное обозначение параметра ограничения» могут быть получены из соответствующей Спецификации JEDEC.

Таблица 15.68. Динамические ограничения банка SDRAM

Управляющий регистр	Сокращенное обозначение параметра ограничения	Наименование параметра ограничения	Описание
DRAMTMG1.t_rc	t_{RC}	Время цикла строки	Минимальное время между двумя последовательными командами активации к одному банку.
DRAMTMG4.t_rp	t_{RP}	Период команды деактивации строки	Минимальное время от команды деактивации до следующей команды к одному банку.
DRAMTMG0.t_ras_min	$t_{RAS(min)}$	Минимальное время активного состояния банка	Минимальное время от команды активации до команды деактивации одного банка.
DRAMTMG0.t_ras_max	$t_{RAS(max)}$	Максимальное время активного состояния банка	Максимальное время от команды активации до команды деактивации одного банка.
DRAMTMG4.t_rcd	t_{RCD}	Задержка RAS-to-CAS	Минимальное время от команды активации до команды чтения или записи к одному банку.
DRAMTMG0.wr2pre	t_{WR}	Период команды записи	Минимальное время от команды записи до команды деактивации одного банка.
DRAMTMG1.rd2pre	$al + (bl/2)$	Задержка чтение-деактивация	Минимальное время от команды чтения до команды деактивации одного банка. Данное поле должно быть установлено следующим образом: DDR2: $AL + BL/2 + \max(t_{RTP}, 2) - 2$ DDR3: $AL + \max(t_{RTP}, 4)$ mDDR: $BL/2$ LPDDR2-S2: $BL/2 + t_{RTP} - 1$ LPDDR2-S4: $BL/2 + \max(t_{RTP}, 2) - 2$
DRAMTMG4.t_ccd	t_{CCD}	Задержка CAS-to-CAS	Минимальное время между командами чтения или записи к одному банку. Это поле должно быть установлено в соответствующее значение t_{CCD} из Спецификации JEDEC.
DRAMTMG4.t_rrd	t_{RRD}	Задержка RAS-to-RAS	Задержка RAS-to-RAS. Минимальное время между командами активации к разным банкам одного модуля.

Управляющий регистр	Сокращенное обозначение параметра ограничения	Наименование параметра ограничения	Описание
DRAMTMG2.wr2rd	tWTR	Время переключения направления Запись/Чтение	Минимальное время между любой командой записи и любой командой чтения. Это поле должно быть установлено следующим образом: DDR2/3/mDDR: $WL + BL/2 + tWTR$; LPDDR2: $WL + BL/2 + tWTR + 1$;

15.21.1.1 Ограничение DRAMTMG4.t_rcd = 1

Входной сигнал DRAMTMG4.t_rcd определяет минимальное время между активацией и чтением или записью одного банка. Как описано ниже, DDRMC2 имеет ограничения, если сигнал DRAMTMG4.t_rcd установлен в «1».

Если этот входной сигнал установлен в «1», между запросом активации и запросом чтения/записи одного банка на интерфейсе DRAM вставляется один такт. Минимальное количество тактов, которые контроллер вставляет между операцией активации и операцией чтения/записи к одному банку составляет 2 такта. Это не является нарушением протокола DDR, но приводит к незначительному снижению производительности.

Этого ограничения можно избежать путем программирования аддитивной задержки DRAM:

DRAMTMG4.t_rcd программируется следующим образом:

tRCD – AL;

Для различных протоколов DDR:

- DDR2: значения tRCD от 3 до 7, значения AL от 0 до 6;
- DDR3: значения tRCD от 5 до 14. AL может быть запрограммировано в 0, CL-1 или CL-2. Диапазон значений CL от 5 до 14;
- mDDR: аддитивная задержка AL не используется. Для CL= 3 mDDR, tRCD равно 3. Для опционального режима mDDR при CL=2, данная задержка может быть использована в конфигурациях с режимом 1:2, tRCD может быть равно 2 для некоторых классов быстродействия;
- LPDDR2: значения tRCD от 3 до 8; AL не используется.

Это ограничение не учитывается в режимах mDDR (CL=3), LPDDR2, так как DRAMTMG4.t_rcd для этих протоколов всегда больше «1».

В режимах DDR2, DDR3 определенные комбинации значений tRCD и AL могут привести к установке DRAMTMG4.t_rcd = 1, что в свою очередь может отразиться в незначительном снижении производительности. Этого можно избежать путем выбора значения AL, которое не приведет к DRAMTMG4.t_rcd = 1.

15.21.2 Динамические ограничения модуля SDRAM

Блок ограничений модуля обеспечивает соблюдение всех ограничений для каждого модуля, поддерживаемых системой. При использовании блоков ограничений модуля планировщик динамически соблюдает все указанные в Таблица 15.69 ограничения при планировании транзакций для каждого модуля отдельно. Значения временных параметров в столбце «Сокращенное наименование параметра ограничения» могут быть получены из соответствующей спецификации JEDEC.

Таблица 15.69. Динамические ограничения модуля SDRAM

Управляющий регистр	Сокращенное наименование параметра ограничения	Наименование ограничения	Описание
RFSHTMG.t_rfc_nom_x32	tRFC(nom) OR tREFI	Номинальное время цикла регенерации	Среднее время между выполнением регенераций для одного модуля. Фактическое время между двумя командами регенерации может быть больше или меньше этого значения. Параметр представляет собой среднее значение максимально допустимого времени между командами регенерации одного модуля. Управляющий сигнал t_rfc_nom_x32 определяет значение счетчика глобального таймера, который переключается каждые 32 такта частоты.
RFSHTMG.t_rfc_min	tRFC(min)	Минимальное время цикла регенерации	Минимальное время между командами регенерации одного модуля
DRAMTMG0.t_faw	tFAW	Временное окно активаций четырех банков	Скользящее окно, в котором разрешены активации максимум 4 банков при конфигурации в 8 банков. В конфигурации с 4 банками, необходимо установить этот параметр в значение 0x1.

15.21.3 Глобальные динамические ограничения SDRAM

Некоторые динамические ограничения применяются к каждой команде независимо от модуля или банка, к которому обращается команда. Эти ограничения в первую очередь касаются бесконфликтного получения доступа к шине данных. Блок глобальных ограничений обеспечивает выполнение каждого из этих ограничений. При использовании блока глобальных ограничений планировщик динамически соблюдает все ограничения, указанные в Таблица 15.70, при планировании транзакций.

Таблица 15.70. Глобальные динамические ограничения SDRAM

Управляющий регистр	Наименование ограничения	Описание
DRAMTMG2.rd2wr	Время переключения направления чтения/запись	Минимальное время между любой командой чтения и любой командой записи. Это поле должно быть установлено следующим образом: DDR2/3/mDDR: $RL + BL/2 + 2 - WL$; LPDDR2: $RL + BL/2 +$ $RU(tDQSCk_{max}/tCK) + 1 - WL$; (Выражение $RU(tDQSCk_{max}/tCK)$ означает деление $tDQSCk_{max}/tCK$ с округлением вверх до ближайшего целого)
DFITMG0.dfi_tphy_wrlat	Время от команды записи до сигнала разрешения записи	Время после команды записи, в течение которого сигнал <code>dfi_wrdata_en</code> должен быть выставлен на SDRAM. Соответствует параметру <code>DFI_tphy_wrlat</code> . При использовании RDIMM может быть необходима корректировка значения этого поля.
DFITMG0.dfi_tphy_wrdata	Время от установки сигнала разрешения записи до записи данных	Время после установки сигнала <code>dfi_wrdata_en</code> , в течение которого данные выставляются на SDRAM. Соответствует параметру <code>DFI_tphy_wrdata</code> .
DRAMTMG2.write_latency	Задержка записи	Время от команды записи до появления данных записи на интерфейсе SDRAM. Должно быть установлено в значение <code>WL</code> . При использовании RDIMM может быть необходима корректировка значения этого поля.
DRAMTMG2.read_latency	Задержка чтения	Время от установки команды чтения до появления данных чтения на интерфейсе SDRAM. Это поле должно быть установлено в <code>RL</code> . Если используются RDIMM, может быть необходима корректировка значения этого поля.
DFITMG0.dfi_t_rddata_en	Время между установкой команды чтения и сигнала разрешения чтения	Время от установки команды чтения на интерфейсе DFI до установки сигнала <code>dfi_rddata_en</code> . Это соответствует параметру <code>DFI_trddata_en</code> . Если используются RDIMM, может быть необходима корректировка значения этого поля.

Управляющий регистр	Наименование ограничения	Описание
DFITMG0.dfi_t_ctrl_delay	Время прохождения команды через PHY	Это поле соответствует параметру DFI tctrl_delay. Если используются RDIMM, может быть необходима корректировка значения этого поля.
DRAMTMG1.t_xp	Время от выхода из режима выключения питания до следующей команды	Устанавливается в tXP
DRAMTMG5.t_cke	Минимальный период импульса СКЕ	Для LPDDR2 устанавливается в большее из значений tCKE и tCKESR.
MSTR.t_mod	Время между командами MR и не MR	Устанавливается в tMOD. При использовании RDIMM может быть необходима корректировка этого значения.
DRAMTMG3.t_mrd	Время между командами MR	Устанавливается в tMRD

15.21.4 RDIMM

При использовании RDIMM на пути прохождения команды вводится дополнительная задержка микросхемой регистров RDIMM. Для некоторых PHY процедура тестирования (training) компенсирует эту дополнительную задержку, и действий пользователя не требуется (предполагается выполнение тестирования). Тем не менее, для других PHY необходимо регулировать настройки временных регистров для компенсации этой дополнительной задержки путем инкрементации CL, CWL, или tMOD при необходимости до вычисления значения для регистра. Эти параметры указаны в Таблица 15.70.

15.22 Энергосберегающие функции

DDRMC2 поддерживает различные способы реализации энергосбережения в системе:

- на уровне SDRAM;
- на уровне PHY;
- на уровне внешнего контроллера SnK управление режимом низкого энергопотребления осуществляется через внешний аппаратный интерфейс управления режимом низкого энергопотребления (на основании протокола AMBA 3 AXI интерфейса управления режимом низкого энергопотребления).

15.22.1 Энергосберегающие функции SDRAM

Контроллер DDRMC2 поддерживает различные режимы энергосбережения SDRAM — выключение питания с деактивацией (precharge power-down), саморегенерация (self-refresh), режим глубокого сна (deep power down) и поддержка отключения тактовой частоты DRAM через dfi_dram_clk_disable.

В мульти-модульных системах не допускается использование этих режимов на помодульной основе, их применение всегда распространяется на все модули.

При включении опции выключения питания с деактивацией контроллер DDRMC2 автоматически выполняет вход и выход из режима выключения питания с деактивацией на основании программируемого периода таймаута простоя.

Вход/выход из режима саморегенерации может быть выполнен тремя способами:

- на основании периода таймаута простоя (idle timeout period) (аналогично при выключении с деактивацией);
- явно управляемый вход/выход пользователем через ПО;
- через аппаратный интерфейс управления режимом низкого энергопотребления.

Вход/выход из режима глубокого сна (DPD) явно управляются пользователем.

Также может быть установлен сигнал `dfi_dram_clk_disable` для отключения тактовых сигналов в DRAM. Это может быть выполнено в режимах саморегенерации, выключения питания и глубокого сна.

Относительно интерфейса аппаратного управления режимом низкого потребления, имеется дополнительная поддержка установки низкого уровня сигнала `sactive_ddrc` в условиях простоя в нормальном режиме, режиме выключения питания или режиме автоматической саморегенерации. Также реализована опциональная поддержка принудительного выхода из режимов выключения питания, саморегенерации, и отключения тактовой частоты через `sactive_in_ddrc=1`.

Важно!!! Не включать более одного из следующих режимов энергосбережения одновременно:

- режим глубокого сна;
- режим максимального энергосбережения.

Разрешена любая комбинация одновременного включения режимов выключения питания и саморегенерации:

- режим выключения питания: `PWRCTL.powerdown_en=1`;
- режим автоматической саморегенерации: `PWRCTL.selfref_en=1`;
- Режим программной саморегенерации: `PWRCTL.selfref_sw=1`.

Установка `ddrc_dfi_dram_clk_disable` разрешена в сочетании с любым из режимов энергосбережения.

Следующие регистры используются для управления опциями энергосбережения:

- `DRAMTMG5.t_cke`;
- выключение питания с деактивацией:

- PWRCTL.powerdown_en;
- PWRTMG.powerdown_to_x32;
- DRAMTMG1.t_xp;
- саморегенерация:
 - PWRCTL.selfref_sw;
 - PWRCTL.selfref_en;
 - HWLPCTL.hw_lp_en;
 - аппаратный интерфейс управления режимом низкого энергопотребления: csysreq_*/csysack_*/cactive_*;
 - PWRTMG.selfref_to_x32;
 - STAT.selfref_type;
- интерфейс аппаратного управления режимом низкого энергопотребления:
 - HWLPCTL.hw_lp_exit_idle_en;
 - HWLPCTL.hw_lp_idle_x32;
- режим глубокого сна:
 - PWRCTL.deeppowerdown_en;
 - PWRTMG.deeppowerdown_to_x1024;
- установка dfi_dram_clk_disable для отключения тактовых сигналов в DRAM:
 - PWRCTL.en_dfi_dram_clk_disable;
 - DFITMG1.dfi_t_dram_clk_disable;
 - DFITMG1.dfi_t_dram_clk_enable;
 - DRAMTMG5.t_cksre;
 - DRAMTMG5.t_cksrx;
 - DRAMTMG6.t_ckpde;
 - DRAMTMG6.t_ckpdx;
 - DRAMTMG6.t_ckdpde;
 - DRAMTMG6.t_ckdpdx;
 - DRAMTMG6.t_ckcsx.

Для всех вышеперечисленных опций энергосбережения, сигнал STAT.operating_mode может быть использован для отслеживания текущего режима работы DDRMC2.

15.22.1.1 Режим выключения питания с деактивацией (Precharge Power-down)

15.22.1.1.1 Вход в режим выключения питания с деактивацией

При PWRCTL.powerdown_en=1 DDRMC2 автоматически входит в режим отключения питания с деактивацией по завершению периода, определяемого в PWRTMG.powerdown_to_x32, во время простоя контроллера DDRMC2 (за исключением выполнения регенерации).

Вход в режим выключения питания с деактивацией включает следующие шаги:

1. Деактивация (закрытие) всех открытых страниц. Страницы закрываются по одной в произвольном порядке.
2. Ожидание в течение периода простоя tRP (деактивация строки).
3. Выполнение команды входа в режим выключения питания с деактивацией (NOP/deselect с СКЕ=0).

Для мульти-модульных систем все сигналы chip-select устанавливаются таким образом, что все модули переходят в режим выключения питания с деактивацией одновременно. Если установлен разряд DIMMCTL.dimm_stagger_cs_en, команды входа в режим выключения питания выдаются отдельно для четных и нечетных модулей.

4. Этот шаг выполняется, только если включен DFI интерфейс управления режимом низкого энергопотребления (DFILPCFG0.dfi_lp_en_pd). Выполняется попытка входа в режим низкого энергопотребления через DFI интерфейс управления низким энергопотреблением с установленным сигналом dfi_lp_wakeup через DFILPCFG0.dfi_lp_wakeup_pd.

Если DDRMC2 получает запрос на чтение или запись от ядра СнК во время выполнения шага 1 или 2, вход в режим выключения питания сразу отменяется. Также происходит при установке PWRCTL.powerdown_en в «0» во время выполнения шага 1 или 2. Если выдана команда входа в режим выключения питания, то выход из этого режима должен быть выполнен соответствующим образом.

15.22.1.1.2 Выход из режима выключения питания с деактивацией

Если DDRMC2 перевел устройство DDR SDRAM в режим выключения питания с деактивацией, DDRMC2 автоматически выполняет последовательность выхода из режима выключения питания с деактивацией в любом из следующих случаев:

- каждому модулю в системе требуется цикл регенерации;
- DDRMC2 получает новый запрос от ядра СнК;
- запрашивается вход в режим саморегенерации;
- PWRCTL.powerdown_en устанавливается в «0».

DDRMC2 выполняет следующие шаги при выходе из режима выключения питания с деактивацией:

1. Вставка команд NOP/deselect для выполнения требования tСКЕ после входа в режим выключения питания с деактивацией.
2. Этот шаг выполняется только при успешном входе в режим низкого потребления DFI во время выключения питания. Выполняется выход из режима низкого потребления DFI.

3. Выполнение команды выхода из режима выключения питания (NOP/deselect с СKE=1). Для мультимодульных систем все сигналы chip-select устанавливаются таким образом, что все модули выходят из режима выключения питания одновременно.
 4. Выполнение команд NOP/deselect в течение периода, определяемого t_{xp}.
- DDR3: Быстрый выход/медленный выход из режима выключения питания с деактивацией.

Спецификация DDR3 описывает два варианта выхода из режима выключения питания с деактивацией в зависимости от запрограммированного значения разряда 12 регистра MR0. Если используется долгое выключение с деактивацией (MR0[12] = 0), DRAMTMG1.t_{xp} должен быть установлен в t_{xpDLL}. Если используется обычное выключение с деактивацией (MR0[12] = 1), DRAMTMG1.t_{xp} должен быть установлен в t_{xp}.

15.22.1.2 Режим саморегенерации

15.22.1.2.1 Вход в режим саморегенерации

DDRM2 переводит устройства DDR SDRAM в режим саморегенерации в следующих случаях:

1. При установке разряда PWRCTL.selfref_en и в DDRM2 отсутствуют необработанные запросы на чтение или запись в течение периода, определяемого PWRTMG.selfref_to_x32. Этот вариант называется автоматической саморегенерацией.
2. При установке разряда PWRCTL.selfref_sw. Это программный вход в режим саморегенерации. В DDRC устанавливается высокий уровень сигнала co_ih_stall для блокировки поступления новых команд, при этом принятые команды обрабатываются до выполнения последовательности, представленной ниже.
3. При возникновении запроса на вход в аппаратный режим управления низким энергопотреблением (csysreq_ddrc/csystack_ddrc) при cactive_in_ddrc=0 и отсутствии необработанных команд, при этом контроллер DDRM2 не находится в режиме инициализации, глубокого выключения питания или режиме максимального энергосбережения. В этом случае принимается запрос на вход в режим аппаратной регенерации с низким энергопотреблением. После того как запрос принят, устанавливается высокий уровень сигнала co_ih_stall для блокировки поступления новых команд, при этом принятые команды обрабатываются в DDRC до исполнения последовательности, представленной ниже.

Вход в режим саморегенерации включает в себя следующие шаги:

1. Если ранее был произведен выход из режима саморегенерации, необходимо дождаться хотя бы одной команды регенерации (или 8 команд регенерации по банкам, если включена опция побанковой регенерации LPDDR2/3) всех активных банков. Логика авто-регенерации должна быть включена, или требуется регенерация через прямые программные запросы команды регенерации в DBGCMD.rank*_refresh.

2. Деактивация (заккрытие) всех открытых страниц. Страницы закрываются по одной в произвольном порядке.
3. Ожидание в течение периода простоя t_{RP} (деактивация строки). Если новая команда поступила в течение этого времени, вход в режим саморегенерации прерывается.
4. Выполнение команды входа в режим саморегенерации (установка RAS и CAS при $SKE=0$). Для мультимодульных систем, все сигналы chip-select устанавливаются таким образом, что все модули переходят в режим саморегенерации одновременно. Если установлен разряд DIMMCTL.dimm_stagger_cs_en, команды входа в режим саморегенерации выполняются отдельно для четных и нечетных модулей.
5. Этот шаг выполняется, только если включен интерфейс управления режимом низкого потребления DFI для саморегенерации (DFILPCFG0.dfi_lp_en_sr). Выполняется попытка входа в режим низкого потребления через интерфейс управления режимом низкого потребления DFI с установленным dfi_lp_wakeup в DFILPCFG0.dfi_lp_wakeup_sr.

Следует отметить, что поле STAT.selfref_type равно 2'b11, если опция автоматической саморегенерации является единственной причиной саморегенерации. Если выполняется программная саморегенерация или аппаратная регенерация с низким энергопотреблением, STAT.selfref_type=2'b10.

Автоматическая саморегенерация имеет приоритет ниже, чем программная саморегенерация и аппаратная саморегенерации с низким энергопотреблением. Программный вход в режим саморегенерации предполагает, что выход из режима саморегенерации может быть выполнен только программно. Аналогично, вход в саморегенерацию через аппаратный интерфейс управления низким потреблением означает, что выход происходит только при выходе из аппаратной саморегенерации в режиме низкого потребления. Если произошел вход в программную регенерацию и в процедуру аппаратной саморегенерации в режиме низкого потребления одновременно, то выход из процедуры саморегенерации произойдет, только при выходе из программной саморегенерации и аппаратной саморегенерации в режиме энергосбережения.

15.22.1.2.2 Выход из режима саморегенерации

DDRMC2 выводит DDR SDRAM из режима саморегенерации в следующих случаях:

- если входной сигнал PWRCTL.selfref_en сброшен, или новые команды получены DDRMC2, при условии, что автоматическая саморегенерация является единственной причиной саморегенерации (STAT.selfref_auto_flag=1);
- если разряд PWRCTL.selfref_sw сброшен. В данном случае выполняется программный выход из режима саморегенерации;
- если получен запрос выхода из аппаратного режима низкого потребления (с помощью сигналов csysreq_ddrc/csystack_ddrc). В данном случае выполняется выход из аппаратной процедуры саморегенерации в режиме энергосбережения.

Выход из режима саморегенерации включает следующие шаги:

1. Вставка команд NOP/deselect в соответствии с требованиями tCKE/tCKERSR после входа в режим саморегенерации.
2. Этот шаг выполняется только, если вход в режим низкого энергопотребления DFI во время входа в режим саморегенерации был успешным. Выполняется выход из режима низкого потребления DFI.
3. Отправка команды выхода из режима саморегенерации (регенерация с CKE=1).
4. Вставка команд NOP/deselect на период, определяемый tXSDLL/tXSNR/tXSRD.

15.22.1.2.3 Временные параметры выхода из режима саморегенерации

Регистр DRAMTMG8 содержит поля, управляющие временными параметрами выхода из режима саморегенерации. DDRMC2 использует DRAMTMG8.t_xs_dll_x32 для команд, которые требуют блокировки DLL. Это применяется к командам чтения и командам записи с синхронным ODT или динамическим ODT. Для команд, которые не требуют блокировки DLL, контроллер DDRMC2 использует DRAMTMG8.t_xs_x32. Это применяется ко всем остальным командам, не перечисленным выше. Временные параметры команд, следующих за саморегенерацией, управляются DRAMTMG8.t_xs_fast_x32. При включенном режиме контроллер DDRMC2 использует поле DRAMTMG8.t_xs_abort_x32 для управления временными параметрами команд, не требующих блокировки DLL, следующих после выхода из режима саморегенерации. Вход/выход из режима отмены саморегенерации может быть выполнен динамически с помощью программной записи в регистр MR через MRCTRL0 и MRCTRL1. Так как в DDRMC2 нет отражения регистров MR, контроллер не получает информацию о том, какие поля были изменены при выполнении команды MRS. Следовательно, DDRMC2 использует tXS или tXSAbort для всех команд MRS, кроме команд MRS для включения режима PDA (которые используют tXSDLL).

15.22.1.3 Режим глубокого сна (Deep Power-down)

Этот режим применяется только в устройствах LPDDR и LPDDR2.

15.22.1.3.1 Вход в режим глубокого сна

С помощью установки разряда PWRCTL.deeppowerdown_en, пользователь может переводить устройства SDRAM в режим глубокого сна, если соблюдаются следующие условия:

- истек период, определяемый в PWRTMG.powerdown_to_x32, пока DDRMC2 находится в состоянии простоя (за исключением выдачи регенераций);
- PWRCTL.selfref_sw = 0;
- PWRCTL.selfref_en = 0;
- при HWLPCTL.hw_lp_en = 1, вход в режим глубокого сна (DPD) будет выполнен, только если интерфейс низкого энергопотребления завершит выход из режима

саморегенерации. (Проверка осуществляется путем отслеживания STAT.operating_mode и STAT.selfref_type);

- при HWLPCTL.hw_lp_exit_idle_en=1, вход в режим глубокого сна (DPD) будет выполнен, только если все разряды cactive_in_ddrc=0;

Вход в режим глубокого сна включает следующие шаги:

1. Деактивация (закрытие) всех открытых страниц. Страницы закрываются по одной за раз в произвольном порядке.
2. Простой в течение периода t_{RP} (деактивация строки).
3. Отправка команд входа в режим глубокого сна. Для мультимодульных систем все сигналы chip-select устанавливаются таким образом, что все модули переходят в режим глубокого сна одновременно. Команды входа в режим глубокого сна:

Для mDDR: CKE=0, CSN=0, RAS=1, CAS=1, WE=0;

Для LPDDR2: CKE=0, CSN=0, CA0=1, CA1=1, CA2=0.

4. Этот шаг выполняется только при включенном режиме глубокого сна на DFI интерфейсе управления низким потреблением (DFILPCFG0.dfi_lp_en_dpd). Выполняется попытка входа в режим низкого потребления через DFI интерфейс управления низким потреблением с установленным параметром dfi_lp_wakeup в регистре DFILPCFG0.dfi_lp_wakeup_dpd.

Если контроллер DDRMC2 получает запрос чтения или записи от ядра SnK во время выполнения шага 1 или 2, вход в режим глубокого сна прерывается. Также происходит при установке PWRCTL.deep_powerdown_en в значение «0» во время выполнения шага 1 или 2. Выдача команды входа в режим глубокого сна требует соответствующего выхода из режима глубокого сна, как это описано в следующем разделе.

Примечание. Содержимое SDRAM может быть потеряно при входе в режим глубокого сна.

15.22.1.3.2 Выход из режима глубокого сна

Когда DDRMC2 переводит устройство(а) DDR SDRAM в режим глубокого сна, контроллер DDRMC2 автоматически выполняет выход из режима глубокого сна и перезапускает последовательность инициализации при сбросе PWRCTL.deep_powerdown_en в «0». Выход из режима низкого потребления DFI выполняется до выхода из режима глубокого сна (только в случае успешного входа в режим низкого энергопотребления DFI в режиме глубокого сна).

Следует отметить, что DDRMC2 не требует соблюдения параметра JEDEC t_{RPD} (минимальное время от входа в режим глубокого сна до выхода из режима глубокого сна). Предполагается, что режим глубокого сна обычно включается на длительное время, и при необходимости это требование будет реализовано программно.

15.22.1.4 Установка dfi_dram_clk_disable

Установка dfi_dram_clk_disable происходит только при PWRTL.en_dfi_dram_clk_disable=1.

Сигнал dfi_dram_clk_disable также зависит от режима работы:

- в DDR2/DDR3 сигнал dfi_dram_clk_disable может устанавливаться только в режиме саморегенерации;
- в mDDR/LPDDR2 сигнал dfi_dram_clk_disable может устанавливаться только в следующих режимах:
 - саморегенерация;
 - выключение питания;
 - режим глубокого сна;
 - нормальный режим. Опция отключения тактовой частоты (Clock Stop).

Временные параметры установки и сброса сигнала dfi_dram_clk_disable в различных режимах:

- режим саморегенерации:
 - устанавливается минимум $DFITMG0.dfi_t_ctrl_delay + DRAMTMG5.t_cksre - DFITMG1.dfi_t_dram_clk_disable$ тактов после команды SRE;
 - сбрасывается минимум $DFITMG1.dfi_t_dram_clk_enable + DRAMTMG5.t_cksrx - DFITMG0.dfi_t_ctrl_delay$ тактов перед командой SRX;
- режим выключения питания:
 - устанавливается минимум $DFITMG0.dfi_t_ctrl_delay + DRAMTMG7.t_ckpde - DFITMG1.dfi_t_dram_clk_disable$ тактов после команды PDE;
 - сбрасывается минимум $DFITMG1.dfi_t_dram_clk_enable + DRAMTMG7.t_ckpdx - DFITMG0.dfi_t_ctrl_delay$ тактов перед командой PDX;
- режим глубокого сна:
 - устанавливается минимум $DFITMG0.dfi_t_ctrl_delay + DRAMTMG6.t_ckdpde - DFITMG1.dfi_t_dram_clk_disable$ тактов после команды DPDE;
 - сбрасывается минимум $DFITMG1.dfi_t_dram_clk_enable + DRAMTMG6.t_ckdpdx - DFITMG0.dfi_t_ctrl_delay$ тактов перед командой DPDX;
- в нормальном режиме (Отключение тактовой частоты):
 - устанавливается минимум $DFITMG0.dfi_t_ctrl_delay - DFITMG0.dfi_t_dram_clk_disable$ тактов после любой команды кроме SRE/PDE/DPDE;

- сбрасывается минимум $DFITMG1.dfi_t_dram_clk_enable + DRAMTMG6.t_ckcsx - DFITMG0.dfi_t_ctrl_delay$ тактов перед любой командой кроме SRX/PDX/DPDX.

15.22.1.5 Режим DLL-off (DDR3)

Режим DLL-off позволяет DDR3 SDRAM работать на пониженной частоте. Контроллер DDRMC2 поддерживает режим DLL-off и переключения между режимами DLL-on и DLL-off под контролем программы.

Для включения режима DLL-off при инициализации, должны быть установлены следующие разряды:

- INIT3.emr[0] таким образом, чтобы в регистре режима SDRAM был установлен режим DLL-off;
- MSTR.dll_off_mode = 1;
- при использовании DDR PHY, должен быть переведен в режим PLL-bypass.

Для переключения между режимами DLL-off и DLL-on программа должна выполнить последовательность, определенную в спецификации JEDEC.

Следует отметить, что такие опции, как DBI, замедленный режим и программируемая преамбула не поддерживаются в режиме DLL-off.

Также замедленный режим, C/A parity и режим CAL должны быть отключены при переходе из DLL-off в DLL-on.

15.22.2 Управление режимами энергосбережения PHY через интерфейс низкого энергопотребления DFI

На основании режима, в котором находится SDRAM (Выключение питания с деактивацией, саморегенерация, режим глубокого сна или режим максимального энергосбережения), блок PHY может быть переведен в режим энергосбережения через DFI интерфейс управления низким энергопотреблением.

15.22.3 Программное отключение генерации тактовой частоты

Программное управление может быть использовано для сохранения SDRAM в режиме саморегенерации. Генерация тактовых частот AXI и DDRC может быть отключена в режиме саморегенерации с помощью следующей последовательности, описанной в Таблица 15.71.

Таблица 15.71. Программное отключение генерации тактовой частоты

Шаг	Описание	Комментарий
1	Запись 0 в PCTRL_n.port_en	Блокирует поступление дальнейших транзакций в порт(ы) AXI
2	Опрос PSTAT.rd_port_busy_n=0 Опрос PSTAT.wr_port_busy_n=0	Ожидание простоя всех портов AXI
3	Запись 0 в SBRCTL.scrub_en	Не используется
4	Опрос SBRSTAT.scrub_busy=0	Не используется
5	Запись 1 в PWRCTL.selfref_sw	Вызывает переход системы в режим саморегенерации
6	Опрос STAT.selfref_type=2'b10	Ожидание входа в режим саморегенерации
7	Опрос CRCPARSTAT.cmd_in_err_window=1'b0	Если CRCPARCTRL0.crc_parity_retry_enable = 1. Ожидание выполнения SRE без ошибки четности. Во время выполнения опроса производится отслеживание регистров CRCPARSTAT.dfi_alert_err_int и CRCPARSTAT.dfi_alert_err_fatal_int. Если один (или более) из них устанавливается до опроса, процедура повторной проверки должна быть завершена до выполнения последующих шагов.
8	Отключение генерации тактовой частоты AXI	
9	Отключение генерации тактовой частоты DDR3	

Генерация тактовых частот возобновляется с помощью последовательности, указанной в Таблица 15.72.

Таблица 15.72. Возобновление генерации тактовых частот

Шаг	Описание	Комментарий
1	Включение тактовой частоты AXI	
2	Включение тактовой частоты DDR3	
3	Запись 0 в PWRCTL.selfref_sw	Вызывает выход системы из режима саморегенерации
4	Опрос STAT.selfref_type=2'b00	Ожидание выхода из режима саморегенерации
5	Запись 1 в PCTRL_n.port_en	Поступление транзакций в порт(ы) AXI больше не блокируется
6	Запись 1 в SBRCTL.scrub_en	Не используется

15.22.4 Отключение питания

Таблица 15.73. Последовательность отключения питания

Шаг	Описание	Комментарий
1	Запись 0 в PCTRL_n.port_en	Блокирует поступление последующих транзакций в порты AXI
2	Опрос PSTAT.rd_port_busy_n=0 Опрос PSTAT.wr_port_busy_n=0	Ожидание простоя всех портов AXI
3	Запись 0 в SBRCTL.scrub_en	Не используется
4	Опрос SBRSTAT.scrub_busy=0	Не используется
5	Запись 1 в PWRCTL.selfref_sw	Вызывает переход системы в режим саморегенерации

Шаг	Описание	Комментарий
6	Опрос STAT.selfref_type=2'b10	Ожидание входа в режим саморегенерации
7	Опрос CRCPARSTAT.cmd_in_window=1'b0	Если CRCPARCTRL0.crc_parity_retry_enable = 1. Ожидание выполнения SRE без ошибки четности. Во время опроса производится отслеживание регистров CRCPARSTAT.dfi_alert_err_int и CRCPARSTAT.dfi_alert_err_fatl_int. Если один (или более) из этих разрядов установился перед выполнением опроса, то процедура повторной проверки должна быть завершена до выполнения следующих шагов.
8	Перевод контактов IO в режим удержания	
9	Отключение питания	

Таблица 15.74. Возобновление подачи питания

Шаг	Описание	Комментарий
1	Включение питания	
2	Сброс контроллера/PHY путем установки core_ddrc_rstn=1'b0, aresetn_n=1'b0, presetn=1'b0	
3	Снятие сигнала сброса шины APB, presetn=1'b1, и перепрограммировать регистры в значения, которые были перед отключением питания	
4	Программирование INIT0.skip_dram_init = 2'b11	Пропуск программы инициализации DRAM и запуск в режиме саморегенерации
5	Программирование PWRCTL.selfref_sw = 1'b1	Контроллер находится в режиме саморегенерации
6	Программирование DFIMISC.dfi_init_complete_en в 1'b1	Инициализация PHY должна быть перезапущена, таким образом установлена в «0» до завершения инициализации
7	Снятие сигнала сброса контроллера core_ddrc_rstn=1'b1 aresetn_n=1'b1	
8	Отключение режима удержания контактов IO	
9	Запуск инициализации/тестирования PHY	
10	Программирование DFIMISC.dfi_init_complete_en в 1'b1	Информирует контроллер о том, что PHY завершил повторное тестирование/инициализацию
11	Программирование PWRCTL.selfref_sw = 1'b0	Вызывает выход из саморегенерации
12	Опрос STAT.selfref_type=2'b00	Ожидание выхода из режима саморегенерации
13	Опрос STAT.operating_mode для входа в нормальный режим	
14	Запись PCTRL.port_en = 1	Отмена блокировки поступлений транзакций в порт(ы) AXI
15	Запись 1 в SBRCTL.scrub_en	Включение SBR при необходимости, требуется только, если блок SBR присутствует в конфигурации

15.23 Операции чтения и записи регистра режима работы (MR)

В данном разделе приводится описание программного выполнения операций чтения и записи регистра режима работы. Операции чтения регистра режима работы (MRR) применимы только к LPDDR2 и используются для чтения данных конфигурации и статуса из регистров режима. Операции записи регистра режима (MRW или MRS) применимы ко всем поддерживаемым протоколам DDR, и используются для записи данных конфигурации в регистры режима SDRAM.

Обращения к регистру MR осуществляется через программирование регистров MRCTRL0 и MRCTRL1. Обращения выполняются в три шага:

1. Опрос разряда MRSTAT.mr_wr_busy до установки в «0». Таким образом, подтверждается отсутствие необработанной транзакции MR. Запись в регистры MRCTRL0 и MRCTRL1 не должна выполняться при MRSTAT.mr_wr_busy = 1.
2. Запись MRCTRL0.mr_type, MRCTRL0.mr_addr, MRCTRL0.mr_rank и (для MRW) MRCTRL1.mr_data для определения транзакции MR.
3. В отдельной транзакции APB, запись «1» в MRCTRL0.mr_wr. Это разряд с автоматической очисткой и запуском команд MR. Контроллер DDRMC2 устанавливает MRSTAT.mr_wr_busy при выполнении транзакции MR в SDRAM, и следующие обращения не инициируются до сброса этого разряда.
 - 3.1. Транзакции MRW могут быть определены как для одного модуля, так и для комбинаций модулей путем программирования MRCTRL1.mr_rank.
 - 3.2. Транзакции MRR должны выполняться только к одному модулю за раз для того, чтобы избежать конфликта на шине.
 - 3.3. Когда выполняется MRR, содержимое регистра режима доступно в ddrc_co_rd_mrr_data[7:0] с сигналом подтверждения ddrc_co_rd_mrr_data_valid после отправки в SDRAM команды чтения регистра MR.

15.23.1 Запись регистра режима работы

Команда записи регистра режима работы (MRW) используется для записи данных конфигурации в регистры режима работы.

Для устройств SDRAM, не относящихся к типу LPDDR2, команда MRW с адресом <MR addr> и данными <MR Data> выполняется путем записи MRCTRL0.mr_wr = «1», MRCTRL0.mr_type = «0», MRCTRL0.mr_addr = <MR addr>, MRCTRL1.mr_data = <MR Data> и MRCTRL0.mr_rank = <MR rank> за один такт обращения.

Для SDRAM LPDDR2 команда MRW с адресом <MR addr> и данными <MR Data> выполняется путем записи MRCTRL0.mr_wr = «1», MRCTRL0.mr_type = «0», MRCTRL1.mr_data[15:8] = <MR addr>, MRCTRL1.mr_data[7:0] = <MR Data> и MRCTRL0.mr_rank = <MR rank> за один такт обращения.

В обоих случаях сигнал MRSTAT.mr_wr_busy выставляется контроллером DDRMC2 при выполнении обращения к регистру MR, и последующие обращения не инициируются, пока этот сигнал не будет сброшен.

Пользователь может осуществить запрос на операцию программирования регистра управления памяти либо для одного модуля/всех четных модулей/всех нечетных модулей. Для подачи такого запроса необходимо настроить разряды NUM_RANKS для обозначения модуля в операции программирования регистров режима работы (MRCTRL1.mr_rank [NUM_RANKS - 1: 0]).

15.23.1.1 Обращения к регистру режима работы в модулях DIMM

В случае использования модулей UDIMM/RDIMM, в которых реализована опция отражения адресов, обращения к регистру режима работы, инициированные пользователем, должны быть выполнены отдельно для четных и нечетных модулей. Для нечетных модулей необходимо оперировать разрядами MRCTRL0.mr_addr (соответствует адресу банка SDRAM) и MRCTRL1.mr_data (соответствует адресу SDRAM) для попарной замены их на соответствующие разряды с целью компенсации отражения адресов в UDIMM/RDIMM. Следует отметить, что сигнал DIMMCTL.dimm_addr_mirr_en не влияет на обращения к регистрам режима работы, инициированные пользователем.

Также для мультимодульных DDR3 RDIMM может быть необходимым выполнение обращений отдельно к четным и нечетным модулям, так как одновременные обращения ко всем модулям могут рассматриваться микросхемой регистров RDIMM как запись в управляющее слово микросхемы регистров.

Сигналы записи регистра режима работы могут быть использованы для записи управляющих слов в микросхему регистров DDR3 RDIMM путем одновременной установки всех разрядов MRCTRL0.mr_rank. Для обычной записи регистра режима поле MRCTRL0.mr_addr соответствует адресу банка RDIMM и MRCTRL1.mr_data соответствует адресу RDIMM. Адрес и данные для управляющих слов должны быть размещены в корректных разрядах этих сигналов в соответствии со спецификацией RDIMM. Следует отметить, что сигналы DIMMCTL.dimm_stagger_cs_en и DIMMCTL.dimm_output_inv_en не влияют на обращения к регистру режима, инициированные пользователем.

15.23.2 Автоматическое понижение температуры (только LPDDR2)

Контроллер DDRMC2 имеет возможность автоматически читать регистр MR4 в LPDDR2 SDRAM и понижать скорость регенераций и соответственно некоторых временных параметров. Эта опция включается путем установки входного сигнала DERATEEN.derate_enable в «1».

Опция понижения температуры требует добавления 1.875 нс к значениям временных параметров. Так как значения задаются в тактах частоты, необходимо добавлять +1 к значению понижения.

Интервал чтения, с которым контроллер DDRMC2 выполняет операции чтения MRR из MR4, определяется (в тактовых периодах) входным сигналом DERATEINT.mr4_read_interval. Это значение зависит от ожидаемого максимального температурного градиента. Все автоматические операции MRR выполняются в модуле 0, независимо от того, сколько всего модулей присутствует в системе.

Если значение, считанное из MR4, означает, что требуется снижение температуры, эффективная скорость выполнения регенераций изменяется, как показано в Таблица 15.75. В случае MR4 = «110» эффективные значения следующих временных параметров повышаются на 1:

- DRAMTMG4.t_rcd;
- DRAMTMG0.t_ras_min;
- DRAMTMG1.t_rc;
- DRAMTMG1.t_rp;
- DRAMTMG4.t_rr.

Таблица 15.75. Влияние значений MR4 LPDDR2 SDRAM

MR4[2:0]	Скорость выполнения регенерации	Временные параметры
001	RFSHTMG.trfc_nom * 4	Понижение не выполняется
010	RFSHTMG.trfc_nom * 2	Понижение не выполняется
011	RFSHTMG.trfc_nom	Понижение не выполняется
100	RFSHTMG.trfc_nom	Понижение не выполняется
101	RFSHTMG.trfc_nom / 4	Понижение не выполняется
110	RFSHTMG.trfc_nom / 4	Понижение выполняется – временные параметры инкрементируются
111	RFSHTMG.trfc_nom / 4	Понижение выполняется – временные параметры инкрементируются
Другие значения	RFSHTMG.trfc_nom	Понижение не выполняется

15.24 Логика тестирования DFI

Интерфейс тестирования DFI предоставляет соответствующие сигналы для включения DFI-совместимых PHY с целью выполнения процедур write leveling и read leveling. Поддерживаются только режимы PHY independent.

15.24.1 Режим PHY Independent

Для включения режима PHY independent, следующие сигналы необходимо установить в значение «1» с помощью PHY:

- dfi_rdlvl_mode;
- dfi_rdlvl_gate_mode;
- dfi_wrlvl_mode.

Тестирование выполняется PHY автоматически, без вмешательства со стороны контроллера DDRMC2. Блок PUB или PUBL (часть PHY) исполняет все требуемые команды MRS для перевода SDRAM в необходимое состояние для каждой ступени тестирования.

15.25 Сигналы управления ODT

По умолчанию все сигналы управления ODT, идущие к памяти (dfi_odt) установлены в нулевые значения. На Рисунок 15.12, Рисунок 15.13, Рисунок 15.14 показаны временные диаграммы для работы с ODT.

Ниже представлены поля регистра управления ODT:

- ODTMAP.rank*_wr_odt: Требуемое значение ODT, следующее за командой записи;
- ODTCFG.wr_odt_delay: Количество тактов задержки, которая вставляется между командой записи и установкой запрограммированных значений на ODT для записи, которые в основном зависят от задержки CAS;
- ODTCFG.wr_odt_hold: Количество тактов удержания запрограммированных значений ODT для записи после их первой установки;
- ODTMAP.rank*_rd_odt: Требуемое значение ODT, следующее за командой чтения.
- ODTCFG.rd_odt_delay: Количество тактов задержки, которая следует за командой чтения, до установки запрограммированных значений на ODT для чтения, в основном зависит от задержки CAS;
- ODTCFG.rd_odt_hold: Количество тактов задержки, которая следует за командой чтения, до установки запрограммированных значений на ODT для чтения, в основном зависит от задержки CAS.

Примечание. Сигналы управления ODT не поддерживаются в mDDR/LPDDR2 и являются специфической опцией устройств DDR2/DDR3. Для mDDR/LPDDR2 необходимо установить ODTMAP.rank*_wr_odt в нулевые значения.

Чтобы избежать перекрытия ODT для операций чтения и записи, должны соблюдаться следующие ограничения:

- $ODTCFG.wr_odt_hold \leq MEMC_FREQ_RATIO * RANKCTL.diff_rank_wr_gap + MSTR.burst_rdwr;$

- если включено разделение пакета (MSTR.burstchop=1), в вышеуказанной формуле необходимо использовать $\text{burst_rdwr}/2$;
- $\text{ODTCFG.rd_odt_hold} \leq \text{MEMC_FREQ_RATIO} * \text{RANKCTL.diff_rank_rd_gap} + \text{MSTR.burst_rdwr}$:
 - если включено разделение пакета (MSTR.burstchop=1), в вышеуказанной формуле необходимо использовать $\text{burst_rdwr}/2$;
- $\text{ODTCFG.wr_odt_delay} + \text{ODTCFG.wr_odt_hold} \leq \text{ODTCFG.rd_odt_delay} + \text{MEMC_FREQ_RATIO} * \text{DRAMTMG2.wr2rd}$;
- $\text{ODTCFG.rd_odt_delay} + \text{ODTCFG.rd_odt_hold} \leq \text{ODTCFG.wr_odt_delay} + \text{MEMC_FREQ_RATIO} * \text{DRAMTMG2.rd2wr}$.

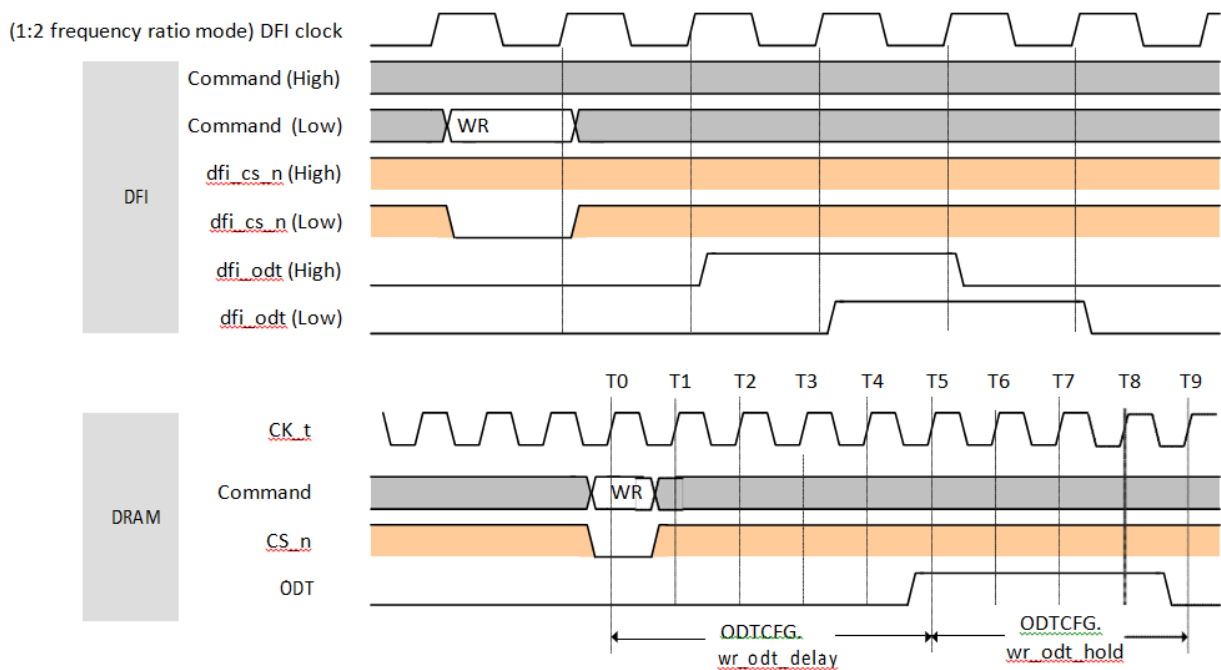


Рисунок 15.12. Временная диаграмма WR ODT

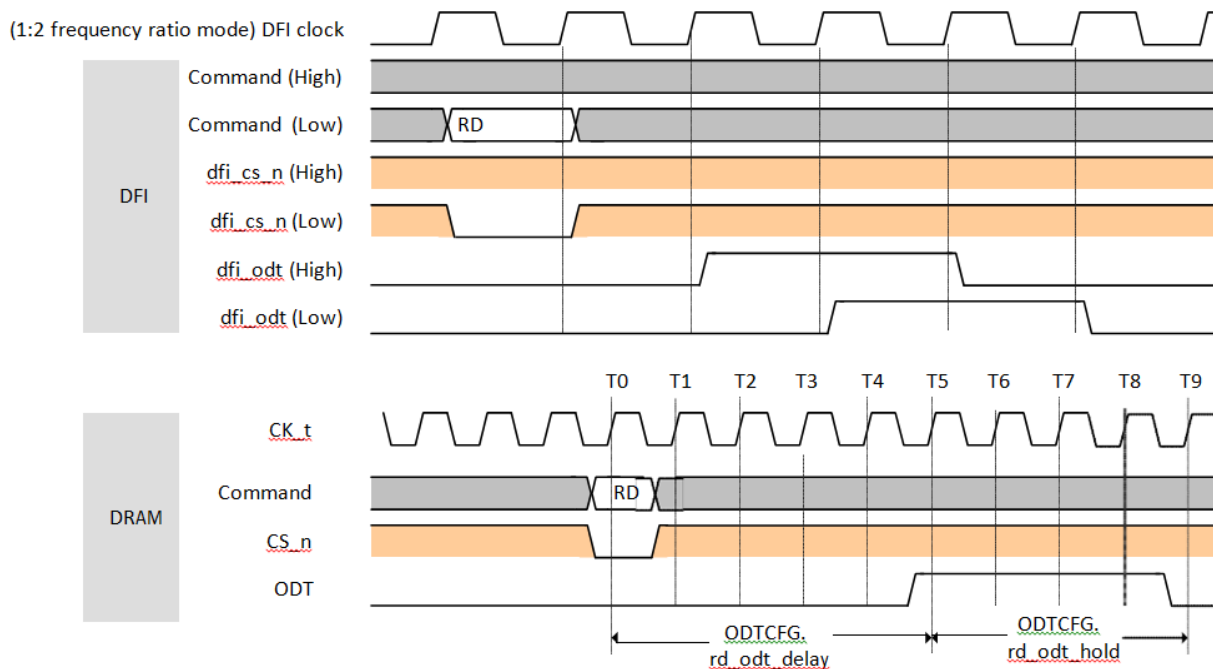


Рисунок 15.13. Временная диаграмма RD ODT

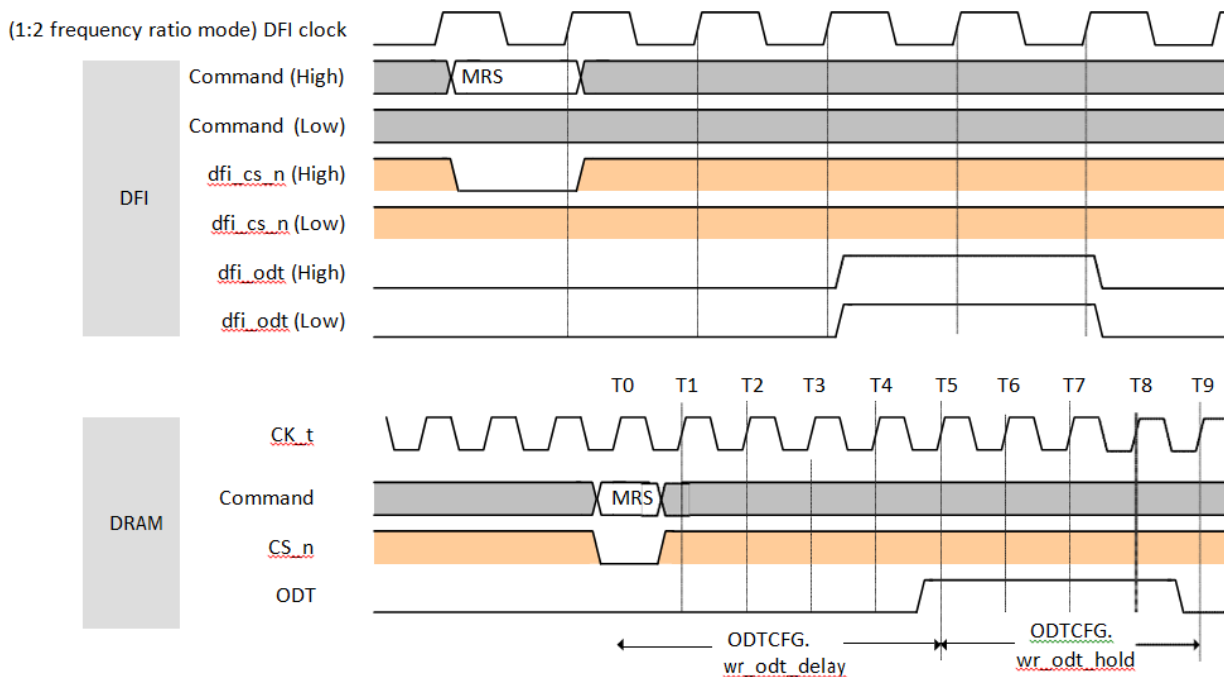


Рисунок 15.14. Временная диаграмма PDA ODT

15.26 Временной параметр обращения к памяти 2T

Команда обращения к памяти выполняется в течение одного такта, что соответствует временному параметру 1T. Также существует опциональный временной параметр 2T для обеспечения достаточного времени установки адреса в конфигурациях с большой загрузкой шины памяти, адрес памяти и команда должны удерживаться в течение двух

тактов частоты памяти. Данная опция включается с помощью разряда MSTR.en_2t_timing_mode.

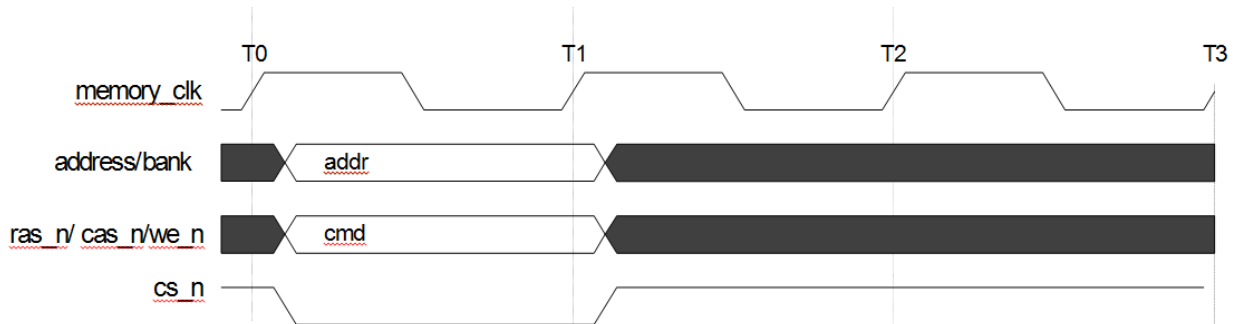


Рисунок 15.15. Режим работы с памятью 1Т

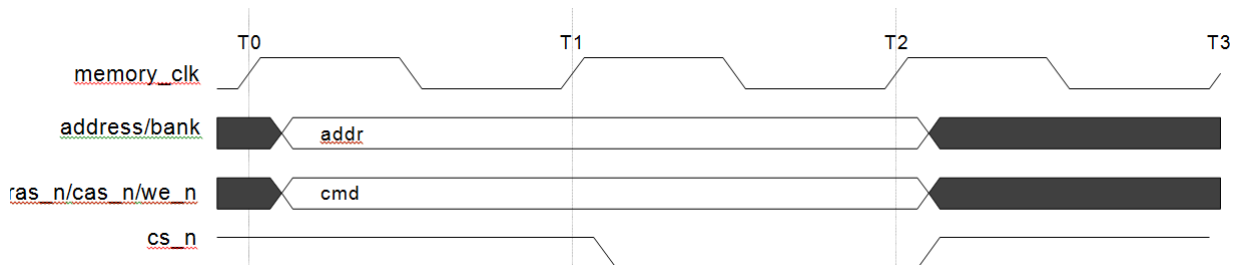


Рисунок 15.16. Режим работы с памятью 2Т

Примечание. 2Т не поддерживается в LPDDR2.

15.27 Карта регистров

Все регистры выровнены на границу 32-разрядного слова; каждый неиспользованный разряд или адрес – резервный и при чтении возвращает 0.

Сокращения, используемые для обозначения типа доступа регистра:

- R – Только чтение;
- W – Только запись;
- R/W – Чтение/Запись;
- R/W1C - Чтение/Запись 1 для очистки разряда;
- R/WSC – Чтение/Запись с авто-очисткой. Если разряд R/WSC установлен в 1, разряд остается установленным до того, как он будет сброшен аппаратно по внутреннему событию.

Примечание. Отсчет счетчиков полей для всех регистров производится с периодом в 32 или 1024 такта.

Данное примечание относится к полям регистров, наименования которых содержат «x32» или «x1024».

В контроллере DDRMC2 имеется таймер, который генерирует импульс каждые 32 такта частоты, и таймер, который генерирует импульс каждые 1024 такта частоты. Регистровые поля «x32» считают импульсы 32-тактового таймера, в то время как регистровые поля «x1024» считают импульсы 1024-тактового таймера. Данные таймеры используются логикой всех указанных полей регистров, не гарантируется связь между фазой таймеров и запуском отсчета логики поля регистра.

Таким образом, для регистровых полей «x32»:

Установленное значение «0» означает 0 тактовых циклов;

- - установленное значение «1» означает задержку от 1 до 32 такта;
- - установленное значение «2» означает задержку от 33 до 64 такта, и так далее.

Для регистровых полей «x1024»:

- - установленное значение «0» означает задержку 0 тактов;
- - установленное значение «1» означает задержку от 1 до 1,024 тактов;
- - установленное значение «2» означает задержку от 1,025 до 2,048 тактов и так далее.

Для установки минимальной задержки управляющий сигнал должен быть установлен в наименьшее число, которое в результате дает задержку ALWAYS \geq требуемая задержка; для установки максимальной задержки или номинального значения задержки обновления, поле должно быть установлено так, чтобы в результате выполнялось условие ALWAYS \leq требуемая задержка.

Данная схема используется для сокращения количества логических элементов, которое потребуется для более точного соблюдения этих ограничений.

15.27.1 Список регистров контроллера DDRMC2 DDRC

Таблица 15.76. Карта регистров

Регистр	Смещение	Описание
MSTR	0x0	Регистр настройки основных параметров
STAT	0x4	Регистр статуса режима работы
MRCTRL0	0x10	Регистр управления чтением/записью регистра режима работы 0
MRCTRL1	0x14	Регистр управления чтением/записью регистра режима работы 1
MRSTAT	0x18	Регистр статуса чтения/записи регистра режима работы
MRCTRL2	0x1c	Регистр управления чтением/записью регистра режима работы 2
DERATEEN	0x20	Регистр включения автоматического снижения температуры
DERATEINT	0x24	Регистр интервала снижения температуры
PWRCTL	0x30	Регистр управления режимом низкого энергопотребления

Регистр	Смещение	Описание
PWRTMG	0x34	Регистр временных параметров режима низкого энергопотребления
HWLPCTL	0x38	Регистр управления аппаратным переходом в режим низкого энергопотребления
RFSHCTL0	0x50	Регистр управления регенерацией 0
RFSHCTL1	0x54	Регистр управления регенерацией 1
RFSHCTL2	0x58	Регистр управления регенерацией 2
RFSHCTL3	0x60	Регистр управления регенерацией 3
RFSHTMG	0x64	Регистр временных параметров регенерации
ECCCFG0	0x70	Регистр конфигурации ECC 0
ECCCFG1	0x74	Регистр конфигурации ECC 1
ECCSTAT	0x78	Регистр статуса ECC
ECCCLR	0x7c	Регистр очистки ECC
ECCERRCNT	0x80	Регистр счетчика ошибок ECC
ECCCADDR0	0x84	Регистр адреса исправленной ошибки ECC 0
ECCCADDR1	0x88	Регистр адреса исправленной ошибки ECC 1
ECCCSYN0	0x8c	Регистр модели исправленной ошибки ECC 0
ECCCSYN1	0x90	Регистр модели исправленной ошибки ECC 1
ECCCSYN2	0x94	Регистр модели исправленной ошибки ECC 2
ECCBITMASK0	0x98	Регистр маски разряда исправленных данных ECC 0
ECCBITMASK1	0x9c	Регистр маски разряда исправленных данных ECC 1
ECCBITMASK2	0xa0	Регистр маски разряда исправленных данных ECC 2
ECCUADDR0	0xa4	Регистр адреса неисправленной ошибки ECC 0
ECCUADDR1	0xa8	Регистр адреса неисправленной ошибки ECC 1
ECCUSYN0	0xac	Регистр модели неисправленной ошибки ECC 0
ECCUSYN1	0xb0	Регистр модели неисправленной ошибки 1
ECCUSYN2	0xb4	Регистр модели неисправленной ошибки 2
ECCPOISONADR0	0xb8	Регистр адреса ввода некорректных данных ECC 0
ECCPOISONADR1	0xbc	Регистр адреса ввода некорректных данных ECC 1
CRCPARCTL0	0xc0	Регистр контроля четности CRC 0
CRCPARCTL1	0xc4	Регистр контроля четности CRC 1
CRCPARCTL2	0xc8	Регистр контроля четности CRC 2
CRCPARSTAT	0xcc	Регистр состояния четности CRC
INIT0	0xd0	Регистр инициализации SDRAM 0
INIT1	0xd4	Регистр инициализации SDRAM 1
INIT2	0xd8	Регистр инициализации SDRAM 2
INIT3	0xdc	Регистр инициализации SDRAM 3
INIT4	0xe0	Регистр инициализации SDRAM 4
INIT5	0xe4	Регистр инициализации SDRAM 5
INIT6	0xe8	Регистр инициализации SDRAM 6
INIT7	0xec	Регистр инициализации SDRAM 7
DIMMCTL	0xf0	Регистр управления DIMM
RANKCTL	0xf4	Регистр управления модулями памяти
DRAMTMG0	0x100	Регистр временных параметров SDRAM 0
DRAMTMG1	0x104	Регистр временных параметров SDRAM 1
DRAMTMG2	0x108	Регистр временных параметров SDRAM 2
DRAMTMG3	0x10c	Регистр временных параметров SDRAM 3
DRAMTMG4	0x110	Регистр временных параметров SDRAM 4
DRAMTMG5	0x114	Регистр временных параметров SDRAM 5
DRAMTMG6	0x118	Регистр временных параметров SDRAM 6

Регистр	Смещение	Описание
DRAMTMG7	0x11c	Регистр временных параметров SDRAM 7
DRAMTMG8	0x120	Регистр временных параметров SDRAM 8
DRAMTMG9	0x124	Регистр временных параметров SDRAM 9
DRAMTMG10	0x128	Регистр временных параметров SDRAM 10
DRAMTMG11	0x12c	Регистр временных параметров SDRAM 11
DRAMTMG12	0x130	Регистр временных параметров SDRAM 12
ZQCTL0	0x180	Регистр управления ZQ 0
ZQCTL1	0x184	Регистр управления ZQ 1
ZQCTL2	0x188	Регистр управления ZQ 2
ZQSTAT	0x18c	Регистр состояния ZQ
DFITMG0	0x190	Регистр временных параметров DFI 0
DFITMG1	0x194	Регистр временных параметров DFI 1
DFILPCFG0	0x198	Регистр настройки режима низкого энергопотребления DFI 0
DFILPCFG1	0x19c	Регистр настройки режима низкого энергопотребления DFI 1
DFIUPD0	0x1a0	Регистр обновлений DFI 0
DFIUPD1	0x1a4	Регистр обновлений DFI 1
DFIUPD2	0x1a8	Регистр обновлений DFI 2
DFIUPD3	0x1ac	Регистр обновлений DFI 3
DFIMISC	0x1b0	Дополнительный регистр управления DFI
DFITMG2	0x1b4	Регистр временных параметров DFI 2
DBICTL	0x1c0	Регистр управления DM/DBI
TRAINCTL0	0x1d0	Регистр управления режимом PHY Eval Training 0
TRAINCTL1	0x1d4	Регистр управления режимом PHY Eval Training 1
TRAINCTL2	0x1d8	Регистр управления режимом PHY Eval Training 2
TRAINSTAT	0x1dc	Регистр состояния режима PHY Eval Training
ADDRMAP0	0x200	Регистр отображения адресов 0
ADDRMAP1	0x204	Регистр отображения адресов 1
ADDRMAP2	0x208	Регистр отображения адресов 2
ADDRMAP3	0x20c	Регистр отображения адресов 3
ADDRMAP4	0x210	Регистр отображения адресов 4
ADDRMAP5	0x214	Регистр отображения адресов 5
ADDRMAP6	0x218	Регистр отображения адресов 6
ADDRMAP7	0x21c	Регистр отображения адресов 7
ODTCFG	0x240	Регистр конфигурации ODT
ODTMAP	0x244	Регистр отображения ODT/Модуль памяти
SCHED	0x250	Регистр управления планировщиком
SCHED1	0x254	Регистр управления планировщиком 1
PERFHPR1	0x25c	Регистр управления очередью чтений CAM с высоким приоритетом 1
PERFLPR1	0x264	Регистр управления очередью чтений CAM с низким приоритетом 1
PERFWR1	0x26c	Регистр управления очередью записей CAM 1
PERFVPR1	0x274	Регистр управления очередью чтений CAM с изменяемым приоритетом 1
PERFVPW1	0x278	Регистр управления очередью записей CAM с изменяемым приоритетом 1
DQMAP0	0x280	Регистр распределения сигналов DQ 0
DQMAP1	0x284	Регистр распределения сигналов DQ 1
DQMAP2	0x288	Регистр распределения сигналов DQ 2
DQMAP3	0x28c	Регистр распределения сигналов DQ 3

Регистр	Смещение	Описание
DQMAP4	0x290	Регистр распределения сигналов DQ 4
DQMAP5	0x294	Регистр распределения сигналов DQ 5
DBG0	0x300	Регистр отладки 0
DBG1	0x304	Регистр отладки 1
DBGCAM	0x308	Регистр отладки CAM
DBGCMD	0x30c	Регистр отладки команд
DBGSTAT	0x310	Регистр статуса отладки

15.27.2 MSTR

Описание: Регистр настройки основных параметров;

Размер: 32-разрядный;

Смещение: 0x0;

В Таблица 15.77 представлено назначение разрядов регистра MSTR.

Таблица 15.77. Регистр настройки основных параметров устройства (MSTR)

Разряды	Наименование	Тип доступа	Описание
31:30	device_config		Не используется
29:28			Резерв
27:24	active_ranks	R/W	<p>Присутствует только в мультимодульных конфигурациях. Каждый разряд соответствует одному модулю. В конфигурациях с двумя модулями используются только разряды [25:24].</p> <p>«1» – присутствует;</p> <p>«0» – отсутствует;</p> <p>Младший разряд соответствует наименьшему номеру модуля.</p> <p>Для двух модулей разрешены следующие комбинации:</p> <p>«01» – Один модуль;</p> <p>«11» – Два модуля;</p> <p>Остальные значения – Резерв;</p> <p>Для четырех модулей разрешены следующие комбинации:</p> <p>«0001» – Один модуль;</p> <p>«0011» – Два модуля;</p> <p>«1111» – Четыре модуля;</p> <p>Значение после сброса:</p> <p>"(MEMC_NUM_RANKS==4) ? 0xF : ((MEMC_NUM_RANKS==2) ? 0x3 : 0x1)";</p>
23:20			Резерв

Разряды	Наименование	Тип доступа	Описание
19:16	burst_rdwr	R/W	Содержит информацию о длине пакета SDRAM: «0001» – Длина пакета равна 2 (поддерживается только для mDDR); «0010» – Длина пакета равна 4; «0100» – Длина пакета равна 8; «1000» – Длина пакета равна 16 (поддерживается только для mDDR и LPDDR2) Остальные значения – резерв; Данное поле управляет размером пакета при обращениях к SDRAM. Значение должно соответствовать настройке регистра режима длины пакета в SDRAM. Значение длины пакета равное 2 не поддерживается портами AXI. Значение после сброса: 0x4;
15	dll_off_mode	R/W	Устанавливается в «1» для перехода DDRMC2 и DRAM в режим DLL-off для работы на пониженной частоте. Устанавливается в «0» для перехода DDRMC2 и DRAM в режим DLL-on для работы на нормальной частоте. Значение после сброса: 0x0;
14			Резерв
13:12	data_bus_width	R/W	Выбор пропорций использования шины DQ памятью SDRAM; «00» – SDRAM использует полную разрядность шины DQ; «01» – SDRAM использует половинную разрядность шины DQ; «10» – SDRAM использует четвертную разрядность шины DQ; «11» – Резерв; Примечание. Режим половинной разрядности шины поддерживается только при ширине шины SDRAM кратной 16; режим четвертной разрядности шины поддерживается только при ширине шины SDRAM кратной 32. Ширина шины соответствует ширине шины DQ. Значение после сброса: 0x0;
11	geardown_mode		Не используется
10	en_2t_timing_mode	R/W	При установке данного разряда в «1» контроллер DDRMC2 использует временные параметры 2Т. В обратном случае, используется 1Т. При 2Т все сигналы команд (кроме Chip select) удерживаются в течение 2 тактов на шине SDRAM. Сигнал Chip select устанавливается на втором такте команды. Примечание. 2Т не поддерживается в LPDDR2. Значение после сброса: 0x0;

Разряды	Наименование	Тип доступа	Описание
9	burstchop	R/W	При установке в «1» разрешает разделение пакета данных (burst chop) в DDR3. Поддерживается в режиме полноразрядной шины (MSTR.data_bus_width = 00). Значение после сброса: 0x0;
8	burst_mode		Не используется
7:5			Резерв
4	ddr4		Не используется
3	lpddr3	R/W	Не используется
2	lpddr2	R/W	Выбор устройства LPDDR2 SDRAM: «1» – используется устройство LPDDR2 SDRAM; «0» – используется не LPDDR2; Значение после сброса: 0x0;
1	mobile	R/W	Выбор устройства mDDR SDRAM: «1» – используется мобильное/LPDDR устройство SDRAM; «0» – используется не мобильное устройство SDRAM; Значение после сброса: 0x0;
0	ddr3	R/W	Выбор DDR3 SDRAM: «1» – используется устройство DDR3 SDRAM; «0» – используется не DDR3 SDRAM; Значение после сброса: "(MEMC_DDR3_EN==1) ? 0x1 : 0x0"

15.27.3 STAT

Описание: Регистр статуса режима работы;

Размер: 32-разрядный;

Смещение: 0x4;

В Таблица 15.78 представлено назначение разрядов регистра STAT.

Таблица 15.78. Регистр статуса режима работы (STAT)

Разряды	Наименование	Тип доступа	Описание
31:6			Резерв
5:4	selfref_type	R	Устанавливается при переходе в режим Саморегенерации и определяет, был ли переход осуществлен только через автоматическую саморегенерацию. «00» – SDRAM не находится в режиме Саморегенерации; «11» – SDRAM находится в режиме Саморегенерации, при этом переход был вызван только автоматической регенерацией. «10» – SDRAM находится в режиме Саморегенерации, и переход произошел не только через автоматическую саморегенерацию, но также мог быть вызван аппаратным механизмом перехода в режим низкого энергопотребления и/или программным обеспечением. (reg_ddrc_selfref_sw). Значение после сброса: 0x0;
3			Резерв
2:0	operating_mode	R	Режим работы. Поле содержит 3 разряда: «000» – Инициализация (Init); «001» – Нормальный режим (Normal); «010» – Выключение питания (Power Down); «011» – Саморегенерация (Self Refresh); «1XX» – Режим глубокого сна (Deep power-down); Значение после сброса: 0x0;

15.27.4 MRCTRL0

Описание: Регистр управления чтением/записью регистра режима работы 0;

Размер: 32-разрядный;

Смещение: 0x10;

В Таблица 15.79 представлено назначение разрядов регистра MRCTRL0.

Таблица 15.79. Регистр управления чтением/записью регистра режима работы 0 (MRCTRL0)

Разряды	Наименование	Тип доступа	Описание
31	mr_wr	R/W	При установке данного разряда в «1» выполняется операция чтения или записи регистра MR. После завершения операции, DDRMC2 автоматически очищает этот разряд. Остальные поля этого регистра должны быть записаны отдельными транзакциями APB до установки этого разряда. НЕ рекомендуется устанавливать этот сигнал в режимах инициализации, глубокого сна, или режиме максимального энергосбережения. Значение после сброса: 0x0;
30:16			Резерв
15:12	mr_addr	R/W	Адрес регистра MR, в который производится запись. «0000» – MR0; «0001» – MR1; «0010» – MR2; «0011» – MR3; «0100» – MR4; «0101» – MR5; «0110» – MR6; «0111» – MR7; Значение данного поля не учитывается для LPDDR2. Этот сигнал также используется для записи управляющих слов в RDIMM. В этом случае он соответствует разрядам адреса банка, отправляемым в RDIMM Значение после сброса: 0x0;
11:8			Резерв
7:4	mr_rank	R/W	Это поле управляет выбором модуля, к которому обращается MRCTRL0.mr_wr. Обычно требуется обращение ко всем модулям, в этом случае все разряды должны быть установлены в «1». Но в UDIMM/RDIMM с несколькими модулями и реализованной функцией зеркального отражения адресов может также потребоваться доступ к отдельному модулю. Примеры (предполагается конфигурация DDRMC2 с 4-мя модулями): «0x1» – только модуль 0; «0x2» – только модуль 1; «0x5» – модули 0 и 2; «0xA» – модули 1 и 3; «0xF» – модули 0, 1, 2 и 3; Значение после сброса: "(MEMC_NUM_RANKS==4) ? 0xF : ((MEMC_NUM_RANKS==2) ? 0x3 : 0x1)";

Разряды	Наименование	Тип доступа	Описание
3	rcd_init_en		Не используется
2	pda_en		Не используется
1	mpr_en		Не используется
0	mr_type	R/W	Указывает тип операции для регистра MR: чтение или запись. Используется только в LPDDR2. «0» – Запись; «1» – Чтение; Значение после сброса: 0x0;

Примечание. Не устанавливать более одного из следующих полей одновременно:

- rcd_init_en;
- pda_en;
- mpr_en.

15.27.5 MRCTRL1

Описание: Регистр управления чтением/записью регистра режима работы 1;

Размер: 32-разрядный;

Смещение: 0x14;

В Таблица 15.80 представлено назначение разрядов регистра MRCTRL1.

Таблица 15.80. Регистр управления чтением/записью регистра режима работы 1 (MRCTRL1)

Разряды	Наименование	Тип доступа	Описание
31:18			Резерв
17:0	mr_data	R/W	Данные записи регистра MR для типов памяти не-LPDDR2. Для LPDDR2, разряды MRCTRL1[15:0] интерпретируются как: [15:8] – Адрес MR; [7:0] – Данные записи MR, не учитывается для операций чтения. Значение после сброса: 0x0;

15.27.6 MRSTAT

Описание: Регистр статуса чтения/записи регистра режима работы;

Размер: 32-разрядный;

Смещение: 0x18;

В Таблица 15.81 представлено назначение разрядов регистра MRSTAT.

Таблица 15.81. Регистр статуса чтения/записи регистра режима работы (MRSTAT)

Разряды	Наименование	Тип доступа	Описание
31:9			Резерв
8	pda_done		Не используется
7:1			Резерв
0	mr_wr_busy	R	Ядро СнК может инициировать операцию записи MR только при низком уровне этого сигнала. Высокий уровень этого сигнала устанавливается в следующем такте после получения контроллером DDRMC2 запроса MRW/MRR. Сигнал сбрасывается, если в SDRAM отправляется команда MRW/MRR. Не рекомендуется выполнять команды MRW/MRR при высоком уровне «MRSTAT.mr_wr_busy». «0» – Ядро СнК может инициировать операцию записи MR; «1» – Операция записи MR в процессе выполнения; Значение после сброса: 0x0;

15.27.7 MRCTRL2

Описание: Регистр управления чтением/записью регистра режима работы 2;

Размер: 32-разрядный;

Смещение: 0x1c;

В Таблица 15.82 представлено назначение разрядов регистра MRCTRL2.

Таблица 15.82. Регистр управления чтением/записью регистра режима работы 2 (MRCTRL2)

Разряды	Наименование	Тип доступа	Описание
31:0	mr_device_sel		Не используется

15.27.8 DERATEEN

Описание: Регистр включения автоматического снижения температуры;

Размер: 32-разрядный;

Смещение: 0x20;

В Таблица 15.83 представлено назначение разрядов регистра DERATEEN.

Таблица 15.83. Регистр включения автоматического снижения температуры (DERATEEN)

Разряды	Наименование	Тип доступа	Описание
31:2			Резерв
1	derate_value	R/W	Значение снижения: «0» – снижение +1. «1» – снижение +2. Устанавливается в «0» для всех классов быстродействия LPDDR2, так как значение снижения равно +1.875 нс меньше, чем период core_ddrc_core_clk. Значение после сброса: 0x0;
0	derate_enable	R/W	«0» – Понижение временных параметров запрещено; «1» – Понижение временных параметров разрешено с помощью чтения значения MR4; Значение после сброса: 0x0;

15.27.9 DERATEINT

Описание: Регистр интервала снижения температуры;

Размер: 32-разрядный;

Смещение: 0x24;

В Таблица 15.84 представлено назначение разрядов регистра DERATEINT.

Таблица 15.84. Регистр интервала снижения температуры (DERATEINT)

Разряды	Наименование	Тип доступа	Описание
31:0	mr4_read_interval	R/W	Интервал между двумя чтениями MR4, используется для понижения временных параметров. Значение после сброса: 0x800000;

15.27.10 PWRCTL

Описание: Регистр управления режимом низкого энергопотребления;

Размер: 32-разрядный;

Смещение: 0x30;

В Таблица 15.85 представлено назначение разрядов регистра PWRCTL.

Таблица 15.85. Регистр управления режимом низкого энергопотребления (PWRCTL)

Разряды	Наименование	Тип доступа	Описание
31:6			Резерв
5	selfref_sw	R/W	Установка данного поля в «1» включает режим саморегенерации при условии, что в данный момент отключены режимы инициализации, режим глубокого сна/максимального энергосбережения. Соответствует программному входу/выходу из режима саморегенерации. «1» – Программный вход в режим саморегенерации; «0» – Программный выход из режима саморегенерации; Значение после сброса: 0x0;
4	mpsm_en		Не используется
3	en_dfi_dram_clk_disable	R/W	Разрешает установку dfi_dram_clk_disable в любой момент, когда SDRAM не требуется тактовая частота. При значении этого разряда «0», dfi_dram_clk_disable никогда не устанавливается. Установка dfi_dram_clk_disable выполняется следующим образом: В DDR2/DDR3 сигнал может быть установлен только в режиме саморегенерация. В mDDR/LPDDR2 сигнал может быть установлен в следующих режимах: Саморегенерация; Выключение питания; Режим глубокого сна; Нормальный режим (Отключение тактовой частоты); Значение после сброса: 0x0;
2	deeppowerdown_en	R/W	При установке в «1» контроллер DDRMC2 переводит SDRAM в режим глубокого сна при пустой очереди транзакций. Сброс разряда в «0» выводит DDRMC2 из режима глубокого сна. Контроллер выполняет автоматическую инициализацию SDRAM на выходе из режима глубокого сна. Используется только для управления производительностью. Значение после сброса: 0x0;

Разряды	Наименование	Тип доступа	Описание
1	powerdown_en	R/W	При установке в «1» DDRMC2 входит в режим глубокого сна после заданного параметра "максимальное количество тактов, в которых ядро находится в состоянии простоя до выключения питания" (PWRTMG.powerdown_to_x32). Этот разряд может быть перепрограммирован в нормальном режиме работы. Значение после сброса: 0x0;
0	selfref_en	R/W	При установке разряда DDRMC2 вводит SDRAM в режим саморегенерации после заданного параметра «максимальное количество тактов, в которых ядро находится в состоянии покоя до входа в режим саморегенерации» (PWRTMG.selfref_to_x32)". Этот разряд может быть перепрограммирован в нормальном режиме работы. Значение после сброса: 0x0;

15.27.11 PWRTMG

Описание: Регистр временных параметров режима низкого энергопотребления;

Размер: 32-разрядный;

Смещение: 0x34;

В Таблица 15.86 представлено назначение разрядов регистра PWRTMG.

Таблица 15.86. Регистр временных параметров режима низкого энергопотребления (PWRTMG)

Разряды	Наименование	Тип доступа	Описание
31:24			Резерв
23:16	selfref_to_x32	R/W	По завершению указанного количества циклов NOP/deselect DDRMC2 автоматически переводит SDRAM в режим саморегенерации. Может быть включено PWRTMG.selfref_en. Единицы: количество тактов кратное 32. Используется только для управления производительностью. Значение после сброса: 0x40;

Разряды	Наименование	Тип доступа	Описание
15:8	deerpowdown_to_x1024	R/W	<p>Минимальное время в режиме глубокого сна.</p> <p>Для mDDR значение в соответствии со спецификацией JEDEC равно «0», так как mDDR выходит из режима глубокого сна сразу после сброса PWRCTL.deerpowdown_en.</p> <p>Для LPDDR2 значение по Спецификации JEDEC равно 500us.</p> <p>Единицы: количество тактов кратное 1024.</p> <p>Присутствует только в конфигурациях с поддержкой mDDR, LPDDR2.</p> <p>Используется только для управления производительностью.</p> <p>Значение после сброса: "(MEMC_MOBILE_OR_LPDDR2_EN) ? 0x80 : 0x0";</p>
7:5			Резерв
4:0	powerdown_to_x32		<p>После завершения этого количества тактов NOP/deselect контроллер DDRMC2 автоматически переводит SDRAM в режим выключения питания. Может быть включено в PWRCTL.powerdown_en.</p> <p>Единицы: количество тактов кратное 32.</p> <p>Используется только для управления производительностью.</p> <p>Значение после сброса: 0x10;</p>

15.27.12 HWLPCTL

Описание: Регистр управления аппаратным переходом в режим низкого энергопотребления;

Размер: 32-разрядный;

Смещение: 0x38;

В Таблица 15.87 представлено назначение разрядов регистра HWLPCTL.

Таблица 15.87. Регистр управления аппаратным переходом в режим низкого энергопотребления (HWLPCTL)

Разряды	Наименование	Тип доступа	Описание
31:28			Резерв
27:16	hw_lp_idle_x32	R/W	Определяет период времени, в течение которого аппарататура находится в состоянии простоя. Устанавливается низкий уровень выходного сигнала <code>sactive_ddrc</code> , если система находится в состоянии простоя <code>hw_lp_idle *</code> в течение 32 тактов, при условии что отключены режимы INIT и DPD/MPSM. Функция простоя отключена при <code>hw_lp_idle_x32=0</code> . Единицы: количество тактов кратное 32. Используется только для управления производительностью. Значение после сброса: 0x0;
15:2			Резерв
1	hw_lp_exit_idle_en	R/W	При установке этого разряда в «1» сигнал <code>sactive_in_ddrc</code> контроллера DDRC может быть использован для выхода из режимов автоматического отключения тактовой частоты, автоматического выключения питания или автоматической саморегенерации. Следует отметить, что это не вызовет выхода из режима саморегенерации, если вход был инициирован через аппаратное управление интерфейсом низкого потребления и/или программно (<code>PWRCTL.selfref_sw</code>). Значение после сброса: 0x1;
0	hw_lp_en	R/W	Разрешает аппаратное управление интерфейсом низкого энергопотребления. Значение после сброса: 0x1;

15.27.13 RFSHCTL0

Описание: Регистр управления регенерацией 0;

Размер: 32-разрядный;

Смещение: 0x50;

В Таблица 15.88 представлено назначение разрядов регистра RFSHCTL0.

Таблица 15.88. Регистр управления регенерацией 0 (RFSHCTL0)

Разряды	Наименование	Тип доступа	Описание
31:24			Резерв
23:20	refresh_margin	R/W	<p>Пороговое значение (количество тактов) до истечения таймеров страницы или критических регенераций. Критическая регенерация должна быть выполнена до того, как будет достигнуто пороговое значение. Рекомендуется не изменять значение по умолчанию (0x2). Оно должно быть меньше чем внутреннее значение t_rfc_nom_x32.</p> <p>Примечание. В LPDDR2 внутреннее значение t_rfc_nom_x32 может быть равным RFSHTMG.t_rfc_nom_x32>>2, если включено снижение временных параметров (DERATEEN.derate_enable=1). В обратном случае, внутреннее значение t_rfc_nom_x32 будет равно RFSHTMG.t_rfc_nom_x32. Единицы: количество тактов кратное 32. Значение после сброса: 0x2;</p>
19:17			Резерв
16:12	refresh_to_x32	R/W	<p>Если таймер регенераций (tRFCnom или tREFI) истек хотя бы один раз, но не было достигнуто значение (RFSHCTL0.refresh_burst+1), может быть выполнена спекулятивная регенерация. Спекулятивная регенерация – это регенерация, выполняемая в тот момент, когда она будет полезной, но до того, как будет критически необходима. Когда шина SDRAM находится в состоянии простоя в течение времени, определенного параметром RFSHCTL0.refresh_to_x32, и таймер регенераций истек хотя бы один раз после последнего выполнения регенерации, выполняется спекулятивная регенерация. Спекулятивные регенерации продолжают выполняться последовательно до тех пор, пока не остается необработанных запросов регенерации или до получения DDRMC2 новых запросов на чтение или запись. Используется только для управления производительностью. Значение после сброса: 0x10;</p>
11:9			Резерв

Разряды	Наименование	Тип доступа	Описание
8:4	refresh_burst	R/W	<p>Установленное значение + 1 равно количеству таймаутов по регенерации, которое может накапливаться до блокировки трафика и принудительного выполнения регенераций. Закрытие страниц для выполнения регенераций приводит к однократному штрафу, который назначается для каждой группы регенераций. Таким образом, выполнение регенераций пакетом сокращает количество штрафов при закрытии страниц. Более высокие значения RFSHCTL.refresh_burst незначительно повышают утилизацию; низкие значения сокращают худшее значение задержки при выполнении регенерации.</p> <p>«0» – одиночная регенерация; «1» – пакет из 2 регенераций; «7» – пакет из 8 регенераций;</p> <p>В DDR2/3 регенерация всегда выполняется по модулям, а не по банкам. Запросы регенерации модуля могут быть накоплены в течение $8 \cdot t_{REFI}$ тактов с помощью опции пакетной регенерации. При использовании регенераций, инициированных РНУ, необходимо тщательно следить за установкой RFSHCTL0.refresh_burst для того, чтобы не нарушалось ограничение t_{RFCmax} по причине поступающих от РНУ запросов обновлений, возникших незадолго до того, как была запланирована пакетная регенерация. В этом случае пакет обновлений будет отложен до завершения обновления, инициированного РНУ.</p> <p>Значение после сброса: 0x0;</p>
3			Резерв
2	per_bank_refresh	R/W	<p>«1» – регенерация выполняется отдельно для каждого банка; «0» – регенерация выполняется для всех банков одновременно;</p> <p>Регенерация одного банка позволяет продолжить выполнение транзакций в других банках. Этот тип регенерации не поддерживается в устройствах LPDDR2, но поддерживается во всех устройствах.</p> <p>Значение после сброса: 0x0;</p>
1:0			Резерв

15.27.14 RFSHCTL1

Описание: Регистр управления регенерацией 1;

Размер: 32-разрядный;

Смещение: 0x54;

В Таблица 15.89 представлено назначение разрядов регистра RFSHCTL1.

Таблица 15.89. Регистр управления регенерацией 1 (RFSHCTL1)

Разряды	Наименование	Тип доступа	Описание
31:28			Резерв
27:16	refresh_timer1_start_value_x32	R/W	Таймер регенераций начинает отсчет с модуля 1. Единицы: количество тактов кратное 32. Используется только для управления производительностью. Значение после сброса: 0x0;
15:12			Резерв
11:0	refresh_timer0_start_value_x32	R/W	Таймер регенераций начинает отсчет с модуля 0. Единицы: количество тактов кратное 32. Используется только для управления производительностью. Значение после сброса: 0x0;

15.27.15 RFSHCTL2

Описание: Регистр управления регенерацией 2;

Размер: 32-разрядный;

Смещение: 0x58;

В Таблица 15.90 представлено назначение разрядов регистра RFSHCTL2.

Таблица 15.90. Регистр управления регенерацией 2 (RFSHCTL2)

Разряды	Наименование	Тип доступа	Описание
31:28			Резерв
27:16	refresh_timer3_start_value_x32		Не используется
15:12			Резерв
11:0	refresh_timer2_start_value_x32		Не используется

15.27.16 RFSHCTL3

Описание: Регистр управления регенерацией 3;

Размер: 32-разрядный;

Смещение: 0x60;

В Таблица 15.91 представлено назначение разрядов регистра RFSHCTL3.

Таблица 15.91. Регистр управления регенерацией 3 (RFSHCTL3)

Разряды	Наименование	Тип доступа	Описание
31:7			Резерв
6:4	refresh_mode		Не используется
3:2			Резерв
1	refresh_update_level	R/W	Переключение этого сигнала (из состояния «0» в «1» или из «1» в «0») указывает на обновление регистра регенерации. Значение автоматически обновляется при выходе из программного сброса, поэтому нет необходимости в начальном переключении этого разряда. Значение после сброса: 0x0;
0	dis_auto_refresh	R/W	Установка данного разряда в «1» отключает саморегенерацию, инициированную DDRMC2. Когда саморегенерация отключена, ядро СнК формирует запросы регенерации через регистры reg_ddrc_rank0_refresh, reg_ddrc_rank1_refresh, reg_ddrc_rank2_refresh, reg_ddrc_rank3_refresh. При переходе разряда dis_auto_refresh из «0» в «1», любые запросы регенерации, ожидающие обработки, сразу назначаются к выполнению DDRMC2. Значение данного поля может быть изменено динамически. Значение после сброса: 0x0;

15.27.17 RFSHTMG

Описание: Регистр временных параметров регенерации;

Размер: 32-разрядный;

Смещение: 0x64;

В Таблица 15.92 представлено назначение разрядов регистра RFSHTMG.

Таблица 15.92. Регистр временных параметров регенерации (RFSHTMG)

Разряды	Наименование	Тип доступа	Описание
31:28			Резерв
27:16	t_rfc_nom_x32	R/W	<p>tREFI: Средний временной интервал между обновлениями по модулям (спецификация: 7.8us для DDR2, DDR3. См спецификацию JEDEC для mDDR, LPDDR2).</p> <p>Для LPDDR2:</p> <ul style="list-style-type: none"> При выполнении регенерации по всем банкам одновременно (RFSHCTL0.per_bank_refresh = 0), данный регистр должен быть установлен в значение tREFIab; При выполнении регенерации по каждому банку отдельно (RFSHCTL0.per_bank_refresh = 1), это поле должно быть установлено в значение tREFIpb. <p>Следует отметить, что значение RFSHTMG.t_rfc_nom_x32 * 32 должно быть больше, чем RFSHTMG.t_rfc_min.</p> <p>Единицы: количество тактов кратное 32.</p> <p>Значение после сброса: 0x62;</p>
15:9			Резерв
8:0	t_rfc_min	R/W	<p>tRFC (min): Минимальное время между командой регенерации и следующей командой регенерации или активации.</p> <p>Для LPDDR2:</p> <ul style="list-style-type: none"> При выполнении регенерации всех банков одновременно (RFSHCTL0.per_bank_refresh = 0), это поле должно быть установлено в tRFCab; При использовании регенерации по банкам (RFSHCTL0.per_bank_refresh = 1), это поле должно быть установлено в tRFCpb. <p>Единицы: такты;</p> <p>Значение после сброса: 0x8c;</p>

15.27.18 ECCCFG0

Описание: Регистр конфигурации ECC;

Размер: 32-разрядный;

Смещение 0x70;

Данный регистр не действителен.

В Таблица 15.93 представлены разряды регистра ECCCFG0.

Таблица 15.93. Регистр конфигурации ECC (ECCCFG0)

Разряды	Наименование	Тип доступа	Описание
31:5			Резерв
4	dis_scrub		Не действительно
3	test_mode		Не действительно
2:0	ecc_mode		Не действительно

15.27.19 ECCCFG1

Описание: Регистр конфигурации ECC 1;

Размер: 32-разрядный;

Смещение: 0x74;

Данный регистр не действителен.

В Таблица 15.94 представлены разряды регистра ECCCFG1.

Таблица 15.94. Регистр конфигурации ECC 1 (ECCCFG1)

Разряды	Наименование	Тип доступа	Описание
31:1			Резерв
0	data_poison		Не действительно

15.27.20 ECCSTAT

Описание: Регистр статуса ECC;

Размер: 32-разрядный;

Смещение: 0x78;

Данный регистр не действителен.

В Таблица 15.95 представлены разряды регистра ECCSTAT.

Таблица 15.95. Регистр статуса ECC (ECCSTAT)

Разряды	Наименование	Тип доступа	Описание
31:20			Резерв
19:16	ecc_uncorrected_err		Не действительно
15:12			Резерв
11:8	ecc_corrected_err		Не действительно
7			Резерв
6:0	ecc_corrected_err		Не действительно

15.27.21 ECCCLR

Описание: Регистр очистки ECC;

Размер: 32-разрядный;

Смещение: 0x7c;

Данный регистр не действителен.

В Таблица 15.96 представлены разряды регистра ECCCLR.

Таблица 15.96. Регистр очистки ECC (ECCCLR)

Разряды	Наименование	Тип доступа	Описание
31:4			Резерв
3	ecc_clr_uncorr_err_cnt		Не действительно
2	ecc_clr_corr_err_cnt		Не действительно
1	ecc_clr_uncorr_err		Не действительно
0	ecc_clr_corr_err		Не действительно

15.27.22 ECCERRCNT

Описание: Регистр счетчика ошибок;

Размер: 32-разрядный;

Смещение: 0x80;

Данный регистр не действителен.

В Таблица 15.97 представлены разряды регистра ECCERRCNT.

Таблица 15.97. Регистр счетчика ошибок (ECCERRCNT)

Разряды	Наименование	Тип доступа	Описание
31:16	ecc_uncorr_err_cnt		Не действительно
15:0	ecc_corr_err_cnt		Не действительно

15.27.23 ECCADDR0

Описание: Регистр адреса исправленной ошибки ECC 0;

Размер: 32-разрядный;

Смещение: 0x84;

Данный регистр не действителен.

В Таблица 15.98 представлены разряды регистра ECCADDR0.

Таблица 15.98. Регистр адреса исправленной ошибки ECC 0 (ECCADDR0)

Разряды	Наименование	Тип доступа	Описание
31:26			Резерв
25:24	ecc_corr_rank		Не действительно
23:18			Резерв
17:0	ecc_corr_row		Не действительно

15.27.24 ECCADDR1

Описание: Регистр адреса исправленной ошибки ECC 1;

Размер: 32-разрядный;

Смещение: 0x88;

Данный регистр не действителен.

В Таблица 15.99 представлены разряды регистра ECCADDR1.

Таблица 15.99. Регистр адреса исправленной ошибки ECC 1 (ECCADDR1)

Разряды	Наименование	Тип доступа	Описание
31:26			Резерв
31:26	ecc_corr_bg		Не используется
23:19			Резерв
18:16	ecc_corr_bank		Не используется
15:12			Резерв
11:0	ecc_corr_col		Не используется

15.27.25 ECCCSYN0

Описание: Регистр модели исправленной ошибки ECC 0;

Размер: 32-разрядный;

Смещение: 0x8c;

Данный регистр не действителен.

В Таблица 15.100 представлены разряды регистра ECCCSYN0.

Таблица 15.100. Регистр модели исправленной ошибки ECC 0 (ECCCSYN0)

Разряды	Наименование	Тип доступа	Описание
31:0	ecc_corr_syndromes_31_0		Не действительно

15.27.26 ECCCSYN1

Описание: Регистр модели исправленной ошибки ECC 1;

Размер: 32-разрядный;

Смещение: 0x90;

Данный регистр не действителен.

В Таблица 15.101 представлены разряды регистра ECCCSYN1.

Таблица 15.101. Регистр модели исправленной ошибки ECC 1 (ECCCSYN1)

Разряды	Наименование	Тип доступа	Описание
31:0	ecc_corr_syndromes_63_32		Не действительно

15.27.27 ECCCSYN2

Описание: Регистр модели исправленной ошибки ECC 2;

Размер: 32-разрядный;

Смещение: 0x94;

Данный регистр не действителен.

В Таблица 15.102 представлены разряды регистра ECCCSYN2.

Таблица 15.102. Регистр модели исправленной ошибки ECC 2 (ECCCSYN2)

Разряды	Наименование	Тип доступа	Описание
31:8			Резерв
7:0	ecc_corr_syndromes_71_64		Не действительно

15.27.28 ECCBITMASK0

Описание: Регистр маски разряда исправленных данных ECC 0;

Размер: 32-разрядный;

Смещение: 0x98;

Данный регистр не действителен.

В Таблица 15.103 представлены разряды регистра ECCBITMASK0.

Таблица 15.103. Регистр маски разряда исправленных данных ECC 0 (ECCBITMASK0)

Разряды	Наименование	Тип доступа	Описание
31:0	ecc_corr_bit_mask_31_0		Не действительно

15.27.29 ECCBITMASK1

Описание: Регистр маски разряда исправленных данных ECC 1;

Размер: 32-разрядный;

Смещение: 0x9c;

Данный регистр не действителен.

В Таблица 15.104 представлены разряды регистра ECCBITMASK1.

Таблица 15.104. Регистр маски разряда исправленных данных ECC 1 (ECCBITMASK1)

Разряды	Наименование	Тип доступа	Описание
31:0	ecc_corr_bit_mask_63_32		Не действительно

15.27.30 ECCBITMASK2

Описание: Регистр маски разряда исправленных данных ECC 2;

Размер: 32-разрядный;

Смещение: 0xа0;

Данный регистр не действителен.

В Таблица 15.105 представлены разряды регистра ECCBITMASK2.

Таблица 15.105. Регистр маски разряда исправленных данных ECC 2 (ECCBITMASK2)

Разряды	Наименование	Тип доступа	Описание
31:8			Резерв
7:0	ecc_corr_bit_mask_71_64		Не действительно

15.27.31 ECCUADDR0

Описание: Регистр адреса неисправленной ошибки ECC 0;

Размер: 32-разрядный;

Смещение: 0xа4;

Данный регистр не действителен.

В Таблица 15.106 представлены разряды регистра ECCUADDR0.

Таблица 15.106. Регистр адреса неисправленной ошибки ECC 0 (ECCUADDR0)

Разряды	Наименование	Тип доступа	Описание
31:26			Резерв
25:24	ecc_uncorr_rank		Не действительно
23:18			Резерв
17:0	ecc_uncorr_row		Не действительно

15.27.32 ECCUADDR1

Описание: Регистр адреса неисправленной ошибки ECC 1;

Размер: 32-разрядный;

Смещение: 0xа8;

Данный регистр не действителен.

В Таблица 15.107 представлены разряды регистра ECCUADDR1.

Таблица 15.107. Регистр адреса неисправленной ошибки ECC 1 (ECCUADDR1)

Разряды	Наименование	Тип доступа	Описание
31:26			Резерв
25:24	ecc_uncorr_bg		Не действительно
23:19			Резерв
18:16	ecc_uncorr_bank		Не действительно
15:12			Резерв
11:0	ecc_uncorr_col		Не действительно

15.27.33 ECCUSYN0

Описание: Регистр модели неисправленной ошибки ECC 0;

Размер: 32-разрядный;

Смещение: 0xас;

Данный регистр не действителен.

В Таблица 15.108 представлены разряды регистра ECCUSYN0.

Таблица 15.108. Регистр модели неисправленной ошибки ECC 0 (ECCUSYN0)

Разряды	Наименование	Тип доступа	Описание
31:0	ecc_uncorr_syndromes_31_0		Не действительно

15.27.34 ECCUSYN1

Описание: Регистр модели неисправленной ошибки 1;

Размер: 32-разрядный;

Смещение: 0xb0;

Данный регистр не действителен.

В Таблица 15.109 представлены разряды регистра ECCUSYN1.

Таблица 15.109.Регистр модели неисправленной ошибки 1 (ECCUSYN1)

Разряды	Наименование	Тип доступа	Описание
31:0	ecc_uncorr_syndromes_63_32		Не действительно

15.27.35 ECCUSYN2

Описание: Регистр модели неисправленной ошибки 2;

Размер: 32-разрядный;

Смещение: 0xb4;

Данный регистр не действителен.

В Таблица 15.110 представлены разряды регистра ECCUSYN2.

Таблица 15.110. Регистр синдрома с неисправленной ошибкой 2 (ECCUSYN2)

Разряды	Наименование	Тип доступа	Описание
31:8			Резерв
7:0	ecc_uncorr_syndromes_71_64		Не действительно

15.27.36 ECCPOISONADDR0

Описание: Регистр адреса ввода некорректных данных ECC 0;

Размер: 32-разрядный;

Смещение: 0xb8;

Данный регистр не действителен.

В Таблица 15.111 представлены разряды регистра ECCPOISONADDR0.

Таблица 15.111. Регистр адреса ввода некорректных данных ECC 0 (ECCPOISONADDR0)

Разряды	Наименование	Тип доступа	Описание
31:26			Резерв
25:24	ecc_poison_rank	R/W	Не действительно
23:12			Резерв
11:0	ecc_poison_col	R/W	Не действительно

15.27.37 ECCPOISONADDR1

Описание: Регистр адреса для ввода некорректных данных ECC 1.

Размер: 32-разрядный;

Смещение: 0xbc;

Данный регистр не действителен.

В Таблица 15.112 представлены разряды регистра ECCPOISONADDR1.

Таблица 15.112. Регистр адреса для ввода некорректных данных ECC 1 (ECCPOISONADDR1)

Разряды	Наименование	Тип доступа	Описание
31:30			Резерв
29:28	ecc_poison_bg		Не действительно
27			Резерв
26:24	ecc_poison_bank		Не действительно
23:18			Резерв
17:0	ecc_poison_row		Не действительно

15.27.38 CRCPARCTL0

Описание: Регистр контроля четности/CRC 0;

Размер: 32-разрядный;

Смещение: 0x0;

В Таблица 15.113 представлено назначение разрядов регистра CRCPARCTL0.

Таблица 15.113. Регистр контроля четности/CRC 0 (CRCPARCTL0)

Разряды	Наименование	Тип доступа	Описание
31:9			Резерв
8	dfi_alert_err_max_reached_int_clr		Не используется
7:5			Резерв
4	dfi_alert_err_fatal_int_clr	R/W1C	Не используется
3			Резерв
2	dfi_alert_err_cnt_clr	R/W1C	Разряд очистки счетчика ошибок DFI alert. Установка этого разряда очищает счетчик ошибок DFI alert, CRCPARSTAT.dfi_alert_err_cnt. После завершения операции очистки, контроллер DDRMC2 автоматически очищает этот разряд. Значение после сброса: 0x0;
1		R/W1C	Разряд очистки прерывания DFI alert error. Если этот разряд установлен, прерывание alert error в CRCPARSTAT.dfi_alert_err_int будет очищено. После завершения операции очистки, DDRMC2 автоматически очищает этот разряд. Значение после сброса: 0x0;

Разряды	Наименование	Тип доступа	Описание
0	dfi_alert_err_int_clr	R/W	Разряд разрешения установки прерывания по возникновению ошибки DFI alert. Если этот разряд установлен, любая ошибка parity/CRC, обнаруженная на входном сигнале dfi_alert_n вызовет установку прерывания в CRCPARSTAT.dfi_alert_err_int. Значение после сброса: 0x0;

15.27.39 CRCPARCTL1

Описание: Регистр контроля четности/CRC 1;

Размер: 32-разрядный;

Смещение: 0xc4;

В Таблица 15.114 представлено назначение разрядов регистра CRCPARCTL1.

Таблица 15.114. Регистр контроля четности/CRC 1 (CRCPARCTL1)

Разряды	Наименование	Тип доступа	Описание
31:10			Резерв
9	alert_wait_for_sw	R/W	<p>После ошибки четности/CRC, которая устанавливается на сигнале dfi_alert_n, программа имеет возможность чтения регистров режима в DRAM до аппаратного выполнения повторной проверки.</p> <p>1: Ожидание программного чтения/записи регистров режима до того, как начнется аппаратная повторная проверка. После того, как программа закончит операции, произойдет очистка флага прерывания alert interrupt.</p> <p>0: Аппаратная логика может начать проверку сразу после снятия сигнала the dfi_alert_n.</p> <p>Значение в этом поле действительно только при включенной опции повторной проверки (PARCTRL.crc_parity_retry_enable = 1). Если это поле установлено в «1», и не была произведена программная очистка регистра прерываний после обработки ошибки четности/CRC, аппаратная логика не будет начинать повторную проверку и система зависнет. В случае ошибки четности/CRC, имеется две возможности, при которых не выполняется программный сброс MR5[4] в «0».</p> <p>- (i) Если разряд «Persistent parity» регистра MR HE установлен: команды, отправленные во время повторной проверки в нормальном режиме работы, выполняются без проверки четности. Значение, находящееся в регистре лога ошибок четности в странице 1 регистра MPR является действительным.</p> <p>- (ii) Если разряд регистра «Persistent parity» режима работы установлен: Проверка четности выполняется для команд, отправленных во время повторной проверки в нормальном режиме работы. Если несколько ошибок обнаруживается до очистки разряда MR5[4], значения в логе ошибок в странице 1 регистра MPR не учитываются.</p> <p>Значение после сброса: 0x1; Доступно: при DDRMC2_CRC_PARITY_RETRY==1</p>

Разряды	Наименование	Тип доступа	Описание
8	crc_parity_retry_enable	R/W	1: Включает механизм повторной операции в случае ошибки C/A Parity или CRC; 0: Отключает механизм повторной операции проверки, когда опции C/A Parity или CRC включены. Функция повторной операции проверки не поддерживается, если включена опция разделения пакетной передачи (burst chop) (MSTR.burstchop = 1) и/или включена опция отключения авто-регенерации (RFSHCTL3.dis_auto_refresh = 1). Значение после сброса: 0x0; Доступно: при DDRMC2_CRC_PARITY_RETRY==1;
7	crc_inc_dm		Не используется
6:5			Резерв
4	crc_enable		Не используется
3:1			Резерв
0	parity_enable		Не используется

15.27.40 CRCPARCTL2

Описание: Регистр контроля четности/CRC 2;

Размер: 32-разрядный;

Смещение: 0xc8;

В Таблица 15.115 представлено назначение разрядов регистра CRCPARCTL2.

Таблица 15.115. Регистр контроля четности/CRC 2 (CRCPARCTL2)

Разряды	Наименование	Тип доступа	Описание
31:25			Резерв
24:16	t_par_alert_pw_max		Значение из спецификации DRAM, определяющее максимальную ширину импульса dfi_alert_n при возникновении ошибки четности. Рекомендуемые значения: tPAR_ALERT_PW.MAX; Значения 0, 1 и 2 запрещены; Это значение должно быть больше, чем CRCPARCTL2.t_crc_alert_pw_max Значение после сброса: 0x30; Доступно: при DDRMC2_CRC_PARITY_RETRY==1;
15:13			Резерв

Разряды	Наименование	Тип доступа	Описание
12:8	t_crc_alert_pw_max		<p>Значение из спецификации DRAM, определяющее максимальную ширину импульса dfi_alert_n при возникновении ошибки CRC.</p> <p>Рекомендуемые значения:</p> <ul style="list-style-type: none"> • tCRC_ALERT_PW.MAX; <p>Значения 0, 1 и 2 запрещены. Это значение должно быть меньше, чем CRCPARCTL2.t_par_alert_pw_max Значение после сброса: 0x5;</p> <p>Доступно: при DDRMC2_CRC_PARITY_RETRY==1;</p>
7:5			Резерв

Разряды	Наименование	Тип доступа	Описание
4:0	retry_fifo_max_hold_timer_x4		<p>Содержит значение максимального периода времени (в тактовых циклах контроллера), в течение которого команда должна находиться в буфере повторных операций (Command Retry FIFO), до того как будет вытолкнута. Каждый адрес в буфере повторных операций имеет соответствующий декрементирующийся таймер, который будет использовать значение этого поля как начальное значение. Таймер начинает декрементироваться, когда в FIFO загружается команда. Таймер декрементируется каждые 4 такта DRAM. Когда счетчик достигает нуля, ячейка выталкивается из буфера FIFO. Все счетчики замораживаются, если ошибка C/A Parity или CRC произошла до того, как счетчик достиг нулевого значения. Счетчик сбрасывается в «0» после того, как все команды в FIFO были повторно обработаны.</p> <p>Рекомендуемые значения:</p> <ul style="list-style-type: none"> • Включен только режим C/A Parity. (PHY Command Latency(DRAM CLK) + CAL + tPAR_ALERT_PW + tPAR_UNKNOWN + PHY Alert Latency(DRAM CLK)) / 4 + 1 • Включены оба режима проверки C/A Parity и CRC/включен только CRC (PHY Command Latency(DRAM CLK) + CAL + WL + 5 + tCRC_ALERT_ON.max + PHY Alert Latency(DRAM CLK)) / 4 + 1 <p>Максимальное значение, которое может быть установлено в этом поле: DDRMC2_RETRY_CMD_FIFO_DEPTH = 40; Максимальное значение = 31 DDRMC2_RETRY_CMD_FIFO_DEPTH < 40 Полная разрядность шины (CRC=OFF) максимальное значение = DDRMC2_RETRY_CMD_FIFO_DEPTH - 1 Полная разрядность шины (CRC=ON) максимальное значение = DDRMC2_RETRY_CMD_FIFO_DEPTH - 2 Половинная разрядность шины (CRC=OFF) максимальное значение = DDRMC2_RETRY_CMD_FIFO_DEPTH - 2 Половинная разрядность шины (CRC=ON) максимальное значение = DDRMC2_RETRY_CMD_FIFO_DEPTH - 3 Четвертная разрядность шины</p>
Микросхема интегральная 1892ВМ14Я. Руководство пользователя			658

15.27.41 CRCPARSTAT

Описание: Регистр состояния четности CRC;

Размер: 32-разрядный;

Смещение: 0хсс;

В Таблица 15.116 представлено назначение разрядов регистра CRCPARSTAT.

Таблица 15.116. Регистр состояния четности CRC (CRCPARSTAT)

Разряды	Наименование	Тип доступа	Описание
31:30			Резерв
29	cmd_in_err_window	R	Этот разряд отображает наличие команд в окне ошибок parity/crc. 0 – Отсутствие команд в окне ошибок parity/crc. 1 – Одна команда (или более) находится в окне ошибки parity/crc, или происходит повторная проверка. Значение этого разряда действительно при CRCPARCTRL1.crc_parity_retry_enable=1. Значение после сброса: 0x0; Доступно: при DDRMC2_CRC_PARITY_RETRY==1;
28	retry_operating_mode	R	Режим работы повторной проверки: 0 – Нормальный; 1 – Выполняется повторная проверка в связи с ошибкой CRC/Parity; Значение после сброса: 0x0; Доступно: DDRMC2_CRC_PARITY_RETRY==1;
27:23			Резерв
22:20	dfi_alert_err_fatl_code	R	Определяет причину установки dfi_alert_err_fatl_int: [22] Выход из режима MPSM был вызван ошибкой четности (только обнаружение ошибки четности RCD); [21] – Ошибка четности снова возникает при вмешательстве программы; [20] - Операция MRS произошла в окне retry_fifo_max_hold_timer_x4 от alert_n=0 или STAT.operating_mode Init. Одновременно могут быть две или более причины. Остается установленным, пока не будет очищен с помощью CRCPARCTL0.dfi_alert_err_fatl_clr. Значение после сброса: 0x0; Доступно: при DDRMC2_CRC_PARITY_RETRY==1;

Разряды	Наименование	Тип доступа	Описание
19	dfi_alert_err_mpr	R	<p>Этот разряд показывает, что сигнал dfi_alert_err_int вызван операцией MPR чтения/записи.</p> <p>0 - сигнал dfi_alert_err_int был вызван не операцией MPR чтения/записи.</p> <p>1 - сигнал dfi_alert_err_int был вызван операцией MPR чтения/записи.</p> <p>Если CRCPARCTL1.alert_wait_for_sw=1 и dfi_alert_err_mpr=1, программа не может выполнить следующую команду MPR, пока dfi_alert_err_int не будет очищен с помощью dfi_alert_err_int_clr.</p> <p>Разряд остается установленным, пока не будет очищен CRCPARCTL0.dfi_alert_err_int_clr.</p> <p>Значение после сброса: 0x0;</p> <p>Доступно: DDRMC2_CRC_PARITY_RETRY==1;</p>
18	dfi_alert_err_max_reached_int	R	<p>Прерывание по достижению максимального значения счетчика DFI alert error.</p> <p>Это прерывание устанавливается при достижении счетчиком CRCPARSTAT.dfi_alert_err_cnt его максимального значения. Разряд остается установленным до тех пор, пока он не будет сброшен с помощью CRCPARCTL0.dfi_alert_err_int_clr</p> <p>Значение после сброса: 0x0;</p> <p>Доступно: при DDRMC2_CRC_PARITY_RETRY==1;</p>
17	dfi_alert_err_fatl_int	R	<p>Прерывание по наличию критической ошибки четности.</p> <p>Этот разряд устанавливается при возникновении одного или более из следующих условий:</p> <ul style="list-style-type: none"> • операция PDA в процессе выполнения/началась во время выполнения повторной проверки; • Ошибка четности происходит снова при dfi_alert_err_inrt=1; • операция MRS была в окне retry_fifo_max_hold_timer_x4 от alert_n=0. <p>Разряд остается установленным, пока не будет очищен с помощью CRCPARCTL0.dfi_alert_err_fatl_clr. При установке данного прерывания рекомендуется выполнить системный сброс.</p> <p>Значение после сброса: 0x0;</p> <p>Доступно: при DDRMC2_CRC_PARITY_RETRY==1;</p>

Разряды	Наименование	Тип доступа	Описание
16	dfi_alert_err_int	R	Прерывание по наличию ошибки DFI alert. Если обнаружена ошибка parity/CRC на сигнале dfi_alert_n, и прерывания разрешены CRCPARCTL0.dfi_alert_err_int_en, этот разряд будет установлен. Он остается установленным до тех пор, пока не будет очищен с помощью CRCPARCTL0.dfi_alert_err_int_clr Значение после сброса: 0x0;
15:0	dfi_alert_err_cnt	R	Счетчик ошибок DFI alert. Если обнаружена ошибка parity/CRC на сигнале dfi_alert_n, этот счетчик инкрементируется. При этом он не зависит от установки сигнала CRCPARCTL0.dfi_alert_err_int_en. Насыщение происходит при значении 0xFFFF, очистка выполняется установкой CRCPARCTL0.dfi_alert_err_cnt_clr. Значение после сброса: 0x0;

15.27.42 INIT0

Описание: Регистр инициализации SDRAM 0;

Размер: 32-разрядный;

Смещение: 0xd0;

В Таблица 15.117 представлено назначение разрядов регистра INIT0.

Таблица 15.117. Регистр инициализации SDRAM 0 (INIT0)

Разряды	Наименование	Тип доступа	Описание
31:30	skip_dram_init	R/W	Если установлен младший разряд этого поля, программа инициализации SDRAM пропускается. Старший разряд определяет состояние, в котором контроллер начинает работу после выхода из сброса. 00 – программа инициализации SDRAM выполняется после включения питания; 01 – программа инициализации SDRAM пропускается после включения питания. Контроллер начинает работу в нормальном режиме. 11 – программа инициализации SDRAM пропускается после включения питания. Контроллер начинает работу в режиме саморегенерации. 10 – программа инициализации SDRAM выполняется после включения питания. Значение после сброса: 0x0;
29:26			Резерв

Разряды	Наименование	Тип доступа	Описание
25:16	post_cke_x1024		Количество тактов ожидания после установки высокого уровня сигнала СКЕ для запуска последовательности инициализации SDRAM. Единицы: 1024 тактов. Для DDR2 обычно требуется задержка в 400 нс, в данном случае требуется установить данное поле в значение «2» для всего диапазона частот. Для LPDDR2 обычно требуется программирование задержки в 200 мкс. Значение после сброса: 0x2;
15:10			Резерв
9:0			Такты ожидания после сброса перед установкой высокого уровня сигнала СКЕ для запуска инициализации SDRAM. Единицы: 1024 такта. Требование спецификации DDR2 обычно составляет ≥ 200 мкс. Для LPDDR2: $t_{INIT1} - 100$ нс (min) Значение после сброса: 0x4e;

15.27.43 INIT1

Описание: Регистр инициализации SDRAM 1;

Размер: 32-разрядный;

Смещение: 0xd4;

В Таблица 15.118 представлено назначение разрядов регистра INIT1.

Таблица 15.118. Регистр инициализации SDRAM 1 (INIT1)

Разряды	Наименование	Тип доступа	Описание
31:24			Резерв
23:16	dram_rstn_x1024	R/W	Количество тактов для установки сигнала сброса SDRAM во время выполнения последовательности инициализации. Для использования совместно с DDR PHY, минимальное значение поля равно «1». Значение после сброса: 0x0;
15			Резерв

Разряды	Наименование	Тип доступа	Описание
14:8	final_wait_x32	R/W	Количество тактов ожидания после завершения последовательности инициализации SDRAM до начала работы динамического планировщика. Единицы: Значение счетчика глобального таймера, который переключается каждые 32 такта частоты. Не существует определенных требований к значению поля. Может быть установлено в «0». Значение после сброса: 0x0;
7:4			Резерв
3:0	pre_ocd_x32	R/W	Период ожидания перед отправлением команды завершения команды калибровки OCD в SDRAM. Единицы: Значение счетчика глобального таймера, который переключается каждые 32 такта частоты. Не существует определенных требований к значению поля. Может быть установлено в «0». Значение после сброса: 0x0;

15.27.44 INIT2

Описание: Регистр инициализации SDRAM 2;

Размер: 32-разрядный;

Смещение: 0xd8;

В Таблица 15.119 представлено назначение разрядов регистра INIT2.

Таблица 15.119. Регистр инициализации SDRAM 2 (INIT2)

Разряды	Наименование	Тип доступа	Описание
31:16			Резерв
15:8	idle_after_reset_x32	R/W	Время ожидания после команды сброса, t_{INIT4} . Единицы: 32 такта; Значение после сброса: "(MEMC LPDDR2 EN) ? 0xd : 0x0";
7:4			Резерв
3:0	min_stable_clock_x1	R/W	Время ожидания после первой установки высокого уровня СКЕ, t_{INIT2} . Единицы: 1 тактовый цикл; LPDDR2 обычно требует 5 x tCK задержки. Значение после сброса: "(MEMC LPDDR2 EN) ? 0x5 : 0x0";

15.27.45 INIT3

Описание: Регистр инициализации SDRAM 3;

Размер: 32-разрядный;

Смещение: 0xdc;

В Таблица 15.120 представлено назначение разрядов регистра INIT3.

Таблица 15.120. Регистр инициализации SDRAM 3 (INIT3)

Разряды	Наименование	Тип доступа	Описание
31:16	mr	R/W	<p>DDR2: Значение для записи в регистр MR. Разряд 8 предназначен для DLL, настройка этого разряда в данном поле игнорируется. DDRMC2 устанавливает этот разряд соответствующим образом.</p> <p>DDR3: Значение для загрузки в регистр MR0.</p> <p>mDDR: значение для записи в регистр MR.</p> <p>LPDDR2 – Значение для записи в регистр MR1.</p> <p>Значение после сброса: 0x0;</p>
15:0	emr	R/W	<p>DDR2: Значение для записи в регистр EMR. Разряды 9:7 предназначены для OCD, настройки этих разрядов игнорируются. Контроллер DDRMC2 эти разряды соответствующим образом.</p> <p>DDR3: значение для записи регистра MR1. Разряд 7 должен быть установлен в «0».</p> <p>mDDR: значение для записи в регистр EMR.</p> <p>LPDDR2 – значение для записи в регистр MR2.</p> <p>Значение после сброса: 0x510;</p>

15.27.46 INIT4

Описание: Регистр инициализации SDRAM 4;

Размер: 32-разрядный;

Смещение: 0xe0;

В Таблица 15.121 представлено назначение разрядов регистра INIT4.

Таблица 15.121. Регистр инициализации SDRAM 4 (INIT4)

Разряды	Наименование	Тип доступа	Описание
31:16	emr2	R/W	DDR2: Значение для записи в регистр EMR2. DDR3: Значение для записи в регистр MR2. LPDDR2: Значение для записи в регистр MR3. mDDR: Не используется Значение после сброса: 0x0;
15:0	emr3	R/W	DDR2: Значение для записи в регистр EMR3. DDR3: Значение для записи в регистр MR3. mDDR/LPDDR2: Не используется Значение после сброса: 0x0;

15.27.47 INIT5

Описание: Регистр инициализации SDRAM 5;

Размер: 32-разрядный;

Смещение: 0xe4;

В Таблица 15.122 представлено назначение разрядов регистра INIT5.

Таблица 15.122. Регистр инициализации SDRAM 5 (INIT5)

Разряды	Наименование	Тип доступа	Описание
31:24			Резерв
23:16	dev_zqinit_x32	R/W	Начальная калибровка ZQ, tz _{QINIT} . Единицы: 32 такта частоты. Для DDR3 обычно требуется 512 такта. Для LPDDR2 требуется 1 мкс. Значение после сброса: 0x10;
15:10			Резерв
9:0	max_auto_init_x1024	R/W	Максимальное время автоинициализации, t _{INIT5} . Для LPDDR2 обычно требуется 10 мкс. Значение после сброса: "(MEMC LPDDR2_EN) ? 0x4 : 0x0";

15.27.48 INIT6

Описание: Регистр инициализации SDRAM 6;

Размер: 32-разрядный;

Смещение: 0xe8;

Данный регистр не действителен.

В Таблица 15.123 представлено назначение разрядов регистра INIT6.

Таблица 15.123. Регистр инициализации SDRAM 6 (INIT6)

Разряды	Наименование	Тип доступа	Описание
31:16	mr4		Не действительно
15:0	mr5		Не действительно

15.27.49 INIT7

Описание: Регистр инициализации SDRAM 7;

Размер: 32-разрядный;

Смещение: 0xес;

В Таблица 15.124 представлено назначение разрядов регистра INIT7.

Таблица 15.124. Регистр инициализации SDRAM 7 (INIT7)

Разряды	Наименование	Тип доступа	Описание
31:16	mr6		Не действительно
15:0			Резерв

15.27.50 DIMMCTL

Описание: Регистр управления DIMM;

Размер: 32-разрядный;

Смещение: 0xf0;

В Таблица 15.125 представлено назначение разрядов регистра DIMMCTL.

Таблица 15.125. Регистр управления DIMM

Разряды	Наименование	Тип доступа	Описание
31:6			Резерв
5	dimmm_dis_bg_mirroring		Не используется
4	mrs_bg1_en	R/W	
3	mrs_a17_en	R/W	Не используется
2	dimmm_output_inv_en	R/W	Не используется

Разряды	Наименование	Тип доступа	Описание
1	dimmm_addr_mirr_en	R/W	<p>Включение опции отражения адресов (Address Mirroring) для UDIMM, состоящих из нескольких модулей.</p> <p>В некоторых UDIMM применяется отражение адресов в нечетных модулях, это означает, что следующие разряды адреса, адреса банка и группы банков обмениваются содержимым: (A3, A4), (A5, A6), (A7, A8), (BA0, BA1), а также (A11, A13), (BG0, BG1) для DDR4. Установка этого разряда гарантирует, что для обращений к регистру MR во время автоматической программы инициализации происходит обмен содержимым между данными разрядами в DDRMC2 для компенсации этого обмена разрядами UDIMM/RDIMM. В дополнение к автоматической программе инициализации в модулях DDR4 UDIMM/RDIMM, происходит обмен содержимым между разрядами во время автоматического обращения MRS для включения/отключения определенной опции DDR4.</p> <p>Значение этого разряда не влияет на адрес любых других обращений к памяти, или программных обращений к регистру режима.</p> <p>Не поддерживается mDDR, LPDDR2 SDRAM.</p> <p>Примечание. В модулях x16 DDR4 DIMM, выход BG1 команды MRS для нечетных модулей равен BG0, так как BG1 недействителен, поэтому разряд dimmm_dis_bg_mirroring должен быть установлен в «1».</p> <ul style="list-style-type: none"> • 1 – Для нечетных модулей включена опция отражения адресов для команд MRS во время инициализации и для любых автоматических команд DDR4 MRS (для использования при реализации отражения адресов в UDIMM/RDIMM) • 0 – Опция отражения адресов отключена; <p>Значение после сброса: 0x0;</p>

Разряды	Наименование	Тип доступа	Описание
0	dimm_stagger_cs_en	R/W	<p>Включение опции выполнения «в шахматном порядке» для обращений к нескольким модулям (только для реализаций UDIMM и RDIMM с несколькими модулями). Не поддерживается в mDDR, LPDDR2 SDRAM.</p> <ul style="list-style-type: none"> • 1 – Переключает «в шахматном порядке» обращения к четным и нечетным модулям; • 0 – Обращения к модулям не переключаются; <p>Значение после сброса: 0x0; Доступно: при любых конфигурациях;</p>

15.27.51 RANKCTL

Описание: Регистр управления модулями памяти;

Размер: 32-разрядный;

Смещение: 0xf4;

В Таблица 15.126 представлено назначение разрядов регистра RANKCTL.

Таблица 15.126. Регистр управления модулями памяти (RANKCTL)

Разряды	Наименование	Тип доступа	Описание
31:12			Резерв
11:8	diff_rank_wr_gap	R/W	<p>Содержит количество тактов перерыва между ответными данными при выполнении последовательных операций записи в разных модулях.</p> <p>Используется для переключения значений задержки в РНУ для соответствия требованиям модуля.</p> <p>Значение, установленное в этом поле, обеспечивает соблюдение требования к временному параметру выключения ODT при переключении между модулями во время операций записи.</p> <p>Значение после сброса: 0x6;</p>

Разряды	Наименование	Тип доступа	Описание
7:4	diff_rank_rd_gap	R/W	<p>Содержит количество тактов перерыва между ответными данными при выполнении последовательных операций чтения в разных модулях.</p> <p>Используется для переключения значений задержки в РНУ для соответствия требованиям модуля.</p> <p>Значение, установленное в этом поле, обеспечивает соблюдение требования к временному параметру выключения ODT при переключении между модулями во время выполнения операций чтения.</p> <p>Значение после сброса: 0x6;</p>
3:0	max_rank_rd	R/W	<p>Операции чтения одного модуля могут выполняться последовательно. Чтения разных модулей требуют дополнительной задержки, задаваемой в RANKCTL.diff_rank_rd_gap. Это необходимо для предотвращения конфликта на шине данных, а также для предоставления РНУ достаточного времени для переключения задержки при изменении модулей. Контроллер DDRMC2 выполняет арбитраж обращений к шине цикл за циклом; таким образом, после назначения операции чтения, в течение нескольких тактовых циклов (количество определяется значением diff_rank_rd_gap) разрешаются только операции чтения этого же модуля. Это предотвращает получение доступа к шине данных для операций чтения других модулей.</p> <p>Этот параметр представляет собой максимальное количество операций чтения одного модуля, которые могут выполняться последовательно. После достижения этого числа, задержка равная RANKCTL.diff_rank_rd_gap вставляется планировщиком для предоставления равных возможностей выполнения операций для всех модулей. Более высокие значения этого параметра повышают пропускную способность, более низкие значения означают равные возможности для всех модулей.</p> <p>Данная опция может быть отключена установкой этого поля в значение «0». При установке в «0», контроллер выполняет операции в одном модуле до тех пор, пока есть доступные команды для этого модуля.</p> <p>Минимальное значение для программирования этого поля равно «0» (опция отключена), максимальное значение равно «0xF».</p> <p>Ограничение: опция max_rank_rd действует в соответствии с описанием только в режиме, в котором результатом одной команды на входе DDRC является одна команда DFI на выходе. Пример: аппаратная конфигурация BL8 (MEMC_BURST_LENGTH=8), режим полной разрядности шины (MSTR.data_bus_width=2'b00) и режим работы BL8 (MSTR.burst_rdwr=4'b0100). В режимах, в которых одна команда HIF требует нескольких команд DFI (например, режим половинной разрядности шины, BL4 и т.д). Команды, адресованные одному модулю, обслуживаются, пока имеются в наличии, что</p>

Разряды	Наименование	Тип доступа	Описание
			эквивалентно отключению этой функции. Используется только в целях управления производительностью. Значение после сброса: 0xf; Доступно: при MEMC_NUM_RANKS>1;

15.27.52 DRAMTMG0

Описание: Регистр временных параметров SDRAM 0;

Размер: 32-разрядный;

Смещение: 0x100;

В Таблица 15.127 представлено назначение разрядов регистра DRAMTMG0.

Таблица 15.127. Регистр временных параметров SDRAM 0 (DRAMTMG0)

Разряды	Наименование	Тип доступа	Описание
31:30			Резерв
29:24	wr2pre	R/W	Минимальное время между записью и деактивацией одного и того же банка. Единицы: Такты; Спецификации: $WL + BL/2 + tWR =$ приблизительно 8 тактов + 15 нс = 14 тактов @400МГц и менее для более низких частот, где: <ul style="list-style-type: none"> • WL = задержка записи; • BL = длина пакета. Данное значение должно соответствовать значению, запрограммированному в разряде BL регистра MR в SDRAM. BST (окончание пакета) не поддерживается в этой версии. • tWR = Время восстановления для цикла записи. Значение берется напрямую из спецификации SDRAM. Необходимо добавить один дополнительный такт в LPDDR2 для этого параметра. Значение после сброса: 0xf;
23:22			Резерв

Разряды	Наименование	Тип доступа	Описание
21:16	t_faw	R/W	Поле t _{FAW} действительно, только если в конфигурации присутствует 8 или более банков (или банков x группы банков). При наличии 8 банков, максимум четыре банка могут быть активны в скользящем окне в t _{FAW} циклов. При наличии 4 банков, необходимо установить это поле в 0x1. Единицы: такты; Значение после сброса: 0x10;
15			Резерв
14:8	t_ras_max	R/W	tRAS(max): Максимальное время между выполнением активации и деактивации одного и того же банка. Это максимальное время, в течение которого страница может быть открытой. Минимальное значение поля равно «1». Ноль – недопустимое значение. Единицы: такты, значение должно быть кратным 1024 тактам. Значение после сброса: 0x1b;
7:6			Резерв
5:0	t_ras_min	R/W	tRAS(min): Минимальное время между выполнением активации и деактивации одного и того же банка. Единицы: такты; Значение после сброса: 0xf;

15.27.53 DRAMTMG1

Описание: Регистр временных параметров SDRAM 1;

Размер: 32-разрядный;

Смещение: 0x104;

В Таблица 15.128 представлено назначение разрядов регистра DRAMTMG1.

Таблица 15.128. Регистр временных параметров SDRAM 1 (DRAMTMG1)

Разряды	Наименование	Тип доступа	Описание
31:21			Резерв
20:16	t_xp	R/W	tXP: минимальное время после выхода из режима выключения питания до выполнения любой операции. Для DDR3, это поле должно быть установлено в tXPDLL, если в разряде MR0[12] был выбран медленный выход из режима выключения питания. Единицы: такты; Значение после сброса: 0x8;
15:13			Резерв

Разряды	Наименование	Тип доступа	Описание
12:18	rd2pre	R/W	tRTP: Минимальное время между выполнением операции чтения и деактивации одного и того же банка. <ul style="list-style-type: none"> • DDR2: $tAL + BL/2 + \max(tRTP, 2) - 2$; • DDR3: $tAL + \max(tRTP, 4)$; • mDDR: $BL/2$; • LPDDR2: Зависит от устройства LPDDR2-S2 или LPDDR2-S4: LPDDR2-S2: $BL/2 + tRTP - 1$. LPDDR2-S4: $BL/2 + \max(tRTP, 2) - 2$. Единицы: такты; Значение после сброса: 0x4;
7:6			Резерв
5:0	t_rc	R/W	tRC: Минимальное время между выполнением активаций одного и того же банка. Единицы: такты. Значение после сброса: 0x14;

15.27.54 DRAMTMG2

Описание: Регистр временных параметров SDRAM 2;

Размер: 32-разрядный;

Смещение: 0x108;

В Таблица 15.129 представлено назначение разрядов регистра DRAMTMG2.

Таблица 15.129. Регистр временных параметров SDRAM 2 (DRAMTMG2)

Разряды	Наименование	Тип доступа	Описание
31:30			Резерв
29:24	write_latency	R/W	Устанавливается в WL. Время между отправкой команды записи по получения данных записи на интерфейсе SDRAM. Должно быть установлено в WL. Для mDDR, обычно устанавливается в «1». Следует отметить, что в зависимости от ПНУ, если используется RDIMM, может быть необходимым использование значения $WL + 1$ для компенсации дополнительного цикла задержки в RDIMM. Единицы: такты; Значение после сброса: 0x3;
23:22			Резерв

Разряды	Наименование	Тип доступа	Описание
21:16	read_latency	R/W	<p>Устанавливается в RL.</p> <p>Время между отправкой команды записи до получения данных записи на интерфейсе SDRAM. Должно быть установлено в RL.</p> <p>Для mDDR, обычно устанавливается в «1».</p> <p>Следует отметить, что в зависимости от PНУ, если используется RDIMM, может быть необходимым использование значения $WL + 1$ для компенсации дополнительного цикла задержки в RDIMM.</p> <p>Единицы: такты; Значение после сброса: 0x3;</p>
15:13			Резерв
12:8	rd2wr	R/W	<p>DDR2/3/mDDR: $RL + BL/2 + 2 - WL$ LPDDR2: $RL + BL/2 + RU(tDQSCk_{max}/tCK) + 1 - WL$.</p> <p>(Выражение $RU(tDQSCk_{max}/tCK)$ означает деление $tDQSCk_{max}/tCK$ с округлением вверх до ближайшего целого).</p> <p>Минимальное время между командой чтения и командой записи. Включает в себя время переключения направления шины и все ограничения банка, модуля и глобальные ограничения.</p> <p>Единицы: такты; Где:</p> <ul style="list-style-type: none"> • WL = задержка записи; • BL = длина пакета. Должно соответствовать значению, установленному в разряде BL регистра режима работы SDRAM; • RL = задержка чтения = задержка CAS <p>Значение после сброса: 0x6;</p>
7:6			Резерв

Разряды	Наименование	Тип доступа	Описание
5:0	wr2rd	R/W	<p>WL + BL/2 + tWTR; Минимальное время между командой записи и командой чтения. Включает в себя время переключения шины, время восстановления, также все ограничения банка, модуля и глобальные ограничения. Единицы: такты. Где:</p> <ul style="list-style-type: none"> • WL = задержка записи; • BL = длина пакета. Должно соответствовать значению, установленному в разряде BL регистра режима работы SDRAM; • tWTR_L = внутренняя задержка между командами записи и чтения для одной группы банков. Содержится в спецификации SDRAM; • tWTR = внутренняя задержка между командами записи и чтения. Содержится в спецификации SDRAM; <p>Необходимо добавить один дополнительный такт для LPDDR2. Значение после сброса: 0xd;</p>

15.27.55 DRAMTMG3

Описание: Регистр временных параметров SDRAM 3;

Размер: 32-разрядный;

Смещение: 0x10c;

В Таблица 15.130 представлено назначение разрядов регистра DRAMTMG3.

Таблица 15.130. Регистр временных параметров SDRAM 3 (DRAMTMG3)

Разряды	Наименование	Тип доступа	Описание
31:30			Резерв
29:20	t_mrw	R/W	<p>Время ожидания при загрузке регистра MR. Для LPDDR2 обычно требуется значение 5. Значение после сброса: "(MEMC LPDDR2_EN==1) ? 0x5 : 0x0"</p>
19:18			Резерв

Разряды	Наименование	Тип доступа	Описание
17:12	t_mrd	R/W	MC_DDR3_OR_4 = 0, этот параметр также используется для определения количества тактов между командой загрузки и следующей не командой загрузки. Значение после сброса: 0x4;
11:10			Резерв
9:0	t_mod	R/W	tMOD: Количество тактов между командой загрузки регистра режима и следующей не командой загрузки. Это поле требуется запрограммировать, даже если устройство работает в режиме DDR2. Необходимо установить поле в tMOD если MEMC_FREQ_RATIO=1. Следует отметить, что при использовании RDIMM, в зависимости от PHY, может быть необходимым использование значения tMOD + 1 или (tMOD + 1)/2 для компенсации дополнительного такта задержки, добавляемой при записи регистра режима микросхемой RDIMM. Значение после сброса: "(MEMC_DDR3_EN==1 MEMC_DDR4_EN==1) ? 0xc : 0x0"

15.27.56 DRAMTMG4

Описание: Регистр временных параметров SDRAM 4;

Размер: 32-разрядный;

Смещение: 0x110;

В Таблица 15.131 представлено назначение разрядов регистра DRAMTMG4.

Таблица 15.131. Регистр временных параметров SDRAM 4 (DRAMTMG4)

Разряды	Наименование	Тип доступа	Описание
31:29			Резерв
28:24	t_rcd	R/W	tRCD - tAL: Минимальное время между активацией и командой чтения или записи к одному и тому же банку. Минимальное значение, разрешенное для этого регистра равно «1». Единицы: такты; Значение после сброса: 0x5;
23:19			Резерв

Разряды	Наименование	Тип доступа	Описание
18:16	t_ccd	R/W	tCCD: Минимальное время между двумя операциями чтения или двумя операциями записи. Единицы: такты; Значение после сброса: 0x4;
15:12			Резерв
11:8	t_rrd	R/W	tRRD: Минимальное время между активациями из банка "a" в банк "b". Единицы: такты; Значение после сброса: 0x4;
7:5			Резерв
4:0	t_rp	R/W	tRP: Минимальное время от деактивации до активации одного банка. Единицы: такты; Значение после сброса: 0x5;

15.27.57 DRAMTMG5

Описание: Регистр временных параметров SDRAM 5;

Размер: 32-разрядный;

Смещение: 0x114;

В Таблица 15.132 представлено назначение разрядов регистра DRAMTMG5.

Таблица 15.132. Регистр временных параметров SDRAM 5 (DRAMTMG5)

Разряды	Наименование	Тип доступа	Описание
31:28			Резерв
27:24	t_cksrx	R/W	Время до выхода из режима саморегенерации, в течение которого частота СК остается действующей перед отправкой команды SRX. Определяет время стабильной частоты перед отправкой SRX. Рекомендуемые настройки: <ul style="list-style-type: none"> • mDDR: 1; • LPDDR2: 2; • DDR2: 1; • DDR3: tCKSRX; Значение после сброса: 0x5;
23:20			Резерв

Разряды	Наименование	Тип доступа	Описание
19:16	t_cksre	R/W	Время после входа в режим саморегенерации, в течение которого СК остается действительной частотой. Определяет задержку отключения частоты после входа в режим саморегенерации (SRE). Рекомендуемые настройки: <ul style="list-style-type: none"> • mDDR: 0; • LPDDR2: 2; • DDR2: 1; • DDR3: max (10 нс, 5 tCK); Значение после сброса: 0x5;
15:14			Резерв
13:8	t_ckesr	R/W	Минимальная ширина низкого уровня сигнала СКЕ, который устанавливается от входа в режим саморегенерации до выхода из режима, задается в тактах частоты памяти. Рекомендуемые настройки: <ul style="list-style-type: none"> • mDDR: tRFC; • LPDDR2: tCKESR; • DDR2: tCKE; • DDR3: tCKE + 1; Значение после сброса: 0x4;
7:4			Резерв
3:0	t_cke	R/W	Минимальное количество тактов СКЕ HIGH/LOW в режиме отключения питания и саморегенерации. <ul style="list-style-type: none"> • LPDDR2: Установить в большее значение tCKE или tCKESR; • Не-LPDDR2: Установить это поле в значение tCKE; Единицы: такты; Значение после сброса: 0x3;

15.27.58 DRAMTMG6

Описание: Регистр временных параметров SDRAM 6;

Размер: 32-разрядный;

Смещение: 0x118;

В Таблица 15.133 представлено назначение разрядов регистра DRAMTMG6.

Таблица 15.133. Регистр временных параметров SDRAM 6 (DRAMTMG6)

Разряды	Наименование	Тип доступа	Описание
31:28			Резерв
27:24	t_ckdpde	R/W	Время после входа в режим глубокого сна, в течение которого частота СК остается действительной. Определяет задержку отключения частоты после входа в режим глубокого сна. Рекомендуемые настройки: mDDR: 0; LPDDR2: 2; Значение после сброса: 0x2;
23:20			Резерв
19:16	t_ckdpdx	R/W	Время до выхода из режима глубокого сна, в течение которого СК остается действующей частотой. Определяет время стабильной частоты перед выходом из режима глубокого сна. Рекомендуемые настройки: mDDR: 1; LPDDR2: 2; Значение после сброса: 0x2;
15:4			Резерв
3:0	t_ckcsx	R/W	Время до выхода из режима отключения частоты, в течение которого СК сохраняется как действующая частота до отправки команды Clock Stop Exit. Определяет время стабильной частоты перед следующей командой после выхода из режима отключения тактовой частоты. Рекомендуемые настройки: <ul style="list-style-type: none"> • mDDR: 1; • LPDDR2: tXP + 2; Значение после сброса: 0x5;

15.27.59 DRAMTMG7

Описание: Регистр временных параметров SDRAM 7;

Размер: 32-разрядный

Смещение: 0x11c

В Таблица 15.134 представлено назначение разрядов регистра DRAMTMG7.

Таблица 15.134. Регистр временных параметров SDRAM 7 (DRAMTMG7)

Разряды	Наименование	Тип доступа	Описание
31:12			Резерв
11:8	t_ckpde	R/W	Время после входа в режим выключения питания, в течение которого частота СК остается действительной. Определяет задержку отключения частоты после входа в режим выключения питания (PDE). Рекомендуемые настройки: <ul style="list-style-type: none"> • mDDR: 0; • LPDDR2: 2; Значение после сброса: 0x2;
7:4			Резерв
3:0	t_ckpdx	R/W	Время до выхода из режима выключения питания, в течение которого частота СК остается действительной. Определяет время стабильной частоты перед выходом из режима выключения питания. Рекомендуемые настройки: <ul style="list-style-type: none"> • mDDR: 0; • LPDDR2: 2; Значение после сброса: 0x2;

15.27.60 DRAMTMG8

Описание: Регистр временных параметров SDRAM 8;

Размер: 32-разрядный;

Смещение: 0x120;

В Таблица 15.135 представлено назначение разрядов регистра DRAMTMG8.

Таблица 15.135. Регистр временных параметров SDRAM 8 (DRAMTMG8)

Разряды	Наименование	Тип доступа	Описание
31:7			Резерв

Разряды	Наименование	Тип доступа	Описание
6:0	post_selfref_gap_x32	R/W	Минимальное время ожидания до любых действий после выхода из self-refresh. Должно быть больше любых установленных ограничений (максимальное из tXSNR, tXSRD, tXSDLL). Единица – 32 такта. Значение после сброса: 0x44;

15.27.61 DRAMTMG9

Описание: Регистр временных параметров SDRAM 9;

Размер: 32-разрядный;

Смещение: 0x124;

Данный регистр не действителен.

В Таблица 15.136 представлены разряды регистра DRAMTMG9.

Таблица 15.136. Регистр временных параметров SDRAM 9 (DRAMTMG9)

Разряды	Наименование	Тип доступа	Описание
31:19			Резерв
18:16	t ccd s		Не действительно
15:12			Резерв
11:8	t rrd s		Не действительно
7:6			Резерв
5:0	wr2rd s		Не действительно

15.27.62 DRAMTMG10

Описание: Регистр временных параметров SDRAM 10;

Размер: 32-разрядный;

Смещение: 0x128;

Данный регистр не действителен.

В Таблица 15.137 представлены разряды регистра DRAMTMG10.

Таблица 15.137. Регистр временных параметров SDRAM 10 (DRAMTMG10)

Разряды	Наименование	Тип доступа	Описание
31:21			Резерв
20:16	t sync gear		Не действительно
15:13			Резерв
12:8	t cmd gear		Не действительно

Разряды	Наименование	Тип доступа	Описание
7:4			Резерв
3:2	t_gear_setup		Не действительно
1:0	t_gear_hold		Не действительно

15.27.63 DRAMTMG11

Описание: Регистр временных параметров SDRAM 11;

Размер: 32-разрядный;

Смещение: 0x12c;

Данный регистр не действителен.

В Таблица 15.138 представлены разряды регистра DRAMTMG11.

Таблица 15.138. Регистр временных параметров SDRAM 11 (DRAMTMG11)

Разряды	Наименование	Тип доступа	Описание
31			Резерв
30:24	post_mpsm_gap_x 32		Не действительно
23:21			Резерв
20:16	t_mpx_lh		Не действительно
15:10			Резерв
9:8	t_mpx_s		Не действительно
7:5			Резерв
4:0	t_ckmpe		Не действительно

15.27.64 ZQCTL0

Описание: Регистр управления ZQ 0;

Размер: 32-разрядный;

Смещение: 0x180;

В Таблица 15.139 представлено назначение разрядов регистра ZQCTL0.

Таблица 15.139. Регистр управления ZQ 0 (ZQCTL0)

Разряды	Наименование	Тип доступа	Описание
31	dis_auto_zq	R/W	1 – Внешний резистор ZQ является общим для банков. Команды ZQinit/ZQCL/ZQCS отправляются к одному модулю за раз, при этом между командами tZQinit/tZQCL/tZQCS соблюдаются временные параметры, таким образом, не допуская

Разряды	Наименование	Тип доступа	Описание
			пересечения. 0 – Внешний резистор ZQ не является общим. Значение после сброса: 0x0;
30	dis_srx_zqcl	R/W	1 – Запрещает выдачу команды ZQCL на выходе из режима саморегенерации. 0 – Разрешает выдачу команды ZQCL на выходе из режима Саморегенерации. Значение после сброса: 0x0;
29	zq_resistor_shared	R/W	1 – Резистор ZQ является общим для модулей. Команды ZQinit/ZQCL/ZQCS посылаются к одному модулю одновременно, при этом соблюдаются временные ограничения tZQinit/tZQCL/tZQCS, таким образом, эти команды к различным модулям не пересекаются. 0 – ZQ не является общим для модулей. Значение после сброса: 0x0;
28	dis_mpsmx_zqcl	R/W	Не используется
27:26			Резерв
25:16	t_zq_long_nop	R/W	tZQoper для DDR3, tZQCL для LPDDR2: Требуемое количество тактов NOP после отправки команды ZQCL (длинная калибровка ZQ) в SDRAM. Единицы: такты частоты; Значение после сброса: 0x200;
15:10			Резерв
9:0	t_zq_short_nop	R/W	tZQCS: Требуемое количество тактов NOP после отправки команды ZQCS (короткая калибровка ZQ) в SDRAM. Единицы: такты частоты. Значение после сброса: 0x40;

15.27.65 ZQCTL1

Описание: Регистр управления ZQ 1;

Размер: 32-разрядный;

Смещение: 0x184;

В Таблица 15.140 представлено назначение разрядов регистра ZQCTL1.

Таблица 15.140. Регистр управления ZQ 1 (ZQCTL1)

Разряды	Наименование	Тип доступа	Описание
31:30			Резерв

Разряды	Наименование	Тип доступа	Описание
29:20	t_zq_reset_nop	R/W	tZQReset: Требуемое количество тактов NOP после отправки команды ZQReset (сброс калибровки ZQ) в SDRAM. Единицы: такты частоты; Значение после сброса: 0x20;
19:0	t_zq_short_interval_x1024	R/W	Средний интервал ожидания между автоматической выдачей команд ZQCS (короткая калибровка ZQ) модулям DDR3/LPDDR2. Значение этого поля не учитывается, если ZQCTL0.dis_auto_zq=1. Единицы: 1024 такта; Значение после сброса: 0x100;

15.27.66 ZQCTL2

Описание: Регистр управления ZQ 2;

Размер: 32-разрядный;

Смещение: 0x188;

Таблица 15.141 представлено назначение разрядов регистра ZQCTL2.

Таблица 15.141. Регистр управления ZQ 2 (ZQCTL2)

Разряды	Наименование	Тип доступа	Описание
31:1			Резерв
0	zq_reset	R/W	Установка этого разряда в «1» запускает операцию сброса ZQ. По завершению команды ZQ Reset, контроллер DDRMC2 автоматически очищает этот разряд. НЕ рекомендуется устанавливать этот сигнал в режиме инициализации (Init), саморегенерации (Self-Refresh) или режиме глубокого сна (Deep power-down). Значение после сброса:0x0;

15.27.67 ZQSTAT

Описание: Регистр состояния ZQ;

Размер: 32-разрядный;

Смещение: 0x18c;

В Таблица 15.142 представлено назначение разрядов регистра ZQSTAT.

Таблица 15.142. Регистр состояния ZQ (ZQSTAT)

Разряды	Наименование	Тип доступа	Описание
31:1			Резерв
0	zq_reset_busy	R	<p>Ядро СнК может инициировать операцию сброса ZQ только при низком уровне этого сигнала. Установка высокого уровня этого сигнала в такте после получения DDRMC2 запроса ZQ Reset. Низкий уровень сигнала устанавливается, если команда ZQ Reset отправлена в SDRAM и соответствующий период NOP завершен. Не рекомендуется выполнять команды сброса ZQ при высоком уровне этого сигнала.</p> <p>0 – Ядро СнК может инициировать операцию сброса ZQ; 1 – Операция сброса ZQ находится в процессе выполнения: Значение после сброса: 0x0;</p>

15.27.68 DFITMG0

Описание: Регистр временных параметров DFI 0;

Размер: 32-разрядный;

Смещение: 0x190;

В Таблица 15.143 представлено назначение разрядов регистра DFITMG0.

Таблица 15.143. Регистр временных параметров DFI 0 (DFITMG0)

Разряды	Наименование	Тип доступа	Описание
31:29			Резерв
28:24	dfi_t_ctrl_delay	R/W	<p>Определяет количество тактов DFI после установки или сброса управляющих сигналов, в течение которого на управляющих сигналах PHY-DRAM отразится эта установка или сброс. Если частота DFI и частота памяти не выровнены по фазе, этот параметр должен быть округлен к большему целому значению. Следует отметить, если используется RDIMM, в зависимости от PHY, этот параметр может быть инкрементирован на 1. Это необходимо для компенсации дополнительного такта задержки в RDIMM.</p> <p>Значение после сброса: 0x7;</p>
23	dfi_rddata_use_sdr		Не используется
22			Резерв

Разряды	Наименование	Тип доступа	Описание
21:16	dfi_t_rddata_en	R/W	<p>Время от поступления команды чтения на интерфейс DFI до установки сигнала dfi_rddata_en.</p> <p>Корректные значения для этого поля содержатся в спецификации PHY.</p> <p>Соответствует параметру DFI trddata_en. В зависимости от блока PHY, если используется удвоенный модуль памяти RDIMM, можно при вычислении сигнала trddata_en использовать формулу $(CL + 1)$. Это необходимо для компенсации дополнительного такта задержки RDIMM.</p> <p>Единицы: такты; Значение после сброса: 0x2;</p>
15	dfi_wrdata_use_sdr		Не используется
14			Резерв
13:8	dfi_tphy_wrdata	R/W	<p>Определяет количество тактов между установкой сигнала dfi_wrdata_en и записью соответствующих данных по сигналу dfi_wrdata. Это соответствует временному параметру DFI tphy_wrdata. Корректное значение для этого поля содержится в спецификации PHY. Максимальное допустимое значение равно 8.</p> <p>Единицы: такты; Значение после сброса: 0x0;</p>
7:6			Резерв
5:0	dfi_tphy_wrlat	R/W	<p>Задержка записи</p> <p>Количество тактов между установкой команды записи и сигналом разрешения записи (dfi_wrdata_en). Это соответствует временному параметру DFI tphy_wrlat. Минимальное допустимое значение:</p> <p>0 - для конфигураций с MEMC_WL0 = 1; 1 – для конфигураций с MEMC_WL0 = 0;</p> <p>Корректное значение содержится в спецификации PHY. В зависимости от блока PHY, при использовании RDIMM, может быть необходимым использование значения $(CL + 1)$ для вычисления tphy_wrlat. Это требуется для компенсации дополнительного такта задержки в RDIMM.</p> <p>Значение после сброса: 0x2;</p>

15.27.69 DFITMG1

Описание: Регистр временных параметров DFI 1;

Размер: 32-разрядный;

Смещение: 0x194;

В Таблица 15.144 представлено назначение разрядов регистра DFITMG1.

Таблица 15.144. Регистр временных параметров DFI 1 (DFITMG1)

Разряды	Наименование	Тип доступа	Описание
31:26			Резерв
25:24	dfi_t_parin_lat	R/W	Не используется
23:21			Резерв
20:16	dfi_t_wrdata_delay	R/W	<p>Определяет количество тактов DFI между установкой сигнала dfi_wrdata_en и завершением передачи соответствующих данных на шину DRAM. Это соответствует временному параметру DFI twrdata_delay. Корректное значение содержится в спецификации PHY. Для DFI 3.0 PHY это поле устанавливается в значение twrdata_delay. Для DFI 2.1 PHY, необходимо установить это поле в следующее значение tphy_wrdata + (задержка записи данных DFI в DRAM). Значение должно быть запрограммировано в тактах частоты DFI (не в тактах частоты PHY). При использовании DFITMG0.dfi_wrdata_use_sdr=1, необходимо прибавить 1 к значению.</p> <p>Единицы: такты; Значение после сброса: 0x0;</p>
15:12			Резерв
11:8	dfi_t_dram_clk_disable	R/W	<p>Определяет количество тактов DFI между установкой сигнала dfi_dram_clk_disable на интерфейсе DFI до установки тактовой частоты для устройств памяти DRAM, на границе PHY-DRAM остается «0». Если тактовая частота DFI и частота памяти не выровнены по фазе, данный параметр должен быть округлен вверх до ближайшего целого значения.</p> <p>Значение после сброса: 0x4;</p>
7:4			Резерв
3:0	dfi_t_dram_clk_enable	R/W	<p>Определяет количество тактов DFI от сброса сигнала dfi_dram_clk_disable на интерфейсе DFI до первого положительного фронта действующей тактовой частоты DRAM между PHY и DRAM. Если частота DFI и частота памяти не выровнены по фазе, данный параметр должен быть округлен вверх до ближайшего целого числа.</p> <p>Значение после сброса: 0x4;</p>

15.27.70 DFILPCFG0

Описание: Регистр настройки режима низкого энергопотребления DFI 0;

Размер: 32-разрядный;

Смещение: 0x198;

В Таблица 15.145 представлено назначение разрядов регистра DFILPCFG0.

Таблица 15.145. Регистр настройки режима низкого энергопотребления DFI 0 (DFILPCFG0)

Разряды	Наименование	Тип доступа	Описание
31:28			Резерв
27:24	dfi_tlp_resp	R/W	Настройка параметра DFI tlp_resp. Это же значение используется для режимов Выключения питания (Power Down), Саморегенерации (Self Refresh), Глубокого сна (Deep Power Down) и Режимы максимального энергосбережения (Maximum Power Saving). В спецификации DFI 2.1 рекомендуется всегда использовать фиксированное значение 7. Значение после сброса: 0x7;
23:20	dfi_lp_wakeup_dpd	R/W	В данном поле указывается количество тактов, на которое устанавливается сигнал dfi_lp_wakeup при входе в режим глубокого сна. Определяет время DFI tlp_wakeup: <ul style="list-style-type: none"> • 0x0 - 16 тактов; • 0x1 - 32 тактов; • 0x2 - 64 тактов; • 0x3 - 128 тактов; • 0x4 - 256 тактов; • 0x5 - 512 тактов; • 0x6 - 1024 тактов; • 0x7 - 2048 тактов; • 0x8 - 4096 тактов; • 0x9 - 8192 тактов; • 0xA - 16384 тактов; • 0xB - 32768 тактов; • 0xC - 65536 тактов; • 0xD - 131072 тактов; • 0xE - 262144 тактов; • 0xF – Не ограничено; Значение после сброса: 0x0;
19:17			Резерв
16	dfi_lp_en_dpd		Включение подтверждения на интерфейсе DFI установки режима низкого энергопотребления во время входа/выхода в/из Режимы глубокого сна. 0 – Отключено; 1 – Включено; Значение после сброса: 0x0;

Разряды	Наименование	Тип доступа	Описание
15:12	dfi_lp_wakeup_sr		<p>Количество тактов, на которое устанавливается сигнал dfi_lp_wakeup при входе в режим саморегенерации.</p> <p>Определяет время DFI's tlp_wakeup:</p> <ul style="list-style-type: none"> • 0x0 – 16 тактов; • 0x1 – 32 тактов; • 0x2 – 64 тактов; • 0x3 – 128 тактов; • 0x4 – 256 тактов; • 0x5 - 512 тактов; • 0x6 - 1024 тактов; • 0x7 - 2048 тактов; • 0x8 - 4096 тактов; • 0x9 - 8192 тактов; • 0xA - 16384 тактов; • 0xB - 32768 тактов; • 0xC - 65536 тактов; • 0xD - 131072 тактов; • 0xE - 262144 тактов; • 0xF – Не ограничено; <p>Значение после сброса: 0x0;</p>
11:9			Резерв
8	dfi_lp_en_sr		<p>Включение подтверждения на интерфейсе DFI установки режима низкого потребления во время вход/выхода из режима саморегенерации.</p> <p>0 – Отключено;</p> <p>1 – Включено;</p> <p>Значение после сброса: 0x0;</p>
7:4	dfi_lp_wakeup_pd		<p>Количество тактов, на которое устанавливается сигнал dfi_lp_wakeup во время входа в режим выключения питания.</p> <p>Определяет время DFI tlp_wakeup:</p> <p>0x0 – 16 тактов;</p> <p>0x1 - 32 тактов;</p> <p>0x2 - 64 тактов;</p> <p>0x3 - 128 тактов;</p> <p>0x4 - 256 тактов;</p> <p>0x5 - 512 тактов;</p> <p>0x6 - 1024 тактов;</p> <p>0x7 - 2048 тактов;</p> <p>0x8 - 4096 тактов;</p> <p>0x9 - 8192 тактов;</p> <p>0xA - 16384 тактов;</p> <p>0xB - 32768 тактов;</p> <p>0xC - 65536 тактов;</p> <p>0xD - 131072 тактов;</p> <p>0xE - 262144 тактов;</p> <p>0xF – Не ограничено;</p> <p>Значение после сброса: 0x0;</p>
3:1			Резерв

Разряды	Наименование	Тип доступа	Описание
0	dfi_lp_en_pd		Включение подтверждения на интерфейсе DFI установки режима низкого потребления во время входа/выхода из режима выключения питания. <ul style="list-style-type: none"> • 0 – Отключен; • 1 – Включен; Значение после сброса: 0x0;

15.27.71 DFILPCFG1

Описание: Регистр настройки режима низкого энергопотребления DFI 1;

Размер: 32-разрядный;

Смещение: 0x19c;

Данный регистр не действителен.

В Таблица 15.146 представлены разряды регистра DFILPCFG1.

Таблица 15.146. Регистр настройки режима низкого энергопотребления DFI 1 (DFILPCFG1)

Разряды	Наименование	Тип доступа	Описание
31:8			Резерв
7:4	dfi_lp_wakeup_mpsm		Не действительно
3:1			Резерв
0	dfi_lp_en_mpsm		Не действительно

15.27.72 DFIUPD0

Описание: Регистр обновлений DFI 0;

Размер: 32-разрядный;

Смещение: 0x1a0;

В Таблица 15.147 представлено назначение разрядов регистра DFIUPD0.

Таблица 15.147. Регистр обновлений DFI 0 (DFIUPD0)

Разряды	Наименование	Тип доступа	Описание
31	dis_auto_ctrlupd	R/W	При значении поля равном «1» отключает автоматическое формирование dfi_ctrlupd_req. Ядро должно установить сигнал dfi_ctrlupd_req с помощью регистра reg_ddrc_ctrlupd. Значение поля может быть изменено динамически. При значении поля равном «0» контроллер DDRMC2 устанавливает сигнал dfi_ctrlupd_req периодически. Значение после сброса: 0x0;
30:26			Резерв
25:16	dfi_t_ctrlup_max	R/W	Определяет максимальное количество тактовых циклов, в течение которых установлен сигнал dfi_ctrlupd_req. Минимальное значение этого поля равно 0x40. Единицы: такты; Значение после сброса: 0x40;
15:10			Резерв
9:0	dfi_t_ctrlup_min	R/W	Определяет минимальное количество тактовых циклов, в течение которых должен быть установлен сигнал dfi_ctrlupd_req. Контроллер DDRMC2 ожидает ответ от PHY в течение этого времени. Если PHY не отвечает, DDRMC2 сбрасывает dfi_ctrlupd_req после количества тактов dfi_t_ctrlup_min + 2. Наименьшее значение, назначаемое этой переменной равно 0x3. Единицы: такты; Значение после сброса: 0x3;

15.27.73 DFIUPD1

Описание: Регистр обновлений DFI 1;

Размер: 32-разрядный;

Смещение: 0x1a4;

В Таблица 15.148 представлено назначение разрядов регистра DFIUPD1.

Таблица 15.148. Регистр обновлений DFI 1 (DFIUPD1)

Разряды	Наименование	Тип доступа	Описание
31:24			Резерв

Разряды	Наименование	Тип доступа	Описание
23:16	dfi_t_ctrlupd_inter_val_min_x1024	R/W	Минимальное количество времени между запросами обновления DFI, инициируемыми DDRMC2 (выполняются во время простоя DDRMC2). Установка более высоких значений этого поля сокращает частоту запросов обновлений, что может оказать незначительное влияние на задержку во время первого запроса на чтение, когда DDRMC2 находится в состоянии простоя. Единицы: 1024 тактов; Значение после сброса: 0x0;
15:8			Резерв
7:0	dfi_t_ctrlupd_inter_val_max_x1024	R/W	Максимальное количество времени между запросами обновления DFI, инициируемыми DDRMC2. Этот таймер сбрасывается при каждом запросе обновления; при истечении таймера отправляется сигнал dfi_ctrlupd_req и передача данных блокируется до получения dfi_ctrlupd_ack. PNY может использовать время простоя для перекалибровки линий задержки в DLL. Для обновления контроллера DFI также используется для сброса указателей PNY FIFO в случае ошибок ввода данных. Обновления требуются поддержания калибровки по параметрам PVT, при этом частые обновления могут повлиять на производительность. Примечание. Значение, установленное для DFIUPD1.dfi_t_ctrlupd_interval_max_x1024 должно быть больше, чем DFIUPD1.dfi_t_ctrlupd_interval_min_x1024. Единицы: 1024 тактов; Значение после сброса: 0x0;

15.27.74 DFIUPD2

Описание: Регистр обновлений DFI 2;

Размер: 32-разрядный;

Смещение: 0x1a8;

В Таблица 15.149 представлено назначение разрядов регистра DFIUPD2.

Таблица 15.149. Регистр обновлений DFI 2 (DFIUPD2)

Разряды	Наименование	Тип доступа	Описание
31	dfi_phyupd_en	R/W	Включает поддержку подтверждения обновлений, инициированных PHY: 0 – Отключено; 1 – Включено; Значение после сброса: 0x1;
30:28			Резерв
27:16	dfi_phyupd_type1	R/W	Определяет максимальное количество тактов DFI, в течение которых сигнал dfi_phyupd_req может оставаться установленным после установки сигнала dfi_phyupd_ack dfi_phyupd_type = 2'b01. Сигнал dfi_phyupd_req может быть сброшен после установки сигнала dfi_phyupd_ack. Значение после сброса: 0x10;
15:12			Резерв
11:0	dfi_phyupd_type0	R/W	Определяет максимальное количество тактовых циклов DFI, в течение которых сигнал dfi_phyupd_req может оставаться установленным после установки сигнала dfi_phyupd_ack dfi_phyupd_type = 2'b00. Сигнал dfi_phyupd_req может быть сброшен в любом такте после установки сигнала dfi_phyupd_ack. Значение после сброса: 0x10;

15.27.75 DFIUPD3

Описание: Регистр обновлений DFI 3;

Размер: 32-разрядный;

Смещение: 0x1ac;

В Таблица 15.150 представлено назначение разрядов регистра DFIUPD3.

Таблица 15.150. Регистр обновлений DFI 3 (DFIUPD3)

Разряды	Наименование	Тип доступа	Описание
31:28			Резерв
27:16	dfi_phyupd_type3	R/W	Определяет максимальное количество тактовых циклов DFI, при которых сигнал dfi_phyupd_req может оставаться установленным после установки сигнала dfi_phyupd_ack для dfi_phyupd_type = 2'b01. Сигнал dfi_phyupd_req может быть сброшен в любом такте после установки сигнала dfi_phyupd_ack. Значение после сброса: 0x10;
15:12			Резерв

Разряды	Наименование	Тип доступа	Описание
11:0	dfi_phyupd_type2	R/W	Определяет максимальное количество тактов DFI, при которых сигнал dfi_phyupd_req может оставаться установленным после установки сигнала dfi_phyupd_ack для dfi_phyupd_type = 2'b00. Сигнал dfi_phyupd_req может быть сброшен в любой так после установки сигнала dfi_phyupd_ack. Значение после сброса: 0x10;

15.27.76 DFIMISC

Описание: Дополнительный регистр управления DFI;

Размер: 32-разрядный;

Смещение: 0x1b0;

В Таблица 15.151 представлено назначение разрядов регистра DFIMISC.

Таблица 15.151. Дополнительный регистр управления DFI (DFIMISC)

Разряды	Наименование	Тип доступа	Описание
31:2			Резерв
1	phy_dbi_mode		Не используется
0	dfi_init_complete_en	R/W	Разрешение сигнала выполнения инициализации PHY. При установке этого разряда сигнал dfi_init_complete может использоваться для инициализации SDRAM. Значение после сброса: 0x1;

15.27.77 DFITMG2

Описание: Регистр временных параметров DFI 2;

Размер: 32-разрядный;

Смещение: 0x1b4;

В Таблица 15.152 представлено назначение разрядов регистра DFITMG2.

Таблица 15.152. Регистр временных параметров DFI 2 (DFITMG2)

Разряды	Наименование	Тип доступа	Описание
31:14			Резерв

Разряды	Наименование	Тип доступа	Описание
13:8	dfi_tphy_rdcslat	R/W	Количество тактов между отправкой команды чтения на управляющий интерфейс DFI и установкой соответствующего сигнала dfi_rddata_cs_n. Это значение соответствует временному параметру DFI tphy_rdcslat. Корректное значение для программирования этого поля содержится в спецификации PHY. Значение после сброса: 0x2;
7:6			Резерв
5:0	dfi_tphy_wrscslat	R/W	Количество тактов от отправки команды записи на управляющий интерфейс DFI до установки соответствующего сигнала dfi_wrdata_cs_n. Это соответствует временному параметру DFI tphy_wrscslat. Минимальное поддерживаемое значение: 1. Корректное значение содержится в спецификации PHY. Значение после сброса: 0x2;

15.27.78 DBICTL

Описание: Регистр управления DM/DBI;

Размер: 32-разрядный;

Смещение: 0x1c0;

Данный регистр не действителен.

В Таблица 15.153 представлены разряды регистра DBICTL.

Таблица 15.153. Регистр управления DM/DBI (DBICTL)

Разряды	Наименование	Тип доступа	Описание
31:3			Резерв
2	rd_dbi_en	R/W	Не действительно
1	rd_dbi_en	R/W	Не действительно
0	dm_en	R/W	Не действительно

15.27.79 TRAINCTL0

Описание: Регистр управления режимом тестирования PHY Eval Training 0;

Размер: 32-разрядный;

Смещение: 0x1d0;

Данный регистр не действителен.

В Таблица 15.154 представлены разряды регистра TRAINCTL0.

Таблица 15.154. Регистр управления режимом тестирования PHY Eval Training 0 (TRAINCTL0)

Разряды	Наименование	Тип доступа	Описание
31:26			Резерв
25:16	dfi_t_wlmsd		Не действительно
15:3			Резерв
2	dfi_rd_dqs_gate_level		Не действительно
1	dfi_rd_data_eye_train		Не действительно
0	dfi_wr_level_en		Не действительно

15.27.80 TRAINCTL1

Описание: Регистр управления режимом тестирования PHY Eval Training 1;

Размер: 32-разрядный;

Смещение: 0x1d4;

Данный регистр не действителен.

В Таблица 15.155 представлены разряды регистра TRAINCTL1.

Таблица 15.155. Регистр управления режимом тестирования PHY Eval Training 1 (TRAINCTL1)

Разряды	Наименование	Тип доступа	Описание
31:28			Резерв
27:16	dfi_wrlvl_max_x1024	R/W	Не действительно
15:12			Резерв
11:0	dfi_rdlvl_max_x1024	R/W	Не действительно

15.27.81 TRAINCTL2

Описание: Регистр управления режимом тестирования PHY Eval Training 2;

Размер: 32-разрядный;

Смещение: 0x1d8;

Данный регистр не действителен.

В Таблица 15.156 представлены разряды регистра TRAINCTL2.

Таблица 15.156. Регистр управления режимом тестирования PHY Eval Training 2 (TRAINCTL2)

Разряды	Наименование	Тип доступа	Описание
31:24			Резерв
23:16	wrlvl_ww		Не действительно
15:8			Резерв
7:0	rdlvl_rr		Не действительно

15.27.82 TRAINSTAT

Описание: Регистр состояния режима тестирования PHY Eval Training;

Размер: 32-разрядный;

Смещение: 0x1dc;

Данный регистр не действителен.

В Таблица 15.157 представлены разряды регистра TRAINSTAT.

Таблица 15.157. Регистр состояния режима тестирования PHY Eval Training (TRAINSTAT)

Разряды	Наименование	Тип доступа	Описание
31:2			Резерв
1	twrlvl_max_error	R	Не действительно
0	trdlvl_max_error	R	Не действительно

15.27.83 ADDRMAP0

Описание: Регистр отображения адресов 0;

Размер: 32-разрядный;

Смещение: 0x200;

В Таблица 15.158 представлено назначение разрядов регистра ADDRMAP0.

Таблица 15.158. Регистр отображения адресов 0 (ADDRMAP0)

Разряды	Наименование	Тип доступа	Описание
31:13			Резерв
12:8	addrmap_cs_bit1	R/W	Не используется
7:5			Резерв

Разряды	Наименование	Тип доступа	Описание
4:0	addrmap_cs_bit0	R/W	Выбирает разряд адреса HIF, используемый как 0-й разряд адреса модуля. Диапазон доступных значений: от 0 до 27, и 31. Внутренний адрес: 6; Выбираемый разряд адреса HIF определяется путем прибавления внутреннего адреса к значению этого поля. При установке в «31», разряд 0 адреса модуля устанавливается «0». Значение после сброса: 0x0;

15.27.84 ADDRMAP1

Описание: Регистр отображения адресов 1;

Размер: 32-разрядный;

Смещение: 0x204;

В Таблица 15.159 представлено назначение разрядов регистра ADDRMAP1.

Таблица 15.159. Регистр отображения адресов 1 (ADDRMAP1)

Разряды	Наименование	Тип доступа	Описание
31:20			Резерв
19:16	addrmap_bank_b2	R/W	Выбирает разряд адреса HIF, используемый как 2-й разряд адреса банка. Диапазон доступных значений: от 0 до 29 и 31; Внутренний адрес: 4; Выбираемый разряд адреса HIF определяется путем прибавления внутреннего адреса к значению этого поля. При установке в «31», разряд 2 адреса банка устанавливается в «0». Значение после сброса: 0x0;
15:12			Резерв
11:8	addrmap_bank_b1	R/W	Выбирает разряды адреса HIF, используемый как 1-й разряд адреса банка. Диапазон возможных значений: от 0 до 30; Внутренний адрес: 3; Выбираемый разряд адреса HIF для каждого из адресов банка определяется путем прибавления внутреннего адреса к значению этого поля. Значение после сброса: 0x0;
7:4			Резерв

Разряды	Наименование	Тип доступа	Описание
3:0	addrmap_bank_b0	R/W	Выбирает разряды адреса HIF, используемый как 0-й разряд адреса банка. Диапазон допустимых значений: от 0 до 30; Внутренний адрес: 2 Выбираемый разряд адреса HIF для каждого из адресов банка определяется путем прибавления внутреннего адреса к значению этого поля. Значение после сброса: 0x0;

15.27.85 ADDRMAP2

Описание: Регистр отображения адресов 2;

Размер: 32-разрядный;

Смещение: 0x208;

В Таблица 15.160 представлено назначение разрядов регистра ADDRMAP2.

Таблица 15.160. Регистр отображения адресов 2 (ADDRMAP2)

Разряды	Наименование	Тип доступа	Описание
31:28			Резерв
27:24	addrmap_col_b5	R/W	Режим полной разрядности шины: Выбирает разряд адреса HIF, используемый как 6-й разряд адреса столбца. Режим половинной разрядности шины: Выбирает разряд адреса HIF, используемый как 7-й разряд адреса столбца. Режим четвертной разрядности шины: Выбирает разряд адреса HIF, используемый как 8-й разряд адреса столбца. Диапазон допустимых значений: от 0 до 7, и 15; Внутренний адрес: 5; Выбираемый разряд адреса HIF определяется путем прибавления внутреннего адреса к значению этого поля. При установке в «15», этот разряд устанавливается в «0». Значение после сброса: 0x0;
23:20			Резерв

Разряды	Наименование	Тип доступа	Описание
19:16	addrmap_col_b4	R/W	<p>Режим полной разрядности шины: Выбирает разряд адреса NIF, используемый как 5-й разряд адреса столбца.</p> <p>Режим половинной разрядности шины: Выбирает разряд адреса NIF, используемый как 6-й разряд адреса столбца.</p> <p>Режим четвертной разрядности шины: Выбирает разряд адреса NIF, используемый как 7-й разряд адреса столбца.</p> <p>Диапазон допустимых значений: от 0 до 7, и 15;</p> <p>Внутренний адрес: 4;</p> <p>Выбираемый разряд адреса NIF определяется путем прибавления к внутреннему адресу значения этого поля. При установке в «15», этот разряд адреса столбца устанавливается в «0».</p> <p>Значение после сброса: 0x0;</p>
15:12			Резерв
11:8	addrmap_col_b3	R/W	<p>Режим полноразрядной шины: Выбирает разряд адреса NIF, используемый как 4-й разряд адреса столбца.</p> <p>Режим половинной разрядности шины: Выбирает разряд адреса NIF, используемый как 5-й разряд адреса столбца.</p> <p>Режим четвертной разрядности шины: Выбирает разряд адреса NIF, используемый как 6-й разряд адреса столбца.</p> <p>Диапазон доступных значений: от 0 до 7;</p> <p>Внутренний адрес: 3;</p> <p>Выбираемый разряд адреса NIF определяется путем прибавления внутреннего адреса к значению этого поля.</p> <p>Значение после сброса: 0x0;</p>
7:4			Резерв
3:0	addrmap_col_b2	R/W	<p>Режим полноразрядной шины: Выбирает разряд адреса NIF, используемый как 3-й разряд адреса столбца.</p> <p>Режим половинной разрядности шины: Выбирает разряд адреса NIF, используемый как 4-й разряд адреса столбца.</p> <p>Режим четвертной разрядности шины: Выбирает разряд адреса NIF, используемый как 5 разряд адреса столбца.</p> <p>Диапазон допустимых значений: от 0 до 7;</p> <p>Внутренний адрес: 2;</p> <p>Выбираемый разряд адреса NIF определяется путем прибавления внутреннего адреса к значению этого поля.</p>

15.27.86 ADDRMAP3

Описание: Регистр отображения адресов 3;

Размер: 32-разрядный;

Смещение: 0x20c;

В Таблица 15.161 представлено назначение разрядов регистра ADDRMAP3.

Таблица 15.161. Регистр отображения адресов 3 (ADDRMAP3)

Разряды	Наименование	Тип доступа	Описание
31:28			Резерв
27:24	addrmap_col_b9	R/W	<p>Режим полноразрядной шины: Выбирает разряд адреса HIF, используемый как 11-й разряд адреса столбца (10 в режиме LPDDR2).</p> <p>Режим половинной разрядности шины: Выбирает разряд адреса HIF, используемый как 13-й разряд адреса столбца (11-й в режиме LPDDR2).</p> <p>Режим четвертной разрядности шины: Не используется.</p> <p>Диапазон допустимых значений: от 0 до 7, и 15;</p> <p>Внутренний адрес: 9;</p> <p>Выбираемый разряд адреса HIF определяется путем прибавления внутреннего адреса к значению этого поля.</p> <p>При установке в «15», этот разряд адреса столбца устанавливается в «0».</p> <p>Примечание. По спецификации JEDEC DDR2/3/mDDR, 10-й разряд адреса столбца зарезервирован для обозначения автодеактивации, поэтому ни один разряд адреса не может быть назначен 10-му разряду адреса столбца.</p> <p>В LPDDR2 существует выделенный разряд для автодеактивации на шине CA и, таким образом, используется 10-й разряд столбца.</p> <p>Значение после сброса: 0x0;</p>
23:20			Резерв
19:16	addrmap_col_b8	R/W	<p>Режим полной разрядности шины: Выбирает разряд адреса HIF, используемый как 9-й разряд адреса столбца.</p> <p>Режим половинной разрядности шины: Выбирает разряд адреса HIF, используемый как 11-й разряд адреса столбца или (10 в LPDDR2).</p> <p>Режим четвертной разрядности: Выбирает разряд адреса HIF, используемый как 13-й разряд адреса столбца или (11 в LPDDR2).</p> <p>Диапазон допустимых значений: от 0 до 7, и 15.</p> <p>Внутренний адрес: 8;</p> <p>Выбираемый разряд адреса HIF определяется путем прибавления внутреннего адреса к значению этого поля.</p> <p>При установке в «15» этот разряд адреса столбца устанавливается в «0».</p> <p>Примечание. По спецификации JEDEC DDR2/3/mDDR, 10-й разряд адреса столбца зарезервирован для указания автодеактивации, поэтому ни один разряд адреса не может быть назначен 10-му разряду адреса столбца.</p> <p>В LPDDR2 существует выделенный разряд для автодеактивации на шине CA, и, таким образом, используется 10-й адрес столбца.</p> <p>Значение после сброса: 0x0;</p>
15:12			Резерв

Разряды	Наименование	Тип доступа	Описание
11:8	addrmap_col_b7	R/W	<p>Режим полной разрядности шины: Выбирает разряд адреса HIF, используемый как 8-й разряд адреса столбца.</p> <p>Режим половинной разрядности шины: Выбирает разряд адреса HIF, используемый как 9-й разряд адреса столбца.</p> <p>Режим четвертной разрядности шины: Выбирает разряд адреса HIF, используемый как 11-й разряд адреса столбца (10 в LPDDR2).</p> <p>Диапазон допустимых значений: от 0 до 7, и 15;</p> <p>Внутренний адрес: 7;</p> <p>Выбираемый разряд адреса HIF определяется путем прибавления внутреннего адреса к значению этого поля. При установке в «15», этот разряд адреса столбца устанавливается в «0».</p> <p>Примечание. По спецификации JEDEC DDR2/3/mDDR 10-й разряд адреса столбца зарезервирован для обозначения автодеактивации и, поэтому ни один разряд адреса не может быть назначен 10-му разряду адреса столбца.</p> <p>В LPDDR2 существует выделенный разряд для автодеактивации на шине CA, и таким образом, используется 10-й разряд столбца.</p> <p>Значение после сброса: 0x0;</p>
7:4			Резерв
3:0	addrmap_col_b6	R/W	<p>Режим полной разрядности шины: Выбирает разряд адреса HIF, используемый как 7-й разряд адреса столбца.</p> <p>Режим половинной разрядности шины: Выбирает разряд адреса HIF, используемый как 8-й разряд адреса столбца.</p> <p>Режим четвертной разрядности шины: Выбирает разряд адреса HIF, используемый как 9-й разряд адреса столбца.</p> <p>Диапазон допустимых значений: от 0 до 7, и 15;</p> <p>Внутренний адрес: 6;</p> <p>Выбираемый разряд адреса HIF определяется путем прибавления внутреннего адреса к значению этого поля. При установке в «15» этот разряд адреса столбца устанавливается в «0».</p> <p>Значение после сброса: 0x0;</p>

15.27.87 ADDRMAP4

Описание: Регистр отображения адресов 4;

Размер: 32-разрядный;

Смещение: 0x210;

В Таблица 15.162 представлено назначение разрядов регистра ADDRMAP4.

Таблица 15.162. Регистр отображения адресов 4 (ADDRMAP4)

Разряды	Наименование	Тип доступа	Описание
31:12			Резерв

Разряды	Наименование	Тип доступа	Описание
11:8	addrmap_col_b11	R/W	<p>Режим полноразрядной шины: UNUSED.</p> <p>Режим половинной разрядности шины: Не используется. Должно быть установлено в 4'hF.</p> <p>Режим четвертной разрядности шины: Не используется. Должно быть установлено в 4'hF.</p> <p>Диапазон допустимых значений: от 0 до 7, и 15</p> <p>Внутренний адрес: 11</p> <p>Выбираемый разряд адреса HIF определяется путем прибавления внутреннего адреса к значению этого поля.</p> <p>При установке в «15» этот разряд адреса столбца установлен в «0».</p> <p>Примечание. По спецификации JEDEC DDR2/3/mDDR, 10-й разряд адреса столбца зарезервирован для обозначения автодеактивации и, поэтому ни один разряд адреса не может быть назначен 10-му разряду адреса столбца.</p> <p>В LPDDR2 существует выделенный разряд для автодеактивации на шине CA, таким образом, 10-й разряд используется.</p> <p>Значение после сброса: 0x0;</p>
7:4			Резерв
3:0	addrmap_col_b10	R/W	<p>Режим полной разрядности шины: Выбирает разряд адреса HIF, используемый как 13-й разряд адреса столбца или (11-й в LPDDR2).</p> <p>Режим половинной разрядности шины: Не используется.</p> <p>Режим четвертной разрядности шины: Не используется.</p> <p>Устанавливается в значение 4'hF.</p> <p>Диапазон допустимых значений: от 0 до 7, и 15;</p> <p>Внутренний адрес: 10;</p> <p>Выбираемый разряд адреса HIF определяется путем прибавления внутреннего адреса к значению этого поля.</p> <p>При установке в «15», этот разряд адреса колонки устанавливается в «0».</p> <p>Примечание. По спецификации JEDEC DDR2/3/mDDR, 10-й разряд адреса столбца зарезервирован для обозначения автодеактивации, и поэтому ни один разряд адреса не может быть назначен 10-му разряду адреса колонки.</p> <p>В LPDDR2 существует выделенный разряд для автодеактивации на шине CA и, таким образом используется 10-й разряд столбца.</p> <p>Значение после сброса: 0x0;</p>

15.27.88 ADDRMAP5

Описание: Регистр отображения адресов 5;

Размер: 32-разрядный;

Смещение: 0x214;

В Таблица 15.163 представлено назначение разрядов регистра ADDRMAP5.

Таблица 15.163. Регистр отображения адресов 5 (ADDRMAP5)

Разряды	Наименование	Тип доступа	Описание
31:28			Резерв
27:24	addrmap_row_b11	R/W	Выбирает разряд адреса HIF, используемый как 11-й разряд адреса строки. Допустимые значения: от 0 до 11 и 15; Внутренний адрес: 17; Выбираемый разряд адреса HIF определяется путем прибавления внутреннего адреса к значению этого поля. При установке в «15», 11-й разряд адреса строки устанавливается в «0». Значение после сброса: 0x0;
23:20			Резерв
19:16	addrmap_row_b2_10	R/W	Выбирает разряды адреса HIF, используемые как разряды с 2 по 10 адреса строки. Допустимые значения: от 0 до 11; Внутренний адрес: 8 (для разряда 2 адреса строки), 9 (для разряда 3 адреса строки), 10 (для разряда 4 адреса строки) и т.д., увеличивая до 16 (для 10-го разряда адреса строки) Выбранный разряд адреса HIF для каждого из разрядов адреса строки определяется путем прибавления внутреннего адреса к значению этого поля. Значение после сброса: 0x0;
15:12			Резерв
11:8	addrmap_row_b1	R/W	Выбирает разряды адреса HIF, используемые как 1-й разряд адреса строки. Допустимые значения: от 0 до 11; Внутренний адрес: 7; Выбранный разряд адреса HIF для каждого из разрядов адреса строки определяется путем прибавления внутреннего адреса к значению этого поля. Значение после сброса: 0x0;
7:4			Резерв
3:0	addrmap_row_b0	R/W	Выбирает разряды адреса HIF, используемые как 0-й разряд адреса строки. Допустимые значения: от 0 до 11; Внутренний адрес: 6; Выбранный разряд HIF для каждого из разрядов адреса строки определяется путем прибавления внутреннего адреса к значению этого поля. Значение после сброса: 0x0;

15.27.89 ADDRMAP6

Описание: Регистр отображения адресов 6;

Размер: 32-разрядный;

Смещение: 0x218;

В Таблица 15.164 представлено назначение разрядов регистра ADDRMAP6.

Таблица 15.164. Регистр отображения адресов 6 (ADDRMAP6)

Разряды	Наименование	Тип доступа	Описание
31:28			Резерв
27:24	addrmap_row_b15	R/W	Выбирает разряд адреса HIF, используемый, как 15-й разряд адреса строки. Допустимые значения: от 0 до 11, и 15; Внутренний адрес: 21; Выбранный разряд адреса HIF определяется путем прибавления внутреннего адреса к значению этого поля. При установке в 15, разряд 15 адреса строки устанавливается в «0». Значение после сброса: 0x0;
23:20			Резерв
19:16	addrmap_row_b15	R/W	Выбирает разряд адреса HIF, используемый как 14-й разряд строки адреса. Допустимые значения: от 0 до 11 и 15; Внутренний адрес: 20; Выбираемый разряд адреса HIF определяется путем прибавления внутреннего адреса к значению этого поля. При установке в «15», 14-й разряд адреса строки устанавливается в «0». Значение после сброса: 0x0;
15:12			Резерв
11:8	addrmap_row_b13	R/W	Выбирает разряд адреса HIF, используемый как 13-й разряд адреса строки. Допустимые значения: от 0 до 11 и 15; Внутренний адрес: 19; Выбираемый разряд адреса HIF определяется путем прибавления внутреннего адреса к значению этого поля. При установке в «15», 13-й разряд адреса строки устанавливается в «0». Значение после сброса: 0x0;
7:4			Резерв

Разряды	Наименование	Тип доступа	Описание
3:0	addrmap_row_b12	R/W	Выбирает разряд адреса HIF, используемый как 12-й разряд адреса строки. Допустимые значения: от 0 до 11 и 15; Внутренний адрес: 18; Выбираемый разряд адреса HIF определяется путем прибавления внутреннего адреса к значению этого поля. При установке в «15», 12-й разряд адреса строки устанавливается в «0». Значение после сброса: 0x0;

15.27.90 ADDRMAP7

Описание: Регистр отображения адресов 7;

Размер: 32-разрядный;

Смещение: 0x21c;

Данный регистр не действителен.

В Таблица 15.165 представлены разряды регистра ADDRMAP7.

Таблица 15.165. Регистр отображения адресов 7 (ADDRMAP7)

Разряды	Наименование	Тип доступа	Описание
31:12			Резерв
11:8	addrmap_row_b17		Не действительно
7:4			Резерв
3:0	addrmap_row_b16		Не действительно

15.27.91 ODTCFG

Описание: Регистр конфигурации ODT;

Размер: 32-разрядный;

Смещение: 0x240;

В Таблица 15.166 представлено назначение разрядов регистра ODTCFG.

Таблица 15.166. Регистр конфигурации ODT (ODTCFG)

Разряды	Наименование	Тип доступа	Описание
31:28			Резерв

Разряды	Наименование	Тип доступа	Описание
27:24	wr_odt_hold	R/W	Время (в тактах), в течение которого удерживается сигнал ODT для команды записи. Минимальное допустимое значение равно 2. DDR2/DDR3 BL8 - 0x6; BL4 - 0x4; Значение после сброса: 0x4;
23:20			Резерв
19:16	wr_odt_delay	R/W	Задержка (в тактах) от момента выдачи команды записи до установки значений ODT, соответствующих этой команде. Установка ODT должна оставаться постоянной в течение всего времени формирования сигналов DQS контроллером DDRMC2. ODT используется только в DDR2, DDR3. Рекомендуемые значения: DDR2 Если $(CWL + AL < 3)$, то 0; Если $(CWL + AL \geq 3)$, то $(CWL + AL - 3)$; DDR3 – 0; Значение после сброса: 0x0;
15:12			Резерв
11:8	rd_odt_hold	R/W	Время (в тактах), течение которого удерживается ODT для команды чтения. Минимальное допустимое значение равно 2. Допустимые значения: DDR2/DDR3: BL8 - 0x6; BL4 - 0x4; Значение после сброса: 0x4;
7:6			Резерв
5:2	rd_odt_delay	R/W	Задержка (в тактах) от момента выдачи команды чтения до установки значений ODT, соответствующих этой команде. Установка ODT должна оставаться постоянной в течение всего времени формирования сигналов DQS контроллером. ODT используется только в DDR2, DDR3. Рекомендуемые значения: DDR2: <ul style="list-style-type: none"> • Если $(CL + AL < 4)$, то 0; • Если $(CL + AL \geq 4)$, то $(CL + AL - 4)$; DDR3: <ul style="list-style-type: none"> • $(CL - CWL)$; Значение после сброса: 0x0;
1:0		R/W	Резерв

15.27.92 ODTMAP

Описание: Регистр отображения ODT/Модуль памяти;

Размер: 32-разрядный;

Смещение: 0x244;

В Таблица 15.167 представлено назначение разрядов регистра ODTMAP.

Таблица 15.167. Регистр отображения ODT/Модуль памяти

Разряды	Наименование	Тип доступа	Описание
31:28	rank3_rd_odt		Не используется
27:24	rank3_wr_odt		Не используется
23:20	rank2_rd_odt		Не используется
19:16	rank2_wr_odt		Не используется
15:12	rank1_rd_odt	R/W	<p>Определяет, какие удаленные ODT должны быть включены во время чтения модуля 1.</p> <p>Каждый модуль имеет удаленный ODT (в SDRAM), который может быть включен путем установки соответствующего разряда в этом поле.</p> <p>Модуль 0 управляется младшим разрядом; модуль 1 управляется следующим разрядом, и т.д.</p> <p>Установка соответствующего разряда в «1» включает ODT в этом модуле.</p> <p>Значение после сброса: "(MEMC_NUM_RANKS>1) ? 0x2 : 0x0"</p>
11:8	rank1_wr_odt	R/W	<p>Определяет, какие удаленные ODT должны быть включены во время записи в модуль 1.</p> <p>Каждый модуль имеет удаленный ODT (в SDRAM), который может быть включен путем установки соответствующего разряда в этом поле.</p> <p>Модуль 0 управляется младшим разрядом; модуль 1 управляется следующим разрядом после младшего и т.д.</p> <p>Для каждого модуля необходимо установить соответствующий ему разряд в «1» для включения ODT.</p> <p>Значение после сброса: "(MEMC_NUM_RANKS>1) ? 0x2 : 0x0";</p>
7:4	rank0_rd_odt	R/W	<p>Определяет, какие удаленные ODT должны быть включены во время чтения из модуля 0.</p> <p>Каждый модуль имеет удаленный ODT (в SDRAM), который может быть включен путем установки соответствующего разряда в этом поле.</p> <p>Модуль 0 управляется младшим разрядом; модуль 1 управляется следующим разрядом после LSB и т.д.</p> <p>Для каждого модуля необходимо установить соответствующий ему разряд в «1» для включения ODT.</p> <p>Значение после сброса: 0x1;</p>

Разряды	Наименование	Тип доступа	Описание
3:0	rank0_wr_odt	R/W	<p>Определяет, какие удаленные ODT должны быть включены во время записи в модуль 0.</p> <p>Каждый модуль имеет удаленный ODT (в SDRAM), который может быть включен, путем установки соответствующего разряда в этом поле.</p> <p>Модуль 0 управляется младшим разрядом; модуль 1 управляется следующим разрядом и т.д.</p> <p>Для каждого модуля необходимо установить соответствующий ему разряд в «1» для включения ODT.</p> <p>Значение после сброса: 0x1;</p>

15.27.93 SCHED

Описание: Регистр управления планировщиком;

Размер: 32-разрядный;

Смещение: 0x250;

В Таблица 15.168 представлено назначение разрядов регистра SCHED.

Таблица 15.168. Регистр управления планировщиком (SCHED)

Разряды	Наименование	Тип доступа	Описание
31			Резерв
30:24	rdwr_idle_gap	R/W	<p>Если привилегированная очередь транзакций является пустой в течение этого количества тактовых циклов, происходит переключение на альтернативную очередь транзакций, если она не пуста.</p> <p>Очередь транзакций чтения (с высоким и низким приоритетом) является привилегированной по умолчанию, а очередь транзакций записи является альтернативной очередью.</p> <p>Если установлен приоритет записи над чтением, это поле является резервным.</p> <p>0x0 – допустимое значение для этого поля. При установке в 0x0, переключение между очередями транзакций происходит непосредственно при наступлении условий переключения.</p> <p>Используется только в целях управления производительностью.</p> <p>Значение после сброса: 0x0;</p>
23:16	go2critical_hysteresis	R/W	Не используется
15:14			Резерв

Разряды	Наименование	Тип доступа	Описание
13:8	lpr_num_entries		<p>Количество транзакций в очереди с низким приоритетом соответствует значению этого поля + 1. $(32 - (\text{SCHED.lpr_num_entries} + 1))$ это количество транзакций, доступных для очереди с высоким приоритетом. Установка этого поля в максимальное значение размещает все транзакции в очередь с низким приоритетом. Установка этого поля в «0» размещает 1 транзакцию в очередь с низким приоритетом, а остальные – в очереди с высоким приоритетом. Значение после сброса: "32/2";</p>
7:3			Резерв
2	pageclose		<p>Если этот разряд установлен в «1», банк остается открытым только при наличии доступных транзакций с попаданием в страницу в САМ к этому банку. Последняя команда чтения или записи в САМ с попаданием в банк и страницу будет выполнена с автодеактивацией, если $\text{SCHED1.pageclose_timer}=0$. Даже если этот разряд установлен в «1» и $\text{SCHED1.pageclose_timer}$ установлен в «0», явная деактивация (не автодеактивация) может быть выполнена в некоторых случаях при переключении режима чтение/запись или переключении приоритетов LPR/HPR. Если этот разряд установлен в «0», банк остается открытым, пока не появится необходимость в его закрытии (для открытия другой страницы или при таймауте страницы или регенерации). Алгоритм открытых страниц может быть отменен путем установки разряда per-command-autopre на интерфейсе HIF (co_ih_gxcmd_autopre). Используется только в целях управления производительностью. Значение после сброса: 0x1;</p>
1	prefer_write		<p>При установке этого разряда в выборе банков, запись имеет приоритет над чтением. Используется только в целях отладки. Значение после сброса: 0x0;</p>
0	force_low_pri_n		<p>Сигнал активный низким уровнем. При установке (в «0»), все входящие транзакции принудительно получают низкий приоритет. Это означает, что все команды чтения с высоким приоритетом (HPR) и команды чтения с изменяемым приоритетом (VPR) рассматриваются как команды чтения с низким приоритетом (LPR). Все команды записи с изменяемым приоритетом (VPW) рассматриваются как команды записи с нормальным приоритетом (NPW). Принудительная установка низкого приоритета всех входящих транзакций косвенно отключает обходной путь команд чтения. Используется только в целях управления производительностью. Значение после сброса: 0x1;</p>

15.27.94 SCHED1

Описание: Регистр управления планировщиком 1;

Размер: 32-разрядный;

Смещение: 0x254;

В Таблица 15.169 представлено назначение разрядов регистра SCHED1.

Таблица 15.169. Регистр управления планировщиком 1 (SCHED1)

Разряды	Наименование	Тип доступа	Описание
31:8			Резерв
7:0	pageclose_timer	R/W	<p>Это поле действует в паре с SCHED.pageclose. Значение поля учитывается только при SCHED.pageclose==1.</p> <p>Если SCHED.pageclose==1 и pageclose_timer==0, автодеактивация может назначаться для последней команды чтения или записи в САМ с попаданием в банк и страницу. В некоторых случаях вместо автодеактивации назначается явная деактивация (см. SCHED.pageclose).</p> <p>Если SCHED.pageclose==1 и pageclose_timer>0, автодеактивация не назначается для последней команды чтения или записи в САМ с попаданием в банк и страницу. В обратном случае, таймер начинает отсчет с начальным значением pageclose_timer. Имеется таймер. Таймер декрементируется до тех пор, пока следующая команда чтения или записи в САМ к банку не будет являться попаданием в страницу. Таймер сбрасывается в значение pageclose_timer, если следующее чтение или запись в САМ к банку является попаданием в страницу. При достижении таймером нуля происходит попытка выполнения явной деактивации.</p> <p>Значение после сброса: 0x0;</p>

15.27.95 PERFHPR1

Описание: Регистр управления очередью чтений САМ с высоким приоритетом 1;

Размер: 32-разрядный;

Смещение: 0x25c;

В Таблица 15.170 представлено назначение разрядов регистра PERFHPR1.

Таблица 15.170. Регистр управления очередью чтений САМ с высоким приоритетом 1 (PERFHPR1)

Разряды	Наименование	Тип доступа	Описание
---------	--------------	-------------	----------

Разряды	Наименование	Тип доступа	Описание
31:24	hpr_xact_run_length	R/W	Количество транзакций, которое обслуживается, когда очередь HPR становится критической: – Меньше этого значения; – Меньше количества доступных транзакций; Единицы: транзакция; Используется только в целях управления производительностью Значение после сброса: 0xf
23:16			Резерв
15:0	hpr_max_starve	R/W	Количество транзакций, которые обслуживаются, когда очередь HPR становится критической: – Меньше этого значения; – Меньше количества доступных транзакций; Единицы: транзакция; Используется только в целях управления производительности. Значение после сброса: 0xf;

15.27.96 PERFLPR1

Описание: Регистр управления очередью чтений САМ с низким приоритетом 1;

Размер: 32-разрядный;

Смещение: 0x264;

В Таблица 15.171 представлено назначение разрядов регистра PERFLPR1.

Таблица 15.171. Регистр управления очередью чтений САМ с низким приоритетом 1 (PERFLPR1)

Разряды	Наименование	Тип доступа	Описание
31:24	lpr_xact_run_length	R/W	Количество транзакций, которые обслуживаются, когда очередь LPR становится критической: – Меньше этого значения; – Меньше количества доступных транзакций; Единицы: транзакция; Используется только в целях управления производительностью. Значение после сброса: 0xf;
23:16			Резерв

Разряды	Наименование	Тип доступа	Описание
15:0	lpr_max_starve	R/W	Количество тактов, в течение которых может сохраняться состояние «голодания» очереди LPR до наступления критического состояния очереди. Минимальное допустимое функциональное значение этого поля 0x1. Программирование в значение 0x0 отключает функцию «голодания»; В нормальном режиме работы эта функция не должна быть отключена, так как это приведет к дополнительным задержкам. Единицы: тактовые циклы. Используется только для управления производительностью. Значение после сброса: 0x7f;

15.27.97 PERFVPW1

Описание: Регистр управления очередью САМ записей с изменяемым приоритетом 1;

Размер: 32-разрядный;

Смещение: 0x278;

Данный регистр не действителен.

В Таблица 15.172 представлены разряды регистра PERFVPW1.

Таблица 15.172. Регистр управления очередью записей САМ с изменяемым приоритетом 1

Разряды	Наименование	Тип доступа	Описание
31:1			Резерв
10:0	vpw_timeout_range		Не действительно

15.27.98 DQMAP0

Описание: Регистр распределения сигналов DQ 0;

Размер: 32-разрядный;

Смещение: 0x280;

Данный регистр не действителен.

В Таблица 15.173 представлены разряды регистра DQMAP0.

Таблица 15.173. Регистр распределения сигналов DQ 0 (DQMAP0)

Разряды	Наименование	Тип доступа	Описание
31:24	dq_nibble_map 12 15		Не действительно
23:16	dq_nibble_map 8 11		Не действительно

Разряды	Наименование	Тип доступа	Описание
15:8	dq_nibble_map_4_7		Не действительно
7:0	dq_nibble_map_0_3		Не действительно

15.27.99 DQMAP1

Описание: Регистр распределения сигналов DQ 1;

Размер: 32-разрядный;

Смещение: 0x284;

Данный регистр не действителен.

В Таблица 15.174 представлены разряды регистра DQMAP1.

Таблица 15.174. Регистр распределения сигналов DQ 1 (DQMAP1)

Разряды	Наименование	Тип доступа	Описание
31:24	dq_nibble_map_28_31		Не действительно
23:16	dq_nibble_map_24_27		Не действительно
15:8	dq_nibble_map_20_23		Не действительно
7:0	dq_nibble_map_16_19		Не действительно

15.27.100 DQMAP2

Описание: Регистр распределения сигналов DQ 2;

Размер: 32-разрядный;

Смещение: 0x288;

Данный регистр не действителен.

В Таблица 15.175 представлено назначение разрядов регистра DQMAP2.

Таблица 15.175. Регистр распределения сигналов DQ 2 (DQMAP2)

Разряды	Наименование	Тип доступа	Описание
31:24	dq_nibble_map_44_47		Не действительно
23:16	dq_nibble_map_40_43		Не действительно
15:8	dq_nibble_map_40_43		Не действительно
7:0	dq_nibble_map_32_35		Не действительно

15.27.101 DQMAP3

Описание: Регистр распределения сигналов DQ 3;

Размер: 32-разрядный;

Смещение: 0x28c;

Данный регистр не действителен.

В Таблица 15.176 представлено назначение разрядов регистра DQMAP3.

Таблица 15.176. Регистр распределения сигналов DQ 3 (DQMAP3)

Разряды	Наименование	Тип доступа	Описание
31:24	dq_nibble_map_60_63		Не действительно
23:16	dq_nibble_map_56_59		Не действительно
15:8	dq_nibble_map_52_55		Не действительно
7:0	dq_nibble_map_48_51		Не действительно

15.27.102 DQMAP4

Описание: Регистр распределения сигналов DQ 4;

Размер: 32-разрядный;

Смещение: 0x28c;

Данный регистр не действителен.

В Таблица 15.177 представлено назначение разрядов регистра DQMAP4.

Таблица 15.177. Регистр распределения сигналов DQ 4 (DQMAP4)

Разряды	Наименование	Тип доступа	Описание
31:16			Резерв
15:8	dq_nibble_map_cb_4_7		Не действительно
7:0	dq_nibble_map_cb_0_3		Не действительно

15.27.103 DQMAP5

Описание: Регистр распределения сигналов DQ 5;

Размер: 32-разрядный;

Смещение: 0x294;

Данный регистр не действителен.

В Таблица 15.178 представлено назначение разрядов регистра DQMAP5.

Таблица 15.178. Регистр распределения сигналов DQ 5 (DQMAP5)

Разряды	Наименование	Тип доступа	Описание
31:1			Резерв
0	dis_dq_rank_swap	R/W	Не действительно

15.27.104 DBG0

Описание: Регистр отладки 0;

Размер: 32-разрядный;

Смещение: 0x300;

В Таблица 15.179 представлено назначение разрядов регистра DBG0.

Таблица 15.179. Регистр отладки 0 (DBG0)

Разряды	Наименование	Тип доступа	Описание
31:5			Резерв
4	dis_collision_page_opt	R/W	Установка этого разряда в «0» отключает автодеактивацию команд в случае конфликта. Конфликтами считаются операции чтения после записи, выполняемые по одному адресу, запись после чтения по одному адресу и запись после записи по одному адресу с DBG0.dis_wc bit = 1 (где такое же сравнение адресов исключает два разряда адреса, представляющих критическое слово). Используется только в целях отладки. Значение после сброса: 0x0;
3			Резерв
2	dis_act_bypass	R/W	Установка этого разряда в «1» отключает использование обходного пути для активаций чтения с высоким приоритетом. Используется только в целях отладки. Значение после сброса: 0x0;
1	dis_rd_bypass	R/W	Установка в «1» отключает использование обходного пути для операций чтения с высоким приоритетом и попаданием в страницу. Используется только в целях отладки. Значение после сброса: 0x0;
0	dis_wc	R/W	Установка в «1» отключает опцию объединенной записи. Используется только в целях отладки. Значение после сброса: 0x0;

15.27.105 DBG1

Описание: Регистр отладки 1;

Размер: 32-разрядный;

Смещение: 0x304;

В Таблица 15.180 представлено назначение разрядов регистра DBG1.

Таблица 15.180. Регистр отладки 1 (DBG1)

Разряды	Наименование	Тип доступа	Описание
31:2			Резерв
1	dis_hif	R/W	Если этот разряд установлен в «1», DDRMC2 устанавливает команду HIF ih_co_stall. Контроллер DDRMC2 игнорирует co_ih_rxcmd_valid и другие сигналы запроса. Этот разряд переключается динамически. Значение после сброса: 0x0;
0	dis_dq	R/W	Если этот разряд установлен в «1», DDRMC2 не пропускает ни одну транзакцию, поступившую в CAM. Использование обходного пути также запрещено. Все транзакции ожидают обработки в очереди CAM. Пока этот разряд установлен, ни одна команда чтения или записи не будет отправлена в SDRAM. Этот разряд может использоваться для блокировки выдачи запросов чтения или записи контроллером DDRMC2, что позволяет безопасно модифицировать регистры, отвечающие за выполнение операций чтения и записи. После установки этого разряда рекомендуется выполнить опрос DBGCAM.wr_data_pipeline_empty и DBCAM.rd_data_pipeline_empty до изменения любых регистров, влияющих на чтение и запись. Этот разряд переключается динамически. Значение после сброса: 0x0;

15.27.106 DBGCAM

Описание: Регистр отладки CAM;

Размер: 32-разрядный;

Смещение: 0x308;

В Таблица 15.181 представлено назначение разрядов регистра DBGCAM.

Таблица 15.181. Регистр отладки CAM (DBGCAM)

Разряды	Наименование	Тип доступа	Описание
31	dbg_stall_rd		Не используется
30	dbg_stall_wr		Не используется
29	wr_data_pipeline_empty	R	Этот разряд указывает, что конвейер данных записи на интерфейсе DFI пуст. После установки DBG1.dis_dq должен производиться опрос этого разряда для гарантии завершения исполнения всех команд/данных. Значение после сброса: 0x0;

Разряды	Наименование	Тип доступа	Описание
28	rd_data_pipeline_empty	R	Этот разряд указывает на то, что конвейер данных чтения на интерфейсе DFI пуст. После установки DBG1.dis_dq, должен производиться опрос этого разряда для гарантии завершения исполнения всех команд/данных. Значение после сброса: 0x0;
27			Резерв
26	dbg_wr_q_empty	R	При установке этого разряда в «1», все очереди команд записи и буферы данных записи в DDRC являются пустыми. Этот разряд предназначен для использования в целях отладки. Пример использования: Когда контроллер входит в режим саморегенерации через последовательность входа в режим низкого потребления, ожидается, что контроллер выполнит все команды в очередях, и завершена передача данных записи и чтения. Соответственно, в этот момент разряд должен быть установлен в «1». Используется только в целях отладки. Значение после сброса: 0x0;
25	dbg_rd_q_empty	R	При установке этого разряда в «1», все очереди команд чтения и буферы данных чтения в DDRC пусты. Этот разряд предназначен для использования в целях отладки. Пример использования: Когда контроллер входит в режим саморегенерации через вход в режим низкого потребления, предполагается, что контроллер выполнит все команды, находящиеся в очередях и данные записи и чтения переданы. Соответственно, в это время значение разряда должно быть равно «1». Используется только в целях отладки. Значение после сброса: 0x0;
24	dbg_stall	R	Останов. Используется только в целях отладки. Значение после сброса: 0x0;
23			Резерв
22:16	dbg_w_q_depth	R	Глубина очереди записи Ширина поля составляет 6 разрядов, и разряд 22 является резервным. Используется только в целях отладки. Значение после сброса: 0x0;
15			Резерв
14:8	dbg_lpr_q_depth	R	Глубина очереди чтения с низким приоритетом. Ширина поля составляет 6 разрядов, и разряд 14 является резервным. Используется только в целях отладки. Значение после сброса: 0x0;
7			Резерв

Разряды	Наименование	Тип доступа	Описание
6:0	dbg_hpr_q_depth	R	Очередь чтения с высоким приоритетом. Ширина поля составляет 6 разрядов, и 6-й разряд является резервным. Используется только в целях отладки. Значение после сброса: 0x0;

15.27.107 DBGCMD

Описание: Регистр отладки команд;

Размер: 32-разрядный;

Смещение: 0x30c;

В Таблица 15.182 представлено назначение разрядов регистра DBGCMD.

Таблица 15.182. Регистр отладки команд (DBGCMD)

Разряды	Наименование	Тип доступа	Описание
31:6			Резерв
5	ctrlupd	R/WSC	Установка этого разряда в значение «1» означает отправку dfi_ctrlupd_req в PHY. Когда этот запрос сохраняется в DDRMC2, разряд автоматически очищается. Эта операция должна выполняться только при DFIUPD0.dis_auto_ctrlupd=1. Значение после сброса: 0x0;
4	zq_calib_short	R/WSC	Установка этого разряда в значение «1» вызывает отправку команды ZQCS (короткая калибровка ZQ) контроллером DDRMC2 в SDRAM. После сохранения этого запроса в DDRMC2 разряд автоматически очищается. Эта операция может выполняться только при ZQCTL0.dis_auto_zq=1. НЕ рекомендуется устанавливать этот разряд в режиме инициализации (Init). Значение этого разряда не учитывается в режиме саморегенерации (Self-Refresh) и режиме глубокого сна (Deep power-down). Значение после сброса: 0x0;
3	rank3_refresh		Не используется
2	rank2_refresh		Не используется
1	rank1_refresh	rank1_refresh	Установка этого разряда в «1» вызывает отправку контроллером DDRMC2 запроса регенерации в модуль «1». После сохранения этого запроса в DDRMC2 разряд автоматически очищается. Эта операция может выполняться только при RFSHCTL3.dis_auto_refresh=1. НЕ рекомендуется устанавливать этот разряд в режиме инициализации (Init), режиме глубокого сна (Deep power-down). Значение после сброса: 0x0;

Разряды	Наименование	Тип доступа	Описание
0	rank0_refresh	rank0_refresh	Установка этого разряда в «1» вызывает отправку контроллером DDRMC2 запроса регенерации в модуль «0». После сохранения этого запроса в DDRMC2, разряд автоматически очищается. Эта операция может выполняться только при RFSHCTL3.dis_auto_refresh=1. Не рекомендуется устанавливать этот разряд в режиме инициализации (Init), режиме глубокого сна (Deep power-down). Значение после сброса: 0x0;

15.27.108 DBGSTAT

Описание: Регистр состояния отладки;

Размер: 32-разрядный;

Смещение: 0x310;

В Таблица 15.183 представлено назначение разрядов регистра DBGSTAT.

Таблица 15.183. Регистр состояния отладки (DBGSTAT)

Разряды	Наименование	Тип доступа	Описание
31:6			Резерв
5	ctrlupd_busy	R	Ядро СнК может инициировать операцию ctrlupd только при низком уровне этого сигнала. Высокий уровень этого сигнала устанавливается в следующем такте после того, как DDRMC2 принял запрос ctrlupd. Низкий уровень этого сигнала устанавливается, когда в DDRMC2 инициируется операция ctrlupd. Не рекомендуется выполнять операции ctrlupd при высоком уровне этого сигнала. 0 – Означает, что ядро СнК может инициировать операцию ctrlupd; 1 – Означает, что операция ctrlupd еще не была инициирована DDRMC2; Значение после сброса: 0x0;
4	zq_calib_short_busy	R	Ядро СнК может инициировать операцию ZQCS (короткая калибровка ZQ) только при низком уровне этого сигнала. Высокий уровень этого сигнала устанавливается в следующем такте после того, как DDRMC2 принял запрос ZQCS. Низкий уровень этого сигнала устанавливается, когда операция ZQCS инициируется в DDRMC2. Не рекомендуется выполнять операции ZQCS при высоком уровне этого сигнала. 0 – Означает, что ядро СнК может инициировать операцию ZQCS; 1 – Означает, что операция ZQCS пока не была инициирована в DDRMC2; Значение после сброса: 0x0;

Разряды	Наименование	Тип доступа	Описание
3	rank3_refresh_busy		Не используется
2	rank2_refresh_busy	R	Не используется
1	rank1_refresh_busy	R	<p>Ядро СнК может инициировать операцию rank1_refresh (регенерация модуля 1) только при низком уровне этого сигнала. Высокий уровень этого сигнала устанавливается в следующем такте после установки DBGCMD.rank1_refresh в «1». Низкий уровень сигнала устанавливается, когда операция rank1_refresh сохраняется в DDRMC2. Не рекомендуется выполнять операции rank1_refresh при высоком уровне этого сигнала.</p> <p>0 – Означает, что ядро СнК может инициировать операцию rank1_refresh;</p> <p>1 – Означает, что операция rank1_refresh не была сохранена в DDRMC2;</p> <p>Значение после сброса: 0x0;</p>
0	rank0_refresh_busy	R	<p>Ядро СнК может инициировать операцию rank0_refresh (регенерация модуля 0) только при низком уровне сигнала. Высокий уровень этого сигнала устанавливается в следующем такте после установки DBGCMD.rank0_refresh в «1». Низкий уровень устанавливается, когда операция rank0_refresh сохраняется в DDRMC2. Не рекомендуется выполнять операции rank0_refresh, когда этот сигнал установлен в «1».</p> <p>0 – Обозначает, что ядро СнК может инициировать операцию rank0_refresh;</p> <p>1 – Обозначает, что операция rank0_refresh еще не сохранилась в DDRMC2;</p> <p>Значение после сброса: 0x0;</p>

15.27.109 Мультипортовые регистры DDRMC2

В Таблица 15.184 представлен список мультипортовых регистров контроллера.

Таблица 15.184. Мультипортовые регистры

Регистр	Смещение	Описание
PSTAT	0x3fc	Регистр состояния портов
PCCFG	0x400	Общий регистр конфигурации портов
PCFGR_n (для n = 0; n <= 2)	0x404 + n * 0xb0 n обозначает порт	Регистр конфигурации чтения порта n
PCFGW_n (для n = 0; n <= 2)	0x408 + n * 0xb0 n обозначает порт	Регистр конфигурации записи порта n
PCFGC_n (для n = 0; n <= 2)	0x40c + n * 0xb0 n обозначает порт	Общий регистр конфигурации для порта n
PCFGIDMASKCH m_n (для m,n = 0; m,n <= 2)	0x410 + m * 0x08 + n * 0xb0 m обозначает номер виртуального канала для порта n	Регистр конфигурации маски ID канала m порта n

Регистр	Смещение	Описание
PCFGIDVALUECH m_n (для m,n = 0; m,n <= 2)	0x414 + m * 0x08 + n * 0xb0 m обозначает номер виртуального канала для порта n	Регистр конфигурации значения ID канала m порта n
PCTRL_n (для n = 0; n <= 2)	0x490 + n * 0xb0 n обозначает порт	Регистр управления порта n
PCFGQOS0_n (для n = 0; n <= 2)	0x494 + n * 0xb0 n обозначает порт	Конфигурационный регистр 0 QoS чтения порта n
PCFGQOS1_n (для n = 0; n <= 2)	0x498 + n * 0xb0 n обозначает порт	Конфигурационный регистр 1 QoS чтения порта n
PCFGWQOS0_n (для n = 0; n <= 2)	0x49c + n * 0xb0 n обозначает порт	Конфигурационный регистр 0 QoS записи порта n
PCFGWQOS1_n (для n = 0; n <= 2)	0x4a0 + n * 0xb0 n обозначает порт	Конфигурационный регистр 1 QoS записи порта n
SARBASEn	0xf04 + n * 0x08	Регистр базового адреса n SAR
SARSIZEn	0xf08 + n * 0x08	Регистр адреса n SAR
SBRCTL	0xf24	Регистр управления блоком очистки
SBRSTAT	0xf28	Регистр статуса блока очистки
SBRWDATA0	0xf2c	Регистр шаблона записи данных для блока очистки 0
SBRWDATA1	0xf30	Регистр шаблона записи данных для блока очистки 1

15.27.110 PSTAT

Описание: Регистр состояния порта;

Размер: 32-разрядный;

Смещение: 0x3fc;

В Таблица 15.185 представлено назначение разрядов регистра PSTAT.

Таблица 15.185. Регистр состояния порта (PSTAT)

Разряды	Наименование	Тип доступа	Описание
31	wr port busy 15		Не используется
30	wr port busy 14		Не используется
29	wr port busy 13		Не используется
28	wr port busy 12		Не используется
27	wr port busy 11		Не используется
26	wr port busy 10		Не используется
25	wr port busy 9	R	Не используется
24	wr port busy 8	R	Не используется
23	wr port busy 7	R	Не используется
22	wr port busy 6	R	Не используется
21	wr port busy 5	R	Не используется
20	wr port busy 4	R	Не используется
19	wr port busy 3	R	Не используется

Разряды	Наименование	Тип доступа	Описание
18	wr_port_busy_2	R	Определяет наличие необработанных запросов на запись для порта 2. Значение после сброса: 0x0;
17	wr_port_busy_1	R	Определяет наличие необработанных запросов на запись для порта 1. Значение после сброса: 0x0
16	wr_port_busy_0	R	Определяет наличие необработанных запросов на запись для порта 0. Значение после сброса: 0x0;
15	rd_port_busy_15		Не используется
14	rd_port_busy_14		Не используется
13	rd_port_busy_13		Не используется
12	rd_port_busy_12		Не используется
11	rd_port_busy_11		Не используется
10	rd_port_busy_10		Не используется
9	rd_port_busy_9		Не используется
8	rd_port_busy_8		Не используется
7	rd_port_busy_7		Не используется
6	rd_port_busy_6		Не используется
5	rd_port_busy_5		Не используется
4	rd_port_busy_4		Не используется
3	rd_port_busy_3		Не используется
2	rd_port_busy_2	R	Определяет наличие необработанных запросов на чтение для порта 2. Значение после сброса: 0x0;
1	rd_port_busy_1	R	Определяет наличие необработанных запросов на чтение для порта 1. Значение после сброса: 0x0;
0	rd_port_busy_0	R	Определяет наличие необработанных запросов на чтение для порта 0. Значение после сброса: 0x0;

15.27.111 PCCFG

Описание: Общий регистр конфигурации портов;

Размер: 32-разрядный;

Смещение: 0x400;

В Таблица 15.186 представлено назначение разрядов регистра PCCFG.

Таблица 15.186. Общий регистр конфигурации портов (PCCFG)

Разряды	Наименование	Тип доступа	Описание
31:5			Резерв
4	pagematch_limit	R/W	Установка этого разряда в «1» ограничивает до 4 количество разрешенных Арбитром портов последовательных транзакций DDRC к одной странице при включенной опции Page Match. При установке в «0» нет ограничений количества последовательных транзакций DDRC к одной странице. Значение после сброса: 0x0;
3:1			Резерв
0	go2critical_en	R/W	При установке в «1» (разрешено), устанавливает сигналы co_gs_go2critical_wt и co_gs_go2critical_rd, поступающие в DDRC на основании входного сигнала захвата приоритета (awurgent, arurgent), исходящего от мастера AXI. При установке в «0» (отключено), сигналы co_gs_go2critical_wt и co_gs_go2critical_rd в DDRC устанавливаются в значение «1b'0». Значение после сброса: 0x0;

15.27.112 PCFGR_n (для n = 0; n <= 2)

Описание: Регистр конфигурации чтения порта n;

Размер: 32-разрядный;

Смещение: $0x404 + n * 0xb0$; n обозначает порт, где n = от 0 до 2;

В Таблица 15.187 представлено назначение разрядов регистра PCFGR_n (для n = 0; n <= 2).

Таблица 15.187. Регистр конфигурации чтения порта n (PCFGR_n)

Разряды	Наименование	Тип доступа	Описание
31:17			Резерв
16	rdwr_ordered_en		Не используется
15			Резерв
14	rd_port_pagematch_en	R/W	При установке в «1» включает опцию Page Match. При включении, если порт, отправляющий запрос получает разрешение, то он продолжает получать разрешения, если следующие сразу за этим запросом команды адресованы к той же странице памяти (т.е. к тому же банку и строке). См. также PCCFG.pagematch_limit. Значение после сброса: "(MEMC_DDR4_EN==1) ? 0x0 : 0x1"

Разряды	Наименование	Тип доступа	Описание
13	rd_port_urgent_en	R/W	При установке в «1» разрешает сторонний сигнал AXI urgent (arurgent). Если мастером установлен сигнал arurgent, этот порт получает высший приоритет port и сигнал co_gs_go2critical_rd к DDRC устанавливается, если это разрешено в PCCFG.go2critical_en. Сигнал arurgent может быть установлен в любой момент на необходимый промежуток времени, который не зависит от фазы установки адреса (время установки не связано с командами). Значение после сброса: 0x0;
12	rd_port_aging_en	R/W	При установке в «1» включает функцию «устаревания» канала чтения в порте. Значение после сброса: 0x0;
11	read reorder bypass en		Не используется
10			Резерв
9:0	rd_port_priority	R/W	Определяет начальное значение для загрузки в счетчики устаревания чтения. Эти счетчики будут параллельно загружены после сброса, или после каждого разрешения, полученного соответствующим портом. Счетчики «устаревания» декрементируются каждый тактовый цикл, в котором порт отправляет запрос, но не получает разрешения. Старшие 5 разрядов счетчика устаревания чтения устанавливают приоритет канала чтения данного порта. Приоритет порта повышается, так как значения старших 5 разрядов счетчика начинают уменьшаться. Когда счетчик устаревания достигает нуля, соответствующий канал порта получает высший уровень приоритета (условие таймаута - Priority0). Для мультипортовых конфигураций, счетчики устаревания не могут быть использованы для установки приоритетов, когда разрешены внешние входные сигналы динамического приоритета (arqos) (применение таймаута возможно). Для конфигураций с одним портом, счетчики устаревания используются только при таймауте (при достижении нуля) для принудительного переключения направления чтение-запись. В этом случае, внешний входной сигнал динамического приоритета, arqos (только для чтений) может использоваться для установки приоритета чтения DDRC (2 уровня приоритета: чтение с низким приоритетом - LPR, чтение с высоким приоритетом - HPR) по командам. Примечание. Два младших разряда этого поля внутренне устанавливаются в 2'b00. Значение после сброса: 0x0;

15.27.113 PCFGW_n (для n = 0; n <= 2)

Описание: Регистр конфигурации записи порта n;

Размер: 32-разрядный;

Смещение: $0x408 + n * 0xb0$; n обозначает Порт, где n = от 0 до 2;

В Таблица 15.188 представлено назначение разрядов регистра PCFGR_n (для n = 0; n <= 2).

Таблица 15.188. Регистр конфигурации записи порта n (PCFGW_n)

Разряды	Наименование	Тип доступа	Описание
31:15			Резерв
14	wr_port_pagematch_en	R/W	При установке в «1», включает опцию совпадения страниц (Page Match). Если этот разряд установлен, при получении разрешения портом, отправившим запрос, порт продолжает получать разрешения, если команды, следующие сразу за этим запросом, адресованы к той же странице памяти (т.е. тому же банку и строке). См. также PCCFG.pagematch_limit. Значение после сброса: 0x1;
13	wr_port_urgent_en	R/W	При установке в «1» включает сторонний сигнал захвата приоритета AXI (awurgent). При установке данного разряда и установке ведущим устройством сигнала awurgent, этот порт получает высший приоритет и сигнал co_gs_go2critical_wt для DDRC устанавливается, если это разрешено в PCCFG.go2critical_en. Следует отметить, что сигнал awurgent может быть установлен в любой момент на необходимое время, которое не зависит от фазы установки адреса (время установки не связано с командами). Значение после сброса: 0x0;
12	wr_port_aging_en	R/W	При установке в «1» включает функцию устаревания для канала записи порта. Значение после сброса: 0x0;
11:10			Резерв

Разряды	Наименование	Тип доступа	Описание
9:0	wr_port_priority	R/W	<p>Определяет начальное значение для загрузки счетчиков устаревания записи. Счетчики будут параллельно загружены после сброса, или после каждого получения разрешения соответствующим портом. Счетчики устаревания декрементируются каждый тактовый цикл, в котором порт отправляет запрос, но не получает разрешения. Старшие пять разрядов счетчика устаревания записи устанавливают начальный приоритет канала записи данного порта. Приоритет порта будет повышаться по мере того, как значения старших 5 разрядов счетчика начнут уменьшаться. Когда счетчик устаревания достигает нуля, соответствующий канал порта получает высший уровень приоритета. Для мультипортовых конфигураций, счетчики устаревания не могут использоваться для установки приоритетов, если включены внешние входные сигналы динамического приоритета (awqos) (применение таймаута возможно). Для конфигураций с одним портом, счетчики устаревания используются только при таймауте (при достижении нуля) для принудительного переключения направления чтение-запись.</p> <p>Примечание. Два младших разряда этого поля принудительно установлены в 2'b00. Значение после сброса: 0x0;</p>

15.27.114 PCFGC_n (для n = 0; n <= 2)

Описание: Общий регистр конфигурации для порта n;

Размер: 32-разрядный;

Смещение: $0x40c + n * 0xb0$; n обозначает Порт, где n = от 0 до 2;

В Таблица 15.189 представлено назначение разрядов регистра PCFGR_n (для n = 0; n <= 2).

Таблица 15.189. Общий регистр конфигурации для порта n (PCFGC_n)

Разряды	Наименование	Тип доступа	Описание
31:2			Резерв
1:0	ahb_endianness	ahb_endianness	При установке в «0» включает поддержку прямого порядка байтов (little endian) в порту АНВ. При установке в «1» включает поддержку обратного порядка байтов (big endian) (BE-32) в порту АНВ. При установке в «2» включает поддержку обратного порядка байтов (big endian) (BE-A) в порту АНВ. Значение после сброса: 0x0;

15.27.115 PCFGIDMASKCH m_n (для m,n = 0; m,n <= 2)

Описание: Регистр конфигурации маски ID канала m порта n;

Размер: 32-разрядный;

Смещение: $0x410 + m * 0x08 + n * 0xb0$; m обозначает количество виртуальных каналов Порта n; где m = от 0 до 2 и n = от 0 до 2;

В Таблица 15.190 представлено назначение разрядов регистра PCFGR_n (для n = 0; n <= 2).

Таблица 15.190. Регистр конфигурации маски ID канала m порта n (PCFGIDMASKCH m_n)

Разряды	Наименование	Тип доступа	Описание
31:0	id_mask	R/W	Определяет маску, используемую в функции ID mapping для виртуального канала m. Значение после сброса: 0x0;

15.27.116 PCFGIDVALUECH m_n (для m,n = 0; m,n <= 2)

Описание: Регистр конфигурации значения ID канала m порта n;

Размер: 32-разрядный;

Смещение: $0x414 + m * 0x08 + n * 0xb0$; m обозначает количество виртуальных каналов для порта n, где m = от 0 до 2 и n = от 0 до 2;

В Таблица 15.191 представлено назначение разрядов регистра PCFGR_n (для n = 0; n <= 2).

Таблица 15.191. Регистр конфигурации значения ID канала m порта n (PCFGIDVALUECH m_n)

Разряды	Наименование	Тип доступа	Описание
31:0	id_value	R/W	Определяет значение, используемое в функции отображения ID для виртуального канала m. Значение после сброса: 0x0

15.27.117 PCTRL_n (для n = 0; n <= 2)

Описание: Регистр управления порта n;

Размер: 32-разрядный;

Смещение: $0x490 + n * 0xb0$; n обозначает порт, где n = от 0 до 2;

В Таблица 15.192 представлено назначение разрядов регистра PCFGR_n (для n = 0; n <= 2).

Таблица 15.192. Регистр управления порта n (PCTRL_n)

Разряды	Наименование	Тип доступа	Описание
31:1			Резерв
0	port_en	R/W	Включает порт n. Значение после сброса: "DDRMC2_PORT_EN_RESET_VALUE"

15.27.118 PCFGQOS0_n (для n = 0; n <= 2)

Описание: Конфигурационный регистр 0 QoS чтения порта n;

Размер: 32-разрядный;

Смещение: $0x494 + n * 0xb0$; n обозначает порт, где n = от 0 до 2;

В Таблица 15.193 представлено назначение разрядов регистра PCFGR_n (для n = 0; n <= 2).

Таблица 15.193. Конфигурационный регистр 0 QoS чтения порта n (PCFGQOS0_n)

Разряды	Наименование	Тип доступа	Описание
31:26			Резерв
25:24	rqos_map_region2		Не используется
23:22			Резерв
21:20	rqos_map_region1	R/W	Поле определяет класс трафика региона 1. Допустимые значения: 0: LPR, 1: LPR, 2: HPR. Значение после сброса: 0x0;
19:18			Резерв

Разряды	Наименование	Тип доступа	Описание
17:16	rqos_map_region0	R/W	Поле определяет класс трафика региона 0. Допустимые значения: 0: LPR, 1: LPR, 2: HPR. Значение после сброса: 0x0;
15:12			Резерв
11:8	rqos_map_level2		Не используется
7:4			Резерв
3:0	rqos_map_level1	R/W	Разделительный уровень 1, обозначающий окончание региона 0; начало региона 0 соответствует 0. Допустимые значения равны от 0 до 14, которые соответствуют сигналу arqos. Следует отметить, что для Арбитра портов (РА), значения arqos используются напрямую, как приоритеты портов, где большее значение соответствует более высокому приоритету порта. Все поля map_level* должны быть установлены в определенные значения. Значение после сброса: 0x0;

15.27.119 PCFGQOS1_n (для n = 0; n <= 2)

Описание: Конфигурационный регистр 1 QoS чтения порта n;

Размер: 32-разрядный;

Смещение: $0x498 + n * 0xb0$; n обозначает порт, где n = от 0 до 2;

В Таблица 15.194 представлено назначение разрядов регистра PCFGR_n (для n = 0; n <= 2).

Таблица 15.194. Конфигурационный регистр 1 QoS чтения порта n (PCFGQOS1_n)

Разряды	Наименование	Тип доступа	Описание
31:27			Резерв
26:16	rqos_map_timeoutr	R/W	Определяет значение таймаута для транзакций, назначенных красной очереди адресов. Значение после сброса: 0x0;
15:11			Резерв
10:0	rqos_map_timeoutb	R/W	Определяет значение таймаута для транзакций, назначенных синей очереди адресов. Значение после сброса: 0x0;

15.27.120 PCFGWQOS0_n (для n = 0; n <= 15)

Описание: Конфигурационный регистр 0 QoS записи порта n;

Размер: 32-разрядный;

Смещение: $0x49c + n * 0xb0$; n обозначает Порт, где n = от 0 до 15;

Данный регистр не действителен.

Таблица 15.195. Конфигурационный регистр 0 QoS записи порта n (PCFGWQOS0_n)

Разряды	Наименование	Тип доступа	Описание
31:22			Резерв
21:20	wqos_map_region1		Не действительно
19:18			Резерв
17:16	wqos_map_region0		Не действительно
15:4			Резерв
3:0	wqos_map_level		Не действительно

PCFGWQOS1_n (для n = 0; n <= 15)

Описание: Конфигурационный регистр 1 QoS записи порта n;

Размер: 32-разрядный;

Смещение: $0x4a0 + n * 0xb0$; n означает Порт, где n = от 0 до 15;

Данный регистр не действителен.

Таблица 15.196. Конфигурационный регистр 1 QoS записи порта n (PCFGWQOS1_n)

Разряды	Наименование	Тип доступа	Описание
31:11			Резерв
10:0	wqos_map_timeout		Не действительно

15.27.121 SARBASEn (для n = 0; n <= 3)

Описание: Регистр базового адреса n SAR;

Размер: 32-разрядный;

Смещение: $0xf04 + n * 0x08$, где n = от 0 до 3;

Данный регистр не действителен.

Таблица 15.197. Регистр базового адреса n SAR (SARBASEn)

Разряды	Наименование	Тип доступа	Описание
31:0	base_addr	R/W	Не действительно

15.27.122 SARSIZEn (для n = 0; n <= 3)

Описание: Регистр адреса n SAR;

Размер: 32-разрядный;

Смещение: $0xf08 + n * 0x08$, где n = от 0 до 3;

Данный регистр не действителен.

Таблица 15.198. Регистр адреса n SAR (SARSIZEn)

Разряды	Наименование	Тип доступа	Описание
31:8			Резерв
7:0	nblocks		Не действительно

15.27.123 SBRCTL

Описание: Регистр управления блоком очистки;

Размер: 32-разрядный;

Смещение: 0xf24;

Данный регистр не действителен.

Таблица 15.199. Регистр управления блоком очистки (SBRCTL)

Разряды	Наименование	Тип доступа	Описание
31:21			Резерв
20:8	scrub_interval		Не действительно
7			Резерв
6:4	scrub_burst		Не действительно
3			Резерв
2	scrub_mode		Не действительно
1	scrub_during_lowpower		Не действительно
0	scrub_en		Не действительно

15.27.124 SBRSTAT

Описание: Регистр статуса блока очистки;

Размер: 32-разрядный;

Смещение: 0xf28;

Данный регистр не действителен.

Таблица 15.200. Регистр статуса блока очистки (SBRSTAT)

Разряды	Наименование	Тип доступа	Описание
31:2			Резерв
1	scrub_done		Не действительно
0	scrub_busy		Не действительно

15.27.125 SBRWDATA0

Описание: Регистр шаблона записи данных для блока очистки 0;

Размер: 32-разрядный;

Смещение: 0xf2c;

Данный регистр не действителен.

Таблица 15.201. Регистр шаблона записи данных для блока очистки 0 (SBRWDATA0)

Разряды	Наименование	Тип доступа	Описание
31:0	scrub_pattern0		Не действительно

15.27.126 SBRWDATA1

Описание: Регистр шаблона записи данных для блока очистки 1;

Размер: 32-разрядный;

Смещение: 0xf30;

Данный регистр не действителен.

Таблица 15.202. Регистр шаблона записи данных для блока очистки 1 (SBRWDATA1)

Разряды	Наименование	Тип доступа	Описание
31:0	scrub_pattern1		Не действительно

16. КОНТРОЛЛЕР ВНЕШНЕЙ ПАМЯТИ SRAM/NOR FLASH (NORMPORT)

NORMPORT — контроллер внешней SRAM/NOR Flash памяти.

16.1 Общие сведения

На следующем рисунке показана структурная схема NORMPORT'a:

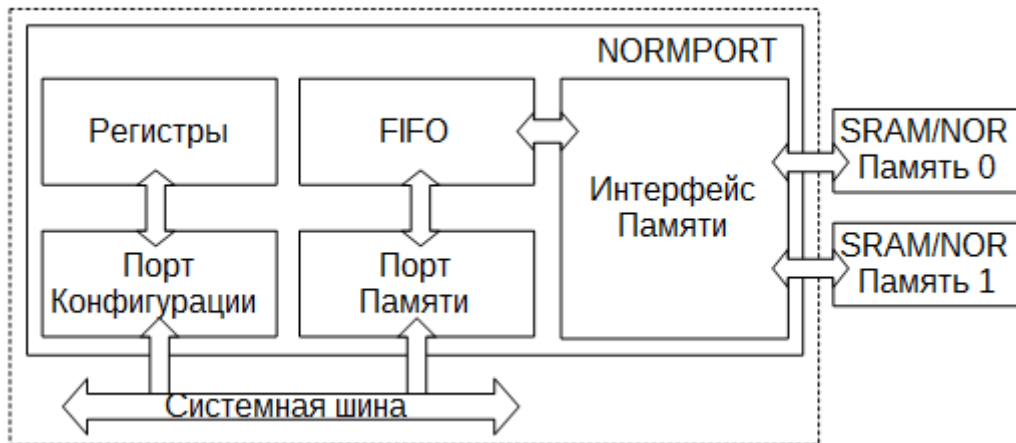


Рисунок 16.1. Структурная схема NORMPORT

Для контроллера NORMPORT выделено две области в системной памяти. Через одну из областей осуществляется настройка контроллера (доступ к регистрам контроллера, доступ к конфигурационным регистрам внешней памяти). К данной области подключён «Порт Конфигурации» контроллера. Через другую область системной памяти производятся операции записи или операции чтения из внешней памяти. К этой области подключён «Порт Памяти». Обращения к «Порту Памяти» преобразуются контроллером в обращения к внешней памяти через «Интерфейс Памяти».

Основные параметры:

1. Поддерживается подключение памяти типа SRAM/NOR/PSRAM.
2. Разрядность шины данных внешней памяти — 16 разрядов.
3. Разрядность шины адреса внешней памяти — 24 разряда.
4. Возможность работы в режиме мультиплексирования шины адреса и данных.
5. Контроллер позволяет подключать до двух различных внешних памяти (два различных сигнала выбора памяти).

16.1.1 Определения

Пакет/пачка (англ. burst). Данные могут записываться или считываться из внешней памяти частями определённого размера — пакетами/пачками. Пакет/пачка состоит из заданного количества обращений.

Отдельное обращение (англ. beat). Под обращением подразумевается запись или чтение отдельного значения на шине данных.

Выравнивание пакетов. Пакет считается выровненным по адресу в том случае, если при делении начального адреса пакета на размер пакета (число байтов в пакете) получается целое число.

16.1.2 Диаграмма состояний

В процессе работы контроллер NORMPORT может находиться в одном из следующих состояний:

- RESET

Питание устройства включено. Установлен сигнал сброса.

- READY

Обычная работа устройства. Регистры настройки доступны через «Порт Конфигурации». Доступ к памяти осуществляется через «Порт Памяти».

- LOW-POWER

Новые обращения через «Порт Памяти» не принимаются. Только некоторые из регистров доступны через «Порт Конфигурации». Для уменьшения потребления можно отключить частоты контроллера. Через регистр SMC_MEMC_CFG_SET запрашивается вход в режим пониженного потребления. После того, как контроллер завершит все пересылки установится разряд state регистра SMC_MEMC_STATUS, можно отключить частоты, которые используются контроллером.

На следующем рисунке показана диаграмма состояний контроллера:

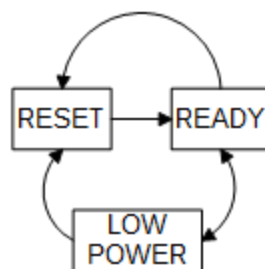


Рисунок 16.2. Диаграмма состояний NORMPORT

Возможны следующие переходы:

- READY -> RESET

При установке сигнала сброса.

- RESET -> READY

При снятии сигнала сброса.

- READY -> LOW-POWER

Вход в режим пониженного потребления происходит после получения запроса через регистр SMC_MEMC_CFG_SET.

- LOW-POWER -> READY

Выход из режима пониженного потребления происходит после получения запроса через регистр SMC_MEMC_CFG_CLR.

- LOW-POWER -> RESET

При установке сигнала сброса.

16.2 Регистры

Доступ к регистрам NORMPORT осуществляется через «Порт Конфигурации».

Таблица 16.1. Список регистров NORMPORT

Сокращённое название	Смещение	Тип	Название
-	0x0000 0x0FFC	-	Зарезервировано.
SMC_MEMC_STATUS	0x1000	RO	Регистр состояния контроллера
SMC_MEMIF_CFG	0x1004	RO	Регистр конфигурации интерфейса памяти
SMC_MEMC_CFG_SET	0x1008	WO	Регистр установки конфигурации контроллера
SMC_MEMC_CFG_CLR	0x100C	WO	Регистр сброса конфигурации контроллера
SMC_DIRECT_CMD	0x1010	WO	Регистр команд
SMC_SET_CYCLES	0x1014	WO	Регистр настройки циклов доступа к памяти
SMC_SET_OPMODE	0x1018	WO	Регистр настройки операции с памятью
-	0x101C	-	Зарезервирован.
SMC_REFRESH_PERIOD_0	0x1020	RW	Регистр периода обновления
-	0x1024 0x10FC	-	Зарезервировано.
SMC_SRAM_CYCLES0_0	0x1100	RO	Регистр параметров цикла доступа к памяти 0
SMC_OPMODE0_0	0x1104	RO	Регистр режима операции для памяти 0
-	0x1108 0x111C	-	Зарезервировано.
SMC_SRAM_CYCLES0_1	0x1120	RO	Регистр параметров цикла доступа к памяти 1
SMC_OPMODE0_1	0x1124	RO	Регистр режима операции для памяти 1
-	0x1128 0x1FDC	-	Зарезервировано.
SMC_PERIPH_ID_0	0x1FE0	RO	ID регистр периферии 0
SMC_PERIPH_ID_1	0x1FE4	RO	ID регистр периферии 1
SMC_PERIPH_ID_2	0x1FE8	RO	ID регистр периферии 2
SMC_PERIPH_ID_4	0x1FEC	RO	ID регистр периферии 3
SMC_PCELL_ID_0	0x1FF0	RO	ID регистр компонента 0
SMC_PCELL_ID_1	0x1FF4	RO	ID регистр компонента 1
SMC_PCELL_ID_2	0x1FF8	RO	ID регистр компонента 2

Сокращённое название	Смещение	Тип	Название
SMC_PCELL_ID_3	0x1FFC	RO	ID регистр компонента 3
-	0x2000	-	Зарезервирован.
-	0x2004	-	Зарезервирован.
-	0x2008	-	Зарезервирован.
STATIC_MEM_CFG_0	0x200C	RW	Регистр настройки внешней памяти
-	0x2010	-	Зарезервирован.
ADDR_CFG_0	0x2014	RW	Регистр настройки адреса 0
ADDR_CFG_1	0x2018	RW	Регистр настройки адреса 1
-	0x201C	-	Зарезервирован.
-	0x2020	-	Зарезервирован.
BYTE_ORDER	0x2024	RW	Регистр настройки порядка байтов

Замечание.

Обращение к зарезервированным регистрам или областям памяти может привести к непредсказуемым последствиям. Не следует производить обращения к зарезервированным областям.

16.2.1 SMC_MEMC_STATUS – Регистр состояния контроллера

Регистр SMC_MEMC_STATUS содержит информацию о текущем состоянии контроллера.

Смещение	0x1000
Тип	RO
Состояние по сбросу	0x0
Разрядность	32

Таблица 16.2. Описание полей регистра SMC_MEMC_STATUS

Разряды	Поле	Описание
31:6	-	Зарезервировано.
5	-	Зарезервировано.
4	-	Зарезервировано.
3	-	Зарезервировано.
2	-	Зарезервировано.
1	-	Зарезервировано.
0	state	Текущее состояние контроллера: 0 — READY. 1 — LOW-POWER.

16.2.2 SMC_MEMIF_CFG – Регистр конфигурации интерфейса памяти

Регистр SMC_MEMIF_CFG содержит информацию о конфигурации интерфейса памяти.

Смещение	0x1004
Тип	RO
Состояние по сбросу	0x0000_006D
Разрядность	32

Таблица 16.3. Описание полей регистра SMC_MEMIF_CFG

Разряды	Поле	Описание
31:18	-	Зарезервировано.
17:16	-	Зарезервировано.
15:7	-	Зарезервировано.
6	remap_0	Состояние сигнала smc_remap_0. (см. описание регистра STATIC MEM CFG 0)
5:4	memory_width0	Максимальная разрядность шины данных внешней памяти: 00 — 8 разрядов. 01 — 16 разрядов. 10 — 32 разряда. 11 — Зарезервировано. Замечание. Важно отметить, что в данной реализации при чтении возвращается значение 10 (соответствует 32 разрядам), но поддерживается только 16 разрядная шина данных.
3:2	memory_chips0	Число поддерживаемых сигналов выбора памяти (chip select): 00 - 1 сигнал. 01 - 2 сигнала. 10 - 3 сигнала. 11 - 4 сигнала. Замечание. Важно отметить, что при чтении возвращается значение 11 (значение соответствует 4 сигналам), но на внешние выводы в данной реализации выведено только два сигнала.
1:0	memory_type0	Тип памяти: 00 — Зарезервировано. 01 — SRAM. 10 — Зарезервировано. 11 — SRAM в режиме мультиплексирования шин адреса и данных. Замечание. В данной реализации считывается значение 01 или 11 (при установленном SMC_MEM_CFG_0.smc_mux_mode_0)

16.2.3 SMC_MEMC_CFG_SET – Регистр установки конфигурации контроллера.

С помощью регистра SMC_MEMC_CFG_SET контроллер переводится в режим пониженного потребления.

Смещение	0x1008
Тип	WO
Состояние по сбросу	-
Разрядность	32

Таблица 16.4. Описание полей регистра SMC_MEMC_CFG_SET

Разряды	Поле	Описание
31:3	-	Зарезервировано, не определено. Записывать нули.
2	low_power_req	Запрос входа в режим LOW-POWER: 0 — не влияет на работу. 1 — запрос перехода контроллера в режиме LOW-POWER.
1	-	Зарезервировано, не определено. Записывать нули.
0	-	Зарезервировано. Записывать ноль.

16.2.4 SMC_MEMC_CFG_CLR – Регистр сброса конфигурации контроллера

С помощью регистра SMC_MEMC_CFG_CLR контроллер выводится из режима LOW-POWER.

Смещение	0x100C
Тип	WO
Состояние по сбросу	-
Разрядность	32

Таблица 16.5. Описание полей регистра SMC_MEMC_CFG_CLR

Разряды	Поле	Описание
31:3	-	Зарезервировано, не определено. Записывать нули.
2	low_power_exit	Запрос выхода из режима LOW-POWER: 0 — не влияет на работу. 1 — запрос выхода контроллера из режима LOW-POWER.
1	-	Зарезервировано, не определено. Записывать нули.
0	-	Зарезервировано. Записывать ноль.

16.2.5 SMC_DIRECT_CMD – Регистр команд

Регистр SMC_DIRECT_CMD позволяет инициализировать и обновлять конфигурацию внешней памяти. Содержимое внутренних конфигурационных регистров SMC_OPMODE_*, SMC_SRAM_CYCLES_* обновляется содержимым регистров SMC_SET_OPMODE и SMC_SET_CYCLES соответственно. Выбор конкретного из регистров SMC_OPMODE_*, SMC_SRAM_CYCLES_* определяется значением поля chip_nubr регистра SMC_DIRECT_CMD.

Запись в данный регистр невозможна в состоянии LOW-POWER контроллера.

Смещение	0x1010
Тип	WO
Состояние по сбросу	-
Разрядность	32

Таблица 16.6. Описание полей регистра SMC_DIRECT_CMD

Разряды	Поле	Описание
31:26	-	Зарезервировано. Записывать нули.
25:23	chip_nubr	Выбирает банк конфигурационных регистров для обновления. В зависимости от поля cmd_type разрешает доступ к регистру режима во внешней памяти. 000-001 — Номер сигнала выбора памяти (chip select) 010-111 — Зарезервировано.

Разряды	Поле	Описание
22:21	cmd_type	<p>Определяет тип команды:</p> <p>00 — UPDATEREGS_MEMPORT. Используется для синхронизации обновления внутренних конфигурационных регистров, в случае если настройка параметров внешней памяти производилась последовательностью пересылок через «Порт Памяти». Обновление внутренних конфигурационных регистров происходит в момент, когда содержимое поля addr данного регистра совпадёт с данными записанными в «Порт Памяти». Команда используется с памятью типа NOR Flash.</p> <p>01 — MODEREG. Программирование конфигурационных регистров во внешней памяти.</p> <p>10 — UPDATEREGS. Контроллер записывает содержимое регистров SMC_SET_OPMODE, SMC_SET_CYCLES во внутренние конфигурационные регистры.</p> <p>11 — MODEREG_UPDATEREGS. Контроллер одновременно выполняет операции, которые определены для команд MODEREG и UPDATEREGS. Эта команда позволяет изменить конфигурацию памяти в момент, когда к ней производится доступ. Контроллер синхронизирует обновление внутренних конфигурационных регистров с записью в конфигурационный регистр во внешней памяти.</p>
20	set_cre	<p>Определяет значение выхода SMC_CRE (configuration register enable) при выполнении команды MODEREG.</p> <p>0 — SMC_CRE в 0.</p> <p>1 — SMC_CRE в 1.</p>
19:0	addr	<p>Для команды UPDATEREGS_MEMPORT:</p> <p>Разряды 19:16 зарезервированы. Записывать нули.</p> <p>Разряды 15:0 используются для определения момента обновления внутренних регистров содержимым SMC_SET_OPMODE, SMC_SET_CYCLES. Обновление происходит при совпадении значения поля addr с данными записанными через «Порт Памяти».</p> <p>Для команд MODEREG и MODEREG_UPDATEREGS:</p> <p>Разряды 19:0 транслируются на выходы адреса внешней памяти.</p> <p>Для команды UPDATEREGS:</p> <p>Разряды 19:0 зарезервированы. Записывать нули.</p>

16.2.6 SMC_SET_CYCLES – Регистр настройки циклов доступа к памяти

Настройка временных параметров цикла обращения к внешней памяти производится через регистр SMC_SET_CYCLES. Значение, записанное в регистр SMC_SET_CYCLES, затем перезаписывается в один из регистров SMC_SRAM_CYCLES*. Момент времени обновления и выбор конкретного регистра SMC_SRAM_CYCLES* определяется настройками регистра SMC_DIRECT_CMD. Регистр доступен только по записи. В состоянии LOW-POWER регистр не доступен.

Смещение	SMC_SET_CYCLES – 0x1014
Тип	WO
Состояние по сбросу	-
Разрядность	32

Таблица 16.7. Описание полей регистра SMC_SET_CYCLES

Разряды	Поле	Описание
31:20	-	Зарезервировано. Значение при чтении не определено.
19:17	tTR	Время паузы между сменой операций в тактах NOR_SCLK. Возможны следующие переключения операций: Чтение после записи. Запись после чтения. Чтение после чтения из памяти с другим сигналом выбора (chip select).
16:14	tPC	Длительность цикла (время смены адреса) при работе со страницей.
13:11	tWP	Длительность сигнала записи (SMC_WEN) в тактах NOR_SCLK.
10:8	tCEOE	Время от падения SMC_CSN до падения SMC_OEN в тактах NOR_SCLK.
7:4	tWC	Длительность цикла записи (SMC_CSN) в тактах NOR_SCLK.
3:0	tRC	Длительность цикла чтения (SMC_CSN) в тактах NOR_SCLK.

16.2.7 SMC_SET_OPMODE – Регистр настройки операции с памятью

Через регистр SMC_SET_OPMODE производится настройка режима работы с памятью. Значение, записанное в регистр SMC_SET_OPMODE, затем перезаписывается в один из регистров SMC_OPMODE_*. Момент времени обновления и выбор конкретного регистра SMC_OPMODE_* определяется настройками регистра SMC_DIRECT_CMD. Регистр доступен только по записи. В состоянии LOW-POWER регистр не доступен.

Смещение	SMC_SET_OPMODE – 0x1018
Тип	WO
Состояние по сбросу	-
Разрядность	32

Таблица 16.8. Описание полей регистра SMC_SET_OPMODE

Разряды	Поле	Описание
31:16	-	Зарезервировано. Записывать нули.
15:13	set_burst_align	<p>Параметры выравнивания (разбиения) пакетов при достижении границы пакетов в памяти для синхронных пересылок.</p> <p>000 — Пакет может пересечь любую границу. 001 — Разбиение при достижении границы в 32 обращения. 010 — Разбиение при достижении границы в 64 обращения. 011 — Разбиение при достижении границы в 128 обращений. 100 — Разбиение при достижении границы в 256 обращений. 101-111 — Зарезервировано.</p> <p>Для асинхронных пересылок пакеты всегда выравниваются относительно размера пакета.</p> <p>При пересылке пакета на шине адреса внешней памяти устанавливается начальный адрес обращения и это значение не меняется на протяжении всей пересылки. Затем производится последовательная выдача (или считывание) данных. Количество выданных (считываний) определяется размером пакета (поле set_wr_bl и set_rd_bl). Считается, что данные записываются во внешнюю память по последовательным адресам, начиная с начального адреса пакета. Если поле set_burst_align отлично от нуля и при пересылке пакета обнаруживается, что текущие данные должны быть записаны по адресу, который превышает адрес границы для следующего пакета, такой пакет разбивается на несколько. И пересылка данных продолжится с адреса выровненного согласно полю set_burst_align.</p>

Разряды	Поле	Описание
		<p>Пример. Производится запись пачки 16-ти разрядных данных размером 8 обращений (set_wr_bl = 2). Включено выравнивание пакетов по границе в 64 обращения (set_burst_align = 2) Начальный адрес пакета — 0x3E.</p> <p>Данные должны быть записаны в память следующим образом 0x3E - D0 0x3F - D1 0x40 - D2 ... 0x45 - D7</p> <p>Такое обращение будет разбито на два. При первом обращении будет установлен адрес 0x3E и выданы данные D0 и D1. При втором обращении установится адрес 0x40 и будут выданы оставшиеся данные D2, D3, D4, D5, D6, D7.</p>
12	set_bls	<p>Определяет временные характеристики сигнала SMC_BLSN: 0 — SMC_BLSN соответствует сигналу SMC_CSN. 1 — SMC_BLSN соответствует сигналу SMC_WEN. Используется для 8-ми разрядной памяти без сигналов выбора байтов. В этом случае выход SMC_BLSN контроллера необходимо подключить ко входу сигнала записи памяти.</p>
11	set_adv	<p>Если в единице, тогда при работе с памятью используется сигнал SMC_ADVN.</p>
10	set_baa	<p>Если в единице, тогда при работе с памятью используется сигнал SMC_BAA.</p>
9:7	set_wr_bl	<p>Размер пачки при записи данных в память (write burst length): 000 — 1 обращение. 001 — 4 обращения. 010 — 8 обращений. 011 — 16 обращений. 100 — 32 обращения. 101 — непрерывный режим. 110-111 — Зарезервировано.</p> <p>Под обращением (англ. beat) подразумевается запись отдельного значения на шине данных. Соответственно пачка/пакет (англ. burst) состоит из заданного количества обращений.</p> <p><i>Замечание.</i> <i>Максимальный размер пачки для 32-разрядных обращений к «Порту Памяти» не превышает 8.</i> <i>Максимальный размер пачки для 16-разрядных обращений к «Порту Памяти» не превышает 4.</i> <i>Максимальный размер пачки для 8-разрядных обращений к «Порту Памяти» не превышает 2. При этом выбор необходимого байта будет производится сигналом SMC_BLSN.</i></p>
6	set_wr_sync	<p>Если в единице, операция записи в память выполняется в синхронном режиме.</p>

Разряды	Поле	Описание
5:3	set_rd_bl	<p>Размер пачки при чтении данных из памяти (read burst length):</p> <p>000 — 1 обращение. 001 — 4 обращения. 010 — 8 обращений. 011 — 16 обращений. 100 — 32 обращения. 101 — непрерывный режим. 110-111 — Зарезервировано.</p> <p>Под обращением (англ. beat) подразумевается чтение отдельного значения на шине данных. Соответственно пачка/пакет (англ. burst) состоит из заданного количества обращений.</p> <p><i>Замечание.</i> Максимальный размер пачки для 32-разрядных обращений к «Порту Памяти» не превышает 8. Максимальный размер пачки для 16-разрядных обращений к «Порту Памяти» не превышает 4. Максимальный размер пачки для 8-разрядных обращений к «Порту Памяти» не превышает 2. При этом выбор необходимого байта будет производится сигналом SMC_BLSN.</p>
2	set_rd_sync	<p>Если в единице, операция чтения из памяти выполняется в синхронном режиме.</p>
1:0	set_mw	<p>Ширина шины данных памяти (memory width):</p> <p>00 — 8 разрядов. 01 — 16 разрядов. 10, 11 — Зарезервировано.</p> <p><i>Замечание.</i> Поддерживаются обращения только к 16-ти разрядной памяти</p> <p><i>Замечание.</i> Если установка поля производится при установленном сигнале <code>STATIC_MEM_CFG_0.smc_remap_0</code>, то на состоянии регистра <code>SMC_OPMODE_0</code> она отразится только после снятия сигнала <code>smc_remap_0</code>.</p>

16.2.8 SMC_REFRESH_PERIOD_0 – Регистр периода обновления

Регистр позволяет настроить период обновления для памяти типа PSRAM. В состоянии LOW-POWER данный регистр недоступен.

Смещение	0x1020
Тип	RW
Состояние по сбросу	0x0
Разрядность	32

Таблица 16.9. Описание полей регистра SMC_REFRESH_PERIOD_0

Разряды	Поле	Описание
31:10	-	Зарезервировано. Значение при чтении не определено.
3:0	period	<p>Определяет количество непрерывно следующих пакетов, после которых NORMPORT снимает сигнал выбора памяти. После чего PSRAM может начать цикл обновления.</p> <p>0000 — Вставка холостых циклов после пакета отключена. 0001 — Холостой цикл после каждого пакета. 0010 — Холостой цикл после 2 непрерывных пакетов. 0011 — Холостой цикл после 3 непрерывных пакетов. ... 1111 — Холостой цикл после 15 непрерывных пакетов.</p>

16.2.9 SMC_SRAM_CYCLES_<0-1> - Регистры параметров цикла доступа к памяти

Регистры SMC_SRAM_CYCLES_<0-1> содержат информацию о текущих временных параметрах цикла обращения к памяти и доступны только по чтению. Для каждой поддерживаемой памяти выделен отдельный регистр SMC_SRAM_CYCLES_*n* (для *n*-ой памяти).

Смещение	SMC_SRAM_CYCLES_1 – 0x1120 SMC_SRAM_CYCLES_0 – 0x1100
Тип	RO
Состояние по сбросу	SMC_SRAM_CYCLES_1 – 0x0002_B3CC SMC_SRAM_CYCLES_0 – 0x0002_B3CC
Разрядность	32

Таблица 16.10. Описание полей регистра SMC_SRAM_CYCLES_*n*

Разряды	Поле	Описание
31:20	-	Зарезервировано. Значение при чтении не определено.
19:17	tTR	Время паузы между сменой операций в тактах NOR_SCLK. Возможны следующие переключения операций: Чтение после записи. Запись после чтения. Чтение после чтения из памяти с другим сигналом выбора (chip select).
16:14	tPC	Длительность цикла (время смены адреса) при работе со страницей.
13:11	tWP	Длительность сигнала записи (SMC_WEN) в тактах NOR_SCLK.
10:8	tCEOЕ	Время от падения SMC_CSN до падения SMC_OEN в тактах NOR_SCLK.
7:4	tWC	Длительность цикла записи (SMC_CSN) в тактах NOR_SCLK.
3:0	tRC	Длительность цикла чтения (SMC_CSN) в тактах NOR_SCLK.

16.2.10 SMC_OPMODE_<0-1> – Регистры режима операции

Регистры SMC_OPMODE_<0-1> содержат информацию о текущем режиме работы с памятью и доступны только по чтению. Для каждой поддерживаемой памяти выделен отдельный регистр SMC_OPMODE_*n* (для *n*-ой памяти).

Смещение	SMC_OPMODE_1 – 0x1124 SMC_OPMODE_0 – 0x1104
Тип	RO
Состояние по сбросу	SMC_OPMODE_1 – 0x10FF_0802 SMC_OPMODE_0 – 0x08FF_0801
Разрядность	32

Таблица 16.11. Описание полей регистра SMC_OPMODE_n

Разряды	Поле	Описание
31:24	address_match	При совпадении 31:24 разрядов адреса обращения к памяти (адреса при обращении к «Порту Памяти») со значением данного поля, формируется сигнал выбора необходимой памяти. Маска сравнения (выбор разрядов, которые участвуют в сравнении) задаётся полем address_mask.
23:16	address_mask	Маска для 31:24 разрядов адреса обращения к памяти, на основе которого формируется сигнал выбора необходимой памяти. Единица в разряде указывает на то, что разряд участвует в сравнении с содержимым соответствующего разряда поля address_match.
15:13	burst_align	Параметры разделения (разбиения) пакетов при достижении границы пакетов в памяти для синхронных пересылок. 000 — Пакет может пересечь любую границу. 001 — Разбиение при достижении границы в 32 обращения. 010 — Разбиение при достижении границы в 64 обращения. 011 — Разбиение при достижении границы в 128 обращений. 100 — Разбиение при достижении границы в 256 обращений. 101-111 — Зарезервировано.
12	bls	Определяет временные характеристики сигнала SMC_BLSN: 0 — SMC_BLSN соответствует сигналу SMC_CSN. 1 — SMC_BLSN соответствует сигналу SMC_WEN. Используется для 8-ми разрядной памяти без сигналов выбора байтов. В этом случае выход SMC_BLSN контроллера необходимо подключить ко входу сигнала записи памяти.
11	adv	Если в единице, тогда при работе с памятью используется сигнал SMC_ADVN.
10	baa	Если в единице, тогда при работе с памятью используется сигнал SMC_BAA.
9:7	wr_bl	Размер пачки при записи данных в память (write burst length): 000 — 1 обращение. 001 — 4 обращения. 010 — 8 обращений. 011 — 16 обращений. 100 — 32 обращения. 101 — непрерывный режим. 110-111 — Зарезервировано. Под обращением (англ. beat) подразумевается чтение отдельного значения на шине данных. Соответственно пачка/пакет (англ. burst) состоит из заданного количества обращений.
6	wr_sync	Если в единице, операция записи в память выполняется в синхронном режиме.
5:3	rd_bl	Размер пачки при чтении данных из памяти (read burst length): 000 — 1 обращение. 001 — 4 обращения. 010 — 8 обращений. 011 — 16 обращений. 100 — 32 обращения. 101 — непрерывный режим. 110-111 — Зарезервировано. Под обращением (англ. beat) подразумевается чтение отдельного значения на шине данных. Соответственно пачка/пакет (англ. burst) состоит из заданного количества обращений.
2	rd_sync	Если в единице, операция чтения из памяти выполняется в синхронном режиме.

Разряды	Поле	Описание
1:0	mw	<p>Ширина шины данных памяти (memory width):</p> <p>00 — 8 разрядов.</p> <p>01 — 16 разрядов.</p> <p>10, 11 — Зарезервировано.</p> <p><i>Замечание. Поддерживаются обращения только к 16-ти разрядной памяти.</i></p> <p><i>Замечание для регистра SMC_OPMODE_0. При установленном сигнале STATIC_MEM_CFG_0.smc_remap_0 поле mw подменяется полем STATIC_MEM_CFG_0.smc_sram mw 0. Если STATIC_MEM_CFG_0.smc_remap_0 не установлен, то возвращается текущее значение поля mw.</i></p> <p><i>Замечание для регистра SMC_OPMODE_0. Состояние поля mw по сбросу – 10. Поэтому перед снятием сигнала smc_remap_0 необходимо проинициализировать поле mw корректным значением (01)</i></p>

16.2.11 SMC_PERIPH_ID_<0-3> – ID регистры периферии

SMC_PERIPH_ID_<0-3> - Идентификационные регистры периферии.

Смещение	SMC_PERIPH_ID_3 – 0x1FEC SMC_PERIPH_ID_2 – 0x1FE8 SMC_PERIPH_ID_1 – 0x1FE4 SMC_PERIPH_ID_0 – 0x1FE0
Тип	RO
Состояние по сбросу	SMC_PERIPH_ID_3 – 0x00 SMC_PERIPH_ID_2 – 0x34 SMC_PERIPH_ID_1 – 0x13 SMC_PERIPH_ID_0 – 0x52
Разрядность	8

Таблица 16.12. Описание полей регистра SMC_PERIPH_ID_3

Разряды	Поле	Описание
31:8	-	Зарезервировано. Значение при чтении не определено.
7:1	-	Зарезервировано. При чтении возвращает ноль.
0	-	Зарезервировано. При чтении возвращает ноль.

Таблица 16.13. Описание полей регистра SMC_PERIPH_ID_2

Разряды	Поле	Описание
31:8	-	Зарезервировано. Значение при чтении не определено.
7:4	revision	При чтении возвращает 0x3.
3:0	designer_1	При чтении возвращает 0x4.

Таблица 16.14. Описание полей регистра SMC_PERIPH_ID_1

Разряды	Поле	Описание
31:8	-	Зарезервировано. Значение при чтении не определено.
7:4	designer_0	При чтении возвращает 0x1.
3:0	designer_1	При чтении возвращает 0x3.

Таблица 16.15. Описание полей регистра SMC_PERIPH_ID_0

Разряды	Поле	Описание
31:8	-	Зарезервировано. Значение при чтении не определено.
7:0	part number 0	При чтении возвращает 0x52.

Регистры SMC_PERIPH_ID_<0-3> можно рассматривать как один условный регистр SMC_PERIPH_ID:

Таблица 16.16. Описание полей условного регистра SMC_PERIPH_ID

Разряды	Поле	Описание
31:25	-	Зарезервировано. Значение при чтении не определено.
24	-	Зарезервировано. При чтении возвращает ноль.
23:20	revision	Версия RTL.
19:12	designer	Код разработчика блока (0x41).
11:0	part_number	Код компонента (0x352).

16.2.12 SMC_PCELL_ID_<0-3> – ID регистры компонента

SMC_PCELL_ID_<0-3> - Идентификационные регистры компонента SMC. В состоянии RESET регистры SMC_PCELL_ID_<0-3> не доступны. Регистры SMC_PCELL_ID_<0-3> можно рассматривать как один 32-разрядный регистр SMC_PCELL_ID со значением 0xB105F00D.

Смещение	SMC_PCELL_ID_3 - 0x1FFC SMC_PCELL_ID_2 - 0x1FF8 SMC_PCELL_ID_1 - 0x1FF4 SMC_PCELL_ID_0 - 0x1FF0
Тип	RO
Состояние по сбросу	SMC_PCELL_ID_3 - 0xB1 SMC_PCELL_ID_2 - 0x05 SMC_PCELL_ID_1 - 0xF0 SMC_PCELL_ID_0 - 0x0D (состояние разрядов 31:8 при чтении не определено)
Разрядность	8

Таблица 16.17. Описание полей регистров SMC_PCELL_ID_<0-3>

Разряды	Поле	Описание
31:8	-	Значение при чтении не определено.
7:0	pcell_id	Значение считанное из регистров SMC_PCELL_ID_<0-3> содержит идентификационный номер компонента. Например, это значение может использоваться при автоматической настройке BIOS.

16.2.13 STATIC_MEM_CFG_0 – Регистр настроек внешней памяти

Регистр STATIC_MEM_CFG_0 доступен по чтению и по записи. Запись 1 в необходимый разряд меняет значение разряда на противоположное. Запись 0 в необходимый разряд не изменяет его значения.

Смещение	0x200C
Тип	RW
Состояние по сбросу	0x0000 0880
Разрядность	32

Таблица 16.18. Описание полей регистра **STATIC_MEM_CFG_0**

Разряды	Поле	Описание
31:22	-	Зарезервировано.
21:14	-	Зарезервировано.
13	smc_mux_mode_0	Мультиплексирование шины адреса и данных. Подробности см. в разделе «Мультиплексирование адреса и данных».
12:11	smc_sram_mw_0	Ширина шины данных внешней памяти. Поле smc_sram_mw_0 используется только при установленном smc_remap_0. Подробности см. в разделе «Загрузка начального кода CPU»
10:8	-	Зарезервировано.
7	smc_remap_0	При установленном разряде smc_remap_0 обращения к «Порту Памяти» с разрядами адреса 31:24 равными 0x00 вызывают формирование сигнала выбора памяти 0 и соответствующее обращение к ней. Циклы обращения к внешней памяти выполняются с настройками для наихудшего случая. (независимо от значения полей smc_address_match и smc_address_mask регистров ADDR_CFG_0, ADDR_CFG_1) Подробности см. в разделе «Загрузка начального кода CPU»
6	-	Зарезервировано. Записывать ноль.
5	-	Зарезервировано. Записывать ноль.
4	-	Зарезервировано. Записывать ноль.
3	-	Зарезервировано.
2	-	Зарезервировано. Записывать ноль.
1	-	Зарезервировано. Записывать ноль.
0	-	Зарезервировано. Записывать ноль.

16.2.14 ADDR_CFG_0, ADDR_CFG_1 – Регистры настроек адреса внешней памяти

Регистры ADDR_CFG_0, ADDR_CFG_1 позволяют настроить условия формирования сигнала выбора для соответствующей внешней памяти (ADDR_CFG_0 для памяти 0, ADDR_CFG_1 для памяти 1). Подробности см. в разделе 16.6.6. Текущее значение полей smc_address_match и smc_address_mask можно определить, прочитав содержимое не только регистров ADDR_CFG_0, ADDR_CFG_1, но и соответствующего регистра SMC_OMPCODE*.

Смещение	ADDR_CFG_0 – 0x2014 ADDR_CFG_1 – 0x2018
Тип	RW
Состояние по сбросу	ADDR_CFG_0 – 0x0000_08FF ADDR_CFG_1 – 0x0000_10FF
Разрядность	32

Таблица 16.19. Описание полей регистра *ADDR_CFG_0*, *ADDR_CFG*

Разряды	Поле	Описание
31:16	-	Зарезервировано.
15:8	smc_address_match	При совпадении 31:24 разрядов адреса обращения к «Порту Памяти» со значением данного поля, формируется сигнал выбора внешней памяти. Маска сравнения (выбор разрядов, которые участвуют в сравнении) задаётся полем address_mask.
7:0	smc_address_mask	Маска для 31:24 разрядов адреса обращения к «Порту Памяти» на основе которого формируется сигнал выбора внешней памяти. Единица в разряде указывает на то, что разряд участвует в сравнении с содержимым соответствующего разряда поля smc_address_match.

16.2.15 BYTE_ORDER – регистр настройки порядка байтов

Регистр BYTE_ORDER доступен по чтению и по записи. Запись 1 в необходимый разряд меняет значение разряда на противоположное. Запись 0 в необходимый разряд не изменяет его значения.

Смещение	0x2024
Тип	RW
Состояние по сбросу	0x0000_0014
Разрядность	32

Таблица 16.20. Описание полей регистра *BYTE_ORDER*

Разряды	Поле	Описание
31:5	-	Доступно только по чтению. Всегда возвращает ноль.
4	-	Зарезервировано. При чтении возвращает единицу.
3	-	Зарезервировано.
2	-	Зарезервировано. При чтении возвращает единицу.
1	-	Зарезервировано.
0	big_endian	Определяет порядок байтов при обращениях к внешней памяти через «Порт Памяти». По сбросу «Порт Памяти» работает в режиме от «младшего к старшему (little-endian)». При установленном разряде big_endian порт работает в режиме от «старшего к младшему (big-endian)».

16.3 Подключение внешней памяти

Таблица 16.21. Список выводов *NORMPORT*

Вывод	Направление	Описание
SMC_ADD[23:0]	вход/выход	Шина адреса.
SMC_DATA[15:0]	вход/выход	Шина данных.
SMC_CSN[1:0]	выход	Сигналы выбора внешней памяти.
SMC_WEN	выход	Разрешение записи.
SMC_OEN	выход	Разрешение чтения.
SMC_BLSN[1:0]	выход	Строб выбора байта.
SMC_WAIT	вход	Сигнал неготовности данных при чтении в синхронном режиме.
SMC_ADV_N	выход	Строб записи адреса.
SMC_BAA	выход	Сигнал смены адреса (burst address advance) при пересылке пачки.
SMC_CRE	выход	Запись в конфигурационный регистр (configuration register enable).
SMC_CLKO[1:0]	выход	Тактовая частота.
SMC_FBCLK	вход	Частота защёлкивания данных. (feedback clk).

16.4 Временные диаграммы

В данном разделе показаны примеры временных диаграммы сигналов внешней памяти для различных настроек регистров SMC_OPMODE_* и SMC_SRAM_CYCLES_*. Для ясности на диаграммах добавлены два внутренних сигнала «read_data» и «data_out_en».

Сигнал «read_data» наглядно указывает на такт защёлкивания данных на внутренней шине. Сигнал «data_out_en» указывает на момент времени, когда данные на внешней шине устанавливаются по инициативе контроллера.

Все управляющие сигналы, адрес и в выходы данных устанавливаются по спаду частоты NOR_SCLK (как для синхронных, так и для асинхронных обращений). Частота NOR_SCLK транслируется на выходы SMC_CLKO. Частота на выходах SMC_CLK отключается при асинхронном способе доступа и в моменты, когда не производится пересылки. При чтении из внешней памяти в асинхронном режиме данные на шине SMC_DATA защёлкиваются по отрицательному перепаду частоты NOR_SCLK. При чтении из внешней памяти в синхронном режиме данные на шине SMC_DATA защёлкиваются (регистрируются) под частоту SMC_FBCLK.

16.4.1 Асинхронное чтение

Таблица 16.22. SMC_OPMODE_<0-1>, асинхронное чтение

Поле	mw	rd_sync	rd_bl	wr_sync	wr_bl	baa	adv	bls	birst_align
Значение	-	b0	b000	-	-	-	-	-	-

Таблица 16.23. SMC_SRAM_CYCLES_<0-1>, асинхронное чтение

Поле	tRC	tWC	tCEOE	tWP	tPC	tTR
Значение	b0011	-	b001	-	-	-

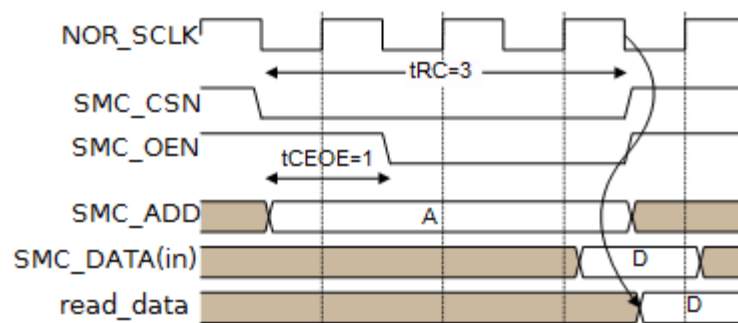


Рисунок 16.3. Асинхронное чтение

16.4.2 Асинхронное чтение в режиме мультиплексирования

Таблица 16.24. SMC_OPMODE_<0-1>, асинхронное чтение, режим мультиплексирования

Поле	mw	rd_sync	rd_bl	wr_sync	wr_bl	baa	adv	bls	birst_align
Значение	-	b0	b000	-	-	-	b1	-	-

Таблица 16.25. SMC_SRAM_CYCLES_<0-1> асинхронное чтение, режим мультиплексирования

Поле	tRC	tWC	tCEOE	tWP	tPC	tTR
Значение	b0111	-	b101	-	-	-

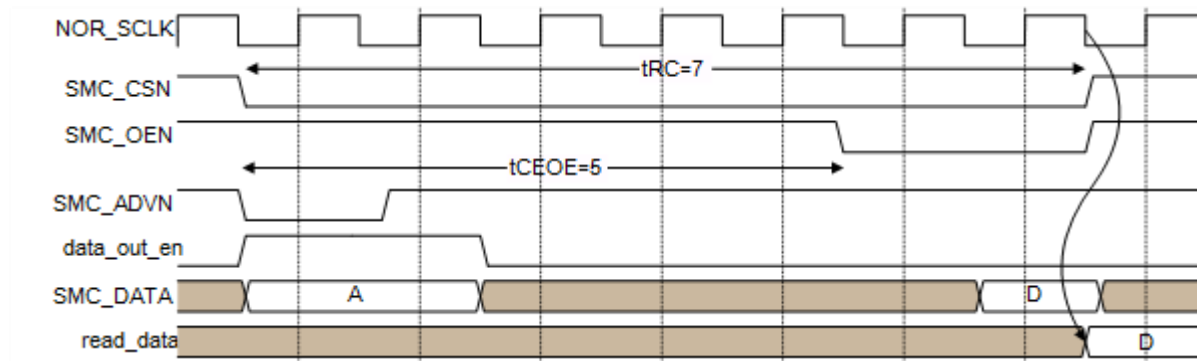


Рисунок 16.4. Асинхронное чтение, режим мультиплексирования

16.4.3 Асинхронная запись

Таблица 16.26. SMC_OPMODE_<0-1>, асинхронная запись

Поле	mw	rd_sync	rd_bl	wr_sync	wr_bl	baa	adv	bls	birst_align
Значение	-	-	-	b0	b000	-	-	-	-

Таблица 16.27. SMC_SRAM_CYCLES_<0-1>, асинхронная запись

Поле	tRC	tWC	tCEOE	tWP	tPC	tTR
Значение	-	b0100	-	b010	-	-

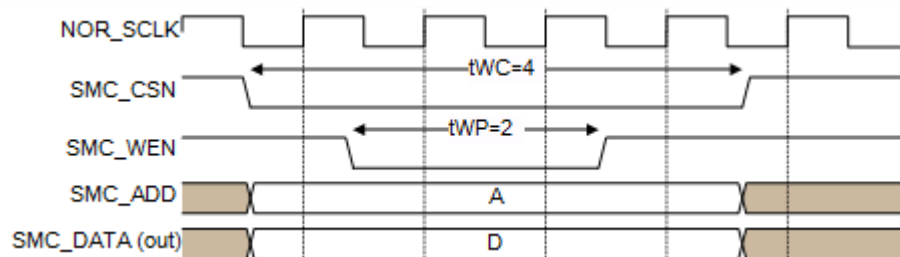


Рисунок 16.5. Асинхронная запись

Параметр tWC управляет временем удержания сигналов SMC_CSN, SMC_ADD, SMC_DATA. Для того, чтобы обеспечить достоверность шины адреса при цикле записи, сигнал SMC_WEN переходит в лог. «0» на такт позже сигнала SMC_CSN.

16.4.4 Асинхронная запись в режиме мультиплексирования

Таблица 16.28. SMC_OPMODE_<0-1>, асинхронная запись, режим мультиплексирования

Поле	mw	rd_sync	rd_bl	wr_sync	wr_bl	baa	adv	bls	birst_align
Значение	-	-	-	b0	b000	b0	b0	-	-

Таблица 16.29. SMC_SRAM_CYCLES_<0-1>, асинхронная запись, режим мультиплексирования

Поле	tRC	tWC	tCEOE	tWP	tPC	tTR
Значение	-	b0111	-	b100	-	-

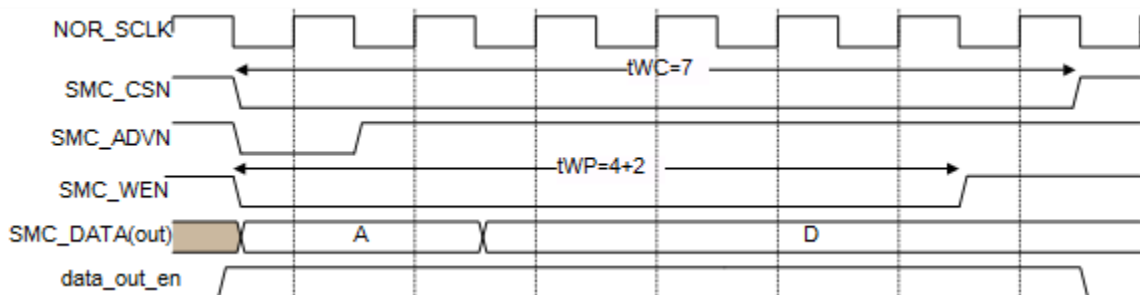


Рисунок 16.6. Асинхронная запись, режим мультиплексирования

На рисунке показан цикл записи в режиме мультиплексирования ($t_{WC}=7$, $t_{WP}=4$). Цикл увеличен на два такта из-за адресной фазы обращения.

16.4.5 Асинхронное чтение страницы

Таблица 16.30. SMC_OPMODE_<0-1>, асинхронное чтение страницы

Поле	mw	rd_sync	rd_bl	wr_sync	wr_bl	baa	adv	bls	birst_align
Значение	-	b0	<page_length>	-	-	-	-	-	b1

Таблица 16.31. SMC_SRAM_CYCLES_<0-1> асинхронное чтение страницы

Поле	tRC	tWC	tCEOE	tWP	tPC	tTR
Значение	b0011	-	b010	-	b001	-

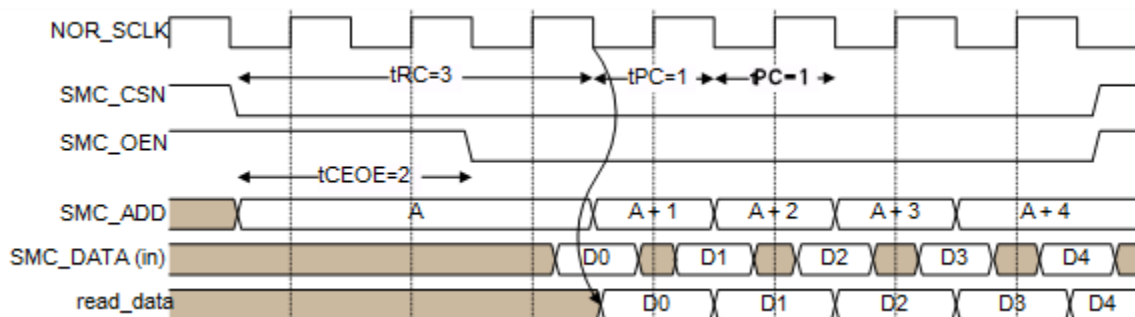


Рисунок 16.7. Асинхронное чтение страницы

Режим чтения страницы включается, если поле `rd_bl` необходимого регистра `SMC_OPMODE_*` отлично от нуля.

Замечание.

Чтение страницы в режиме мультиплексирования не поддерживается.

16.4.6 Синхронное чтение (burst)

Таблица 16.32. `SMC_OPMODE_<0-1>`, синхронное чтение (burst)

Поле	mw	rd_sync	rd_bl	wr_sync	wr_bl	baa	adv	bls	birst_align
Значение	-	b1	<burst_length>	-	-	-	b1	-	-

Таблица 16.33. `SMC_SRAM_CYCLES_<0-1>` синхронное чтение (burst)

Поле	tRC	tWC	tCEOЕ	tWP	tPC	tTR
Значение	b0100	-	b010	-	-	-

На следующем рисунке показано чтение пачки, с использованием входа `SMC_WAIT` для задержки обращения.

Синхронная память может иметь конфигурационный регистр, определяющий устанавливается ли `SMC_WAIT` на том же такте, что и задержанные данные, или на такт раньше. Контроллер поддерживает вариант, при котором `SMC_WAIT` устанавливается на такт раньше. `SMC_WAIT` сначала регистрируется под частоту `SMC_FBCLK` (`wait_reg_fbclk`), а затем под частоту `NOR_SCLK` (`wait_reg_sclk`). Подразумевается, что активный уровень сигнала `SMC_WAIT` — низкий. Поднятие сигнала `SMC_WAIT` в синхронном режиме, указывает контроллеру на то, что он может закончить операцию. Если используемая память не поднимает сигнал `SMC_WAIT` в синхронном режиме при чтении не из массива памяти (`non-array read`, обычно чтение регистра статуса), не следует выполнять чтение не из массива памяти в данном режиме.

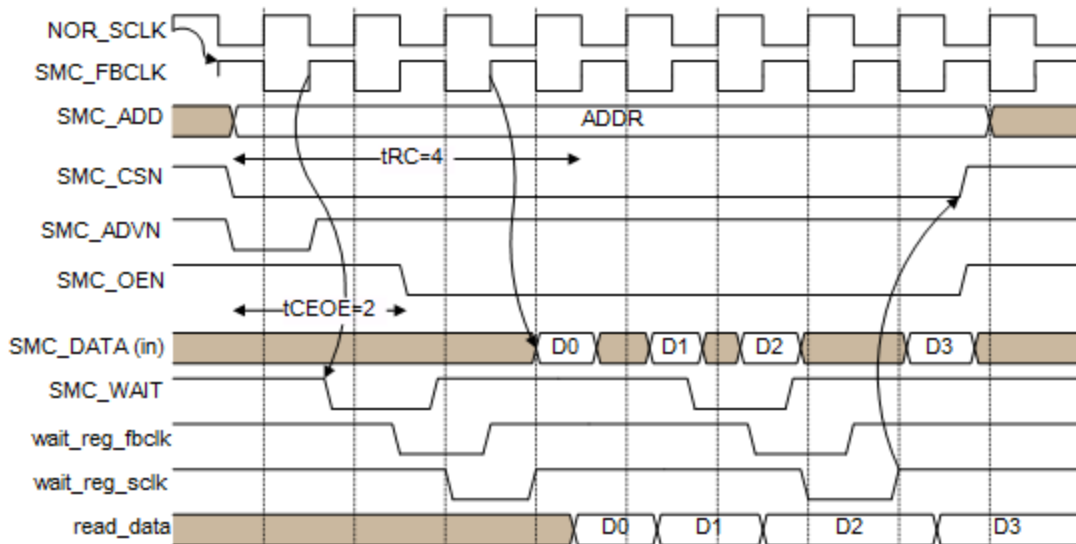


Рисунок 16.8. Синхронное чтение (burst)

16.4.7 Синхронное чтение в режиме мультиплексирования (burst)

Таблица 16.34. SMC_OPMODE_<0-1>, синхронное чтение (burst), режим мультиплексирования

Поле	mw	rd_sync	rd_bl	wr_sync	wr_bl	baa	adv	bls	burst_align
Значение	-	b1	<burst_length>	-	-	-	-	-	-

Таблица 16.35. SMC_SRAM_CYCLES_<0-1> синхронном чтение (burst), режим мультиплексирования

Поле	tRC	tWC	tCEOE	tWP	tPC	tTR
Значение	b0100	-	b010	-	-	-

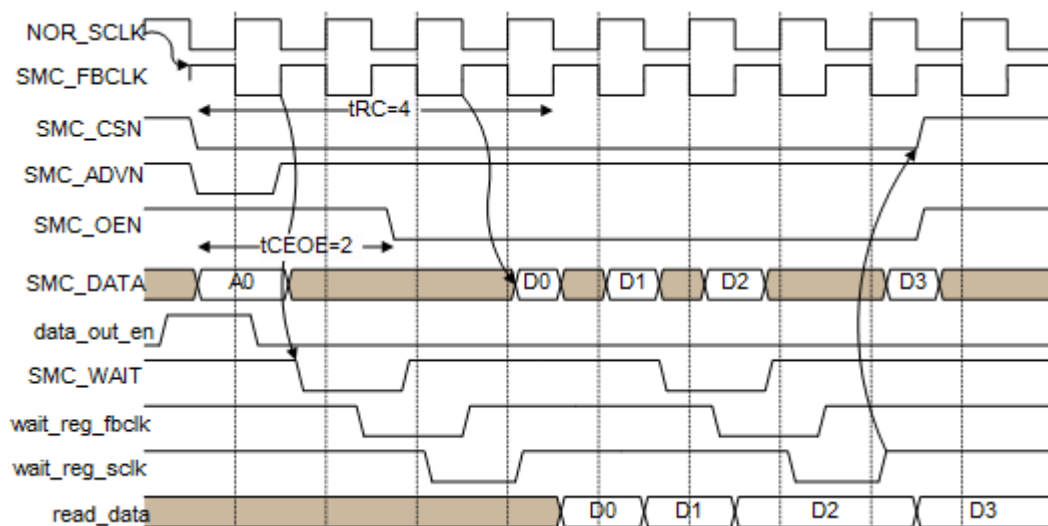


Рисунок 16.9. Синхронное чтение (burst), режим мультиплексирования

16.4.8 Синхронная запись (burst)

Таблица 16.36. SMC_OPMODE_<0-1>, Синхронная запись (burst)

Поле	mw	rd_sync	rd_bl	wr_sync	wr_bl	baa	adv	bls	birst_align
Значение	-	-	-	b1	<burst_length>	-	b1	-	-

Таблица 16.37. SMC_SRAM_CYCLES_<0-1> Синхронная запись (burst)

Поле	tRC	tWC	tCEOE	tWP	tPC	tTR
Значение	-	b0100	-	b001	-	-

SMC_WAIT сначала регистрируется под частоту SMC_FBCLK (wait_reg_fbclk), а затем под частоту NOR_SCLK (wait_reg_sclk). Подразумевается, что активный уровень сигнала SMC_WAIT — низкий.

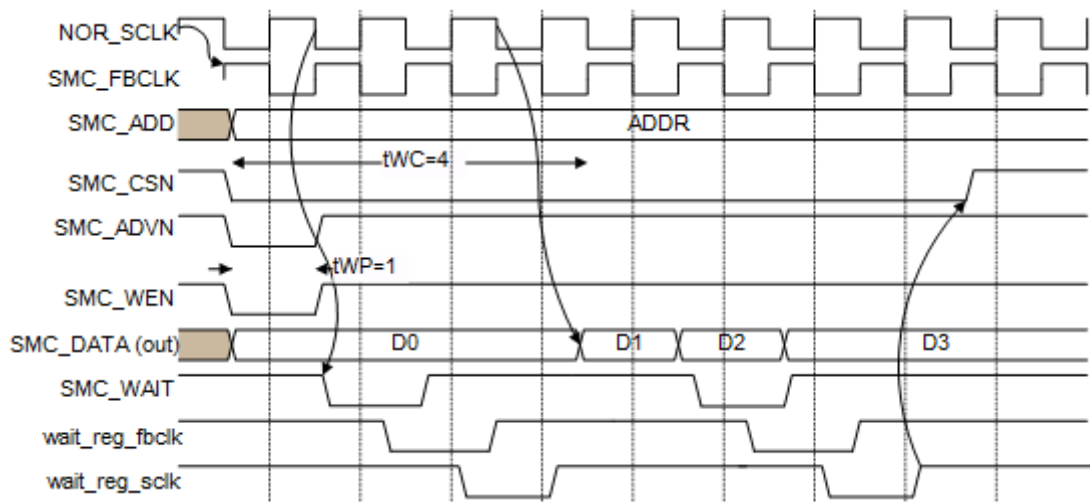


Рисунок 16.10. Синхронная запись (burst)

16.4.9 Синхронная запись в режиме мультиплексирования (burst)

Таблица 16.38. SMC_OPMODE_<0-1>, синхронная запись (burst), режим мультиплексирования

Поле	mw	rd_sync	rd_bl	wr_sync	wr_bl	baa	adv	bls	birst_align
Значение	-	-	-	b1	<burst length>	-	b1	-	-

Таблица 16.39. SMC_SRAM_CYCLES_<0-1>, синхронная запись (burst), режим мультиплексирования

Поле	tRC	tWC	tCEOE	tWP	tPC	tTR
Значение	-	b0100	-	b001	-	-

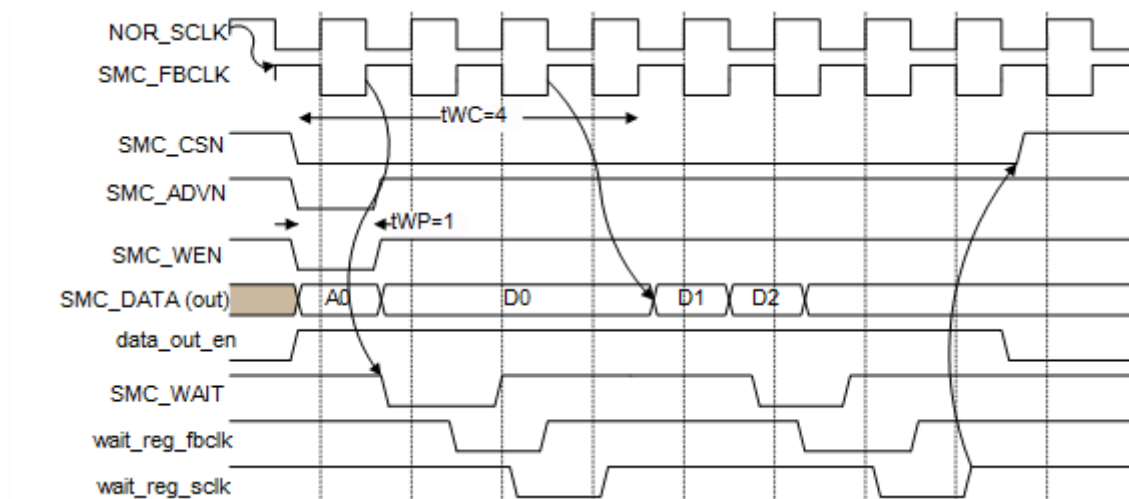


Рисунок 16.11. Синхронная запись (burst), режим мультиплексирования

16.4.10 Синхронное чтение и асинхронная запись

Таблица 16.40. SMC_OPMODE_<0-1>, синхронное чтение и асинхронная запись

Поле	mw	rd_sync	rd_bl	wr_sync	wr_bl	baa	adv	bls	birst_align
Значение	-	b1	b001	b0	b000	b0	b1	b0	-

Таблица 16.41. SMC_SRAM_CYCLES_<0-1>, синхронное чтение и асинхронная запись

Поле	tRC	tWC	tCEOE	tWP	tPC	tTR
Значение	b0100	b0110	b010	b001	-	B011

На следующем рисунке показано время t_{TR} между синхронным чтением и асинхронной записью. Время t_{TR} применимо для:

- чтений после записей;
- записей после чтения;
- чтения после чтения из памяти, подключённой к другому сигналу выбора памяти.

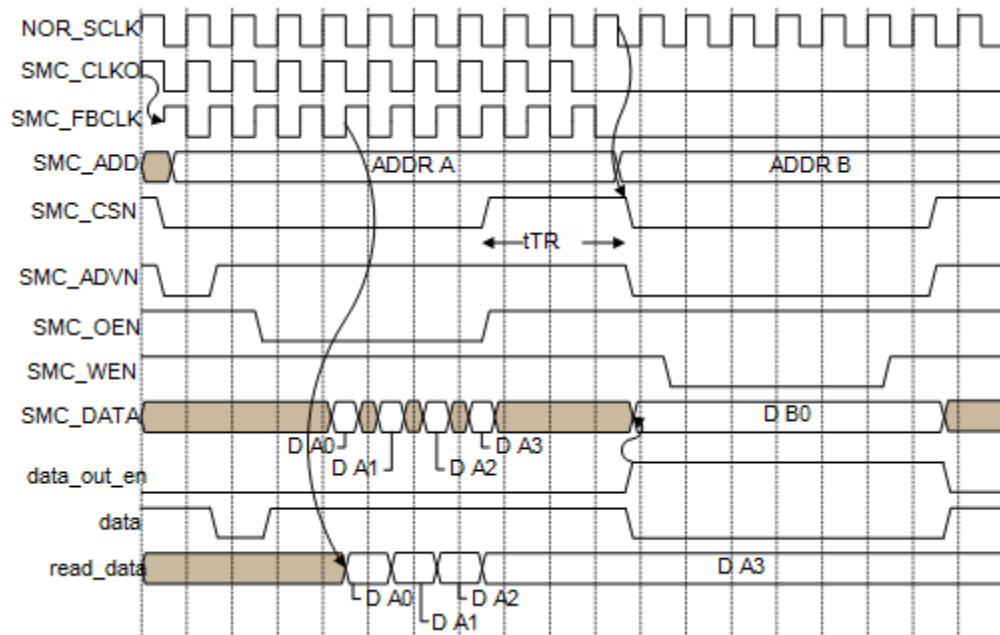


Рисунок 16.12. Синхронное чтение и асинхронная запись

16.4.11 Настройка параметров t_{RC} и t_{WC} в синхронном режиме

Настройка t_{RC} (сигнал SMC_WAIT не используется)

- Значение t_{RC} должно быть равно числу тактов после падения SMC_CSN необходимых для появления достоверных данных на шине SMC_DATA .

Настройка t_{RC} (с использованием SMC_WAIT)

- Значение t_{RC} должно быть равно числу тактов после падения SMC_CSN до появления стабильного уровня SMC_WAIT :
- $t_{RC} = 3 + t_{CEOE}$.
- Замечание - t_{CEOE} учитывается только в том случае, если SMC_WAIT был установлен в тот момент, когда SMC_OEN стал лог. «0».

Настройка t_{WC} (сигнал SMC_WAIT не используется)

- Значение t_{WC} должно быть равно числу тактов после падения SMC_CSN до окончания записи первой порции данных.

Настройка t_{WC} (с использованием SMC_WAIT)

- Значение t_{WC} должно быть равно числу тактов после падения SMC_CSN до появления стабильного уровня SMC_WAIT :
- $t_{WC} = 3$.

При работе с памятью, для которой время между установкой сигнала $WAIT$ и необходимыми данными менее трёх тактов, t_{WC} необходимо настроить как для случая без использования сигнала t_{WC} .

16.5 Настройка тактирования

При работе с NORMPORT необходимо настроить следующие частоты:

- NOR_HCLK. На этой частоте работают «Порт Памяти», «Порт Конфигурации», другая управляющая логика;
- NOR_SCLK. На этой частоте работает «Интерфейс Памяти», который управляет сигналами внешней памяти.

16.6 Работа с внешней памятью

16.6.1 Преобразование входного адреса NORMPORT к адресу внешней памяти.

Входной адрес NORMPORT – адрес запроса, приходящий к NORMPORT по внутренней шине микросхемы (адрес на входе «Порта Памяти»). Разрядность входного адреса NORMPORT - 32 разряда, адрес байтовый.

Адрес внешней памяти (выходной адрес NORMPORT) – адрес, выставяемый на шине SMC_ADD[23:0].

Старшие разряды входного адреса NORMPORT (с 31 по 24) участвуют в формировании сигналов выбора внешней памяти. При совпадении разрядов [31:24] входного адреса NORMPORT и содержимого поля `smc_address_match` регистра ADDR_CFG_0 формируется сигнал выбора внешней памяти 0. При совпадении разрядов [31:24] входного адреса NORMPORT и содержимого поля `smc_address_match` регистра ADDR_CFG_1 формируется сигнал выбора внешней памяти 1. Поле `smc_address_mask` регистра ADDR_CFG_0 и ADDR_CFG_1 определяет разряды адреса, которые участвуют в сравнении.

Младшие разряды входного адреса NORMPORT (с 24 по 1) определяют адрес начального обращения к внешней памяти (значение на шине SMC_ADD[23:0]).

Нулевой разряд входного адреса NORMPORT участвует в формировании сигналов выбора байтов SMC_BLSN[1:0].

NORMPORT поддерживает 8-, 16- и 32-разрядные обращения.

8-разрядные обращения выполняются за одну запись во внешнюю память (сигналами SMC_BLSN выбирается необходимый из байтов).

16-разрядные обращения выполняются за одну запись во внешнюю память (сигналами SMC_BLSN выбираются оба байта на шине данных).

32-разрядные обращения выполняются за два обращения. Разбиваются на две 16-разрядных записи.

16.6.2 Соответствие адреса инициируемой пересылки и адреса на входе NORMPORT

Адреса и разрядности обращений, пришедшие на вход NORMPORT, могут отличаться от адресов и разрядностей обращения инициатора.

Пример 1. CPU инициирует 32-разрядную пересылку по невыровненному адресу 0xa001 (инструкция `str`).

Со стороны NORMPORT такой запрос CPU будет выглядеть как три запроса:

1. 8-разрядное обращение по адресу 0xa001.
2. 16-разрядное обращение по адресу 0xa002
3. 8-разрядное обращение по адресу 0xa004

Пример 2. CPU инициирует 16-разрядную пересылку по невыровненному адресу 0xa001 (инструкция `strh`).

Со стороны NORMPORT такой запрос CPU будет выглядеть как два запроса:

1. 8-разрядное обращение по адресу 0xa001
2. 8-разрядное обращение по адресу 0xa002

Пример 3. CPU инициирует 16-разрядную пересылку по выровненному адресу 0xa002 (инструкция `strh`).

Со стороны NORMPORT такой запрос CPU будет выглядеть как один запрос:

1. 16-разрядное обращение по адресу 0xa002

В примерах 1 и 2 невыровненные обращения CPU преобразуются к выровненным обращениям порта памяти.

16.6.3 Мультиплексирование адреса и данных

В режиме мультиплексирования шины адреса и данных адрес обращения к внешней памяти выводится на ту же шину, что и данные (на шину `SMC_DATA`).

Для включения режима мультиплексирования необходимо установить разряд `smc_mux_mode_0` регистра `STATIC_MEM_CFG_0`.

16.6.4 Сигнал HPROT, ожидание завершения записи

Сигнал HPROT [2] шины АНВ, к которой подключён «Порт Памяти», определяет следует ли контроллеру дожидаться окончания записи данных во внешнюю память. Обычно данные для записи просто буферизуются, а затем перезаписываются во внешнюю память.

16.6.5 Порядок байтов

Порядок байтов при обращениях к внешней памяти через «Порт Памяти» определяется значением разряда `big_endian` регистра `BYTE_ORDER`. По сбросу «Порт Памяти» работает в режиме от «младшего к старшему (little-endian)». При установленном разряде `big_endian` порт работает в режиме от «старшего к младшему (big-endian)».

16.6.6 Загрузка начального кода CPU

Внешние выводы BOOT микросхемы позволяют выбрать в качестве источника загрузки начальной программы память, подключённую к микросхеме через NORMPORT. Выборка инструкций из внешней памяти начинается после снятия сигнала сброса микросхемы.

Особенности загрузки начальной программы из внешней памяти через NORMPORT:

1. Обращения к «Порту Памяти» с разрядами адреса 31:24 равными 0x00 вызывают формирование сигнала выбора внешней памяти 0 и соответствующее обращение к ней.
2. Режим мультиплексирования шины адреса и данных отключён.
3. Ширина шины данных — 16 разрядов.
4. При обращениях к внешней памяти используются циклы обращения с параметрами для наихудшего случая.

Особенности загрузки обусловлены значением по сбросу полей `smc_remap_0` и `smc_sram_mw_0` регистра `STATIC_MEM_CFG_0` и других регистров.

17. КОНТРОЛЛЕР ПАМЯТИ ТИПА NAND FLASH (NANDMPORT)

Контроллер позволяет подключать до двух памяти типа NAND Flash, соответствующих стандарту ONFI.

17.1 Общие сведения

Структурная схема NANDMPORT:

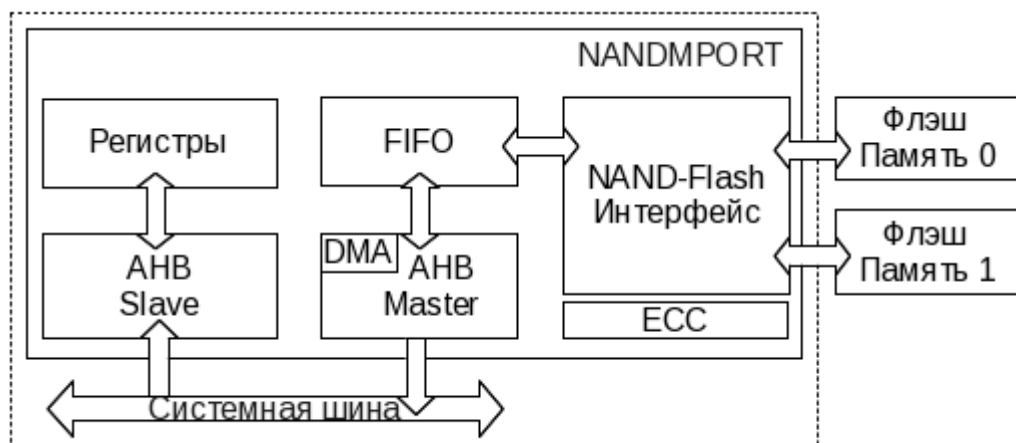


Рисунок 17.1. NANDMPORT. Структурная схема

Nand Flash Интерфейс. Nand Flash Интерфейс устанавливает сигналы управления памяти и обеспечивает обмен в соответствии со стандартами ONFI 1.0, 2.0, 2.1, 2.2. Поддерживается подключение до двух памяти.

Возможно только 8-ми разрядное подключение памяти.

Максимальная ёмкость подключаемой памяти - 128 Гбайт. Поддерживается как синхронный, так и асинхронный интерфейс. Как для синхронного, так и для асинхронного интерфейса реализованы все временные режимы (0-5).

AHB Slave. Через ведомый AHB порт осуществляется доступ процессора к управляющим регистрам NANDMPORT, операции чтения/записи флэш-памяти.

AHB Master. NANDMPORT может работать как ведущее устройство на системной шине в режиме MDMA (Master DMA). При операции записи в память AHB мастер считывает данные из системной памяти и сохраняет их в FIFO. При операции чтения из флэш-памяти AHB мастер считывает данные из FIFO и сохраняет в системную память.

FIFO. При операции чтения данные, полученные из флэш-памяти, помещаются в FIFO. А затем считываются из FIFO либо процессором (через регистры), либо встроенным блоком

DMA. При операции записи во флэш-память данные предварительно загружаются в FIFO либо процессором, либо блоком DMA. Затем данные из FIFO записываются во флэш-память. Размер встроенного FIFO — 4 Кбайта.

ECC (Error-Correcting Code). Блок ECC обеспечивает обнаружение и коррекцию ошибок в режиме NAM(код Хэмминга) и в режиме BCH(код Боуза-Чоудхури/BCH/БЧХ). В режиме NAM контроллер позволяет исправлять одиночные ошибки и обнаруживать двукратные на каждые 512 байт данных. В режиме BCH поддерживается коррекция и обнаружение 4,8,12 или 16 ошибок в блоках данных по 512 байт и 24 ошибок в блоках по 1024 байта.

Регистры. Процессор управляет конфигурацией и работой NANDMPORT через регистры. Конфигурирование включает в себя установку временных параметров, настройку адреса, размера пересылки, режима синхронизации и т.д. Через регистры производится запуск выполнения команд, чтение/запись данных из FIFO.

17.1.1 Определения и термины

Страница (Page) - наименьшая адресуемая единица для операций чтения и программирования. Страница состоит из множества байтов или слов. (см. ONFI)

Страница параметров (Parameter Page). Структура данных во флэш-памяти, которая описывает организацию флэш-памяти, поддерживаемые свойства, временные режимы и другие поведенческие параметры. Страница параметров считывается из флэш-памяти с помощью команды Read Parameter Page. (см. ONFI)

Блок (Block). Блок состоит из множества страниц и является наименьшей адресуемой единицей для операции Erase. (см. ONFI)

Регистр страницы (Page Register). Регистр страницы используется для временного хранения данных до того как они будут записаны в страницу в массиве флэш-памяти или после их чтения из массива флэш-памяти. (см. ONFI)

LUN - наименьший элемент, который может независимо выполнять команды и сообщать о своём состоянии. LUN содержит как минимум один регистр страницы и массив флэш-памяти. (см. ONFI)

Целевое устройство (Target) - независимый компонент флэш-памяти с собственным сигналом CE#. Целевое устройство может состоять из нескольких LUN. (см. ONFI)

Массив флэш (Flash Array). Массив запоминающих ячеек флэш-памяти.

Адрес флэш. Адрес состоит из адреса строки (Row Address) и адреса столбца (Column Address). (см. ONFI)

Адрес строки (Row Address) - адрес LUN, блока и страницы к которой производится обращение. (см. ONFI)

Адрес столбца (Column Address). Адрес столбца определяет байт или слово внутри страницы, к которой производится обращение. (см. ONFI)

Interleaved/Multiplane операции. При interleaved/multi-plane операциях множество команд одного типа может одновременно выполняться над различными блоками одного LUN. (см. ONFI)

NANDMPORT поддерживает следующие multi-plane операции:

1. Команда Page Program.
2. Команда Copyback Program.
3. Команда Block Erase.
4. Команда Read.
5. Команда Cache Page Program.

Пакет. Пакет NANDMPORT - порция данных, которую считывает или записывает NANDMPORT во флэш-память за одну пересылку. Количество байт внутри пакета и общее количество пакетов настраивается программно.

Spare байты/область памяти. Дополнительная резервная область страницы. В данной области размещаются контрольные данные, позволяющие обнаруживать и корректировать ошибки в основной области.

17.2 Регистры NANDMPORT

При чтении и записи регистров могут быть использованы данные размером в 8, 16 и 32 разряда.

17.2.1 Карта памяти NANDMPORT

Таблица 17.1. Список регистров NANDMPORT и их адреса

Сокращённое название	Смещение	Тип	Название
PACKET	0x0	RW	Регистр настройки пакетов
MEMADDR1	0x4	RW	Регистр адреса 1
MEMADDR2	0x8	RW	Регистр адреса 2
COMMAND	0xC	RW	Регистр команды
PROGRAM	0x10	RW	Регистр программы
INTERRUPT STATUS EN	0x14	RW	Регистр разрешения статуса прерываний
INTERRUPT SIGNAL EN	0x18	RW	Регистр разрешения сигнала прерываний
INTERRUPT STATUS	0x1C	RW	Регистр статуса прерываний
ID1	0x20	RO	Регистр ID1
ID2	0x24	RO	Регистр ID2
FLASH STATUS	0x28	RO	Регистр статуса флэш-памяти
TIMING	0x2C	RW	Регистр временных параметров
BUFFER DATA	0x30	RW	Регистр данных буфера

Сокращённое название	Смещение	Тип	Название
ECC	0x34	RW	Регистр ECC
ECC_ERROR_CNT	0x38	RO	Счётчик ошибок ECC
ECC_SPARE_CMD	0x3c	RW	Регистр команд ECC
ERROR_CNT_1BIT	0x40	RW	Счётчик 1-битных ошибок
ERROR_CNT_2BIT	0x44	RW	Счётчик 2-битных ошибок
ERROR_CNT_3BIT	0x48	RW	Счётчик 3-битных ошибок
ERROR_CNT_4BIT	0x4C	RW	Счётчик 4-битных ошибок
DMA_SYS_ADDR	0x50	RW	Системный адрес DMA
DMA_BUFFER_BOUNDARY	0x54	RW	Граница DMA пересылки
CPU_STATE	0x58	RW	Регистр состояния CPU
ERROR_COUNT_5BIT	0x5c	RW	Счётчик 5-битных ошибок
ERROR_COUNT_6BIT	0x60	RW	Счётчик 6-битных ошибок
ERROR_COUNT_7BIT	0x64	RW	Счётчик 7-битных ошибок
ERROR_COUNT_8BIT	0x68	RW	Счётчик 8-битных ошибок
RESERVED0	0x6c-0x7c	-	Зарезервировано
SLAVE_DMA_CFG	0x80	RW	Регистр конфигурации Slave DMA
RESERVED1	0x84 - 0xFF	-	Зарезервировано

17.2.2 Регистр PACKET (0x00)

Таблица 17.2. PACKET - регистр настройки пакетов

Поле	Биты	Значение по сбросу	Описание
packet_size	10:0	0	Размер пакета. Количество байт, которое должен обработать контроллер за один пакет. 11'h001 – 1 байт. 11'h002 – 2 байта. ... Типичный размер пакета в режиме коррекции ошибок VCH 4, 8, 12 и 16 бит – 512 байт. Типичный размер пакета в режиме коррекции ошибок VCH 24 бит - 1024 байт.
reserved	11	0	Зарезервировано.
packet_count	23:12	0	Количество пакетов. 12'h001 – количество пакетов = 1. ... 12'h800 - количество пакетов =2048.
reserved	31:24	0	Зарезервировано.

В следующей таблице показаны особенности настройки регистра PACKET в зависимости от выполняемой команды и выбранного временного режима (см. «Переключение временных режимов»).

Таблица 17.3. Поля регистра PACKET

Режим	Команды	packet_size (послед.)	packet_size (паралл.)	packet_count
Асинхронный	Set Features, Get Features, Read ID(ONFI)	4	8	1
Асинхронный	Read ID (JEDEC)	5	10	1
Асинхронный	Read Status, Read Status Enhanced	1	2	1
Синхронный	Set Features, Get Features, Read ID(ONFI)	8	16	1
Синхронный	Read ID (JEDEC)	10	20	1
Синхронный	Read Status, Read Status Enhanced	2	4	1

Для команд Set Features, Get Features, Read Status, Read Status Enhanced, Read ID в синхронном режиме байты данных повторяются дважды.

При последовательном способе работы с флэш-памятью общее число пересылок ($\text{packet_size} \times \text{packet_count}$) не должно превышать размер страницы флэш-памяти. Для параллельной режима (одновременно с двумя флэш-памятями) максимальный размер пересылок может быть в два раза больше размера страницы, так как поле `packet_count` для параллельного режима должно быть в два раза больше чем для последовательного.

Таблица 17.4. Пример настроек регистра PACKET для команд Read и Program

Параметр/Размер Страницы	512	2k	4k	8k
packet_size x packet_count (последов.)	512x1	512x 4	512x 8	512x 16
packet_size x packet_count (парал.)	512x 2	512x 8	512x 16	512x 32
packet_size x packet_count (последов.)	-	1024x 2	1024x 4	1024x 8
packet_size x packet_count (парал.)	-	1024x 4	1024x 8	1024x 16

17.2.3 Регистр MEMADDR1 (0x04)

Таблица 17.5. MEMADDR1 - регистр адреса 1

Поле	Биты	Значение по сбросу	Описание
column_addr	15:0	0	Адрес столбца.
page_addr	22:16	0	Адрес страницы.
lsb_block_addr	31:23	0	Адрес блока (младшие разряды). Разряды [24:23] – имеют особое значение для interleaved/mult-plane операций. 2'b00 – адрес/плоскость 0. 2'b01 – адрес/плоскость 1. 2'b10 – адрес/плоскость 2. 2'b11 – адрес/плоскость 3.

Примечание. Для команд Block Erase и Read Status Enhanced регистр MEMADDR1 должен быть запрограммирован следующим образом:

Разряды [6:0] – адрес страницы.

Разряды [8:7] – выбор одного из чередующихся адресов:

2'b00 – адрес/плоскость 0.

2'b01 – адрес/плоскость 1.

2'b10 – адрес/плоскость 2.

2'b11 – адрес/плоскость 3.

Разряды [17:9] – адрес блока.

Разряды [18] – выбор логического устройства (LUN).

1'b0 - выбран LUN0 .

1'b1 - выбран LUN1.

Разряды [31:19] – должны быть равны нулю.

17.2.4 Регистр MEMADDR2 (0x08)

Таблица 17.6. MEMADDR2 - регистр адреса 2

Поле	Биты	Значение по сбросу	Описание
msb_block_addr	1:0	0	Адрес блока (старшие разряды).
lun_addr	7:2	0	Адрес LUN. 6'h0 – выбор LUN0. 6'h1 – выбор LUN1. ...
reserved	24:8	0	Зарезервировано
nfc_bch_mode	27:25	0	Режим работы BCH: 3'b000 – 16-битный код ECC 3'b001 – 12-битный код ECC 3'b010 – 8-битный код ECC 3'b011 – 4-битный код ECC 3'b100 – 24-битный код ECC
mode	29:28	0	Режим работы с флэш-памятями. 2'b00 - Последовательный режим. 2'b01 - Параллельный режим. 2'b10 - Зарезервировано. 2'b11 - Зарезервировано.
chip_select	31:30	0	Выбор флэш-памяти. 2'b00 - флэш-память 0. 2'b01 - флэш-память 1. 2'b10 - флэш-память 2. 2'b11 - флэш-память 3.

Примечание. Для команд Block Erase и Read Status Enhanced биты [7:0] регистра MEMADDR2 должны быть равны нулю.

17.2.5 Регистр COMMAND (0x0C)

Таблица 17.7. COMMAND — регистр команды

Поле	Биты	Значение по сбросу	Описание
command1	7:0	8'h0	Код операции первой команды для флэш-памяти.
command2	15:8	8'h0	Код операции второй команды для флэш-памяти.
asyn_modes	18:16	3'd0	Асинхронный режим. 3'b000- режим 0. 3'b001- режим 1. 3'b010- режим 2. 3'b011- режим 3. 3'b100- режим 4. 3'b101- режим 5. 3'b110- зарезервировано.
asyn_syn	19	1'd0	Выбор режима синхронизации 1'd0 - асинхронный режим. 1'd1 – синхронный режим.
syn_modes	22:20	3'd0	Синхронный режим. 3'b000- режим 0. 3'b001- режим 1. 3'b010- режим 2. 3'b011- режим 3. 3'b100- режим 4. 3'b101- режим 5. 3'b110- зарезервировано.
page_size	25:23	3'd2	Размер страницы. 3'd0 – 512 байт. 3'd1 – 2К. 3'd2 – 4К. 3'd3 - 8К. 4-7 - Зарезервировано.
dma_enable	27:26	2'd0	Режим обмена данными. 2'd0 - Режим PIO. 2'd1 - Режим Slave DMA. 2'd2 - Режим MDMA. 2'd3 - Зарезервировано.
num_addr_cycles	30:28	3'd0	Число циклов адреса в команде для флэш-памяти. 3'd0 – Не используется. 3'd1 – Один цикл адреса. 3'd2- Два цикла адреса. 3'd7 – Семь циклов адреса.
ecc_on_off	31	0	Включение/отключение коррекции ошибок. 1 – ECC включён. 0 - ECC выключен.

Примечание. Значение поля **num_addr_cycles** должно быть равно:

- 0 для команд **reset**, **synchronous reset**, **read_status** (см. регистр **PROGRAM**);
- 1 для команд **read_parameter**, **get_feature**, **set_feature**, **read_id** (см. регистр **PROGRAM**);
- 3 для команд **erase**, **read_status_enhanced**, **reset_lun** (см. регистр **PROGRAM**).

Определяется значением байта «101» страницы параметров для команд **read**, **write**. Например, 101-й байт содержит значения **column address cycle** [7:4] = 2 и **row address**

cycle [3:0] = 3, в этом случае процессор должен записать в поле **num_addr_cycles** значение 5 (**column address cycle + row address cycle**).

Примечание. Значение полей **asyn_modes**, **asyn_syn**, **syn_modes**, **page_size** настраивается в соответствии со значением Страницы Параметров. Изначально флэш-память работает во временном режиме 0, таким образом, в полях **asyn_modes**, **asyn_syn**, **syn_modes** должны быть записаны нули. После смены временного режима (после выполнения команды **Set Features**) необходимо настроить эти поля в соответствии с выбранным временным режимом.

Примечание. Для команд, требующих пересылок данных (**Read**, **Program Page** и др.), существует несколько способов обмена данными:

В режиме PIO (**Processor IO**) пересылки данных выполняются процессором.

В режиме MDMA (**Master DMA**) пересылки данных (см. разряды **read**, **page_program**, **read_interleaved**, **change_read_column_enhanced**, **read_cache_start**, **read_cache_sequential**, **read_cache_random**, **read_cache_end** регистра **PROGRAM**) выполняются контроллером, при минимальном участии процессора.

Режим **Slave DMA** в данной версии контроллера не реализован.

17.2.6 Регистр PROGRAM (0x10)

Через регистр **PROGRAM** производится инициирование выдачи команд для флэш-памяти контроллером **NANDMPORT**. Запись единицы в необходимый разряд вызовет выполнение соответствующей команды. После завершения отработки команды **NANDMPORT** сбросит регистр **PROGRAM** и установит прерывание «**Transfer Complete**».

Таблица 17.8. PROGRAM - регистр программы

Поле	Биты	Значение по сбросу	Описание
read	0	1'b0	Операция чтения из флэш-памяти.
multi_die	1	1'b0	Признак Interleaved/Multiplane операции (Page Program, Read, Block Erase).
block_erase	2	1'b0	Операция Block Erase.
read_status	3	1'b0	Операция Read Status.
page_program	4	1'b0	Операция Page Program.
multi_die_rd	5	1'b0	Операция чтения из разных LUN.
read_id	6	1'b0	Операция Read ID.
read_parameter_page	7	1'b0	Операция Read Parameter Page.
reset	8	1'b0	Операция Reset.
get_features	9	1'b0	Операция Get Features.
set_features	10	1'b0	Операция Set Features.
read_unique_id	11	1'b0	Операция Read Unique ID.
read_status_enhanced	12	1'b0	Операция Read Status Enhanced.
read_interleaved	13	1'b0	Операция Interleaved/Multiplane чтения.
change_read_column_enhanced	14	1'b0	Операция Change Read Column Enhanced.
copy_back_interleaved	15	1'b0	Операция Copy Back Interleaved.
read_cache_start	16	1'b0	Контроллер выполняет операцию Read.
read_cache_sequential	17	1'b0	Операция Read Cache Sequential.
read_cache_random	18	1'b0	Операция Read Cache Random.

Поле	Биты	Значение по сбросу	Описание
read_cache_end	19	1'b0	Операция Read Cache End.
small_data_move	20	1'b0	Операция Small Data Move.
change_row_addr	21	1'b0	Операция Change Row Address.
change_row_addr_end	22	1'b0	1'b1 - контроллер завершает операцию Change Row Address.
reset_lun	23	1'b0	1'b1 - контроллер выполняет операцию сброса заданного логического устройства (LUN)
pgm_pg_reg_clr	24	1'b0	1'b1 - контроллер выполняет операцию с включённым свойством Page Register Clear Enhancement.
reserved	31:25	7'd0	Зарезервировано.

Примечание. При запуске команды разрешается устанавливать только один разряд в регистре PROGRAM (см. исключения ниже). В случае одновременной установки нескольких разрядов поведение NANDMPORT предсказать невозможно.

Примечание. Операции, для которых допускается установка двух разрядов в регистре PROGRAM:

Multi die Page Program. Установлены multi_die и page_program.

Multi die Read. Установлены разряды multi_die и read.

Multi die Block Erase. Установлены multi_die и block_erase.

Change Row Address. В начале выполнения команды необходимо установить разряды change_row_addr и page_program.

Для устройств с включённым свойством «Program Page Register Clear Enhancement» используется увеличенное время tADL. Для использования увеличенного времени tADL необходимо установить pgm_pg_reg_clr. Время применяется только к последовательностям команд Program (80h).

Примечание. Для команд, запущенных битами read и read_cache_start, выполняется обычная операция чтения. Для команды чтения, запущенной разрядом read, прерывание «Transfer Complete» установится после считывания всех байтов данных из флэш-памяти. Для команды чтения, запущенной разрядом read_cache_start, прерывание «Transfer Complete» установится после получения готовности от флэш-памяти к считыванию данных из неё.

Примечание. Разряд page_program используется для следующих команд:

1. Page Program (80h-10h).
2. Page Program Interleaving (80h-11h).
3. Page Cache Program (80h-15h).

17.2.7 Регистр INTERRUPT_STATUS_EN (0x14)

Таблица 17.9. INTERRUPT_STATUS_EN — регистр разрешение статуса прерываний

Поле	Биты	Значение по сбросу	Описание
buff_wr_rdy_sts_en	0	1'b0	Разрешение признака прерывания «Buffer Write Ready» в регистре INTERRUPT_STATUS (разряд 0). 1'b1 – разрешено. 1'b0 – запрещено.
buff_rd_rdy_sts_en	1	1'b0	Разрешение признака прерывания «Buffer Read Ready» в регистре INTERRUPT_STATUS (разряд 1). 1'b1 – разрешено. 1'b0 – запрещено.
trans_comp_sts_en	2	1'b0	Разрешение признака прерывания «Transfer Complete» в регистре INTERRUPT_STATUS (разряд 2). 1'b1 – разрешено. 1'b0 – запрещено.
mul_bit_err_sts_en	3	1'b0	Разрешение признака прерывания «Multi Bit Error» в регистре INTERRUPT_STATUS (разряд 3). 1'b1 – разрешено. 1'b0 – запрещено. Значение данного поля используется при коррекции ошибок по алгоритму Хемминга (HAM), иначе заменяется нулем.
err_intrpt_sts_en	4	1'b0	Разрешение признака прерывания «Single Bit Error» в режиме HAM или «BCH Detect Error» в режиме BCH в регистре INTERRUPT_STATUS (разряд 4). 1'b1 – разрешено. 1'b0 – запрещено.
reserved	5	1'b0	Зарезервировано.
dma_int_sts_en	6	1'b0	Разрешение признака прерывания «dma_int» в регистре INTERRUPT_STATUS (разряд 6). 1'b1 – разрешено. 1'b0 – запрещено. Используется только при пересылке в режиме MDMA, иначе заменяется нулем.
error_ahb_sts_en	7	1'b0	Разрешение признака прерывания «error_ahb» в регистре INTERRUPT_STATUS (разряд 7). 1'b1 – разрешено. 1'b0 – запрещено. Используется только при пересылке в режиме MDMA, иначе заменяется нулем.
reserved	31:8	24'h0	Зарезервировано.

17.2.8 Регистр INTERRUPT_SIGNAL_EN (0x18)

Таблица 17.10. INTERRUPT_SIGNAL_EN — регистр разрешения сигнала прерываний

Поле	Биты	Значение по сбросу	Описание
buff_wr_rdy_sig_en	0	1'b0	Разрешение установки сигнала прерывания по событию «Buffer Write Ready». 1'b1 – разрешено. 1'b0 – запрещено.
buff_rd_rdy_sig_en	1	1'b0	Разрешение установки сигнала прерывания по событию «Buffer Read Ready». 1'b1 – разрешено. 1'b0 – запрещено.
trans_comp_sig_en	2	1'b0	Разрешение установки сигнала прерывания по событию «Transfer Complete». 1'b1 – разрешено. 1'b0 – запрещено.
mul_bit_err_sig_en	3	1'b0	Разрешение установки сигнала прерывания по событию «Multi Bit Error». 1'b1 – разрешено. 1'b0 – запрещено. Значение данного поля используется при коррекции ошибок по алгоритму Хемминга (HAM), иначе заменяется нулем.
err_intrpt_sig_en	4	1'b0	Разрешение установки сигнала прерывания по событию «Single Bit Error» в режиме HAM или «BCH Detect Error» в режиме BCH. 1'b1 – разрешено. 1'b0 – запрещено.
reserved	5	1'b0	Зарезервировано.
dma_int_sig_en	6	1'b0	Разрешение установки сигнала прерывания по событию «dma_int». 1'b1 – разрешено. 1'b0 – запрещено. Используется только при пересылке в режиме MDMA, иначе заменяется нулём.
error_ahb_sig_en	7	1'b0	Разрешение установки сигнала прерывания по событию «error_ahb». 1'b1 – разрешено. 1'b0 – запрещено. Используется только при пересылке в режиме MDMA, иначе заменяется нулём.
reserved	31:8	24'h0	Зарезервировано.

17.2.9 Регистр INTERRUPT_STATUS (0x1C)

Таблица 17.11. INTERRUPT_STATUS — регистр статуса прерываний

Поле	Биты	Значение по сбросу	Описание
buff_wr_rdy_reg	0	1'b0	«Buffer Write Ready». Готовность FIFO к приёму данных от процессора. Устанавливается при условии, что в буфере достаточно места для получения блока данных от процессора.
buff_rd_rdy_reg	1	1'b0	«Buffer Read Ready». Готовность FIFO к передаче данных процессору. Устанавливается при условии, что считано достаточно данных из флэш-памяти.
trans_comp_reg	2	1'b0	«Transfer Complete». Пересылка завершена. Устанавливается после завершения выполнения заданной команды.
mul_bit_err_reg	3	1'b0	«Multi Bit Error». Устанавливается при условии, что подтверждается ошибка в нескольких битах. Используется только в режиме НАМ, иначе считается нулём.
err_intrpt_reg	4	1'b0	«Single Bit Error»/«BCH Detect Error». Устанавливается при условии, что обнаруживается ошибка BCH или одиночная ошибка в НАМ режиме.
reserved	5	1'b0	Зарезервировано.
dma_int_reg	6	1'b0	«dma_int». Установка бита происходит при достижении границы буфера в режиме MDMA. Используется только при пересылке в режиме MDMA, иначе заменяется нулём.
error_ahb_reg	7	1'b0	«error_ahb». Устанавливается при выполнении пересылки данных на системной шине в режиме MDMA, если получен отклик с признаком ошибки. Используется только при пересылке в режиме MDMA, иначе заменяется нулём.
reserved	31:8	24'h0	Зарезервировано.

Примечание. Для сброса статуса прерывания нужно записать единицу в необходимый разряд регистра INTERRUPT_STATUS.

17.2.10 Регистр ID1 (0x20)

Хранит результат выполнения команды Read ID.

Таблица 17.12. ID1 - Регистр ID1

Поле	Биты	Значение по сбросу	Описание
device_id1	31:0	32'h0	Регистр идентификатора (ID) флэш-памяти. (младшие разряды)

17.2.10.1 Регистр ID2 (0x24)

Хранит результат выполнения команды Read ID.

Таблица 17.13. ID2 - Регистр ID2

Поле	Биты	Значение по сбросу	Описание
device_id2	7:0	8'h0	Регистр идентификатора (ID) флэш-памяти. (старшие 8 разрядов).
reserved	31:8	24'h0	Зарезервировано

Примечания

1. При выполнении команды Read ID с адресом 20h (ONFI ID) считанные из флэш-памяти четыре байта сохраняются в {ID2[7:0], ID1[31:8]}.
2. При выполнении команды Read ID с адресом 00h (JEDEC ID) считанные из флэш-памяти пять байтов сохраняются в {ID2[7:0], ID1[31:0]}.

17.2.11 Регистр FLASH_STATUS (0x28)

Хранит результат выполнения команды Read Status.

Таблица 17.14. FLASH_STATUS — регистр статуса флэш-памяти

Поле	Биты	Значение по сбросу	Описание
flash_status	15:0	16'h0	Значение статуса флэш-памяти.
reserved	31:16	16'h0	Зарезервировано

Примечание. При выполнении команды Read Status результат команды записывается в регистр FLASH_STATUS, устанавливается прерывание «Transfer Complete». Только после этого процессору следует прочитать регистр FLASH_STATUS.

Примечание. При последовательном способе работы с флэш-памятью:

Разряды FLASH_STATUS [7:0] содержат значение статуса подключённого флэш-устройства.

Разряды FLASH_STATUS[15:8] установлены в ноль.

В параллельном режиме работы с флэш-памятью:

1. Разряды FLASH_STATUS [7:0] содержат значение статуса значения статуса первого флэш-устройства.
2. Разряды FLASH_STATUS [15:8] содержат значение статуса значения статуса второго флэш-устройства.

17.2.12 Регистр TIMING (0x2C)

Таблица 17.15. TIMING - Регистр временных параметров

Поле	Биты	Значение по сбросу	Описание
tccs_time	1:0	2'd0	tccs (время установки после смены столбца, см. ONFI). 2'b00 - 500 ns 2'b01 - 100 ns 2'b10 - 200 ns 2'b11 - 300 ns Поле tccs time настраивается на основе значений байтов [139:140] страницы параметров.
slow_fast_tcad	2	1'b0	tcad (Command, Address, Data delay, см. ONFI). 0 – медленное устройство (tCADs). 1 – быстрое устройство (tCADf). Поле slow_fast_tcad настраивается на основе значения байта [143] страницы параметров.
s_buff_sel	6:3	4'h6	Задержка двунаправленного сигнала dqs. Входной и выходной буфера двунаправленного сигнала dqs имеют настраиваемую задержку. Поле dqs_buff_sel позволяет изменять время задержки с шагом в 370-480 пикосекунд. Для вычисления задержки сигнала dqs необходимо умножить значение поля dqs_buff_sel на шаг задержки. Для операций чтения необходимо настроить значение данного поля, основываясь на значении tDQSQ (см. ONFI). Для операций записи необходимо настроить значение данного поля, основываясь на значении tDS (см. ONFI). Рекомендуемые значения dqs_buff_sel для операции чтения данных: 4'h6 — синхронный режим 0 4'h4 — синхронный режим 1 4'h3 — синхронный режим 2 и 3 4'h2 — синхронный режим 4 и 5 Рекомендуемые значения dqs_buff_sel для операции записи данных: 4'h6 — синхронный режим 0 и 1 4'h2 — синхронный режим 2, 3, 4 4'h1 — синхронный режим 5
tadl_time	14:7	7'd0	tadl (см. ONFI). Время между циклом адреса и загрузкой данных. Данное поле должно быть запрограммировано при операции программирования флэш-памяти, если установлен бит pgm_pg_reg_clr. Значения поля tadl_time определяются значениями байтов [154:155] страницы параметров.
reserved	31:15	25'h0	Зарезервировано.

17.2.13 Регистр BUFFER_DATA (0x30)

Таблица 17.16. BUFFER_DATA - регистр данных буфера

Поле	Биты	Значение по сбросу	Описание
data_port	31:0	32'h0	Порт доступа к данным внутреннего FIFO (буфера). Через данный регистр производится чтение/запись FIFO контроллера.

17.2.14 Регистр ECC (0x34)

Регистр используется при включённой возможности обнаружения и коррекции ошибок. Регистр настраивает адрес и размер области флэш-памяти, где находятся данные ECC, а также способ коррекции.

Таблица 17.17. ECC - регистр ECC

Поле	Биты	Значение по сбросу	Описание
ecc_addr	15:0	16'h104c	Адрес столбца (Column Address) страницы флэш-памяти, определяющий начальное местоположение кодов коррекции. Используется для формирования адреса ECC с командами Change Read Column, Change Write Column. Рекомендуется выбирать значение <code>ecc_addr = *размер страницы в байтах* + *размер spare-области* - ecc_size</code> .
ecc_size	24:16	9'h34	Задаёт количество транзакций записи или чтения для области памяти с данными ECC.
ham_bch	25	1'b1	Выбор способа коррекции. 1'b0 - HAM 1'b1 - BCH
reserved	31:26	6'h0	Зарезервировано.

Таблица 17.18. Значение поля `ecc_size` в зависимости от размера страницы и режима ECC (последовательный режим)

Размер Страницы\Режим ECC	HAM	BCH-4	BCH-8	BCH-12	BCH-16	BCH-24
512	9'h 003	9'h 007	9'h 00D	-	-	-
2k	9'h 00C	9'h 01A	9'h 034	9'h 04E	9'h 068	9'h 054
4k	9'h 018	9'h 034	9'h 068	9'h 09C	9'h 0D0	9'h 0A8
8k	9'h 030	9'h 068	9'h 0D0	9'h 138	9'h 1A0	9'h150

Таблица 17.19. Значение поля `ecc_size` в зависимости от размера страницы и режима ECC (параллельный режим)

Размер Страницы\Режим ECC	HAM	BCH-4	BCH-8	BCH-12	BCH-16	BCH-24
512	9'h 006	9'h 00E	9'h 00A	-	-	-
2k	9'h 018	9'h 034	9'h 068	-	9'h 0D0	9'h 0A8
4k	9'h 030	9'h 068	9'h 0D0	-	9'h 1A0	9'h 150
8k	9'h 060	9'h 0D0	9'h 1A0	-	-	-

17.2.15 Регистр ECC_ERROR_CNT (0x38)

Таблица 17.20. ECC_ERROR_CNT — счётчик ошибок ECC

Поле	Биты	Значение по сбросу	Описание
packet_bound_err_count	7:0	8'b0	Счётчик ошибок при чтении пакета данных. Процессор должен считывать значение данного регистра каждый раз после чтения данных размером packet_size.
page_bound_err_count	15:8	8'b0	Общий счётчик ошибок при чтении страницы. Процессор должен считывать значение данного регистра после прочтения каждой страницы.
reserved	31:16	16'h0	Зарезервировано

Содержимое данного регистра может быть считано при обработке прерывания «Transfer Complete» для следующих операций: read, multi_die_rd, change_read_column_enhanced, read_cache_sequential, read_cache_random, read_cache_end.

17.2.16 Регистр ECC_SPARE_CMD (0x3C)

Таблица 17.21. ECC_SPARE_CMD - регистр команд ECC

Поле	Биты	Значение по сбросу	Описание
ecc_spare_cmd	15:0	16'h 00	Используется для программирования кода операций ECC, которые выполняются совместно с командами Change Write Column, Change Read Column.
reserved	27:16	12'h 00	Зарезервировано
ecc_spare_num_addr_cycles	30:28	3'b000	Число циклов адреса в команде ECC для флэш-памяти. 3'b000 – Не используется 3'b001 – Один цикл ... 3'b111 — Семь циклов
reserved	31	1'b0	Зарезервировано

17.2.17 Регистры ERROR_CNT_nBIT

Регистр ERROR_CNT_1BIT — счётчик 1-битных ошибок (0x40).

Регистр ERROR_CNT_2BIT — счётчик 2-битных ошибок (0x44).

Регистр ERROR_CNT_3BIT — счётчик 3-битных ошибок (0x48).

Регистр ERROR_CNT_4BIT — счётчик 4-битных ошибок (0x4C).

Регистр ERROR_CNT_5BIT — счётчик 5-битных ошибок (0x5C).

Регистр ERROR_CNT_6BIT — счётчик 6-битных ошибок (0x60).

Регистр ERROR_CNT_7BIT — счётчик 7-битных ошибок (0x64).

Регистр ERROR_CNT_8BIT — счётчик 8-битных ошибок (0x68).

Таблица 17.22. ERROR_CNT_nBIT — счётчик n-битных ошибок (n от 1 до 8)

Поле	Биты	Значение по сбросу	Описание
error_count_n_bit	31:0	32'h 00	Количество обнаруженных n-битных ошибок. При необходимости сбрасывается процессором.

17.2.18 Регистр DMA_SYS_ADDR (0x50)

Таблица 17.23. DMA_SYS_ADDR — системный адрес DMA

Поле	Биты	Значение по сбросу	Описание
dma_sys_addr	31:0	32'h 00	Используется только в режиме MDMA. Содержит адрес системной памяти для DMA-передачи. После прекращения DMA-передачи указывает на область данных, следующую за обработанной. Доступ к регистру следует осуществлять только тогда, когда не выполняется передача (т.е. после её завершения). Чтение регистра в момент передачи возвращает недостоверное значение. Процессор должен инициализировать данный регистр перед началом DMA-транзакции. При достижении границы, заданной в регистре DMA_BUFFER_BOUNDARY, контроллер генерирует прерывание. Процессор должен обработать этот запрос и настроить адрес следующей транзакции.

17.2.19 Регистр DMA_BUFFER_BOUNDARY (0x54)

Таблица 17.24. DMA_BUFFER_BOUNDARY - граница DMA пересылки

Поле	Биты	Значение по сбросу	Описание
dma_buffer_size	2:0	3'h0	Используется только в режиме MDMA. Для выполнения больших пересылок, регистр DMA_SYS_ADDR должен обновляться процессором при достижении границы, заданной в регистре DMA_BUFFER_BOUNDARY. Данное поле определяет размер непрерывного буфера данных в системной памяти: 3'b000 - 4KB 3'b001 - 8KB 3'b010 - 16KB 3'b011 - 32KB 3'b100 - 64KB 3'b101 - 128KB 3'b110 - 256KB 3'b111 - 512KB Достижение границы для каждого из размеров буфера определяется по изменению соответствующего разряда адреса (12, 13, 14, 15, 16, 17, 18 или 19-ого) .

17.2.20 Регистр SLAVE_DMA_CFG (0x80)

Примечание. В данной реализации NANDMPORT режим SDMA не реализован.

Таблица 17.25. SLAVE_DMA_CFG - регистр конфигурации Slave DMA

Поле	Биты	Значение по сбросу	Описание
sdma_tx_rx	0	1'b0	Направление передачи данных (Запись/Чтение). 0 - Данные считываются из системной памяти во внутреннее TX FIFO, а затем записываются во флэш-память контроллером Slave DMA. 1 - Данные считываются из флэш-памяти во внутреннее RX FIFO, а затем записываются в системную память контроллером Slave DMA.
transfer_count	20:1	20'b0	Общий счётчик операций DMA. Значение счётчика декрементируется после каждой передачи данных размером в одно двойное слово (DWORD). Slave DMA инициирует передачу данных при условии, что значение данного поля не равно нулю. 20'h00001 - 1 двойное слово 20'h00002 - 2 двойных слова ... 20'hFFFFFF - 1048575 двойных слов
burst_size	23:21	3'b0	Размер пакета данных Slave DMA. Поле задаёт количество данных в пакете Slave DMA. 3'b000 - 4 двойных слова 3'b001 - 8 двойных слов 3'b010 - 16 двойных слов 3'b011 - 32 двойных слова 3'b100-3'b111- Зарезервировано Если размер данных, содержащихся в FIFO меньше, чем установленный размер пакета, контроллер установит запрос на единичную передачу.
timeout_value	27:24	4'b0	Значение счётчика ожидания DMA 4'b0000 - 2^{13} тактов 4'b0001 - 2^{14} тактов ... 4'b1110 - 2^{27} тактов Данное значение определяет максимальное время ожидания данных. Логика подсчёта превышения времени ожидания используется только при приёме данных. Счётчик начинает отсчёт, когда одно двойное слово находится в RX FIFO, и пороговый уровень не достигнут. Сбрасывается в ноль, когда достигнуто пороговое значение, или счётчик переполняется
sdma_enable	28	1'b0	Разрешение режима Slave DMA. 0 – режим запрещён. 1 – режим разрешён.
reserved	31:29	3'b0	Зарезервировано.

17.2.21 Регистр CPU_STATE (0x58)

Таблица 17.26. CPU_STATE — Регистр CPU_RELEASE (0x58)

Поле	Биты	Значение по сбросу	Описание
cpu_release	1	1'b0	Устанавливается в единицу, если загрузка кода CPU была выполнена из NAND флэш-памяти. См. «Загрузка кода CPU из NAND флэш-памяти по включению питания»
reserved	31:2	31'b0	Зарезервировано.

17.3 Описание команд

В данном разделе описаны примеры выполнения различных операций с флэш-памятью.

17.3.1 Схема выполнения команды «Без доступа к FIFO»

Для команды, не требующей от NANDMPORT пересылок данных через FIFO, обычно выполняется следующая последовательность действий:

Пункты 1-7 — инициирование команды

1. CPU разрешает формирование признака прерывания «Transfer Complete» (см. регистр INTERRUPT_STATUS_EN).
2. CPU разрешает формирование сигнала прерывания (см. регистр INTERRUPT_SIGNAL_EN).
3. CPU настраивает регистр COMMAND.
4. CPU настраивает регистр MEMADDR1.
5. CPU настраивает регистр MEMADDR2.
6. CPU инициирует выполнение команды установкой необходимого бита в регистре PROGRAM.
7. NANDMPORT выдаёт команду флэш-устройству.

Пункты 8-14 — завершение отработки команды

8. CPU ожидает прерывание «Transfer Complete».
9. По готовности флэш-памяти и завершении выполнения команды NANDMPORT устанавливает признак прерывания «Transfer Complete» в регистре INTERRUPT_STATUS.
10. Формируется физический сигнал прерывания.

11. CPU считывает регистр INTERRUPT_STATUS.
12. CPU сбрасывает бит «Transfer Complete» регистра INTERRUPT_SIGNAL_EN.
13. CPU сбрасывает бит «Transfer Complete» регистра INTERRUPT_STATUS_EN.
14. CPU сбрасывает бит «Transfer Complete» в регистре INTERRUPT_STATUS.

Можно использовать альтернативный метод работы, не используя сигнал прерывания. В этом случае разрешать формирование физического сигнала прерывания в регистре INTERRUPT_SIGNAL_EN не следует. Вместо этого CPU должен опрашивать регистр INTERRUPT_STATUS и проверять состояние разряда «Transfer complete».

17.3.2 Схема выполнения команды «С чтением из FIFO»

Для команды, требующей от CPU чтения из FIFO обычно выполняется следующая последовательность действий (пункты 1-8 – инициирование команды):

1. CPU разрешает формирование признака прерывания «Buffer Read Ready» (см. регистр INTERRUPT_STATUS_EN).
 2. CPU разрешает формирование сигнала прерывания «Buffer Read Ready» (см. регистр INTERRUPT_SIGNAL_EN).
 3. CPU настраивает регистр COMMAND.
 4. CPU настраивает регистр MEMADDR1.
 5. CPU настраивает регистр MEMADDR2.
 6. CPU настраивает регистр PACKET.
 7. При включённых возможностях ECC (автоматическом обнаружении и коррекции ошибок) CPU должен настроить содержимое регистров ECC и ECC_SPARE_CMD.
 8. CPU иницирует выполнение команды установкой необходимого бита в регистре PROGRAM.
 9. NANDMPORT выдаёт команду флэш-устройству и начинает считывать из него данные.
- Пункты 10-21 — считывание данных из FIFO.
10. CPU ожидает прерывание «Buffer Read Ready».

11. После того как в FIFO появляется хотя бы один доступный пакет данных в регистре INTERRUPT_STATUS устанавливается признак прерывания «Buffer Read Ready».
12. Формируется физический сигнал прерывания.
13. CPU считывает регистр INTERRUPT_STATUS.
14. CPU запрещает формирование сигнала прерывания «Buffer Read Ready» (см. регистр INTERRUPT_SIGNAL_EN).
15. Если число прерываний равно числу переданных пакетов, выполняется шаг 16, иначе шаг 17.
16. CPU разрешает формирование признака прерывания «Transfer Complete» (см. регистр INTERRUPT_STATUS_EN). Далее шаг 18.
17. CPU сбрасывает бит «Buffer Read Ready» регистра INTERRUPT_STATUS_EN.
18. CPU сбрасывает бит «Buffer Read Ready» регистра INTERRUPT_STATUS.
19. CPU считывает пакет данных через регистр BUFFER_DATA.
20. Если число прерываний равно числу переданных пакетов, выполняется шаг 23, иначе шаг 21.
21. CPU разрешает формирование признака прерывания «Buffer Read Ready» (см. регистр INTERRUPT_STATUS_EN).
22. CPU разрешает формирование сигнала прерывания «Buffer Read Ready» (см. регистр INTERRUPT_SIGNAL_EN). Далее шаг 10.
- Пункты 23-30 — завершение отработки команды.
23. CPU разрешает формирование сигнала прерывания «Transfer Complete» (см. регистр INTERRUPT_SIGNAL_EN).
24. CPU ожидает прерывание «Transfer Complete».
25. После завершения пересылки всех байтов данных для CPU NANDMPORT устанавливает признак прерывания «Transfer Complete» в регистре INTERRUPT_STATUS.
26. Формируется физический сигнал прерывания.
27. CPU считывает регистр INTERRUPT_STATUS.

28. CPU сбрасывает бит «Transfer Complete» регистра INTERRUPT_SIGNAL_EN.

29. CPU сбрасывает бит «Transfer Complete» регистра INTERRUPT_STATUS_EN.

30. CPU сбрасывает бит «Transfer Complete» в регистре INTERRUPT_STATUS.

Можно использовать альтернативный метод работы, не используя сигнал прерывания. В этом случае разрешать формирование физического сигнала прерывания в регистре INTERRUPT_SIGNAL_EN не следует. Вместо этого CPU должен опрашивать регистр INTERRUPT_STATUS и проверять состояние разрядов «Transfer Complete», «Buffer Read Ready».

17.3.3 Схема выполнения команды «С записью в FIFO»

Для команды, требующей от CPU записи в FIFO, обычно выполняется следующая последовательность действий:

Пункты 1-8 – инициирование команды

1. CPU разрешает формирование признака прерывания «Buffer Write Ready» (см. регистр INTERRUPT_STATUS_EN).
2. CPU разрешает формирование сигнала прерывания «Buffer Write Ready» (см. регистр INTERRUPT_SIGNAL_EN).
3. CPU настраивает регистр COMMAND.
4. CPU настраивает регистр PACKET.
5. CPU настраивает регистр MEMADDR1.
6. CPU настраивает регистр MEMADDR2.
7. При включённых возможностях ECC (автоматическом обнаружении и коррекции ошибок) CPU должен настроить содержимое регистров ECC и ECC_SPARE_CMD.
8. CPU иницирует выполнение команды установкой необходимого бита в регистре PROGRAM.
9. NANDMPORT выдаёт команду флэш-устройству и начинает выполнять её.

Пункты 10-22 — запись данных в FIFO.

10. CPU ожидает прерывание «Buffer Write Ready».

11. Если в FIFO достаточно места для приёма данных от CPU, в регистре INTERRUPT_STATUS устанавливается признак прерывания «Buffer Write Ready».

12. Формируется физический сигнал прерывания.
 13. CPU считывает регистр INTERRUPT_STATUS.
 14. CPU запрещает формирование сигнала прерывания «Buffer Write Ready» (см. регистр INTERRUPT_SIGNAL_EN).
 15. Если число прерываний равно числу переданных пакетов, выполняется шаг 16, иначе шаг 17.
 16. CPU разрешает формирование признака прерывания «Transfer Complete» (см. регистр INTERRUPT_STATUS_EN). Далее шаг 18.
 17. CPU сбрасывает бит «Buffer Write Ready» регистра INTERRUPT_STATUS_EN.
 18. CPU сбрасывает бит «Buffer Write Ready» регистра INTERRUPT_STATUS.
 19. CPU записывает пакет данных в FIFO через регистр BUFFER_DATA.
 20. Если число прерываний равно числу переданных пакетов, выполняется шаг 23, иначе шаг 21.
 21. CPU разрешает формирование признака прерывания «Buffer Write Ready» (см. регистр INTERRUPT_STATUS_EN).
 22. CPU разрешает формирование сигнала прерывания «Buffer Write Ready» (см. регистр INTERRUPT_SIGNAL_EN). Далее шаг 10.
- Пункты 23-31 — завершение обработки команды.
23. После того как все байты данных будут записаны во флэш-память NANDMPORT завершает выполнение команды.
 24. CPU разрешает формирование сигнала прерывания «Transfer Complete» (см. регистр INTERRUPT_SIGNAL_EN).
 25. CPU ожидает прерывание «Transfer Complete».
 26. После завершения пересылки всех байтов данных NANDMPORT устанавливает признак прерывания «Transfer Complete» в регистре INTERRUPT_STATUS.
 27. Формируется физический сигнал прерывания.
 28. CPU считывает регистр INTERRUPT_STATUS.
 29. CPU сбрасывает бит «Transfer Complete» регистра INTERRUPT_SIGNAL_EN.

30. CPU сбрасывает бит «Transfer Complete» регистра INTERRUPT_STATUS_EN.

31. CPU сбрасывает бит «Transfer Complete» в регистре INTERRUPT_STATUS.

Можно использовать альтернативный метод работы, не используя сигнал прерывания. В этом случае разрешать формирование физического сигнала прерывания в регистре INTERRUPT_SIGNAL_EN не следует. Вместо этого CPU должен опрашивать регистр INTERRUPT_STATUS и проверять состояние разрядов «Transfer Complete», «Buffer Write Ready».

17.3.4 Команда Reset

Команда Reset (FFh) должна быть первой командой после включения питания флэш-памяти.

Команда Reset выполняется по схеме «Без доступа к FIFO», со следующими особенностями:

- настройку регистра MEMADDR1 можно не производить;
- в регистр COMMAND записывается значение 0xFF;
- в регистре PROGRAM необходимо установить бит reset.

17.3.5 Команда Read Status

Команда Read Status используется для получения статуса последней выполненной операции.

Данная команда выполняется по схеме «Без доступа к FIFO», со следующими особенностями:

1. Настройку регистра MEMADDR1 можно не производить.
2. Перед запуском команды через регистр PROGRAM необходимо дополнительно настроить регистр PACKET.
3. В регистре PROGRAM необходимо установить бит read_status.

После выполнения команды процессор может произвести чтение регистра FLASH_STATUS (данные о состоянии последней операции были загружены из флэш-памяти в этот регистр в результате выполнения команды).

17.3.6 Команда Read ID

С помощью команды Read ID определяется соответствие целевого устройства стандарту ONFI.

Команда Read ID с адресом 20h – соответствие стандарту ONFI.

Команда Read ID с адресом 00h – JEDEC ID.

Данная команда выполняется по схеме «Без доступа к FIFO», со следующими особенностями:

1. Перед запуском команды через регистр PROGRAM необходимо дополнительно настроить регистр PACKET.
2. В регистре PROGRAM необходимо установить бит read_id.

После выполнения команды процессор может произвести чтение регистров ID1 и ID2 (данные из флэш-памяти были загружены в эти регистры в результате выполнения команды). При выполнении команды Read ID с адресом 20h (ONFI ID) считанные из флэш-памяти четыре байта сохраняются в {ID2[7:0], ID1[31:8]}. При выполнении команды Read ID с адресом 00h (JEDEC ID) считанные из флэш-памяти пять байтов сохраняются в {ID2[7:0], ID1[31:0]}.

17.3.7 Команда Read Parameter Page

Команда Read Parameter Page получает информацию об организации, характеристиках, временных параметрах и другие особенностях целевого устройства.

Данная команда выполняется по схеме «С чтением из FIFO», со следующей особенностью:

в регистре PROGRAM необходимо установить бит read_parameter_page.

17.3.8 Команда Page Program без ECC

Данная команда осуществляет передачу страницы данных или части страницы данных, определяемой адресом столбца, в регистр страницы. Содержимое регистра страницы затем пересылается в массив флэш-памяти по заданному адресу строки.

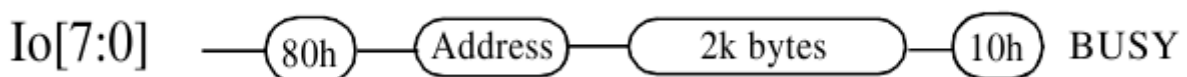


Рисунок 17.2. Команда Page Program (без ECC)

Данная команда выполняется по схеме «Команды с записью в FIFO», со следующей особенностью: в регистре PROGRAM установлен бит page_program.

При последовательном способе работы с флэш-памятью общее число пересылок ($\text{packet_size} \times \text{packet_count}$) не должно превышать размер страницы флэш-памяти. Для параллельного режима (одновременно с двумя флэш-памятями) максимальный размер пересылок может быть в два раза больше размера страницы, так как поле packet_count для параллельного режима должно быть в два раза больше чем для последовательного.

Пример.

При последовательном режиме работы и размере страницы 8k можно выбрать следующие значения полей регистра PACKET:

$\text{packet_size} = 512, \text{packet_count} = 16.$

В параллельном режиме работы и размере страницы 8k можно выбрать следующие значения полей регистра PACKET:

$\text{packet_size} = 512, \text{packet_count} = 32.$

17.3.9 Команда Page Program с ECC

Данная команда осуществляет передачу страницы или части страницы данных, определяемой адресом столбца, в регистр страницы. Содержимое регистра страницы затем пересылается в массив флэш-памяти по заданному адресу строки.

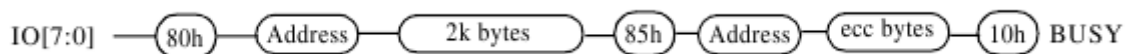


Рисунок 17.3. Команда Page Program (с ECC)

Данная команда выполняется по схеме «С записью в FIFO», со следующими особенностями:

1. В регистре PROGRAM установлен бит page_program .
2. В регистре COMMAND установлен бит ECC_ON_OFF
3. В регистре ECC:

 4. Для НАМ поле $\text{ham_bch} = 0, \text{ecc_addr} = 0x834, \text{ecc_size} = 0x0c.$
 5. Для BCH поле $\text{ham_bch} = 1, \text{ecc_addr} = 0x826, \text{ecc_size} = 0x1a.$

6. В регистре ECC_SPARE_CMD :

 7. Поле $\text{ecc_spare_cmd} = 0x0085$ (Change Write Column).
 8. Поле $\text{ecc_spare_num_addr_cycles} = 0x02.$

Байты данных, записанные в FIFO для пересылки во флэш-память, подаются на вход модуля ECC для вычисления контрольных разрядов ECC. Контрольные разряды вычисляются для каждой последовательности из 512 байт.

После того как все пакеты данных переданы во флэш-память, NANDMPORT выполняет команду $0x85$ (Change Write Column) с двумя адресными циклами. После чего

NANDMPORT записывает вычисленные контрольные разряды в резервную область флэш-памяти.

Примечание. Значения поля `ecc_addr` 0x834 или 0x826 используется для страницы размером 2k. Данные значения выбраны таким образом, чтобы записать контрольные разряды ECC в последние свободные резервные (`spare`) байты данной страницы.

Адрес контрольных разрядов для страницы размером 2k в режиме HAM = общее количество байтов в странице – длина кода ECC = 0x840 - 0x0C = 0x834.

Адрес контрольных разрядов для страницы размером 2k в режиме BCH = общее количество байтов в странице – длина кода ECC = 0x840 - 0x0A = 0x826.

Примечание. Подробнее о значениях полей регистра ECC см. в пункте «Регистр ECC».

Примечание. Для режима HAM, страницы размером 512 при синхронном подключении, разряд `ecc_on_off` в регистре COMMAND должно быть нулем.

Для режима BCH-4, страницы размером 512 при синхронном подключении, разряд `ecc_on_off` в регистре COMMAND должно быть нулем.

17.3.10 Команда Page Program для spare области

Программирование резервной области выполняется аналогично обычной команде программирования. Адрес области для программирования должен указывать на резервную область.



Рисунок 17.4. Команда Page Program (spare)

Таблица 17.27. Рекомендуемые параметры программирования резервной области

Параметр\Размер страницы	2k	4k	8k
Количество байт в spare пересылке	<= 64	<= 128	<= 256
MEMADDR1	> 0x7FF	> 0xFFF	> 0x1FFF

17.3.11 Команда Read без ECC

Команда считывает страницу данных, заданную адресом строки для заданного LUN. Страница данных становится доступной для чтения из регистра страницы, начиная с заданного адреса столбца.

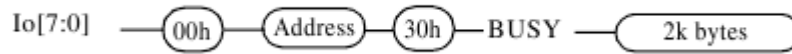


Рисунок 17.5. Команда Чтение (без ECC)

Данная команда выполняется по схеме «С чтением из FIFO», со следующей особенностью: в регистре PROGRAM необходимо установить бит read.

17.3.12 Команда Read с ECC

Команда считывает страницу данных, заданную адресом строки для заданного LUN. Страница данных становится доступной для чтения из регистра страницы, начиная с заданного адреса столбца.

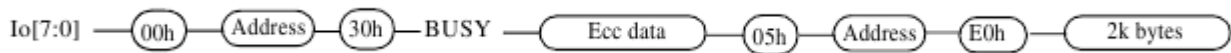


Рисунок 17.6. Команда Чтение (с ECC)

Данная команда выполняется по схеме «С чтением из FIFO», со следующими особенностями:

1. В пунктах 1 и 2 дополнительно разрешить прерывания «Single Bir Error», «Multi Bir Error».
2. В регистре COMMAND (пункт 3) необходимо разрешить возможности ECC (разряд ecc_on_off).
3. Необходимо настроить ECC регистры (пункт 7).
4. Регистр ECC (0x34).
5. Для HAM поле ham_bch = 0, ecc_addr = 0x834, ecc_size = 0x0c.
6. Для BCH поле ham_bch = 1, ecc_addr = 0x826, ecc_size = 0x1a.
7. Регистр ECC_SPARE_CMD (0x3c).
8. Поле ecc_spare_cmd = 0xe005 (Change Read Column).
9. Поле num_of_addr_cycles = 0x02.
10. В регистре PROGRAM (пункт 8) установить разряд read.

Сначала NANDMPORT выполнит команду Read с адресом заданным в регистре ECC и произведёт считывание контрольных байтов. После этого NANDMPORT выполнит команду Change Read Column с двумя циклами адреса и приступит к считыванию данных из основной области. Данные, считанные из основной области флэш-памяти в FIFO,

подаются на вход блока ECC для вычисления контрольных разрядов ECC. Контрольные разряды ECC вычисляются для каждого блока из 512 байт. Блок ECC осуществляет проверку вычисленного кода ECC со считанным из флэш-памяти.

Настройка полей `ecc_size`, `ecc_addr` регистра ECC выполняется аналогично команде Page Program (с ECC).

17.3.13 Команда Read для spare области

Чтение из резервной области выполняется аналогично обычной команде чтения. Адрес считываемой области должен указывать на резервную область.

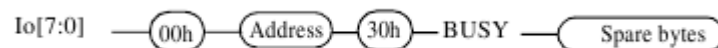


Рисунок 17.7. Чтение из резервной области

Ограничения на MEMADDR1 и размер пересылок аналогично команде Page Program для spare области.

17.3.14 Команда Block Erase

Команда Block Erase стирает блок данных, определяемый адресом блока в заданном логическом устройстве (LUN).

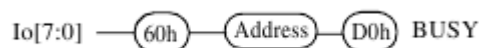


Рисунок 17.8. Команда Block Erase

Данная команда выполняется по схеме «Без доступа к FIFO», со следующими особенностями:

- `COMMAND[15:0] = 0xD060`;
- в регистре PROGRAM необходимо установить бит `block_erase`.

17.3.15 Команда Multi-plane Page Program

Команда Multi-plane Page Program (80h-11h) позволяет производить одновременную пересылку нескольких регистров страниц в различные блоки массива флэш-памяти, что позволяет увеличить производительность системы. Для того чтобы выполнить операцию программирования одновременно над несколькими блоками, необходимо перед командой Page Program (80h-10h) добавить одну или несколько команд Multi-plane Page Program.

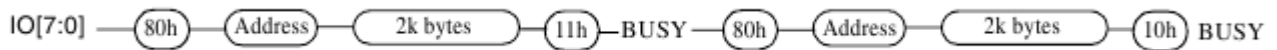


Рисунок 17.9. Multi-plane Page Program

Пример использования Multi-plane Page Program:

1. Команда Multi-plane Page Program выполняется по схеме «С записью в FIFO» со следующими особенностями:

COMMAND[15:0] = 0x1180.

В регистре PROGRAM необходимо установить бит page_program.

2. Команда Page Program выполняется по схеме «С записью в FIFO», со следующими особенностями:

COMMAND[15:0] = 0x1080.

В регистре PROGRAM необходимо установить бит page_program.

17.3.16 Команды Multi-plane Copyback

Обычная операция копирования памяти состоит из двух шагов:

1. Выполняется команда Copyback Read.

Команда загружает заданную страницу в регистр страницы.

2. Выполняется команда Copyback Program

Команда программирует заданную страницу содержимым регистра страницы.

Для увеличения производительности можно использовать команды Multi-plane Read и Multi-plane Copyback Program.

Чтобы выполнить одновременное копирование нескольких страниц в различные регистры страниц, необходимо перед командой Copyback Read (00h-35h) добавить одну или несколько команд Multi-plane Read (00h-32h).

Чтобы выполнить одновременное программирование нескольких страниц из различных регистров страниц необходимо перед командой Copyback Program (85h-10h) добавить одну или несколько команд Multi-plane Copyback Program (85h-11h).

Следующая последовательность команд позволяет произвести одновременное копирование двух блоков памяти:

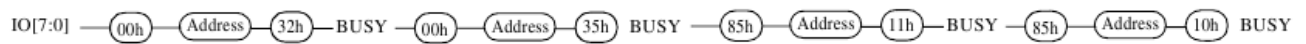


Рисунок 17.10. Одновременное копирование двух блоков в одном LUN

Пример одновременного копирования двух блоков в одном LUN:

1. Команда Read Multi-plane выполняется по схеме «Без доступа к FIFO», со следующими особенностями:

В регистре PROGRAM необходимо установить бит `copy_back_interleaved`.

COMMAND[15:0] = 0x3200.

2. Команда начинает загрузку заданной страницы в регистр страницы и разрешает выполнение следующей команды, не дожидаясь завершения текущей.

Выполняется команда `Copyback Read` по схеме «Без доступа к FIFO», со следующими особенностями:

В регистре PROGRAM необходимо установить бит `copy_back_interleaved`.

COMMAND[15:0] = 0x3500.

Команда загружает следующую необходимую страницу в другой регистр страницы (определяется адресом блока). Таким образом выполняется параллельное копирование двух разных областей памяти в соответствующие регистры страниц.

3. Выполняется команда `Copyback Program Multi-plane` по схеме «Без доступа к FIFO», со следующими особенностями:

В регистре PROGRAM необходимо установить бит `copy_back_interleaved`.

COMMAND[15:0] = 0x1185.

Команда начинает сохранение регистра страницы в необходимую область памяти и разрешает выполнение следующей команды, не дожидаясь завершения текущей.

4. Выполняется команда `Copyback Program` по схеме «Команды без доступа к FIFO», со следующими особенностями:

В регистре PROGRAM установлен бит `copy_back_interleaved`.

COMMAND[15:0] = 0x1085.

Команда выполняет сохранение другого регистра страницы в необходимую область памяти. Таким образом, выполняется одновременное программирование двух различных областей памяти.

Замечание.

При выполнении multi-plane операций необходимо учитывать ограничения на адреса областей памяти (см. стандарт ONFI).

17.3.17 Команда Multi-plane Block Erase

Команда Multi-plane Block Erase (60h-D1h) позволяет производить одновременное стирание более чем одного блока в массиве флэш-памяти, что позволяет увеличить производительность системы. Для того чтобы выполнить команду Erase одновременно над несколькими блоками, необходимо перед командой Erase Block (60h-D0h) добавить одну или несколько команд Multi-plane Block Erase.

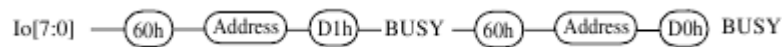


Рисунок 17.11. Одновременное стирание двух блоков памяти в одном LUN

Пример одновременного стирания двух блоков памяти в одном LUN:

1. Выполняется команда Block Erase Multi-plane по схеме «Команды без доступа к FIFO», со следующими особенностями:

В регистре PROGRAM установлен разряд block_erase.

COMMAND[15:0] = 0xD160.

2. Выполняется команда Block Erase (см. Описание команды Block Erase)

17.3.18 Команда Multi-plane Read

Команда Read Multi-plane (00h-32h) позволяет производить одновременную загрузку нескольких страниц в различные регистры страниц, что позволяет увеличить производительность системы. Для того чтобы выполнить команду чтения над несколькими блоками одновременно, необходимо перед командой Read (00h-30h) добавить одну или несколько команд Read Multi-plane. Выбор блока для считывания данных из флэш-памяти после её готовности осуществляется командой Change Read Column Enhanced (06h-E0h).



Рисунок 17.12. Ускоренное чтение двух блоков памяти из одного LUN

Ускоренное чтение двух блоков памяти из одного LUN:

1. Выполняется команда Read Multi-plane по схеме «Без доступа к FIFO» со следующими особенностями:

В регистре PROGRAM установлен бит read_interleaved.

COMMAND[15:0] = 0x3200.

2. Выполняется команда Read по схеме «Без доступа к FIFO» со следующими особенностями:

В регистре PROGRAM установлен бит read_interleaved.

COMMAND[15:0] = 0x3000.

3. Выполняется команда Change Read Column Enhanced по схеме «С чтением из FIFO» со следующими особенностями:

В PROGRAM установлен бит read_column_enhanced.

COMMAND[15:0] = 0xE006.

4. Выполняется команда Change Read Column Enhanced по схеме «С чтением из FIFO» со следующими особенностями:

В PROGRAM установлен бит read_column_enhanced.

COMMAND[15:0] = 0xE006.

17.3.19 Команда Multi-plane Read с ECC

Команда Read Multi-plane (00h-32h) позволяет производить одновременную загрузку нескольких страниц в различные регистры страниц, что позволяет увеличить производительность системы. Для того чтобы выполнить команду чтения над несколькими блоками одновременно, необходимо перед командой Read (00h-30h) добавить одну или несколько команд Read Multi-plane. Выбор блока для считывания данных из флэш-памяти после её готовности осуществляется командой Change Read Column Enhanced (06h-E0h).

Если требуется обновить адрес столбца (адрес байта внутри страницы) без смены LUN, блока или плоскости вместо команды Change Read Column Enhanced может быть использована команда Change Read Column (05h-E0h).

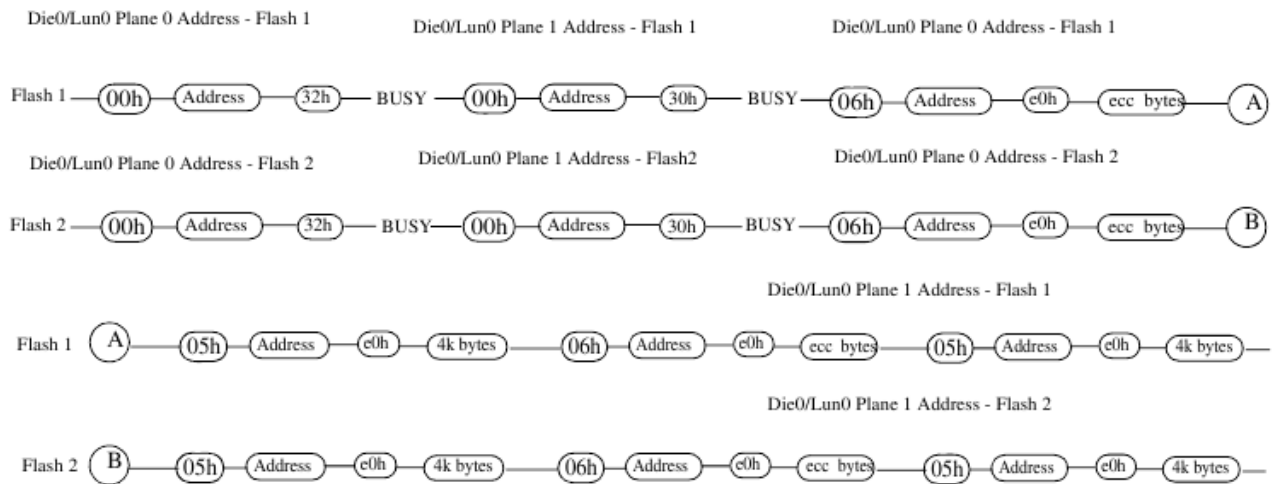


Рисунок 17.13. Одновременное чтение двух блоков памяти из разных флэш-памятей, с ECC для страницы 2к

Параллельное считывание областей из двух разных флэш-памятей (параллельный режим с кодом коррекции ECC):

1. Выполняется команда Multi-plane Read по схеме «Без доступа к FIFO» со следующими особенностями:

В регистре PROGRAM установлен бит read_interleaved.

COMMAND[15:0] = 0x3200.

2. Выполняется команда Read по схеме «Без доступа к FIFO» со следующими особенностями:

В регистре PROGRAM установлен бит read_interleaved.

COMMAND[15:0] = 0x3000.

3. Выполняется команда Change Read Column Enhanced по схеме «С чтением из FIFO» со следующими особенностями:

COMMAND[15:0] = 0xE006, COMMAND[ecc_on_off] = 1

В регистре PROGRAM необходимо установить бит change_read_column_enhanced.

Регистр ECC = 0x0268080C (ecc_addr=16'h080C, ecc_size= 9'h68, ham_bch = 1).

Значение регистра ECC_SPARE_CMD равно 0x2000e005 (ecc_spare_cmd=16'he005, number_of_addr_cycles=3'h2).

В результате запуска команды NANDMPORT выполнит команду Change Read Column Enhanced и считывает байты ECC, а затем выполнит команду Change Read Column и считывает байты основных данных.

4. Выполняются команда Change Read Column Enhanced по схеме «С чтением из FIFO» со следующими особенностями:

COMMAND[15:0] = 0xE006, COMMAND[ECC_ON_OFF] = 1

В регистре PROGRAM необходимо установить бит change_read_column_enhanced.

Регистр ECC = 0x0268080C (ecc_addr=16'h080C, ecc_size= 9'h68, ham_bch = 1).

Значение регистра ECC_SPARE_CMD равно 0x2000e005 (ecc_spare_cmd=16'he005, number_of_addr_cycles=3'h2).

В результате запуска команды NANDMPORT выполнит команду Change Read Column Enhanced и считывает байты ECC, а затем выполнит команду Change Read Column и считывает байты основных данных.

17.3.20 Команда Page Cache Program (2 interleaved адреса)

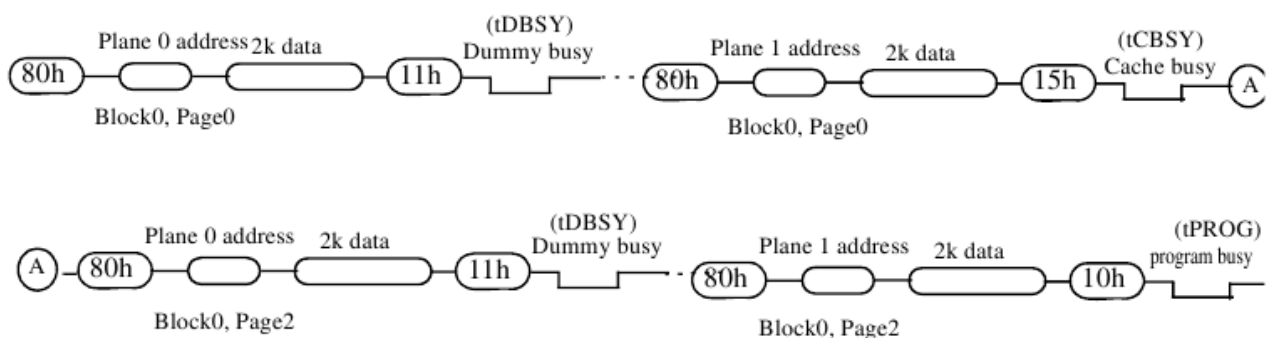


Рисунок 17.14. Page Cache Program (2 interleaved адреса)

Выполнение последовательности:

1. Выполняется команда Multi-plane Page Program.
2. Выполняется команда Page Cache Program по схеме «С записью в FIFO» со следующими особенностями:

В регистре PROGRAM установлен бит page_program.

3. Выполняется команда Multi-plane Page Program.
4. Выполняется команда Page Program.

17.3.21 Команда Page Cache Program

Команда Page Cache Program (80h-15h) используется для увеличения производительности операций программирования.

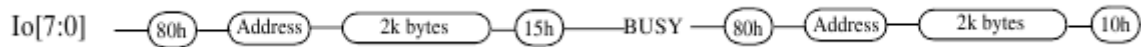


Рисунок 17.15. Page Cache Program

Пример использования:

1. Команда Page Cache Program выполняется по схеме «С записью в FIFO» со следующими особенностями:

COMMAND[15:0] = 0x1580.

В регистре PROGRAM необходимо установить бит page_program.

2. Команда Page Program выполняется по схеме «С записью в FIFO», со следующими особенностями:

COMMAND[15:0] = 0x1080.

В регистре PROGRAM необходимо установить бит page_program.

17.3.22 Команда Read Cashe Sequential

Использование серии команд Read Cache Sequential (31h) позволяет увеличить скорость передачи данных. Этого достигается за счёт того, что во момент выдачи данных из регистра кэша, новая (следующая, последовательная) страница данных загружается из массива флэш-памяти в регистр данных.

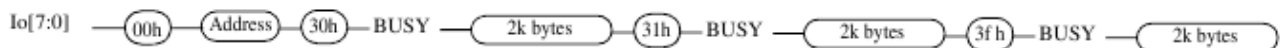


Рисунок 17.16. Read Cache Sequential

Пример использования:

1. Выполняется команда Read по схеме «Без доступа к FIFO» со следующими особенностями:

COMMAND[15:0] = 0x3000.

В регистре PROGRAM необходимо установить бит read_cache_start.

2. Выполняется команда Read Cashe Sequential по схеме «С чтением из FIFO», со следующими особенностями:

COMMAND[7:0] = 0x31.

В PROGRAM необходимо установить бит read_cache_sequential.

3. Выполняется команда Read Cashe End по схеме «С чтением из FIFO», со следующими особенностями:

COMMAND[7:0] = 0x3F.

В PROGRAM необходимо установить бит read_cache_end.

17.3.23 Команда Read Cashe Random

Команда Read Cache Random (00h-31h) начинает копирование заданной страницы из массива флэш-памяти в соответствующий регистр данных.

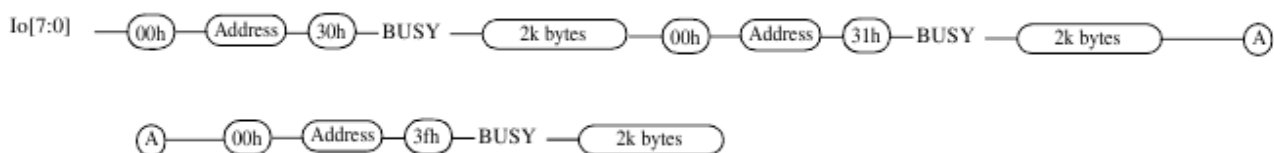


Рисунок 17.17. Read Cache Random

Пример использования:

1. Выполняется команда Read по схеме «Без доступа к FIFO» со следующими особенностями:

COMMAND[15:0] = 0x3000.

В регистре PROGRAM необходимо установить бит read_cache_start.

2. Выполняется команда Read Cashe Random по схеме «С чтением из FIFO», со следующими особенностями:

COMMAND[15:0] = 0x3100.

В PROGRAM необходимо установить бит read_cache_random.

3. Выполняется команда Read Cashe End по схеме «С чтением из FIFO», со следующими особенностями:

COMMAND[7:0] = 0x3F.

В PROGRAM необходимо установить бит read_cache_end.

17.3.24 Выбор LUN/die

LUN - наименьший элемент, который может независимо выполнять команды и сообщать о своём состоянии. Для увеличения производительности при работе с устройствами, которые состоят из нескольких LUN, можно параллельно выполнять операции с разными LUN. NADMPORT поддерживает следующие операции над несколькими LUN:

1. Page Program LUN0, Page Program LUN1.
2. Read LUN0, Read LUN1.
3. Erase LUN0, Erase LUN1.
4. Page Program LUN0, Read LUN1.

Для выбора необходимого из нескольких LUN используется команда Read Status Enhanced. После выполнения этой команды только LUN, который был выбран, будет откликаться на циклы чтения данных.

Последовательность работы с несколькими LUN:

1. Выбор LUN0.
2. Запуска команды для LUN0 (Program, Erase, Read).
3. Установка занятости LUN0.
4. Выбор LUN1 (в этот момент LUN0 занят пересылкой).
5. Запуска команды для LUN1 (Program, Erase, Read).
6. Ожидание завершения операций.

17.3.25 Команда Read Status Enhanced

Данная команда выполняется по схеме «Без доступа к FIFO», со следующими особенностями:

1. Перед выполнением запуска команды через регистр PROGRAM необходимо дополнительно настроить регистр PACKET (packet_size = 1, packet_count = 1).
2. В регистре PROGRAM необходимо установить бит read_status_enhanced.

После выполнения команды процессор может произвести чтение регистра FLASH_STATUS (данные о состоянии последней операции были загружены из флэш-памяти в этот регистр в результате выполнения команды).

17.3.26 Page Program LUN0, Page Program LUN1

Последовательность программирования LUN0, LUN1:

1. Командой Read Status Enhanced выбирается LUN0.
2. Выполняется команда Page Program по схеме «С записью в FIFO» со следующими особенностями:
3. В регистре PROGRAM необходимо установить биты `page_program` и `multi_die`.
4. Командой Read Status Enhanced выбирается LUN1.
5. Выполняется команда Page Program по схеме «С записью в FIFO» со следующими особенностями:
6. В регистре PROGRAM необходимо установить бит `page_program`.

Если необходимо произвести программирование нескольких LUN, бит `multi_die` совместно с `page_program` в регистре PROGRAM должен быть установлен для всех команд чтения, кроме последней.

Пример программирования LUN0, LUN1, LUN2:

Для LUN0 и LUN1 бит `multi_die` необходимо устанавливать совместно с `page_program`, а для LUN2 только `page_program`.

17.3.27 Read LUN0, Read LUN1

Последовательность чтения из LUN0 и LUN1:

1. Командой Read Status Enhanced выбирается LUN0.
2. Выполняется команда Read по схеме «Без доступа к FIFO» со следующими особенностями:
3. `COMMAND[15:0] = 0x3000`.
4. В регистре PROGRAM необходимо установить биты `read` и `multi_die`.
5. Командой Read Status Enhanced выбирается LUN1.
6. Выполняется команда Read по схеме «Без доступа к FIFO» со следующими особенностями:
7. `COMMAND[15:0] = 0x3000`.

8. В регистре PROGRAM необходимо установить биты read и multi_die.
9. Командой Read Status Enhanced выбирается LUN0.
10. Данный шаг повторяется до тех пор пока в 6-ом (RDY) разряде регистра FLASH_STATUS не будет считана единица (признак того, что LUN готов принимать следующие команды и остальные разряды FLASH_STATUS достоверны).
11. Выполняется команда по схеме «С чтением из FIFO» со следующими особенностями:
12. COMMAND[7:0] = 0x00.
13. В PROGRAM необходимо установить бит 5 (multi_die_rd).
14. Командой Read Status Enhanced выбирается LUN1.
15. Данный шаг повторяется до тех пор пока в 6-ом (RDY) разряде регистра FLASH_STATUS не будет считана единица (признак того, что LUN готов принимать следующие команды и остальные разряды FLASH_STATUS достоверны).
16. Выполняется команда по схеме «С чтением из FIFO» со следующими особенностями:
17. COMMAND[7:0] = 0x00.
18. В PROGRAM необходимо установить бит 5 (multi_die_rd).

17.3.28 Block Erase LUN0, Block Erase LUN1

Последовательность стирания в LUN0 и LUN1:

1. Командой Read Status Enhanced выбирается LUN0.
2. Выполняется команда по схеме «Без доступа к FIFO» со следующими особенностями:
3. В регистре PROGRAM необходимо установить бит 2 (block_erase) и бит 1 (multi_die).
4. Командой Read Status Enhanced выбирается LUN1.
5. Выполняется команда по схеме «Без доступа к FIFO» со следующими особенностями:

6. В регистре PROGRAM необходимо установить бит 2 (block_erase).

Если требуется выполнить команду Erase для нескольких блоков, бит multi_die совместно с block_erase в регистре PROGRAM должен быть установлен для всех команд, кроме последней.

17.3.29 Page Program LUN0, Read LUN1

Последовательность Page Program в LUN0 и Read в LUN1:

1. Командой Read Status Enhanced выбирается LUN0.
2. Выполняется команда по схеме «С записью в FIFO» со следующими особенностями:
3. В регистре PROGRAM необходимо установить бит 4 (page_program) и бит 1 (multi_die).
4. Командой Read Status Enhanced выбирается LUN1.
5. Выполняется команда по схеме «С чтением из FIFO» со следующими особенностями:
6. В регистре PROGRAM необходимо установить бит 0 (read).

17.3.30 Small Data Move

Если флэш-память поддерживает команду Small Data Move, процессор может записывать данные во флэш-память с приращением меньшим, чем размер страницы (применимо для команд Program и Copyback). Наименьший размер данных, которые можно записать во флэш-память, используя Small Data Move – двойное слово. При выполнении команд Small Data Move поддержка ECC должна быть отключена. Процессор может определить наличие поддержки Small Data Move во флэш-памяти, произведя чтение страницы параметров.

17.3.31 Small Data Move, Page Program

На следующем рисунке показан пример программирования 4-х областей флэш-памяти с размером страницы 2к, использующий свойство Small Data Move:

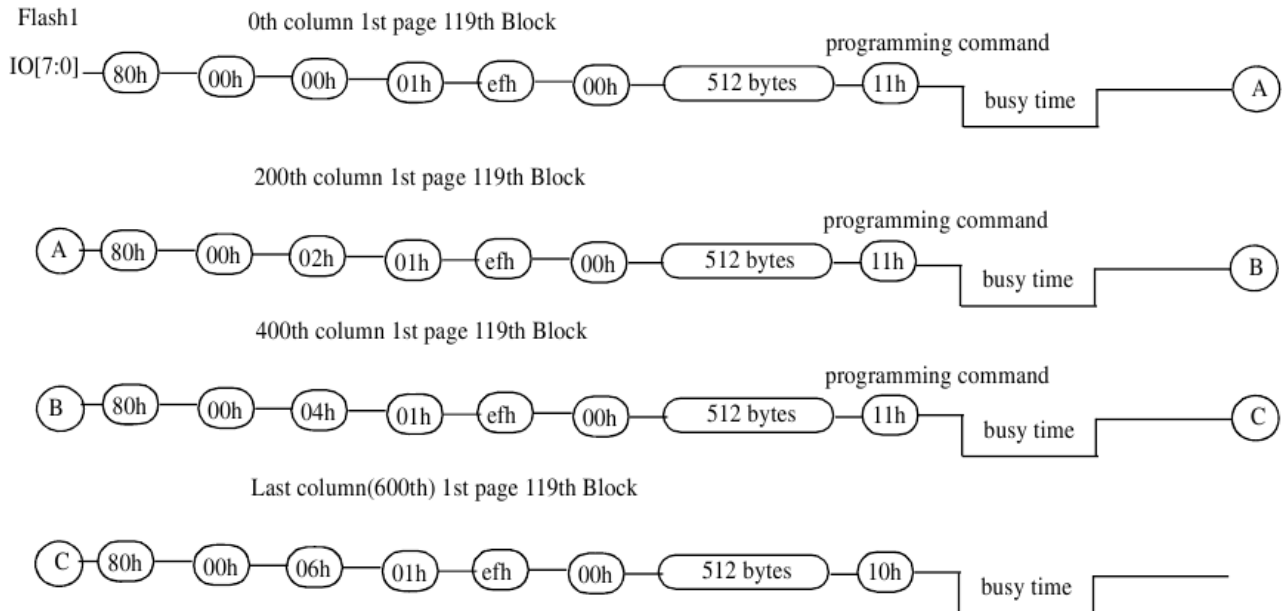


Рисунок 17.18. Пример записи во флэш-память – Small Data Move

При обычном программировании страницы размером 2к достаточно было выполнить одну команду программирования, например, настроив 4 пакета по 512 байт. Small Data Move (с размером пакета 512 байт и количеством пакетов 1) требует выполнения нескольких команд:

1. Multi-plane Page Program по схеме «С записью в FIFO»: COMMAND[15:0] = 0x1180, MEMADDR1 = 000, в PROGRAM установлен small_data_move.
2. Multi-plane Page Program по схеме «С записью в FIFO»:

COMMAND[15:0] = 0x1180, MEMADDR1 = 200, в PROGRAM установлен small_data_move.
3. Multi-plane Page Program по схеме «С записью в FIFO»:

COMMAND[15:0] = 0x1180, MEMADDR1 = 400, в PROGRAM установлен small_data_move.
4. Multi-plane Page Program по схеме «С записью в FIFO»:

COMMAND[15:0] = 0x1080, MEMADDR1 = 600, в PROGRAM установлен small_data_move.

17.3.32 Small Data Move, Copyback Program

Выполняется аналогично Page Program, Small Data Move. Единственное отличие в настройке кода операции в регистре PROGRAM, т.е. 85h вместо 80h.

17.3.33 Small Data Move, Change Read Column Enhanced

После запуска команд Small Data Move процессор может использовать команду Change Read Column Enhanced для чтения данных, записанных до этого:

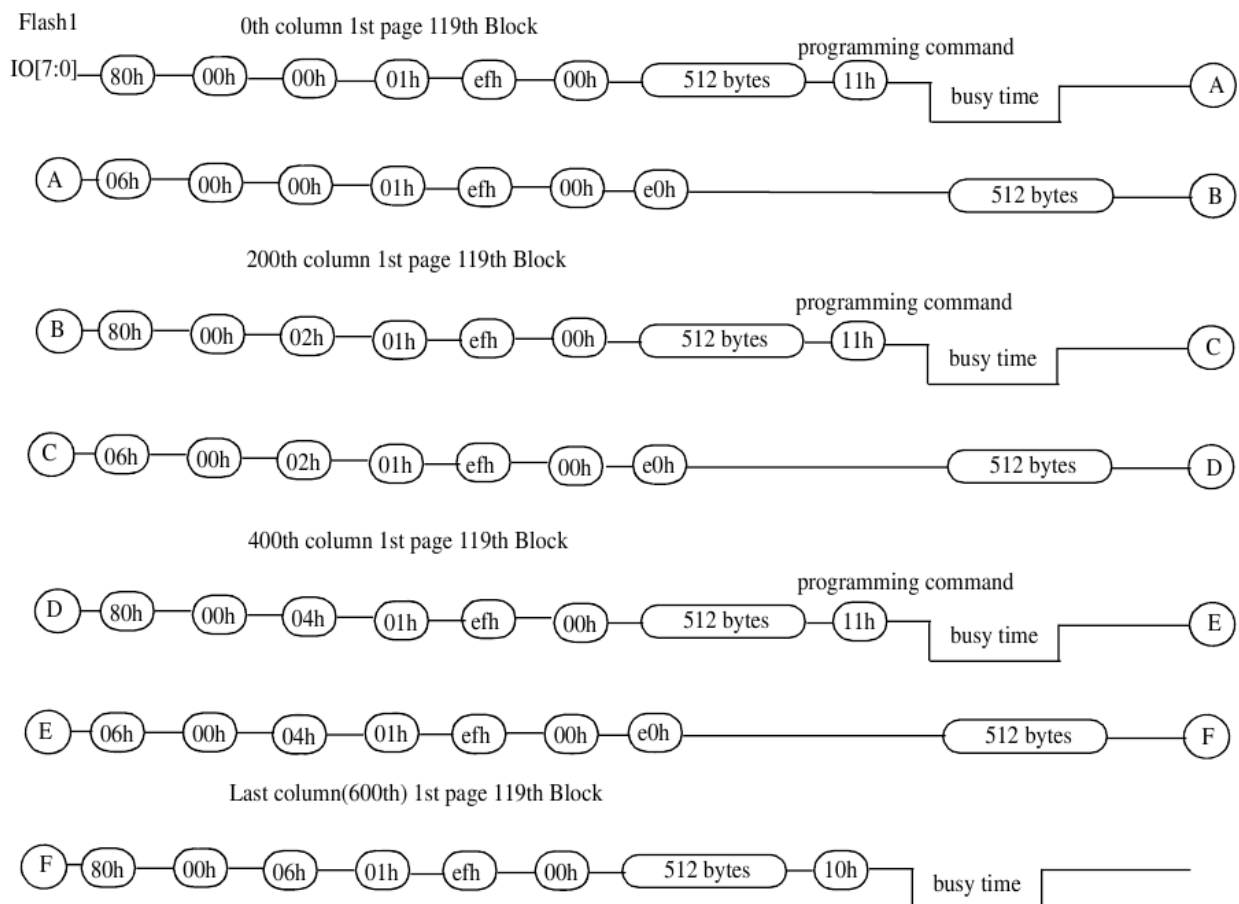


Рисунок 17.19. Small Data Move, Change Read Column Enhanced

Команда Change Read Column Enhanced выполняется по схеме «С чтением из FIFO»: COMMAND[15:0] = 0xE006, в PROGRAM установлен change_read_column_enhanced.

17.3.34 Команда Change Row Address

Команда Change Row Address изменяет адрес строки и столбца LUN, куда производится запись. Можно использовать совместно с командой программирования флэш-памяти (адрес LUN и interleaved адреса должны быть те же, что и в команде программирования):

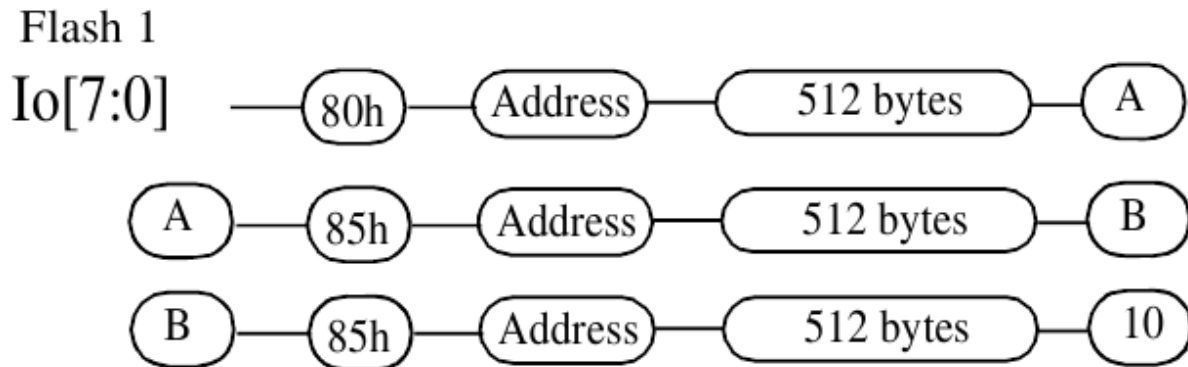


Рисунок 17.20. Change Row Address

В данном примере процессору необходимо запрограммировать следующие области флэш-памяти:

- LUN0, Plane0, Блок 1, Страница 0 (512 байт);
- LUN0, Plane0, Блок 2, Страница 0 (512 байт);
- LUN0, Plane0, Блок 3, Страница 0 (512 байт).

Для этого выполняются команды:

1. Page Program по схеме «С записью в FIFO»:

COMMAND[7:0] = 0x80.

В регистре PACKET поле packet_count = 1 и packet_size = 512.

В PROGRAM установлены change_row_addr и page_program.

2. Change Row Address по схеме «С записью в FIFO»:

COMMAND[7:0] = 0x85.

В регистре PACKET поле packet_count = 1 и packet_size = 512.

В PROGRAM установлен change_row_addr.

3. Change Row Address по схеме «С записью в FIFO»:

COMMAND[15:0] = 0x1085.

В регистре PACKET поле packet_count = 1 и packet_size = 512.

В PROGRAM установлен `change_row_addr_end`.

Шаг 2 может повторяться несколько раз, если необходимо запрограммировать несколько страниц.

17.3.35 Команда Reset LUN

Команда Reset LUN используется для сброса логического устройства (LUN).

Команда выполняется по схеме «Команды без доступа к FIFO», со следующей особенностью:

в регистре PROGRAM необходимо установить разряд `reset_lun`.

17.3.36 Свойство Page Register Clear Enhancement

В стандарте ONFI 2.1 (пункт 3.1.3. Multiple LUN Operation Restrictions) указано, что не следует начинать программирование LUN, если выполняется операция чтения другого LUN. Связано с тем, что в ONFI 2.1 при поступлении команды программирования LUN допускается сброс регистров страниц других LUN. И если начать операцию программирования, не завершив операцию чтения, данные чтения, загруженные в регистр страницы, могут быть утеряны.

В стандарте ONFI 2.2 (пункт 3.1.3. Multiple LUN Operation Restrictions) ограничение на запись во время чтения ослаблено. В случае, если флэш-память поддерживает свойство «Page Register Clear Enhancement» (определяется в Странице Параметров) и командой Set Features установлен параметр PC в свойстве «Timing Mode» (см. ONFI 2.2), запись во время чтения допускается.

Для программирования флэш-памяти (команда 80h) во время чтения (для флэш-памяти с установленным признаком PC в свойстве «Timing Mode») необходимо использовать особое время tADL (время установки данных для программирования после выдачи команды программирования). Время tADL настраивается в регистре TIMING на основании значений байтов 154-155 Страницы Параметров. Для того, чтобы контроллер использовал это время, необходимо установить разряд `pgm_pg_reg_clr` в регистре PROGRAM.

17.3.37 Команда Set Features

Команда Set Features позволяет изменить значение необходимого параметра флэш-памяти. Команда используется для включения настроек, которые отключены по сбросу питания (смена временного режима, тип интерфейса данных).

Команда выполняется по схеме «С записью в FIFO» со следующей особенностью:

в регистре PROGRAM необходимо установить бит set_feature.

17.3.38 Команда Get Features

Команда Get Features позволяет определить текущее значение настроек флэш-памяти.

Команда выполняется по схеме «С чтением из FIFO» со следующей особенностью:

в регистре PROGRAM необходимо установить бит get_feature.

17.3.39 Переключение временных режимов

Работа с флэш-памятью может осуществляться асинхронным или синхронным способом (см. ONFI).

Для асинхронного способа определено 6 временных режимов. Считается, что по включению питания флэш-память работает в асинхронном режиме 0. Асинхронный режим 0 должен поддерживаться во всех реализациях флэш-памяти. Поддержка других асинхронных временных режимов определяется процессором на основании значений байтов 129-130 Страницы Параметров.

Для синхронного способа определено 6 временных режимов. Поддержка синхронного способа работы с флэш-памятью определяется процессором на основании значений байта 6 Страницы Параметров. Байты 141-142 Страницы Параметров определяют, какие из синхронных режимов поддерживаются. Синхронный интерфейс использует DDR, всегда передаётся чётное число байт.

Переключение временных режимов осуществляется с помощью команд Set Feature и Get Feature. Необходимо корректно настроить регистр PACKET (см. пункт «Регистр PACKET»).

При смене временного режима значение регистра MEMADDR1 должно быть равно 1.

При смене временных режимов рекомендуется использовать следующую последовательность:

1. Команда Get Features (не обязательно).
2. Команда Set Features.
3. Команда Get Features.

17.3.39.1 Переход из асинхронного режима в асинхронный

В таблице указаны значения параметров P1-P4 (см. ONFI), которые необходимо задать команде Set Features (через FIFO при возникновении прерывания «Buffer Write Ready»).

Таблица 17.28. Значения параметров P1-P4 для команды Set Features (переход из асинхронного в асинхронный режим)

Режим	Параметры P1-P4 для последовательного режима	Параметры P1-P4 для параллельного режима
mode0	32'h0000_0000	64'h0000_0000_0000_0000
mode1	32'h0000_0001	64'h0000_0000_0000_0101
mode2	32'h0000_0002	64'h0000_0000_0000_0202
mode3	32'h0000_0003	64'h0000_0000_0000_0303
mode4	32'h0000_0004	64'h0000_0000_0000_0404
mode5	32'h0000_0005	64'h0000_0000_0000_0505

17.3.39.2 Переход из синхронного режима в синхронный

Таблица 17.29. Значения параметров P1-P4 для команды Set Features (переход из синхронного в синхронный режим)

Режим	Параметры P1-P4 для последовательного режима	Параметры P1-P4 для параллельного режима
mode0	64'h0000_0000_0000_1010	128'h0000_0000_1010_1010
mode1	64'h0000_0000_0000_1111	128'h0000_0000_1111_1111
mode2	64'h0000_0000_0000_1212	128'h0000_0000_1212_1212
mode3	64'h0000_0000_0000_1313	128'h0000_0000_1313_1313
mode4	64'h0000_0000_0000_1414	128'h0000_0000_1414_1414
mode5	64'h0000_0000_0000_1515	128'h0000_0000_1515_1515

После успешного завершения команды Set Features процессору следует настроить новую частоту NFC_SLCK.

17.3.39.3 Переход из асинхронного режима в синхронный

Последовательность действий:

1. Команда Get Features (не обязательно).
2. Команда Set Features (после успешного завершения процессор должен настроить новую частоту NFC_SLCK).

Отключить NFC_SLCK.

Настроить внешний блок PLL (в зависимости от режима).

Настроить необходимую частоту.

Дождаться установки стабильной частоты, записать выбранный режим в регистр PROGRAM

3. Команда Get Features.

Таблица 17.30. Значения параметров P1-P4 для команды Set Features (переход из асинхронного в синхронный режим)

Режим	Параметры P1-P4
mode0	32'h0000_0010
mode1	32'h0000_0011
mode2	32'h0000_0012
mode3	32'h0000_0013
mode4	32'h0000_0014
mode5	32'h0000_0015

Таблица 17.31. Частоты синхронного режима

Синхронный режим	Частота (МГц)	Период (нс)
mode0	20	50
mode1	33	30
mode2	50	20
mode3	66	15
mode4	83	12
mode5	100	10

17.3.39.4 Переход из синхронного режима в асинхронный

Процессору необходимо выполнить следующие действия:

1. Выполнить команду Get Features (не обязательно).
2. Установить значение частоты NFC_SLCK 100 МГц.

Убедиться в стабильности частоты.

3. Выполнить команду Reset в асинхронном режиме (mode0).

Флэш-память в любом режиме должна распознать команду сброса, выполненную в асинхронном режиме 0.

4. Выполнить команду Get Fetures.
5. Выполнить команду Set Features и выбрать необходимый асинхронный режим.

17.3.40 Page Program (режим SDMA)

В данной версии NANDMPORT'A режим SDMA не поддерживается.

17.3.41 Read (режим SDMA)

В данной версии NANDMPORT'A режим SDMA не поддерживается.

17.3.42 Page Program (режим MDMA)

Команда Page Program пересылает страницу данных (или часть страницы) в регистр страницы. Затем содержимое регистра страницы записывается в массив флэш-памяти. В режиме MDMA данные страницы напрямую загружаются из памяти, используя DMA контроллер.

Схема выполнения команды Page Program в режиме MDMA:

1. CPU разрешает формирование признака прерывания «Transfer Complete» (см. регистр INTERRUPT_STATUS_EN).
2. CPU разрешает формирование сигнала прерывания «Transfer Complete» (см. регистр INTERRUPT_SIGNAL_EN).
3. CPU включает режим MDMA в регистре COMMAND.
4. CPU настраивает регистр PACKET.
5. CPU настраивает регистр DMA_SYS_ADDR.
6. CPU настраивает регистр DMA_BUFFER_BOUNDARY.
7. CPU настраивает регистр MEMADDR1.
8. CPU настраивает регистр MEMADDR2.
9. CPU инициирует выполнение команды установкой разряда page_program в регистре PROGRAM.
10. DMA контроллер считывает данные из системной памяти, сохраняет в FIFO и отправляет во флэш-память.
11. По приходу прерывания от DMA контроллера CPU обновляет значение регистра DMA_SYS_ADDR.
12. После завершения выполнения команды NANDMPORT устанавливает признак прерывания «Transfer Complete» в регистре INTERRUPT_STATUS.
13. Формируется физический сигнал прерывания.
14. CPU считывает регистр INTERRUPT_STATUS.
15. CPU сбрасывает бит «Transfer Complete» регистра INTERRUPT_SIGNAL_EN.
16. CPU сбрасывает бит «Transfer Complete» регистра INTERRUPT_STATUS_EN.

17. CPU сбрасывает бит «Transfer Complete» в регистре INTERRUPT_STATUS.

17.3.43 Read (режим MDMA)

Команда Read считывает страницу данных, определяемую адресом строки LUN. Страница данных становится доступной для чтения с заданного адреса столбца. В режиме MDMA данные страницы загружаются в системную память, используя DMA контроллер.

Команда Read выполняется аналогично Page Program в режиме MDMA:

Пункты 1-8 совпадают с командой Page Program (MDMA).

Пункт 9: CPU инициирует выполнение команды установкой разряда read в регистре PROGRAM.

Пункт 10: DMA контроллер считывает данные из FIFO и записывает их в системную память.

Пункты 11-17 совпадают с командой Page Program (MDMA).

17.4 Обнаружение и инициализация флэш-памяти

В одном корпусе флэш-памяти может содержаться от одного до двух независимых компонентов (целевых устройств). Выбор необходимого компонента осуществляется отдельным сигналом CE#.

Обнаружение и инициализация устройств подключённых к CE#

После сброса по включению питания необходимо:

- выполнить команду Reset для целевого устройства;
- определить состояние командой Read Status;
- выполнить команду Read ID с адресом 20h;
- убедиться, что данные, считанные командой Read ID, соответствуют стандарту ONFI. В случае несоответствия стандарту, наличия ошибки/истечения времени ожидания подключать и в дальнейшем использовать проверяемый CE# не следует.

Выполнить команду Read Parameter Page. Данная команда считывает информацию о возможностях и параметрах флэш-памяти. После считывания данных необходимо проверить CRC для подтверждения того, что данные были получены корректно и без ошибок. Если проверка CRC для первой операции Read Parameter Page не прошла, то необходимо считать резервные копии страницы параметров. После успешного извлечения

данных из страницы параметров процессор обладает всей необходимой информацией для успешного взаимодействия с целевым устройством.

17.5 Настройка тактирования NANDMPORT

Для работы NANDMPORT'a необходимо настроить следующие частоты:

- NFC_SCLK – рабочая частота Nand Flash Интерфейса;
- NFC_HCLK – системная частота.

17.5.1 Асинхронный режим

В асинхронном режиме частота NFC_SCLK должна быть равна 96 МГц.

17.5.2 Синхронный режим

В стандарте ONFI определено 6 синхронных временных режимов и соответствующих им частот. При этом стандарт не требует точного совпадения рабочей частоты и частоты стандартного временного режима. Оговаривается, что если командой Set Features был выбран режим N, то рабочая частота должна быть больше частоты режима N-1 и не должна превышать частоту режима N. Например, для временного режима 2 (частота - 50 МГц) должно выполняться следующее соотношение:

$$33 \text{ МГц} < \text{NFC_SCLK} \leq 50 \text{ МГц}$$

Для режима 0 рабочая частота должны быть выше 10 МГц (подробности и исключения см. в ONFI).

17.6 Загрузка кода CPU из NAND флэш-памяти по включению питания

NANDMPORT позволяет автоматически загружать код CPU после сброса по включению питания. Если внешние выводы BOOT 1892BM14Я настроены на загрузку из внешней NAND флэш-памяти, тогда выполняется следующая последовательность действий:

1. NANDMPORT выдаёт команду Reset для флэш-памяти, подключенной к NAND_CSNO и ожидает завершения команды (готовности флэш-памяти).
2. NANDMPORT посылает команду чтения банка 0, страницы 0, и ожидает готовности флэш-памяти (пересылки данных из массива флэш-памяти в регистр страницы).
3. NAND контроллер копирует 2 KB из флэш-памяти в накрystalную RAM.
4. После окончания загрузки данных контроллером, CPU начинает исполнять команды с адреса 0x0000_0000 накрystalной RAM.

От момента подачи питания на кристалл до снятия сброса должно пройти не менее 1мс для корректной инициализации флэш-памяти (NAND контроллер не анализирует сигнал R/B#, следовательно, данная задержка должна обеспечиваться внешним (по отношению к SoC) контроллером питания, например, удержанием глобального сигнала сброса. Требование на 1 мс объявлено в пункте 7.1.2 стандарта ONFI 2.2).

Флэш-память NAND, с которой предполагается производить процедуру загрузки, должна быть подключена к портам NAND_DATA0...7 и NAND_CSN0 (8 младшим битам шины данных и нулевому chip select).

Во время процедуры загрузки NAND контроллер может считать только одну страницу флэш-памяти. Для этой процедуры необходимо 2 КБ. В связи с этим не допускается использование флэш-памяти с размером страницы менее, чем 2 КБ.

Примечание. Во время процедуры загрузки NANDMPORT не будет генерировать прерывания для процессора.

17.7 Обработка ошибок

Процедура обнаружения и коррекции ошибок применима только к командам программирования или чтения флэш-памяти. В режиме обнаружения и коррекции ошибок при программировании флэш-памяти помимо данных во флэш-память дополнительно записывается контрольная информация. Контрольная информация позволяет обнаруживать и восстанавливать ошибки при последующем чтении (ошибки в данных и в контрольных разрядах).

17.7.1 HAM

При выполнении операции чтения (с использованием коррекции) NANDMPORT сравнивает контрольные байты из флэш-памяти с вычисленными на основе считанных данных.

17.7.1.1 Корректируемые ошибки

При обнаружении ошибки в одном бите NANDMPORT автоматически исправляет ошибку, и устанавливает прерывание «Single Bit Error». После приёма пакета устанавливается прерывание «Buffer Read Ready». По окончании всей пересылки устанавливается прерывание «Transfer Complete».

Рассмотрим, следующий пример (размер страницы – 2к, размер пакета – 512, количество пакетов – 4). При считывании первого пакета NANDMPORT обнаруживает однобитную ошибку. Затем NANDMPORT исправляет её и устанавливает прерывание «Single Bit Error». После этого контроллер считывает второй, третий и четвёртый пакеты из флэш-памяти. Прерывание «Buffer Read Ready» устанавливается после приёма каждого пакета.

После чтения всех данных из флэш-памяти NANDMPORT устанавливает прерывание «Transfer Complete».

17.7.1.2 Некорректируемые ошибки

Если контроллер обнаруживает ошибки в двух битах, устанавливается прерывание «Multi Bit Error». В этом случае прерывания «Buffer Read Ready» и «Transfer Complete» не устанавливаются. Например, размер страницы – 2к, размер пакета – 512 Бит, количество пакетов – 4. При чтении первого пакета данных, если контроллер обнаруживает ошибку в двух битах, устанавливается прерывание «Multi Bit Error». NANDMPORT переключается в состояние IDLE.

17.7.2 BCH

Контроллер позволяет работать в следующих режимах с коррекцией в кодах BCH:

- BCH-4. Коррекция и обнаружение не более 4 ошибок на каждые 512 байт;
- BCH-8. Коррекция и обнаружение не более 8 ошибок на каждые 512 байт;
- BCH-12. Коррекция и обнаружение не более 12 ошибок на каждые 512 байт;
- BCH-16. Коррекция и обнаружение не более 16 ошибок на каждые 512 байт;
- BCH-24. Коррекция и обнаружение не более 24 ошибок на каждые 1024 байта.

В зависимости от размера программируемой или считываемой из флэш-памяти страницы пересылка разбивается на необходимое количество пакетов размером 512 или 1024 байта. Для корректной работы в режимах BCH-4, BCH-8, BCH-12, BCH-16 поле packet_size регистра PACKET должно быть установлено в значение 512. Для корректной работы в режиме BCH-24 поле packet_size регистра PACKET должно быть установлено в значение 1024. Пример настройки PACKET см. в разделе «Регистр PACKET».

Последовательность программирования и чтения флэш-памяти с использованием кодов коррекции BCH:

1. Настройка контроллера и запуск пересылки (см. описание команд Program).
2. Контроллер записывает данные всех пакетов последовательно в основную область страницы.
3. После пересылки данных всех пакетов в конец spare-область страницы записываются коды коррекции, вычисленные на основе записанных данных.
4. Настройка контроллера и запуск пересылки (см. описание команд Read).
5. Считываются коды коррекции из spare-области страницы.

6. После считывания кодов коррекции считываются данные всех пакетов, и осуществляется контроль их соответствия считанным кодам. Если при считывании пакета была обнаружена ошибка, то будет установлено прерывание «BCH Detect Error» (если разрешено). Прерывание сформируется по окончании приёма пакета при обнаружении хотя бы одной ошибки независимо от того, была ли она исправлена или нет.

17.7.3 Чтение стёртых страниц с ECC

В следующей таблице описаны особенности считывания стёртых страниц флэш-памяти (данные и spare-область заполнены значением 0xFF) с включенной коррекцией ошибок:

Таблица 17.32. Особенности чтения стёртых страниц с ECC

Режим ECC \Размер страницы	512	2048	4096	8192
HAM	TBD	TBD	FF	FF
BCH-4	TBD	не FF	Не FF	Не FF
BCH-8	TBD	FF	FF	FF
BCH-12	X	TBD	Не FF	FF
BCH-16	X	TBD	FF	FF
BCH-24	X	TBD	Не FF	Не FF

X – режим недоступен при данном размере страницы

TBD – требует уточнения

FF – при чтении стёртой страницы возвращаются множественные значения 0xFF

Не FF – при чтении стёртой страницы возвращаются значения отличные от 0xFF

17.8 Прерывания

Работа с прерываниями осуществляется через регистры INTERRUPT_STATUS_EN, INTERRUPT_SIGNAL_EN, INTERRUPT_STATUS.

В регистре INTERRUPT_STATUS_EN задаётся разрешение установки необходимого признака. В регистре INTERRUPT_STATUS отображается текущее состояние признаков прерываний. Регистр INTERRUPT_SIGNAL_EN разрешает или запрещает формирование физического сигнала прерывания.

Возможно формирование прерывания по следующим событиям (см. описание регистра INTERRUPT_STATUS):

- «Buffer Write Ready»;
- «Buffer Read Ready»;
- «Transfer Complete»;
- «Multi Bit Error»;
- «Single Bit Error»;

- «dma_int»;
- «error_ahb».

17.9 Подключение NAND флэш-памяти

17.9.1 Сигналы

Таблица 17.33. Сигналы подключения NAND флэш-памяти

Выход	Направление	Описание
NAND_CLE	выход	Разрешение защёлкивания команды (Command Latch Enable).
NAND_ALE	выход	Разрешение защёлкивания адреса (Address Latch Enable).
NAND_CSN0	выход	Сигнал разрешения флэш-памяти 0 (Chip Enable).
NAND_CSN1	выход	Сигнал разрешения флэш-памяти 1 (Chip Enable).
NAND_RDN	выход	Разрешение чтения (Read Enable) для асинхронного режима. Чтение/Запись (Read/Write) для синхронного режима.
NAND_WRN	выход	Разрешение записи (Write Enable) для асинхронного режима. Строб тактирования (clock strobe) для синхронного режима.
NAND_RBN0	вход	Готовность/Занятость флэш-памяти 0 (Ready/Busy).
NAND_RBN1	вход	Готовность/Занятость флэш-памяти 1 (Ready/Busy).
NAND_DATA[15:0]	вход/выход	Входная/Выходная шина данных.
NAND_DQS	вход/выход	Сигнал чтения/ записи в синхронном временном режиме.

17.9.2 Примеры подключения

В данной главе приведены некоторые примеры подключения флэш-памятей к микросхеме 1892BM14Я.

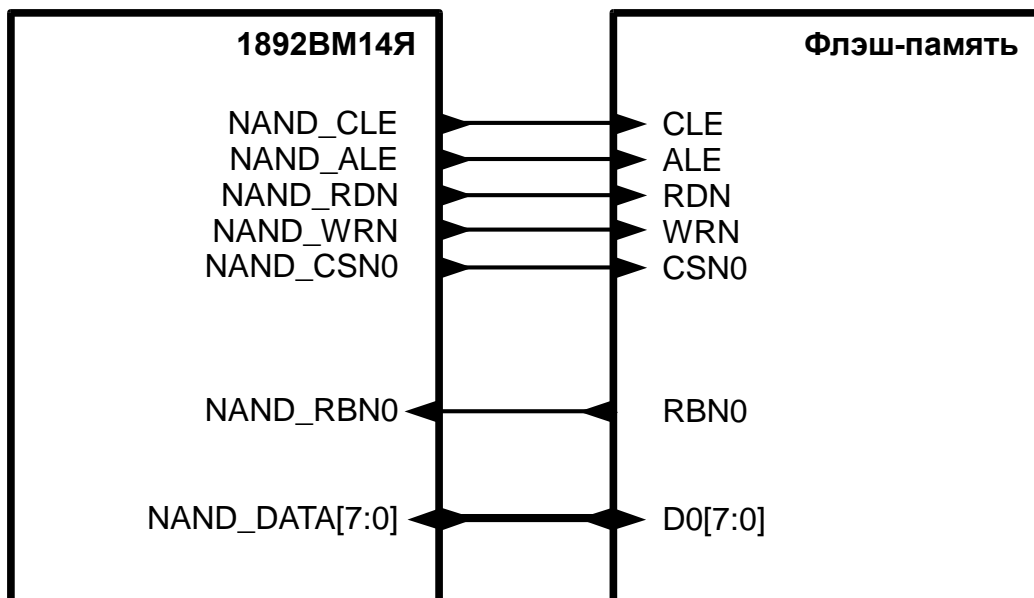


Рисунок 17.21. Подключение одной 8-разрядной 1-die микросхемы флэш-памяти в асинхронном режиме

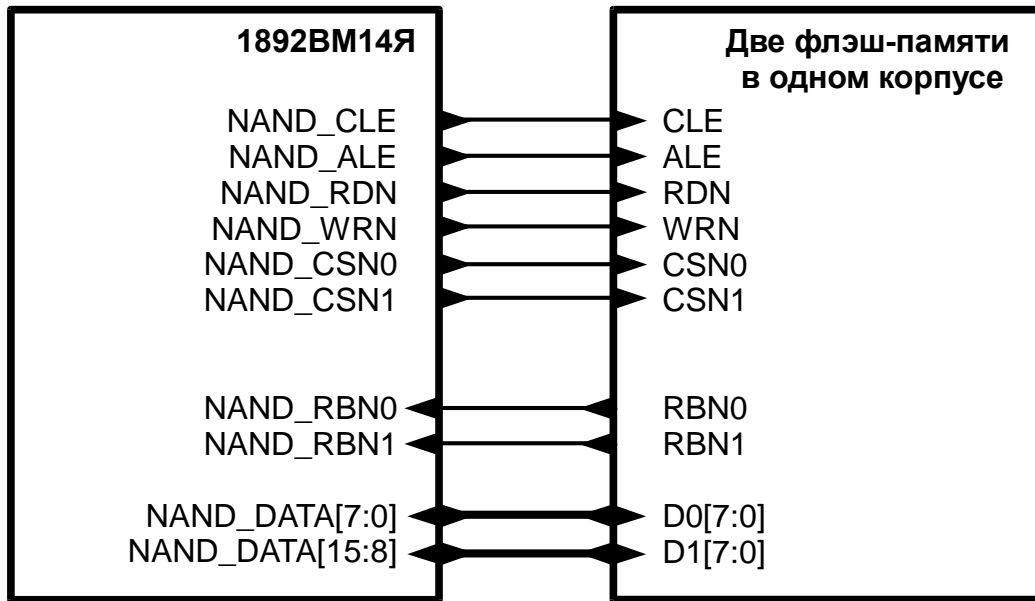


Рисунок 17.22. Подключение одной 2-die separate (два 8-разрядных кристалла с отдельными шинами данных в одном корпусе) микросхемы в асинхронном режиме

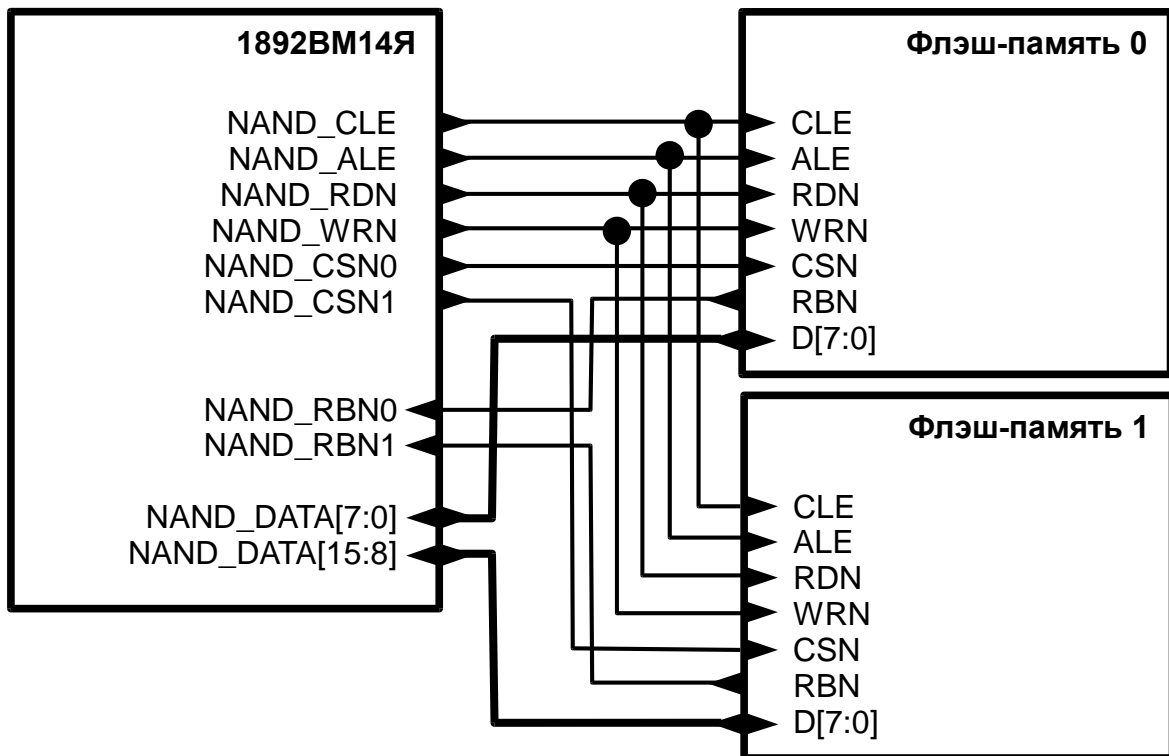


Рисунок 17.23. Подключение двух 1-die 8-разрядных микросхем в асинхронном режиме

18. КОНТРОЛЛЕР USB (USBIC)

18.1 Общие характеристики

Блок контроллера USB USBIC является двухролевым устройством и может выполнять функции периферийного устройства (Device), хост-контроллера (Host), а также поддерживает стандарт USB On-The-Go (дополнение к спецификации USB 2.0, Ревизия 1.3а и 2.0). Блок USBIC может быть сконфигурирован как хост-контроллер (Host-only) или как периферийное устройство (Device-only) с полной совместимостью со спецификацией USB 2.0. Блок USBIC также поддерживает спецификацию Hi-Speed Inter-Chip (HSIC) Версия 1.0 и характеристики интерфейса IC_USB, включенные в спецификацию USB 2.0. Конфигурации USBIC USB 2.0 поддерживают высокоскоростной (high-speed) (HS, 480-Mbps), полноскоростной (full-speed) (FS, 12-Mbps), и низкоскоростной (low-speed) режимы передач (LS, 1.5-Mbps). Также USBIC может быть сконфигурирован как двухролевое устройство USB 1.1 full-speed/low-speed DRD. Блок USBIC подключается к стандартной шине AMBA High-Performance Bus (AHB) для взаимодействия с памятью приложения и системы, и полностью совместим со спецификацией AMBA, Ревизия 2.0.

Блок контроллера USB USBIC оптимизирован для следующих приложений и систем:

- портативные электронные устройства;
- приложения точка-точка (без использования USB-концентратора, прямое соединение с устройствами в режимах HS, FS или LS).

Примечания

1. USB-концентраторы (разделенные передачи) не поддерживаются в режиме Host Scatter Gather DMA, но при этом поддерживаются в режиме Host Buffer DMA (Внутренний DMA).
 2. Не рекомендуется использовать блок для высокопроизводительных приложений.
- На Рисунок 18.1 представлен контроллер USBIC в стандартной системе.

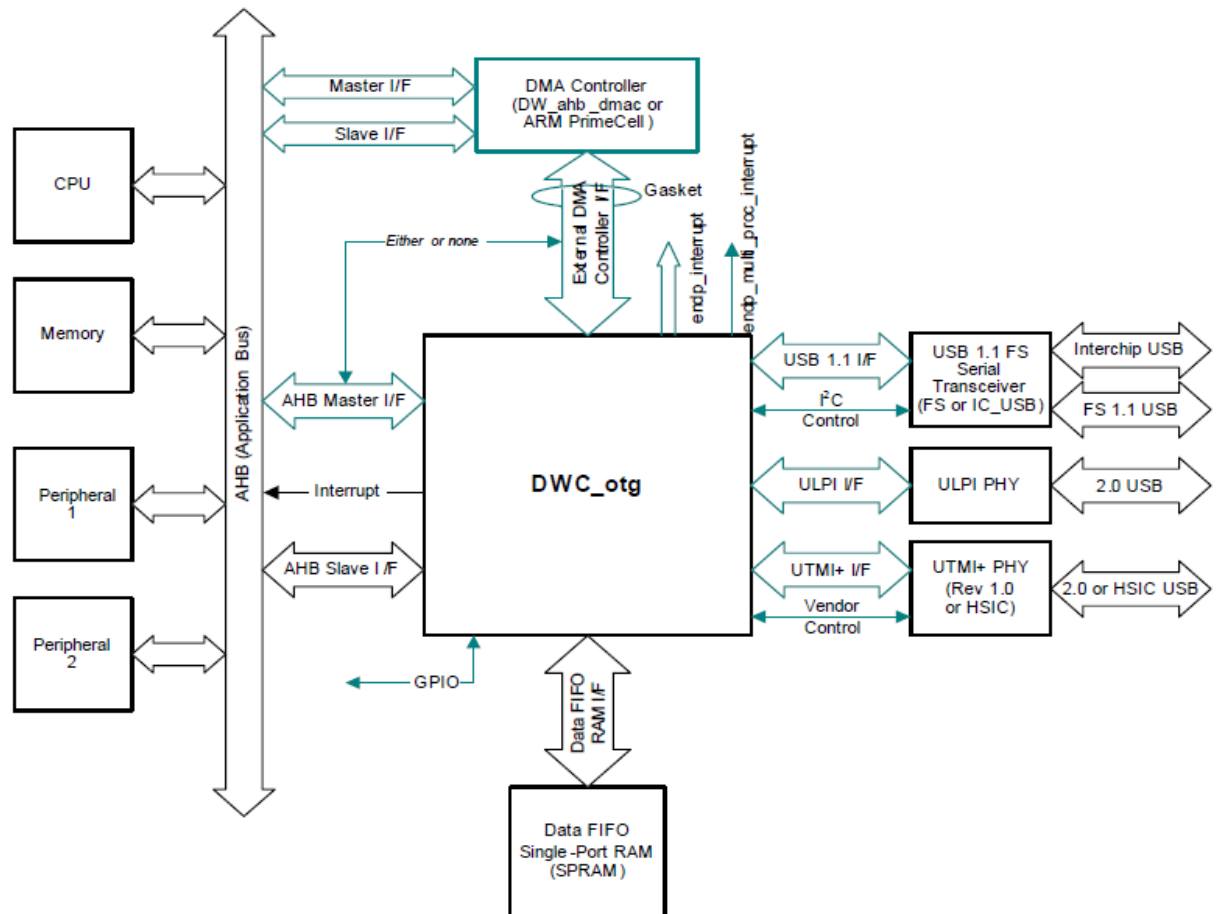


Рисунок 18.1. Блок-схема контроллера USBIC в стандартной системе

18.2 Регистры управления и статуса

В данной главе представлены карты адресов и описание регистров управления и статуса блока контроллера USBIC.

Программное управление блоком USBIC осуществляется через чтение и запись регистров управления и статуса по интерфейсу AHB Slave. Размер регистров – 32 разряда, адреса выровнены на границу 32-разрядного слова.

Обращения в обоих режимах (Host и Device) разрешены только к общим регистрам ядра, регистру управления питанием и тактовой частотой, к регистрам управления портом. Если блок USBIC работает в одном из режимов (Host или Device), обращения к регистрам другого режима запрещены. При некорректном обращении формируется прерывание ошибки выбора режима (Mode Mismatch), которое отражается в регистре прерываний (GINTSTS.ModeMis).

При переключении из одного режима в другой регистры должны быть перепрограммированы в значения, аналогичные значениям после сброса.

18.2.1 Карта адресов регистров CSR

Карта адресов регистров CSR является фиксированной и не зависит от конфигурации ядра (например, от количества конечных точек). Регистры режимов Host и Device занимают разные адреса. Все регистры находятся в домене частоты АНВ.

На Рисунок 18.2 показана карта адресов CSR контроллера.

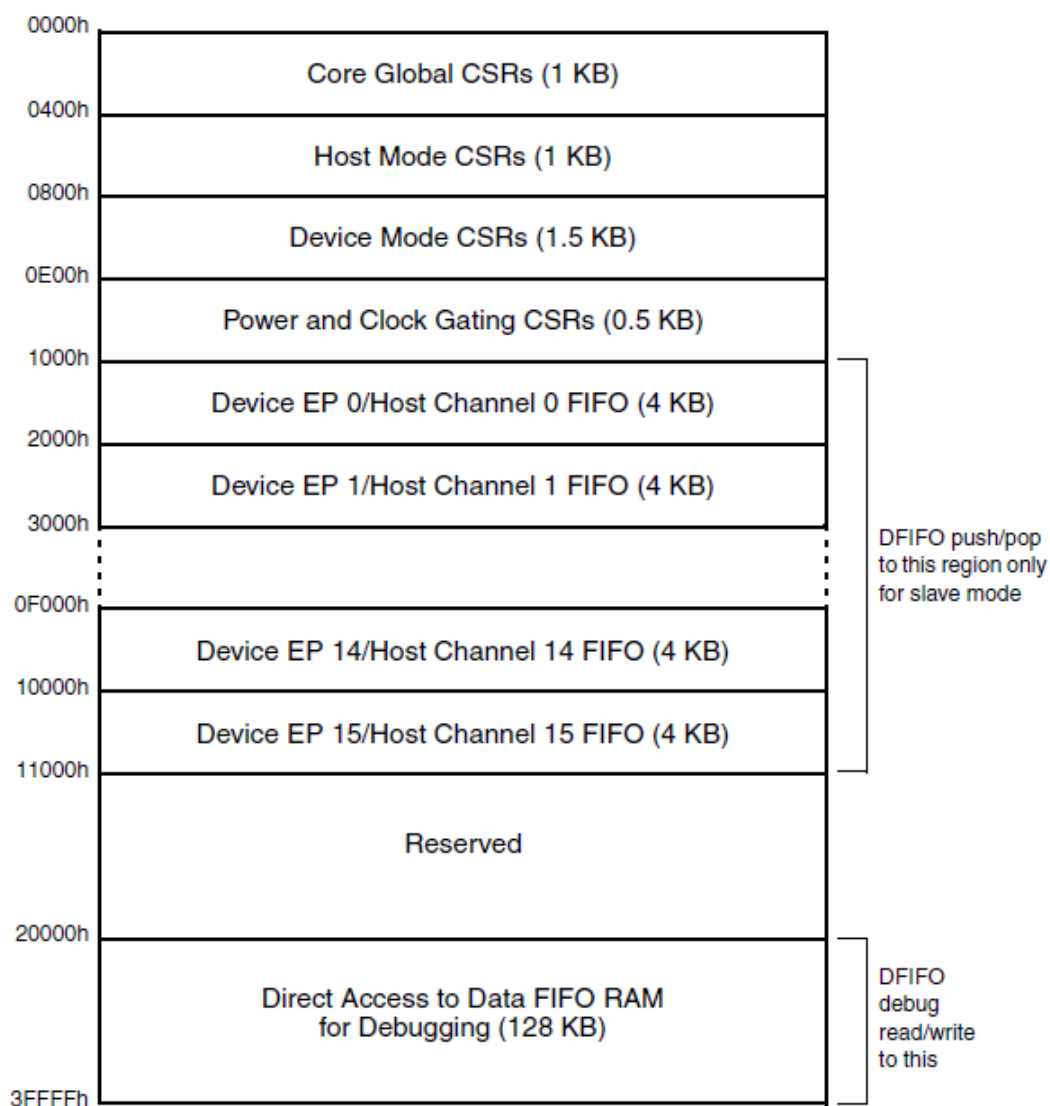


Рисунок 18.2. Карта памяти OTG CSR

Наименование	Имена регистров и типов регистров, указанные в порядке возрастания адреса.
Обозначение	Сокращенные обозначения регистров. Первая буква префикса указывает тип регистра: G: Общие регистры; H: Регистры режима Host; D: Регистр режима Device;

Смещение Адрес первого байта каждого регистра в шестнадцатеричном представлении (h),

18.2.2 Карта общих регистров CSR

Данные регистры доступны в обоих режимах контроллера (Host и Device).

Таблица 18.1. Карта общих регистров CSR

Обозначение	Смещение	Наименование
GOTGCTL	000h	Регистр управления и статуса (GOTGCTL)
GOTGINT	004h	Регистр прерываний (GOTGINT)
GAHBCFG	008h	Регистр конфигурации шины АHB (GAHBCFG)
GUSBCFG	00Ch	Регистр конфигурации шины USB (GUSBCFG)
GRSTCTL	010h	Регистр сброса (GRSTCTL)
GINTSTS	014h	Регистр статуса прерываний (GINTSTS)
GINTMSK	018h	Регистр маски прерываний (GINTMSK)
GRXSTSR	01Ch	Регистры отладочного чтения статуса принимающего буфера/ Чтения статуса принимающего буфера и выталкивания первой ячейки буфера (GRXSTSR/GRXSTSP)
GRXSTSP	020h	
GRXFSIZ	024h	Регистр размера принимающего буфера FIFO (GRXFSIZ)
GNPTXFSIZ	028h	Регистр размера передающего буфера FIFO неперiodических транзакций (GNPTXFSIZ)
GNPTXSTS	02Ch	Регистр статуса передающего буфера FIFO/очереди неперiodических передач (GNPTXSTS)
GI2CCTL	030h	Регистр доступа по интерфейсу I2C (GI2CCTL)
GPVNDCTL	034h	Регистр управления PHY (GPVNDCTL)
GGPIO	038h	Регистр портов ввода/вывода общего назначения (GGPIO)
GUID	03Ch	Регистр ID (GUID)
GSNPSID	040h	Регистр ID 2 (GSNPSID)
GHWCFG1	044h	Регистр 1 аппаратной конфигурации (GHWCFG1)
GHWCFG2	048h	Регистр 2 аппаратной конфигурации (GHWCFG2)
GHWCFG3	04Ch	Регистр 3 аппаратной конфигурации (GHWCFG3)
GHWCFG4	050h	Регистр 4 аппаратной конфигурации (GHWCFG4)
GLPMCFG	054h	Регистр управления интерфейсом LPM (GLPMCFG)
GPWRDN	0x58h	Регистр выключения питания (GPWRDN)
GDFIFOCFG	05Ch	Регистр программной настройки DFIFO (GDFIFOCFG)
GADPCTL	0x60h	Регистр таймера, управления и статуса протокола ADP (GADPCTL)»
HPTXFSIZ	100h	Регистр размера передающего буфера FIFO перiodических передач в режиме Host (HPTXFSIZ)
DPTXFSIZn	104h–13Ch Выделенный FIFO	Регистр размера передающего буфера FIFO перiodических передач в режиме Device (DPTXFSIZn)
DIEPTXFn	104h–13Ch Выделенный FIFO	Регистр размера передающего буфера FIFO входных конечных точек в режиме Device (DIEPTXFn)
	140h–3FFh	Резерв

18.2.3 Карта регистров режима Host

Данные регистры должны программироваться при каждом переходе блока в режим Host.

Таблица 18.2. Карта регистров режима Host (400h–7FFh)

Обозначение	Смещение	Наименование
HCFG	400h	Регистр конфигурации в режиме Host (HCFG)
HFIR	404h	Регистр настройки интервала кадров в режиме Host (HFIR)
HFNUM	408h	Регистр номера кадра/оставшегося времени кадра в режиме Host (HFNUM)
	40Ch	Резерв
HPTXSTS	410h	Регистр статуса передающего FIFO/очереди периодических передач в режиме Host (HPTXSTS)
HAINT	414h	Регистр прерываний от всех каналов в режиме Host (HAINT)
HAINTMSK	418h	Регистр маски прерываний от всех каналов в режиме Host (HAINTMSK)
HPRT	440h–47Ch	Регистр управления и статуса порта в режиме Host (HPRT)
	440h	Регистр управления и статуса порта в режиме Host (HPRT)
	444h–4FCh	Резерв
HCCCHARn	500h	Перевод хост-контроллера в тестовый режим
HCSPLTn	504h	Регистр управления разделенными передачами канала-n в режиме Host (HCSPLTn)
HCINTn	508h	Регистр прерывания от канала n в режиме Host (HCINTn)
HCINTMSKn	50Ch	Регистр маски прерывания от канала n в режиме Host (HCINTMSKn)
HCTSIzn	510h	Регистр размера передачи по каналу n в режиме Host (HCTSIzn)
HCDMAAn	514h	Регистр адреса DMA канала n в режиме Host (HCDMAAn)
	518h	Резерв
HCDMABn	51Ch	Регистр адреса буфера DMA канала n в режиме Host (HCDMABn)
HCCCHARn	520h–53Ch	Регистр характеристик канала n в режиме Host (HCCCHARn)
	540h–55Ch	
	...	Резерв
HCCCHARn	6C0h–6DCh	Регистр характеристик канала n в режиме Host (HCCCHARn)
	6E0h–6FCh	
	6FDh–7FFh	Резерв

18.2.4 Карта регистров режима Device

Данные регистры должны программироваться при каждом переходе блока в режим Device.

Таблица 18.3. Карта регистров режима Device (800h–BFFh)

Обозначение	Смещение	Наименование
	800h–ACh	Регистры входных конечных точек в режиме Device
DCFG	800h	Регистр конфигурации в режиме Device (DCFG)
DCTL	804h	Регистр управления в режиме Device (DCTL)
DSTS	808h	Регистр статуса в режиме Device (DSTS)
	80Ch	Резерв
DIЕPMSK	810h	Общий регистр маски прерываний от входных конечных точек в режиме Device (DIЕPMSK)
DOEPMSK	814h	Общий регистр маски прерываний от выходных конечных точек в режиме Device (DOEPMSK)
DAINT	818h	Регистр прерываний от всех конечных точек Device (DAINT)

Обозначение	Смещение	Наименование
DAINTMSK	81Ch	Регистр маски прерываний от всех конечных точек в режиме Device (DAINTMSK)
DTKNQR1	820h	Регистр 1 чтения очереди обучающей последовательности IN Token в режиме Device (DTKNQR1)
DTKNQR2	824h	Регистр 2 чтения очереди обучающей последовательности IN Token в режиме Device (DTKNQR2)
DTKNQR3	830h	Регистр 3 чтения очереди обучающей последовательности IN Token в режиме Device (DTKNQR3)
DTKNQR4	834h	Регистр 4 чтения очереди обучающей последовательности IN Token в режиме Device (DTKNQR4)
DVBUSDIS	828h	Регистр настройки временных параметров разрядки шины VBUS в режиме Device (DVBUSDIS)
DVBUSPULSE	82Ch	Регистр настройки временных параметров формирования импульса на шине VBUS в режиме Device (DVBUSPULSE)
DTHRCTL	830h	Регистр управления порогом в режиме Device (DTHRCTL)
DIEPEMPMSK	834h	Регистр маски прерывания пустого буфера FIFO входной конечной точки в режиме Device (DIEPEMPMSK)
DEACHINT	838h	Регистр прерывания от каждой конечной точки устройства (DEACHINT)
DEACHINTMSK	83Ch	Регистр маски прерывания от каждой конечной точки (DEACHINTMSK)
DIEPEACHMSK _n	840h	Регистр прерывания от каждой входной конечной точки n в режиме Device (DIEPEACHMSK _n)
DOPEACHMSK _n	880h	Регистр прерывания от каждой выходной точки n в режиме Device (DOPEACHMSK _n)
DIEPCTL0	900h	Регистр управления входной управляющей конечной точкой 0 в режиме Device (DIEPCTL0)
	904h	Резерв
DIEPCTL _n	920h - AE0h	Регистр управления конечной точкой n в режиме Device (DIEPCTL _n /DOEPCTL _n)
DIEPINT _n	908h	Регистр прерывания от конечной точки n в режиме Device (DIEPINT _n /DOEPINT _n)
	90Ch	Резерв
DIEPTSIZ0/DOEPT SIZ0	910h	Регистр размера передачи для конечной точки 0 в режиме Device (DIEPTSIZ0/DOEPTSIZ0)
DIEPTSIZ _n /DOEPT SIZ _n	910h	Регистр размера передачи для конечной точки n в режиме Device (DIEPTSIZ _n /DOEPTSIZ _n)
DIEPDMA _n	914h	Регистр настройки адреса для DMA конечной точки n (DIEPDMA _n /DOEPDMA _n)
DTXFST _{S_n}	918h	Регистр статуса передающего буфера FIFO входных конечных точек в режиме Device (DTXFST _{S_n})
DIEPDMA _{B0}	91Ch	Регистр адреса буфера DMA конечной точки n в режиме Device (DIEPDMA _{Bn} /DOEPDMA _{Bn})
DOEPCTL0	B00h	Регистр управления выходной управляющей конечной точкой 0 в режиме Device (DOEPCTL0)
	B04h	Резерв
DOEPCTL _n	B20h - CE0h	Регистр управления конечной точкой n в режиме Device (DIEPCTL _n /DOEPCTL _n)
DOEPINT _n	B08h	Регистр прерывания от конечной точки n в режиме Device (DIEPINT _n /DOEPINT _n)
	B0Ch	Резерв
DOEPTSIZ _n	B10h	Регистр размера передачи для конечной точки 0 в режиме Device (DIEPTSIZ0/DOEPTSIZ0)
DOEPDMA _n	B14h-CF4h	Регистр адреса DMA конечной точки n в режиме Device (DIEPDMA _n /DOEPDMA _n)
DOEPDMA _{B0}	B1Ch-CFCh	Регистр адреса буфера DMA конечной точки n в режиме Device (DIEPDMA _{Bn} /DOEPDMA _{Bn})

18.2.5 Карта регистров доступа к FIFO данных (DFIFO)

Регистры, доступные в обоих режимах (Host и Device), используются для чтения/записи пространства FIFO для определенной конечной точки или канала в заданном направлении. Если канал хост-контроллера относится к типу IN, буфер FIFO данного канала предназначается только для чтения. Аналогично, если канал относится к типу OUT, буфер FIFO данного канала предназначен только для записи.

Таблица 18.4. Карта регистров доступа к FIFO данных (DFIFO)

Секции регистров доступа к FIFO	Диапазон адресов	Доступ
Устройство IN конечная точка 0 /Хост OUT канал 0: DFIFO доступен по записи Устройство конечная точка OUT 0/ Хост IN Канал 0: DFIFO доступен по чтению	1000h–1FFCh	WO/RO
Устройство IN Конечная точка 1/Хост OUT Канал 1: DFIFO обращение по записи Устройство OUT Конечная точка 1/Хост IN Канал 1: DFIFO обращение по чтению	2000h–2FFCh	WO/RO
...
Устройство IN Конечная точка 14/Хост OUT Канал 14: DFIFO обращение по записи Устройство OUT Конечная точка 14/Хост IN Канал 14: DFIFO обращение по чтению	F000h–FFFCh	WO/RO
Устройство IN Конечная точка 15/Хост OUT Канал 15: DFIFO обращение по записи Устройство OUT Конечная точка 15/Хост IN Канал 15: DFIFO обращение по чтению	10000h–10FFCh	WO/RO

18.2.6 Карта регистров управления питанием и тактовой частотой

Этот регистр является единственным регистром управления питанием и тактовой частотой. Он доступен в обоих режимах, Host и Device.

Таблица 18.5. Регистр управления питанием и тактовой частотой

Наименование регистра	Обозначение	Смещение
Регистр управления питанием и тактовой частотой	PCGCCTL	E00h
Резерв		E05h–FFFh

18.2.7 Структура прерываний

На Рисунок 18.3 показана структура прерываний блока USBIC.

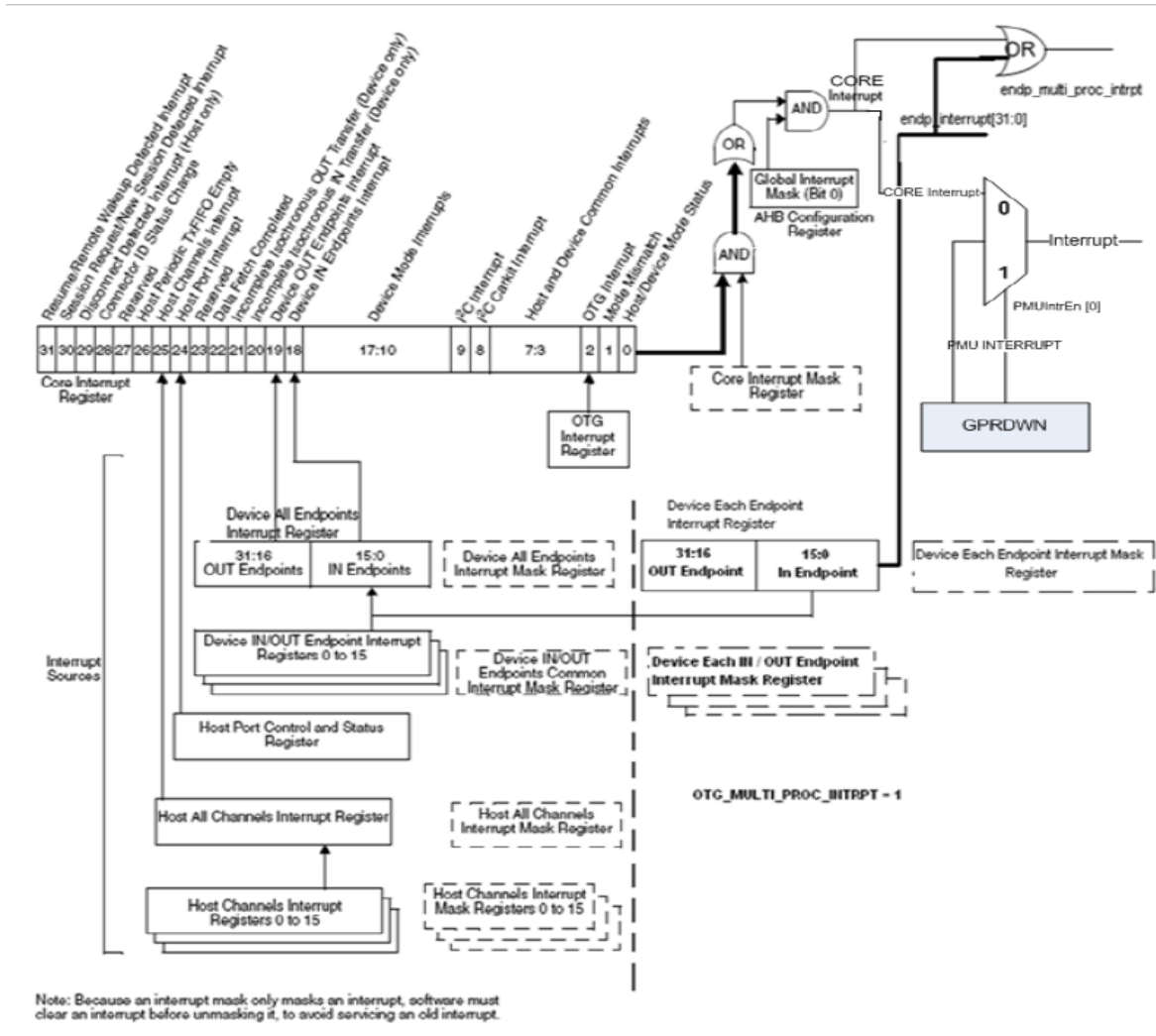


Рисунок 18.3. Структура прерываний блока USBIC

18.2.7.1 Прерывания в многопроцессорной системе

На Рисунок 18.4 показана структура прерываний в многопроцессорной системе.

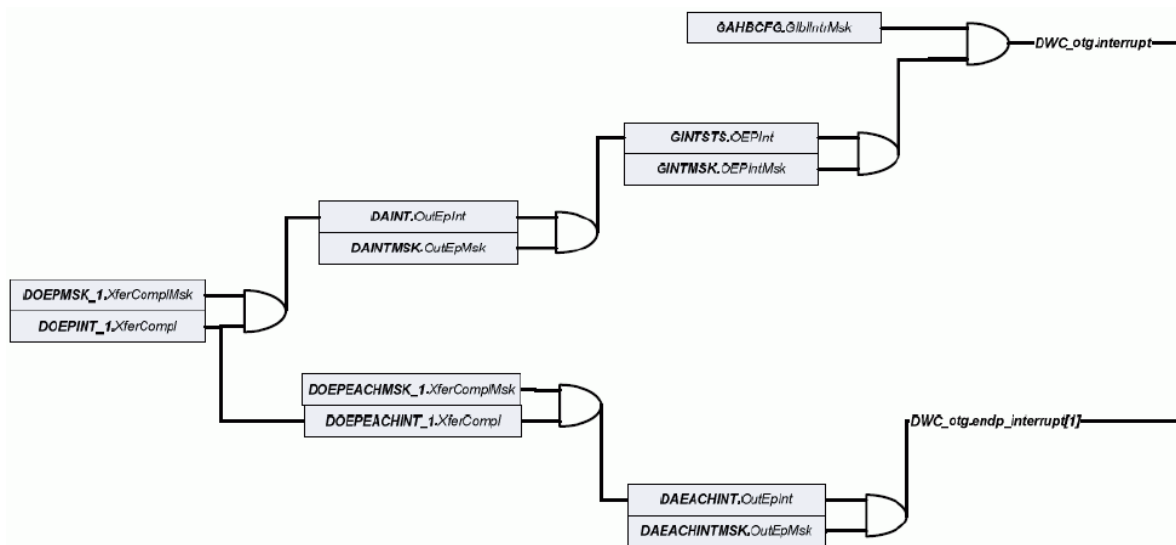


Рисунок 18.4. Структура прерываний в многопроцессорной системе

18.3 Описание регистров

В этом разделе представлено описание общих регистров, регистров режима Device, регистров режима Host и регистра управления питанием и тактовой частотой.

18.3.1 Программный доступ к регистрам

В столбце «доступ» в описании каждого регистра указан способ, с помощью которого программа и блок могут обращаться к разрядам регистров управления и статуса. Используются следующие обозначения:

Только чтение (RO)	Поле регистра доступен только для чтения. Запись в разряды, доступные только по чтению, игнорируется.
Только запись (WO)	Поле регистра доступен только для записи.
Чтение и запись (R_W)	Поле регистра доступно для чтения и записи. Значение поле может быть установлено путем записи 1'b1 и может быть очищено записью 1'b0.
Чтение, Запись, и авто-очистка (R_W_SC)	Поле регистра доступно для чтения и записи и очищается блоком в значение 1'b0 (Авто-очистка). Условия, при которых блок очищает это поле, приводятся в описании регистра.

Чтение, Запись, авто-установка, и авто-очистка (R_W_SS_SC)	Поле регистра доступно для чтения и записи, а также устанавливается блоком в значение 1'b1 по возникновению определенных событий USB (Авто-установка), и очищается в значение 1'b0 (Авто-очистка). Условия, при которых блок устанавливает и очищает это поле, приводятся в описании регистра. (Только один разряд использует этот тип доступа - HPRT.PrtRes).
Чтение, авто-установка, и очистка записью (R_SS_WC)	Поле регистра доступно для чтения и устанавливается блоком в 1'b1 по возникновению определенного внутреннего, события USB или АНВ (Авто-установка), и может быть очищено программой в значение 1'b0 записью регистра 1'b1 (Очистка записью). Запись значения 1'b0 игнорируется. Условия, при которых блок устанавливает и очищает это поле, приводятся в описании регистра.
Чтение, установка записью и авто-очистка (R_WS_SC)	Поле регистра доступно для чтения и может быть установлено программой в значение 1'b1 записью значения 1'b1 (Установка записью), и очищается блоком в 1'b0 (Авто-очистка). Разряды этого типа не очищаются программно, и запись 1'b0 в этот разряд игнорируется. Условия, при которых блок устанавливает и очищает это поле, приводятся в описании регистра. (Например, сигналы сброса)
Чтение, авто-установка, авто-очистка или очистка записью (R_SS_SC_WC)	Поле регистра доступно для чтения, устанавливается блоком в значение 1'b1 по возникновению определенного внутреннего события, USB, или АНВ события (Авто-установка), и может быть очищено блоком в значение 1'b0 (Авто-очистка), или программно записью 1'b1 (Очистка записью). Запись значения 1'b0 в этот разряд игнорируется. Условия, при которых ядро устанавливает и очищает это поле, приводятся в описании регистра. (Только разряды HPRT.PrtEna, и GPVNDCTL.VStsDone используют этот тип доступа).

Примечание. Резервные разряды должны быть запрограммированы в «0». При чтении эти разряды рассматриваются как неизвестные величины (X).

18.3.2 Список часто используемых регистров/разрядов

В данном разделе представлено краткое описание часто используемых регистров и разрядов. Более подробное описание содержится в соответствующих разделах.

Таблица 18.6. Список часто используемых разрядов и регистров контроллера

Номер разряда	Наименование регистра/разряда	Описание
	Регистр управления и статуса (GOTGCTL)	Регистр управления и статуса OTG управляет поведением и отражает состояние функции OTG.
11	Включение протокола HNP в режиме Device (DevHNPEn)	Программа устанавливает этот разряд после успешного получения команды SetFeature.SetHNPEnable от подключенного USB-хоста. <ul style="list-style-type: none"> • 1'b0: Протокол согласования хоста HNP (Host Negotiation Protocol) не включен; • 1'b1: HNP включен;
10	Host Set HNP Enable (HstSetHNPEn)	Программа устанавливает этот разряд после успешного включения протокола HNP (с помощью команды SetFeature.SetHNPEnable) на подключенном устройстве. <ul style="list-style-type: none"> • 1'b0: Host Set HNP не включен; • 1'b1: Host Set HNP включен;
	Регистр конфигурации шины АНВ (GАНВCFG)	Этот регистр может быть использован для конфигурации ядра после включения питания или переключения режима. Этот регистр содержит параметры конфигурации АНВ. Не следует вносить изменения в настройки этого регистра после начального программирования. Этот регистр должен быть запрограммирован до начала выполнения транзакций по шине АНВ или USB.
5	Включение режима DMA (DMAEn)	<ul style="list-style-type: none"> • 1'b0: Блок работает в режиме Slave; • 1'b1: Блок работает в режиме DMA;
	Регистр конфигурации USB (GUSBCFG)»	Этот регистр может быть использован для конфигурации блока после включения питания или переключения в режим Host или Device. Он содержит параметры конфигурации USB и USB-PHY. Необходимо запрограммировать этот регистр до начала транзакций по АНВ или USB. Не следует вносить изменения в начальные настройки этого регистра.
30	Принудительный переход в режим Device (ForceDevMode)	Запись значения «1» в этот разряд принудительно переводит блок в режим Device независимо от состояния входного сигнала utmiotg_iddig. <ul style="list-style-type: none"> • 1'b0: Нормальный режим; • 1'b1: Принудительный переход в режим Device; После установки этого разряда программа должна ждать минимум 25 мс до завершения смены режима. Этот разряд действителен только при OTG_MODE = 0, 1 или 2. В других случаях чтение этого разряда возвращает «0».
29	Принудительный переход в режим Host (ForceHstMode)	Запись значения «1» в этот разряд принудительно переводит ядро в режим хост-контроллера независимо от состояния входного сигнала utmiotg_iddig. <ul style="list-style-type: none"> • 1'b0: Нормальный режим; • 1'b1: Принудительный переход в режим хост-контроллера; После установки этого разряда программа должна ждать минимум 25 мс до завершения смены режима.
9	Включение HNP (HNPCap)	Этот разряд используется для управления функцией HNP блока USBIC. <ul style="list-style-type: none"> • 1'b0: HNP не включен; • 1'b1: HNP включен;

Номер разряда	Наименование регистра/разряда	Описание
8	Включение SRP (SRPCap)	Программа использует этот разряд для управления функцией SRP блока USBIC. Если блок работает как В-устройство без функции SRP, он не может запрашивать подключенное А-устройство (хост) для активации шины VBUS и начала сессии. <ul style="list-style-type: none"> 1'b0: SRP не включен; 1'b1: SRP включен;
6	Выбор высокоскоростного интерфейса PHY USB 2.0 или полноскоростного последовательного интерфейса USB 1.1 (PHYSel)	Приложение использует этот разряд для выбора высокоскоростного интерфейса UTMI+ или ULPI PHY, или полноскоростного трансивера. <ul style="list-style-type: none"> 1'b0: USB 2.0 высокоскоростной (High-Speed) UTMI+ или ULPI PHY; 1'b1: USB 1.1 полноскоростной (Full-Speed) последовательный трансивер; Этот разряд всегда равен «0» и доступен только для чтения.
4	Выбор интерфейса ULPI или UTMI+ (ULPI_UTMI_Sel)	Приложение использует этот разряд для выбора интерфейса UTMI+ или интерфейса ULPI. <ul style="list-style-type: none"> 1'b0: UTMI+; 1'b1: ULPI; Чтение всегда возвращает «0», разряд доступен только для чтения.
3	Интерфейс PHY (PHYIf)	Этот разряд используется для программной конфигурации поддержки UTMI+ PHY с 8- или 16-разрядным интерфейсом. При выборе ULPI PHY данное поле должно быть установлено в 8-разрядный режим. <ul style="list-style-type: none"> 1'b0: 8 разрядов; 1'b1: 16 разрядов;
	Регистр конфигурации в режиме Host (HCFG)	Этот регистр используется для конфигурации блока после включения питания. Не следует вносить изменения в настройки этого регистра после инициализации хост-контроллера.
23	Включение Scatter/gather DMA в режиме Host (DescDMA)	Программа может устанавливать этот разряд при инициализации для включения Scatter/Gather DMA. Примечание. Этот разряд должен быть модифицирован только один раз после сброса. Доступны следующие комбинации: <ul style="list-style-type: none"> GAHBCFG.DMAEn=0, HCFG.DescDMA=0 => режим Slave; GAHBCFG.DMAEn=0, HCFG.DescDMA=1 => Некорректное значение; GAHBCFG.DMAEn=1, HCFG.DescDMA=0 => Режим буферизированного DMA; GAHBCFG.DMAEn=1, HCFG.DescDMA=1 => режим Scatter/Gather DMA;
2	Поддержка режимов только FS- и LS (FSLSSupp)	Программа использует этот разряд для управления скоростью процесса нумерации блока. С помощью этого разряда программа может осуществить нумерацию блока в режиме FS host, даже если подключенное устройство поддерживает трафик HS. Не следует вносить изменения в значение этого поля после начального программирования. <ul style="list-style-type: none"> 1'b0: HS/FS/LS, на основании максимальной скорости, поддерживаемый подключенным устройством. 1'b1: только FS/LS, даже если подключенное устройство поддерживает HS.
	Регистр характеристик канала n в режиме Host (HCHARn)	

Номер разряда	Наименование регистра/разряда	Описание
19:18	Тип конечной точки (EPType)	<p>Определяет выбранный тип передачи.</p> <ul style="list-style-type: none"> • 2'b00: Управляющая передача; • 2'b01: Изохронная передача; • 2'b10: Массив данных; • 2'b11: Прерывание;
15	Направление конечной точки (EPDir)	<p>Определяет направление конечной точки.</p> <ul style="list-style-type: none"> • 1'b0: выходная передача (OUT); • 1'b1: входная передача (IN);
14:11	Номер конечной точки (EPNum)	Определяет номер конечной точки в устройстве, которая служит источником или приемником данных.
10:0	Максимальный размер пакета (MPS)	Определяет максимальный размер пакета для соответствующей конечной точки.
	Регистр размера передачи канала n в режиме Host (HCTSIZn)	
30:29	Идентификатор пакета PID (Pid)	<p>Приложение программирует это поле в значение типа PID, который используется для начальной транзакции. Хост сохраняет значение данного поля для остальной части транзакции.</p> <ul style="list-style-type: none"> • 2'b00: DATA0; • 2'b01: DATA2; • 2'b10: DATA1; • 2'b11: MDATA (не управляющий);
	Регистр конфигурации в режиме Device (DCFG)	<p>Данный регистр конфигурирует блок в режиме Device после включения питания или после выполнения определенных управляющих команд или нумерации. Не следует вносить изменения в начальные настройки этого регистра.</p>
25:24	Интервал периодического планирования (PerSchIntvl)	<p>Поле PerSchIntvl должно быть запрограммировано только для режима Scatter/Gather DMA.</p> <p>Данное поле определяет количество времени, которое внутренний DMA контроллер должен выделить для выборки данных от периодической входной конечной точки. На основании количества периодических конечных точек, это значение должно быть определено как 25,50 или 75% (микро)кадра.</p> <ul style="list-style-type: none"> • Если какие-либо периодические конечные точки активны, внутренний DMA контроллер выделяет заданное количество времени для выборки данных от периодической входной конечной точки. • Если нет активных периодических точек, внутренний DMA контроллер обслуживает непериодические конечные точки, игнорируя значение этого поля. • После заданного времени в (микро)кадре DMA переключается на выборку данных от непериодических конечных точек. <ul style="list-style-type: none"> • 2'b00: 25% микро(кадра); • 2'b01: 50% микро(кадра); • 2'b10: 75% микро(кадра); • 2'b11: Резерв;

Номер разряда	Наименование регистра/разряда	Описание
23	Включение Scatter/Gather DMA в режиме Device (DescDMA)	Программа может настраивать этот разряд во время инициализации для включения режима Scatter/Gather DMA. Примечание. Этот разряд должен быть модифицирован только один раз после сброса. Допустимы следующие комбинации: <ul style="list-style-type: none"> • GANBCFG.DMAEn=0,DCFG.DescDMA=0 => режим Slave; • GANBCFG.DMAEn=0,DCFG.DescDMA=1 => некорректное значение; • GANBCFG.DMAEn=1,DCFG.DescDMA=0 => режим буферизированного DMA; • GANBCFG.DMAEn=1,DCFG.DescDMA=1 => режим Scatter/Gather DMA;
10:4	Адрес устройства (DevAddr)	Это поле должно программироваться после каждой управляющей команды SetAddress.
1:0	Скорость устройства (DevSpd)	Определяет скорость, при которой программа требует производить нумерацию блока, или максимальную скорость, которую может поддерживать приложение. Тем не менее, актуальная скорость шины определяется только после выполнения последовательности chirp, и основана на скорости USB-хоста, к которому подключен блок. <ul style="list-style-type: none"> • 2'b00: Высокоскоростной режим (High speed) (частота USB 2.0 PHY равна 30 МГц или 60 МГц) • 2'b01: Полноскоростной режим (Full speed) (частота USB 2.0 PHY равна 30 МГц или 60 МГц); • 2'b10: Резерв; • 2'b11: Полноскоростной режим (частота трансивера USB 1.1 равна 48 МГц)
	Регистр управления конечной точкой n в режиме устройства (DIEPCTLn/DOEPCTLn)	Программа использует это поле для управления поведением всех логических точек, кроме логической точки 0.
29	Set DATA1 PID (SetD1PID)	Применяется только к входным и выходным конечным точкам типа прерывание/массив данных. Запись в этот разряд устанавливает поле DPID в данном регистре в значение DATA1. Это поле используется в обоих режимах Scatter/Gather DMA и не Scatter/Gather DMA.
28	Set DATA0 PID (SetD0PID)	Применяется только к входным и выходным конечным точкам типа прерывание/массив данных. Запись в это поле устанавливает поле DPID в этом регистре в значение DATA0. Это поле используется для режимов Scatter/Gather DMA и не Scatter/Gather DMA.
19:18	Тип конечной точки (EPType)	Применяется к входным и выходным конечным точкам. Определяет тип передачи, поддерживаемый логической конечной точкой. <ul style="list-style-type: none"> • 2'b00: Управляющая передача; • 2'b01: Изохронная передача; • 2'b10: Массив данных; • 2'b11: Прерывание;
10:00	Максимальный размер пакета (MPS)	Применяется к входным и выходным конечным точкам. Этот разряд должен программироваться в значение максимального размера пакета для текущей логической конечной точки. Это значение указывается в байтах.

18.3.3 Общие регистры

Данные регистры доступны в режиме Host и Device и не требуют перепрограммирования при переключении между режимами.

18.3.3.1 Регистр управления и статуса (GOTGCTL)

Смещение: 000h;

Регистр управления и статуса OTG управляет поведением и отражает состояние функции OTG.

Таблица 18.7. Регистр управления и статуса (GOTGCTL)

Разряды	Описание	Режим	Сброс	Доступ
31:26	Резерв	Host и Device		RO
27	Разрешение последовательности Chirp On (ChirpEn) Разряд зарезервирован	Только Device	1'b0	RW
26:22	Значения многофункционального входа ID (MultValIdBc) Разряды зарезервированы	Host и Device	Задается при конфигурации Значение после сброса неизвестно, если OTG_BC_SUPPORT=1 и «0» в обратном случае.	RO
21	Резерв	Host и Device		RO
20	Версия стандарта OTG (OTGVer) • 1'b0: Версия OTG 1.3. В этой версии ядро поддерживает протокол запроса сессии (SRP) методом пульсации на шине данных и методом пульсации на шине VBus. • 1'b1: Версия OTG 2.0. В этой версии ядро поддерживает протокол запроса сессии (SRP) только методом пульсации на шине данных.		1'b0	RW
19	Валидная B-сессия (BSesVld) Указывает статус трансивера в режиме Device. • 1'b0: B-сессия не валидна. • 1'b1: B-сессия валидна. В режиме OTG этот разряд может быть установлен для определения наличия подключенного устройства..	Только Device	Задается при конфигурации	RO

Разряды	Описание	Режим	Сброс	Доступ
18	Валидная А-сессия (ASesVld) Статус трансивера в режиме Host. Указывает статус трансивера в режиме Host. • 1'b0: А-сессия не валидна; • 1'b1: А-сессия валидна; В режиме Device этот разряд является резервным.	Host	Задается при конфигурации	RO
17	Длительный/короткий переходной период (Debounce Time) (DbncTime) Определяет время ожидания завершения переходного процесса при обнаружении подключения. • 1'b0: Длительное время ожидания завершения переходного процесса, используемое для физического подключения (100 ms + 2.5 μs) • 1'b1: Короткое время ожидания завершения переходного процесса, используемое для программных подключений (2.5 μs)	Host	1'b0	RO
16	Статус сигнала ID (ConIDSts) Определяет статус контакта ID при подключении устройства • 1'b0: Блок USBIC находится в режиме А-устройства; • 1'b1: Блок USBIC находится в режиме В-устройства	Host и Device	1'b1	RO
15:12	Резерв	Host и Device		RO
11	Устройство переведено в режим HNP (DevHNPEn) Программа устанавливает этот разряд при успешном получении команды SetFeature.SetHNPEnable от подключенного USB-хоста. • 1'b0: режим HNP отключен; • 1'b1: режим HNP включен;	Device OTG	1'b0	R_W
10	Включение Host Set HNP (HstSetHNPEn) Программа может устанавливать этот разряд для включения HNP (с помощью команды SetFeature.SetHNPEnable) в контроллере подключенного устройства. • 1'b0: Host Set HNP не включен • 1'b1: Host Set HNP включен	Host OTG	1'b0	R_W
9	Запрос HNP (HNPREq) Программа устанавливает этот разряд для инициации запроса HNP к подключенному хосту USB. Программа может очищать этот разряд путем записи «0», когда установлен разряд GOTGINT.HstNegSucStsChng. Блок очищает этот разряд после сброса разряда HstNegSucStsChng. • 1'b0: HNP запрос отсутствует; • 1'b1: HNP запрос;	Device OTG	1'b0	R_W

Разряды	Описание	Режим	Сброс	Доступ
8	<p>Согласование хост-контроллера было успешным (HstNegScs)</p> <p>Блок устанавливает этот разряд, если согласование хост-контроллера было успешным. Блок очищает этот разряд при установке разряда HNPreq в этом регистре.</p> <ul style="list-style-type: none"> • 1'b0: Неудачное согласование хост-контроллером; • 1'b1: Успешное согласование; 	Device	1'b0	RO
7	<p>Значение сигнала Bvalid при переопределении валидности сессии B-Peripheral (BvalidOvVal)</p> <p>Этот разряд используется для принудительной установки значения для сигнала Bvalid при установке разряда GOTGCTL.BvalidOvEn.</p> <ul style="list-style-type: none"> • 1'b0: Значение Bvalid равно 1'b0 при GOTGCTL.BvalidOvEn = 1. • 1'b1: Значение Bvalid равно 1'b1 при GOTGCTL.BvalidOvEn = 1. 	Device	1'b0	R_W
6	<p>Разрешение переопределения валидности сессии B-Peripheral (BvalidOvEn)</p> <p>Этот разряд используется для разрешения/запрещения программного переопределения сигнала Bvalid с помощью разряда GOTGCTL.BvalidOvVal.</p> <ul style="list-style-type: none"> • 1'b1: Значение принятого сигнала Bvalid от PHY переопределяется с помощью GOTGCTL.BvalidOvVal. • 1'b0: Переопределение запрещено, и сигнал Bvalid от соответствующего выбранного PHY используется блоком. 	Device	1'b0	R_W
5	<p>Значение сигнала Avalid при переопределении валидности сессии A-Peripheral (AvalidOvVal).</p> <p>Этот разряд используется для принудительной установки значения для сигнала Avalid при установленном GOTGCTL.AvalidOvEn.</p> <ul style="list-style-type: none"> • 1'b0: Значение Avalid равно 1'b0 при GOTGCTL.AvalidOvEn = 1. • 1'b1: Значение Avalid равно 1'b1 при GOTGCTL.AvalidOvEn = 1. 	Host	1'b0	R_W
4	<p>Разрешение переопределения валидности сессии A-Peripheral (AvalidOvEn)</p> <p>Этот разряд используется для разрешения/запрещения программного переопределения значения сигнала Avalid с помощью GOTGCTL.AvalidOvVal.</p> <ul style="list-style-type: none"> • 1'b1: Значение принятого сигнала Avalid от PHY переопределяется с помощью GOTGCTL.AvalidOvVal. • 1'b0: Переопределение запрещено, и сигнал Avalid от соответствующего PHY используется блоком. 	Host	1'b0	R_W

Разряды	Описание	Режим	Сброс	Доступ
3	<p>Значение переопределения валидности VBUS (VbvalidOvVal)</p> <p>Этот разряд используется для переопределения значения сигнала валидности vbus при установке GOTGCTL.VbusvalidOvEn.</p> <ul style="list-style-type: none"> • 1'b0: значение vbusvalid равно 1'b0 при GOTGCTL.VbvalidOvEn = 1. • 1'b1: значение vbusvalid равно 1'b1 при GOTGCTL.VbvalidOvEn = 1. 	Host	1'b0	R_W
2	<p>Разрешение переопределения валидности VBUS (VbvalidOvEn)</p> <p>Этот разряд используется для разрешения/запрещения программного переопределения сигнала vbus-valid с помощью GOTGCTL.vbvalidOvVal.</p> <ul style="list-style-type: none"> • 1'b1: Значение сигнала vbus-valid, полученного от PHY переопределяется с помощью GOTGCTL.vbvalidOvVal. • 1'b0: Переопределение сигнала запрещено, и сигнал avalid от соответствующего PHY используется блоком. 	Host	1'b0	R_W
1	<p>Запрос сессии (SesReq)</p> <p>Программа устанавливает этот разряд для инициирования запроса сессии на шине USB. Программа может очищать этот разряд путем записи «0», если установлен разряд GOTGINT.HstNegSucStsChng. Блок очищает этот разряд при сбросе разряда HstNegSucStsChng.</p> <p>Если используется полноскоростной последовательный интерфейс USB 1.1, для инициирования запроса сессии программа должна ждать разрядки шины VBUS до значения 0.2 V после очистки разряда GOTGCTL.BSesVld). Время разрядки отличается в различных блоках PHY.</p> <ul style="list-style-type: none"> • 1'b0: Нет запроса сессии; • 1'b1: Запрос сессии; 	Только Device	1'b0	R_W
0	<p>Успешный запрос сессии (SesReqScs)</p> <p>Блок устанавливает этот разряд при успешном инициировании запроса сессии.</p> <ul style="list-style-type: none"> • 1'b0: Неудачный запрос сессии; • 1'b1: Успешный запрос сессии; 	Только Device	1'b0	RO

18.3.3.2 Регистр прерываний (GOTGINT)

Смещение: 004h;

Программа считывает значение разрядов этого регистра при наличии прерывания OTG и очищает разряды в этом регистре для очистки прерывания OTG.

Таблица 18.8. Регистр прерываний (GOTGINT)

Разряды	Описание	Режим	Сброс	Доступ
31:20	Резерв	Host и Device		RO
20	Значение многофункционального входа было изменено Разряд зарезервирован		1'b0	R_SS_WC
19	Флаг завершения переходного процесса (DbnceDone) Блок устанавливает этот разряд, когда завершен переходной процесс после подключения устройства. Программа может начать установку процедуры сброса USB после обнаружения этого прерывания. Этот разряд действителен только при установке GUSBCFG.HNPCap или GUSBCFG.SRPCap.	Host	1'b0	R_SS_WC
18	Изменение таймаута А-устройства (ADevTOUTChg) Блок устанавливает этот разряд для указания таймаута А-устройства во время ожидания подключения В-устройства.	Host и Device	1'b0	R_SS_WC
17	Обнаружен запрос согласования хоста (HstNegDet) Блок устанавливает этот разряд при обнаружении запроса на согласование хоста на шине USB.	Host и Device	1'b0	R_SS_WC
16:10	Резерв	Host и Device		RO
9	Изменение статуса согласования хоста (HstNegSucStsChng) Блок устанавливает этот разряд при успешном или неудачном запросе на согласования хоста на шине USB. Программа должна прочитать разряд GOTGCTL.HstNegScs для проверки статуса запроса.	Host и Device	1'b0	R_SS_WC
8	Изменение статуса запроса сессии (SesReqSucStsChng) Блок устанавливает этот разряд при успешном или неудачном запросе сессии. Программа должна прочитать разряд GOTGCTL.SesReqScs для проверки успешного выполнения.	Host и Device	1'b0	R_SS_WC
7:3	Резерв	Host и Device		RO
2	Конец сессии (SesEndDet) Блок устанавливает этот разряд при сбросе сигнала utmisrp_bvalid.	Device	1'b0	R_SS_WC
1:0	Резерв	Host и Device		RO

18.3.3.3 Регистр конфигурации шины АНВ (GANBCFG)

Смещение: 008h;

Данный регистр может быть использован для конфигурации блока после включения питания или переключения режима. Регистр содержит параметры конфигурации шины АНВ. Не следует вносить изменения в настройки данного регистра после начального программирования. Данный регистр должен программироваться до начала любых транзакций по шине АНВ или USB.

Таблица 18.9. Регистр конфигурации шины АНВ (GANBCFG)

Разряды	Описание	Режим	Сброс	Доступ
31:23	Резерв	Host и Device		RO
22	<p>Уведомление о завершении всех транзакций записи Dma (NotiAllDmaWrit) Этот разряд программируется для включения режима System DMA Done для всех транзакций записи DMA, соответствующих этому каналу/конечной точке. Этот разряд действителен только при установке GANBCFG.RemMemSupp в «1».</p> <ul style="list-style-type: none"> • GANBCFG.No+tiAllDmaWrit = 1 - HSOTG выставляет сигнал int_dma_req для всех транзакций записи DMA на интерфейсе АНВ вместе с int_dma_done, chcr_last_transact и chcr_number. Блок ждет сигнала sys_dma_done для всех транзакций записи DMA для выполнения передачи определенного канала/конечной точки. • GANBCFG.NotiAllDmaWrit = 0; - HSOTG ядро выставляет сигнал int_dma_req только для последней транзакции записи DMA, соответствующей определенному каналу/конечной точки. Аналогично, блок ждет сигнал sys_dma_done только для транзакции записи DMA для завершения передачи определенного Канала/конечной точки. 	Host и Device	1'b0	R_W

Разряды	Описание	Режим	Сброс	Доступ
21	<p>Поддержка удаленной памяти (RemMemSupp)</p> <p>Этот разряд программируется для включения режима ожидания system DMA Done Signal для передач записи DMA.</p> <ul style="list-style-type: none"> • GANBCFG.RemMemSupp=1; <p>- Внешний сигнал int_dma_req выставляется, когда HSOTG DMA начинает передачи по записи во внешнюю память. Когда блок завершает выполнение передач, он устанавливает сигнал int_dma_done для информирования о завершении записей DMA от HSOTG. Затем блок ждет сигнала sys_dma_done от системы для продолжения работы и выполнения передачи данных, соответствующих определенному каналу/конечной точке.</p> <ul style="list-style-type: none"> • GANBCFG.RemMemSupp=0; <p>- Сигналы int_dma_req и int_dma_done не устанавливаются, и блок выставляет прерывание XferComp, как только завершается запись DMA в пределах коммутационной среды HSOTG и при этом блок не ждет сигнала sys_dma_done для завершения передачи данных.</p>	Host и Device	1'b0	R_W
20:9	Резерв	Host и Device		RO
8	<p>Опустошение буфера Tx FIFO периодических передач (PTxFEmpLvl)</p> <p>Означает установку разряда GINTSTS.PTxFEmp. Этот разряд используется только в режиме Slave.</p> <ul style="list-style-type: none"> • 1'b0: Прерывание GINTSTS.PTxFEmp означает, что буфер Tx FIFO периодических передач опустошен наполовину; • 1'b1: Прерывание GINTSTS.PTxFEmp означает, что буфер Tx FIFO периодических передач опустошен полностью; 	Host	1'b0	R_W

Разряды	Описание	Режим	Сброс	Доступ
7	<p>Опустошение буфера TxFIFO неперіодических передач (NPTxFEmpLvl) Этот разряд используется только в режиме Slave.</p> <p>В режиме Host и Device с распределенным FIFO этот разряд определяет, когда устанавливается разряд GINTSTS.NPTxFEmp.</p> <p>В режиме Device с выделенным FIFO этот разряд определяет, когда устанавливается прерывание опустошения передающего буфера FIFO входной конечной точки (DIEPINTn.TxFEmp).</p> <p>В режиме Host и Device с распределенным FIFO:</p> <ul style="list-style-type: none"> • 1'b0: прерывание GINTSTS.NPTxFEmp указывает, что буфер TxFIFO неперіодических передач наполовину пуст; • 1'b1: GINTSTS.NPTxFEmp указывает, что буфер TxFIFO неперіодических передач полностью пуст; <p>В режиме Device с выделенным FIFO:</p> <ul style="list-style-type: none"> • 1'b0: Прерывание DIEPINTn.TxFEmp указывает, что буфер TxFIFO входной конечной точки наполовину пуст; • 1'b1: Прерывание DIEPINTn.TxFEmp указывает, что буфер TxFIFO входной конечной точки полностью пуст; 	Host и Device	1'b0	R_W
6	Резерв	Host и Device		RO
5	<p>Включение DMA (DMAEn)</p> <ul style="list-style-type: none"> • 1'b0: Блок работает в режиме Slave; • 1'b1: Блок работает в режиме DMA; 	Host и Device	1'b0	R_W

Разряды	Описание	Режим	Сброс	Доступ
4:1	<p>Тип/длина пакета (HbStLen) Это поле используется в режиме внешнего и внутреннего DMA. В режиме внешнего DMA эти разряды устанавливаются на шине dma_burst[3:0], которые могут быть использованы внешней обвязкой для соединения с внешним DMA контроллером.</p> <p>Режим внешнего DMA — определяет длину пакета DMA в 32-разрядных словах:</p> <ul style="list-style-type: none"> • 4'b0000: 1 слово; • 4'b0001: 4 слова; • 4'b0010: 8 слов; • 4'b0011: 16 слов; • 4'b0100: 32 слова; • 4'b0101: 64 слова; • 4'b0110: 128 слова; • 4'b0111: 256 слов; • Остальные: резерв <p>Режим внутреннего DMA — тип пакета АНВ Master:</p> <ul style="list-style-type: none"> • 4'b0000: Одиночная передача; • 4'b0001: Пакетная передача произвольного количества слов с инкрементацией адреса (INCR); • 4'b0011: Пакетная передача 4 слов с инкрементацией адреса (INCR4); • 4'b0101: Пакетная передача 8 слов с инкрементацией адреса (INCR8); • 4'b0111: Пакетная передача 16 слов с инкрементацией адреса (INCR16); • Остальные: Резерв; <p>Режим Slave: Поддерживается только режим одиночной передачи.</p>	Host и Device	4'b0	R_W
0	<p>Маска общего прерывания (GlbIntrMsk) Программа использует этот разряд для маскирования или разрешения формирования прерывания на линиях, которые она отслеживает. Независимо от настройки этого разряда, значения регистров статуса прерывания обновляются блоком автоматически.</p> <ul style="list-style-type: none"> • 1'b0: Установка прерывания маскируется; • 1'b1: Установка прерывания не маскируется; 	Host и Device	1'b0	R_W

18.3.3.4 Регистр конфигурации шины USB (GUSBCFG)

Смещение: 00Ch;

Данный регистр может быть использован для конфигурации блока после включения питания или переключения между режимами Host и Device. Он содержит параметры конфигурации USB и USB-PHY. Этот регистр должен программироваться до начала любых транзакций на шине АНВ или USB. Не следует вносить изменения в настройки этого регистра после начального программирования.

Таблица 18.10. Регистр конфигурации шины USB (GUSBCFG)

Разряды	Описание	Режим	Сброс	Доступ
31	Пакет Corrupt Tx Этот разряд используется только в целях отладки. Не допускается установка в «1».	Host и Device	1'b0	WO
30	Принудительный переход в режим Device (ForceDevMode) Запись значения «1» в этот разряд принудительно переводит блок в режим Device независимо от значения входа utmiotg_iddig. • 1'b0: Нормальный режим; • 1'b1: Принудительный переход в режим Device.	Host и Device	1'b0	R_W
29	Принудительный переход в режим Host (ForceHstMode) Запись значения «1» в этот разряд принудительно переводит блок в режим Host, независимо от значения входа utmiotg_iddig. • 1'b0: Нормальный режим; • 1'b1: Принудительный переход в режим Host;	Host и Device	1'b0	R_W
28	Задержка Tx End (TxEndDelay) Запись «1» в этот разряд включает таймеры TxEndDelay. • 1'b0: Нормальный режим; • 1'b1: Включены таймеры задержки Tx end;	Только Device	1'b0	R_W
26	Управление интерфейсом IC_USB (IC_USBCap) Программа использует этот разряд для управления опцией IC_USB блока USBIC. Значение после сброса равно 1'b0, разряд доступен только по чтению.	Host и Device		RO
25	Отключение защиты интерфейса ULPI Данный разряд управляет встроенной схемой защиты интерфейса ULPI в блоке PHY, если сигналы STP или DATA находятся в Z-состоянии. Данный разряд является резервным и доступен только для чтения.	Только Host	1'b0	RO
24	Индикатор Pass Through Данный разряд определяет, проверяется ли сигнал Complement output внутренним компаратором Vbus Valid перед использованием в Vbus State в RX CMD. Этот разряд является резервным и доступен только по чтению.	Только Host	1'b0	RO
23	Индикатор Complement Данный разряд определяет, инвертируется ли входной сигнал ExternalVbusIndicator блока PHY, генерирующий выход Complement Output. Этот разряд является резервным и доступен только по чтению.	Только Host	1'b0	RO

Разряды	Описание	Режим	Сброс	Доступ
22	Выбор сигнала TermSel DLine для пульсации на шине данных (TermSelDLPulse) Этот разряд выбирает сигнал utmi_termselect, используемый для пульсации на шине данных во время SRP. • 1'b0: Пульсация на шине данных с помощью сигнала utmi_txvalid (по умолчанию). • 1'b1: Пульсация на шине данных с помощью сигнала utmi_termsel.	Только Device	1'b0	R_W
16	Выбор интерфейса UTMIFS или I2C (OtgI2CSel) Чтение возвращает «0», разряд доступен только для чтения.	Host и Device	1'b0	RO
15	Выбор тактовой частоты PHY в режиме низкого энергопотребления (PhyLPwrClkSel) Этот разряд используется для выбора режима низкого энергопотребления PHY 480 МГц или 48 МГц. В режимах FS и LS обычно блок PHY работает на частоте 48 МГц в целях энергосбережения. • 1'b0: Внутренняя частота 480 МГц, генерируемая PLL. • 1'b1: Внешняя частота 48 МГц. В режиме с тактовой частотой 480 МГц интерфейс UTMI работает на частоте 60 или 30 МГц, в зависимости от выбора ширины данных, 8-разрядной или 16-разрядной. В режиме с тактовой частотой 48 МГц интерфейс UTMI работает на частоте 48 МГц в режимах FS и LS. Значение данного разряда устанавливается на выходном сигнале контроллера utmi_fsls_low_power, и действителен только для UTMI+ PHY.	Host и Device	1'b0	R_W
14	Резерв	Host и Device		RO
13:10	Время переключения USB (USBTrdTim). Устанавливает время переключения в тактах частоты PHY. Определяет время ответа на запрос MAC контроллеру буфера Packet FIFO (PFC) для выборки данных из DFIFO (SPRAM). Это поле должно быть запрограммировано в значения: • 4'h5: Если интерфейс MAC 16-разрядный UTMI+. • 4'h9: Если интерфейс MAC 8-разрядный UTMI+. Примечание. Значения, указанные выше, рассчитываются для минимальной частоты АНВ в 30 МГц. Время переключения USB важно для процедуры сертификации, где используются длинные кабели соединения и 5 разъемный концентратор (5-Hubs). Таким образом, если необходимо, чтобы частота	Только Device	4'h5	R_W

Разряды	Описание	Режим	Сброс	Доступ
	АНВ была меньше чем 30 МГц, и если время переключения USB не является критичным, эти разряды могут быть запрограммированы в большее значение.			
9	Включение опции HNP (HNPCap) Программа использует этот разряд для управления опцией HNP блока USBIC. • 1'b0: Опция HNP не включена; • 1'b1: Опция HNP включена; Если опция HNP отключена программно, сигналы OTG в домене PHY должны быть установлены в определенные значения.	Host и Device	1'b0	RO / R_W
8	Включение опции SRP (SRPCap) Программа использует этот разряд для управления опцией SRP блока USBIC. Если блок работает как В-устройство без функции SRP, он не может посылать запрос подключенному А-устройству (хост) на активацию шины VBUS и начало сессии. • 1'b0: Опция SRP не включена; • 1'b1: Опция SRP включена; Если опция SRP отключается программно, сигналы OTG в домене PHY должны быть установлены в определенные значения.	Host и Device	1'b0	RO / R_W
6	Выбор между интерфейсами USB 2.0 High-Speed PHY и USB 1.1 Full-Speed Serial Transceiver (PHYSel). Программа использует этот разряд для выбора высокоскоростного UTMI+ или ULPI PHY, или полноскоростного последовательного интерфейса. • 1'b0: USB 2.0 высокоскоростной UTMI+ или ULPI PHY; • 1'b1: USB 1.1 полноскоростной последовательный трансивер; Данный разряд всегда равен «0» и доступен только по чтению.	Host и Device	1'b0	RO
5	Выбор полноскоростного последовательного интерфейса (FSIntf). Программа использует этот разряд для выбора однонаправленного или двунаправленного полноскоростного последовательного интерфейса USB 1.1. Данный разряд всегда равен «0» с доступом только по чтению.	Host и Device	1'b0	RO
4	Выбор ULPI или UTMI+ (ULPI_UTMI_Sel) Программа использует этот разряд для выбора интерфейса UTMI+ или ULPI. • 1'b0: UTMI+; • 1'b1: ULPI; Значение этого разряда учитывается только при GUSBCFG.PHYSel = 1'b1.	Host и Device	1'b0	RO / R_W

Разряды	Описание	Режим	Сброс	Доступ
3	Интерфейс PHY (PHYIf) Этот разряд используется при конфигурации блока для поддержки контроллеров UTMI+PHY с 8- или 16-разрядным интерфейсом. • 1'b0: 8 разрядов; • 1'b1: 16 разрядов;	Host и Device	Задается при конфигурации	RO / R_W
2:0	Калибровка таймаута HS/FS (TOutCal) Количество тактов PHY, которое программа устанавливает в этом поле, прибавляется к длительности межпакетного таймаута в режиме HS/FS для вычисления любых дополнительных задержек, вводимых PHY. Задержка, вводимая PHY при генерации условия состояния линии, может отличаться в различных блоках PHY. Стандартное значение таймаута USB для работы в высокоскоростном режиме (HS) равно от 736 до 816 (включительно) битовых интервалов. Стандартное значение таймаута USB для работы в полноскоростном режиме (FS) от 16 до 18 (включительно) битовых интервалов. Программа должна устанавливать значение этого поля на основе скорости нумерации. Количество битовых интервалов, прибавляемых к каждому такту частоты PHY равно: Высокоскоростной режим: • 1 такт частоты PHY 30 МГц = 16 битовых интервалов; • 1 такт частоты 60 PHY МГц = 8 битовых интервалов; Полноскоростной режим: • 1 такт частоты PHY 30 МГц = 0.4 битовых интервала; • 1 такт частоты PHY 60 МГц = 0.2 битовых интервала; • 1 такт частоты PHY 48 МГц = 0.25 битовых интервала;	Host и Device	3'h0	R_W

18.3.3.5 Регистр сброса (GRSTCTL)

Смещение: 010h;

Программа использует этот регистр для сброса различных аппаратных опций внутри блока.

Таблица 18.11. Регистр сброса (GRSTCTL)

Разряды	Описание	Режим	Сброс	Доступ
31	Состояние простоя шины АНВ Master (AHBIdle) Указывает состояние простоя (IDLE) машины состояний мастера шины АНВ.	Host и Device	1'b1	RO

Разряды	Описание	Режим	Сброс	Доступ
30	Сигнал запроса DMA (DMAReq) Указывает, что запрос DMA находится в процессе обработки. Используется только в целях отладки.	Host и Device	1'b0	RO
29:11	Резерв	Host и Device		RO
10:6	Номер TxFIFO (TxFNum) Номер FIFO, который должен быть очищен с помощью разряда TxFIFO Flush. Значение этого поля не должно изменяться, пока блок не сбросит разряд TxFIFO Flush. <ul style="list-style-type: none"> • 5'h0: <ul style="list-style-type: none"> - Очистка TxFIFO неперiodических транзакций в режиме Host; - Очистка TxFIFO неперiodических транзакций в режиме Device с распределенным FIFO; - Очистка Tx FIFO 0 в режиме Device с выделенным FIFO; • 5'h1: <ul style="list-style-type: none"> - Очистка TxFIFO периодических транзакций в режиме Host; - Очистка TxFIFO 1 периодических транзакций в режиме Device с распределенным FIFO; - Очистка TXFIFO 1 в режиме Device с выделенным FIFO; • 5'h2: <ul style="list-style-type: none"> - Очистка TxFIFO 2 периодических транзакций в режиме Device с распределенным FIFO; - Очистка TXFIFO 2 в режиме Device с выделенным FIFO; ... • 5'hF: <ul style="list-style-type: none"> - Очистка TxFIFO 15 периодических транзакций в режиме Device с распределенным FIFO; - Очистка TXFIFO 15 в режиме Device с выделенным FIFO; • 5'h10: <ul style="list-style-type: none"> - Очистка всех передающих FIFO в режиме Device или Host; 	Host и Device	5'h0	R_W

Разряды	Описание	Режим	Сброс	Доступ
5	<p>Очистка TxFIFO (TxFFlsh)</p> <p>Этот разряд выборочно сбрасывает один или все передающие буферы FIFO, за исключением случая, когда блок находится в процессе выполнения транзакции.</p> <p>Программа должна записывать этот разряд только после подтверждения отсутствия выполняемых в данный момент операций записи или чтения TxFIFO.</p> <p>Проверка выполняется с помощью следующих регистров:</p> <ul style="list-style-type: none"> • Чтение — прерывание NAK Effective подтверждает, что блок в данный момент не выполняет чтение из FIFO. • Запись — Поле регистра GRSTCTL.ANBIdle подтверждает, что блок в данный момент не выполняет запись в FIFO. <p>Очистку рекомендуется выполнять при переконфигурации FIFO или при переключении между операциями с распределенным FIFO и выделенным буфером FIFO передач.</p> <p>Очистку FIFO также рекомендуется выполнять во время отключения конечной точки устройства.</p> <p>Программа должна ждать аппаратной очистки этого разряда перед программированием любых операций.</p> <p>Этот разряд требует 8 тактов для очистки, при этом используется наименьшая тактовая частота из phy_clk и hclk.</p>	Host и Device	1'b0	R_WS_SC
4	<p>Сброс RxFIFO (RxFFlsh)</p> <p>Программа может очищать весь буфер RxFIFO с помощью этого разряда, но только при условии подтверждения, что блок в данный момент не выполняет никаких операций.</p> <p>Программа записывает этот разряд только после подтверждения, что блок не выполняет в данный момент операций чтения или записи RxFIFO.</p> <p>Программа должна ждать очистки разряда до выполнения любых других операций. Этот разряд требует 8 тактов для очистки, при этом используется наименьшая тактовая частота из тактовых частот РНУ и АНВ.</p>	Host и Device	1'b0	R_WS_SC
2	<p>Сброс счетчика кадров в режиме Host (FrmCntRst)</p> <p>Программа записывает этот разряд для сброса счетчика количества (микро)кадров в блоке. Когда счетчик (микро)кадров сбрасывается, при отправлении блоком следующего пакета SOF, поле количества (микро)кадров будет установлено в значение 0.</p>	Только Host	1'b0	R_WS_SC
1	Резерв	Host и Device		RO

Разряды	Описание	Режим	Сброс	Доступ
0	<p>Программный сброс блока (CSftRst)</p> <p>Данный разряд сбрасывает домены hclk и phy_clock следующим образом:</p> <ul style="list-style-type: none"> • Очищает прерывания и все регистры CSR, за исключением следующих разрядов: <ul style="list-style-type: none"> - PCGCCTL.RstPdownModule; - PCGCCTL.GateHelk; - PCGCCTL.PwrClmp; - GUSBCFG.DDRSel; - GUSBCFG.PHYSel; - GUSBCFG.FSIntf; - GUSBCFG.ULPI_UTMI_Sel; - GUSBCFG.PHYIf; - HCFG.FSLSPclkSel; - DCFG.DevSpd; - GGPIO; - GPWRDN; - GADPCTL; • Все машины состояний модулей (кроме модуля AHB Slave) сбрасываются в состояние IDLE, и все передающие и принимающие буферы FIFO очищаются. • Все транзакции по шине АНВ Master прекращают выполняться, как только это возможно после корректного завершения последней фазы данных передачи АНВ. Все транзакции шине USB прекращают выполняться сразу. <p>Программа может выполнять записи в этот разряд в любое время при необходимости сброса блока.</p> <p>Блок очищает этот разряд после сброса всей необходимой логики, что может занимать несколько тактов, в зависимости от текущего состояния ядра. При очистке этого разряда программа должна ждать минимум 3 такта РНУ перед выполнением любого обращения к домену РНУ (задержка синхронизации). Программа должна также проверить, что значение разряда 31 этого регистра равно «1» (мастер шина АНВ находится в состоянии IDLE) перед началом любой операции.</p> <p>Обычно программный сброс используется отладки программного обеспечения, также при динамическом изменении разрядов выбора РНУ в регистрах конфигурации USB, перечисленных выше. При изменении РНУ, соответствующая частота для РНУ выбирается и используется в домене РНУ.</p> <p>При выборе новой частоты домен РНУ должен быть сброшен для корректной работы.</p>	Host и Device	1'b0	R_WS_SC

18.3.3.6 Регистр прерываний (GINTSTS)

Смещение: 014h;

Данный регистр управляет прерываниями, сформированными событиями системного уровня в текущем режиме (Device или Host).

Некоторые разряды этого регистра действительны только в режиме Host, при этом другие разряды действительны только в режиме Device. Этот регистр также отображает текущий режим работы. Для очистки разрядов типа R_SS_WC статуса прерываний, необходима программная запись 1'b1 в разряд.

Прерывания статуса FIFO доступны только для чтения; при программном чтении/записи в FIFO во время обслуживания этих прерываний, причины прерываний FIFO очищаются автоматически.

Программа должна очищать регистр GINTSTS при инициализации до разрешения разрядов прерываний, чтобы избежать любых прерываний, сформировавшихся до инициализации.

Таблица 18.12. Регистр прерываний (GINTSTS)

Разряды	Описание	Режим	Сброс	Доступ
31	Прерывание обнаруженного сигнала возобновления работы/удаленного пробуждения (WkUpInt) Прерывание Wakeup в состоянии приостановки Suspend(L2). • В состоянии приостановки (L2): - В режиме Device это прерывание устанавливается только при обнаружении на шине USB запроса на возобновление работы, инициированного хостом. - В режиме Host это прерывание устанавливается только при обнаружении на шине USB запроса на удаленное пробуждение, инициированного устройством.	Host и Device	1'b0	R_SS_WC
30	Прерывание по обнаружению запроса сессии/Инициирования новой сессии (SessReqInt) В режиме Host это прерывание устанавливается при обнаружении запроса сессии от устройства. В режиме Device это прерывание устанавливается при высоком уровне сигнала utmisrp_bvalid.	Host и Device	1'b0	R_SS_WC
29	Прерывание отсоединения устройства (DisconnInt) Это прерывание устанавливается, если обнаруживается отсоединение устройства.	Host	1'b0	R_SS_WC
28	Изменение состояния вывода ID (ConIDStsChng) Это прерывание устанавливается при изменении состояния вывода ID.	Host и Device	1'b1	R_SS_WC

Разряды	Описание	Режим	Сброс	Доступ
26	<p>Пустой буфер TxFIFO периодических передач (PTxFEmp)</p> <p>Это прерывание устанавливается, если буфер FIFO периодических передач наполовину или полностью пуст, и имеется достаточно места для записи минимум одной ячейки в очереди запросов периодических передач. Статус пустого буфера определяется разрядом GANBCFG.PTxFEmpLvl.</p>	Только Host	1'b1	RO
25	<p>Прерывание от каналов в режиме Host (Host Channels Interrupt) (HChInt)</p> <p>Блок устанавливает этот разряд при наличии прерывания на одном из каналов блока (в режиме Host). Необходимо программное чтение регистра HAINТ для определения точного номера канала, на котором возникло прерывание, и чтение соответствующего регистра HCINTn для определения точной причины прерывания. Программа должна очистить соответствующий разряд состояния в регистре HCINTn для очистки этого разряда.</p>	Только Host	1'b0	RO
24	<p>Прерывание от порта в режиме Host (Host Port Interrupt) (PrtInt)</p> <p>Блок устанавливает этот разряд при изменении статуса одного из портов блока USBIC в режиме Host. Необходимо программное чтение регистра HPRТ для определения события, которое вызвало прерывание. Для очистки этого разряда выполняется программная очистка соответствующего разряда статуса в Регистре Host Port Control and Status.</p>	Только Host	1'b0	RO
23	<p>Прерывание по обнаружению сброса (ResetDet)</p> <p>Блок устанавливает этот разряд статуса в режиме Device, если сброс обнаруживается на шине USB в состоянии L2 Suspend. Этот разряд действителен только, если блок работает в режиме Device и режимах частичного выключения питания (Partial Power-Down) или режимах приостановки Clock Gating.</p>	Только Device	1'b0	R_SS_WC

Разряды	Описание	Режим	Сброс	Доступ
22	<p>Приостановка выборки данных (FetSusp) Это прерывание действительно только в режиме DMA. Прерывание указывает, что блок остановил выборку данных для входных конечных точек IN в связи с отсутствием места в TxFIFO или в Очереди запросов. Это прерывание используется программой для алгоритма endpoint mismatch. Например, после обнаружения ошибки endpoint mismatch, программа:</p> <ul style="list-style-type: none"> • Устанавливает подтверждение global non-periodic IN NAK; • Отключает конечные точки In; • Очищает FIFO; • Определяет последовательность маркер-пакета из очереди обучающей последовательности IN Token; • Включает конечные точки; • Очищает подтверждение global non-periodic IN NAK; <p>Если очищается global non-periodic IN NAK, блок еще не выполнил выборку данных для конечной точки IN, маркер IN получен: блок формирует прерывание «маркер-пакет IN получен при пустом буфере FIFO». OTG отправляет в хост ответ NAK. Для того чтобы избежать возникновения этой ситуации, программа может проверить прерывание GINTSTS.FetSusp, которое подтверждает, что буфер FIFO заполнен перед очисткой подтверждения global NAK. Программа может маскировать прерывание «маркер-пакет IN получен при пустом буфере FIFO» при очистке global IN NAK handshake.</p>	Только Device	1'b0	R_SS_WC
21	<p>Незавершенная периодическая передача (incompIP). В режиме Host блок устанавливает это прерывание, когда присутствуют незаконченные периодические транзакции, ожидающие обработки, назначенные для текущего микро(кадра). Незавершенная выходная изохронная передача (incompISOOUT). Незавершенная периодическая передача (incompIP). В режиме Host блок устанавливает это прерывание при наличии незавершенных периодических транзакций, ожидающих обработки, назначенные для текущего микрокадра. Незавершенная выходная изохронная передача (incompISOOUT)</p>	Только Host	1'b0	R_SS_WC

Разряды	Описание	Режим	Сброс	Доступ
20	Незавершенная входная изохронная передача (incompISOIN) Блок устанавливает это прерывание при наличии минимум одной изохронной конечной точки IN, по которой передача не завершена в текущем микрокадре. Это прерывание устанавливается вместе с разрядом EOPF данного регистра. Примечание. Это прерывание не устанавливается в режиме Scatter/Gather DMA.	Только режим Device	1'b0	R_SS_WC
19	Прерывание от выходных конечных точек (OEPInt) Блок устанавливает этот разряд при наличии прерывания на одной из выходных конечных точек блока (в режиме Device). Программа должна читать регистр DAINT для определения номера выходных конечных точек, на которых происходит прерывание, и затем читать соответствующий регистр DOEPINTn для определения причины прерывания. Для очистки этого разряда программа должна очистить соответствующий разряд состояния в соответствующем регистре DOEPINTn.	Только режим Device	1'b0	RO
18	Прерывание от входных конечных точек (IEPInt) Блок устанавливает этот разряд при наличии прерывания на одной из входных конечных точек блока (в режиме Device). Программа должна читать регистр DAINT для определения номера входной конечной точки, на которой происходит прерывание, и затем читать соответствующий регистр DIEPINTn для определения причины прерывания. Программа должна очищать соответствующий разряд состояния в соответствующем регистре DIEPINTn для очистки этого разряда.	Только Device	1'b0	RO
17	Прерывание Endpoint Mismatch (EPMis) Примечание. Это прерывание действительно только при распределенном FIFO. Указывает, что маркер-пакет IN был получен для неперiodической конечной точки, но данные для другой конечной точки присутствуют в верхней части буфера неперiodических передач, и счетчик IN endpoint mismatch, запрограммированный программой, истек.	Только Device	1'b0	R_SS_WC
12	Сброс USB (USBRst) Этот разряд устанавливается при обнаружении сброса на шине USB.	Только Device	1'b0	R_SS_WC

Разряды	Описание	Режим	Сброс	Доступ
11	Приостановка USB (USBSusp) Этот разряд устанавливается при обнаружении состояния приостановки на шине USB. Блок переключается в состояние приостановки, если отсутствует активность сигнала utmi_linestate в течение длительного периода времени.	Только Device	1'b0	R_SS_WC
10	Ранняя приостановка (ErlySusp) Этот разряд устанавливается при обнаружении состояния простоя (Idle) на шине USB в течение 3 мс.	Только Device	1'b0	R_SS_WC
9	Прерывание доступа по интерфейсу I ² C (I2CINT) Чтение возвращает «0», доступен только по чтению.	Host и Device	1'b0	RO
8	Прерывание ULPI CarKit (ULPICKINT) Чтение возвращает «0», разряд доступен только по чтению.	Host и Device	1'b0	RO
7	Блоком принят глобальный выходной пакет подтверждения NAK (GOUTNakEff) Указывает, что установка разряда DCTL.SGOUTNak принята блоком. Этот разряд может быть очищен путем записи разряда DCTL.CGOUTNak.	Только Device	1'b0	RO
6	Блоком принят глобальный неперiodический входной пакет подтверждения NAK (GINNakEff) Указывает, что установка разряда DCTL.SGNPInNak принята блоком. Этот разряд может быть очищен путем очистки разряда DCTL.CGNPInNak. Это прерывание не всегда означает, что пакет подтверждения NAK был отправлен на USB. Разряд STALL имеет приоритет над разрядом NAK.	Только Device	1'b0	RO
4	Не пустой буфер RxFIFO (RxFLvl) Этот разряд указывает, что как минимум один пакет ожидает чтения из RxFIFO.	Host и Device	1'b0	RO

Разряды	Описание	Режим	Сброс	Доступ
3	<p>Начало (микро)кадра (Sof)</p> <p>В режиме Host блок устанавливает этот разряд для обозначения передачи по шине USB пакета SOF (FS), микро-SOF (HS), или Keep-Alive (LS). Для очистки прерывания необходима программная запись значения «1» в этот разряд.</p> <p>В режиме Device установка этого разряда означает получение маркера SOF по шине USB. Программа может читать регистр Device Status для получения текущего номера микро(кадра). Это прерывание устанавливается, только если блок работает в режиме HS или FS.</p> <p>Примечание. Этот регистр может возвращать значение 1'b1 при чтении непосредственно после сброса питания. В этом случае, это не означает, что был отправлен пакет SOF (в режиме Host) или получен пакет SOF (в режиме Device). Значение при чтении этого прерывания действительно только после установления корректного соединения между хост-контроллером и устройством. Если разряд устанавливается после сброса питания, программа может очистить этот разряд.</p>	Host и Device	1'b0	R_SS_WC
2	<p>Прерывание OTG (OTGInt)</p> <p>Блок устанавливает этот разряд для обозначения события протокола OTG. Программа должна читать регистр GOTGINT для определения события, вызвавшего прерывание. Программа должна очистить соответствующий разряд состояния в регистре GOTGINT для очистки этого разряда.</p>	Host и Device	1'b0	RO
1	<p>Прерывание ошибки выбора режима (ModeMis)</p> <p>Блок устанавливает этот разряд, если программа пытается выполнить следующие обращения:</p> <ul style="list-style-type: none"> • К регистру режима Host во время работы блока в режиме Device; • К регистру режима Device во время работы в режиме Host; <p>Обращение к регистру завершается на шине АНВ ответом OKAY, но игнорируется блоком внутренне и не влияет на его работу.</p>	Host и Device	1'b0	R_SS_WC
0	<p>Текущий режим работы (CurMod)</p> <ul style="list-style-type: none"> • 1'b0: Device; • 1'b1: Host; 	Host и Device	1'b0	RO

18.3.3.7 Регистр маски прерываний (GINTMSK)

Смещение: 018h;

Данный регистр функционирует в паре с регистром GINTSTS. Если разряд прерывания маскирован, прерывание, соответствующее этому разряду, не формируется. Тем не менее, разряд регистра GINTSTS для этого прерывания остается установленным.

Прерывание маскируется: 1'b0;

Прерывание не маскируется: 1'b1;

Таблица 18.13. Регистр маски прерываний (GINTMSK)

Разряды	Описание	Режим	Значение после сброса	Тип доступа
31	Маска прерывания сигнала возобновления работы или удаленного сигнала пробуждения (WkUpIntMsk)	Host и Device	1'b0	R_W
30	Маска прерывания обнаруженного запроса сессии/инициирования новой сессии (SessReqIntMsk)	Host и Device	1'b0	R_W
29	Маска прерывания обнаруженного отсоединения (DisconnIntMsk)	Host	1'b0	R_W
28	Маска прерывания изменения состояния ID (ConIDStsChngMsk)	Host и Device	1'b0	R_W
27	Резерв			
26	Маска прерывания пустого буфера TxFIFO периодических передач (PTxFEmpMsk)	Host	1'b0	R_W
25	Маска прерывания от каналов в режиме Host (HChIntMsk)	Host	1'b0	R_W
24	Маска прерывания порта в режиме Host (PrtIntMsk)	Host	1'b0	R_W
23	Маска прерывания обнаруженного сброса (ResetDetMsk)	Device	1'b0	R_W
22	Маска прерывания приостановки выборки данных (FetSuspMsk)	Device	1'b0	R_W
21	Маска прерывания незавершенной периодической передачи (incomplPMsk)	Host	1'b0	R_W
	Маска прерывания незавершенной выходной изохронной передачи (incompISOOUTMsk)	Device	1'b0	R_W
20	Маска незавершенной входной изохронной передачи (incompISOINMsk) Этот разряд устанавливается только при включении периодических конечных точек устройства в режиме выделенного TxFIFO.	Device	1'b0	R_W
19	Маска прерывания выходных конечных точек (OEPIntMsk)	Device	1'b0	R_W
18	Маска прерывания входных конечных точек (IEPIntMsk)	Device	1'b0	R_W
17	Маска прерывания ошибки Endpoint Mismatch (EPMisMsk)	Device	1'b0	R_W
15	Маска прерывания окончания периодического кадра (EOPFMsk)	Device	1'b0	R_W

Разряды	Описание	Режим	Значение после сброса	Тип доступа
14	Маска прерывания неудачной попытки передачи изохронного выходного пакета (ISOOutDropMsk)	Device	1'b0	R_W
13	Маска завершения процесса нумерации (EnumDoneMsk)	Device	1'b0	R_W
12	Маска прерывания сброса USB (USBRstMsk)	Device	1'b0	R_W
11	Маска прерывания приостановки USB (USBSuspMsk)	Device	1'b0	R_W
10	Маска прерывания ранней приостановки (ErlySuspMsk)	Device	1'b0	R_W
9	Маска прерывания доступа по интерфейсу I2C (I2CIntMsk)	Host и Device	1'b0	R_W
8	Маска прерывания ULPI Carkit (ULPICKINTMsk) Маска прерывания I2C Carkit (I2CCKINTMsk)	Host и Device	1'b0	R_W
7	Маска принятого блоком глобального выходного пакета NAK (GOUTNakEffMsk)	Device	1'b0	R_W
6	Маска принятого блоком глобального неперiodического входного пакета подтверждения NAK (GINNakEffMsk)	Device	1'b0	R_W
5	Маска прерывания пустого буфера TxFIFO неперiodических транзакций (NPTxFEmpMsk)	Host и Device	1'b0	R_W
4	Маска прерывания не пустого принимающего FIFO буфера (RxFLvlMsk)	Host и Device	1'b0	R_W
3	Маска прерывания начала микро(кадра) (SofMsk)	Host и Device	1'b0	R_W
2	Маска прерывания OTG (OTGIntMsk)	Host и Device	1'b0	R_W
1	Маска прерывания ошибки выбора режима (ModeMisMsk)	Host и Device	1'b0	R_W
0	Резерв	Host и Device		RO

18.3.3.8 Регистры отладочного чтения статуса принимающего буфера/Чтения статуса принимающего буфера и выталкивания верхней ячейки буфера (GRXSTSR/GRXSTSP)

Смещение для чтения: 01Ch;

Смещение для выталкивания: 020h;

Чтение регистра отладочного чтения статуса принимающего буфера возвращает содержимое верхней ячейки принимающего буфера FIFO. Чтение регистра Чтения статуса принимающего буфера и выталкивания первой ячейки буфера выталкивает верхнюю ячейку данных буфера RxFIFO.

Содержимое принимающего буфера должно интерпретироваться по-разному в режиме Host и режиме Device. Блок игнорирует выталкивание/чтение статуса принимающего буфера, если буфер принимающего FIFO пуст и возвращает значение 32'h0000_0000.

Программа должна только вытолкнуть верхнюю ячейку буфера принимающего FIFO при установленном разряде GINTSTS.RxFLvl.

Примечание. Использование этих полей отличается в зависимости от режима работы (Host или Device) блока HS OTG.

Таблица 18.14. Регистры отладочного чтения статуса принимающего буфера/Чтения статуса принимающего буфера и выталкивания верхней ячейки буфера в режиме Host (GRXSTSR/GRXSTSP)

Разряды	Описание	Значение после сброса	Тип доступа
31:21	Резерв		RO
20:17	Статус пакета (PktSts) Указывает статус полученного пакета: • 4'b0010: получен пакет входных данных (IN); • 4'b0011: завершена входная передача (IN) (вызывает прерывание); • 4'b0101: ошибка переключателя данных (вызывает прерывание); • 4'b0111: канал остановлен (вызывает прерывание); • Остальные значения: резерв;	4'h0	RO
16:15	Идентификатор пакета данных (DPID) Указывает данные идентификатора полученного пакета: • 2'b00: DATA0; • 2'b10: DATA1; • 2'b01: DATA2; • 2'b11: MDATA;	2'h0	RO
14:4	Счетчик байтов (Byte Count) (BCnt) Указывает счетчик байтов полученного пакета данных IN.	11'h0	RO
3:0	Номер канала (ChNum) Указывает номер канала, которому предназначен принятый пакет.	4'h0	RO

Таблица 18.15. Регистры отладочного чтения статуса принимающего буфера/Чтения статуса принимающего буфера и выталкивания верхней ячейки буфера в режиме Device (GRXSTSR/GRXSTSP)

Разряды	Описание	Значение после сброса	Тип доступа
31:25	Резерв		RO
24:21	Номер кадра (FN) Младшие 4 разряда номера (микро)кадра, в котором получен пакет по шине USB. Это поле действительно только при поддержке изохронных конечных точек OUT.	4'h0	RO
20:17	Статус пакета (PktSts) Указывает статус полученного пакета: • 4'b0001: глобальный выходной пакет подтверждения NAK (вызывает прерывание); • 4'b0010: принятый выходной пакет данных; • 4'b0011: завершенная выходная передача (вызывает прерывание); • 4'b0100: завершенная транзакция SETUP (вызывает прерывание); • 4'b0110: принятый пакет данных SETUP; • Остальные значения: Резерв;	4'h0	RO

Разряды	Описание	Значение после сброса	Тип доступа
16:15	Идентификатор пакета данных (DPID); Указывает PID данных полученного пакета данных OUT • 2'b00: DATA0; • 2'b10: DATA1; • 2'b01: DATA2; • 2'b11: MDATA;	2'b0	RO
14:4	Счетчик байтов (Byte Count) (BCnt) Указывает счетчик байтов полученного пакета данных.	11'h0	RO
3:0	Номер конечной точки (EPNum) Указывает номер конечной точки, для которой предназначен текущий принятый пакет.	4'h0	RO

18.3.3.9 Регистр размера принимающего буфера FIFO (GRXFSIZ)

Смещение: 024h;

Программа может запрограммировать размер памяти RAM, который должен быть выделен для буфера Rx FIFO.

Таблица 18.16. Регистр размера принимающего буфера FIFO (GRXFSIZ)

Разряды	Описание	Значение после сброса	Тип доступа
31:16	Резерв		RO
15:0	Глубина Rx FIFO (RxFDep) Значение указывается в 32-разрядных словах. • Минимальное значение равно 16; • Максимальное значение равно 32,768; В это поле может быть записано новое значение. Запрограммированные значения не должны превышать начальное значение.	4096	RO / R_W

18.3.3.10 Регистр размера передающего буфера FIFO неперiodических передач (GNPTXFSIZ)

Смещение: 028h;

В данном регистре программно устанавливается размер памяти RAM и начальный адрес памяти для Tx FIFO неперiodических передач.

Примечание. Поля регистров меняются в зависимости от режима работы (Host или Device).

Таблица 18.17. Регистр размера передающего буфера FIFO неперiodических передач в режиме Host (GNPTXFSIZ)

Разряды	Описание	Значение после сброса	Тип доступа
31:16	<p>Глубина буфера TxFIFO для неперiodических передач (NPTxFDep) В режиме Host это поле действительно всегда. В режиме Device это поле не действительно. Значение указывается в 32-разрядных словах.</p> <ul style="list-style-type: none"> • Минимальное значение равно 16; • Максимальное значение равно 32,768; <p>Программа может записывать новое значение в это поле. Установленные значения не должны превышать начальное значение.</p>	1024	RO / R_W
15:0	<p>Начальный адрес RAM FIFO неперiodических передач (NPTxFStAddr) В режиме Host это поле всегда действительно. Это поле определяется во время конфигурации: Программа может записывать новое значение в это поле. Установленные значения не должны превышать начальное значение.</p>	4096	RO / R_W

Таблица 18.18. Регистр размера буфера FIFO передачи неперiodических транзакций в режиме Device (GNPTXFSIZ)

Разряды	Описание	Значение после сброса	Тип доступа
31:16	<p>Глубина буфера TxFIFO 0 входной конечной точки (INEPTxF0Dep) Это поле действительно только в режиме Device. Значение указывается в 32-разрядных словах.</p> <ul style="list-style-type: none"> • Минимальное значение равно 16; • Максимальное значение равно 32,768; <p>Установленные значения не должны превышать начальное значение.</p>	768	RO / R_W
15:0	<p>Начальный адрес RAM передающего буфера FIFO0 входной конечной точки (INEPTxF0StAddr) В режиме Device это поле не действительно. Это поле содержит адрес начала памяти для передающего FIFO# 0 входной конечной точки. Программа может записать новое значение в это поле. Установленные значения не должны превышать начальное значение.</p>	4096	RO / R_W

18.3.3.11 Регистр статуса передающего буфера FIFO/очереди запросов непериодических транзакций (GNPTXSTS)

Смещение: 02Ch;

В режиме Device данный регистр действителен только при распределенном FIFO.

Регистр содержит информацию о свободном месте буфера TxFIFO и очереди запросов непериодических транзакций.

Таблица 18.19. Регистр статуса передающего буфера FIFO и очереди запросов непериодических транзакций (GNPTXSTS)

Разряды	Описание	Значение после сброса	Тип доступа
31	Резерв		RO
30:24	Верхняя ячейка очереди запросов непериодических транзакций (NPTxQTop) Ячейка очереди, которая в данный момент обрабатывается MAC. <ul style="list-style-type: none"> • Разряды [30:27]: Номер канала/конечной точки; • Разряды [26:25]: • 2'b00: маркер IN/OUT; - 2'b01: пакет передачи нулевой длины (входной в режиме Device/выходной в режиме Host); - 2'b10: маркер PING/CSPLIT;a - 2'b11: команда остановки канала (Channel halt); • Разряд [24]: последняя ячейка для выбранного канала/конечной точки; 	7'h0	RO
23:16	Доступное место в очереди запросов непериодических передач (NPTxQSpAvail) Указывает количество доступного места в очереди запросов непериодических передач. Эта очередь содержит входные и выходные запросы в режиме Host. В режиме Device содержит только входные запросы. <ul style="list-style-type: none"> • 8'h0: Очередь запросов непериодических передач заполнена; • 8'h1: свободен 1 адрес; • 8'h2: свободно 2 адреса; • n: свободно n адресов ($0 \leq n \leq 8$); • Остальные значения: Резерв; 		RO

18.3.3.12 Регистр идентификатора (GUID)

Смещение: 03Ch;

Этот регистр может использоваться следующим образом:

- для хранения информации о версии или ревизии системы;
- Для хранения информации об аппаратной конфигурации;
- в качестве рабочего регистра;

18.3.3.13 Регистр ID 1: GUID

Таблица 18.20. Регистр ID 1 (GUID)

Разряды	Описание	Значение после сброса	Тип доступа
31:0	Программно-конфигурируемое поле идентификатора	0x12345678	R_W

18.3.3.14 Регистр ID 2 (GSNPSID)

Таблица 18.21. Регистр ID 2 (GSNPSID)

Разряды	Описание	Значение после сброса	Тип доступа
31:0	Номер релиза ядра USBIC, используемый в OTG 2.93a.	32'h4F54 <version>	RO

18.3.3.15 Регистр 1 аппаратной конфигурации (GHWCFG1)

Смещение: 044;

Этот регистр содержит информацию о направлении логических конечных точек, выбранных при конфигурации.

Таблица 18.22. Регистр 1 аппаратной конфигурации (GHWCFG1)

Разряды	Описание	Значение после сброса	Тип доступа
31:0	<p>Направление конечной точки (epdir)</p> <p>В этом 32-разрядном поле используется по два разряда на каждую конечную точку для определения ее направления.</p> <p>Конечная точка:</p> <ul style="list-style-type: none"> • Разряды [31:30]: Направление конечной точки 15; • Разряды [29:28]: Направление конечной точки 14; ... • Разряды [3:2]: Направление конечной точки 1; • Разряды [1:0]: Направление конечная точки 0 (всегда BIDIR); <p>Значения, обозначающие направление:</p> <ul style="list-style-type: none"> • 2'b00: двунаправленная конечная точка BIDIR (IN и OUT) • 2'b01: входная конечная точка (IN); • 2'b10: выходная конечная точка (OUT); • 2'b11: Резерв 		RO

18.3.3.16 Регистр 2 аппаратной конфигурации (GHWCFG2)

Смещение: 048h;

Этот регистр содержит аппаратные опции, выбранные при конфигурации.

Таблица 18.23. Регистр 2 аппаратной конфигурации (GHWCFG2)

Разряды	Описание	Значение после сброса	Тип доступа
31	Определяет наличие последовательного интерфейса IC_USB.		RO
30:26	Не используется		RO
25:24	<p>Глубина очереди периодических запросов в режиме Host (PTxQDepth)</p> <ul style="list-style-type: none"> • 2'b00: 2; • 2'b01: 4; • 2'b10: 8; • 2'b11: 16; 	2'b11	RO
23:22	<p>Глубина очереди неперiodических запросов (NPTxQDepth)</p> <ul style="list-style-type: none"> • 2'b00: 2; • 2'b01: 4; • 2'b10: 8; • Остальные: резерв 	2'b10	RO
21	Резерв		RO
20	<p>Разрешение формирования прерывания в многопроцессорном режиме (MultiProcIntrpt)</p> <ul style="list-style-type: none"> • 1'b0: Запрещено; • 1'b1: Разрешено; 	1'b1	RO
19	<p>Разрешение динамического изменения размера (DynFifoSizing)</p> <ul style="list-style-type: none"> • 1'b0: Запрещено; 	1'b1	RO

Разряды	Описание	Значение после сброса	Тип доступа
	<ul style="list-style-type: none"> • 1'b1: Разрешено; 		
18	<p>Поддержка периодических выходных каналов в режиме Host (PerioSupport)</p> <ul style="list-style-type: none"> • 1'b0: Запрещено; • 1'b1: Разрешено 	1'b1	RO
17:14	<p>Количество каналов в режиме Host (NumHstChnl)</p> <p>Определяет количество каналов, поддерживаемых блоком в режиме Host. Диапазон значений 0–15: 0 означает 1 канал, 15 означает 16 каналов.</p>	15	RO
13:10	<p>Количество конечных точек устройства (NumDevEps)</p> <p>Определяет конечные точки, поддерживаемые блоком в режиме Device в дополнение к контрольной конечной точке 0. Диапазон значений этого поля 1–15.</p>	15	RO
9:8	<p>Тип интерфейса FS PHY (FSPhyType)</p> <ul style="list-style-type: none"> • 2'b00: Полноскоростной интерфейс не поддерживается; • 2'b01: Выделенный полноскоростной интерфейс; • 2'b10: Общие контакты для FS и UTMI+; • 2'b11: Общие контакты для FS и ULPI; 	2'b00	RO
7:6	<p>Тип интерфейса HS PHY (HSPhyType)</p> <ul style="list-style-type: none"> • 2'b00: Высокоскоростной интерфейс не поддерживается; • 2'b01: UTMI+; • 2'b10: ULPI; • 2'b11: UTMI+ и ULPI; 	2'b01	RO
5	<p>Точка-точка (SingPnt)</p> <ul style="list-style-type: none"> • 1'b0: Поддержка концентратора и разделенных передач; • 1'b1: Приложения точка-точка (не поддерживаются концентратор и разделенные передачи); 	1'b0	RO
4:3	<p>Архитектура (OtgArch)</p> <ul style="list-style-type: none"> • 2'b00: Только Slave; • 2'b01: Внешний DMA; • 2'b10: Внутренний DMA; • Остальные: резерв; 	2'b10	RO
2:0	<p>Режим работы (OtgMode)</p> <ul style="list-style-type: none"> • 3'b000: OTG с функциями HNP и SRP (Host и Device); • 3'b001: OTG с функцией SRP (Host и Device) • 3'b010: OTG без функций HNP и SRP (Host и Device) • 3'b011: Device SRP; • 3'b100: Device без функции OTG; • 3'b101: Host SRP; • 3'b110: Host без функции OTG; • Остальные: резерв; 	3'b000	RO

18.3.3.17 Регистр 3 аппаратной конфигурации (GHWCFG3)

Смещение: 04Ch;

Этот регистр содержит аппаратные опции, выбранные при конфигурации.

Таблица 18.24. Регистр 3 аппаратной конфигурации (GHWCFG3)

Разряды	Описание	Значение после сброса	Тип доступа
31:16	Глубина DFIFO (DfifoDepth минус EP_LOC_CNT); Значение указывается в 32-разрядных словах. • Минимальное значение равно 32; • Максимальное значение равно 32,768;	8192	RO
15	OTG_ENABLE_LPM Режим LPM не поддерживается	0	RO
14	OTG_BC_SUPPORT Этот разряд обозначает поддержку зарядки батареи. • 0 – Поддержка зарядки батареи отсутствует; • 1 – Зарядка батареи поддерживается;	0	RO
13	OTG_ENABLE_HSIC Диапазон значений: 0–1; • 1: Интерфейс UTMI PHY поддерживает HSIC; • 0: HSIC не поддерживается;	0	RO
12	OTG_ADP_SUPPORT Этот разряд определяет наличие внутренней логики ADP в составе контроллера HS OTG. • 0 – В составе контроллера HS OTG отсутствует логика ADP; • 1- В составе контроллера HS OTG имеется логика ADP;	0	RO
11	Выбор способа сброса блоков always в RTL (RstType) • 1'b0: В блоке используется асинхронный сброс; • 1'b1: В блоке используется синхронный сброс;	1'b0	RO
10	Удаление опциональных функций (OptFeature) Данный разряд содержит информацию об удалении опциональных функций, таких как: Регистр ID, порты интерфейса GPIO, переключатель пакета SOF и портов счетчиков для оптимизации количества логических ячеек. • 1'b0: Опциональные функции не удалены; • 1'b1: Опциональные функции удалены;	1'b1	RO

Разряды	Описание	Значение после сброса	Тип доступа
9	Поддержка управляющего интерфейса (VndctlSupt) <ul style="list-style-type: none"> • 1'b0: Управляющий интерфейс не поддерживается; • 1'b1: Управляющий интерфейс поддерживается; 	1'b0	RO
8	Выбор интерфейса I2C (I2CIntSel); <ul style="list-style-type: none"> • 1'b0: Интерфейс I2C не доступен в блоке; • 1'b1: Интерфейс I2C доступен в блоке; 	1'b0	RO
7	Включение функции OTG (OtgEn) <ul style="list-style-type: none"> • 1'b0: Функция OTG отключена; • 1'b1: Функция OTG включена; 	1'b1	RO
6:4	Разрядность счетчика пакетов (PktSizeWidth) <ul style="list-style-type: none"> • 3'b000: 4 разряда; • 3'b001: 5 разрядов; • 3'b010: 6 разрядов; • 3'b011: 7 разрядов; • 3'b100: 8 разрядов; • 3'b101: 9 разрядов; • 3'b110: 10 разрядов; • Остальные значения: резерв; 	3'b110	RO
3:0	Разрядность счетчика передач (XferSizeWidth) <ul style="list-style-type: none"> • 4'b0000: 11 разрядов; • 4'b0001: 12 разрядов; ... • 4'b1000: 19 разрядов; • Остальные значения: резерв; 	4'b1000	RO

18.3.3.18 Регистр 4 аппаратной конфигурации (GHWCFG4)

Смещение: 050h;

Регистр содержит аппаратные опции, выбранные при конфигурации.

Разряд [31] доступен только при включенном режиме дескрипторного DMA (Scatter/Gather DMA). При отключенном режиме дескрипторного DMA это поле зарезервировано.

Таблица 18.25. Регистр 4 аппаратной конфигурации (GHWCFG4)

Разряды	Описание	Значение после сброса	Тип доступа
31	Режим дескрипторного DMA (Scatter/Gather) <ul style="list-style-type: none"> • 1'b1: Динамическая конфигурация; 	1'b1	RO
30	Конфигурация DMA (Scatter/Gather) <ul style="list-style-type: none"> • 1'b0: режим не дескрипторного DMA; • 1'b1: режим дескрипторного DMA (Scatter/Gather); 	1'b1	RO

Разряды	Описание	Значение после сброса	Тип доступа
29:26	Количество входных конечных точек устройства, включая управляющие конечные точки (INEps) Диапазон значений 0-15: • 0:1 входная конечная точка (IN); • 1:2 входных конечных точек (IN); • 15:16 входных конечных точек (IN);	15	RO
25	Разрешение использования выделенного передающего буфера FIFO для входных конечных точек устройства (DedFifoMode). • 1'b0: Выделенный передающий буфер FIFO для входных конечных точек запрещен; • 1'b1: Выделенный передающий буфер FIFO для входных конечных точек разрешен;	1'b1	RO
24	Включение фильтра session_end (SessEndFltr) • 1'b0: фильтр session_end отключен; • 1'b1: фильтр session_end включен;	1'b1	RO
23	Включение фильтра «b_valid» (BValidFltr) • 1'b0: фильтр b_valid отключен; • 1'b1: фильтр b_valid включен;	1'b1	RO
22	Включение фильтра «a_valid» (AValidFltr) • 1'b0: фильтр a_valid отключен; • 1'b1: фильтр a_valid включен;	1'b1	RO
21	Включение фильтра «vbus_valid» (VBusValidFltr) • 1'b0: фильтр vbus_valid отключен; • 1'b1: фильтр vbus_valid включен;	1'b1	RO
20	Включение фильтра «iddig» (IddgFltr) • 1'b0: фильтр iddig отключен; • 1'b1: фильтр iddig включен;	1'b1	RO
19:16	Управляющие конечные точки в дополнение к конечной точке 0 (NumCtlEps) Диапазон значений: 0-15;	0	RO
15:14	Разрядность данных UTMI+ PHY/ULPI- UTMI+ (PhyDataWidth) При использовании ULPI PHY, встроенный модуль преобразует ULPI в UTMI+. • 2'b00: 8 разрядов; • 2'b01: 16 разрядов; • 2'b10: 8/16 разрядов, выбирается программно; • Остальные: резерв;	2'b00	RO
13:6	Резерв		RO
6	Включение функции бездействия (Hibernation) • 1'b0: Функция Hibernation отключена; • 1'b1: Функция Hibernation включена;	1'b0	RO
5	Минимальная частота АНВ меньше 60 МГц (AhbFreq) • 1'b0: Нет; • 1'b1: Да; Это поле конфигурируется с помощью параметра OTG_MIN_AHB_FREQ_LESSTHAN_60		RO
4	Разрешение частичного выключения питания • 1'b0: Частичное выключение питания запрещено; • 1'b1: Частичное выключение питания разрешено;	1'b1	RO

Разряды	Описание	Значение после сброса	Тип доступа
3:0	Количество входных периодических конечных точек устройства (NumDevPerioEps) Диапазон значений: 0–15; Это поле конфигурируется с помощью параметра OTG_NUM_PERIO_EPS.		RO

18.3.3.19 Регистр программной конфигурации DFIFO (GDFIFOCFG)

Смещение: 05Ch;

Таблица 18.26. Регистр программной конфигурации DFIFO (GDFIFOCFG)

Разряды	Описание	Режим	Значение после сброса	Тип доступа
31:16	EPInfoBaseAddr Это поле содержит стартовый адрес контроллера конечной точки.	Host и Device		R_W
15:0	GDFIFOCfg Это поле используется для динамического программирования значения размера DFIFO. Значение этого поля учитывается, только если запрограммировано не нулевое значение. При некорректном программировании размеров FIFO, в блоке USBIC не функционирует корректирующая логика.	Host и Device	8192	R_W

18.3.3.20 Регистр таймера, управления и статуса ADP (GADPCTL)

Смещение: 0x60h;

Регистр зарезервирован и содержимое разрядов регистра равно нулю.

Таблица 18.27. Регистр статуса, управления и таймера ADP (GADPCTL)

Разряды	Описание	Значение после сброса	Тип доступа
31:29	Резерв	0	
28:27	Запрос доступа (AR) • 2'b00 – Чтение/запись разрешены (обновляется блоком); • 2'b01 – Чтение; • 2'b10 – Запись; • 2'b11 – Резерв;	0	
26	Маска прерывания по таймауту ADP (AdpTmoutMsk) Установка этого разряда разрешит генерацию глобального прерывания при формировании прерывания AdpTmoutInt. Этот разряд действителен только при OTG_Ver = 1'b1(d[20]).	0	

Разряды	Описание	Значение после сброса	Тип доступа
25	Маска прерывания ADP Sense (AdpSnsIntMsk) Установка этого разряда разрешит генерацию глобального прерывания при формировании прерывания AdpSnsInt. Этот разряд действителен только при OTG_Ver = 1'b1(GOTGCTL[20]).	0	
24	Маска прерывания ADP Probe (ADP Probe Interrupt Mask) (AdpPrbIntMsk) Установка этого разряда снимает маску формирования прерывания, связанного с AdpPrbInt. Этот разряд действителен только при OTG_Ver = 1'b1(GOTGCTL[20]).	0	
23	Прерывание таймаута ADP (AdpTmoutInt) Этот разряд актуален только для измерения времени зарядки ADP. Установка этого разряда означает окончание времени зарядки шины VBUS (GADPCTL.RTIM достиг конечного значения 0x7FF). Это опция отладки, которая позволяет программе прочитать время нарастания после каждого цикла. Этот разряд действителен только при OTG_Ver = 1'b1.	0	
22	Прерывание ADP Sense (AdpSnsInt) Установка этого разряда означает, что напряжение VBUS больше, либо равно значению VadpSns. Этот разряд действителен только при OTG_Ver = 1'b1 (GOTGCTL[20]).	0	
21	Прерывание ADP Probe (AdpPrbInt) Если этот разряд установлен, это означает, что напряжение VBUS больше, либо равно значению VadpPrb. Этот разряд действителен только при OTG_Ver = 1'b1 (GOTGCTL[20]).	0	
20	Включение ADP (ADPEn) При установке этого разряда блок выполняет измерение времени зарядки шины VBUS или отслеживание шины VBUS для обнаружения импульсов измерения времени зарядки шины на основании EnaPrb или EnaSns. Этот разряд действителен только при OTG_Ver = 1'b1 (GOTGCTL[20]).	0	
19	Сброс ADP (ADPRes) Установка этого разряда вызывает сброс контроллера ADP. Этот разряд самоочищается после завершения процедуры сброса в контроллере ADP. Этот разряд действителен только при OTG_Ver = 1'b1 (GOTGCTL[20]).	0	
18	Включение/отключение опции отслеживания измерения времени зарядки со стороны A-устройства (EnaSns) При программировании в значение 1'b1, блок выполняет опцию считывания. Этот разряд действителен только при OTG_Ver = 1'b1 (GOTGCTL[20]).	0	

Разряды	Описание	Значение после сброса	Тип доступа
17	<p>Включение/выключение опции измерения времени зарядки шины VBUS (EnaPrb)</p> <p>При программировании в значение 1'b1 блок выполняет операцию зондирования.</p> <p>Этот разряд действителен только при OTG_Ver = 1'b1 (GOTGCTL[20]).</p>	0	
16:6	<p>RAMP TIME (RTIM)</p> <p>Эти разряды фиксируют последнее измеренное время, которое потребовалось шине VBUS для достижения порога напряжения от VADP_SINK до VADP_PRB. Эти разряды устанавливаются в единицах тактов частоты 32 КГц следующим образом:</p> <ul style="list-style-type: none"> • 0x000 – 1 такт; • 0x001 – 2 такта; • 0x002 – 3 такта; • и далее до • 0x7FF – 2048 тактов; <p>Время в 1024 тактов на частоте 32 КГц соответствует 32 мс.</p> <p>Примечание для пропорционального уменьшения ramp_timeout =</p> <p>prb_delta = 2'b00 => 200 тактов; prb_delta = 2'b01 => 100 тактов; prb_delta = 2'b01 => 50 тактов; prb_delta = 2'b01 => 25 тактов;</p>	0	
5:4	<p>Время периодичности процедуры измерения зарядки шины VBUS (Probe Period) (PrbPer)</p> <p>Эти разряды устанавливают TadrPrd следующим образом:</p> <ul style="list-style-type: none"> • 2'b00 - от 0.625 до 0.925 с (тип. 0.775 с); • 2'b01 - от 1.25 до 1.85 с (тип. 1.55 с); • 2'b10 - от 1.9 до 2.6 с (тип. 2.275 с); • 2'b11 – резерв; <p>(PRB_PER также пропорционально уменьшается</p> <p>prb_per= 2'b00 => 400 ADP тактов; prb_per= 2'b01 => 600 ADP тактов; prb_per= 2'b10 => 800 ADP тактов; prb_per= 2'b11 => 1000 ADP тактов;)</p>	0	
3:2	<p>Дельта измерения шины VBUS (Probe Delta) (PrbDelta)</p> <p>Эти разряды устанавливают детальность (разрешение) измерения для значения RTIM. Эти разряды устанавливаются в единицах тактов частоты 32 КГц следующим образом:</p> <ul style="list-style-type: none"> • 2'b00 – 1 такт; • 2'b01 – 2 такта; • 2'b10 – 3 такта; • 2'b11 – 4 такта; <p>Например, если выбирается значение 2'b01, это означает, что RTIM инкрементируется каждые три такта частоты 32КГц.</p>	0	

Разряды	Описание	Значение после сброса	Тип доступа
1:0	Измерение времени разрядки шины VBUS (Probe Discharge) (PrbDschg) В этих разрядах устанавливается время для TadrDschg: <ul style="list-style-type: none"> • 2'b00 – 4 мс (Scaledown – 2 такта частоты 32КГц); • 2'b01 – 8 мс (Scaledown – 4 такта частоты 32КГц); • 2'b10 – 16 мс (Scaledown – 8 тактов частоты 32КГц); • 2'b11 – 32 мс (Scaledown – 16 тактов частоты 32КГц); 	0	

18.3.3.21 Регистр размера передающего буфера FIFO периодических передач в режиме Host (HPTXFSIZ)

Смещение: 100h;

Данный регистр содержит размер и начальный адрес памяти буфера TxFIFO периодических передач.

Таблица 18.28. Регистр размера передающего буфера FIFO периодических передач в режиме Host (HPTXFSIZ)

Разряды	Описание	Значение после сброса	Тип доступа
31:16	Глубина буфера TxFIFO периодических транзакций (PTxFSize) Это значение указывается в 32-разрядных словах: <ul style="list-style-type: none"> • Минимальное значение равно 16; • Максимальное значение равно 32,768; В это поле может быть записано новое значение. Запрограммированные значения не должны превышать начальное значение (по включению питания), установленное при конфигурации.	4096	RO / R_W
15:0	Начальный адрес TxFIFO периодических транзакций в режиме Host (PTxFStAddr) Запрограммированные значения не должны превышать начальное значение, установленное при конфигурации.	4096+1024	RO / R_W

18.3.3.22 Регистр размера передающего буфера FIFO входной конечной точки в режиме Device (DIEPTXF_n)

Номер FIFO: $1 \leq n \leq 15$;

Смещение: $104h + (\text{Номер FIFO} - 1) * 04h$;

Данный регистр содержит размер и начальный адрес памяти передающих буферов TxFIFO входных конечных точек, реализованных в режиме Device. Каждый буфер FIFO содержит данные для одной входной конечной точки (IN). Данный регистр имплементируется отдельно для каждого буфера FIFO входной конечной точки, от 1 до 15 раз. Для буфера

FIFO 0 входной конечной точки, необходимо использовать регистр GNPTXFSIZ для указания размера памяти и ее начальный адрес.

Таблица 18.29. Регистр размера передающего буфера FIFO входной конечной точки в режиме Device (DIEPTXFn)

Разряды	Описание	Значение после сброса	Тип доступа
31:16	Глубина буфера TxFIFO входной конечной точки (INEPnTxFDep). Это значение указывается в 32-разрядных словах. INEP ₀ - 768, Остальные - 4096 В это поле может быть записано новое значение. Программируемые значения не должны превышать начальное значение, установленное при конфигурации.		RO / R_W
15:0	Начальный адрес RAM для передающего FIFO _n входной конечной точки (INEPnTxFStAddr) Это поле содержит начальный адрес памяти для передающего FIFO _n входных конечных точек (0 < n <= 15).		RO / R_W

18.3.4 Регистры режима Host

Эти регистры принимают участие в работе блока только в режиме Host. Доступ к этим регистрам не должен выполняться в режиме Device, иначе работа ядра будет непредсказуемой.

Смещение: 400h;

18.3.4.1 Регистр конфигурации блока в режиме Host (HCFG)

Этот регистр используется для конфигурации блока после включения питания. Не следует вносить изменения в настройки этого регистра после инициализации хост-контроллера.

Таблица 18.30. Регистр конфигурации блока в режиме Host (HCFG)

Разряды	Описание	Значение после сброса	Тип доступа
31:27	Резерв		RO
31	Включение таймера готовности изменения режима (Mode Change Ready Timer Enable) (ModeChTimEn) Этот разряд используется для разрешения или запрещения ожидания хост-контроллером в течение 200 тактов частоты PNY в конце процедуры возобновления работы (Resume) для изменения сигнала mode для PNY в значение 00 после состояния приостановки (Suspend).	1'b0	R_W

Разряды	Описание	Значение после сброса	Тип доступа
	<ul style="list-style-type: none"> • 1'b0: Хост-контроллер ждет либо 200 тактов частоты PNY, либо состояния сигнальной линии SE0 в конце процедуры возобновления работы для изменения значения <code>ormode</code> с 2'b10 в 2'b00. • 1'b1: Хост-контроллер ждет только состояния сигнальной линии SE0 в конце процедуры возобновления работы для изменения <code>Ormode</code> с 2'b10 в 2'b00. 		
26	<p>Включение периодического планирования (<code>PerSchedEna</code>) Применяется только в режиме дескрипторного DMA. Включает периодическое планирование в блоке. В начальном состоянии этот разряд сброшен, при этом блок не обрабатывает ни один из периодических каналов. При установке этого разряда блок начинает обработку периодических каналов. При отключенном режиме дескрипторного DMA, этот разряд зарезервирован.</p>	1'b0	R_W
25:24	<p>Ячейки списка кадров (<code>FrListEn</code>). Значение, установленное в этом поле, определяет количество ячеек в списке кадров. Это поле действительно только в режиме дескрипторного DMA.</p> <ul style="list-style-type: none"> • 2'b00: 8 ячеек; • 2'b01: 16 ячеек; • 2'b10: 32 ячейки; • 2'b11: 64 ячейки; <p>Во всех режимах, кроме режима дескрипторного DMA, эти разряды зарезервированы.</p>	2'b00	R/W
23	<p>Включение режима дескрипторного DMA в режиме Host (<code>DescDMA</code>) Программа может установить этот разряд при инициализации для включения режима Scatter/Gather DMA.</p> <p>Примечание. Этот разряд должен быть модифицирован только один раз после сброса. Доступны следующие комбинации для программирования:</p> <ul style="list-style-type: none"> • <code>GANVCFG.DMAEn=0</code>, <code>HCFG.DescDMA=0</code> => режим Slave; • <code>GANVCFG.DMAEn=0</code>, <code>HCFG.DescDMA=1</code> => некорректное значение; • <code>GANVCFG.DMAEn=1</code>, <code>HCFG.DescDMA=0</code> => режим буферизированного DMA; • <code>GANVCFG.DMAEn=1</code>, <code>HCFG.DescDMA=1</code> => режим DMA Scatter/Gather; 	1'b0	R/W
22:16	Резерв		RO

Разряды	Описание	Значение после сброса	Тип доступа
15:8	Период утверждения режима возобновления работы (ResValid) Это поле действительно, только если разряд HCFG.Ena32KHzS установлен в «1». Поле используется для управления периодом возобновления работы после состояния приостановки (suspend). Блок подсчитывает количество ResValid тактов частоты, которое требуется для правильного перехода в режим возобновления работы, после того, как была установлена команда на возобновление работы.	8'd2	R_W
7	Включение режима приостановки частоты 32КГц (Ena32KHzS) Этот разряд может быть установлен, если был выбран последовательный интерфейс USB 1.1 Full-Speed. В обратном случае, значение этого разряда должно быть равно нулю. Если этот разряд установлен и выбран последовательный интерфейс USB 1.1 Full-Speed, блок ожидает переключение частоты с 48 МГц PHY на частоту 32 КГц в состоянии приостановки.	1'd0	R_W
6:3	Резерв		RO
2	Поддержка режимов только FS/LS (FSLSSupp) Программа использует этот разряд для управления скоростью процесса нумерации хост-контроллера. С помощью этого разряда программа может установить нумерацию ядра в режиме FS host, даже если подключенное устройство поддерживает трафик HS. Не следует вносить изменения в настройки этого поля после начального программирования. • 1'b0: HS/FS/LS, на основании максимальной скорости, которая поддерживается подключенным устройством. • 1'b1: только FS/LS, даже если подключенное устройство поддерживает HS.	1'b0	R_W
1:0	Выбор тактовой частоты для FS/LS PHY (FSLSPclkSel) Если блок работает в режиме Host FS: • 2'b00: Внутренняя тактовая частота PHY равна 30/60 МГц (для интерфейсов UTMI+/ULPI PHY); • 2'b01: Внутренняя тактовая частота PHY равна 48 МГц (Для интерфейса 1.1 FS трансивер); • Остальные: резерв; Если блок работает в режиме Host LS: • 2'b00: Внутренняя частота PHY 30/60 МГц (Для интерфейсов UTMI+/ULPI PHY); • 2'b10: Внутренняя частота PHY равна 6 МГц и внешняя частота равна 48 МГц.	2'b0	R_W

Разряды	Описание	Значение после сброса	Тип доступа
	<p>Если была выбрана частота 6 MHz в режиме LS, необходимо выполнить программный сброс (для интерфейса 1.1 FS трансивер);</p> <ul style="list-style-type: none"> • Остальные: резерв; <p>Примечания</p> <ul style="list-style-type: none"> • Если блок работает в режиме FS, внутренняя и внешняя частоты равны. • Если блок работает в режиме LS: <ul style="list-style-type: none"> - Если FSLSPclkSel = 2'b00: Внутренний и внешний тактовые сигналы будут иметь одинаковую частоту; - Если FSLSPclkSel = 2'b10: Внутренняя частота соответствует деленной на восемь внешней частоте 48 МГц (utmifs_clk). 		

18.3.4.2 Регистр интервала кадров в режиме Host (HFIR)

Смещение: 404h;

Этот регистр содержит информацию об интервале кадров для текущей скорости, которая установилась после выполнения нумерации блока.

Таблица 18.31. Регистр интервала кадров в режиме Host (HFIR)

Разряды	Описание	Значение после сброса	Тип доступа
31:17	Резерв		RO
16	<p>Управление перезагрузкой (HFIRIdCtrl)</p> <p>Этот разряд позволяет выполнять динамическую перезагрузку регистра HFIR во время работы блока.</p> <ul style="list-style-type: none"> • 1'b0: Регистр HFIR не может быть перезагружен динамически; • 1'b1: Регистр HFIR может быть перезагружен динамически. <p>Этот разряд должен быть запрограммирован при начальной конфигурации и его значение не должно меняться во время работы блока.</p>	1'b0	R_W
15:0	<p>Интервал кадров (FrInt)</p> <p>Значение, которое программа устанавливает в этом поле, определяет интервал между двумя последовательными пакетами SOF (FS) или микро-SOF (HS) или Keep-Alive (LS). Это поле содержит количество тактов PHY, которое составляет требуемый интервал кадров. Значение по умолчанию устанавливается в этом поле для работы в режиме FS при тактовой частоте PHY 60 МГц. Программа может записывать значение в этот регистр только после установки разряда HPRT.PrtEnaPort. Если значение не было запрограммировано, блок вычисляет это значение на основании частоты</p>	16'd60000	R_W

Разряды	Описание	Значение после сброса	Тип доступа
	PHY, заданной в поле HCFG.FSLSPclkSel. Не следует вносить изменения в настройки этого поля после начальной конфигурации. <ul style="list-style-type: none"> • 125 мкс * (PHY тактовая частота для режима HS) • 1 мс * (PHY тактовая частота для режима FS/LS) 		

18.3.4.3 Регистр номера кадра/оставшегося времени кадра в режиме Host (HFNUM)

Смещение: 408h;

Этот регистр содержит текущий номер кадра и оставшееся время (в тактах частоты PHY) в текущем (микро) кадре.

Таблица 18.32. Регистр номера кадра/оставшегося времени кадра в режиме Host (HFNUM)

Разряды	Описание	Значение после сброса	Тип доступа
31:16	Оставшееся время кадра (FrRem) Указывает количество времени, оставшегося в текущем микрокадре (HS) или кадре (FS/LS), выраженное в тактах частоты PHY. Значение этого поля декрементируется каждый такт частоты PHY. При достижении нуля, это поле перезагружается значением из регистра интервала кадров, и новый пакет SOF передается по шине USB.	16'h0	RO
15:0	Номер кадра (FrNum) Значение этого поля инкрементируется при передаче нового пакета SOF на шине USB и сбрасывается в 0 при достижении 16'h3FFF.	16'h3FFF	RO

18.3.4.4 Регистр статуса передающего FIFO/очереди периодических передач в режиме Host (HPTXSTS)

Смещение: 410h;

Этот регистр доступен только для чтения и содержит информацию о свободном пространстве буфера TxFIFO и очереди периодических передач.

Таблица 18.33. Регистр статуса передающего FIFO/очереди периодических передач в режиме Host (HPTXSTS)

Разряды	Описание	Значение после сброса	Тип доступа
31:24	<p>Верхняя ячейка очереди запросов периодических передач (PTxQTop) Данное поле указывает ячейку очереди запросов периодически передач, которая в текущий момент обрабатывается MAC. Этот регистр используется в целях отладки.</p> <ul style="list-style-type: none"> • Разряд [31]: Нечетный/четный номер (микро)кадра; <ul style="list-style-type: none"> - 1'b0: Отправляется в четном (микро)кадре; - 1'b1: Отправляется в нечетном (микро)кадре; • Разряды [30:27]: номер канала/конечной точки; • Разряды [26:25]: тип <ul style="list-style-type: none"> - 2'b00: входная/выходная; - 2'b01: пакет нулевой длины; - 2'b10: CSPLIT; - 2'b11: команда отключения канала; • Разряд [24]: последняя ячейка для выбранного канала/конечной точки; 	8'h0	RO
23:16	<p>Доступное место в очереди запросов периодических передач (PTxQSpAvail) Указывает количество свободных ячеек доступных для записи в очереди запросов периодических передач. Эта очередь содержит запросы IN и OUT.</p> <ul style="list-style-type: none"> • 8'h0: Очередь запросов периодических передач заполнена; • 8'h1: 1 свободная ячейка; • 8'h2: 2 свободных ячейки; • n: n свободных ячеек ($0 \leq n \leq 16$); • Остальные: резерв; 		RO

Разряды	Описание	Значение после сброса	Тип доступа
15:0	<p>Доступное место в передающем буфере FIFO периодических передач (PTxFSpAvail)</p> <p>Указывает количество свободных ячеек, доступных для записи в буфере TxFIFO периодических передач.</p> <p>Значения указываются в 32-разрядных словах;</p> <ul style="list-style-type: none"> • 16'h0: буфер TxFIFO периодических передач заполнен; • 16'h1: доступно 1 слово; • 16'h2: доступно 2 слова; • 16'hn: доступно n слов (где $0 \leq n \leq 32,768$); • 16'h8000: доступно 32,768 слов; • Остальные: резерв; 		RO

18.3.4.5 Регистр прерываний от всех каналов в режиме Host (HAINT)

Смещение: 414h;

При возникновении события на одном из каналов, регистр HAINT формирует прерывание для программы с помощью разряда GINTSTS.HChInt. Каждому каналу соответствует один разряд прерывания, максимальное количество – 16 разрядов. Разряды в этом регистре устанавливаются и очищаются установкой/очисткой разрядов в соответствующем регистре прерываний от канала в режиме Host.

Таблица 18.34. Регистр прерываний от всех каналов в режиме Host (HAINT)

Разряды	Описание	Значение после сброса	Тип доступа
31:16	Резерв		RO
15:0	<p>Прерывания на каналах (HAINT)</p> <p>Один разряд соответствует одному каналу: разряд 0 для канала 0, разряд 15 для канала 15.</p>	16'h0	RO

18.3.4.6 Регистр маски прерываний от всех каналов в режиме Host (HAINTMSK)

Смещение: 418h;

Регистр HAINMSK разрешает или запрещает формирование прерываний регистром HAINT для программы при возникновении события на определенном канале. Каждому каналу соответствует один разряд, максимальное количество – 16 разрядов.

Прерывание маскируется: 1'b0;

Прерываний не маскируется: 1'b1;

Таблица 18.35. Регистр маски прерываний от всех каналов в режиме Host (HAINTMSK)

Разряды	Описание	Значение после сброса	Тип доступа
31:16	Резерв		RO
15:0	Маска прерывания канала (HAINTMsk) Один разряд соответствует одному каналу: Разряд 0 для канала 0, разряд 15 для канала 15.	16'h0	

18.3.4.7 Регистр управления и статуса портов в режиме Host (HPRT)

Смещение: 440h;

Этот регистр доступен только в режиме Host. Хост-контроллер OTG поддерживает только один порт.

Этот регистр содержит следующую информацию: о сбросе устройства USB, включении, приостановке, возобновлении работы, статусе подключения, тестовом режиме для каждого порта. Разряды R_SS_WC в этом регистре могут устанавливать прерывание через разряд GINTSTS.PrtInt. При возникновении прерывания порта, программа должна прочитать этот регистр и очистить разряд, который вызвал прерывание. Для разрядов R_SS_WC, программа должна записать «1» в разряд для очистки прерывания.

Таблица 18.36. Регистр управления и статуса портов в режиме Host (HPRT)

Разряды	Описание	Значение после сброса	Тип доступа
31:19	Резерв		RO
18:17	Режим скорости порта (PrtSpd) Указывает скорость устройства, подключенного к этому порту. • 2'b00: Высокоскоростной режим (High speed); • 2'b01: Полноскоростной режим (Full speed); • 2'b10: Низкоскоростной режим (Low speed); • 2'b11: Резерв;	2'b0	RO
16:13	Управление тестированием порта (PrtTstCtl) Приложение записывает ненулевое значение в это поле для перевода порта в тестовый режим, и соответствующая тестовая последовательность передается через текущий порт. • 4'b0000: Тестовый режим отключен; • 4'b0001: режим Test_J; • 4'b0010: режим Test_K; • 4'b0011: режим Test_SE0_NAK; • 4'b0100: режим Test_Packet; • 4'b0101: Test_Force_Enable • Остальные: резерв;	4'h0	R_W

Разряды	Описание	Значение после сброса	Тип доступа
12	<p>Питание порта (PrtPwr)</p> <p>Программа использует это поле для управления питанием данного порта (запись 1'b1 для установки 1'b1, запись 1'b0 для установки 1'b0), ядро может очистить этот разряд при условии over current.</p> <ul style="list-style-type: none"> • 1'b0: Питание отключено (Power off); • 1'b1: Питание включено (Power on) 	1'b0	1'b0
11:10	<p>Состояние линии порта (PrtLnSts)</p> <p>Указывает текущий логический уровень линий данных USB</p> <ul style="list-style-type: none"> • Разряд [10]: логический уровень линии D+; • Разряд [11]: логический уровень D-; 	2'b0	RO
9	Резерв		RO
8	<p>Сброс порта (PrtRst)</p> <p>Если программа устанавливает этот разряд, начинается выполнение последовательности сброса на этом порту. Программа должна ждать в течение времени, требуемого для сброса и очистить этот разряд после завершения последовательности сброса.</p> <ul style="list-style-type: none"> • 1'b0: Порт не сброшен; • 1'b1: Порт сброшен; <p>Для того чтобы начать сброс порта, приложение должно оставить этот разряд установленным на период, не менее указанного в спецификации USB 2.0. Приложение может оставить его установленным на следующие 10 мс в дополнение к минимальному требованию перед очисткой этого разряда, даже при отсутствии максимального лимита, установленного стандартом USB.</p> <ul style="list-style-type: none"> • Высокая скорость (High speed): 50 мс; • Полная/Низкая скорость (Full speed/Low speed): 10 мс; 	1'b0	R_W

Разряды	Описание	Значение после сброса	Тип доступа
7	<p>Приостановка порта (Port Suspend) (PrtSusp) Программа устанавливает этот разряд для перевода данного порта в режим приостановки (Suspend). Блок останавливает отправку пакетов SOF при установке этого разряда. Для отключения частоты PHY, программа должна установить разряд Port Clock Stop, который устанавливает входной сигнал suspend модуля PHY. Значение при чтении этого разряда отражает текущий статус приостановки порта. Этот разряд очищается блоком после обнаружения удаленного сигнала пробуждения, или при установке программой разряда сброса порта или разряда возобновления работы порта в этом регистре или во время возобновления работы/удаленного возобновления работы (Resume/Remote Wakeup) Прерывания обнаружения подключения или обнаружения отключения устройства находятся в регистре прерываний ядра (GINTSTS.WkUpInt или GINTSTS.DisconnInt, соответственно).</p> <ul style="list-style-type: none"> • 1'b0: Порт не в режиме Suspend; • 1'b1: Порт в режиме Suspend; 	1'b0	R_WS_SC
6	<p>Возобновление работы порта (PrtRes) Программа устанавливает этот разряд для установки сигнала возобновления работы на порту. Блок продолжает удерживать данное состояние, пока программа не очистит этот разряд. Если блок обнаруживает последовательность возобновления работы USB, что отразит прерывание GINTSTS.WkUpInt, блок начинает устанавливать состояние возобновления работы без вмешательства программы и очищает этот разряд при обнаружении отключения устройства. Значение при чтении этого разряда указывает, находится ли ядро в состоянии возобновления работы.</p> <ul style="list-style-type: none"> • 1'b0: Ядро не находится в состоянии возобновления работы; • 1'b1: Ядро находится в состоянии возобновления работы; 	1'b0	R_W_SS_SC
5	<p>Изменение разряда перегрузки порта по току (PrtOvrCurrChng) Блок устанавливает этот разряд при изменении состояния разряда PrtOvrCurrAct (4-й разряд) этого регистра.</p>	1'b0	R_SS_WC
4	<p>Состояние перегрузки порта по току (PrtOvrCurrAct) Отражает состояние порта с точки зрения перегрузки по току (overcurrent).</p> <ul style="list-style-type: none"> • 1'b0: Нет перегрузки; • 1'b1: Перегрузка по току; 	1'b0	RO

Разряды	Описание	Значение после сброса	Тип доступа
3	Изменение состояния разряда включения/выключения порта (PrtEnChng) Блок устанавливает этот разряд, если изменилось состояние 2-го разряда этого регистра.	1'b0	R_SS_WC
2	Включение порта (PrtEna) Порт включается блоком после последовательности сброса, и отключается при перегрузке по току (overcurrent), при отсоединении или программной очисткой этого разряда. Программа не может устанавливать этот разряд записью регистра. Она может только очистить разряд для отключения порта. Этот разряд не формирует прерывание. • 1'b0: Порт отключен; • 1'b1: Порт включен;	1'b0	R_SS_SC_WC
1	Обнаружение подключения порта (PrtConnDet) Блок устанавливает этот разряд, если обнаруживается подключение устройства и формирует прерывание для программы с помощью разряда GINTSTS.PrtInt. Программа должна записать «1» в этот разряд для очистки этого прерывания.	1'b0	R_SS_WC
0	Статус подключения порта (PrtConnSts) • 0: К порту не подключено ни одно устройство; • 1: Устройство подключено к порту;	1'b0	RO

18.3.4.8 Перевод хост блока в тестовый режим

Для перевода блока USBIC в тестовый режим необходимо установить разряд HPRT.Port Test Control. Перевод блока USBIC в тестовый режим включает следующие шаги:

1. Включить питание блока.
2. Загрузить драйвер USBIC.
3. Подключить устройство HS и выполнить нумерацию режима HS.
4. Выполнить обращение к регистру HPRT для отправки тестовых пакетов.
5. Удалить устройство и подключить к фиктивному порту (OPT).

Хост блок USBIC продолжает отправку тестовых пакетов.

6. Проанализировать индикаторную диаграмму.

18.3.4.9 Регистр характеристик канала n в режиме Host (HCCHARn)

Номер канала: $0 \leq n \leq 15$;

Смещение: $500h + (\text{Номер канала} * 20h)$;

Таблица 18.37. Регистр характеристик канала n в режиме Host (HCCHARn)

Разряды	Описание	Значение после сброса	Тип доступа
31	<p>Включение канала (ChEna)</p> <p>Если включен режим дескрипторного DMA:</p> <ul style="list-style-type: none"> • 1'b0: Означает, что структура дескриптора еще не готова; • 1'b1: Означает, что структура дескриптора и буфер данных с данными настроены, и этот канал может выполнять обращения к дескриптору. <p>Если отключен режим дескрипторного DMA:</p> <p>Это поле устанавливается программой и очищается хостом OTG.</p> <ul style="list-style-type: none"> • 1'b0: Канал отключен; • 1'b1: Канал включен; 	1'b0	R_WS_SC
30	<p>Отключение канала (ChDis)</p> <p>Программа устанавливает этот разряд для остановки передачи/приема данных по каналу, также до завершения передачи к этому каналу. Программа должна ждать прерывание отключения канала до того, как этот канал будет считаться отключенным.</p>	1'b0	R_WS_SC_SS
29	<p>Кадр с нечетным номером (OddFrm)</p> <p>Это поле устанавливается (сбрасывается) программой для указания того, что хост OTG должен выполнить передачу в (микро)кадре с нечетным номером. Это поле используется только для периодических транзакций (изохронных транзакций и прерываний).</p> <ul style="list-style-type: none"> • 1'b0: Четный (микро)кадр; • 1'b1: Нечетный (микро)кадр; <p>Это поле не применяется в режиме дескрипторного DMA, не программируется и игнорируется блоком.</p>	1'b0	R_W
28:22	<p>Адрес устройства (DevAddr)</p> <p>В этом поле выбирается устройство, которое служит источником данных или приемником.</p>	7'h0	R_W

Разряды	Описание	Значение после сброса	Тип доступа
21:20	<p>Счетчик Multi Count (MC) / Счетчик ошибок (EC)</p> <p>Если разряд HCSPLTn.SplitEna сброшен (1'b0), это поле указывает хост-контроллеру количество транзакций, которое должно быть выполнено за один микрокадр для этой периодической конечной точки. Для непериодических передач это поле используется только в режиме DMA и задает количество пакетов, которое должно быть выбрано для этого канала до изменения арбитража внутренним DMA контроллером.</p> <ul style="list-style-type: none"> • 2'b00: резерв; • 2'b01: 1 транзакция; • 2'b10: 2 транзакции должны быть выполнены для этой конечной точки за один микрокадр; • 2'b11: 3 транзакции должны быть выполнены для этой конечной точки за один микрокадр; <p>Если разряд HCSPLTn.SplitEna установлен (1'b1), это поле указывает количество непосредственных попыток, которые должны быть выполнены для периодических разделенных транзакций при возникновении ошибок транзакций. Поле должно быть установлено минимум в 2'b01.</p>	2'b0	R_W
19:18	<p>Тип конечной точки (EPType)</p> <p>Указывает выбранный тип передачи.</p> <ul style="list-style-type: none"> • 2'b00: Управляющая; • 2'b01: Изохронная; • 2'b10: Массив данных; • 2'b11: Прерывание; 	2'b0	R_W
17	<p>Низкоскоростное (Low-Speed) устройство (LSpdDev)</p> <p>Это поле устанавливается приложением для указания, что этот канал взаимодействует с низкоскоростным устройством.</p> <p>Этот разряд должен программироваться при подключении низкоскоростного устройства к хосту через концентратор FS. Блок Хост HS OTG использует это поле для установки сигнала XCVR_SELECT в 2'b11 при подключении низкоскоростного устройства (LS) через концентратор FS.</p> <p>Примечание. В настройке «peer to peer» блок HS OTG Host игнорирует этот разряд, даже если он установлен программой.</p>	1'b0	R_W
16	Резерв		RO
15	<p>Направление конечной точки (EPDir)</p> <p>Указывает направление транзакции: входная (IN) или выходная (OUT).</p> <ul style="list-style-type: none"> • 1'b0: OUT; • 1'b1: IN; 	1'b0	R_W

Разряды	Описание	Значение после сброса	Тип доступа
14:11	Номер конечной точки (EPNum) Определяет номер конечной точки в устройстве, которое служит источником или отправителем данных.	4'h0	R_W
10:0	Максимальный размер пакета (MPS) Указывает максимальный размер пакета соответствующей конечной точки.	11'h0	R_W

18.3.4.10 Регистр управления разделенными транзакциями канала n в режиме Host (HCSPLTn)

Номер канала: $0 \leq n \leq 15$;

Смещение: $504h + (\text{Номер канала} * 20h)$;

Таблица 18.38. Регистр управления разделенными транзакциями канала n в режиме Host (HCSPLTn)

Разряды	Описание	Значение после сброса	Тип доступа
31	Разрешение разделенных передач (SpltEna) Программа устанавливает это поле для указания того, что канал может выполнять разделенные передачи.	1'b0	R_W
30:17	Резерв		RO
16	Выполнение завершенной разделенной передачи (CompSplt) Программа устанавливает это поле для отправки хост-контроллером OTG завершенной разделенной передачи.	1'b0	R_W
15:14	Позиция транзакции (XactPos) Это поле используется для определения, какая часть данных (начальная, средняя или конечная часть нагрузочного пакета) будет отправлена с каждой выходной транзакцией. 2'b11: Все. Полные данные (полезная нагрузка) этой транзакции (которая меньше или равна 188 байт). • 2'b10: Начало. Первые данные (полезная нагрузка) этой транзакции (которая больше 188 байт). • 2'b00: Середина. Середина полезной нагрузки этой транзакции (больше чем 188 байт). • 2'b01: Окончание. Последняя полезная нагрузка транзакции (больше 188 байт).	2'h0	R_W
13:7	Адрес концентратора (HubAddr) Это поле содержит адрес устройства концентратора в транзакции к транслятору концентратора.	7'h0	R_W
6:0	Адрес порта (PrtAddr) Это поле является номером порта транслятора принимающей транзакции.	7'h0	R_W

18.3.4.11 Регистр прерывания канала n в режиме Host (HCINTn)

Номер канала: $0 \leq n \leq 15$;

Смещение: $508h + (\text{номер канала} * 20h)$;

Этот регистр указывает состояние канала с учетом событий USB и АНВ. Программа должна читать этот регистр при установке разряда GINTSTS.HChInt. Перед чтением этого регистра программа должна прочитать регистр HAINТ для получения информации о количестве каналов. Программа может очистить соответствующий разряд в этом регистре для очистки разрядов в регистрах HAINТ и GINTSTS.

Таблица 18.39. Регистр прерывания канала n в режиме Host (HCINTn)

Разряды	Описание	Значение после сброса	Тип доступа
31:11	Резерв		RO
13	Прерывание полного оборота списка дескрипторов (Descriptor rollover) (DESC_LST_ROLLIntr) Этот разряд действителен только при включенном режиме дескрипторного DMA. Блок устанавливает этот разряд, если в результате обработки соответствующего списка дескрипторов произошла полная обработка всех элементов списка. Для режима не дескрипторного DMA этот разряд зарезервирован.	1'b0	R_SS_WC
12	Превышенное количество ошибок транзакций (XCS_XACT_ERR) Этот разряд действителен только при включенном режиме дескрипторного DMA. Блок устанавливает этот разряд при возникновении 3-х последовательных ошибок транзакций на шине USB. XCS_XACT_ERR не генерируется для изохронных каналов. Для режима не дескрипторного DMA данный разряд зарезервирован.	1'b0	R_SS_WC
11	Прерывание BNA (Буфер не доступен) (BNAIntr) Этот разряд действителен только при включенном режиме дескрипторного DMA. Блок формирует это прерывание, если дескриптор, к которому выполняется обращение, не готов для обработки ядром. BNA не будет формироваться для изохронных каналов. Для режима не дескрипторного DMA этот разряд зарезервирован.	1'b0	R_SS_WC
10	Ошибка переключателя данных (DataTglErr) В режиме дескрипторного DMA прерывание, устанавливаемое этим разрядом, маскируется в блоке.	1'b0	R_SS_WC

Разряды	Описание	Значение после сброса	Тип доступа
9	Переполнение кадра (FrmOvrUn) В режиме дескрипторного DMA, прерывание, устанавливаемое этим разрядом, маскируется в блоке.	1'b0	R_SS_WC
8	Ошибка Babble (BblErr) В режиме дескрипторного DMA прерывание, устанавливаемое этим разрядом, маскируется в блоке.	1'b0	R_SS_WC
7	Ошибка транзакции (XactErr) Указывает одну из следующих ошибок, возникших на шине USB. • Ошибка проверки CRC; • Задержка; • Ошибка проверки «Bit stuff»; • неверный пакет EOP; В режиме дескрипторного DMA, прерывание, связанное с данным разрядом не устанавливается.	1'b0	R_SS_WC
6	Прерывание по принятому пакету подтверждения NYET (NYET) В режиме дескрипторного DMA прерывание, устанавливаемое этим разрядом, маскируется в блоке.	1'b0	R_SS_WC
5	Прерывание по принятому/переданному пакету подтверждения ACK (ACK) В режиме дескрипторного DMA прерывание, устанавливаемое этим разрядом, маскируется в блоке.	1'b0	R_SS_WC
4	Прерывание по принятому пакету подтверждения NAK (NAK) В режиме дескрипторного DMA прерывание, устанавливаемое этим разрядом, маскируется в блоке.	1'b0	R_SS_WC
3	Прерывание по принятому пакету подтверждения STALL (STALL) В режиме дескрипторного DMA прерывание, устанавливаемое этим разрядом, маскируется в блоке.	1'b0	R_SS_WC
2	Ошибка АНВ (АНВErr) Генерируется только в режиме DMA при возникновении ошибки АНВ во время чтения/записи АНВ. Программа может читать соответствующий регистр адреса DMA канала для получения адреса ошибки.	1'b0	R_SS_WC

Разряды	Описание	Значение после сброса	Тип доступа
1	<p>Остановка канала (ChHltd)</p> <p>В режиме не дескрипторного DMA указывает на некорректно завершённую передачу по причине ошибки USB транзакции или в ответ на программный запрос отключения или по причине завершения передачи.</p> <p>В режиме дескрипторного DMA этот разряд означает, что передача завершена по одной из следующих причин:</p> <ul style="list-style-type: none"> • признак EOL установлен в дескрипторе; • ошибка АНВ; • превышенное количество ошибок транзакций; • в ответ на программный запрос отключения; • ошибка Babble; • ошибка Stall; 	1'b0	R_SS_WC
0	<p>Успешно завершённая передача (XferCompl)</p> <p>В режиме дескрипторного DMA этот разряд указывает, что обработка текущего дескриптора завершилась установкой разряда ИОС в этом дескрипторе.</p> <p>В режиме не дескрипторного DMA, этот разряд означает, что передача закончилась корректно, без ошибок.</p>	1'b0	R_SS_WC

18.3.4.12 Регистр маски прерывания канала n в режиме Host (HCINTMSKn)

Номер канала: $0 \leq n \leq 15$;

Смещение: $50Ch + (\text{номер канала} * 20h)$;

Этот регистр отражает маски прерывания для каждого статуса канала, представленные в предыдущем разделе.

Прерывание маскируется: 1'b0;

Прерывание не маскируется: 1'b1;

Таблица 18.40. Регистр маски прерывания канала n в режиме Host (HCINTMSKn)

Разряды	Описание	Значение после сброса	Тип доступа
31:11	Резерв	1'b0	RO
13	<p>Маска прерывания полного оборота списка дескрипторов (DESC_LST_ROLLIntrMsk)</p> <p>Этот разряд действителен только в режиме дескрипторного DMA.</p> <p>В режиме не дескрипторного DMA этот разряд зарезервирован.</p>	1'b0	R_W
12	Резерв	1'b0	RO

Разряды	Описание	Значение после сброса	Тип доступа
11	Резерв	1'b0	RO
11	Маска прерывания BNA (Буфер не доступен) (BNAIntrMsk) Этот разряд действителен только в режиме дескрипторного DMA. В режиме не дескрипторного DMA, этот разряд зарезервирован.	1'b0	R_W
10	Маска прерывания ошибки переключателя данных (DataTglErrMsk) Этот разряд не используется в режиме дескрипторного DMA.	1'b0	R_W
9	Маска прерывания переполнения кадра (FrmOvrUnMsk) Этот разряд не используется в режиме дескрипторного DMA.	1'b0	R_W
8	Маска прерывания по ошибке Babble (BblErrMsk) Этот разряд не используется в режиме дескрипторного DMA.	1'b0	R_W
7	Маска прерывания ошибки транзакции (XactErrMsk) Этот разряд не используется в режиме дескрипторного DMA	1'b0	R_W
6	Маска прерывания по принятому пакету подтверждения NYET (NyetMsk) Этот разряд не используется в режиме дескрипторного DMA.	1'b0	R_W
5	Маска прерывания по принятому/переданному пакету подтверждения ACK (AckMsk) Этот разряд не используется в режиме дескрипторного DMA.	1'b0	R_W
4	Маска прерывания по принятому пакету подтверждения NAK (NakMsk) Этот разряд не используется в режиме дескрипторного DMA.	1'b0	R_W
3	Маска прерывания по принятому пакету подтверждения STALL (StallMsk) Этот разряд не применяется в режиме дескрипторного DMA.		
2	Маска прерывания по ошибке АНВ (АНВErrMsk)		
1	Маска прерывания остановки канала (ChHltdMsk)	1'b0	R_W
0	Маска прерывания завершённой передачи (XferComplMsk)	1'b0	R_W

18.3.4.13 Регистр размера передачи по каналу n в режиме Host (HCTSIZn)

Номер канала: $0 \leq n \leq 15$;

Смещение: $510h + (\text{номер канала} * 20h)$;

В таблице представлено назначение разрядов регистра HCTSIZn в режиме дескрипторного DMA и не дескрипторного DMA.

Таблица 18.41. Регистр размера передачи по каналу n в режиме Host (HCTSIZn)

Разряды	Описание	Значение после сброса	Тип доступа
Режим дескрипторного DMA			
31	Выполнение протокола Ping (DoPng) Этот разряд используется только для выходных передач (OUT). Установка этого поля в «1» дает команду хост-контроллеру на выполнение протокола PING. Примечание. Этот разряд не должен устанавливаться для входных передач. Установка этого разряда для входных передач приведет к отключению канала.	1'b0	R_W
30:29	Идентификатор пакета данных PID (Pid) Программа устанавливает это поле в значение типа PID, который используется для начальной транзакции. Хост сохраняет значение этого поля до завершения передачи. • 2'b00: DATA0; • 2'b01: DATA2; • 2'b10: DATA1; • 2'b11: MDATA (не управляющий);	2'b00	R_W
28:19	Резерв	1'b0	RO
18:16	Резерв	1'b0	RO

Разряды	Описание	Значение после сброса	Тип доступа
15:8	<p>NTD (Количество дескрипторов передачи) (Не изохронная) Это значение указывает количество дескрипторов. Максимальное количество дескрипторов в списке - 64. Значения - от 0 до 63.</p> <ul style="list-style-type: none"> • 0 – 1 дескриптор; • 63 – 64 дескриптора; <p>Это поле указывает общее количество дескрипторов, присутствующих в этом списке. Блок вернется в исходное значение после обслуживания количества NTD дескрипторов для этого списка.</p> <p>(Изохронный) Это поле указывает количество дескрипторов, присутствующих в данном списке микрокадра.</p> <p>Допустимые значения для FS:</p> <ul style="list-style-type: none"> • 1 – 2 дескриптора; • 3 – 4 дескриптора; • 7 – 8 дескрипторов; • 15 – 16 дескрипторов; • 31 – 32 дескриптора; • 63 – 64 дескриптора; <p>Допустимые значения для HS:</p> <ul style="list-style-type: none"> • 7 – 8 дескрипторов; • 15 – 16 дескрипторов; • 31 – 32 дескриптора; • 63 – 64 дескриптора; • 127 – 128 дескрипторов; • 255 – 256 дескрипторов; 	8'h0	R_W
7:0	<p>SCHED_INFO (Информация планирования) Каждый разряд этого 8-разрядного поля указывает планирование для данного микрокадра. 0-й разряд указывает планирование для первого микрокадра, 7-й разряд указывает планирование для восьмого микрокадра в текущем микрокадре.</p> <p>Значение 8'b11111111 означает, что соответствующему каналу прерывания запланирована отправка заголовка (token) каждого микрокадра, начиная со второго микрокадра. Значение 8'b10101010 означает, что соответствующему каналу прерывания запланирована отправка заголовка каждого микрокадра, начиная со второго микрокадра.</p> <p>Примечание. Данное поле используется только для периодических каналов (изохронных и прерываний).</p>	8'h0	R_W

Разряды	Описание	Значение после сброса	Тип доступа
Режим не дескрипторного DMA			
31	Выполнение протокола Ping (DoPng) Этот разряд используется только для выходных передач (OUT). Установка этого поля в «1» дает команду хост- контроллеру на выполнение PING протокола. Примечание. Этот разряд должен быть установлен для входных передач (IN). Установка этого разряда для входных передач (IN) приведет к отключению канала.	1'b0	R_W
30:29	Идентификатор пакета данных PID (Pid) Программа устанавливает это поле в значение типа PID, используемое для начальной транзакции. Хост сохраняет значение этого поля до завершения передачи. • 2'b00: DATA0; • 2'b01: DATA2; • 2'b10: DATA1; • 2'b11: MDATA (не управляющий)/SETUP (управляющий);	2'b00	R_W
28:19	Счетчик пакетов (PktCnt) Это поле программируется в значение ожидаемого количества пакетов для передачи (OUT) или получения (IN). Этот счетчик декрементируется хостом при каждой успешной передаче или получении пакета OUT/IN. Если счетчик достигает нуля, формируется прерывание для обозначения корректного выполнения.	10'h0	R_W
18:0	Размер передачи (XferSize) Для выходной передачи (OUT) это поле содержит количество байт данных, которые хост отправляет при передаче. Для входной передачи (IN) это поле содержит размер буфера, который программа зарезервировала для передачи. Это поле должно программироваться как целое число кратное максимальному размеру пакета для периодических и непериодических входных транзакций (IN).	19'h0	R_W

18.3.4.14 Регистр адреса DMA канала n в режиме Host (HCDMA_n)

Номер канала: $0 \leq n \leq 15$;

Смещение: $514h + (\text{номер канала} * 20h)$;

Этот регистр используется хост-контроллером OTG в режиме внутреннего DMA для обслуживания текущего указателя буфера для транзакций IN/OUT. Начальный адрес DMA должен быть выровнен на границу DWORD.

Таблица 18.42. Регистр адреса DMA канала n в режиме Host (HCDMA_n)

Разряды	Описание	Значение после сброса	Тип доступа
Режим буферного DMA			
31:0	Адрес DMA (DMAAddr) Это поле содержит начальный адрес во внешней памяти из которого данные для конечной точки должны быть выбраны или по которому должны быть сохранены. Этот регистр инкрементируется при каждой транзакции АНВ.	«X» если не запрограммирован, так как регистр находится в SPRAM	R_W
Режим дескрипторного DMA			
Примечание. Для режима Scatter/Gather DMA этот адрес является началом адреса страницы, где находится список дескрипторов.			
31:N (Isoc) 31:9 (Non Isoc)	Адрес DMA (DMAAddr) Не изохронный: Это поле содержит стартовый адрес страницы в 512 байт. Первый дескриптор в списке должен находиться по этому адресу. Первый дескриптор может быть готов или не готов. Блок начинает обработку списка из значения CTD. Изохронный: Это поле содержит адрес 2*(nTD+1) байт ячеек, в которых присутствуют изохронные дескрипторы, где N основывается на значениях nTD из таблицы, представленной ниже.	23h'0	R/W
N-1:3 (Isoc) 8:3 (Non Isoc)	Номер текущего дескриптора (CTD): Не изохронный: Это значение указывается в номерах дескрипторов. Значения - от 0 до 63: «0» - 1-й дескриптор, «63» - 64-й дескриптора. Это поле указывает текущий дескриптор, обрабатываемый в списке. Это поле обновляется программой и блоком. Например, если программа включает канал после программирования CTD=5, блок начнет обработку 6-го дескриптора. Адрес вычисляется путем прибавления значения (8bytes*5=) 40(decimal) к DMAAddr. Изохронный: CTD для изохронного вычисляется на основе текущего значения кадра/микрокадра. Необходима программная установка в ноль.	6'h0 (N+1:3)' h0	R/W
2:0	Резерв	3'h0	RO

18.3.4.15 Регистр адреса буфера DMA канала n в режиме Host (HCDMABn)

Номер канала: 0 n 15;

Смещение: 51Ch + (номер канала * 20h);

Этот регистр присутствует только в режиме дескрипторного DMA. Регистр реализован в RAM, вместо реализации на триггерах. Этот регистр содержит текущий адрес буфера.

Таблица 18.43. Регистр адреса буфера DMA канала n в режиме Host (HCDMABn)

Разряды	Описание	Значение после сброса	Тип доступа
31:0	Содержит текущий адрес буфера. Этот регистр обновляется as и в процессе передачи данных для соответствующей конечной точки. Этот регистр присутствует только в режиме Scatter/Gather DMA. В обратном случае, это поле зарезервировано.	«X» если не запрограммирован, так как регистр находится в SPRAM	RO

18.3.4.16 Регистр базового адреса списка кадров в режиме Host (HFLBAddr)

Смещение: 41Ch;

Этот регистр присутствует только в режиме дескрипторного DMA. Регистр реализован на триггерах, содержит информацию о начальном адресе списка кадров.

Таблица 18.44. Регистр базового адреса списка кадров в режиме Host (HFLBAddr)

Разряды	Описание	Значение после сброса	Тип доступа
31:0	Начальный адрес списка кадров. Этот регистр используется только для изохронных каналов и каналов прерывания.	32'h0	R/W

18.3.5 Регистры режима Device

Данные регистры доступны только в режиме Device, и обращения к этим регистрам не должны выполняться в режиме Host, так как результаты этих обращений непредсказуемы. Некоторые из них управляют всеми конечными точками, а другие управляют только определенными конечными точками.

Регистры для режима Device разделяются на две категории:

Регистры управления определенными входными конечными точками

Каждой логической конечной точки соответствует один набор регистров. Логическая конечная точка является однонаправленной: она может быть входной (IN) или выходной (OUT). Для двунаправленной конечной точки требуются две логические конечные точки,

одна для направления IN и вторая для направления OUT. Это также относится к управляющим конечным точкам.

Регистры и регистровые поля, представленные в этом разделе, могут относиться к входным (IN) или выходным (OUT) конечным точкам, или и к тем и к другим, или к определенному типу конечных точек.

18.3.5.1 Регистр конфигурации в режиме Device (DCFG)

Смещение: 800h;

Данный регистр используется для конфигурации ядра в режиме Device после включения питания, после определенных управляющих команд, или после выполнения нумерации. Не следует вносить изменения в настройки этого регистра после начального программирования.

Таблица 18.45. Регистр конфигурации в режиме Device (DCFG)

Разряды	Описание	Значение после сброса	Тип доступа
31:26	Период возобновления работы (ResValid) Это поле управляет периодом возобновления работы после приостановки. Если этот разряд установлен, блок подсчитывает количество тактов частоты, указанных в данном поле (ResValid), для обнаружения того, что возобновление работы произведено. Это поле действительно только при установке DCFG.Ena32KHzSusp.	6'd2	R_W

Разряды	Описание	Значение после сброса	Тип доступа
25:24	<p>Интервал периодического планирования (PerSchIntvl)</p> <p>Поле PerSchIntvl должно быть запрограммировано только для режима дескрипторного DMA.</p> <p>Это поле определяет количество времени, которое внутренний DMA должен выделить для выборки данных для периодической входной конечной точки. На основании количества периодических конечных точек это значение должно быть задано как 25,50 или 75% (микро)кадра.</p> <ul style="list-style-type: none"> • Если периодические конечные точки активны, внутренний DMA выделяет заданное количество времени для выборки данных периодической входной конечной точки. • Если нет активных периодических точек, внутренний DMA обрабатывает неперiodических конечные точки, игнорируя это поле. • После заданного количества времени в (микро)кадре, DMA переключается на выборку неперiodических конечных точек. • 2'b00: 25% (микро)кадра; • 2'b01: 50% (микро)кадра; • 2'b10: 75% (микро)кадра. • 2'b11: Резерв. 	2'b00	R_W
23	<p>Включение режима дескрипторного DMA в режиме Device (DescDMA).</p> <p>Программа может установить этот разряд во время инициализации для включения Scatter/Gather DMA:</p> <p>Это разряд должен быть модифицирован только один раз после сброса.</p> <p>Следующие комбинации доступны для программирования:</p> <ul style="list-style-type: none"> • GANBCFG.DMAEn=0,DCFG.DescDMA=0 => режим Slave; • GANBCFG.DMAEn=0,DCFG.DescDMA=1 => Invalid • GANBCFG.DMAEn=1,DCFG.DescDMA=0 => режим буферизированного DMA; • GANBCFG.DMAEn=1,DCFG.DescDMA=1 => режим дескрипторного DMA; 	1'b0	R_W
22:18	<p>Счетчик прерывания IN Endpoint Mismatch (EPMisCnt)</p> <p>Это поле действительно только при распределенном FIFO.</p> <p>Программа устанавливает это поле в значение счетчика, который определяет, когда блок формирует прерывание GINTSTS.EPMis. Блок загружает это значение во внутренний счетчик и декрементирует его. Счетчик перезагружается, если произошло совпадение или по истечении счетчика. Ширина этого счетчика зависит от глубины очереди заголовков (Token).</p>	5'h8	R_W
17:13	Резерв		RO

Разряды	Описание	Значение после сброса	Тип доступа
13	<p>Разрешение установки пакета подтверждения NAK для входной передачи Device (EnDevOutNak)</p> <p>Этот разряд разрешает установку пакета подтверждения NAK для выходных конечных точек типа массива данных (Bulk OUT) после завершения передачи, когда блок работает в режиме Device Descriptor DMA mode.</p> <ul style="list-style-type: none"> • 1'b0: Блок не устанавливает пакет подтверждения NAK после завершения выходной передачи массива данных; • 1'b1: Блок устанавливает пакет подтверждения NAK после завершения выходной передачи массива данных; <p>Этот разряд действителен только при $OTG_EN_DESC_DMA == 1'b1$;</p>	1'b0	R_W
12:11	<p>Интервал периодических кадров (PerFrInt)</p> <p>Указывает время в (микро)кадре в которое программа должна быть уведомлена об окончании периодического кадра с помощью прерывания End Of Periodic Frame. Может использоваться для определения выполнения всего изохронного трафика для этого (микро)кадра.</p> <ul style="list-style-type: none"> • 2'b00: 80% интервала микрокадра; • 2'b01: 85%; • 2'b10: 90%; • 2'b11: 95%; 	2'h0	R_W
10:4	<p>Адрес устройства (DevAddr)</p> <p>Программа должна устанавливать это поле после каждой управляющей команды SetAddress.</p>	7'h0	R_W
3	<p>Включение режима 32 КГц Suspend (Ena32KHzS)</p> <p>При выборе интерфейса USB 1.1 Full-Speed Serial Transceiver и установке этого разряда блок ожидает переключение частоты 48 МГц РНУ на частоту 32 КГц во время приостановки. Этот разряд может быть установлен только при выборе интерфейса USB 1.1 Full-Speed Serial Transceiver.</p> <p>Если интерфейс USB 1.1 Full-Speed Serial Transceiver Interface не был выбран, этот разряд должен быть установлен в «0».</p>	1'd0	R_W

Разряды	Описание	Значение после сброса	Тип доступа
2	<p>Пакет подтверждения на пакет ненулевой длины транзакции OUT (Non-Zero-Length Status OUT Handshake) (NZStsOUTHShk)</p> <p>Программа может использовать это поле для выбора пакета подтверждения, который блок отправляет при получении пакета данных ненулевой длины во время передачи выходной фазы Status управляющей транзакции.</p> <ul style="list-style-type: none"> • 1'b1: Пакет подтверждения STALL отправляется в ответ на пакет ненулевой длины транзакции OUT, и принятый выходной пакет не отправляется приложению. • 1'b0: Принятый выходной пакет отправляется приложению (нулевой длины или ненулевой длины) и отправляется пакет подтверждения на основании разрядов NAK и STALL определенной конечной точки управляющих регистров в режиме Device. 	1'b0	R_W
1:0	<p>Скорость устройства (Device Speed) (DevSpd)</p> <p>Указывает скорость, на которой приложение требует выполнить процесс нумерации, или максимальная скорость, поддерживаемая приложением. Тем не менее, актуальная скорость на шине определяется только после завершения последовательности «chirp», и основана на скорости хоста USB, к которому подключен блок.</p> <ul style="list-style-type: none"> • 2'b00: Высокоскоростной (USB 2.0 PHY частота равна 30 МГц или 60 МГц); • 2'b01: Полноскоростной (USB 2.0 PHY частота – 30 МГц или 60 МГц); • 2'b10: Низкоскоростной (USB 1.1 FS частота – 48 МГц); • 2'b11: Полноскоростной (USB 1.1 FS частота трансивера – 48 МГц); 	2'b0	R_W

18.3.5.2 Регистр управления в режиме Device (DCTL)

Смещение: 804h;

Таблица 18.46. Регистр управления в режиме Device

Разряды	Описание	Значение после сброса	Тип доступа
31:17	Резерв		RO
16	Установка NAK автоматически при обнаружении помех (babble) (NakOnBble). Блок устанавливает NAK автоматически для конечной точки, на которой при передаче были обнаружены помехи.	1'b0	R_W
15	<p>Игнорирование количества изохронных конечных точек (IgnrFrmNum)</p> <p>Режим Slave (GANBCFG.DMAEn=0): Этот разряд не действителен в режиме Slave и не должен программироваться в «1».</p> <p>Режим не дескрипторного DMA (GANBCFG.DMAEn=1,DCFG.DescDMA=0): Этот разряд не используется при включенном режиме порога (Threshold) и не должен программироваться в «1».</p> <p>В режиме не дескрипторного DMA программа получает прерывание по завершению передачи для нескольких (микро)кадров.</p> <ul style="list-style-type: none"> • Если режим дескрипторного DMA отключен, это поле используется программой для разрешения прерывания периодической передачи. Программа может запрограммировать исполнение передач периодических конечных точек для нескольких микрокадров. <p>- 0: Опция прерывания периодической передачи отключена; для периодических конечных точек передачи должны программироваться каждый (микро)кадр;</p> <p>- 1: Пакеты не выталкиваются при получении заголовка ISOC IN для прошедшего кадра. Блок игнорирует номер кадра, отправляя пакеты по мере их готовности, и принимается соответствующий заголовок. Это поле также используется by the application для разрешения прерываний периодических передач.</p> <p>Режим дескрипторного DMA (GANBCFG.DMAEn=1,DCFG.DescDMA=1): Этот разряд не используется для высокоскоростных, передач требующих высокой пропускной способности и не должен программироваться в «1». Также этот разряд не используется и не должен программироваться в «1» при включенном режиме порога (Threshold).</p> <ul style="list-style-type: none"> • 0: Блок передает пакеты только в том кадре, в котором они должны были передаваться. <p>- 1: Пакеты не выталкиваются при получении заголовка ISOC IN для прошедшего кадра. Блок игнорирует номер кадра, отправляя пакеты по мере их готовности, и принимается соответствующий заголовок. При установке этого разряда для одного дескриптора предназначается только один пакет.</p>	1'b0	R_W

Разряды	Описание	Значение после сброса	Тип доступа
14:13	<p>Глобальный счетчик пакетов Global Multi Count (GMC) GMC должен программироваться только один раз после инициализации. Используется только в режиме дескрипторного DMA. Указывает количество пакетов, которые должны быть обработаны для этой конечной точки до перехода к следующей конечной точке. Только для неперiodических конечных точек.</p> <ul style="list-style-type: none"> • 2'b00: недействительно; • 2'b01: 1 пакет; • 2'b10: 2 пакета; • 2'b11: 3 пакета; <p>Значение этого поля автоматически меняется на 2'h1 при установке DCFG.DescDMA в «1». Если режим дескрипторного DMA отключен, это поле зарезервировано и при чтении возвращает 2'b00.</p>	2'h0	R_W
12	Резерв		RO
11	<p>Завершение программирования при включении питания (PWROnPrdDone) Этот разряд используется для обозначения завершения программирования данного регистра после пробуждения из режима низкого энергопотребления (Power Down mode)</p>	1'b0	R_W
10	<p>Очистка глобального пакета ответа NAK на OUT транзакции (CGOUTNak) Запись в этот разряд очищает Global OUT NAK.</p>	1'b0	WO
9	<p>Установка глобального пакета ответа NAK на OUT транзакции (SGOUTNak) Запись в это поле устанавливает Global OUT NAK. Этот разряд используется для отправки пакета подтверждения NAK на все выходные конечные точки. Программа может устанавливать этот разряд только после подтверждения очистки разряда GINTSTS.GOUTNakEff.</p>	1'b0	WO
8	<p>Очистка глобального пакета ответа NAK на неперiodические IN транзакции (CGNPIInNak) Запись в этот разряд очищает Global Non-periodic IN NAK.</p>	1'b0	WO
7	<p>Установка Global Non-periodic IN NAK (SGNPIInNak) Запись в это поле устанавливает Global Non-periodic IN NAK. Программа использует этот разряд для отправки пакета подтверждения NAK на все неперiodические конечные точки IN. Блок может также устанавливать этот разряд при обнаружении условия таймаута на неперiodической конечной точке в операции с распределенным буфером FIFO. Программа должна устанавливать этот разряд только после подтверждения очистки разряда GINTSTS.GINNakEff.</p>	1'b0	WO

Разряды	Описание	Значение после сброса	Тип доступа
6:4	<p>Управление тестовым режимом (TstCtl)</p> <ul style="list-style-type: none"> • 3'b000: Тестовый режим отключен; • 3'b001: Режим Test_J; • 3'b010: Режим Test_K; • 3'b011: Режим Test_SE0_NAK; • 3'b100: Режим Test_Packet; • 3'b101: Test_Force_Enable; • Остальные значения: резерв 	3'b0	R_W
3	<p>Статус Global OUT NAK (GOUTNakSts)</p> <ul style="list-style-type: none"> • 1'b0: Пакет подтверждения отправляется на основании статуса FIFO и настроек разрядов NAK и STALL. • 1'b1: Данные не записываются в RxFIFO, независимо от наличия места. Отправляет пакет подтверждения NAK в ответ на все пакеты, кроме транзакций SETUP. Все изохронные выходные пакеты OUT транзакций сбрасываются. 	1'b0	RO
2	<p>Статус Global Non-periodic IN NAK (GNPINNakSts)</p> <ul style="list-style-type: none"> • 1'b0: Пакет подтверждения отправляется на основании наличия данных в передающем FIFO. • 1'b1: Пакет подтверждения NAK отправляется на все непериодические входные конечные точки, независимо от наличия данных в передающем FIFO. 	1'b0	RO
1	<p>Программное отсоединение (SftDiscon)</p> <p>Программа использует этот разряд для отправки сигнала блоку USBIC выполнить программное отсоединение. Пока этот разряд установлен, хост не видит подключения устройства, и устройство не получает сигналы по шине USB. Блок остается в отключенном состоянии, пока программа не очистит этот разряд.</p> <ul style="list-style-type: none"> • 1'b0: Нормальная работа. Когда этот разряд очищается после программного отсоединения, блок устанавливает сигнал phy_orpmode_o по интерфейсу UTMI+ в 2'b00, который генерирует событие подключения устройства к USB-хосту. При повторном подключении устройства, USB хост повторно начинает процесс нумерации устройства. • 1'b1: Блок устанавливает в 2'b01 сигнал phy_orpmode_o на интерфейсе UTMI+, который генерирует событие отключения устройства USB хосту. <p>Примечание. Этот разряд может также использоваться для последовательных интерфейсов ULPI/FS.</p>	1'b0	R_W
0	<p>Сигнал удаленного пробуждения (RmtWkUpSig)</p> <p>Если программа устанавливает этот разряд, блок инициирует удаленный сигнал для возобновления работы USB-хоста. Программа должна устанавливать этот разряд для вывода блока из состояния приостановки. Как определено в спецификации USB 2.0, программа должна очистить этот разряд в течение 1–15 мс после его установки.</p>	1'b0	R_W

В Таблица 18.47 представлено минимальное время программного отключения при различных условиях, для которых разряд SftDiscon должен быть установлен хостом USB для определения отключения устройства. При учетывании джиттера тактовой частоты рекомендуется добавить некоторую задержку к минимальному значению времени.

Таблица 18.47. Минимальное время программного отключения

Режим скорости	Состояние устройства	Минимальное время
Высокоскоростной (High speed)	Приостановка (Suspended)	1 мс + 2.5 мкс
Высокоскоростной (High speed)	Простой (Idle)	3 мс + 2.5 мкс
Высокоскоростной (High speed)	Выполнение транзакций (не Простой, не Приостановка)	125 мкс
Полноскоростной/Низкоскоростной (Full speed/Low speed)	Приостановка	1 мс + 2.5 мкс
Полноскоростной/Низкоскоростной (Full speed/Low speed)	Простой	2.5 мкс
Полноскоростной/Низкоскоростной (Full speed/Low speed)	Выполнение транзакций (не Простой, не Приостановка)	2.5 мкс

18.3.5.3 Регистр статуса в режиме Device (DSTS)

Смещение: 808h;

Этот регистр указывает статус блока с учетом событий USB. Он должен быть прочитан при установке прерываний в регистре всех прерываний в режиме Device (DAINT).

Таблица 18.48. Регистр статуса в режиме Device (DSTS)

Разряды	Описание	Значение после сброса	Тип доступа
31:22	Резерв		RO
21:8	Номер кадра или микрокадра принятого пакета SOF (SOFFN) Если блок работает в высокоскоростном режиме, это поле содержит номер микрокадра. Если блок работает в полноскоростном или низкоскоростном режиме, это поле содержит номер кадра. Примечание. Этот регистр может возвращать ненулевое значение, если чтение выполняется сразу после сброса. В случае если чтение возвращает ненулевое значение сразу после сброса, это не означает, что пакет SOF был получен от хоста. Значение при чтении этого прерывания действительно только после установки корректного соединения между хостом и устройством.	14'h0	RO
7:4	Резерв		RO

Разряды	Описание	Значение после сброса	Тип доступа
3	Ошибка Erratic (ErrticErr) Блок устанавливает этот разряд для сообщения об ошибках erratic (phy_gxvalid_i/phy_gxvldh_i или phy_gxactive_i устанавливается минимум на 2 ms, что связано с ошибкой PHY), обнаруженных на интерфейсе UTMI+. В результате ошибок erratic, блок USBIC переходит в состояние приостановки (Suspended), и формируется прерывание с помощью разряда GINTSTS.ErlySusp. Если разряд ранней приостановки (early suspend) устанавливается по причине ошибки erratic, программа может выполнять восстановление только с помощью программного (корректного) отсоединения.	1'b0	RO
2:1	Скорость установленная при нумерации (EnumSpd) Указывает скорость, на которой блок USBIC соге настроился после процедуры определения скорости во время последовательности chirp. 2'b00: Высокоскоростной (частота PHY 30 или 60 МГц); • 2'b01: Полноскоростной (частота PHY 30 или 60 МГц); • 2'b10: Низкоскоростной (частота PHY 48 МГц, внутренняя phy_clk 6 МГц); • 2'b11: Полноскоростной (частота PHY 48 МГц); Низкоскоростной режим (LS) не поддерживается для устройств, использующих UTMI+ PHY.	2'h01	RO
0	Статус приостановки (SuspSts) В режиме Device этот разряд остается установленным, пока состояние приостановки обнаруживается на шине USB. Блок переходит в состояние приостановки, если нет активности сигнала utmi_linestate в течение длительного периода времени. Блок выходит из состояния приостановки в следующих случаях: • Если нет активности сигнала utmi_linestate; • Если программа выполняет запись в разряд DCTL.RmtWkUpSig.	1'b0	RO

18.3.5.4 Общий регистр маски прерываний от входных точек в режиме Device (DIEPMSK)

Смещение: 810h;

Этот регистр взаимодействует с каждым из регистров DIEPINTn всех конечных точек для формирования прерывания каждой входной конечной точки. Формирование прерывания входной конечной точки для определенного разряда состояния регистра DIEPINTn может быть маскировано путем записи в соответствующий разряд в этом регистре. Разряды состояния маскируются по умолчанию.

Прерывание маскируется: 1'b0;

Прерывание не маскируется: 1'b1;

Таблица 18.49. Общий регистр маски прерываний от входных точек в режиме Device (DIEPMSK)

Разряды	Описание	Значение после сброса	Тип доступа
31:14	Резерв		RO
13	Маска прерывания NAK (NAKMsk)	1'h0	R_W
12:10	Резерв		RO
9	Маска прерывания BNA (BNAIntrMsk) Этот разряд действителен только при включенном контроллере дескрипторного DMA устройства.	1'h0	R_W
8	Маска прерывания опустошения буфера Fifo(TxfifoUndrnMsk)	1'b0	R_W
7	Резерв		RO
6	Маска прерывания IN Endpoint NAK Effective (INEPNakEffMsk)	1'b0	R_W
5	Маска прерывания по несовпадению номера конечной точки в принятом заголовке IN транзакции (INTknEPMisMsk)	1'b0	R_W
4	Маска прерывания по принятому входному заголовку (IN Token) при пустом буфере Tx FIFO (INTknTXFEmpMsk)	1'b0	R_W
3	Маска условия таймаута (TimeOUTMsk) Неизохронные конечные точки	1'b0	R_W
2	Маска прерывания ошибки АНВ (АНВErrMsk)	1'b0	R_W
1	Маска прерывания отключения конечной точки (EPDisbldMsk)	1'b0	R_W
0	Маска прерывания завершенной передачи (XferComplMsk)	1'b0	R_W

18.3.5.5 Регистр маски общего прерывания выходной конечной точки в режиме Device (DOEPMSK)

Смещение: 814h;

Этот регистр взаимодействует с каждым из регистров DOEPINTn для всех конечных точек для генерации прерывания для каждой выходной конечной точки OUT. Прерывание выходной конечной точки для определенного статуса в регистре DOEPINTn может быть маскировано путем записи в соответствующий разряд в этом регистре. Статусные разряды маскируются по умолчанию.

Прерывание маскируется: 1'b0;

Прерывание не маскируется: 1'b1;

Таблица 18.50. Регистр маски общего прерывания выходной конечной точки в режиме Device (DOEPMSK)

Разряды	Описание	Значение после сброса	Тип доступа
31:15	Резерв		RO
14	Маска прерывания NYET (NYETMsk)	1'h0	R_W
13	Маска прерывания NAK (NAKMsk)	1'h0	R_W
12	Маска прерывания Babble (BbleErrMsk)	1'h0	R_W
11:10	Резерв		RO
9	Маска прерывания BNA (BnaOutIntrMsk)	1'h0	R_W
8	Маска прерывания ошибки в выходном пакете (OutPktErrMsk)	1'b0	R_W
7	Резерв		RO
6	Маска прерывания по принятым последовательным пакетам SETUP (Back2BackSETup) Используется только для управления выходными конечными точками.	1'b0	R_W
5	Резерв		RO
4	Маска прерывания по принятому выходному заголовку (OUT Token) при отключенной конечной точке (OUTTknEPdisMsk) Применяется только для управления выходными конечными точками.	1'b0	R_W
3	Маска прерывания завершения фазы установки (SetUPMsk) Используется только для управления конечными точками	1'b0	R_W
2	Маска прерывания ошибки АНВ (АНВErrMsk)	1'b0	R_W
1	Маска прерывания отключения конечной точки (EPDisbldMsk)	1'b0	R_W
0	Маска прерывания завершённой передачи (XferComplMsk)	1'b0	R_W

18.3.5.6 Регистр прерываний от всех конечных точек в режиме Device (DAINT)

Смещение: 818h;

При возникновении важного события на конечной точке регистр прерываний от всех конечных точек в режиме Device прерывает программу с помощью разряда GINTSTS.OEPInt или GINTSTS.IEPInt. Для каждой конечной точки используется один разряд, максимальное количество разрядов – до 16 для выходных конечных точек, до 16 для входных конечных точек.

Для двунаправленной конечной точки используются соответствующие разряды прерывания IN и OUT. Разряды в этом регистре устанавливаются и очищаются при установке/очистке разрядов в соответствующем регистре DEPINTn/DOEPINTn.

Таблица 18.51. Регистр прерывания от всех конечных точек в режиме Device (DAINT)

Разряды	Описание	Значение после сброса	Тип доступа
31:16	Разряды прерывания от выходных конечных точек (OutEPInt) Один разряд на одну выходную конечную точку: Разряд 16 для выходной конечной точки 0, разряд 31 для выходной конечной точки 15	16'h0	RO
15:0	Разряды прерываний входных конечных точек (InEPInt) Один разряд на одну входную конечную точку: Разряд 0 для входной конечной точки 0, разряд 15 для конечной точки 15	16'h0	RO

18.3.5.7 Регистр маски прерываний от всех конечных точек в режиме Device (DAINTMSK)

Смещение: 81Ch;

Регистр маски прерываний от всех конечных точек взаимодействует с регистром DAINТ для прерывания программы в случае возникновения события на конечной точке в режиме Device. Тем не менее, разряд регистра DAINТ, соответствующий данному прерыванию, останется установленным.

Прерывание маскируется: 1'b0;

Прерывание не маскируется: 1'b1;

Таблица 18.52. Регистр маски прерываний от всех конечных точек в режиме Device (DAINTMSK)

Разряды	Описание	Значение после сброса	Тип доступа
31:16	Разряды маски прерывания выходных конечных точек (OutEPMsk) Один разряд на одну выходную конечную точку: Разряд 16 для OUT EP 0, разряд 31 для OUT EP 15.	16'h0	R_W
15:0	Разряды маски прерывания входных конечных точек (InEPMsk) Один разряд на одну входную конечную точку: Разряд 0 для IN EP 0, разряд 15 для IN EP 15.	16'h0	R_W

18.3.5.8 DTKNQR4

Смещение: 0834h;

Таблица 18.53. DTKNQR4

Разряды	Описание	Значение после сброса	Тип доступа
31:0	EPTkn		

18.3.5.9 Регистр настройки временных параметров разрядки шины VBUS в режиме Device (DVBUSDIS)

Смещение: 0828h;

Этот регистр определяет время разрядки шины VBUS после формирования импульса на шине VBUS при взаимодействии по протоколу SRP.

Таблица 18.54. Регистр настройки временных параметров разрядки шины VBUS в режиме Device (DVBUSDIS)

Разряды	Описание	Значение после сброса	Тип доступа
31:16	Резерв		RO
15:0	<p>Время разрядки шины VBUS в режиме Device (DVBUSDis)</p> <p>Это значение равно:</p> <p>Время разрядки VBUS в тактах частоты PHY / 1,024</p> <p>Значение, которое будет использоваться, зависит от рабочей частоты PHY – 30 МГц (16-разрядная ширина данных) или 60 МГц (8-разрядная ширина данных).</p>		

18.3.5.10 Регистр настройки временных параметров формирования импульса на шине VBUS в режиме Device (DVBUSPULSE)

Смещение: 082Ch;

Этот регистр определяет время формирования импульса на шине VBUS при взаимодействии по протоколу SRP.

Таблица 18.55. Регистр настройки временных параметров формирования импульса на шине VBUS режиме Device (DVBUSPULSE)

Разряды	Описание	Значение после сброса	Тип доступа
31:12	Резерв		RO
11:0	Время формирования импульса на шине VBUS в режиме Device (DVBUSPulse) Это значение равно: Время формирования импульса на шине VBUS в тактах частоты PHY / 1,024 Значение, которое будет использоваться, зависит от рабочей частоты PHY - 30 МГц (16-разрядная ширина данных) или 60 МГц (8-разрядная ширина данных).	30 МГц: 12'h2C6 60 МГц: 12'h5B8	R_W

18.3.5.11 Регистр управления порогом в режиме Device (DTHRCTL)

Смещение: 830h;

Установление порогового значения не поддерживается в режиме Slave. Для поддержки режима порога, интерфейс АНВ должен работать на частоте 60 МГц или выше.

Таблица 18.56. Регистр управления порогом в режиме Device (DTHRCTL)

Разряды	Описание	Значение после сброса	Тип доступа
31:28	Резерв		RO
27	Включение арбитра выбора конечной точки (ArbPrkEn) Этот разряд управляет выбором внутреннего DMA для входных конечных точек для передачи. Если включен режим порога, и этот разряд установлен в «1», арбитр выбирает ту входную конечную точку, для которой имеется заголовок (token), полученный по USB. Это необходимо для того, чтобы избежать условий считывания из пустого буфера FIFO (underrun). По умолчанию данный разряд установлен в 1.	1'b1	R_W
26	Резерв		RO
25:17	Длина порогового значения приема (RxThrLen) Это поле определяет размер порогового значения приема в DWORDS. Это поле также определяет количество данных принятых по USB перед тем, как ядро может начать передачу по АНВ. Длина порогового значения должна быть не менее восьми DWORDS. Рекомендуемое значение для ThrLen должно быть равно запрограммированному значению длины пакета АНВ (GAHBCFG.HBstLen).	9'h8	R_W

Разряды	Описание	Значение после сброса	Тип доступа
16	<p>Разрешение порога приема (RxThrEn) При установке этого разряда блок разрешает установку порогового значения в направлении приема.</p> <p>Примечание. Не рекомендуется разрешение RxThrEn, так как это может привести к ошибкам в RxFIFO, особенно при условиях, таких как RxError и Babble.</p>	1'b0	R_W
15:13	Резерв		RO
12:11	<p>Соотношение порогов между АНВ и МАС (АНВThrRatio) Эти разряды определяют соотношение между порогом АНВ и порогом МАС только для передающего пути. Порог АНВ всегда остается меньше или равен пороговому значению USB. Оба пороговых значений АНВ и МАС должны быть выровнены на границу DWORD.</p> <p>Необходимо программно установить значения TxThrLen и АНВThrRatio для выравнивания значения порога АНВ на границу DWORD. Если значение АНВ не выровнено на границу DWORD, это может привести к некорректной работе блока. При программировании значений TxThrLen и АНВThrRatio, программа должна гарантировать, что минимальное значение порога АНВ не ниже 8 DWORDS для соответствия требованиям USB turnaround time.</p> <ul style="list-style-type: none"> • 2'b00: порог АНВ = порог МАС; • 2'b01: порог АНВ = порог МАС / 2; • 2'b10: порог АНВ = порог МАС / 4; • 2'b11: порог АНВ = порог МАС / 8; 	2'h0	R_W
10:2	<p>Длина порогового значения передачи (TxThrLen) Это поле определяет размер порогового значения передачи в DWORDS. Это поле также формирует порог МАС и задает количество данных в байтах, которое должно содержаться в соответствующем буфере FIFO передачи до того, как блок начнет передачу по USB. Если значение АНВThrRatio равно 2'h00, длина порога должна быть не менее 8 DWORDS. Если АНВThrRatio не равно нулю, программа должна гарантировать, что значение порога АНВ не ниже рекомендуемого значения в 8 DWORDs.</p> <p>Это поле управляет порогами для изохронных и не изохронных входных конечных точек. Рекомендуемое значение для ThrLen должно быть равно установленному значению длины пакета АНВ (ГАНВCFG.НВStLen).</p>	9'h8	R_W
1	<p>Разрешение порога для изохронных входных конечных точек. (ISOThrEn) При установке этого разряда блок разрешает порог для изохронных входных конечных точек.</p>	1'b0	R_W

Разряды	Описание	Значение после сброса	Тип доступа
0	Разрешение порога входных неизохронных конечных точек (NonISOThrEn) При установке этого разряда блок разрешает порог для входных неизохронных конечных точек.	1'b0	R_W

18.3.5.12 Регистр маски прерывания пустого буфера FIFO входной конечной точки в режиме Device (DIEPEMPMSK)

Смещение: 834 h;

Данный регистр используется для управления формированием прерывания пустого буфера FIFO входной конечной точки (DIEPINTn.TxfEmp).

Прерывание маскируется: 1'b0;

Прерывание не маскируется: 1'b1;

Таблица 18.57. Регистр маски прерывания пустого буфера FIFO входной конечной точки в режиме Device (DIEPEMPMSK)

Разряды	Описание	Значение после сброса	Тип доступа
31:16	Резерв		RO
15:0	Разряды маски прерываний пустого буфера Tx FIFO входной конечной точки (InEpTxfEmpMsk) Эти разряды функционируют как маски прерываний DIEPINTn. Прерывание TxFEmp Один разряд на каждую входную конечную точку IN: • 0-й разряд для входной конечной точки 0; ... • 15-й разряд для конечной точки 15;	16'h0	R_W

18.3.5.13 Регистр прерывания каждой конечной точки в режиме Device (DEACHINT)

Смещение: 838h;

Ограничение: Этот регистр доступен только в режиме Device. Каждой конечной точке соответствует один разряд прерывания, максимальное количество разрядов – до 16 для выходных конечных точек (IN) и до 16 для входных конечных точек (OUT). Для двунаправленной конечной точки используются соответствующие разряды прерываний IN и OUT.

Разряды в этом регистре устанавливаются и очищаются программной установкой и сбросом разрядов в соответствующем регистре DIEPINTn/DOEPINTn.

Прерывание автоматически очищается при программной очистке прерывания DOEPINTn / DIEPINTn.

Таблица 18.58. Регистр прерывания каждой конечной точки в режиме Device (DEACHINT)

Разряды	Описание	Значение после сброса	Тип доступа
31:16	Разряды прерываний выходных конечных точек (EchOutEPInt) Один разряд на каждую выходную конечную точку: • Разряд 16 для выходной конечной точки 0; ... • Разряд 31 для выходной конечной точки 15;	16'h0	RO
15:0	Разряды прерываний входных конечных точек (EchInEpInt) Один разряд на одну входную конечную точку: • Разряд 0 для входной конечной точки 0; ... • Разряд 15 для входной конечной точки 15;	16'h0	RO

18.3.5.14 Регистр маски прерывания каждой конечной точки в режиме Device (DEACHINTMSK)

Смещение: 83Ch;

Регистр маски прерывания каждой конечной точки взаимодействует с DEACHINT для прерывания работы программы при возникновении события на конечной точке. Тем не менее, разряд регистра DEACHINT соответствующий данному прерыванию останется установленным.

Прерывание маскируется: 1.b0;

Прерывание не маскируется: 1.b1;

Таблица 18.59. Регистр маски прерывания каждой конечной точки в режиме Device (DEACHINTMSK)

Разряды	Описание	Значение после сброса	Тип доступа
31:16	Разряды маски прерываний выходных конечных точек (EchOutEpMsk) Один разряд для каждой выходной конечной точки: • 16-й разряд для входной конечной точки 0; ... • 31-й разряд для конечной точки 15	16'h0	R_W
15:0	Разряды маски прерывания входной конечной точки (EchInEpMsk) Один разряд для каждой входной конечной точки: • Разряд 0 для входной конечной точки 0 ... • Разряд 15 для конечной точки 15	16'h0	R_W

18.3.5.15 Регистр прерывания каждой входной конечной точки n в режиме Device (DIEPEACHMSKn)

Смещение 840h;

Номер конечной точки: $0 \leq n \leq 15$;

Смещение для входных конечных точек: $840h + (\text{номер конечной точки} * 4h)$;

Данные регистры доступны только в режиме Device и являются регистрами маски прерывания определенной конечной точки (DIEPINTn). Прерывание входной конечной точки соответствующее конкретному разряду статуса прерывания в регистре DIEPINTn может быть маскировано с помощью записи «0» в соответствующий разряд этого регистра. Статусные разряды маскируются по умолчанию.

Прерывание маскируется: 1'b0;

Прерывание не маскируется: 1'b1;

Таблица 18.60. Регистр прерывания каждой входной конечной точки n в режиме Device (DIEPEACHMSKn)

Разряды	Описание	Значение после сброса	Тип доступа
31:14	Резерв		RO
13	Маска прерывания NAK (NAKMsk)	1'b0	R_W
12:10	Резерв		RO
9	Маска прерывания BNA (BNAInIntrMsk)	1'b0	R_W
8	Маска прерывания опустошения буфера (TxfifoUndrnMsk)	1'b0	R_W
7	Резерв		RO
6	Маска прерывания INEPNakEff (INEPNakEffMsk)	1'b0	R_W
5	Маска прерывания по несовпадению номера конечной точки в принятом заголовке IN транзакции (INTknEPMisMsk)	1'b0	R_W
4	Маска прерывания по принятому входному заголовку (IN Token) при пустом буфере (INTknTXFEmpMsk)	1'b0	R_W
3	Маска условия таймаута (TimeOUTMsk) Не изохронные конечные точки	1'b0	R_W
2	Маска ошибки АНВ (АНВ Error Mask) (АНВErrMsk)	1'b0	R_W
1	Маска прерывания по отключению конечной точки (EPDisbldMsk)	1'b0	R_W
0	Маска прерывания по завершению передачи (XferComplMsk)	1'b0	R_W

18.3.5.16 Регистр прерывания каждой выходной конечной точки n в режиме Device (DOEPACHMSK_n)

Смещение 880h;

Номер конечной точки: $0 \leq n \leq 15$;

Смещение для выходных конечных точек: $880h + (\text{номер конечной точки} * 4h)$;

Данные регистры доступны только в режиме Device и являются регистрами маски прерывания определенной конечной точки (DOEPINT_n). Прерывание выходной конечной точки в регистре DOEPINT_n может быть маскировано с помощью записи «0» в соответствующий разряд в данном регистре. Статусные разряды маскируются по умолчанию.

Прерывание маскируется: 1'b0;

Прерывание не маскируется: 1'b1;

Таблица 18.61. Регистр прерывания каждой выходной конечной точки n в режиме Device (DOEPACHMSK_n)

Разряды	Описание	Значение после сброса	Тип доступа
31:15	Резерв		RO
14	Маска прерывания NYET (NYETMsk)	1'b0	R_W
13	Маска прерывания NAK (NAKMsk)	1'b0	R_W
12	Маска прерывания Babble (BbleErrMsk)	1'b0	R_W
11:10	Резерв		RO
9	Маска прерывания BNA (BnaOutIntrMsk)	1'b0	R_W
8	Маска прерывания ошибки выходного пакета (OutPktErrMsk)	1'b0	R_W
7	Резерв		RO
6	Маска прерывания принятых последовательных пакетов SETUP (Back2BackSETup) Применяется только для управления выходными конечными точками.	1'b0	R_W
5	Резерв		RO
4	Маска прерывания принятого выходного маркерного пакета при отключенной конечной точке (OUTTknEPdisMsk) Применяется только для управления выходными конечными точками.	1'b0	R_W
3	Маска прерывания завершения фазы SETUP (SetUPMsk) Применяется только для управления конечными точками.	1'b0	R_W
2	Ошибка АНВ (AHBErrMsk)		
1	Маска прерывания отключения конечной точки (EPDisbldMsk)	1'b0	R_W
0	Маска прерывания заверченной передачи (XferComplMsk)	1'b0	R_W

18.3.5.17 Регистр управления входной управляющей конечной точкой 0 в режиме Device (DIERCTL0)

Смещение: 900h;

В данном разделе представлено описание регистра управления входящей управляющей конечной точкой 0.

Таблица 18.62. Регистр управления входной управляющей конечной точкой 0 в режиме Device (DIERCTL0)

Разряды	Описание	Значение после сброса	Тип доступа
31	Включение конечной точки (EPEna); Если включен режим Scatter/Gather DMA, для входных конечных точек этот разряд указывает, что структура дескриптора и буфер данных с данными готовы для передачи настроен. Если отключен режим Scatter/Gather DMA — этот разряд указывает, что данные готовы для передачи для конечной точки. Блок очищает этот разряд до установки следующих прерываний на данной конечной точке: <ul style="list-style-type: none"> • Конечная точка отключена; • Передача завершена; 	1'b0	R_WS_SC
30	Отключение конечной точки (EPDis) Приложение устанавливает этот разряд для остановки передачи данных для конечной точки, в том числе до завершения передачи для этой конечной точки. Программа должна ждать прерывания отключения конечной точки перед тем, как конечная точка будет рассматриваться отключенной. Блок очищает этот разряд перед установкой прерывания отключения конечной точки. Программа должна установить этот разряд только, если флаг включения конечной точки уже установлен для этой конечной точки. Этот разряд действителен только при включенном режиме DMA.	1'b0	R_WS_SC
29:28	Резерв		RO
27	Установка NAK (SNAK) Запись в этот разряд устанавливает разряд NAK для конечной точки. С помощью этого разряда программа может управлять передачей пакетов подтверждения NAK для конечной точки. Блок может также устанавливать этот разряд для конечной точки после получения пакета SETUP для этой конечной точки.	1'b0	WO
26	Очистка NAK (CNAK) Запись в этот разряд очищает разряд NAK для конечной точки.	1'b0	WO
25:22	Номер TxFIFO (TxFNum) Данное поле устанавливается в значение номера FIFO, который присваивается входной конечной точке 0.	4'h0	R_W

Разряды	Описание	Значение после сброса	Тип доступа
21	Пакет подтверждения STALL (Stall) Программа может только устанавливать этот разряд, и блок очищает его при получении заголовка SETUP для этой конечной точки. Если разряд NAK, Global Non-periodic IN NAK, или Global OUT NAK установлен вместе с этим разрядом, разряд STALL имеет более высокий приоритет.	1'b0	R_WS_SC
20	Резерв		RO
19:18	Тип конечной точки (EPType) Устанавливается аппаратно в значение 00	2'h0	RO
17	Статус NAK (NAKSts) Обозначает следующее: • 1'b0: Блок передает пакеты подтверждения non-NAK на основании статуса FIFO; • 1'b1: Блок передает пакеты подтверждения NAK для этой конечной точки. Если этот разряд установлен программой или блоком, блок останавливает передачу данных, также, если в TxFIFO присутствуют доступные данные. Независимо от установки этого разряда, блок всегда отвечает на пакеты данных SETUP пакетом подтверждения ACK.	1'b0	RO
16	Резерв		RO
15	Активная конечная точка USB (USBActEP) Этот разряд всегда установлен в «1», указывая, что конечная точка 0 активна во всех конфигурациях и интерфейсах.	1'b1	RO
10:2	Резерв		RO
1:0	Максимальный размер пакета (MPS) Применяется к конечным точкам IN и OUT. Программа должна установить это поле в значение максимального размера пакета для текущей логической конечной точки. • 2'b00: 64 байта; • 2'b01: 32 байта; • 2'b10: 16 байт; • 2'b11: 8 байт;	2'h0	R_W

18.3.5.18 Регистр управления выходной управляющей конечной точкой 0 в режиме Device (DOEPCTL0)

Смещение: B00h;

В этом разделе представлено описание регистра управления выходной управляющей конечной точкой 0.

Таблица 18.63. Регистр управления выходной управляющей конечной точкой DOEPCTL0

Разряды	Описание	Значение после сброса	Тип доступа
31	<p>Включение конечной точки (EPEna) Если включен режим /Gather DMA, для конечных точек OUT этот разряд показывает, что структура дескриптора и буфер данных для приема данных настроены.</p> <ul style="list-style-type: none"> • Если режим Scatter/Gather DMA выключен — этот разряд показывает, что программой была выделена память для начала получения данных от USB. <p>Блок очищает этот разряд перед установкой любого из следующих прерываний этой конечной точки:</p> <ul style="list-style-type: none"> • Завершение фазы SETUP (SETUP Phase Done); • Отключение конечной точки (Endpoint Disabled); • Передача завершена (Transfer Completed); <p>Примечание. В режиме DMA этот разряд должен быть установлен для того, чтобы блок выполнил передачу пакетов данных SETUP в память.</p>	1'b0	R_WS_SC
30	<p>Отключение конечной точки (EPDis) Программа не может отключить управляющую выходную конечную точку 0.</p>	1'b0	RO
29:28	Резерв		RO
27	<p>Установка NAK (SNAK) Запись в этот разряд устанавливает разряд NAK для конечной точки. С помощью этого разряда программа может управлять передачей пакетов подтверждений NAK для конечной точки. Блок может также устанавливать разряд по возникновению прерывания завершения передачи (Transfer Completed), или после получения пакета SETUP для конечной точки.</p>	1'b0	WO
26	<p>Очистка NAK (CNAK) Запись в этот разряд очищает разряд NAK для конечной точки.</p>	1'b0	WO
25:22	Резерв		RO

Разряды	Описание	Значение после сброса	Тип доступа
21	Пакет подтверждения STALL (Stall) Программа может только устанавливать этот разряд, и блок очищает разряд при получении заголовка пакета SETUP для этой конечной точки. Если разряд NAK или Global OUT NAK установлен вместе с этим разрядом, разряд STALL имеет более высокий приоритет. Независимо от установки этого разряда, блок всегда отвечает на пакеты SETUP подтверждением ACK.	1'b0	R_WS_SC
20	Режим Snoop (Snp) Этот разряд конфигурирует конечную точку в режим Snoop. В режиме Snoop блок не проверяет корректность пакетов OUT перед их отправкой в память приложения.	1'b0	R_W
19:18	Тип конечной точки (EPType) Устанавливается аппаратно в 2'b00.	2'h0	RO
17	Статус NAK (NAKSts) Обозначает следующее: • 1'b0: Блок передает пакеты подтверждения non-NAK на основании статуса FIFO. • 1'b1: Блок передает пакеты подтверждения NAK для этой конечной точки. Если программа или блок устанавливает этот разряд, блок останавливает получение данных, даже если в RxFIFO имеется место для размещения входящего пакета. Независимо от настройки этого разряда, блок всегда отвечает на пакеты данных SETUP отправкой пакета подтверждения ACK.	1'b0	RO
16	Резерв		RO
15	Активная конечная точка USB (USBActEP) Этот разряд всегда установлен в «1», это означает, что управляющая конечная точка 0 всегда активна во всех конфигурациях и интерфейсах.	1'b1	RO
14:2	Резерв		RO
1:0	Максимальный размер пакета (MPS) Максимальный размер пакета для выходной управляющей конечной точки 0 равен запрограммированному в управляющей входной конечной точке 0. • 2'b00: 64 байта; • 2'b01: 32 байта; • 2'b10: 16 байт; • 2'b11: 8 байт;	2'h0	RO

18.3.5.19 Регистр управления конечной точкой n в режиме Device (DIERCTLn/DOERCTLn)

Номер конечной точки: $1 \leq n \leq 15$;

Смещение для входных конечных точек: $900h + (\text{номер конечной точки} * 20h)$;

Смещение для выходных конечных точек: $B00h + (\text{номер конечной точки} * 20h)$;

Программа использует этот регистр для управления поведением каждой логической конечной точки, кроме конечной точки 0.

Таблица 18.64. Регистр управления конечной точкой n в режиме Device (DIERCTLn/DOERCTLn)

Разряды	Описание	Значение после сброса	Тип доступа
31	<p>Включение конечной точки (EPEna) Применяется к входным и выходным конечным точкам.</p> <ul style="list-style-type: none"> • Если режим Scatter/Gather DMA включен: Для входных конечных точек этот разряд указывает, что структура дескриптора и буфер данных с данными готовыми для передачи установлен. • Для выходной конечной точки этот разряд указывает, что структура дескриптора и буфер данных для получения данных установлен. • Если отключен режим Scatter/Gather DMA: - Для входных конечных точек этот разряд показывает, что данные готовы для передачи для конечной точки. - Для выходных конечных точек этот разряд показывает, что программой была выделена память, чтобы начать прием данных от USB. - Блок очищает этот разряд перед установкой одного из следующих прерываний для этой конечной точки: <ul style="list-style-type: none"> • завершение фазы SETUP; • конечная точка отключена; • завершена передача; <p>Примечание. Для управляющих контрольных точек в режиме DMA этот разряд должен быть установлен для того, чтобы передать пакеты данных SETUP в память.</p>	1'b0	R_WS_SC

Разряды	Описание	Значение после сброса	Тип доступа
30	Отключение конечной точки (EPDis) Применяется к конечным точкам IN и OUT. Программа устанавливает этот разряд для прекращения передачи/получения данных для конечной точки, также до завершения передачи для этой конечной точки. Программа должна ждать прерывания отключения конечной точки до того, как конечная точка будет считаться отключенной. Блок очищает этот разряд до установки прерывания отключения конечной точки. Программа должна установить этот разряд, только если разряд включения уже установлен для этой конечной точки.	1'b0	R_WS_SC
29	Установка DATA1 PID (SetD1PID) Применяется только к конечным точкам типа прерывание/массив данных IN и OUT. Запись в это поле устанавливает поле DPID в этом регистре в DATA1. Это поле применяется в режимах дескрипторного DMA (Scatter/Gather) и не дескрипторного DMA (non-Scatter/Gather). Установка нечетного номера (микро)кадра (SetOddFr) Применяется только к изохронным конечным точкам IN и OUT. Запись в это поле устанавливает поле EO_FrNum в нечетный номер (микро)кадра. Это поле не применяется в режиме дескрипторного DMA.	1'b0	WO
			WO
28	Set DATA0 PID (SetD0PID) Применяется только к конечным точкам типа прерывание/массив данных IN и OUT. Запись в данное поле устанавливает поле DPID в этом регистре в DATA0. Это поле применяется в режимах дескрипторного DMA (Scatter/Gather) и не дескрипторного DMA (non-Scatter/Gather). В режиме non-Scatter/Gather DMA: Установка четного номера (микро)кадра (SetEvenFr) Применяется только к изохронным конечным точкам IN и OUT. Запись в это поле устанавливает EO_FrNum в четный номер (микро)кадра. При включенном режиме Scatter/Gather DMA, это поле зарезервировано. Номер кадра, в который необходимо отправить данные, имеется в структуре дескриптора передачи. Кадр, в который данные принимаются, обновляется в структуре дескриптора приема.	1'b0	WO

Разряды	Описание	Значение после сброса	Тип доступа
27	<p>Установка NAK (SNAK) Применяется к конечным точкам IN и OUT. Запись в этот разряд устанавливает разряд NAK для конечной точки. С помощью этого разряда программа может управлять передачей пакетов подтверждения NAK для конечной точки. Блок может также устанавливать этот разряд для выходных конечных точек (OUT) по прерыванию завершения передачи, или после получения пакета SETUP для конечной точки.</p>	1'b0	WO
26	<p>Очистка NAK (CNAK) Применяется к конечным точкам IN и OUT. Запись в этот разряд очищает разряд NAK для конечной точки.</p>	1'b0	WO
25:22	<p>Номер TxFIFO (TxFNum) Данные разряды задают номер FIFO, соответствующий этой конечной точке. Каждая активная входная конечная точка должна быть запрограммирована на отдельный номер FIFO. Это поле действительно только для входных конечных точек.</p>	4'h0	R_W
21	<p>Пакет подтверждения STALL (Stall) Применяется только к не управляющим, не изохронным конечным точкам IN и OUT. Программа устанавливает этот разряд для остановки всех заголовков, идущих от USB хоста к данной конечной точке. Если разряд NAK, Global Non-periodic IN NAK, или Global OUT NAK установлен вместе с этим разрядом, разряд STALL имеет более высокий приоритет. Этот разряд может быть очищен только программно. Применяется только к управляющим конечным точкам. Установка этого разряда выполняется программно, очистка выполняется блоком при приеме заголовка SETUP для этой конечной точки. Если разряд NAK, Global Non-periodic IN NAK, или Global OUT NAK установлен вместе с этим разрядом, разряд STALL имеет более высокий приоритет. Независимо от установки этого разряда, блок всегда отвечает на пакеты данных SETUP отправкой пакета подтверждения ACK.</p>	1'b0	R_W
20	<p>Режим Snoop (Snp) Применяется только к выходным (OUT) конечным точкам. Этот разряд переводит конечную точку в режим Snoop. В режиме Snoop, блок не проверяет корректность пакетов OUT перед отправкой в память приложения.</p>	1'b0	R_W

Разряды	Описание	Значение после сброса	Тип доступа
19:18	<p>Тип конечной точки (EPType) Применяется к конечным точкам IN и OUT. Тип передачи, поддерживаемый данной логической конечной точкой.</p> <ul style="list-style-type: none"> • 2'b00: управляющая; • 2'b01: изохронная; • 2'b10: массив данных; • 2'b11: прерывание; 	2'h0	R_W
17	<p>Статус NAK (NAKSts) Используется для входных и выходных конечных точек.</p> <ul style="list-style-type: none"> • 1'b0: Блок передает пакеты подтверждения pop-NAK на основании статуса FIFO; • 1'b1: Блок передает пакеты подтверждения NAK для этой конечной точки. <p>Если программа или блок устанавливает данный разряд:</p> <ul style="list-style-type: none"> • Блок останавливает прием данных на выходной (OUT) конечной точке, в том числе при наличии свободного места в RxFIFO для того, чтобы принять входной пакет. • Для не изохронных входных (IN) конечных точек: Блок останавливает передачу данных на входной (IN) конечной точке, в том числе при наличии данных в TxFIFO. • Для изохронных входных (IN) конечных точек: Блок отправляет пакет данных нулевой длины, в том числе при наличии данных в TxFIFO. <p>Независимо от установки этого разряда, блок всегда отвечает на пакеты данных SETUP отправкой пакета подтверждения ACK.</p>	1'b0	RO

Разряды	Описание	Значение после сброса	Тип доступа
16	<p>PID данных конечной точки (DPID) Используется только для входных и выходных конечных точек типа прерывание/массив данных. Содержит PID пакета для приема или передачи на данной конечной точке. PID первого пакета для приема ли передачи на этой конечной точке должен быть запрограммирован после активации данной конечной точки. Приложения используют поля SetD1PID и SetD0PID этого регистра для программирования DATA0 или DATA1 PID.</p> <ul style="list-style-type: none"> • 1'b0: DATA0; • 1'b1: DATA1; <p>Это поле используется в режиме дескрипторного DMA и не дескрипторного DMA. Четный/нечетный (микро)кадр (EO_FrNum) В режиме не дескрипторного DMA: Используется только для изохронных входных и выходных конечных точек. Указывает номер (микро)кадра, в котором блок передает/принимает изохронные данные для этой конечной точки. Четный/нечетный (микро)кадр, в который требуется передать/принять изохронные данные для этой конечной точки, программируется с помощью полей SetEvnFr и SetOddFr этого регистра.</p> <ul style="list-style-type: none"> • 1'b0: Четный (микро)кадр; • 1'b1: Нечетный (микро)кадр; <p>При включенном режиме Scatter/Gather DMA, данное поле зарезервировано. Номер кадра, в который необходимо отправить данные, имеется в структуре дескриптора передачи. Кадр, в который данные принимаются, обновляется в структуре дескриптора приема.</p>	1'b0	RO
15	<p>Активная конечная точка USB (USBActEP) Используется для входных и выходных конечных точек. Определяет активность данной конечной точки в текущей конфигурации и интерфейсе. Блок очищает этот разряд для всех конечных точек (кроме EP 0) после обнаружения сброса USB. После получения команд SetConfiguration и SetInterface, регистры конечных точек должны программироваться соответственно, и выполняется программная установка данного разряда.</p>	1'b0	R_W_SC
10:0	<p>Максимальный размер пакета (MPS) Используется для входных (IN) и выходных конечных точек (OUT). Данное поле должно программироваться значением максимального размера пакета для текущей логической точки. Значение указывается в байтах.</p>	11'h0	R_W

18.3.6 Регистры управления питанием и тактовой частотой

18.3.6.1 Регистр управления питанием и тактовой частотой (PCGCCTL)

Этот регистр доступен в режимах Host и Device. Однако, бит PwrClmp доступен только если в параметр OTG_EN_PWROPT установлена 1 во время конфигурирования блока через coreConsultant.

Программа может использовать этот регистр для управления функциями отключения питания блока и ограничения распространения тактовых сигналов (clock gating).

Подробнее применение этого регистра описано в разделе «FIFO RAM Allocation» Руководства по программированию.

Поскольку во время отключения питания модуль CSR выключен, этот регистр реализован в модуле BIU AHB Slave.

- размер: 32 бита;
- смещение: 0xe00;
- тип доступа: R/W;
- сброс: 0x200b8000.

Таблица 18.65. Регистр управления питанием и тактовой частотой (PCGCCTL)

Разряды	Описание	Значение после сброса	Тип доступа
31:10	Резерв.		
8	Сброс после приостановки (ResetAfterSusp). Применим в режиме частичного выключения питания (Partial Power-Down mode). В режиме частичного выключения питания этот разряд должен быть установлен в режим Host до отключения схемы фиксации, если необходимо, чтобы хост отправил команду сброса после приостановки. Если этот разряд не установлен, тогда хост отправляет команду возобновления работы после приостановки. Этот разряд неприменим в режиме Device и в режиме полного отключения питания. В режиме гибернации необходимо устанавливать этот разряд в RESTORE_POINT перед установкой PCGCCTL.EssRegRestored. И в этом случае, PCGCCTL.restore_mode должен быть установлен в wait_restore.	1'b1	R_W
7	Гибернация (L1 Suspended). Этот разряд указывает, что РНУ находится в режиме гибернации в состоянии L1.	1'b0	R
6	РНУ в режиме сна (PhySleep). Этот разряд указывает, что РНУ находится в режиме сна.	1'b0	R

Разряды	Описание	Значение после сброса	Тип доступа
5	<p>Подключение ограничения распространения тактового сигнала в режиме сна (Enbl_L1Gating).</p> <p>Когда этот разряд установлен, в режиме сна подключается внутреннее ограничение тактового сигнала блока, если блок не может установить utmi_l1_suspend_n.</p> <p>Когда этот разряд не установлен, тактовый сигнал PHY не ограничивается в состоянии сна.</p> <p>Этот разряд доступен когда OTG_ENABLE_LPM=1.</p>	1'b0	R_W
4	Резерв.		
3	<p>Сброс модулей выключенного питания (RstPdownModule).</p> <p>Этот разряд валиден только в режиме частичного выключения питания. Программа устанавливает этот разряд, когда питание отключено. Программа обнуляет его, после того, как питание подключено и запущен сигнал тактовой частоты PHY.</p> <p>Замечание: чтение и запись во все основные регистры возможны только когда в этот разряд установлен 1'b0.</p>	1'b0	R_W
2	<p>Фиксация сигналов при Power Down (PwrClmp).</p> <p>Этот разряд валиден только в режиме частичного выключения питания (OTG_EN_PWROPT = 1).</p> <p>Программа устанавливает этот разряд перед тем, как происходит переход в режим выключения питания, чтобы фиксировать (clamp) сигналы между модулями подключения и модулями отключения питания. Программа обнуляет разряд, чтобы отключить фиксацию перед подключением питания.</p>	1'b0	R_W
1	<p>Ограничение Hclk (GateHclk).</p> <p>Программа устанавливает этот разряд, чтобы ограничивать сигнал hclk к другим модулям помимо AHB Slave, Master и модулям логики пробуждения, когда USB приостановлена или сессия невалидна. Программа обнуляет этот бит, когда работа USB возобновлена или запущена новая сессия.</p> <p>Этот регистр доступен только когда OTG_EN_PWROPT = 1.</p>	1'b0	R_W
0	<p>Остановка сигнала тактовой частоты (StopPclk).</p> <p>Программа устанавливает этот разряд, чтобы прекратить работу сигнала тактовой частоты PHY (phy_clk), когда USB находится в состоянии приостановки, сессия невалидна или прибор отключен. Программа обнуляет этот разряд, когда работа USB возобновлена или запущена новая сессия.</p>	1'b0	R_W

19. КОНТРОЛЛЕР ETHERNET MAC 10/100/1000 МГц (GEMAC)

19.1 Особенности

GEMAC ядро полностью соответствует спецификации IEEE 802.3-2002 и поддерживает следующие функции:

19.1.1 Основные Функции:

1. Скорость передачи данных 10/100/1000 Mbps.
2. Прямое подключение с 32-разрядным интерфейсом АНВ.
3. Независимый 32-разрядный scatter-gather DMA для операций приема и передачи.
4. Поддержка интерфейса МП для скорости 10/100 Mbps и интерфейса GMII для скорости 1000 Mbps, для связи с внешним PHY в соответствии с IEEE 802.3-2002.
5. Поддержка VLAN Q-Tag.
6. Режим Full-Duplex для скорости 10/100/1000 Mbps и режим Half-Duplex для скорости 10/100 Mbps.
7. CSMA/CD протокол для режима Half-Duplex с обнаружением и предотвращением коллизий.
8. Автоматическая повторная передача фреймов при возникновении коллизии в режиме Half-Duplex.
9. Приостановка фрейма для режима Full-Duplex.
10. Программное управление внешним PHY через MDC/MDIO интерфейс.
11. Поддержка статистических MIB счетчиков SNMP/RMON/802.3.
12. Поддержка приема и передачи Jumbo фреймов.

19.1.2 Ведущий интерфейс и функции прямого доступа в память:

- поддержка AMBA АНВ интерфейса;
- АНВ мастер интерфейс используется для передачи пакетов между основной памятью и внутренним FIFO, а также для подгрузки дескриптора;
- АНВ мастер интерфейс поддерживает передачу данных 32-разрядными словами;
- АНВ ведомый интерфейс используется для программирования и контроля внутренних регистров контроллера, также используя 32-разрядный интерфейс.

19.1.3 Функции прямого доступа в память

1. 32-разрядный scatter-gather DMA, для передачи и приема.
2. Независимая передача и прием.
3. Кольцевая загрузка дескрипторов или в виде списка связей.
4. Программируемая длина пропуска между дескрипторами в случае цепочки дескрипторов.
5. До двух буферов на дескриптор.
6. Программируемый размер буфера (до 4 КБ) с перестраиваемой конфигурацией для каждого дескриптора.
7. Программируемый размер пакета для более эффективного использования шины.
8. Поддержка выравнивания на уровне байта для буфера передачи и приема.
9. Гибкий арбитраж передачи/приема.
10. Программируемая структура прерываний.
11. Big/Little Endian операции для буфера данных и структуры дескрипторов.

19.1.4 Функции передатчика:

1. Переменная длина (64 ВТ, 96 ВТ, 128 ВТ, 256 ВТ) запрещенной межкадровой зоны (IFG), значение по умолчанию 128.
2. Переменная длина (3, 5, 7 байт) преамбулы со значением по умолчанию 7 байт.
3. Автоматическая генерация поля FCS во время передачи.
4. Автоматическая генерация поля PAD в течение передачи, чтобы удовлетворить требование MinFrameSize.
5. Опция отключения вставки поля PAD и/или CRC32 во время передачи фрейма.
6. Опция отмены повторной передачи фрейма при возникновении коллизии в режиме Half-Duplex.

19.1.5 Функции приемника:

1. Проверка Минимума IFG между кадрами.
2. Обнаружение и удаление преамбулы на приеме. Управление приемом фреймов без преамбулы и только SFD.
3. Гибкие режимы фильтрации Адреса:
4. Четыре 48-битных MAC Адреса для сравнения с индивидуальным включением/отключением.
5. Инверсная фильтрация адреса.
6. 64-битная хеш-таблица для фильтрации групповых адресов.
7. Разнородный режим работы.
8. Прием широковещательных фреймов.
9. Автоматическая проверка поля FCS для корректного значения CRC.
10. Автоматическая проверка коротких кадров с опцией их фильтрации.
11. Автоматическая проверка длины поля данных.

12. Возможность конфигурирования максимальной длины пакета MaxFrameLen.
13. Автоматическая настройка поля MaxFrameLen для VLAN фреймов.
14. Обнаружение ошибок выравнивания при работе в режиме МП.
15. Обнаружение индикации ошибки приема интерфейса МП/GМП во время приема кадра.
16. Отображение 32-разрядного статуса каждого принятого кадра.

19.1.6 Функции управления потоком данных:

1. Программно управляемый контроль PAUSE, позволяющий формировать кадр с программируемыми квантами паузы.
2. Опция управления генерацией PAUSE фреймов в зависимости от состояния FIFO (Almost-Full или Almost-Empty).
3. Опция контроля PAUSE кадра для зарезервированного группового (multicast) адреса или запрограммированного одиночного (unicast) адреса в поле DA.
4. Генерация контроля PAUSE фрейма осуществляется, даже когда передатчик находится в режиме паузы.
5. Автоматическое обнаружение PAUSE кадра с полем DA или зарезервированным групповым адресом или одиночным MAC адресом устройства.
6. Проверка корректности OP CODE, размера кадра и FCS поля в кадре с контролируемой PAUSE.
7. Отключение передатчика на время указанное в поле кванта паузы в полученном кадре PAUSE.
8. Опция блокировки кадра PAUSE.

19.2 GEMAC блок-схема

На Рисунок 19.1 показана блок-схема высокого уровня с различными функциональными блоками GEMAC ядра.

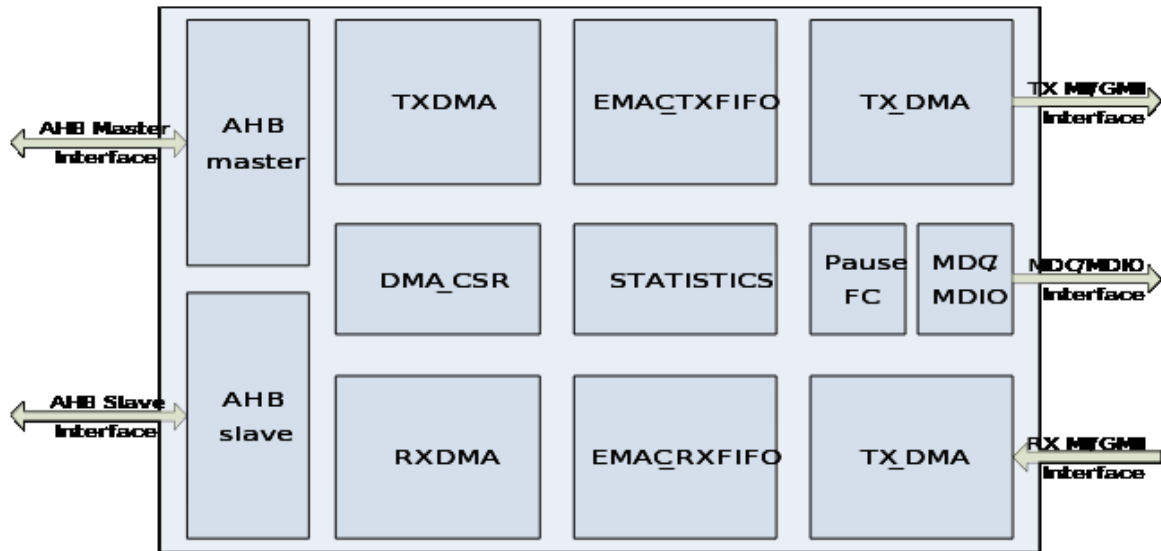


Рисунок 19.1. Блок-схема GEMAC ядра

19.2.1 GEMAC интерфейсы

GEMAC Ядро имеет следующие интерфейсы:

МII/GMII Интерфейс связывает ядро с внешним PHY устройством в соответствии со стандартом IEEE802.3.

MDC/MDIO Интерфейс используется для конфигурирования и управления внешним PHY устройством.

AHB slave интерфейс - 32-разрядный интерфейс, обеспечивающий доступ к внутренним регистрам GEMAC ядра.

AHB master интерфейс - 32-разрядный интерфейс, используется для передачи пакетов между основной памятью и внутренним FIFO, а также для подгрузки дескриптора.

19.2.2 Краткое описание блоков GEMAC

GEMAC ядро состоит из следующих модулей:

EMAC_TX: Этот модуль содержит конечный автомат, формирующий, в соответствии с протоколом CSMA/CD передающийся кадр и с заданной скоростью транслирующий его на МII/GMII интерфейс.

EMAC_RX: Этот модуль содержит конечный автомат, обрабатывающий в соответствии с протоколом CSMA/CD принимающийся по MII/GMII интерфейсу кадр, а также выполняющий разбивку кадра по полям и проверку ошибок.

PAUSE_FC: Этот модуль декодирует полученные пакеты PAUSE, когда EMAC ядро находится в Full Duplex режиме, и включает PAUSE_TIMER, чтобы отключить EMAC_TX модуль. Также этот модуль по программному запросу генерирует пакеты PAUSE.

MDC/MDIO Контроллер: Этот модуль формирует MDIO пакеты для общения с внешними ПНУ.

STATISTICS: Этот модуль содержит различные счетчики, собирающие статистику операций передачи и приема.

EMAC_RXFIFO: Данный модуль содержит FIFO (4KB), предназначенный для хранения принятых кадров до того, как они будут перемещены во внешнюю память.

EMAC_TXFIFO: Данный модуль содержит FIFO (4KB), предназначенный для хранения кадров полученных из памяти прежде, чем они будут переданы на интерфейс Ethernet.

EMAC_WKUP: Этот модуль осуществляет вывод блока из состояния ожидания посредством Magic Packet. В этом режиме, когда получен Magic Packet, генерируется отдельный сигнал к ведущему интерфейсу.

TXDMA: Этот модуль осуществляет передачу данных из внешней памяти в Transmit FIFO, используя дескриптор передачи.

RXDMA: Этот модуль осуществляет передачу данных из Receive FIFO во внешнюю память, используя дескриптор приема.

Registers: В этом модуле находятся регистры управления и статуса, позволяющие управлять операциями принимающего и передающего DMA, операциями передачи и приема Ethernet интерфейса. Этот модуль также обеспечивает доступ к регистрам статистики и статуса прерываний.

AHB master: Этот модуль обеспечивает функциональные возможности AHB master, чтобы формировать передачи на AHB шине. Запросы формируют передающее и принимающее DMA.

AHB slave: Этот модуль обеспечивает функциональные возможности AHB slave. Этот интерфейс используется для доступа ко всем DMA/MAC регистрам модуля Registers.

19.3 Карта регистров

В Таблица 19.1 перечислены названия и адреса (смещение) для всех регистров GEMAC ядра. Ниже дано детальное описание каждого регистра, включая описание полей и значение по умолчанию.

Таблица 19.1. Карта регистров

Смещение	Имя регистра
Регистры DMA	
0x0000	DMA Configuration Register
0x0004	DMA Control Register
0x0008	DMA Status and IRQ Register
0x000C	DMA Interrupt Enable Register
0x0010	DMA Transmit Auto Poll Register
0x0014	DMA Transmit Poll Demand Register
0x0018	DMA Receive Poll Demand Register
0x001C	DMA Transmit Base Address Register
0x0020	DMA Receive Base Address Register
0x0024	DMA Missed Frame Counter Register
0x0028	DMA Stop Flush Counter Register
0x002C	DMA Receive Interrupt Mitigation Control
0x0030	DMA Current Transmit Descriptor Pointer Register
0x0034	DMA Current Transmit Buffer Pointer Register
0x0038	DMA Current Receive Descriptor Pointer Register
0x003C	DMA Receive Buffer Pointer Register
Регистры MAC	
0x0100	MAC Global Control Register
0x0104	MAC Transmit Control Register
0x0108	MAC Receive Control Register
0x010C	MAC Frame Size Register
0x0110	MAC Transmit Jabber Size Register
0x0114	MAC Receive Jabber Size Register
0x0118	MAC Address Control Register
0x011C	MAC MDIO Clock Division Control Register
0x0120	MAC Address#1 High Register
0x0124	MAC Address#1 Med Register
0x0128	MAC Address#1 Low Register
0x012C	MAC Address#2 High Register
0x0130	MAC Address#2 Med Register
0x0134	MAC Address#2 Low Register
0x0138	MAC Address#3 High Register
0x013C	MAC Address#3 Med Register
0x0140	MAC Address#3 Low Register
0x0144	MAC Address#4 High Register
0x0148	MAC Address#4 Med Register
0x014C	MAC Address#4 Low Register
0x0150	MAC Hash Table#1 Register
0x0154	MAC Hash Table#2 Register
0x0158	MAC Hash Table#3 Register
0x015C	MAC Hash Table#4 Register
0x0160	MAC Flow-Control Control Register
0x0164	MAC Flow-Control Pause Frame Generate Register
0x0168	MAC Flow-Control Source Address High Register
0x016C	MAC Flow-Control Source Address Med Register
0x0170	MAC Flow-Control Source Address Low Register
0x0174	MAC Flow-Control Destination Address High Register

Смещение	Имя регистра
0x0178	MAC Flow-Control Destination Address Med Register
0x017C	MAC Flow-Control Destination Address Low Register
0x0180	MAC Flow-Control Pause Time Value Register
0x0184	MAC Flow-Control Auto Gen Hi Pause Time Value Register
0x0188	MAC Flow-Control Auto Gen Lo Pause Time Value Register
0x018C	MAC Flow-Control Auto Pause Frame Gen Hi Threshold Register
0x0190	MAC Flow-Control Auto Pause Frame Gen Lo Threshold Register
0x0194- 0x019C	Reserved
0x01A0	MAC MDIO Control Register
0x01A4	MAC MDIO Data Register
0x01A8	MAC Rx. StatCtr Control Register
0x01AC	MAC Rx. StatCtr Data High Register
0x01B0	MAC Rx. StatCtr Data Low Register
0x01B4	MAC Tx. StatCtr Control Register
0x01B8	MAC Tx. StatCtr Data High Register
0x01BC	MAC Tx. StatCtr Data Low Register
0x01C0	MAC Transmit FIFO Almost Full Register
0x01C4	MAC Transmit Packet Start Threshold Register
0x01C8	MAC Receive Packet Start Threshold Register
0x01CC	MAC Transmit FIFO Almost Empty Threshold Register
0x01D0- 0x01DC	Reserved
0x01E0	MAC Interrupt Register
0x01E4	MAC Interrupt Enable Register
0x01E8	MAC VLAN TPID#1 Register
0x01EC	MAC VLAN TPID#2 Register
0x01F0	MAC VLAN TPID#3 Register
0x01F4- 0x01FC	Reserved

19.3.1 Описание регистров

Следующие разделы содержат детальное описание каждого регистра, включая описание полей и значение по умолчанию.

19.3.1.1 DMA Configuration Register (Смещение: 0x0000)

Регистр конфигурации прямого доступа в память (Таблица 19.2) используется для программирования глобальных параметров DMA контроллера.

Таблица 19.2. DMA Configuration Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
0	Software Reset	При установке контроллер DMA сбрасывается в исходное состояние, очищается вся информация о внутреннем состоянии. Передающее и принимающее DMA переходят в состояние STOPPED. При сбросе контроллер DMA переходит в нормальный режим работы.	R/W	1'b0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:1	Burst Length	Отображает максимальное количество 32-разрядных слов, передаваемых DMA за одну транзакцию. Возможны следующие значения поля Burst Length: 7'b0000001 – 1 DWORD 7'b0000010 – 2 DWORDS 7'b0000100 – 4 DWORDS 7'b0001000 – 8 DWORDS 7'b0010000 – 16 DWORDS 7'b0100000 – 32 DWORDS 7'b1000000 – 64 DWORDS	R/W	7'b0000100
12:8	Descriptor Skip Length	Определяет расстояние между двумя дескрипторами в 32-разрядных словах. Это поле относится как к DMA передачи, так и к DMA приема.	R/W	5'b00000
13	Descriptor Byte Ordering Bit	Включение Big-Endian режима для дескрипторов DMA передачи и DMA приема. 1'b0 – нормальный формат дескриптора 1'b1 – Big-Endian ориентация	R/W	1'b0
14	Big/Little Endian Bit	Включение Big-Endian режима для буфера данных 1'b0 – Little Endian ориентация 1'b1 – Big-Endian ориентация	R/W	1'b0
15	TX/RX Arbitration	Выбор сценария арбитража между DMA приема и DMA передачи. Если бит установлен, то используется Round-Robin алгоритм. Если бит снят, то приоритет имеет принимающий DMA.	R/W	1'b0
16	Wait for Done	Если данный бит установлен, то передающее DMA перед тем как выбрать новый дескриптор пакета ждет готовности FIFO. Если бит снят, то DMA подгружает дескрипторы непрерывно, при условии, что FIFO не переполнен.	R/W	1'b0
17	Strict Burst	Если бит установлен, оба DMA работают Strict Burst режиме. В этом режиме DMA ограничивает Burst Size до значения, определенного полем Burst Length или до одиночного DWORD. Если бит сброшен, то оба DMA используют любой Burst Size от 1 до значения, определенного полем Burst Length.	R/W	1'b0
31:18	-	Не используется		

19.3.1.2 DMA Control Register (Смещение: 0x0004)

Регистр управления DMA (Таблица 19.3) используется для управления пуском/остановом передающего/принимающего DMA.

Таблица 19.3. DMA Control Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
0	Start/Stop Transmit DMA	<p>Когда бит установлен, DMA переходит в состояние RUNNING, GEMAC ядро проверяет список передачи текущей позиции для передаваемого кадра. Подгружается новый дескриптор по адресу, указанному в регистре Transmit Base Address Register или, если DMA был ранее выключен, восстанавливается значение до остановки.</p> <p>Если дескриптор недоступен, то DMA переходит в состояние SUSPENDED, устанавливается Transmit Buffer Unavailable. Команда Start Transmission эффективна только тогда, когда DMA находится в состоянии STOPPED.</p> <p>Если установка данного бита произойдет перед установкой регистра Transmit Base Address Register, то поведение GEMAC ядра будет непредсказуемым.</p> <p>Если бит сброшен, то DMA переходит в состояние STOPPED сразу после выполнения текущей передачи. В списке передачи сохраняется следующая позиция дескриптора и становится текущей при перезапуске DMA. Остановка DMA возможна, если DMA находится в состоянии RUNNING или SUSPENDED.</p>	R/W	1'b0
1	Start/Stop Receive DMA	<p>Когда бит установлен, DMA переходит в состояние RUNNING, GEMAC ядро проверяет список приема текущей позиции для передаваемого кадра. Подгружается новый дескриптор по адресу, указанному в регистре Receive Base Address Register или, если DMA был ранее выключен, восстанавливается значение до остановки.</p> <p>Если дескриптор недоступен, то DMA переходит в состояние SUSPENDED, устанавливается Receive Buffer Unavailable. Команда Start Transmission эффективна только тогда, когда DMA находится в состоянии STOPPED.</p> <p>Если установка данного бита произойдет перед установкой регистра Receive Base Address Register, то поведение GEMAC ядра будет непредсказуемым.</p> <p>Если бит сброшен, то DMA переходит в состояние STOPPED сразу после выполнения текущего приема. В списке приема сохраняется следующая позиция дескриптора и становится текущей при перезапуске DMA. Остановка DMA возможна, если DMA находится в состоянии RUNNING или SUSPENDED.</p>	R/W	1'b0
31:2	-	Не используется		

19.3.1.3 DMA Status and IRQ Register (Смещение: 0x0008)

Регистр статуса и запроса на прерывание DMA (Таблица 19.4) отображает текущее состояние DMA и информацию запроса на прерывание относительно различных условий.

Таблица 19.4. DMA Status and IRQ Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
0	Transmit Transfer Done IRQ	Установка этого бита означает, что передача пакета выполнена успешно, и Interrupt On Completion (TDES[31]) установлен в первом дескрипторе пакета. Если бит Wait For Done не установлен, то запрос на прерывание устанавливается, когда пакет передан в Transmit FIFO. Если бит Wait For Done установлен, то запрос на прерывание устанавливается, когда пакет передан на MII/GMII интерфейс. IRQ сбрасывается записью единицы.	R/W	1'b0
1	Transmit Descriptor Unavailable IRQ	Устанавливается в случае неготовности следующего дескриптора передачи. Передающее DMA переходит в состояние SUSPENDED. Если не включен Transmit Auto Polling, то для возобновления процесса подгрузки дескрипторов необходимо обратиться с записью в регистр Transmit Poll Demand Register. IRQ сбрасывается записью единицы.	R/W	1'b0
2	Transmit DMA Stopped IRQ	Данный бит устанавливается, когда DMA переходит в состояние STOPPED. IRQ сбрасывается записью единицы.	R/W	1'b0
3	-	Не используется		
4	Receive Transfer Done IRQ	Установка бита означает успешный прием и передачу в память пакета, а также запись статуса пакета в поле RDES0 последнего дескриптора. Принимающий DMA остается в состоянии RUNNING и выбирает следующий дескриптор. В режиме Receive Interrupt Mitigation Mode запрос на прерывание выставляется, когда в память передано запрограммированное количество пакетов, либо при срабатывании счетчика Receive Interrupt Timeout, отсчитывающего время с момента передачи в память первого пакета. IRQ сбрасывается записью единицы.	R/W	1'b0
5	Receive Descriptor Unavailable IRQ	Устанавливается в случае неготовности следующего дескриптора приема. Принимающее DMA переходит в состояние SUSPENDED. Для возобновления процесса подгрузки дескрипторов необходимо обратиться с записью в регистр Receive Poll Demand Register. Если записи регистра Receive Poll Demand Register не было, то дескриптор подгрузится автоматически при приеме нового кадра. IRQ сбрасывается записью единицы.	R/W	1'b0
6	Receive DMA Stopped IRQ	Данный бит устанавливается, когда DMA переходит в состояние STOPPED. IRQ сбрасывается записью единицы.	R/W	1'b0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7	Receive Missed Frame IRQ	Установка данного бита говорит о том, что пакет был пропущен из-за неготовности дескриптора приема. Пакет был сброшен из внутреннего FIFO. Бит устанавливается, если DMA находится в состоянии SUSPENDED, и пришел новый пакет, при этом DMA пытается повторно выбрать дескриптор, а он снова недоступен. IRQ сбрасывается записью единицы.	R/W	1'b0
8	MAC Interrupt	Установка данного бита говорит о том, что был установлен запрос на прерывание от MAC части GEMAC ядра. Для уточнения источника запроса на прерывание нужно прочитать регистр MAC Interrupt Register. Данный бит очищается тогда, когда очищены прерывания регистра MAC Interrupt Register.	R/W	1'b0
15:7	-	Не используется		
18:16	Transmit DMA State	Данные биты отображают текущее состояние передающего DMA и изменяются динамически. 3'b000: STOPPED 3'b001: FETCH_DESCRIPTOR 3'b010: Reserved 3'b011: FETCH_DATABUFFER 3'b100: CLOSE_DESCRIPTOR 3'b101: SUSPENDED 3'b110: Reserved 3'b111: Reserved	R/W	3'b000
19	-	Не используется		
23:20	Receive DMA State	Данные биты отображают текущее состояние принимающего DMA и изменяются динамически. 3'b000: STOPPED 3'b001: FETCH_DESCRIPTOR 3'b010: WAIT_FOR_END_OF_RECEIVE 3'b011: WAIT_FOR_RXFRAME 3'b100: SUSPENDED 3'b101: CLOSE_DESCRIPTOR 3'b110: PUT_BUFFER 3'b111: WAIT_FOR_STATUS	R/W	3'b000
31:24	-	Не используется		

19.3.1.4 DMA Interrupt Enable Register (Смещение: 0x000C)

Регистр (Таблица 19.5) позволяет выбрать события, по которым будет формироваться запрос на прерывание.

Таблица 19.5. DMA Interrupt Enable Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
0	Transmit Transfer Done Interrupt Enable	Если бит установлен, то Transmit Transfer Done IRQ используется при формировании запроса на прерывание. Если бит снят, то Transmit Transfer Done IRQ блокируется при формировании запроса на прерывание.	R/W	1'b0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
1	Transmit Descriptor Unavailable Interrupt Enable	Если бит установлен, то Transmit Descriptor Unavailable IRQ используется при формировании запроса на прерывание. Если бит снят, то Transmit Descriptor Unavailable IRQ блокируется при формировании запроса на прерывание.	R/W	1'b0
2	Transmit DMA Stopped Interrupt Enable	Если бит установлен, то Transmit DMA Stopped IRQ используется при формировании запроса на прерывание. Если бит снят, то Transmit DMA Stopped IRQ блокируется при формировании запроса на прерывание.	R/W	1'b0
3	-			
4	Receive Transfer Done Interrupt Enable	Если бит установлен, то Receive Transfer Done IRQ используется при формировании запроса на прерывание. Если бит снят, то Receive Transfer Done IRQ блокируется при формировании запроса на прерывание.	R/W	1'b0
5	Receive Descriptor Unavailable Interrupt Enable	Если бит установлен, то Receive Descriptor Unavailable IRQ используется при формировании запроса на прерывание. Если бит снят, то Receive Descriptor Unavailable IRQ блокируется при формировании запроса на прерывание.	R/W	1'b0
6	Receive DMA Stopped Interrupt Enable	Если бит установлен, то Receive DMA Stopped IRQ используется при формировании запроса на прерывание. Если бит снят, то Receive DMA Stopped IRQ блокируется при формировании запроса на прерывание.	R/W	1'b0
7	Receive Missed Frame Interrupt Enable	Если бит установлен, то Receive Missed Frame IRQ используется при формировании запроса на прерывание. Если бит снят, то Receive Missed Frame IRQ блокируется при формировании запроса на прерывание.	R/W	1'b0
8	MAC Interrupt Enable	Если бит установлен, то MAC Interrupt используется при формировании запроса на прерывание. Если бит снят, то MAC Interrupt блокируется при формировании запроса на прерывание.	R/W	1'b0
31:9	-	Не используется		

19.3.1.5 DMA Transmit Auto Poll Counter Register (Смещение: 0x0010)

Регистр счетчика автоматического опроса передающего DMA (Таблица 19.6) используется для определения частоты опроса, если Transmit DMA находится в состоянии ожидания. Когда Transmit DMA находится в состоянии ожидания, выборка дескриптора повторяется в соответствии с периодом, записанным в счетчик, или когда осуществляется запись нового значения счетчика.

Таблица 19.6. DMA Transmit Auto Poll Counter Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	Transmit Auto Poll Value	Значение, определяющее количество тактов ожидания частоты АНВ в состоянии SUSPENDED перед повторной выборкой дескриптора. Если дескриптор недоступен, то DMA возвращается в состояние SUSPENDED и устанавливает Transmit Descriptor Unavailable Interrupt. Внутренний счетчик Auto Poll Counter используется только тогда, когда Transmit DMA находится в состоянии SUSPENDED и сбрасывается в противном случае. Функция автоматического опроса отключается, если значение, записанное в регистр, равно нулю.	R/W	16'h0000
31:16	-	Не используется		

19.3.1.6 DMA Transmit Poll Demand Register (Смещение: 0x0014)

Регистр запуска выборки дескриптора передающего DMA (Таблица 19.7) используется для указания Transmit DMA о необходимости загрузки нового дескриптора, при условии, что DMA находится в состоянии ожидания. Здесь регистрируется сам факт записи, а записываемое значение игнорируется.

Таблица 19.7. DMA Transmit Poll Demand Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	Transmit Poll Demand	Если Transmit DMA находится в состоянии SUSPENDED, и осуществляется запись в данный регистр любого значения, то ядро GEMAC осуществляет выборку нового дескриптора передачи. Если дескриптор недоступен, то DMA возвращается в состояние SUSPENDED и устанавливает Transmit Descriptor Unavailable Interrupt.	W	

19.3.1.7 DMA Receive Poll Demand Register (Смещение: 0x0018)

Регистр запуска выборки дескриптора Receive DMA (Таблица 19.8) используется для указания Receive DMA о необходимости загрузки нового дескриптора, при условии, что DMA находится в состоянии ожидания. Здесь регистрируется сам факт записи, а записываемое значение игнорируется.

Таблица 19.8. DMA Receive Poll Demand Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	Receive Poll Demand	Если Receive DMA находится в состоянии SUSPENDED, и осуществляется запись в данный регистр любого значения, то ядро GEMAC осуществляет выборку нового дескриптора приема. Если дескриптор недоступен, то DMA возвращается в состояние SUSPENDED и устанавливает Receive Descriptor Unavailable Interrupt.	W	

19.3.1.8 DMA Transmit Base Address Register (Смещение: 0x001C)

Регистр базового адреса Transmit DMA (Таблица 19.9) используется, чтобы указать на начало списка дескрипторов передачи в адресном пространстве памяти. Значение, запрограммированное в этом регистре, должно быть выровнено по 32-разрядной границе. Регистр необходимо прописывать только тогда, когда Transmit DMA находится в состоянии Stop.

Таблица 19.9. DMA Transmit Base Address Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	Transmit Base Address	<p>Данный регистр содержит стартовый адрес списка дескрипторов передачи во внешней памяти. При пуске Transmit DMA, значение регистра используется для выборки дескриптора (только если регистр обновлен), в противном случае используется адрес, сохраненный перед остановкой DMA.</p> <p>Все дескрипторы выровнены по 32-разрядной границе, соответственно и адрес должен быть выровнен по 32-разрядной границе.</p> <p>Запись регистра необходимо осуществлять только в момент нахождения DMA в состоянии STOPPED.</p>	R/W	32'h0000_0000

19.3.1.9 DMA Receive Base Address Register (Смещение: 0x0020)

Регистр базового адреса Receive DMA (Таблица 19.10) используется, чтобы указать на начало списка дескрипторов приема в адресном пространстве памяти. Значение, запрограммированное в этом регистре, должно быть выровнено по 32-разрядной границе. Регистр необходимо прописывать только тогда, когда Receive DMA находится в состоянии Stop.

Таблица 19.10. DMA Receive Base Address Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	Receive Base Address	<p>Данный регистр содержит стартовый адрес списка дескрипторов приема во внешней памяти. При пуске Receive DMA значение регистра используется для выборки дескриптора (только если регистр обновлен), в противном случае используется адрес, сохраненный перед остановкой DMA.</p> <p>Все дескрипторы выровнены по 32-разрядной границе, соответственно, и адрес должен быть выровнен по 32-разрядной границе.</p> <p>Запись регистра необходимо осуществлять только в момент нахождения DMA в состоянии STOPPED.</p>	R/W	32'h0000_0000

19.3.1.10 DMA Missed Frame Counter Overflow IRQ (Смещение: 0x0024)

Регистр счетчика пропущенных кадров (Таблица 19.11) отображает номера кадров, которые были пропущены из-за неготовности дескриптора приема. Если Receive DMA приостановлен, и был принят новый кадр, то DMA пытается подгрузить дескриптор приема. Если дескриптор недоступен, то фрейм сбрасывается из Receive FIFO. Этот счетчик отображает общее количество кадров, которые были пропущены с момента предыдущего чтения данного регистра.

Таблица 19.11. DMA Missed Frame Counter Overflow IRQ

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	Missed Frame Counter Overflow IRQ	Бит устанавливается при переполнении Missed Frame Counter. Установка этого бита ведет к формированию запроса на прерывание. Бит сбрасывается, если регистр прочитан.	R/W	1'b0
30:0	Missed Frame Counter	Missed Frame Counter отображает число пропущенных пакетов из-за неготовности дескриптора приема. Счетчик отображает общее число пропущенных пакетов с момента последнего чтения данного регистра. Счетчик сбрасывается, если регистр прочитан.	R/W	31'h0000_0000

19.3.1.11 DMA Stop Flush Counter Register (Смещение: 0x0028)

Регистр счетчика сброшенных кадров при остановленном DMA (Таблица 19.12) отображает количество сброшенных кадров, которые были сброшены из-за того, что DMA находится в состоянии останова. Этот счетчик отображает общее количество кадров, которые были пропущены с момента предыдущего чтения данного регистра. Когда счетчик переполняется, формируется запрос на прерывание.

Таблица 19.12. DMA Stop Flush Counter Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	Stop Counter Overflow IRQ	Бит устанавливается при переполнении Stop Flush Counter. Установка этого бита ведет к формированию запроса на прерывание. Бит сбрасывается, если регистр прочитан.	R/W	1'b0
30:0	Stop Flush Counter	Stop Flush Counter отображает число пропущенных пакетов из-за того, что DMA находится в состоянии STOPPED. Счетчик отображает общее число пропущенных пакетов с момента последнего чтения данного регистра. Счетчик сбрасывается, если регистр прочитан.	R/W	31'h0000_0000

19.3.1.12 DMA Receive Transfer Done Interrupt Mitigation Control (Смещение: 0x002C)

Данный регистр (Таблица 19.13) позволяет управлять поведением запросом на прерывание, возникающим во время передачи в память принятого пакета.

Таблица 19.13. DMA Receive Transfer Done Interrupt Mitigation Control

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	Receive Interrupt Frame Counter	Отображает количество кадров, которые необходимо принять для формирования прерывания Receive Transfer Done Interrupt. Данное значение достоверно, если установлен 31-й бит. Можно запрограммировать значение от 1 до 255	R/W	8'h01
27:8	Receive Interrupt Timeout Counter	Отображает максимальное время в тактах частоты ahb_clk между первым принятым пакетом и запросом на прерывание Receive Transfer Done Interrupt. Если включен режим Interrupt Mitigation, то Receive Transfer Done Interrupt выставляется после приема N пакетов, где N – определяется полем Receive Interrupt Frame Counter. Запрос на прерывание Receive Transfer Done Interrupt выставляется также, если счетчик Timeout Counter (начинающий отсчет после приема первого пакета) достиг значения Receive Interrupt Timeout Counter раньше, чем было принято N пакетов.	R/W	20'h0_FFFF
29:28	-	Не используется		
30	Receive Interrupt Frame Counter Mode	Если осуществляется работа в режиме Mitigation Mode, и установлен данный бит, то после формирования запроса на прерывание Receive Transfer Done Interrupt значение поля Receive Interrupt Frame Counter сбрасывается в 8'h01. Если данный бит не установлен, то поле Receive Interrupt Frame Counter после формирования запроса на прерывание Receive Transfer Done Interrupt сохраняет ранее запрограммированное значение.	R/W	1'b0
31	Receive Transfer Done Interrupt Mitigation Control Enable	Установка данного бита включает режим Mitigation Mode с использованием счетчиков пакетов/времени. Если бит снят, то запрос на прерывание Receive Transfer Done Interrupt формируется после каждого принятого и переданного в память пакета.	R/W	1'b0

19.3.1.13 DMA Current Tx. Descriptor Pointer Register (Смещение: 0x0030)

Регистр указателя текущего дескриптора Transmit DMA (Таблица 19.14) содержит адрес дескриптора, используемого в данный момент. Данный регистр доступен только по чтению.

Таблица 19.14. DMA Current Tx. Descriptor Pointer Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	Current Transmit Descriptor Pointer	Данное поле содержит указатель на текущий дескриптор Transmit DMA. Указатель выровнен по 32-разрядной границе.	R	32'h0000_0000

19.3.1.14 DMA Current Tx. Buffer Pointer Register (Смещение: 0x0034)

Регистр указателя текущего буфера Transmit DMA (Таблица 19.15) содержит адрес буфера, используемого в данный момент. Данный регистр доступен только по чтению.

Таблица 19.15. DMA Current Tx. Buffer Pointer Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	Current Transmit Buffer Pointer	Данное поле содержит указатель на текущий буфер Transmit DMA.	R	32'h0000_0000

19.3.1.15 DMA Current Rx. Descriptor Pointer Register (Смещение: 0x0038)

Регистр указателя текущего дескриптора Receive DMA содержит адрес дескриптора, используемого в данный момент. Данный регистр доступен только по чтению.

Таблица 19.16. DMA Current Rx. Descriptor Pointer Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	Current Receive Descriptor Pointer	Данное поле содержит указатель на текущий дескриптор Receive DMA. Указатель выровнен по 32-разрядной границе.	R	32'h0000_0000

19.3.1.16 DMA Current Rx. Buffer Pointer Register (Смещение: 0x003C)

Регистр указателя текущего буфера Receive DMA (Таблица 19.17) содержит адрес буфера используемого в данный момент. Данный регистр доступен только по чтению.

Таблица 19.17. DMA Current Rx. Buffer Pointer Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	Current Receive Buffer Pointer	Данное поле содержит указатель на текущий буфер Receive DMA.	R	32'h0000_0000

19.3.1.17 MAC Global Control Register (Смещение: 0x0100)

Глобальный регистр управления MAC (Таблица 19.18) используется для программирования глобальных параметров MAC в GEMAC ядре.

Таблица 19.18. MAC Global Control Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
1:0	Speed	Определяет скорость Ethernet интерфейса GEMAC ядра. В зависимости от выбранного значения скорости используется либо GMII, либо MII интерфейс. Выбранной скорости должны соответствовать частоты txclk и rxclk. 2'b00: 10 Mbps 2'b01: 100 Mbps 2'b10: 1000 Mbps 2'b11: Reserved	R/W	2'b00
2	Duplex Mode	Если бит установлен, то ядро работает в Full-Duplex режиме, в котором возможен одновременный прием и передача. Если бит сброшен, то ядро работает в Half Duplex режиме и, в соответствии с CSMA/CD протоколом, отслеживает коллизии и осуществляет Back-Off столкновения. 1'b0: Half-Duplex Mode 1'b1: Full-Duplex Mode При работе на скорости 1000Mbps поддерживается только Full-Duplex Mode	R/W	1'b0
3	Reset Rx. Stat. Counters	Установка данного бита инициализирует сброс всех статистических счетчиков тракта приема. Процесс инициализации начинается после того, как бит очищен.	R/W	1'b0
4	Reset Tx. Stat. Counters	Установка данного бита инициализирует сброс всех статистических счетчиков тракта передачи. Процесс инициализации начинается после того, как бит очищен.	R/W	1'b0
31:5	-	Не используется		

19.3.1.18 MAC Transmit Control Register (Смещение: 0x0104)

Регистр управления передачей MAC (Таблица 19.19), используется для установки параметров передающей части MAC в GEMAC ядре.

Таблица 19.19. MAC Transmit Control Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
0	Transmit Enable	При установке данного бита включается передатчик ядра и передает пакеты из Transmit FIFO на MII/GMII интерфейс. Если бит сброшен – передатчик отключается, кадры не передаются.	R/W	1'b0
1	Invert FCS	Если бит установлен, то GEMAC ядро инвертирует поле FCS исходящего пакета. Если бит сброшен, то вставляется нормальное поле FCS.	R/W	1'b0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
2	Disable FCS Inversion	Если бит установлен, то вычисление и вставка FCS не производится. Вставка FCS поля отключается для всех пакетов. Если вставка FCS отключена, то предполагается, что кадр, сформированный в памяти, уже содержит поле FCS и соответствует требованию MinFrameSize.	R/W	1'b0
3	Transmit Auto Retry	Если бит установлен, то при работе в режиме Half-Duplex и возникновении коллизии контроллер автоматически повторяет передачу пакета. Для правильной работы в полудуплексном режиме этот бит должен быть установлен в «1».	R/W	1'b0
6:4	IFG Length	Определяет минимальный IPG (Inter Packet/Frame Gap) вставляемый между исходящими пакетами. По спецификации минимальный IPG между пакетами должен состоять из 96 bit-times. 3'b000: 96 Bit Times 3'b001: 64 Bit Times 3'b010: 128 Bit Times 3'b011: 256 Bit Times 3'b100: 24 Bit Times 3'b101: 32 Bit Times 3'b110: 40 Bit Times 3'b111: 48 Bit Times При установке значения IPG менее 96 bit-times могут возникнуть проблемы с совместимостью с другими сетевыми устройствами. Установка значения IPG более 96 bit-times ведет к ухудшению производительности.	R/W	3'b000
9:7	Preamble Length	Определяет количество байт преамбулы передаваемого кадра. По спецификации преамбула должна иметь 7 байт. 3'b000: 7 байт 3'b001: 1 байт 3'b010: 2 байта 3'b011: 3 байта 3'b100: 4 байта 3'b101: 5 байт 3'b110: 6 байт 3'b111: 7 байт	R/W	3'b000
31:10	-	Не используется		

19.3.1.19 MAC Receive Control Register (Смещение: 0x0108)

Регистр управления приемом MAC (Таблица 19.20) используется для установки параметров приемной части MAC в GEMAC ядре.

Таблица 19.20. MAC Receive Control Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
0	Receive Enable	При установке данного бита включается приемник ядра и передает пакеты с МП/ГМП интерфейс в Receive FIFO. Если бит сброшен – приемник отключается, кадры не принимаются.	R/W	1'b0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
1	Disable FCS Checking	Если бит установлен, то проверка поля FCS входящего кадра не проводится, и CRC Error Status для всех кадров не устанавливается. Если бит сброшен, то контроллер функционирует в обычном режиме, проверяя FCS для каждого входящего кадра. Кадры с ошибкой CRC помечаются или сбрасываются.	R/W	1'b0
2	Strip FCS	Если бит установлен, то у кадра, при передаче в память, удаляется поле FCS и корректируется его длина. Если бит сброшен, то FCS не удаляется, а передается вместе с кадром в память. При этом проверка FCS проводится (если она не отключена) для каждого кадра, также сохраняется и результат проверки.	R/W	1'b0
3	Store and Forward	Если бит установлен, то контроллер работает в режиме store-and-forward. Пакет передается в память только тогда, когда он полностью загрузится в Receive FIFO. Пакеты с ошибками могут быть сброшены из Receive FIFO без передачи в память. Если бит сброшен, то контроллер работает в режиме cut-through. Пакеты начинают передаваться в память без ожидания завершения их приема. При работе в режиме store-and-forward размер FIFO определяет максимальный размер принимаемого пакета.	R/W	1'b0
4	Status First	При работе в режиме store-and-forward пакет может быть передан с полем статуса как первые данные (перед SOP), или как последние данные (после EOP). Если данный бит установлен, то поле статуса передается перед SOP, если бит сброшен – после EOP. Для правильной работы контроллера данный бит должен быть всегда сброшен.	R/W	1'b0
5	Pass Bad Frames	При работе в режиме store-and-forward пакеты, принятые с ошибками, могут быть сброшены из Receive FIFO без передачи в память. Если данный бит установлен, то пакеты, принятые с ошибкой, передаются в память с отметкой ошибки в поле статуса (TDES0 последнего дескриптора). Если бит сброшен, пакеты с ошибками не передаются в память, а сбрасываются из Receive FIFO.	R/W	1'b0
6	Account VLAN's	Согласно спецификации, значение minFrameSize и maxFrameSize непомеченных пакетов равны 64 и 1518 байтам соответственно. Значение размера помеченного (VLAN Tagged) пакета увеличено на 4 байта VLAN Tag и значение maxFrameSize увеличено до 1522 байт. GEMAC ядро поддерживает до 3 VLAN Tags на пакет. В зависимости от количества VLAN Tag во входящем пакете поле maxFrameSize может быть расширено для поддержки до трех VLAN Tag (12 байт). Если данный бит установлен, то поле maxFrameSize может быть расширено до 3 VLAN Tags (12 бит), в зависимости от количества VLAN полей в принимаемом кадре. Если бит сброшен, то значение, запрограммированное в регистре Maximum Frame Size Register не изменяется.	R/W	1'b0
31:7	-	Не используется		

19.3.1.20 MAC Maximum Frame Size Register (Смещение: 0x010C)

Регистр максимального размера кадра MAC (Таблица 19.21) используется для установки значение поля MaxFrameSize, по которому проверяется MaxFrameLength нарушения.

Таблица 19.21. MAC Maximum Frame Size Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
13:0	Maximum Frame Size	Данное поле определяет Maximum Frame Size непомеченного пакета и используется для проверки ограничения MaxFrameLength. В режиме Store-and-Fogward любой пакет, больший, чем это значение, сбрасывается из Receive FIFO, если не установлен бит Pass Bad Frames. Если Pass Bad Frames установлен, то пакет с длиной, большей значения MaxFrameLength передается в память с установкой бита ошибки в статусе пакета (в TDES0 последнего дескриптора).	R/W	14'h05EE
31:14	-	Не используется		

19.3.1.21 MAC Transmit Jabber Size Register (Смещение: 0x0110)

Регистр размера Jabber данных передатчика MAC (Таблица 19.22) используется для установки размера Jabber данных передаваемого кадра. Когда длина передающегося кадра превышает это значение, кадр усекается и выдается EOP-ERROR.

Таблица 19.22. MAC Transmit Jabber Size Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	Transmit Jabber Size	Данное поле определяет Jabber Size передаваемого пакета. Если длина исходящего пакета превышает значение, запрограммированное в этом поле, то пакет признается бессмысленным, и его передача прекращается с выставлением EOP-ERROR.	R/W	16'h0600
31:16	-	Не используется		

19.3.1.22 MAC Receive Jabber Size Register (Смещение: 0x0114)

Регистр размера Jabber данных приемника MAC (Таблица 19.23) используется для установки размера Jabber данных принимаемого кадра. Когда длина принимаемого кадра превышает это значение, тогда он обрезается и выставляется ошибка в регистре статуса «Jabber Error». Остаток принимаемых данных игнорируется.

Таблица 19.23. MAC Receive Jabber Size Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	Receive Jabber Size	Данное поле определяет Jabber Size принимаемого пакета. Если длина входящего пакета превышает значение, запрограммированное в этом поле, то пакет признается бессмысленным, и его прием прекращается. В статусе кадра отмечается Jabber Error. В режиме Store-and-Forward любой пакет сбрасывается из Receive FIFO, если не установлен бит Pass Bad Frames.	R/W	16'h0600
31:16	-	Не используется		

19.3.1.23 MAC Address Control Register (Смещение: 0x0118)

Регистр управления MAC адресом (Таблица 19.24) используется для управления различными аспектами контроля MAC адресов, который выполняется для всех входящих фреймов. GEMAC ядро выполняет фильтрацию адреса в соответствии со значением Destination Address для всех входящих фреймов. Для фильтрации Unicast адресов используется четыре регистра MAC адреса, для фильтрации Multicast фреймов используется Multicast Хеш-таблица. В нормальном режиме работы, в память передаются лишь те кадры, которые прошли адресную фильтрацию. Кадры, которые не прошли адресную фильтрацию, сбрасываются в Receive FIFO. Для каждого фрейма результат адресной фильтрации отображается в статусе пакета, который записан в поле TDES0 последнего дескриптора. При работе в режиме Promiscuous, принимаются и передаются в память все фреймы, независимо от адресной фильтрации.

Таблица 19.24. MAC Address Control Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
0	MAC Address#1 Enable	Если бит установлен, то MAC Address Register#1 используется для выполнения адресной фильтрации поля Destination Address всех входящих пакетов. Если бит сброшен, то MAC Address Register#1 не используется для выполнения адресной фильтрации.	R/W	1'b0
1	MAC Address#2 Enable	Если бит установлен, то MAC Address Register#2 используется для выполнения адресной фильтрации поля Destination Address всех входящих пакетов. Если бит сброшен, то MAC Address Register#2 не используется для выполнения адресной фильтрации.	R/W	1'b0
2	MAC Address#3 Enable	Если бит установлен, то MAC Address Register#3 используется для выполнения адресной фильтрации поля Destination Address всех входящих пакетов. Если бит сброшен, то MAC Address Register#3 не используется для выполнения адресной фильтрации.	R/W	1'b0
3	MAC Address#4 Enable	Если бит установлен, то MAC Address Register#4 используется для выполнения адресной фильтрации поля Destination Address всех входящих пакетов. Если бит сброшен, то MAC Address Register#4 не используется для выполнения адресной фильтрации.	R/W	1'b0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
4	Inverse MAC Address#1 Enable	Если бит установлен, то выполняется инверсная фильтрация поля Destination Address со значением регистра MAC Address Register#1. Инверсная фильтрация включается только при условии, что установлен бит MAC Address#1 Enable. Если сброшен, то производится нормальная фильтрация.	R/W	1'b0
5	Inverse MAC Address#2 Enable	Если бит установлен, то выполняется инверсная фильтрация поля Destination Address со значением регистра MAC Address Register#2. Инверсная фильтрация включается только при условии, что установлен бит MAC Address#2 Enable. Если сброшен, то производится нормальная фильтрация.	R/W	1'b0
6	Inverse MAC Address#3 Enable	Если бит установлен, то выполняется инверсная фильтрация поля Destination Address со значением регистра MAC Address Register#3. Инверсная фильтрация включается только при условии, что установлен бит MAC Address#3 Enable. Если сброшен, то производится нормальная фильтрация.	R/W	1'b0
7	Inverse MAC Address#4 Enable	Если бит установлен, то выполняется инверсная фильтрация поля Destination Address со значением регистра MAC Address Register#4. Инверсная фильтрация включается только при условии, что установлен бит MAC Address#4 Enable. Если сброшен, то производится нормальная фильтрация.	R/W	1'b0
8	Promiscuous Mode	Если данный бит установлен, то принимаются и передаются в память все пакеты независимо от значения поля Destination Address. В поле статуса пакета отмечается результат адресной фильтрации.	R/W	1'b0
31:9	-	Не используется		

19.3.1.24 MAC MDIO Clock Division Control Register (Смещение: 0x011C)

Регистр управления частотой MDIO (Таблица 19.25) используется для того, чтобы сконфигурировать соотношение частоты MDC с системной частотой ahb_clk.

Таблица 19.25. MAC MDIO Clock Division Control Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	MDC Clock Division Control	Определяет соотношение между частотами MDC Clock и ahb_clk. По умолчанию стоит значение 64, т.е. на MDC Clock 32 периода частоты ahb_clk держится «1», затем 32 периода частоты ahb_clk держится «0». Поддерживаются только четные значения до 8'hFE.	R/W	8'h40
31:8	-	Не используется		

19.3.1.25 MAC Address#1 High Register (Смещение: 0x0120)

Регистр старшей части MAC адреса#1 (Таблица 19.26) содержит первые два байта MAC адреса#1, как представлено в каноническом формате. Канонический формат показывает, в какой последовательности байты передаются на интерфейс Ethernet. Регистры средней

части MAC адреса#1 и младшей части MAC адреса#1 содержат остаток 48-битного MAC адреса#1.

Таблица 19.26. MAC Address#1 High Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	MAC Address#1 First Byte	В данном поле содержится первый байт MAC Address. Соответствует первому передаваемому байту поля DA	R/W	8'h00
15:8	MAC Address#1 Second Byte	В данном поле содержится второй байт MAC Address. Соответствует второму передаваемому байту поля DA	R/W	8'h00
31:16	-	Не используется		

19.3.1.26 MAC Address#1 Med Register (Смещение: 0x0124)

Регистр средней части MAC адреса#1 (Таблица 19.27) содержит средние два байта MAC адреса#1, как представлено в каноническом формате. Канонический формат показывает, в какой последовательности байты передаются на интерфейс Ethernet. Регистры старшей части MAC адреса#1 и младшей части MAC адреса#1 содержат остаток 48-битного MAC адреса#1.

Таблица 19.27. MAC Address#1 Med Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	MAC Address#1 Third Byte	В данном поле содержится третий байт MAC Address. Соответствует первому передаваемому байту поля DA	R/W	8'h00
15:8	MAC Address#1 Fourth Byte	В данном поле содержится четвертый байт MAC Address. Соответствует четвертому передаваемому байту поля DA	R/W	8'h00
31:16	-	Не используется		

19.3.1.27 MAC Address#1 Low Register (Смещение: 0x0128)

Регистр младшей части MAC адреса#1 (Таблица 19.28) содержит младшие два байта MAC адреса#1, как представлено в каноническом формате. Канонический формат показывает, в какой последовательности байты передаются на интерфейс Ethernet. Регистры старшей части MAC адреса#1 и средней части MAC адреса#1 содержат остаток 48-битного MAC адреса#1.

Таблица 19.28. MAC Address#1 Low Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	MAC Address#1 Fifth Byte	В данном поле содержится пятый байт MAC Address. Соответствует пятому передаваемому байту поля DA	R/W	8'h00
15:8	MAC Address#1 Sixth Byte	В данном поле содержится шестой байт MAC Address. Соответствует шестому передаваемому байту поля DA	R/W	8'h00
31:16	-	Не используется		

19.3.1.28 MAC Address#2 High Register (Смещение: 0x012C)

Регистр старшей части MAC адреса#2 (Таблица 19.29) содержит первые два байта MAC адреса#2, как представлено в каноническом формате. Канонический формат показывает, в какой последовательности байты передаются на интерфейс Ethernet. Регистры средней части MAC адреса#2 и младшей части MAC адреса#2 содержат остаток 48-битного MAC адреса#2.

Таблица 19.29. MAC Address#2 High Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	MAC Address#2 First Byte	В данном поле содержится первый байт MAC Address. Соответствует первому передаваемому байту поля DA	R/W	8'h00
15:8	MAC Address#2 Second Byte	В данном поле содержится второй байт MAC Address. Соответствует второму передаваемому байту поля DA	R/W	8'h00
31:16	-	Не используется		

19.3.1.29 MAC Address#2 Med Register (Смещение: 0x0130)

Регистр средней части MAC адреса#2 (Таблица 19.30) содержит средние два байта MAC адреса#2, как представлено в каноническом формате. Канонический формат показывает, в какой последовательности байты передаются на интерфейс Ethernet. Регистры старшей части MAC адреса#2 и младшей части MAC адреса#2 содержат остаток 48-битного MAC адреса#2.

Таблица 19.30. MAC Address#2 Med Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	MAC Address#2 Third Byte	В данном поле содержится третий байт MAC Address. Соответствует первому передаваемому байту поля DA	R/W	8'h00
15:8	MAC Address#2 Fourth Byte	В данном поле содержится четвертый байт MAC Address. Соответствует четвертому передаваемому байту поля DA	R/W	8'h00
31:16	-	Не используется		

19.3.1.30 MAC Address#2 Low Register (Смещение: 0x0134)

Регистр младшей части MAC адреса#2 (Таблица 19.31) содержит младшие два байта MAC адреса#2, как представлено в каноническом формате. Канонический формат показывает, в какой последовательности байты передаются на интерфейс Ethernet. Регистры старшей части MAC адреса#2 и средней части MAC адреса#2 содержат остаток 48-битного MAC адреса#2.

Таблица 19.31. MAC Address#2 Low Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	MAC Address#2 Fifth Byte	В данном поле содержится пятый байт MAC Address. Соответствует пятому передаваемому байту поля DA	R/W	8'h00
15:8	MAC Address#2 Sixth Byte	В данном поле содержится шестой байт MAC Address. Соответствует шестому передаваемому байту поля DA	R/W	8'h00
31:16	-	Не используется		

19.3.1.31 MAC Address#3 High Register (Смещение: 0x0138)

Регистр старшей части MAC адреса#3 (Таблица 19.32) содержит первые два байта MAC адреса#3, как представлено в каноническом формате. Канонический формат показывает, в какой последовательности байты передаются на интерфейс Ethernet. Регистры средней части MAC адреса#3 и младшей части MAC адреса#3 содержат остаток 48-битного MAC адреса#3.

Таблица 19.32. MAC Address#3 High Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	MAC Address#3 First Byte	В данном поле содержится первый байт MAC Address. Соответствует первому передаваемому байту поля DA	R/W	8'h00
15:8	MAC Address#3 Second Byte	В данном поле содержится второй байт MAC Address. Соответствует второму передаваемому байту поля DA	R/W	8'h00
31:16	-	Не используется		

19.3.1.32 MAC Address#3 Med Register (Смещение: 0x013C)

Регистр средней части MAC адреса#3 (Таблица 19.33) содержит средние два байта MAC адреса#3, как представлено в каноническом формате. Канонический формат показывает, в какой последовательности байты передаются на интерфейс Ethernet. Регистры старшей части MAC адреса#3 и младшей части MAC адреса#3 содержат остаток 48-битного MAC адреса#3.

Таблица 19.33. MAC Address#3 Med Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	MAC Address#3 Third Byte	В данном поле содержится третий байт MAC Address. Соответствует первому передаваемому байту поля DA	R/W	8'h00
15:8	MAC Address#3 Fourth Byte	В данном поле содержится четвертый байт MAC Address. Соответствует четвертому передаваемому байту поля DA	R/W	8'h00
31:16	-	Не используется		

19.3.1.33 MAC Address#3 Low Register (Смещение: 0x0140)

Регистр младшей части MAC адреса#3 (Таблица 19.34) содержит младшие два байта MAC адреса#3, как представлено в каноническом формате. Канонический формат показывает, в какой последовательности байты передаются на интерфейс Ethernet. Регистры старшей части MAC адреса#3 и средней части MAC адреса#3 содержат остаток 48-битного MAC адреса#3.

Таблица 19.34. MAC Address#3 Low Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	MAC Address#3 Fifth Byte	В данном поле содержится пятый байт MAC Address. Соответствует пятому передаваемому байту поля DA	R/W	8'h00
15:8	MAC Address#3 Sixth Byte	В данном поле содержится шестой байт MAC Address. Соответствует шестому передаваемому байту поля DA	R/W	8'h00
31:16	-	Не используется		

19.3.1.34 MAC Address#4 High Register (Смещение: 0x0144)

Регистр старшей части MAC адреса#4 (Таблица 19.35) содержит первые два байта MAC адреса#4, как представлено в каноническом формате. Канонический формат показывает, в какой последовательности байты передаются на интерфейс Ethernet. Регистры средней части MAC адреса#4 и младшей части MAC адреса#4 содержат остаток 48-битного MAC адреса#4.

Таблица 19.35. MAC Address#4 High Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	MAC Address#4 First Byte	В данном поле содержится первый байт MAC Address. Соответствует первому передаваемому байту поля DA	R/W	8'h00
15:8	MAC Address#4 Second Byte	В данном поле содержится второй байт MAC Address. Соответствует второму передаваемому байту поля DA	R/W	8'h00
31:16	-	Не используется		

19.3.1.35 MAC Address#4 Med Register (Смещение: 0x0148)

Регистр средней части MAC адреса#4 (Таблица 19.36) содержит средние два байта MAC адреса#, как представлено в каноническом формате. Канонический формат показывает, в какой последовательности байты передаются на интерфейс Ethernet. Регистры старшей части MAC адреса#4 и младшей части MAC адреса#4 содержат остаток 48-битного MAC адреса#4.

Таблица 19.36. MAC Address#4 Med Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	MAC Address#4 Third Byte	В данном поле содержится третий байт MAC Address. Соответствует первому передаваемому байту поля DA	R/W	8'h00
15:8	MAC Address#4 Fourth Byte	В данном поле содержится четвертый байт MAC Address. Соответствует четвертому передаваемому байту поля DA	R/W	8'h00
31:16	-	Не используется		

19.3.1.36 MAC Address#4 Low Register (Смещение: 0x014C)

Регистр младшей части MAC адреса#4 (Таблица 19.37) содержит младшие два байта MAC адреса#4, как представлено в каноническом формате. Канонический формат показывает, в какой последовательности байты передаются на интерфейс Ethernet. Регистры старшей части MAC адреса#4 и средней части MAC адреса#4 содержат остаток 48-битного MAC адреса#4.

Таблица 19.37. MAC Address#4 Low Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	MAC Address#4 Fifth Byte	В данном поле содержится пятый байт MAC Address. Соответствует пятому передаваемому байту поля DA	R/W	8'h00
15:8	MAC Address#4 Sixth Byte	В данном поле содержится шестой байт MAC Address. Соответствует шестому передаваемому байту поля DA	R/W	8'h00
31:16	-	Не используется		

19.3.1.37 MAC Multicast Hash Table#1 Register (Смещение: 0x0150)

Регистр Multicast хеш-таблицы#1 (Таблица 19.38) формирует 64-битную Multicast Хеш-таблицу, которая используется для фильтрации Multicast адресов. Во время хеш-фильтрации содержимое поля Destination Address во входящем фрейме проходят через CRC логику, а верхние 6 бит CRC регистра используются в качестве индекса Хеш-таблицы. Значение *6'b000000* выбирает 0-й бит Хеш-таблицы, значение *6'b111111* выбирает 63-й бит Хеш-таблицы. Если Multicast фрейм - хеширован в Хеш-таблице и соответствующий бит в Хеш-таблице равен «1», то Multicast фрейм принимается, иначе - отклоняется.

Таблица 19.38. MAC Multicast Hash Table#1 Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	Hash Table Bits [15:0]	Это поле определяет младшие 16 бит Multi-Cast Hash таблицы.	R/W	16'h0000
31:16	-	Не используется		

19.3.1.38 MAC Multicast Hash Table#2 Register (Смещение: 0x0154)

Регистр Multicast хеш-таблицы#2 (Таблица 19.39) формирует 64-битную Multicast Хеш-таблицу, которая используется для фильтрации Multicast адресов. Во время хеш-фильтрации содержимое поля Destination Address во входящем фрейме проходят через CRC логику, а верхние 6 бит CRC регистра используются в качестве индекса Хеш-таблицы. Значение *6'b000000* выбирает 0-й бит Хеш-таблицы, значение *6'b111111* выбирает 63-й бит Хеш-таблицы. Если Multicast фрейм - хеширован в Хеш-таблице и соответствующий бит в Хеш-таблице равен «1», то Multicast фрейм принимается, иначе - отклоняется.

Таблица 19.39. MAC Multicast Hash Table#2 Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	Hash Table Bits [31:16]	Это поле определяет биты [31:16] Multi-Cast Hash таблицы.	R/W	16'h0000
31:16	-	Не используется		

19.3.1.39 MAC Multicast Hash Table#3 Register (Смещение: 0x0158)

Регистр Multicast хеш-таблицы#3 (Таблица 19.40) формирует 64-битную Multicast Хеш-таблицу, которая используется для фильтрации Multicast адресов. Во время хеш-фильтрации содержимое поля Destination Address во входящем фрейме проходят через CRC логику, а верхние 6 бит CRC регистра используются в качестве индекса Хеш-таблицы. Значение *6'b000000* выбирает 0-й бит Хеш-таблицы, значение *6'b111111* выбирает 63-й бит Хеш-таблицы. Если Multicast фрейм - хеширован в Хеш-таблице и соответствующий бит в Хеш-таблице равен «1», то Multicast фрейм принимается, иначе - отклоняется.

Таблица 19.40. MAC Multicast Hash Table#3 Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	Hash Table Bits [47:32]	Это поле определяет младшие биты [47:32] Multi-Cast Hash таблицы.	R/W	16'h0000
31:16	-	Не используется		

19.3.1.40 MAC Multicast Hash Table#4 Register (Смещение: 0x015C)

Регистр Multicast хеш-таблицы#4 (Таблица 19.41) формирует 64-битную Multicast Хеш-таблицу, которая используется для фильтрации Multicast адресов. Во время хеш-фильтрации содержимое поля Destination Address во входящем фрейме проходят через CRC логику, а верхние 6 бит CRC регистра используются в качестве индекса Хеш-таблицы. Значение *6'b000000* выбирает 0-й бит Хеш-таблицы, значение *6'b111111* выбирает 63-й бит Хеш-таблицы. Если Multicast фрейм - хеширован в Хеш-таблице и соответствующий бит в Хеш-таблице равен «1», то Multicast фрейм принимается, иначе - отклоняется.

Таблица 19.41. MAC Multicast Hash Table#4 Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	Hash Table Bits [63:48]	Это поле определяет младшие биты [63:48] Multi-Cast Hash таблицы.	R/W	16'h0000
31:16	-	Не используется		

19.3.1.41 MAC Flow-Control Register (Смещение: 0x0160)

Регистр Управления потоком данных MAC (Таблица 19.42) управляет различными особенностями потока данных (генерирование/прием пакета PAUSE) GEMAC ядра, если контроллер работает в дуплексном режиме. Если GEMAC ядро работает в полудуплексном режиме, функциональные возможности управления потоком данных заблокированы, и принимаемые фреймы PAUSE обрабатываются как нормальные пакеты и не декодируются.

Таблица 19.42. MAC Flow-Control Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
0	Flow-Control Decode Enable	Если бит установлен, то в контроллере включаются операции управления потоком, и декодируются все входящие пакеты PAUSE в соответствии со спецификацией IEEE 802.3. Если ядро принимает контролирующий пакет PAUSE, то передача кадров приостанавливается на время, указанное в поле PAUSE_TIME принятого пакета PAUSE. Если бит сброшен, то операции управления потоком выключены, контроллер не декодирует пакеты PAUSE. Использование этого бита возможно только при работе в Full-Duplex режиме.	R/W	1'b0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
1	Flow-Control Generation Enable	Если бит установлен, то включается режим передачи управляющего пакета PAUSE. Пакет PAUSE может передаваться как по программному запросу, так и автоматически, если включен режим автоматической генерации при пересечении верхнего или нижнего уровня заполнения Receive FIFO. Параметры генерируемого пакета PAUSE контролируются отдельно. Если бит сброшен, то ядро не генерирует управляющий пакет PAUSE. Использование этого бита возможно только при работе в Full-Duplex режиме.	R/W	1'b0
2	Auto Flow-Control Generation Enable	Если бит установлен, то контроллер генерирует автоматически управляющий пакет PAUSE при пересечении верхнего или нижнего уровня заполнения Receive FIFO. Если произошло пересечение верхнего уровня заполнения (снизу вверх), то в поле PauseTime пакета PAUSE помещается значение регистра MAC Auto High Pause Time Register. Если произошло пересечение нижнего уровня заполнения (сверху вниз), то в поле PauseTime пакета PAUSE помещается значение регистра MAC Auto Low Pause Time Register.	R/W	1'b0
3	Flow-Control Multi-Cast Mode	Если данный бит установлен, то в поле DA, сгенерированного пакета управления потоком PAUSE, устанавливается зарезервированный Multi-Cast адрес (01:80:C2:00:00:01). Если бит сброшен, то в поле DA, сгенерированного пакета управления потоком PAUSE, устанавливается значение, запрограммированное в регистрах MAC Flow-Control Destination Address High/Med/Low Registers.	R/W	1'b0
4	Block Pause Frames	Если бит установлен, то принятый управляющий пакет PAUSE декодируется, но не передается в память. Эти кадры удаляются из Receive FIFO. Если бит сброшен, то принятый управляющий пакет PAUSE декодируется и передается в память как любой другой пакет.	R/W	1'b0
31:5	-	Не используется		

19.3.1.42 MAC Flow-Control Pause Frame Generate Register (Смещение: 0x0164)

Регистр управления генерированием пакета PAUSE (Таблица 19.43) используется для программного управления процессом генерирования фрейма PAUSE. Содержание сгенерированного пакета PAUSE берется из различных регистров управления потоком данных. Данный регистр обеспечивает механизм установления связи между программным обеспечением и GEMAC ядром, генерирующим фрейм PAUSE, и отображает признак завершения формирования фрейма PAUSE.

Таблица 19.43. MAC Flow-Control Pause Frame Generate Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
0	Generate PAUSE Frame	Установка данного бита информирует ядро о необходимости сформировать управляющий пакет PAUSE. Перед установкой этого бита необходимо убедиться, что он сброшен. Если бит установлен, то ядро старается как можно быстрее сформировать пакет PAUSE. Если передатчик MAC находится в состоянии IDLE, то пакет PAUSE транслируется немедленно. Если передатчик MAC в текущий момент осуществляет передачу, то трансляция пакета PAUSE откладывается до завершения передачи и выдержки IFG интервала. Как только передача управляющего пакета PAUSE завершена, бит сбрасывается. Использование этого бита возможно только при работе в Full-Duplex режиме и установке бита Flow-Control Generation Enable в регистре MAC Flow-Control Register.	R/W	1'b0
31:30	-	Не используется		

19.3.1.43 MAC Flow-Control Source Address High Register (Смещение: 0x0168)

Регистр управления верхней частью адреса источника (Таблица 19.44) содержит первые два байта Source Address (как представлено в Каноническом Формате), используемых в генерируемых фреймах PAUSE. Канонический формат показывает, в какой последовательности байты передаются на интерфейс Ethernet. Регистр управления средней частью адреса источника и регистр управления нижней частью адреса источника содержат оставшуюся часть 48-битного Source Address.

Таблица 19.44. MAC Flow-Control Source Address High Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	MAC Flow-Control Source Address First Byte	В данном поле содержится первый байт Source Address, используемого при формировании управляющего пакета PAUSE. Это первый байт поля SA пакета PAUSE Flow-Control.	R/W	8'h00
15:8	MAC Flow-Control Source Address Second Byte	В данном поле содержится второй байт Source Address, используемого при формировании управляющего пакета PAUSE. Это второй байт поля SA пакета PAUSE Flow-Control.	R/W	8'h00
31:16	-	Не используется		

19.3.1.44 MAC Flow-Control Source Address Med Register (Смещение: 0x016C)

Регистр управления средней частью адреса источника (Таблица 19.45) содержит средние два байта Source Address (как представлено в Каноническом Формате), используемых в генерируемых фреймах PAUSE. Канонический формат показывает, в какой последовательности байты передаются на интерфейс Ethernet. Регистр управления верхней частью адреса источника и регистр управления нижней частью адреса источника содержат оставшуюся часть 48-битного Source Address.

Таблица 19.45. MAC Flow-Control Source Address Med Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	MAC Flow-Control Source Address Third Byte	В данном поле содержится третий байт Source Address, используемого при формировании управляющего пакета PAUSE. Это третий байт поля SA пакета PAUSE Flow-Control.	R/W	8'h00
15:8	MAC Flow-Control Fourth Address Second Byte	В данном поле содержится четвертый байт Source Address, используемого при формировании управляющего пакета PAUSE. Это четвертый байт поля SA пакета PAUSE Flow-Control.	R/W	8'h00
31:16	-	Не используется		

19.3.1.45 MAC Flow-Control Source Address Low Register (Смещение: 0x0170)

Регистр управления нижней частью адреса источника (Таблица 19.46) содержит последние два байта Source Address (как представлено в Каноническом Формате), используемых в генерируемых фреймах PAUSE. Канонический формат показывает, в какой последовательности байты передаются на интерфейс Ethernet. Регистр управления верхней частью адреса источника и регистр управления средней частью адреса источника содержат оставшуюся часть 48-битного Source Address.

Таблица 19.46. MAC Flow-Control Source Address Low Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	MAC Flow-Control Source Address Fifth Byte	В данном поле содержится пятый байт Source Address, используемого при формировании управляющего пакета PAUSE. Это пятый байт поля SA пакета PAUSE Flow-Control.	R/W	8'h00
15:8	MAC Flow-Control Sixth Address Second Byte	В данном поле содержится шестой байт Source Address, используемого при формировании управляющего пакета PAUSE. Это шестой байт поля SA пакета PAUSE Flow-Control.	R/W	8'h00
31:16	-	Не используется		

19.3.1.46 MAC Flow-Control Dst. Address High Register (Смещение: 0x0174)

Регистр управления верхней частью адреса назначения (Таблица 19.47) содержит первые два байта Destination Address (как представлено в Каноническом Формате), используемых в генерируемых фреймах PAUSE (только при работе с Unicast адресами). Канонический формат показывает, в какой последовательности байты передаются на интерфейс Ethernet. Регистр управления средней частью адреса назначения и регистр управления нижней частью адреса назначения содержат оставшуюся часть 48-битного Destination Address.

Таблица 19.47. MAC Flow-Control Dst. Address High Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	MAC Flow-Control Destination Address First Byte	В данном поле содержится первый байт Destination Address, используемого при формировании управляющего пакета PAUSE. Это первый байт поля DA пакета PAUSE Flow-Control.	R/W	8'h00
15:8	MAC Flow-Control Destination Address Second Byte	В данном поле содержится второй байт Destination Address, используемого при формировании управляющего пакета PAUSE. Это второй байт поля DA пакета PAUSE Flow-Control.	R/W	8'h00
31:16	-	Не используется		

19.3.1.47 MAC Flow-Control Dst. Address Med Register (Смещение: 0x0178)

Регистр управления средней частью адреса назначения (Таблица 19.48) содержит средние два байта Destination Address (как представлено в Каноническом Формате), используемых в генерируемых фреймах PAUSE (только при работе с Unicast адресами). Канонический формат показывает, в какой последовательности байты передаются на интерфейс Ethernet. Регистр управления верхней частью адреса назначения и регистр управления нижней частью адреса назначения содержат оставшуюся часть 48-битного Destination Address.

Таблица 19.48. MAC Flow-Control Dst. Address Med Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	MAC Flow-Control Destination Address Third Byte	В данном поле содержится третий байт Destination Address, используемого при формировании управляющего пакета PAUSE. Это третий байт поля DA пакета PAUSE Flow-Control.	R/W	8'h00
15:8	MAC Flow-Control Destination Address Fourth Byte	В данном поле содержится четвертый байт Destination Address, используемого при формировании управляющего пакета PAUSE. Это четвертый байт поля DA пакета PAUSE Flow-Control.	R/W	8'h00
31:16	-	Не используется		

19.3.1.48 MAC Flow-Control Dst. Address Low Register (Смещение: 0x017C)

Регистр управления нижней частью адреса назначения (Таблица 19.49) содержит младшие два байта Destination Address (как представлено в Каноническом Формате), используемых в генерируемых фреймах PAUSE (только при работе с Unicast адресами). Канонический формат показывает, в какой последовательности байты передаются на интерфейс Ethernet. Регистр управления верхней частью адреса назначения и регистр управления средней частью адреса назначения содержат оставшуюся часть 48-битного Destination Address.

Таблица 19.49. MAC Flow-Control Dst. Address Low Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	MAC Flow-Control Destination Address Fifth Byte	В данном поле содержится пятый байт Destination Address, используемого при формировании управляющего пакета PAUSE. Это пятый байт поля DA пакета PAUSE Flow-Control.	R/W	8'h00
15:8	MAC Flow-Control Destination Address Sixth Byte	В данном поле содержится шестой байт Destination Address, используемого при формировании управляющего пакета PAUSE. Это шестой байт поля DA пакета PAUSE Flow-Control.	R/W	8'h00
31:16	-	Не используется		

19.3.1.49 MAC Flow-Control Pause Time Value Register (Смещение: 0x0180)

MAC Flow-Control Pause Time Value Register (Таблица 19.50) содержит значение Pause-Time, используемое в сгенерированном пакете PAUSE, если установлен бит Generate Pause Frame в регистре MAC Flow-Control PAUSE Frame Generate Register.

Таблица 19.50. MAC Flow-Control Pause Time Value Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	MAC Flow-Control Pause Time	В данном поле содержится значение Pause-Time, используемое в сгенерированном пакете PAUSE.	R/W	16'h00
31:16	-	Не используется		

19.3.1.50 MAC Flow-Control Auto Gen Hi Pause Time Value Register (Смещение: 0x0184)

Регистр управления значением времени автоматической паузы (Таблица 19.51) содержит значение времени паузы, которое используется при генерировании фрейма PAUSE, если данные в Receive FIFO превысили уровень, установленный регистром *Auto Gen Hi Threshold Register*.

Таблица 19.51. MAC Flow-Control Auto Gen Hi Pause Time Value Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	MAC Flow-Control Auto Gen Pause Time	В данном поле содержится значение Pause-Time, используемое в сгенерированном пакете PAUSE, если пакет сгенерирован при переполнении Receive FIFO.	R/W	16'h00
31:16	-	Не используется		

19.3.1.51 MAC Flow-Control Auto Gen Lo Pause Time Value Register (Смещение: 0x0188)

Регистр управления значения времени автоматической паузы (Таблица 19.52) содержит значение времени паузы, которое используется при генерировании фрейма PAUSE, когда объем данных в Receive FIFO опустился ниже значения прописанного в регистре *Auto Gen Low Threshold Register*, при условии, что до этого было превышение уровня, установленного регистром *Auto Gen Hi Threshold Register*.

Таблица 19.52. MAC Flow-Control Auto Gen Lo Pause Time Value Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	MAC Flow-Control Auto Lo Pause Time	В данном поле содержится значение Pause-Time, используемое в сгенерированном пакете PAUSE, если пакет сгенерирован при опустошении Receive FIFO (пересечении границы Low Threshold после переполнения с пересечением границы High Threshold).	R/W	16'h00
31:16	-	Не используется		

19.3.1.52 MAC Flow-Control Auto Pause Frame Gen Hi Threshold Register (Смещение: 0x018C)

MAC Flow-Control Auto Pause Frame Gen Hi Threshold Register (Таблица 19.53) содержит пороговое значение Receive FIFO, превышение которого влечет формирование пакета PAUSE со значением времени, запрограммированном в регистре *MAC Flow-Control Auto Gen Hi Pause Time Value Register*.

Таблица 19.53. MAC Flow-Control Auto Pause Frame Gen Hi Threshold Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	MAC Flow-Control Auto Pause Frame Gen Hi Threshold	В данном поле содержится пороговое значение Receive FIFO, превышение которого влечет формирование пакета PAUSE со значением времени запрограммированном в регистре <i>MAC Flow-Control Auto Gen Hi Pause Time Value Register</i> .	R/W	16'hFFFF
31:16	-	Не используется		

19.3.1.53 MAC Flow-Control Auto Pause Frame Gen Lo Threshold Register (Смещение: 0x0190)

MAC Flow-Control Auto Pause Frame Gen Lo Threshold Register (Таблица 19.54) содержит пороговое значение Receive FIFO. При понижении количества данных в FIFO ниже этого порога формируется пакет PAUSE со значением времени запрограммированном в регистре *MAC Flow-Control Auto Gen Lo Pause Time Value Register*.

Таблица 19.54. MAC Flow-Control Auto Pause Frame Gen Lo Threshold Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	MAC Flow-Control Auto Pause Frame Gen Lo Threshold	В данном поле содержится пороговое значение Receive FIFO. При понижении количества данных в FIFO ниже этого порога формируется пакет PAUSE со значением времени запрограммированном в регистре <i>MAC Flow-Control Auto Gen Lo Pause Time Value Register</i> .	R/W	16'h00
31:16	-	Не используется		

19.3.1.54 MAC MDIO Control Register (Смещение: 0x01A0)

Регистр управления MDIO (Таблица 19.55) используется для управления формированием MDIO пакетов к внешнему чипу PHY. Этот регистр содержит различные поля MDIO пакета, такие как адрес PHY, адрес регистра и т.д.

Таблица 19.55. MAC MDIO Control Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
4:0	PHY Address	Данные биты используются для формирования поля PHY Address пакета MDIO.	R/W	5'b0
9:5	Register Address	Данные биты используются для формирования поля Register Address пакета MDIO.	R/W	5'b0
10	MDIO Read/Write	Данный бит определяет тип обмена, который будет осуществлен при старте MDIO транзакции. 1'b1: чтение 1'b0: запись	R/W	1'b0
14:11	-	Не используется		
15	Start MDIO Transaction	Установка этого бита ведет к формированию MDIO пакета. Перед установкой бита необходимо убедиться, что он очищен. Когда бит установлен – контроллер формирует пакет, используя ранее запрограммированные поля данного регистра. Если осуществляется запись, то регистр MDIO Data Register используется в качестве источника данных. Если осуществляется чтение, то регистр MDIO Data Register используется в качестве приемника данных. Если бит сбросился, то это означает, что транзакция завершена. При транзакции записи необходимо прописать записываемые данные в регистр MDIO Data Register перед установкой бита старта. При транзакции чтения необходимо прочитать данные из регистра MDIO Data Register после снятия бита старта.	R/W	1'b0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	-	Не используется		

19.3.1.55 MAC MDIO Data Register (Смещение: 0x01A4)

Регистр данных MDIO (Таблица 19.56) содержит 16-разрядные данные, которые будут записаны в регистр PHY, в случае подачи команды записи MDIO либо 16-разрядные прочитанные данные из регистра PHY, в случае подачи команды чтения MDIO.

Таблица 19.56. MAC MDIO Data Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	MDIO Data	Данное поле содержит 16-битовое значение, прочитанное из PHY после операции чтения, или 16-битовое значение, записываемое PHY при операции записи.	R/W	16'h00
31:16	-	Не используется		

19.3.1.56 MAC Receive StatCtr. Control Register (Смещение: 0x01A8)

Регистр статистики приемника (Таблица 19.57) используется для отображения статистических счетчиков приемника GEMAC ядра. Номер читаемого регистра необходимо запрограммировать в соответствующем поле данного регистра. Как только операция чтения будет закончена, прочитанные данные отобразятся в регистрах *MAC Receive StatCtr. Data High/Low Registers*.

Таблица 19.57. MAC Receive StatCtr. Control Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
4:0	Receive Counter Number	Данное поле содержит номер читаемого счетчика статистики приема.	R/W	5'b0
14:5	-	Не используется		
15	Start Receive Counter Read	Установка данного бита является командой контроллеру о необходимость прочитать регистр статистики из внутренней памяти. Перед установкой данного бита необходимо убедиться, что он сброшен. По состоянию данного бита можно определить статус выполняемой операции чтения. Сброс бита означает, что операция чтения выполнена. Для того чтобы узнать значение читаемого регистра статистики, необходимо, после сброса бита, прочитать регистры MAC Receive StatCtr. Data High/Low Registers.	R/W	1'b0
31:16	-	Не используется		

19.3.1.57 MAC Receive StatCtr. Data High Register (Смещение: 0x01AC)

Регистр старшей части статистических данных приемника (Таблица 19.58) содержит верхние 16 бит 32-разрядных данных статистики

Таблица 19.58. MAC Receive StatCtr. Data High Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	Receive StatCtr. Data High	Данное поле содержит старшие 16 бит 32-разрядного Receive Counter, прочитанного в предыдущей операции.	R/W	16'h00
31:16	-	Не используется		

19.3.1.58 MAC Receive StatCtr. Data Low Register (Смещение: 0x01B0)

Регистр младшей части статистических данных приемника (Таблица 19.59) содержит нижние 16 бит 32-разрядных данных статистики.

Таблица 19.59. MAC Receive StatCtr. Data Low Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	Receive StatCtr. Data Low	Данное поле содержит младшие 16 бит 32-разрядного Receive Counter, прочитанного в предыдущей операции.	R/W	16'h00
31:16	-	Не используется		

19.3.1.59 MAC Transmit StatCtr. Control Register (Смещение: 0x01B4)

Регистр статистики передатчика (Таблица 19.60) используется для отображения статистических счетчиков передатчика GEMAC ядра. Номер читаемого регистра необходимо запрограммировать в соответствующем поле данного регистра. Как только операция чтения будет закончена, прочитанные данные отобразятся в регистрах *MAC Transmit StatCtr. Data High/Low Registers*.

Таблица 19.60. MAC Transmit StatCtr. Control Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
4:0	Transmit Counter Number	Данное поле содержит номер читаемого счетчика статистики передачи.	R/W	5'b0
14:5	-	Не используется		

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15	Start Transmit Counter Read	Установка данного бита является командой контроллеру о необходимости прочитать регистр статистики из внутренней памяти. Перед установкой данного бита необходимо убедиться, что он сброшен. По состоянию данного бита можно определить статус выполняемой операции чтения. Сброс бита означает, что операция чтения выполнена. Для того чтобы узнать значение читаемого регистра статистики, необходимо, после сброса бита, прочитать регистры MAC Transmit StatCtr. Data High/Low Registers.	R/W	1'b0
31:16	-	Не используется		

19.3.1.60 MAC Transmit StatCtr. Data High Register (Смещение: 0x01B8)

Регистр старшей части статистических данных передатчика (Таблица 19.61) содержит верхние 16 бит 32-разрядных данных статистики.

Таблица 19.61. MAC Transmit StatCtr. Data High Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	Transmit StatCtr. Data High	Данное поле содержит старшие 16 бит 32-разрядного Transmit Counter, прочитанного в предыдущей операции.	R/W	16'h00
31:16	-	Не используется		

19.3.1.61 MAC Transmit StatCtr. Data Low Register (Смещение: 0x01BC)

Регистр младшей части статистических данных передатчика (Таблица 19.62) содержит нижние 16 бит 32-разрядных данных статистики.

Таблица 19.62. MAC Transmit StatCtr. Data Low Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	Transmit StatCtr. Data High	Данное поле содержит младшие 16 бит 32-разрядного Transmit Counter, прочитанного в предыдущей операции.	R/W	16'h00
31:16	-	Не используется		

19.3.1.62 MAC Transmit FIFO AlmostFull Threshold Register (Смещение: 0x01C0)

Регистр порогового значения полноты FIFO передатчика (Таблица 19.63) содержит пороговое значение, которое используется Transmit FIFO для генерирования «AlmostFull» события к DMA. Это укажет DMA о необходимости приостановить передачу данных от памяти FIFO. Значение, запрограммированное в регистре - количество пустых ячеек при котором будет формироваться событие «AlmostFull».

Таблица 19.63. MAC Transmit FIFO AlmostFull Threshold Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
13:0	Transmit FIFO AlmostFull Threshold	Данное поле содержит количество свободных позиций (32-разрядных слов) оставшихся в Transmit FIFO при котором необходимо сформировать событие AlmostFull. Как только данное событие сформировалось, DMA перестает подгружать следующие данные из памяти. Для правильной работы контроллера значение, запрограммированное в данном поле, должно вычисляться по формуле: Transmit FIFO AlmostFull Threshold = FIFO_SIZE - 14'h0008. Здесь FIFO_SIZE – глубина Transmit FIFO в 32-разрядных словах (FIFO_SIZE = 1024)	R/W	14'h0
31:14	-	Не используется		

19.3.1.63 MAC Transmit Packet Start Threshold Register (Смещение: 0x01C4)

Регистр контроля начала передачи кадра в канал (Таблица 19.64) определяет пороговое значение в байтах заполненности Transmit FIFO. Когда количество данных в Transmit FIFO превышает заданную границу - стартует передача пакета на интерфейс MII/GMII. GEMAC ядро ждет заполнения FIFO до порогового значения или конца пакета в Transmit FIFO, прежде чем инициализировать передачу кадра на интерфейс MII/GMII. Грамотно выбранное значение данного регистра предотвращает переполнение Transmit FIFO и увеличивает пропускную способность шины.

Таблица 19.64. MAC Transmit Packet Start Threshold Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
13:0	Transmit Packet Start Threshold	<p>Данное поле отображает, какое количество байт должно быть помещено в Transmit FIFO для начала передачи в МП/ГМП канал. Для начала передачи ядро ждет заполнения FIFO до указанной границы или признака конца пакета (End of Packet). Высокое значение данного поля уменьшает вероятность возникновения ситуаций, при которых DMA не успевает подгружать передаваемые данные из памяти.</p> <p>Также выбор границы заполнения должен основываться на скорости Ethernet интерфейса. Рекомендуются следующие значения для различных скоростей передачи:</p> <p>10 Mbps: 64 байта 100 Mbps: 128 байта 1000 Mbps: 1024 байта</p> <p>Если записано значение 1518, то передатчик работает в режиме Store and Forward для всех пакетов независимо от скорости интерфейса.</p> <p>Записывать значения выше 1518 запрещается.</p>	R/W	14'h0
31:14	-	Не используется		

19.3.1.64 MAC Receive Packet Start Threshold Register (Смещение: 0x01C8)

Регистр контроля начала передачи кадра в память (Таблица 19.65) определяет пороговое значение в байтах заполненности Receive FIFO. Когда количество данных в Receive FIFO превышает заданную границу - стартует передача принятого пакета в память. Если полученный пакет меньше чем значение, запрограммированное в этом регистре, пакет сбрасывается из FIFO и не передается памяти. Это исключает формирование маленьких транзакций, что также ведет к увеличению пропускной способности шины.

Таблица 19.65. MAC Receive Packet Start Threshold Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
13:0	Receive Packet Start Threshold	<p>Данное поле отображает, какое количество байт должно быть принято в Receive FIFO для начала передачи данных в память. Пакеты, размер которых меньше данного значения, понимаются как Runt/Fragment, сбрасываются из FIFO и не передаются в память.</p> <p>Если установлено значение 64, то от передачи в память отфильтровываются все Runt пакеты. Значение 0 в данном поле конфигурирует контроллер на передачу в память всех пакетов независимо от размера и поля DA.</p> <p>Для включения адресной фильтрации необходимо занести значение не менее 12.</p> <p>Если установлен бит Store and Forward регистра Mac Receive Control Register, то значение, записанное в данном регистре, игнорируется.</p>	R/W	14'h000E
31:14	-	Не используется		

19.3.1.65 MAC Transmit FIFO AlmostEmpty Threshold Register (Смещение: 0x01CC)

Регистр порогового значения опустошения Transmit FIFO (Таблица 19.66) содержит значение, которое используется Transmit FIFO для формирования «AlmostEmpty» события к DMA. Значение, запрограммированное в регистре - количество занятых ячеек при котором будет формироваться событие «AlmostEmpty».

Таблица 19.66. MAC Transmit FIFO AlmostEmpty Threshold Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
7:0	Transmit FIFO AlmostEmpty Threshold	Данное поле содержит количество занятых позиций (32-разрядных слов) в Transmit FIFO при котором необходимо сформировать событие AlmostEmpty.	R/W	8'h01
31:8	-	Не используется		

19.3.1.66 MAC Status and IRQ Register (Смещение: 0x01E0)

Регистр статуса и запроса на прерывание (Таблица 19.67) отображает информацию о состоянии GEMAC ядра и статусы запросов на прерывание. Биты запроса на прерывание используются для формирования запроса на прерывание CPU.

Таблица 19.67. MAC Status and IRQ Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
0	MAC Underrun IRQ	Установка данного бита говорит о том, что передача пакета в МП/ГМП канал была прекращена из-за того, что DMA не успевает подгружать данные из памяти. MAC выставляет на МП/ГМП интерфейс ошибку EOP/ERR, а поступающие из памяти данные игнорирует. Запрос на прерывание сбрасывается записью единицы.	R/W	1'b0
1	MAC Jabber IRQ	Установка данного бита говорит о том, что обнаружена передача в канале МП/ГМП бессмысленных данных. Длина пакета больше, чем запрограммировано в регистре Transmit Jabber Count Register. MAC обрывает пакет, выставляет на МП/ГМП интерфейс ошибку EOP/ERR, а поступающие из памяти данные игнорирует. Запрос на прерывание сбрасывается записью единицы.	R/W	1'b0
31:2	-	Не используется		

19.3.1.67 MAC Interrupt Enable Register (Смещение: 0x01E4)

Регистр масок запросов на прерывание (Таблица 19.68) используется для управления различными запросами на прерывание.

Таблица 19.68. MAC Interrupt Enable Register

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
0	MAC Underrun Interrupt Enable	Если данный бит установлен, то MAC Underrun IRQ используется для формирования запроса на прерывание по АНВ шине. Если данный бит сброшен, то MAC Underrun IRQ не используется для формирования запроса на прерывание по АНВ шине.	R/W	1'b0
1	MAC Jabber un Interrupt Enable	Если данный бит установлен, то MAC Jabber IRQ используется для формирования запроса на прерывание по АНВ шине. Если данный бит сброшен, то MAC Jabber IRQ не используется для формирования запроса на прерывание по АНВ шине.	R/W	1'b0
31:2	-	Не используется		

19.3.1.68 MAC VLAN TPID Registers (Смещение: 0x01E8, 0x01EC, 0x01F0)

Регистры VLAN TPID (Таблица 19.69, Таблица 19.70, Таблица 19.71) используется для конфигурирования VLAN TPID значений, которые используются при обнаружении VLAN пакета при составлении Max Frame Length. Значения по умолчанию достаточны для обнаружения обычных VLAN TPID значений, которые используются в типичных приложениях.

Таблица 19.69. MAC VLAN TPID#1 Registers

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	MAC VLAN TPID#1	Данное поле содержит первое из трех значений TPID, используемое для обнаружения VLAN поля.	R/W	16'h8100

Таблица 19.70. MAC VLAN TPID#2 Registers

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	MAC VLAN TPID#2	Данное поле содержит второе из трех значений TPID, используемое для обнаружения VLAN поля.	R/W	16'h9100

Таблица 19.71. MAC VLAN TPID#3 Registers

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	MAC VLAN TPID#3	Данное поле содержит третье из трех значений TPID, используемое для обнаружения VLAN поля.	R/W	16'h88A8

19.4 Программная модель

GEMAC ядро пересылает пакеты, принятые по МП/ГМП интерфейсу, в буфер приема, находящийся во внешней памяти, а также пересылает пакеты, отправляемые по МП/ГМП интерфейсу, из буфера передачи, находящегося во внешней памяти. Дескрипторы, хранящиеся во внешней памяти, содержат указатели на эти буферы. Receive и Transmit FIFO, входящие в ядро GEMAC, служат для временного хранения передающихся и принимающихся кадров.

Используются два списка дескрипторов, один для передачи, и один для приема. Базовый адрес каждого списка хранится в регистре *DMA Base Address Registers*. Список дескрипторов связан (явно или неявно). Для того чтобы создать кольцевую структуру списка, последний дескриптор должен указывать на первый. Явное формирование цепочек дескрипторов достигается установкой бит *Second Address Chained* в дескрипторах передачи и приема. Список дескрипторов постоянно находится во внешней памяти. Каждый дескриптор может указывать максимум на два буфера. Это дает возможность использования двух буферов по двум различным физическим адресам.

Буфер данных может содержать часть пакета, пакет целиком, но не может превышать размер пакета. Буфер содержит только данные. Вся информация о буфере содержится в дескрипторе. Для пакетов расположенных в нескольких буферах формируются цепочки данных. Формирование цепочек данных можно разрешить или заблокировать. Буферы данных постоянно находятся во внешней памяти.

Рисунок 19.2 показывает пример кольцевой структуры дескрипторов. Здесь каждый дескриптор поддерживает до двух буферов, и следующий дескриптор следует за текущим. Последний дескриптор может указывать на первый.

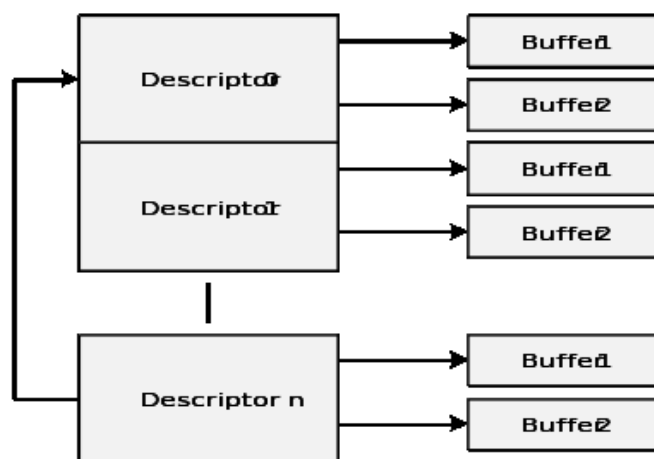


Рисунок 19.2. Кольцевая структура дескриптора

На Рисунок 19.3 показан пример цепочки дескрипторов. Здесь каждый дескриптор указывает только на один буфер. Адрес следующего дескриптора будет частью текущего дескриптора.

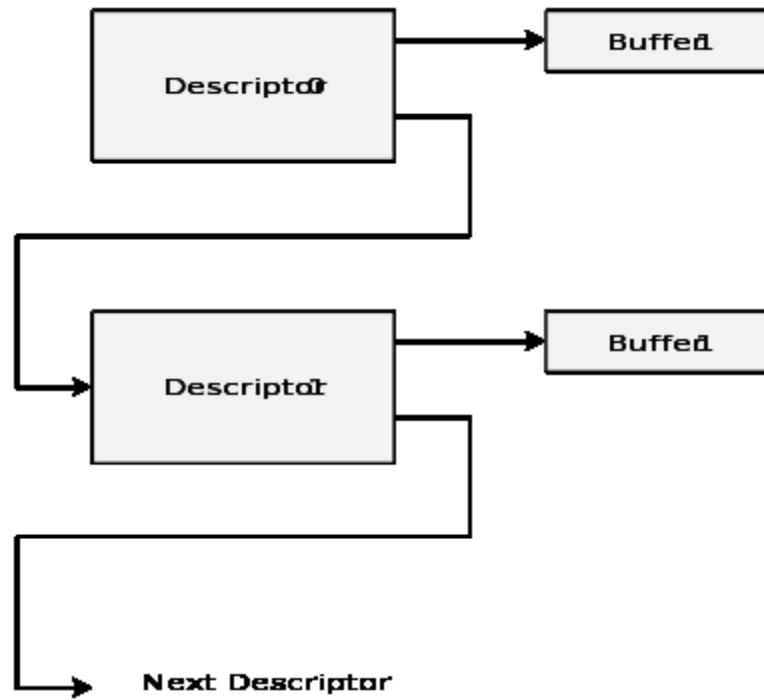


Рисунок 19.3. Цепочка дескрипторов

19.4.1 Дескрипторы приема

На Рисунок 19.4 представлена структура дескриптора приема. Дескрипторы должны быть выровнены по 32-разрядной границе, буфер приема выравнивается в соответствии с конфигурацией DMA. Поддержка двух буферов, двух счетчиков байтов и двух указателей адреса в каждом дескрипторе позволяет порту быть совместимым с различными типами схем размещения памяти.

RDEB	O	Status	
	W		
RDES	N	ByteCountBuffer2	ByteCountBuffer1
	Control		
RDEB	Buffer Addresss		
RDES	Buffer Addresss		

Рисунок 19.4. Структура дескриптора приема

Receive Descriptor 0 (RDES0)

RDES0 (Таблица 19.72. Receive Descriptor 0 (RDES0)) содержит статус принятого пакета, включая его длину, монопольную информацию дескриптора, а также разделители пакета.

Таблица 19.72. Receive Descriptor 0 (RDES0)

Номер разряда	Условное обозначение	Назначение
31	Own Bit	Признак готовности дескриптора. 1'b1: дескриптор готов к использованию 1'b0: дескриптор не готов DMA сбрасывает этот бит после приема пакета или при заполнении соответствующего данному дескриптору буфера.
30	First Descriptor	Если установлен данный бит, то дескриптор содержит первый буфер пакета. Если размер первого буфера равен нулю, то начало пакета содержится во втором буфере. Если размер второго буфера равен нулю, то начало пакета содержится во втором дескрипторе.
29	Last Descriptor	Если установлен данный бит, то дескриптор указывает на последний буфер пакета. В зависимости от длины пакета второй буфер может содержать данные или быть пустым.
28:14	Application Status	Это поле используется для хранения статуса пакета при условии, что установлен бит Last Descriptor.
13:0	Frame/Packet Length	Длина пакета (в байтах) передаваемого из Receive FIFO в память. Значение данного поля достоверно только тогда, когда установлен бит Last Descriptor.

19.4.1.1 Receive Descriptor 1 (RDES1)

RDES1 (Таблица 19.73) содержит контрольную информацию о структуре дескриптора, а также длину буферов #1 и #2.

Таблица 19.73. Receive Descriptor 1 (RDES1)

Номер разряда	Условное обозначение	Назначение
31:27	-	Не используется
26	End of the Ring	Установка данного бита указывает о достижении последнего дескриптора в списке. DMA возвращается к базовому адресу кольцевого списка дескрипторов.
25	Second Address Chained	Если установлен данный бит, то второй адрес дескриптора указывает не на второй буфер, а на следующий дескриптор. Этот бит используется при создании цепочек дескрипторов.
24	-	Не используется
23:12	Buffer 2 Size	Размер в байтах второго буфера данных. Если значение этого поля равно нулю, то DMA игнорирует этот буфер и выбирает следующий дескриптор. Значение размера буфера должно лежать в диапазоне от 0 до 4095 байт. Это поле недостоверно, если установлен бит Second Address Chained.
11:0	Buffer 1 Size	Размер в байтах первого буфера данных. Если значение этого поля равно нулю, то DMA игнорирует этот буфер и использует буфер 2. Значение размера буфера должно лежать в диапазоне от 0 до 4095 байт.

19.4.1.2 Receive Descriptor 2 (RDES2)

RDES2 (Таблица 19.74) содержит указатель (физический адрес) на буфер #1

Таблица 19.74. Receive Descriptor 2 (RDES2)

Номер разряда	Условное обозначение	Назначение
31:0	Buffer Address 1	Отображает физический адрес первого буфера данных. На выравнивание начального адреса буфера не накладывается никаких ограничений.

19.4.1.3 Receive Descriptor 3 (RDES3)

RDES3 (Таблица 19.75) содержит указатель (физический адрес) на буфер #2 или, если используется структура списка связей, содержит указатель (физический адрес) следующего дескриптора.

Таблица 19.75. Receive Descriptor 3 (RDES3)

Номер разряда	Условное обозначение	Назначение
31:0	Buffer Address 2	Отображает физический адрес второго буфера данных. На выравнивание начального адреса буфера не накладывается никаких ограничений. Если установлен бит Second Address Chained, то данное поле содержит физический адрес следующего дескриптора. В этом случае адрес должен быть выровнен по 32-разрядной границе.

19.4.2 Дескрипторы передачи.

На Рисунок 19.5 представлена структура дескриптора передачи. Дескрипторы должны быть выровнены по 32-разрядной границе, буфер передачи выравнивается в соответствии с конфигурацией DMA. Поддержка двух буферов, двух счетчиков байтов и двух указателей адреса в каждом дескрипторе позволяет порту быть совместимым с различными типами схем размещения памяти.

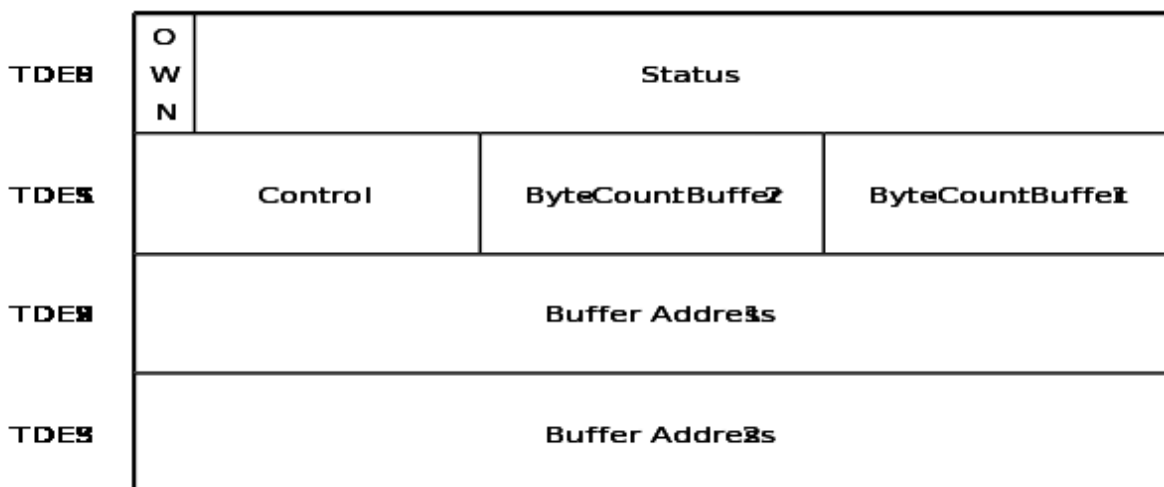


Рисунок 19.5. Структура дескриптора передачи

19.4.2.1 Transmit Descriptor 0 (TDES0)

TDES0 (Таблица 19.76) содержит статус передающегося пакета и монопольную информацию дескриптора.

Таблица 19.76. Transmit Descriptor 0 (TDES0)

Номер разряда	Условное обозначение	Назначение
31	Own Bit	Признак готовности дескриптора. 1'b1: дескриптор готов к использованию 1'b0: дескриптор не готов DMA сбрасывает этот бит после передачи пакета, или при опустошении соответствующего данному дескриптору буфера.
30:0	Transmit Frame/Package Status	Это поле используется для хранения статуса пакета, при условии, что установлен бит Last Segment.

19.4.2.2 Transmit Descriptor 1 (TDES1)

TDES1 (Таблица 19.77) содержит контрольную информацию о структуре дескриптора, разделители пакета, а также длину буферов #1 и #2.

Таблица 19.77. Transmit Descriptor 1 (TDES1)

Номер разряда	Условное обозначение	Назначение
31	Interrupt On Completion	Если данный бит установлен, то DMA после передачи пакета выставляет запрос на прерывание. Этот бит достоверен, если установлен бит Last Segment.
30	Last Segment	Если данный бит установлен, то буфер содержит последний сегмент пакета.
29	First Segment	Если данный бит установлен, то буфер содержит первый сегмент пакета.
28	Add CRC Disable	Если данный бит установлен, то вычисление и вставка поля FCS не производится. Если бит сброшен, то FCS вычисляется и вставляется в конец пакета. Этот бит достоверен, если установлен бит First Segment.
27	Disable Padding	Установка данного бита отключает добавление поля PAD к пакетам, размер которых менее 64 байт. Если бит сброшен, то в пакет добавляется поле PAD до значения minFrameSize (64 байта). Этот бит достоверен, если установлен бит First Segment.
26	End of the Ring	Установка данного бита указывает о достижении последнего дескриптора в списке. DMA возвращается к базовому адресу кольцевого списка дескрипторов.
25	Second Address Chained	Если установлен данный бит, то второй адрес дескриптора указывает не на второй буфер, а на следующий дескриптор. Этот бит используется при создании цепочек дескрипторов
24	Force EOP Error	Если данный бит установлен, то DMA контроллер формирует EOP с ошибкой к FIFO интерфейсу. Это используется для удаления сформированного пакета. Этот бит достоверен, если установлен бит Last Segment.
23:12	Buffer 2 Size	Размер в байтах второго буфера данных. Если значение этого поля равно нулю, то DMA игнорирует этот буфер и выбирает следующий дескриптор. Значение размера буфера должно лежать в диапазоне от 0 до 4095 байт. Это поле недостоверно, если установлен бит Second Address Chained.
11:0	Buffer 1 Size	Размер в байтах первого буфера данных. Если значение этого поля равно нулю, то DMA игнорирует этот буфер и использует буфер 2. Значение размера буфера должно лежать в диапазоне от 0 до 4095 байт.

19.4.2.3 Transmit Descriptor 2 (TDES2)

TDES2 (Таблица 19.78) содержит указатель (физический адрес) на буфер #1

Таблица 19.78. Transmit Descriptor 2 (TDES2)

Номер разряда	Условное обозначение	Назначение
31:0	Buffer Address 1	Отображает физический адрес первого буфера данных. На выравнивание начального адреса буфера, не накладывается никаких ограничений.

19.4.2.4 Transmit Descriptor 3 (TDES3)

TDES3 (Таблица 19.79) содержит указатель (физический адрес) на буфер #2 или, если используется структура списка связей, содержит указатель (физический адрес) следующего дескриптора.

Таблица 19.79. Transmit Descriptor 3 (TDES3)

Номер разряда	Условное обозначение	Назначение
31:0	Buffer Address 2	Отображает физический адрес второго буфера данных. На выравнивание начального адреса буфера не накладывается никаких ограничений. Если установлен бит Second Address Chained, то данное поле содержит физический адрес следующего дескриптора. В этом случае адрес должен быть выровнен по 32-разрядной границе.

19.4.3 Формат дескриптора в памяти

Поскольку дескрипторы - структурированные данные, они должны формироваться в памяти в определенном порядке. Для увеличения гибкости GEMAC ядро поддерживает различные форматы представления дескриптора в памяти. *Descriptor Byte Order* (13-й бит DMA Configuration Register) используются для выбора для конфигурации GEMAC в зависимости от принципа формирования дескриптора. GEMAC ядро автоматически перестроит прочитанные данные дескриптора, как показано на Рисунок 19.2 и Рисунок 19.3 для дескрипторов передачи и приема.

На Рисунок 19.6 представлено обычное расположение дескриптора, при котором GEMAC ядро ожидает, что в памяти MSB расположен слева, LSB справа. Дескриптор 32-разрядный, соответственно, адрес увеличивается со смещением на 4 байта.

TDES[31:0]
TDES[31:0]
TDES[31:0]
TDES[31:0]

Рисунок 19.6. Обычное расположение дескриптора

TDES[7:0]	TDES[158]	TDES[2316]	TDES[3124]
TDES[7:0]	TDES[158]	TDES[2316]	TDES[3124]
TDES[7:0]	TDES[158]	TDES[2316]	TDES[3124]
TDES[7:0]	TDES[158]	TDES[2316]	TDES[3124]

Рисунок 19.7. Расположение дескриптора при установленном бите Descriptor Byte Order

Если Descriptor Byte Order (бит 13 DMA Configuration Register) установлен, то дескриптор располагается в памяти как показано на Рисунок 19.7.

19.4.4 Порядок расположения данных в памяти

Для выбора принципа хранения данных в буфере используется *Big/Little Endian Bit* (14-й бит DMA Configuration Register).

Начало расположения буфера в памяти может быть выровнено до байта. Рисунок 19.8 представлен Little Endian формат расположения данных. Byte0 – первым передается в канал Ethernet, далее следуют Byte1, Byte2, Byte3 ... ByteN.

Byte3	Byte2	Byte1	Byte0
Byte7	Byte6	Byte5	Byte4
Byte11	Byte10	Byte9	Byte8
Byte15	Byte14	Byte13	Byte12
...
ByteN	ByteN1	ByteN2	ByteN3

Рисунок 19.8. Little Endian формат буфера

Если установлен бит *Big/Little Endian Bit 0* (14-й бит DMA Configuration Register), GEMAC контроллер ожидает, что данные в буфере расположены в Big Endian формате (Рисунок 19.9). Byte0 – первым передается в канал Ethernet, далее следуют Byte1, Byte2, Byte3 ... ByteN.

Byte0	Byte1	Byte2	Byte3
Byte4	Byte5	Byte6	Byte7
Byte8	Byte9	Byte10	Byte11
Byte12	Byte13	Byte14	Byte15
...
ByteN3	ByteN2	ByteN1	ByteN

Рисунок 19.9. Big Endian формат буфера

19.5 Функциональное описание GEMAC

GEMAC ядро полностью поддерживает выполнение стандарта IEEE 802.3 на MAC уровне. MAC выполняет Full-Duplex и Half-Duplex операции при работе в режиме 10/100 Mbps и выполняет Full-Duplex операции при работе в режиме 1000 Mbps. MAC поддерживает 802.3 и Ethernet формат пакетов. Передающиеся данные пакета формируются в соответствии с IEEE 802.3 пункт 24. Аналогично, принятые данные распаковываются в соответствии с IEEE 802.3 пункт 24.

Поддерживается работа с Ethernet пакетами длиной от 64 до 1518 байт, не считая преамбулу и стартовый разделитель пакета. Ethernet пакет состоит из следующих частей:

Preamble

Start frame delimiter (SFD)

Two address fields

Type or length field

Data field

Frame check sequence (CRC value)

На Рисунок 19.10 представлен формат Ethernet пакета (передается слева направо).

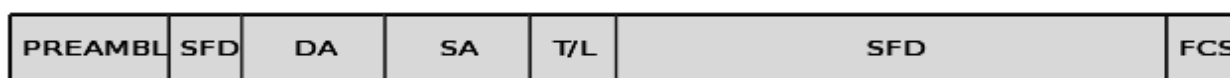


Рисунок 19.10. Формат Ethernet пакета

В Таблица 19.80 отображено описание полей Ethernet пакета.

Таблица 19.80. Описание полей Ethernet пакета

Поле	Назначение
PREAMBLE	7-байтовое поле из последовательно меняющихся друг друга нулей и единиц. В преамбуле байт представлен в виде 8'h55 (8'b10101010), младший бит принимается и передается первым.
SFD	Однобайтовое поле, обозначающее начало пакета 8'hD5 (8'b11010101). Младший бит принимается и передается первым.
DA	Шестибайтовое поле, содержащее индивидуальный, широковещательный или групповой адрес станции к которой направлен пакет.
SA	Шестибайтовое поле, содержащее индивидуальный адрес станции в которой сформировался пакет.
T/L	Двухбайтовое поле (Type/Length) определяющее формат кадра. Если значение поля больше или равно 16'h0600, то поле интерпретируется как поле Type, которое определяет тип протокола фрейма. Такой пакет называется Ethernet Type. Если значение поля меньше или равно 16'h05EE, то поле интерпретируется как поле Length, которое определяет количество байт во фрейме. Такой пакет называется 802.3.
DATA	Поле дата содержит от 46 до 1500 байт данных. Если данных меньше чем 46 байт, то они дополняются до 46 байт полем PAD.
FCS	Поле содержит результат (подсчитанный для полей DA, SA, T/L, DATA) 32-битной циклической проверки (CRC) передаваемого кадра. Поле FCS добавляется ко всем передаваемым кадрам и используется приемником для определения достоверности принятого пакета.

GEMAC ядро поддерживает Jumbo пакеты с нестандартной длиной до 4096 байт.

19.5.1 Передача пакета

В следующей секции детально описывается процесс передачи пакетов, который состоит из настройки дескриптора, буфера, настройки GEMAC ядра и, наконец, механизма передачи фрейма в MII/GMII интерфейс.

19.5.1.1 Подготовка пакета

CPU подготавливает передаваемый пакет, сохраняя полное содержимое фрейма (DA, SA, T/L, DATA и, опционально, FCS) в одном или нескольких буферах. Буфер может начинаться и заканчиваться с любой байтовой границы. Также готовится и размещается в памяти дескриптор передачи, соответствующий данному буферу, после чего подается команда GEMAC для загрузки дескриптора. Каждому передающемуся пакету может соответствовать один или несколько дескрипторов передачи. После загрузки дескриптора передачи, контроллер выбирает данные из внешней памяти и передает их во внутреннее Transmit FIFO. Формирование кадра начинается, когда количество данных в Transmit FIFO достигает запрограммированной границы, или, когда в Transmit FIFO загружен кадр полностью. Выбор границы заполнения FIFO основывается на скорости Ethernet операций и пропускной способности внутренней шины. Чем ниже скорость работы интерфейса Ethernet, тем ниже устанавливается граница заполнения FIFO. Грамотно выбранная граница заполнения Transmit FIFO предотвращает его переполнение. Формированием передающегося фрейма занимается расположенная в GEMAC ядре FSM, которая задерживает фактическую передачу данных на MII/GMII до тех пор, пока не выполнится условие минимального промежутка между кадрами Inter Frame Gap (IFG).

19.5.1.2 Формирование пакета

Формирование передаваемого фрейма подразумевает добавление 56-ти бит преамбулы, 8-ми бит SFD признака старта пакета (перед полем DA) и, опционально, 4-х байт FCS (после поля DATA в конце фрейма). Чтобы соблюсти ограничение minFrameSize (64 байта), поле DATA дополняется полем PAD (нулевыми данными). Дополнение полем PAD происходит, если поле DATA меньше 46 байт и дополнение не отключено в первом дескрипторе. CRC вычисляется согласно алгоритму, описанному в спецификации IEEE 802.3, с первого байта поля DA до последнего байта поля DATA, включая поле PAD (если оно было добавлено). Подсчитанная CRC добавляется в FCS поле передаваемого кадра. Можно отключить вставку FCS и подсчет CRC установкой бита Disable FCS Insertion в первом дескрипторе. Данная функция может быть полезна в том случае, когда CRC уже подсчитана и располагается вместе с кадром в памяти. В этом режиме к передаваемому кадру добавляется только преамбула и SFD.

19.5.1.3 Задержка фрейма, столкновение и повторная передача

Задержка передачи, столкновение фреймов и повторная передача возможны только при работе в Half-Duplex режиме. Эти функции реализованы в соответствии с протоколом CSMA/CD определенном в спецификации IEEE 802.3. В режиме Full-Duplex операции приема и передачи независимы, контроллер следит лишь за плотностью кадров (IFG).

В Half-Duplex режиме GEMAC ядро постоянно контролирует MII/GMII интерфейс. Передача кадра начинается только после простоя шины в 96-bit times (24 периода

тактовой частоты MII или 12 периодов тактовой частоты GMII). В случае повторной передачи после столкновения к 96-bit times добавляется требуемая пауза.

IFG разбит на две части - IFG1 и IFG2:

IFG1 time (60-bit time): GEMAC контролирует время простоя MII/GMII интерфейса. Если обнаружена передача (установлен CRS сигнал), и в это время фрейм ожидает передачу, то передача откладывается до освобождения интерфейса, и отсчет IFG начинается заново.

IFG2 time (36-bit time): Если обнаружена передача (установлен CRS сигнал), и в это время фрейм ожидает передачу, то GEMAC продолжает подсчет IFG. Передача начинается, когда IFG достигает значения 96-bit times, что ведет к столкновению кадров. Это обеспечивает равномерное использование интерфейса Ethernet всеми станциями.

Столкновение происходит, когда на Ethernet интерфейс одновременно выходит два или более Ethernet устройств. Когда GEMAC во время передачи обнаруживает столкновение, передача фрейма прекращается, и вместо кадра передается 32-разрядное JAM сообщение, состоящее из шестнадцатеричного 55555555. После передачи JAM сообщения начинается отсчет периода возврата (backoff wait period). Если коллизия обнаружена во время передачи преамбулы, то GEMAC ядро заканчивает передачу преамбулы, SFD, а лишь затем передает JAM сообщение. Это обеспечивает длину передаваемого пакета не менее 96 бит, как определено в спецификации. Повторная передача пакета выполняется после выдержки периода ожидания, основанного на двоичном экспоненциальном алгоритме. Задержка возврата является целочисленным множителем Slot Times (512 bit times). Количество Slot Times задержек перед n-ой попыткой передачи выбирается как случайное целое число r в диапазоне:

$$0 \leq r \leq 2^k$$

$$k = \min(n, N), \text{ где } N = 10$$

После 16-ти неудачных повторных попыток передачи GEMAC ядро прекращает передачу, сбрасывает передаваемый кадр из Transmit FIFO и инкрементирует счетчик чрезмерного количества коллизий.

19.5.1.4 Завершение пакета

Передача пакета может быть завершена нормально или с ошибкой. Кадр считается успешно переданным, если передан последний байт поля FCS. Нормальная передача заканчивается изменением статистических счетчиков передатчика. При ненормальных условиях кадр завершается с ошибкой. Различаются следующие ошибочные ситуации поддерживаемые ядром:

Excessive Collision: В Half Duplex режиме передача заканчивается коллизией в 16 повторных передачах. Фрейм сбрасывается из Transmit FIFO. Счетчик Excessive Collision обновляется после смены дескриптора.

Late Collision: Если в Half Duplex режиме столкновение обнаружено после нормального окна коллизии (64-байта) от преамбулы, то передача кадра прекращается. Оставшаяся часть кадра сбрасывается из Transmit FIFO. Счетчик Late Collision обновляется после смены дескриптора.

Underflow: Если передающиеся данные не доступны во время передачи кадра, то передача заканчивается с ошибкой, CRC инвертируется. GEMAC ядро выставляет запрос на прерывание. Это случается, когда выбран очень низкий порог передачи, или в случае сильной загруженности шины АНВ. Контроллер удалит недоступные на этапе передачи кадра данные сразу, как они будут догружены в Transmit FIFO.

Jabber Length Exceeded: Если при передаче бессмысленных данных превышена длина Jabber Length, передача кадра прекращается, CRC инвертируется. GEMAC ядро выставляет запрос на прерывание. Оставшаяся часть кадра сбрасывается из Transmit FIFO.

После того как передача фрейма завершена (нормально или с ошибкой), и дескриптор отработан, ядро выставляет Transmit Interrupt и пытается выбрать следующий дескриптор. Если передатчик выключен во время передачи, то отключение происходит после завершения передачи текущего кадра.

19.5.2 Прием пакета

В следующей секции детально описывается процесс приема пакетов, который состоит из самого приема фрейма, анализа ошибок и, наконец, механизма передачи принятого фрейма в буфер приема.

19.5.2.1 Прием и распаковка кадра

GEMAC непрерывно контролирует МП/ГМП интерфейс на наличие активности. Когда обнаружена активность, принимающая логика начинает обрабатывать данные преамбулы и SFD. Для правильной распаковки кадра GEMAC ядро должно принять от 0 до 7 байт преамбулы и SFD. Если при приеме преамбулы и SFD возникает ошибка, то прием пакета прерывается, а приемник перезапускается для ожидания следующего кадра.

Данные передающиеся после SFD (от поля DA) принимаются и сохраняются в Receive FIFO. Данные преамбулы и SFD удаляются из полученного пакета до сохранения в FIFO. Если включена фильтрация адреса, содержимое поля DA сравнивается с запрограммированными адресами или с Multicast хеш-таблицей в случае Multicast пакета. Если результат положительный, пакет принимается, в противном случае – удаляется из

Receive FIFO. В следующем разделе описаны механизмы фильтрации адресов, поддерживаемые ядром.

Подсчет CRC начинается с первого байта поля DA и заканчивается последним байтом пакета, включая поле FCS. Если анализ CRC прошел успешно, то кадр принимается, в противном случае, если ядро не запрограммировано на прием кадров с ошибками, кадр отбрасывается. Контроль CRC можно отключить программно.

19.5.2.2 Завершение приема пакета

Прием пакета завершен успешно, если получен признак конца пакета по MII/GMII интерфейсу (снимается сигнал RX_DV). Далее описаны случаи аварийного приема фрейма:

Receive FIFO Overflow: Receive FIFO переполняется, если DMA не успевает выгрузить поступающие в него данные. В этом случае принятый и стоящий в очереди на запись в FIFO кадр сбрасывается. Счетчик сброшенных кадров из-за переполнения FIFO инкрементируется.

Jabber Length Exceeded: Если длина принимаемого кадра превышает значение запрограммированное в регистре Receive Jabber Length, то кадр обрезается, остаток полученного кадра игнорируется. Полученный обрезанный кадр может быть сброшен или передан в память с соответствующим битом ошибки.

Frame Collision: Если при приеме произошло столкновение пакетов, то кадр рассматривается как фрагмент или как короткий (Runt) кадр и может быть сброшен или передан в память с соответствующим битом ошибки.

19.5.2.3 Передача пакета в память

DMA может работать в режиме Store-and-Forward или режиме Cut-Thru. В режиме Store-and-Forward пакет передается в память только в случае его полной загрузки в FIFO. В режиме Cut-Thru передача пакета в память начинается сразу, как только количество принятых в FIFO байт превысит значение, запрограммированное в регистре Packet Start Threshold. Содержимое пакета переносится во внешний буфер, адрес которого указан в дескрипторе. В зависимости от размера кадра и размера выделенного буфера, пакет может быть описан как одним, так и несколькими дескрипторами. Когда последний сегмент кадра передан в память, в поле RDES0 последнего дескриптора записывается соответствующий статус. Дополнительно возможна установка запроса на прерывание, информирующая о наличии в памяти нового принятого кадра.

При работе в режиме Store-and-Forward GEMAC ядро по умолчанию сбрасывает из Receive FIFO кадры с ошибкой и кадры, не прошедшие адресную фильтрацию. При работе в Cut-Thru режиме кадры с ошибками сбрасываются, только когда их длина не превышает

значение Rx Packet Start Threshold, если же граница превышена, то пакет передается в память с установкой бита ошибки. В режиме Cut-Thru значения параметра Rx Packet Start Threshold должно быть не менее 12 для обеспечения адресной фильтрации. Далее описаны варианты поведения ядра в различных ситуациях:

Address Filter Fail: Возникает когда пакет с полем DA не проходит механизм адресной фильтрации.

В режиме Store-and-Forward пакет сбрасывается из Receive FIFO.

В режиме Cut-Thru пакет сбрасывается из Receive FIFO только в случае, когда значение Rx Packet Start Threshold больше или равно 12, иначе пакет передается во внешнюю память.

FCS Error: Возникает, когда пакет не прошел CRC проверку, или предполагается наличие CRC ошибки.

В режиме Store-and-Forward пакет сбрасывается из Receive FIFO.

В режиме Cut-Thru пакет сбрасывается из Receive FIFO только в случае, когда его длина меньше значения Rx Packet Start Threshold.

Runt Frame: Если длина кадра (от поля DA до FCS включительно) менее 64-х байт. Большинство Runt Frame возникает в результате коллизий.

В режиме Store-and-Forward пакет сбрасывается из Receive FIFO.

В режиме Cut-Thru пакет сбрасывается из Receive FIFO только в случае, когда его длина меньше значения Rx Packet Start Threshold.

Receive Error: Возникает при обнаружении PHY уровнем ошибки декодирования бит (установлен RX_ER). В этом случае контроллер выставляет ошибку приема, а также ошибку CRC.

В режиме Store-and-Forward пакет сбрасывается из Receive FIFO.

В режиме Cut-Thru пакет сбрасывается из Receive FIFO только в случае, когда его длина меньше значения Rx Packet Start Threshold.

Frame Too Long: Если длина пакета превышает запрограммированное значение Max Frame Length. Для приема Jumbo (огромных) пакетов необходимо соответствующим образом запрограммировать регистр Max Frame Length.

В режиме Store-and-Forward пакет сбрасывается из Receive FIFO.

В режиме Cut-Thru пакет передается в память с установкой бита ошибки.

Length Error: Возникает, когда в принимаемом пакете поле Type/Length указывает длину поля данных, а размер принятых данных не соответствует этому значению. Если данное несоответствие присутствует, то считается, что у кадра ошибка длины.

В режиме Store-and-Forward пакет сбрасывается из Receive FIFO.

В режиме Cut-Thru пакет сбрасывается из Receive FIFO только в случае, когда его длина меньше значения Rx Packet Start Threshold.

Jabber Error: Если длина принимаемого кадра превышает запрограммированное значение Jabber Length, то его прием прекращается, и устанавливается Jabber Error.

В режиме Store-and-Forward пакет сбрасывается из Receive FIFO.

В режиме Cut-Thru обрезанный пакет передается в память с установкой бита ошибки.

В режиме Store-and-Forward контроллер может быть запрограммирован на передачу пакетов с ошибками или не прошедших фильтрацию в память с соответствующей установкой битов статуса. Далее описаны возможные варианты управления:

Promiscuous Mode: При работе в этом режиме ядро передает в память пакеты, не прошедшие адресную фильтрацию вместо того, чтобы сбросить их из Receive FIFO.

Pass Bad Frames: При работе в этом режиме ядро передает в память пакеты с ошибками вместо того, чтобы сбросить их из Receive FIFO. Соответствующий бит статуса устанавливается в последнем дескрипторе пакета.

Существует три случая, не связанных с ошибками, при возникновении которых кадр сбрасывается из Receive FIFO. Это происходит, если DMA не может передать в память принятый кадр. Далее описаны эти три случая:

Receive DMA is in STOPPED state: Если принимающий DMA находится в состоянии STOPPED, и пакет принят по MII/GMII интерфейсу, то он будет сброшен из Receive FIFO. При каждом сбросе кадра по этой причине инкрементируется счетчик Stop Flush Counter.

Receive Descriptor Unavailable: В случае, если кадр принят, а ядро не может получить дескриптор приема (например, если он еще не создан), то кадр сбрасывается из Receive FIFO. В этом случае инкрементируется Missed Frame Counter.

Receive FIFO Full: Receive FIFO может быть заполнено, если DMA не может обеспечить нужную скорость передачи данных в память. В этом случае кадр сбрасывается из Receive FIFO. Если переполнение FIFO наступает в середине принимаемого кадра, то принятая часть сразу сбрасывается, а оставшаяся не принимается. При возникновении данной ошибки инкрементируется счетчик Buffer Full Frame Drop Counter.

При работе ядра в Cut-Thru режиме кадр усекается, если начальная часть кадра принята и при этом переполнилось FIFO. В этом случае усеченная часть кадра передается в память с отметкой об ошибке FCS и скорректированной длиной поля Frame Length в соответствии с длиной усеченного кадра. При усечении кадра, вызванного переполнением буфера, инкрементируется счетчик Buffer Full Frame Truncated Counter.

Контроллер может быть запрограммирован на удаление поля FCS перед передачей кадра в память. Когда поле FCS удаляется, поле Frame Length в статусе кадра отображает длину пакета минус FCS.

19.5.2.4 Статус пакета

Если принятый кадр успешно передан в память, то статус кадра записывается в RDES0 последнего дескриптора (дескриптора, у которого установлен бит Last Descriptor). В Таблица 19.81 описаны поля регистра статуса кадра.

Таблица 19.81. Поля регистра статуса кадра

Номер разряда	Условное обозначение	Назначение
13:0	Frame/Package Length	Отображает длину (в байтах) переданного в память пакета. Отображается количество переданных байт в память без отброшенных во время обработки пакета полей.
14	Alignment Error	Ошибка выравнивания пакета. Возникает при работе с МП интерфейсом, если принято неполное количество байт и возникла ошибка CRC.
15	Runt Frame	Информирует о том, что принятый пакет меньше минимального размера пакета (64 байта). Такая ситуация может возникнуть при возникновении коллизии.
16	Ethernet Type Frame	Информирует о том, что принятый пакет является пакетом типа Ethernet. Поле Type/Length имеет значение, которое больше или равно 0x0600. Если этот бит не установлен, то пакет относится к типу 802.3 и поле Type/Length отображает длину поля DATA.
17	VLAN Frame	Информирует о том, что пакет имеет один или более VLAN Tags.
18	Multicast Frame	Информирует о том, что поле DA имеет групповой адрес.
19	Broadcast Frame	Информирует о том, что поле DA имеет широковещательный адрес.
20	CRC Error	Информирует о том, что подсчитанный CRC пакета не соответствует ожидаемому.
21	Max. Frame Length Violation Error	Информирует о том, что размер принятого пакета превышает значение, запрограммированное в регистре Max. Frame Length Register.
22	Jabber Error	Информирует о том, что размер принятого пакета превышает значение, запрограммированное в регистре Jabber Register
23	Length Error	Информирует о том, что длина поля DATA не соответствует значению, запрограммированному в поле Type/Length. Это относится только к пакетам типа 802.3. Если длина поля DATA больше чем значение, указанное в поле Type/Length, то дополнительные байты считаются полем PAD и Length Error не возникает.
24	MAC Address#1 Match	Информирует о том, что поле DA принимаемого пакета совпало со значением, запрограммированным в регистре MAC Address#1.

Номер разряда	Условное обозначение	Назначение
25	MAC Address#2 Match	Информирует о том, что поле DA принимаемого пакета совпало со значением, запрограммированным в регистре MAC Address#2.
26	MAC Address#3 Match	Информирует о том, что поле DA принимаемого пакета совпало со значением, запрограммированным в регистре MAC Address#3.
27	MAC Address#4 Match	Информирует о том, что поле DA принимаемого пакета совпало со значением, запрограммированным в регистре MAC Address#4.
28	PAUSE Control Frame	Информирует о том, что текущий пакет является контролирующим пакетом PAUSE, и он предназначен данному устройству.

19.5.3 Фильтрация адреса

GEMAC ядро поддерживает фильтрацию адресов по полю DA входящего кадра. На основании типа DA (индивидуальный, групповой, широковещательный) используются различные схемы адресной фильтрации, по результатам которой кадр принимается или отклоняется. Если входящий пакет не проходит адресную фильтрацию, и не включен режим Promiscuous mode, то кадр не принимается в FIFO. Т.к. поле DA передается первым в пакете, то результат фильтрации адресов доступен уже после приема нескольких байт. Это помогает решить, нужно ли писать кадр в FIFO или нет.

Адресная фильтрация включена при работе контроллера в режиме Store-and-Forward, а также при работе в режиме Cut-Thru при условии, что значение регистра Rx Packet Start Threshold не менее 12.

В следующих разделах описано поведение ядра в зависимости от типа DA.

19.5.3.1 Пакеты с индивидуальным адресом (Unicast Frames)

GEMAC ядро может быть запрограммировано на использование до четырех MAC адресов с именами от MAC Address #1 до MAC Address #4. Регистр MAC Address Control используется для индивидуального включения и выключения MAC адресов. Если во входящем кадре поле DA совпадает с одним из четырех регистров MAC Address, и использование данного регистра разрешено (установлен соответствующий бит включения), то кадр принимается, иначе отбрасывается.

GEMAC ядро также поддерживает инверсную фильтрацию MAC адресов по указанным ранее регистрам MAC Address. Если установлен бит Inverse MAC Address, то для любого из четырех MAC адресов перед сравнением с полем DA выполняется операция инверсии. Если поле DA совпадает со значением регистра MAC Address, но включена инверсия, то фильтрация считается неуспешной.

19.5.3.2 Пакеты с групповым адресом (Multicast Frames)

Если первый бит поля DA равен «1», то адрес считается групповым. Для групповых адресов выполняется хеш-фильтрация на основании 64-разрядной групповой хеш-таблицы.

Для выполнения групповой хеш-фильтрации сохраняется результат CRC проверки принятого DA поля и младшие 6 бит сохраненного CRC используются в качестве индекса 64-разрядной групповой хеш-таблицы. Если по данному индексу в таблице хранится значение «1», то групповой DA адрес принимается, иначе – отклоняется.

Из-за малого размера хеш-таблицы схема фильтрации групповых адресов является не эффективной, что приводит к приему ненужных пакетов.

19.5.3.3 Пакета с широковещательным адресом (Broadcast Frames)

Если поле DA состоит из всех «1», то данный адрес и пакет является широковещательным. Все широковещательные пакеты принимаются GEMAC ядром и передаются во внешнюю память.

19.5.3.4 Разнородный режим (Promiscuous Mode)

Когда ядро работает в режиме Promiscuous Mode, принимаются все пакеты независимо от поля DA. В этом режиме все пакеты, принятые по МП/GМП интерфейсу, передаются во внешнюю память. Результат фильтрации адресов отмечается в поле статуса пакета (например, групповой пакет, широковещательный пакет, совпал Address #1 и т.д.)

19.5.4 Управление потоком данных

Управление потоком позволяет снизить вероятность переполнения буфера, соответственно, и снизить количество пропущенных пакетов, также позволяет локально контролировать уровень загрузки сети. Это может быть достигнуто путем отправки сообщения передающей станции о почти полном буфере на принимающей станции. Управление потоком одного участника передачи позволяет управлять потоком другого участника с возможностью игнорирования данных команд. Примером может служить не требующий ответа пакет PAUSE.

Когда GEMAC ядро работает в режиме Full-Duplex, поддерживаются Flow-Control операции приема и передачи независимо друг от друга. Предусмотрено отдельное включение/выключение поддержки операций Flow-Control как для приема, так и для передачи.

GEMAC ядро поддерживает набор регистров, программирование которых позволяет управлять пакетами Flow-Control PAUSE на MII/GMII интерфейсе. Прием пакета PAUSE осуществляется автономно, если данный режим включен.

19.5.4.1 Прием пакета MAC Flow-Control (PAUSE)

Если в GEMAC ядре включен прием и декодирование пакета PAUSE, то контроллер отслеживает все кадры с полем Length/Type равным Control Fame (16'h8808). Когда принят управляющий пакет, выполняется дополнительное декодирование для подтверждения, что принят действительно пакет PAUSE. Для положительного декодирования пакета PAUSE должны быть выполнены следующие условия:

Поле DA должно совпадать с одним из четырех запрограммированных MAC адресов или содержать групповой адрес 0x01_80_C2_00_00_01, указывающий, что кадр предназначен для данного устройства.

Поле Length/Type должно иметь значение 0x88_08 указывающее, что это управляющий кадр.

Поле OP CODE должно иметь значение 0x00_01 указывающее, что это управляющий кадр PAUSE.

Длина пакета должна быть равна 64 байтам.

Пакет не должен иметь ошибок приема и ошибок CRC.

Когда все вышеперечисленные условия выполнены, значение PAUSE Quanta извлекается из управляющего кадра PAUSE. Это значение используется для отключения передатчика до тех пор, пока не иссякнет счетчик паузы. Отключение передатчика блокирует отправку любых пакетов на MII/GMII интерфейс. Кванта определяет количество временных интервалов Slot time (512 bit times) для паузы. Если принят пакет PAUSE и значение кванты не нулевое, то в таймер загружается это значение и передача останавливается. Если во время остановки передается пакет, то остановка откладывается до окончания передачи. Передатчик отключается до тех пор, пока значение счетчика паузы не станет нулевым.

Если во время паузы приходит еще один управляющий кадр с квантой, равной нулю, то передатчик немедленно включается и выходит из режима PAUSE.

Передатчик формирует пакет PAUSE Flow-Control по полученной команде даже в том случае, если он выключен.

В GEMAC ядре можно отключить передачу принятого пакета PAUSE в память. Если установлен бит Block Pause Frame в регистре Flow Control, то управляющий пакет PAUSE

сбрасывается из Receive FIFO. В нормальном режиме контроллер передает пакет PAUSE в память, как и любой другой пакет.

19.5.4.2 Формирование пакета MAC Flow-Control (PAUSE)

Контроллер может генерировать пакет PAUSE Flow-Control на интерфейс MII/GMII по программному запросу или при заполнении/опустошении Transmit FIFO и пересечении верхнего/нижнего порогового значения. GEMAC ядро поддерживает формирование пакета PAUSE с различными запрограммированными параметрами. Следующие поля управляющего пакета PAUSE могут быть программно изменены:

DA field: Поле DA управляющего пакета PAUSE может иметь индивидуальный адрес, запрограммированный в регистре Flow-Control Destination Address или зарезервированный групповой адрес (0x01_80_C2_00_00_01).

SA field: Поле SA управляющего пакета PAUSE имеет индивидуальный адрес, запрограммированный в регистре Flow-Control Source Address.

Type/Length field: Для контролирующего пакета это поле постоянно (16'h88_08)

OPCODE: В поле OPCODE фиксируется значение 16'h00_01, которое говорит о том, что контролирующий пакет является контролирующим пакетом PAUSE.

PAUSE Timer: Значение, запрограммированное в регистре PAUSE Timer.

PAD: GEMAC ядро дополняет кадр нулевыми значениями поля PAD до minFrameSize (64 байта) включая поле FCS.

FCS: Контроллер вычисляет значение CRC для сгенерированного пакета и добавляет его в конец кадра.

Если поступила программная команда на формирование пакета PAUSE, то управляющий кадр собирается с полями по описанному выше принципу. Если в текущий момент времени передатчик передает пакет, то формирование и передача пакета PAUSE откладывается до завершения передачи с выдержкой времени IFG. Передача контролирующего пакета PAUSE осуществляется даже в том случае, если передатчик отключен ранее принятой командой управления потоком. До того как программировать следующий кадр PAUSE нужно убедиться, что предыдущий сформирован и передан, статус передачи показывает бит DONE регистра Flow-Control Control Register.

Кроме того, если включено автоматическое формирование кадра PAUSE (Auto Pause Frame Generation) основанное на уровне заполнения Receive FIFO, то контроллер непрерывно следит за уровнем на предмет пересечения верхнего/нижнего порогового значения. Если уровень заполнения достигает верхнего порогового значения, то пакет PAUSE генерируется с величиной паузы запрограммированной в регистре Auto Hi Pause

Time Register. После этого, если происходит опустошение Receive FIFO, и пересекается нижнее пороговое значение, генерируется пакет PAUSE с величиной паузы запрограммированной в регистре Auto Low Pause Time Register. Таким образом, при многократном пересечении одного и того же порогового значения формируется только один пакет – при первом пересечении.

19.5.5 Управление формированием MDIO пакетов

GEMAC ядро поддерживает формирование управляющих пакетов для внешнего устройства PHY по интерфейсу MDC/MDIO. Данное управление позволяет читать/писать внутренние регистры внешнего PHY. Один MDC/MDIO интерфейс может поддерживать до 32-х PHY устройств.

MDC/MDIO интерфейс – это низкоскоростной интерфейс с максимальной частотой тактового сигнала 400 кГц. Ядро формирует синхросигнал MDC путем деления частоты ahb_clk на 64. Также для формирования управляющих пакетов используются данные регистров MDIO Data Register и MDIO Control Register. MDIO Control Register содержит поле PHYAD/REGAD управляющего пакета, а также признак команды для выполнения (чтение или запись). MDIO Data Register содержит записываемые данные - во время записи, или прочитанные данные – после команды чтения.

Как только поступила команда на формирование управляющего кадра, контроллер собирает управляющий кадр в соответствии со спецификацией IEEE 802.3 и передает собранный кадр, последовательно сдвигая биты. Во время команды записи данные, содержащиеся в регистре MDIO Data Register, формируют поле DATA. При чтении данные, возвращенные внешним PHY в поле DATA, загружаются в регистр MDIO Data Register. На время передачи кадра в регистре MDIO Control Register устанавливается бит BUSY. Таким образом, перед подачей новой команды необходимо убедиться в завершении предыдущей.

19.5.6 Счетчики статистики

Ядро имеет несколько 32-разрядных счетчиков для поддержки RMON/SNMP/802.3 MIB статистики. Для оптимизации площади счетчики хранятся в памяти внутри ядра. Управляющая логика выполняет операции чтения-модификации-записи счетчиков для каждого переданного и принятого пакета. Счетчики разделяются на счетчики приема и счетчики передачи. Также имеется два счетчика, хранящие информацию о Receive DMA.

Счетчики можно читать, используя регистры Transmit/Receive StatCtr Data/Control Registers. StatCtr Control Registers отображает номер читаемого регистра. Далее описаны функции различных счетчиков.

19.5.6.1 Счетчики DMA (DMA Counters)

Соответствующие счетчики обновляются, если DMA не может передать в память принятые пакеты по причине отсутствия дескриптора приема или по причине нахождения DMA в состоянии STOPPED. Читая данный счетчик, можно определить количество пропущенных кадров по причине программных ошибок. Эти счетчики сбрасываются при чтении и формируют запрос на прерывание при переполнении.

Missed Frame Counter: Этот счетчик инкрементируется каждый раз, когда новый принятый по Ethernet интерфейсу кадр не может быть перенесен DMA в память из-за отсутствия дескриптора приема.

Stop Flush Counter: Этот счетчик инкрементируется каждый раз, когда новый принятый по Ethernet интерфейсу кадр не может быть перенесен DMA в память из-за того, что DMA находится в состоянии STOPPED.

19.5.6.2 Счетчики передатчика (Transmit Counters)

Счетчики передатчика используются для сбора статистики по операциям передачи на MII/GMII интерфейсе. Эти счетчики отображают SNMP/RMON статистику. Все счетчики передачи размещены в памяти ядра и обновляются каждый раз после выполненной передачи кадра. Эти счетчики 32-разрядные, при переполнении запрос на прерывание не формируется, а просто начинается счет заново. Сброс счетчиков осуществляется только при выключении питания.

В Таблица 19.82 указаны счетчики передачи с их смещением, которое заносится в регистр StatCtr Control Register.

Таблица 19.82. Перечень статистических счетчиков передачи

Смещение Tx. Counter	Имя Tx. Counter	Описание Transmit Counter
00	FramesTransmittedOk	Счетчик количества кадров, переданных без ошибок, включая пакеты PAUSE.
01	FramesTransmittedTotal	Счетчик общего количества переданных пакетов.
02	OctetsTransmittedOk	Отображает общее количество байт в кадрах, переданных без ошибок. Учитываются все поля кроме PREAMBLE и SFD.
03	FramesTransmittedErrpr	Счетчик количества кадров переданных с ошибкой (EOP/ERR).
04	FramesTransmittedSingleClsn	Счетчик количества успешно переданных кадров после единичного столкновения. Счетчик достоверен только в режиме Half-Duplex.
05	FramesTransmittedMultipleClsn	Счетчик количества успешно переданных кадров после множественного столкновения. Счетчик достоверен только в режиме Half-Duplex.
06	FramesTransmittedLateClsn	Счетчик количества пакетов, на которых произошла поздняя коллизия. Пакет может быть оборван. Счетчик достоверен только в режиме Half-Duplex.

Смещение Tx. Counter	Имя Tx. Counter	Описание Transmit Counter
07	FramesTransmittedExcessiveClsn	Счетчик количества пакетов, на которых произошло чрезмерное количество коллизий. Пакет может быть оборван. Счетчик достоверен только в режиме Half-Duplex.
08	FramesTransmittedUnicastAddr	Счетчик количества пакетов с индивидуальным адресом.
09	FramesTransmittedMulticastAddr	Счетчик количества пакетов с групповым адресом.
10	FramesTransmittedBroadcastAddr	Счетчик количества пакетов с широковещательным адресом.
11	FramesTransmittedPAUSE	Счетчик количества переданных пакетов PAUSE.

19.5.6.3 Счетчики приемника (Receive Counters)

Счетчики передатчика используются для сбора статистики по операциям приема на MII/GMII интерфейсе. Эти счетчики отображают SNMP/RMON статистику. Все счетчики приема размещены в памяти ядра и обновляются каждый раз после выполненного приема кадра. Эти счетчики 32-разрядные, при переполнении запрос на прерывание не формируется, а просто начинается счет заново. Сброс счетчиков осуществляется только при выключении питания.

В Таблица 19.83 указаны счетчики приема с их смещением, которое заносится в регистр StatCtr Control Register.

Таблица 19.83. Перечень статистических счетчиков приема

Смещение Tx. Counter	Имя Tx. Counter	Описание Transmit Counter
00	FramesReceivedOK	Счетчик безошибочно принятых кадров
01	FramesReceivedTotal	Общее количество принятых пакетов.
02	FramesReceivedCRCErr	Общее количество принятых пакетов с ошибкой CRC и других пакетов типа Ethernet.
03	FramesReceivedAlignErr	Счетчик количества принятых пакетов с Alignment Error. Это возможно только при работе с MII интерфейсом.
04	FramesReceivedError	Счетчик пакетов принятых с ошибками: CRC Error Alignment Error MaxFrameLen Error Receive Error Length Error MinFrameSize Error
05	OctetReceivedOK	Счетчик количества байт в пакетах, принятых без ошибок. Для каждого пакета подсчитываются все байты, кроме PREAMBLE и SFD.
06	OctetReceivedTotal	Счетчик количества байт во всех принятых пакетах.
07	FramesReceivedUnicastAddr	Счетчик количества пакетов, принятых без ошибок, с индивидуальным адресом.
08	FramesReceivedMulticastAddr	Счетчик количества пакетов, принятых без ошибок, с групповым адресом.
09	FramesReceivedBroadcastAddr	Счетчик количества пакетов, принятых без ошибок, с широковещательным адресом.
10	FramesReceivedPAUSE	Счетчик количества принятых пакетов PAUSE.
11	FramesReceivedLengthErr	Счетчик количества принятых пакетов с ошибкой длины.

Смещение Tx. Counter	Имя Tx. Counter	Описание Transmit Counter
12	FramesReceivedUnderSized	Счетчик количества принятых пакетов с ошибкой minFrameSize (длина меньше 64 байт), но с верным значением FCS.
13	FramesReceivedOverSized	Счетчик количества принятых пакетов с ошибкой maxFrameSize (значение, запрограммированное в регистре Max Frame Size Register), но с верным значением FCS.
14	FramesReceivedFragments	Счетчик количества принятых пакетов с ошибкой minFrameSize (длина меньше 64 байт) и ошибкой в FCS. Возникает, когда принят фрагмент кадра, образовавшийся при коллизии.
15	FramesReceivedJabber	Счетчик количества принятых пакетов с ошибкой maxFrameSize и с ошибкой в FCS. Этот счетчик не имеет ничего общего с регистром Receive Jabber Size Register используемого для обрезания слишком больших пакетов.
16	FramesReceivedLen64	Счетчик количества принятых пакетов с длиной 64 байта.
17	FramesReceivedLen65-127	Счетчик количества принятых пакетов с длиной от 65 до 127 байт.
18	FramesReceivedLen128-255	Счетчик количества принятых пакетов с длиной от 128 до 255 байт.
19	FramesReceivedLen256-511	Счетчик количества принятых пакетов с длиной от 256 до 511 байт.
20	FramesReceivedLen512-1023	Счетчик количества принятых пакетов с длиной от 512 до 1023 байт.
21	FramesReceivedLen1024-1518	Счетчик количества принятых пакетов с длиной от 1024 до 1518 байт.
22	FramesReceivedLen1519Plus	Счетчик количества принятых пакетов с длиной от 1518 байт до значения, запрограммированного в регистре Max Frame Length Register.
23	FramesDroppedBufferFull	Счетчик количества пакетов сброшенных из-за переполнения Receive FIFO. Это случается, когда DMA не может обеспечить достаточную скорость выгрузки данных.
24	FramesTruncatedBufferFull	Счетчик количества пакетов усеченных из-за переполнения Receive FIFO при работе в Cut-Thru режиме. Эта ситуация возникает, когда DMA начал передачу принимаемого пакета, но при этом весь пакет не поместился в FIFO.

19.5.7 Поддержка VLAN

GEMAC ядро поддерживает определение тега VLAN в принятом VLAN пакете. Если в принятом пакете определен тег VLAN, то в поле статуса пакета последнего дескриптора отмечается бит VLAN Frame. GEMAC ядро анализирует входящий кадр и может обнаружить до 3 тегов VLAN (Q-in-Q) прежде, чем будет извлечено поле Length/Type. GEMAC ядро может быть запрограммировано на автоматическую настройку поля MaxFrameLen для учета 4-байтового поля VLAN. При получении VLAN пакета поле MaxFrameLen увеличивается на 4 индивидуально для каждого VLAN тега.

19.5.8 Обработка ошибок

В следующих разделах описаны варианты обработки ошибок, возникающих в GEMAC ядре. Эти ошибки не определены в спецификации IEEE 802.3 и возникают либо при ошибке программирования, либо при возникновении нештатных ситуаций в контроллере, при этом данные ошибки можно исправить. В зависимости от направления передачи ошибки классифицируются на ошибки приема и ошибки передачи.

19.5.8.1 Transmit EOP/Error

Если в дескрипторе передачи установлен бит ForceEOPErr (TDES1[24]), то кадр отправляется с EOP/Error. Передающая логика MAC генерирует пакет, в конец которого вставляется инвертированный CRC. В случае если пакет выгружается из памяти уже с полем FCS, то контроллер добавляет еще одно поле с инверсией для отображения ошибки. Это программный путь формирования ошибки в кадре. При этом счетчик статистики FramesTransmittedError инкрементируется при каждой генерации пакета с EOP/ERR.

19.5.8.2 Ошибка недогрузки (Transmit Underrun Error)

Если во время передачи кадра Transmit FIFO оказывается пустым, то возникает состояние недогрузки. Причиной этому может быть, как недостаточная скорость, с которой DMA загружает данные в Transmit FIFO, так и отсутствие доступного дескриптора при описании одного пакета несколькими дескрипторами.

Если такое состояние возникло, то передатчик обрывает передачу пакета и формирует признак ошибки EOP/ERR (в последнем такте устанавливается TX_ER). Контроллер в таком кадре не добавляет поле FCS. При возникновении подобного события счетчик статистики передачи FramesTransmittedError инкрементируется, формируется запрос на прерывание. Когда непереданные данные догрузятся в Transmit FIFO, контроллер их сбросит.

19.5.8.3 Ошибка бессмысленной передачи (Transmit Jabber Error)

Для определения бессмысленный передается кадр или нет, служит Transmit Jabber Register. Кадр считается бессмысленным, если его длина превышает значение, запрограммированное в регистре Transmit Jabber Register. Это случается при некорректном формировании дескриптора передачи. GEMAC ядро обрывает передачу пакета сразу, как только обнаруживается, что данные бессмысленны, и устанавливает EOP/ERROR (в последнем такте устанавливается TX_ER). Контроллер в таком кадре не добавляет поле FCS. При возникновении подобного события счетчик статистики передачи FramesTransmittedError инкрементируется, формируется запрос на прерывание. Оставшиеся от пакета данные сбрасываются из Transmit FIFO.

19.5.8.4 Чрезмерное количество коллизий передачи (Transmit Excessive Collision)

Если при работе в режиме Half-Duplex контроллер обнаруживает коллизию на 16-й повторной передаче, то передача кадра прерывается, кадр сбрасывается из FIFO и формируется признак ошибки чрезмерного количества столкновений. Счетчик столкновений очищается, контроллер переходит в ожидание следующей передачи, и инкрементируется статистический счетчик `FrameTransmittedExcessiveClsn`.

19.5.8.5 Поздняя коллизия передачи (Transmit Late Collision)

Если контроллер, работая в режиме Half-Duplex, обнаруживает позднюю коллизию (столкновение произошло после передачи 64 байт), то передача пакета прекращается. После обработки столкновения (передача JAM сообщения) фрейм сбрасывается из Transmit FIFO и повторная передача не производится. Счетчик столкновений очищается, контроллер переходит в ожидание следующей передачи, и инкрементируется статистический счетчик `FrameTransmittedLateClsn`.

19.5.8.6 Ошибка приема PREAMBLE/SFD (Receive PREAMBLE/SFD Errors)

Когда приемник MAC обнаруживает ошибку в преамбуле или SFD байте, прием пакета останавливается до следующего кадра. Ни один из счетчиков статистики приема при возникновении данной ошибки не обновляется.

19.5.8.7 Прием кадра с ошибкой (Receive Frame Errors)

При обнаружении любой ошибки во входящем кадре приемник сообщает об ошибке Receive FIFO и ошибке Receive DMA. В режиме Store-and-Forward пакет сбрасывается из Receive FIFO без трансляции в память. Но если установлен бит `PassBadFrames`, то независимо от режима работы (Store-and-Forward или Cut-Thru) пакет с ошибкой передается в память с пометкой соответствующего ошибке бита статуса DMA (`RDES0`). Также контроллер обновляет соответствующий типу ошибки счетчик статистики.

19.5.8.8 Прием короткого пакета (Receive Runt Frame)

Если длина принятого пакета меньше 64 байт, то пакет объявляется коротким и сбрасывается из Receive FIFO при работе в режиме Store-and-Forward. При работе в режиме Cut-Thru кадр сбрасывается, если значение `Rx Packet Start Threshold` меньше или равен 64 байтам. Счетчик, соответствующий ошибке приема, обновляется только в том случае, если прошла проверка CRC.

19.5.8.9 Прием бессмысленного пакета (Receive Jabber Frame)

Для определения бессмысленный текущий кадр или нет, в ядре используется Receive Jabber Register. Если длина принимаемого пакета превышает значение, запрограммированное в регистре Receive Jabber Register, то кадр признается бессмысленным.

Если ядро детектировало прием бессмысленного кадра, то прием останавливается до следующего кадра. Часть кадра, которая была принята, сбрасывается из FIFO либо передается в память с пометкой Jabber Error.

19.5.8.10 Переполнение Receive FIFO (Receive FIFO Full)

Если Receive FIFO переполнился, то прием прекращается и пакет сбрасывается из FIFO. Переполнение может возникнуть при недостаточной скорости выгрузки данных в память. При сбросе пакета из-за переполнения FIFO инкрементируется счетчик FrameDroppedBufferFull. В режиме Cut-Thru начальная часть пакета, принятая до переполнения, может сохраниться, оставшийся пакет обрывается. В этом случае инкрементируется счетчик FrameTruncatedBufferFull.

19.5.9 Запросы на прерывание

При возникновении ряда событий во время приема и передачи пакетов GEMAC формирует запрос на прерывание. Узнать причину запроса на прерывание можно, прочитав регистры DMA Status и IRQ Register. Все биты запросов на прерывание сбрасываются записью в них единицы. Запрос на прерывание транслируется на АНВ интерфейс, если установлен какой-либо бит IRQ, и установлено соответствующее ему разрешение. Снять запрос на прерывание с АНВ интерфейса можно только очисткой всех битов, вызывающих запрос на прерывание. В контроллере возможно возникновение прерываний по следующим событиям.

19.5.9.1 Передача выполнена

Бит Transmit Transfer Done IRQ устанавливается в том случае, если пакет, прочитанный из памяти, успешно записан в Transmit FIFO (установлен бит Wait for Done в DMA Configuration Register) и успешно передан на МП интерфейс. Запрос на прерывание формируется только в том случае, если в первом дескрипторе пакета установлен бит Interrupt on Completion (TDES[31]).

19.5.9.2 Дескриптор передачи недоступен

Бит Transmit Descriptor Unavailable IRQ устанавливается в том случае, если следующий по списку дескриптор передачи не готов для использования. Transmit DMA приостанавливается. Для того чтобы возобновить выгрузку дескрипторов передачи, необходимо осуществить запись в регистр Transmit Poll Demand Register, если не включен Transmit Auto Polling.

19.5.9.3 Transmit DMA остановлено

Если Transmit DMA находится в состоянии STOPPED, то устанавливается бит Transmit DMA Stopped. Если во время работы DMA приходит программная команда перехода в состояние STOP, то она откладывается до окончания передачи кадра и закрытия дескриптора.

19.5.9.4 Прием выполнен

Бит Receive Transfer Done IRQ устанавливается в том случае, если пакет принят по МП интерфейсу, успешно перемещен в память и последний дескриптор закрыт с указанием статуса принятого кадра. По умолчанию Receive Transfer Done IRQ устанавливается для каждого пакета, переданного в память. Запрос на прерывание устанавливается только после закрытия последнего дескриптора.

Receive Interrupt Mitigation Register используется для минимизации количества запросов на прерывание. Если функция уменьшения количества запросов на прерывание включена, то запрос формируется не после каждого принятого и переданного в память пакета, а после определенного количества таких кадров, указанного в поле Frame Count.

Если кадры транслируются с большим интервалом, то в работу включается таймер (Time-Out counter), отсчитывающий время с момента приема первого кадра до приема количества кадров, указанного в Frame Count. Если таймаут наступает быстрее, то формируется запрос на прерывание.

Существует возможность сброса Frame Count в 1 после установки запроса на прерывание, если запрограммировано очень большое значение Frame Count.

19.5.9.5 Дескриптор приема недоступен

Бит Receive Descriptor Unavailable IRQ устанавливается в том случае, если следующий по списку дескриптор приема не готов для использования. Receive DMA приостанавливается. Для того чтобы возобновить выгрузку дескрипторов приема, необходимо осуществить запись в регистр Receive Poll Demand Register. Если нет записи в регистр Receive Poll Demand Register, то DMA приема обратится за новым дескрипторов сам при обнаружении нового принимаемого кадра.

19.5.9.6 Receive DMA остановлено

Если Receive DMA находится в состоянии STOPPED, то устанавливается бит Receive DMA Stopped. Если во время работы DMA приходит программная команда перехода в состояние STOP, то она откладывается до окончания приема кадра, его передачи в память и закрытия дескриптора.

19.5.9.7 Пропуск кадра

Receive Missed Frame Interrupt формируется, если кадр сбрасывается по причине отсутствия дескриптора приема. Фрейм сбрасывается из Receive FIFO. Данный бит устанавливается только в том случае, когда Receive DMA находится в состоянии SUSPENDED и принят новый пакет, который провоцирует DMA выбрать дескриптор, а дескриптор все еще не готов.

19.5.9.8 Недозагрузка во время передачи

Underrun Interrupt выставляется при нехватке данных, передаваемых на МП интерфейс. Это возникает, когда DMA не может поддержать скорость передачи данных, требуемую MAC. Контроллер прекращает передачу, выставляет на МП сигнал EOP/ERR, а оставшиеся данные игнорирует.

19.5.9.9 Передача бессмысленных данных

Jabber Interrupt выставляется при обнаружении на передатчике бессмысленных данных (длина пакета больше значения запрограммированного в регистре Transmit Jabber Count Register). Контроллер прекращает передачу, выставляет на МП/GМП сигнал EOP/ERR, а оставшиеся данные игнорирует.

20. КОНТРОЛЛЕР НАКОПИТЕЛЕЙ SDIO/MMC (SDMMC)

20.1 Основные характеристики модуля SD/MMC

System/Host интерфейс:

- поддерживает интерфейс шины АНВ;
- передача данных осуществляется в двух режимах: PIO-режим на Slave-интерфейсе шины, DMA-режим — на Master-интерфейсе шины.

SD/ SDIO Card интерфейс:

- частота клона варьируется от 0 до 208 МГц;
- при скорости до 832 Мбит/сек используется параллельный четырехпроводной интерфейс (режим SDR104);
- передача данных в одно- и четырехбитном SD режиме и в SPI режиме;
- поддерживаются SDR104, SDR50, DDR50 режимы;
- алгоритм проверки контрольной суммы CRC7 для проверки целостности команд и CRC16 для проверки целостности данных;
- передачи данных переменной длины;
- поддерживает управление ожиданием чтения, приостановка/возобновление работы SD/SDIO;
- поддерживается работа с I/O картами, Read-only картами и Read/Write картами.

MMC Card интерфейс:

- частота клона варьируется от 0 до 208 МГц;
- при скорости до 1664 Мбит/сек используется параллельный восьми-проводной интерфейс (mmc 8 битный SDR режим);
- при скорости до 832 Мбит/сек используется параллельный восьми-проводной интерфейс (mmc 8 битный DDR режим);
- передача данных в одно- четырех- и восьми-битном режиме и SPI режиме;
- алгоритм контроля контрольной суммы CRC7 для проверки целостности команд, и CRC16 для проверки целостности данных;
- поддержка MMC Plus и MMC Mobile;
- обнаружение карты (установлена/извлечена);
- максимальная адресация – 2 ТБ.

Данный блок соответствует следующим версиям спецификаций:

- SD Host Controller Standard Specification Version 3.00
- SDIO card specification Version 3.0
- SD Memory Card Specification Version 3.01
- SD Memory Card Security Specification version 1.01
- MMC Specification version 4.51

20.2 Структурная схема модуля SD/MMC

Структурная схема модуля SD/MMC представлена на рисунке 1. С целью достижения максимальной гибкости при эксплуатации ядра SD хост-контроллера (SDHC) необходимо иметь механизм изменения его конфигурационных сигналов и тактовой частоты. Такая возможность реализована с помощью создания дополнительного функционала к исходному модулю ядра хост-контроллера *ahb_sdhc*. Модуль *sdhc_dflt_regs* содержит набор регистров, выходы которых подключены к входным *corecfg_* сигналам ядра SDHC. Запись/чтение этих регистров осуществляется по АHB-шине посредством модуля *ahb_slave_bus*.

Тактовый сигнал для работы ядра SDHC (подаваемого на вход *xin_clk*) подается на вход *ext_clk* модуля SD/MMC. Эту частоту возможно поделить на 2. Разрешение деления осуществляется посредством бита *div_clk_enable*.

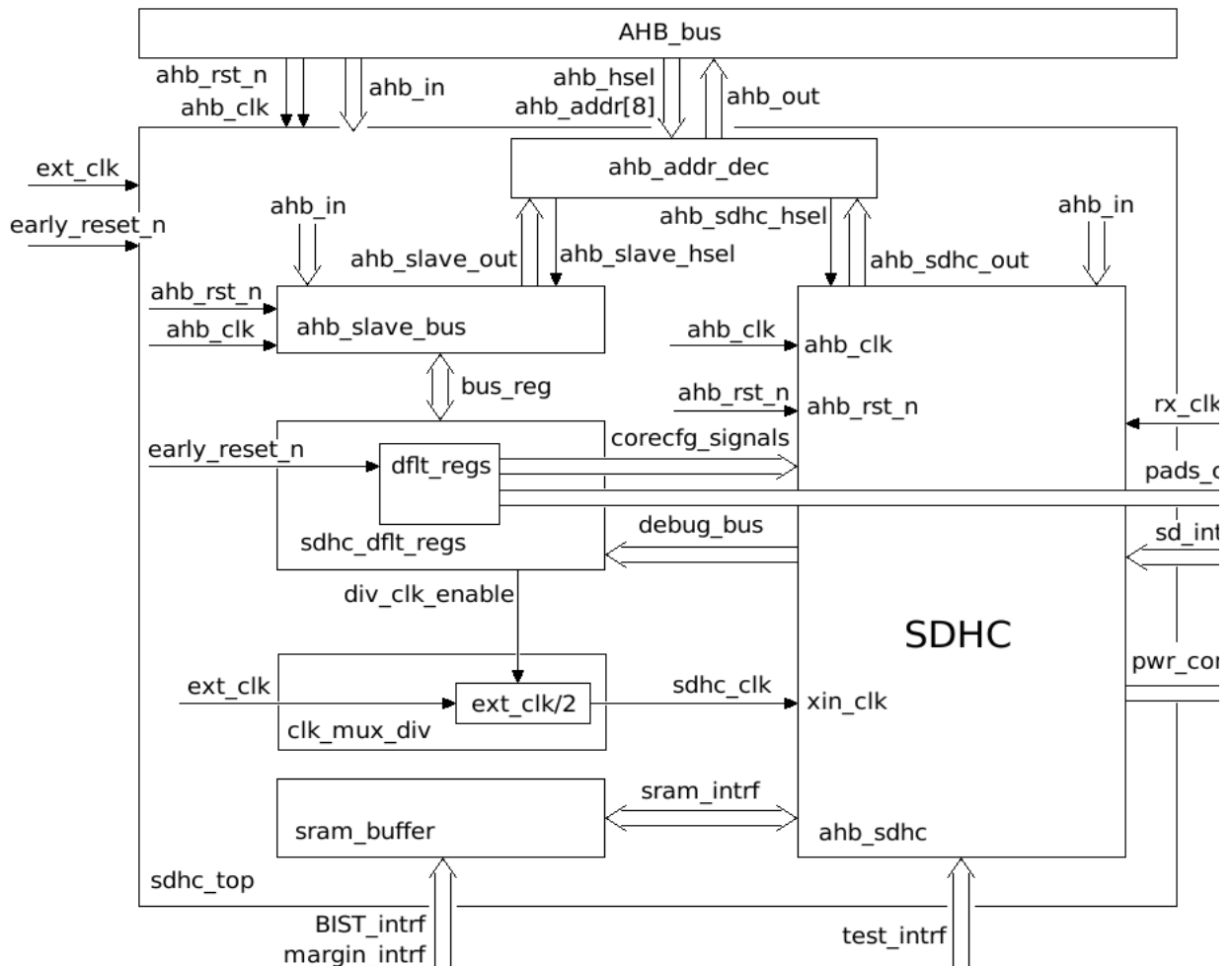


Рисунок 20.1. Структурная схема модуля SD/MMC

Дефолтные значения для `corecfg_` входов ядра SDHC, заданы с помощью констант и устанавливаются на выходах модуля `sdhc_dflt_regs` по сигналу сброса `early_reset_n`.

Адресное пространство внутренних регистров ядра SDHC (модуль `ahb_sdhc`) занимает диапазон: `h000..h0FF`. Адреса конфигурационных регистров (модуль `sdhc_dflt_regs`) находятся в диапазоне: `h100..h11B` и доступны как для чтения, так и для записи. По адресам `h11C..h11F` доступны конфигурационные сигналы PAD-ов. По адресам `h120..h12B` конфигурационного регистра на чтение доступны состояния отладочных шин `debug_bus` ядра SDHC.

20.3 Описание модулей, входящих в ядро SDHC

Структурная схема SD хост контроллера представлена на рисунке 20.2. В состав SDHC входят следующие модули:

20.3.1 Хост интерфейс (Master/Target(Slave))

Шина Target используется для получения доступа к внутренним регистрам контроллера в режиме PIO (Programmed Input/Output).

Шина Master используется DMA контроллером (в DMA и ADMA2 режимах) для передачи данных между внутренними регистрами SD контроллера и системной памятью.

20.3.2 Host Controller Register Set (набор регистров хост контроллера)

Набор внутренних регистров SD контроллера. Обеспечивает организацию управляющих сигналов для остальных блоков устройства и контролирует состояние сигналов от блоков, устанавливая биты состояний прерываний. Генерирует сигнал прерывания на шину хоста.

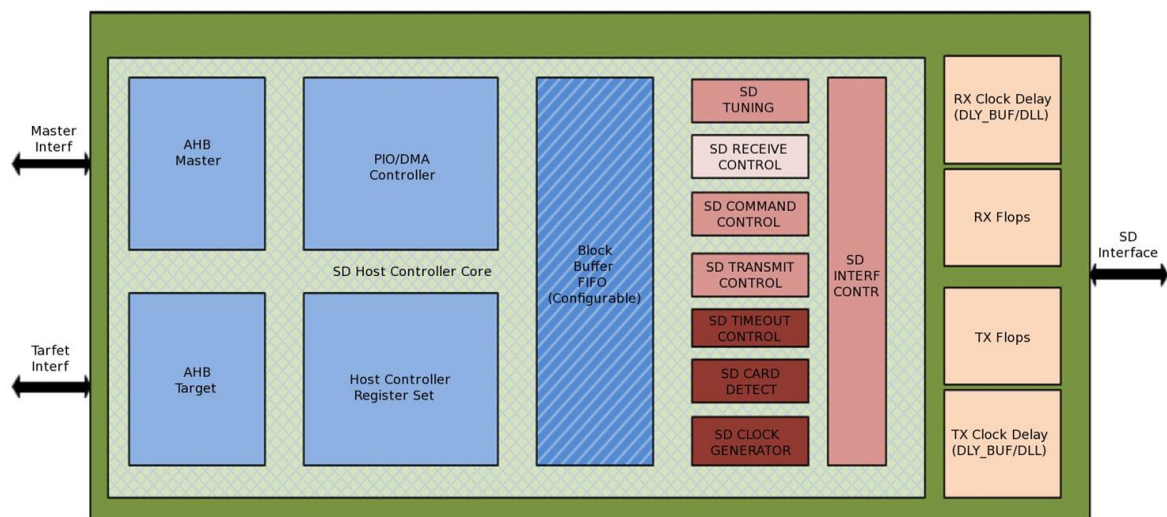


Рисунок 20.2. Структурная схема ядра SDHC

20.3.3 PIO/DMA Controller

Данный модуль реализует функционирование SDMA и ADMA2, а также поддерживает правильную работу модуля в PIO режиме. Он взаимодействует с набором внутренних регистров и организует работу DMA. DMA контролер с одной стороны подключен к системной Master шине, для осуществления передачи данных. С другой стороны он подключен к внутреннему буферу Block Buffer для осуществления операций хранения/извлечения блоков данных.

20.3.4 Block Buffer

Внутренний двух портовый буфер, который используется для хранения блоков данных при осуществлении SD трансфера. Имеет циркулярную буферизацию. С одной стороны

буфер имеет соединение с DMA контроллером и тактируется клоком хоста, с другой стороны он соединен с управляющей SD логикой и тактируется SD клоком. Во время осуществления записи на карту, данные извлекаются из системной памяти и помещаются в этот буфер. Когда блок данных становится доступен, управляющая SD логика передает его на SD интерфейс. Если в буфере есть свободное место, DMA контроллер передает следующий блок данных.

Во время операции чтения с карточки, блок данных помещается в буфер и проверяется его контрольная сумма. Затем DMA контроллер передает этот блок в системную память. Тем временем, при наличии свободного места в буфере, SD логика передает следующий блок данных. Если контроллер не может принять данные с карточки, то он подаст сигнал на ожидание чтения (если карточка поддерживает этот механизм) или остановит клок для приостановки передачи данных с карты.

20.3.5 SD Clock Generator

Этот модуль генерирует клоки SD_CLK и SD_CARD. SD_CARD соединен с пином «CLK» SD-интерфейса. Модуль также генерирует сигнал системного сброса на различные тактовые домены.

20.3.6 SD Card Detect

Этот модуль контролирует наличие/отсутствие SD карты, считывая сигнал с пина SD_CD#. В этом модуле осуществляется фильтрация с целью защиты от ложного срабатывания, вызванного дребезгом контактов.

20.3.7 SD Timeout Control

Этот модуль реализует проверку таймаутов во время пересылки данных. Работает под контролем модулей передачи и приема данных.

20.3.8 SD Command Control

Этот модуль генерирует последовательность команд на CMD линию SD интерфейса. Данный модуль также осуществляет прием ответа, проводит проверку его правильности (наличие Start-бита, номера команды, CRC-суммы, End-бита) и время прихода (таймаут). Далее результаты ответа передаются в модуль внутренних регистров для установки различных статусных битов. Также здесь генерируются команды управления для модулей передачи и приема данных.

20.3.9 SD Transmit Control

Модуль осуществляет операцию записи передаваемых на SD карту данных. После получения команды, модуль ждет, когда блок данных будет доступен в буфере, после чего передает его на DAT линию SD интерфейса. В зависимости от конфигурации линии передачи данных (1-, 4-, 8-битная или SPI) данные из буфера соответствующим образом распределяются. Рассчитывается CRC16 и помещается в конце блока, перед end-битом. В случае DDR операций контрольная сумма рассчитывается для каждого уровня клона. В конце передачи блока осуществляется ожидание ответа на линии DAT0, и результат проверки ответа передается в набор регистров. Также модуль осуществляет проверку Write Busy перед началом передачи нового блока данных.

20.3.10 SD Receive Control

Модуль осуществляет операцию чтения получаемых с SD карты данных. После приема с SD карты блока данных перед их записью в буфер, модуль осуществляет их сборку из (1-, 4-, 8-битного представления) в 32-битные слова. Рассчитывается и сверяется с принятой контрольная сумма CRC16. Также реализуется проверка таймаутов для соблюдения определенной величины задержек.

20.3.11 SD Tuning Block

Этот блок используется в режимах SDR104 (или SDR50) и Hs200 для подстройки принимаемого клона. Подстроечный блок генерирует команды задержки для внешнего модуля управления задержками.

20.3.12 SD Interface Control

Модуль осуществляет передачу внутренних сигналов на внешний SD интерфейс и наоборот. В зависимости от ширины шины (1/4/8) внутренние сигналы преобразуются соответствующим образом.

20.3.13 RxClk Delay Module

Данный модуль используется для поддержки принимаемого клона выравненным по центру относительно принимаемых данных. Существует два режима задержки принимаемого тактового сигнала. Первый из них — автоматическая настройка получаемого клона, используется в режиме SDR104 (для SD 3.0 или eMMC 4.51) и для SDR50 (опционально). Второй — режим ручного управления задержками. Ручной режим управления осуществляется для HS режимов: SDR25/SDR50/DDR50. Данный модуль реализован с помощью линии задержки с отводами (Tap Delay Lines, см. Рисунок 20.3, Рисунок 20.4) для создания клонов с 32 различными фазами и выбора подходящего. Максимальная задержка сигнала при всех включенных элементах задержки составляет

3ns. Управление этим функционалом осуществляется при использовании следующих сигналов:

- *corectrl_itapdlysel[4:0]* — используется для выбора оптимального количества отводов, определяющих нужную задержку;
- *corectrl_itapdlyen* — используется для включения режима управления задержками с помощью отводов.

20.3.14 RX Flops Module

Модуль, где данные с линий CMD/DAT SD интерфейса защелкиваются по тактовому сигналу с выхода от модуля RxClk Delay. Модуль RX Flops следует размещать как можно ближе к I/O для достижения наилучших временных характеристик принимаемых сигналов. Для поддержки обоих DDR режимов, сигналы защелкиваются на обоих фронтах принимаемого клона. Далее данные с выхода этого модуля передаются на обработку в основной блок для дальнейшей обработки.

20.3.15 TxClk Delay Module

Сигналы на выходах CMD и DAT должны задерживаться относительно выходного клона SD_CLK в соответствии с требованиями к времени удержания в различных режимах работы. Задержанный здесь исходящий SD клон используется для управления изменения сигналов CMD/DAT и других сигналов SD интерфейса. Непосредственно сам выход SD_CLK не задерживается. Данный модуль реализован с помощью линии задержки с отводами (Tap Delay Lines, см. Рисунок 20.3, Рисунок 20.4) для создания клоков с 16 различными фазами и выбора подходящего. Максимальная задержка сигнала при всех включенных элементах задержки составляет 3ns. Управление осуществляется с помощью следующих сигналов:

- *corectrl_otapdlysel[3:0]* — используется для выбора оптимального количества отводов, определяющих нужную задержку;
- *corectrl_otapdlyen* — используется для включения режима управления задержками с помощью отводов.

20.3.16 TX Flops Module

Выходные сигналы с основного блока контроллера защелкиваются по задержанному тактовому сигналу с выхода от модуля TxClk Delay. Также для поддержки обоих DDR режимов, принятые из основного блока контроллера данные передаются как по положительному, так и по отрицательному фронтам задержанного клона.

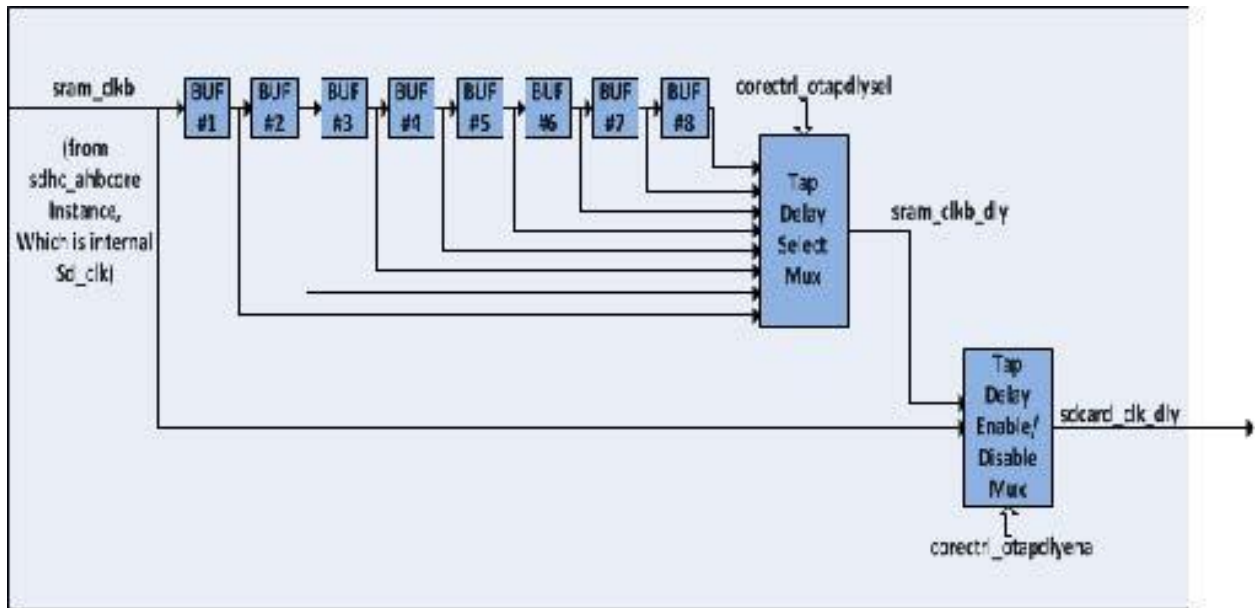


Рисунок 20.3

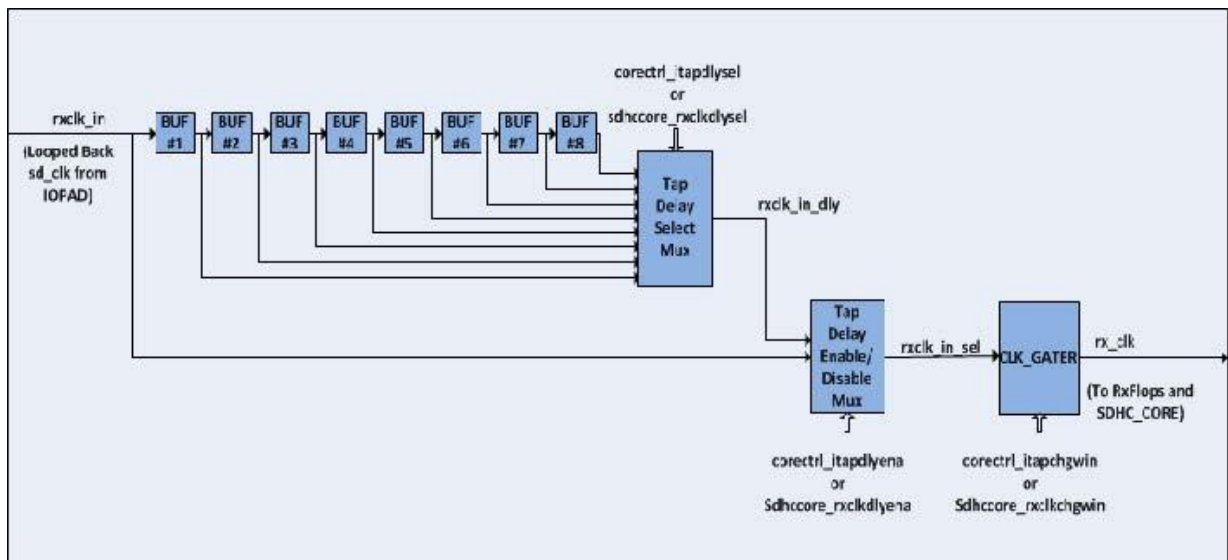


Рисунок 20.4

20.4 Внутренние регистры ядра SDHC

Таблица 20.1. Карта регистров ядра SDHC

Смещение	Биты 15-08	Биты 07-00	Описание
000h	SDMA System Address / Argument 2 (младшая часть)		Этот регистр содержит адрес системной памяти для SDMA-передач или второй аргумент Auto CMD23
002h	SDMA System Address / Argument 2 (старшая часть)		
004h	Block Size		Содержит размер блока данных для DMA/CMD
006h	Block Count		Содержит количество блоков при многоблочной передаче
008h	Argument1 (младшая часть)		Аргумент SD команды
00Ah	Argument1 (старшая часть)		

Смещение	Биты 15-08	Биты 07-00	Описание
00Ch	Transfer Mode		Регистр используется при передаче данных
00Eh	Command		Регистр используется при передаче команд
010h	Response 0		Регистры используются при ответе на команды
012h	Response 1		...
014h	Response 2		...
016h	Response 3		...
018h	Response 4		...
01Ah	Response 5		...
01Ch	Response 6		...
01Eh	Response 7		...
020h	Buffer Data Port 0		Через эти регистры можно получить доступ к буферу хост контроллера
022h	Buffer Data Port 1		...
024h	Present State		Регистр указывает, какие используются DAT линии SD интерфейса
026h	Present State		...
028h		Host Control 1	Регистр настроек хоста 1
029h	Power Control		Регистр управления питанием
02Ah		Block Gap Control	Регистр управления загрузкой и восстановлением передачи данных
02Bh	Wakeup Control		Регистр управления пробуждением контроллера
02Ch	Clock Control		Регистр используется для выбора частоты SDCLK
02Eh		Timeout Control	Регистр определяет время, по истечении которого на линии DAT детектируется таймаут
02Fh	Software Reset		Регистр управления программным сбросом
030h	Normal Interrupt Status		Регистр отображает состояния стандартных прерываний
032h	Error Interrupt Status		Регистр отображает состояния прерываний, вызванных ошибками
034h	Normal Interrupt Status Enable		Регистр управления разрешениями стандартных прерываний
036h	Error Interrupt Status Enable вызванных ошибками		Регистр управления разрешениями прерываний, вызванных ошибками
038h	Normal Interrupt Signal Enable		Регистр используется для выбора, какие статусы стандартных прерываний будут отображаться в системе
03Ah	Error Interrupt Signal Enable		Регистр используется для выбора, какие статусы прерываний вызванных ошибками будут отображаться в системе
03Ch	Auto CMD12 Error Status		Регистр используется для отображения наличия ошибок в Auto CMD
03Eh	Host Control 2		Регистр настроек хоста 2
040h-047h	Capabilities		Регистр, обеспечивающий реализацию HC
048h-04F	Maximum Current Capabilities		Регистр устанавливает максимальное потребление для различных напряжений
050h	Force Event for Auto CMD Error Status		Регистр принудительно устанавливает прерывания, связанные с появлением ошибок в Auto CMD
052h	Force event for Error Int Status		Регистр принудительно устанавливает статус вызванного ошибкой прерывания
054h	ADMA Error Status		Регистр содержит статус ошибки при ее появлении в ADMA
056h	Reserved		
058h-05Fh	ADMA System address [63:0]		Регистр содержит адрес выполняемой команды в дескрипторной таблице
060h-06Fh	Preset Value		Предустановленные значения для карты и контроллера
070h	Boot data timeout control		Регистр определяет время, по истечении которого на линии DAT детектируется таймаут во время загрузки с карты
...			
0E0h-0E2h	Shared bus control		Не реализовано в данной версии контроллера
...			
0FCh	Slot Interrupt Status		Регистр показывает состояние прерывание от слота
0FEh	Host Controller Version		Регистр отображает версию контроллера

Смещение	Биты 15-08	Биты 07-00	Описание
100h-11Ch	Конфигурационные сигналы		В данных регистрах устанавливаются значения для аппаратно конфигурируемых регистров, имеющих тип Hwinit

В следующей таблице представлены типы используемых регистров:

Таблица 20.2. Сокращенные обозначения типов регистров

Обозначение типа	Описание
RO	Регистры, доступные только для чтение. Биты регистра не могут быть изменены программно или с помощью операций сброса. Запись в эти биты игнорируется
ROC	Биты этих регистров обнуляются во время сброса. Запись в эти биты игнорируется
RW	Регистры, доступные как на запись, так и на чтение. Биты регистра могут быть изменены программно.
RW1C	Биты доступны для чтения. Для сброса текущего состояния бита необходимо записать единицу. Запись нуля игнорируется.
RWAC	Регистры с автоматическим сбросом. Запросы к контроллеру сопровождаются установкой битов. Контроллер должен очистить эти биты автоматически, после выполнения необходимых операций. Запись нуля в эти биты игнорируется.
Hwinit	Аппаратно инициализируемые биты. Состояние битов заморожено. После инициализации эти биты доступны только на чтение. Запись в эти биты игнорируется. Изменение этих битов доступно только по средствам изменения конфигурационных регистров и последующего сброса контроллера.
RWRST	Регистры, доступные как на запись, так и на чтение. Но изменения, внесенные в эти регистры, отразятся на работе модуля только после проведения программного сброса с помощью флага Software Reset For All из регистра Software.
Rsvd	Зарезервированные биты. При инициализации устанавливаются в ноль. Запись в эти биты игнорируется.

20.4.1 Регистр SDMA System Address (смещение 000h)

Таблица 20.3. Описание полей регистра SDMA System Address

Название	Разряды	Тип	Состояние после сброса	Описание
SDMA System Address / Argument 2	31-0	RW	0	Регистр содержит либо физический адрес системной памяти, использующийся для DMA-транзакций, либо второй аргумент операции Auto CMD23 1) SDMA System Address (Системный адрес SDMA) Этот регистр содержит адрес системной памяти для SDMA передач. Когда Хост Контроллер останавливает SDMA передачу, этот регистр должен указывать на следующую позицию данных. Операции чтения в ходе транзакции могут возвращать неверное значение. Хост Драйвер должен устанавливать этот регистр до начала SDMA транзакции. После остановки SDMA, новый системный адрес следующей позиции данных может быть прочитан из этого регистра. SDMA передача каждый раз ожидает на границе, указываемой в параметре Host SDMA Buffer Boundary , находящемся в Регистре Block Size . Хост Контроллер генерирует DMA прерывания для того чтобы Хост Драйвер мог обновить этот регистр. Хост Драйвер записывает новый системный адрес следующего блока данных в этот

Название	Разряды	Тип	Состояние после сброса	Описание
				<p>регистр. Хост Контроллер перезапускает SDMA передачу когда записан самый старший байт этого регистра (003h).</p> <p>Когда происходит перезапуск SDMA (с помощью команды Resume, либо с помощью установки Continue Request в регистре Block Gap Control) , Хост Контроллер стартует по следующему адресу, сохраненному в регистре SDMA System Address . ADMA не использует этот регистр.</p> <p>2) Argument 2 Этот регистр используется с командой Auto CMD23, для установки 32-х битного значения количества блоков в аргумент CMD23, пока выполняется Auto CMD23. 32-х битное значение количества блоков может быть использовано, если Auto CMD23 используется с ADMA. Если Auto CMD23 используется без ADMA, доступное значение количества блоков ограничено регистром Block Count . Максимальное количество блоков в этом случае равно 65535 .</p>

20.4.2 Регистр Block size (смещение 004h)

Таблица 20.4. Описание полей регистра Block size

Название	Разряды	Тип	Состояние после сброса	Описание
Reserved	15	Rsvd	0	Зарезервировано
Host SDMA Buffer Size	14:12	RW	0	<p>Для выполнения долгой DMA пересылки, регистр System Address должен обновляться в течении этой пересылки на каждой границе буфера. Эти биты определяют размер непрерывного буфера в системной памяти. DMA передача должна ожидать на каждой границе буфера, задаваемой битами данного поля. Хост Контроллер генерирует DMA прерывания для того чтобы Хост Драйвер мог обновить регистр System Address . Эти биты должны использоваться, когда параметр DMA Support из регистра Capabilities установлен в 1 и эта функция активна (когда параметр DMA Enable в регистре Transfer Mode установлен в 1)</p> <p>000b - 4KB(Detects A11 Carry out) 001b - 8KB(Detects A12 Carry out) 010b - 16KB(Detects A13 Carry out) 011b - 32KB(Detects A14 Carry out) 100b - 64KB(Detects A15 Carry out) 101b -128KB(Detects A16 Carry out) 110b - 256KB(Detects A17 Carry out) 111b - 512KB(Detects A18 Carry out)</p>

Название	Разряды	Тип	Состояние после сброса	Описание
Transfer Block Size	11:0	RW	0	<p>Этот регистр определяет размер блока для блочных передач данных CMD17, CMD18, CMD24, CMD25 и CMD 53. Он доступен, только когда никакие транзакции не выполняются (например, после остановки транзакции). Операции чтения во время передачи возвращают неверное значение, а операции записи должны игнорироваться.</p> <p>0000h - No Data Transfer 0001h - 1 Byte 0002h - 2 Bytes 0003h - 3 Bytes 0004h - 4 Bytes 01FFh - 511 Bytes 0200h - 512 Bytes 0800h - 2048 Bytes</p>

20.4.3 Регистр Block count (смещение 006h)

Таблица 20.5. Описание полей регистра Block count

Название	Разряды	Тип	Состояние после сброса	Описание
Blocks Count for Current Transfer	15:0	RW	0	<p>Этот регистр доступен, когда параметр Block Count Enable в регистре Transfer Mode установлен в 1 и имеет силу только для множественных блочных передач. Хост контроллер уменьшает количество блоков после каждой блочной передачи и останавливается, когда это число достигает нуля. Доступен, только когда никакие транзакции не выполняются (например, после остановки транзакции). Операции чтения во время передачи возвращают неверное значение, а операции записи должны игнорироваться.</p> <p>При сохранении передачи контекста в результате команды Suspend , число еще не переданных блоков может быть определено путем чтения этого регистра.</p> <p>При восстановлении контекста передачи до выдачи команды Resume, Хост Драйвер должен восстановить ранее сохраненное количество блоков.</p> <p>0000h - Stop Count 0001h - 1 block 0002h - 2 blocks --- --- FFFFh - 65535 blocks</p>

20.4.4 Регистр Argument1 (смещение 008h)

Таблица 20.6. Описание полей регистра Argument1

Название	Разряды	Тип	Состояние после сброса	Описание
Command Argument 1	31:0	RW	0	Command Argument определяет биты 39-8 формата команды

20.4.5 Регистр Transfer mode (смещение 00Ch)

Таблица 20.7. Описание полей регистра Transfer mode

Название	Разряды	Тип	Состояние после сброса	Описание
Reserved	15:6	Rsvd	0	Зарезервировано .
Multi / Single Block Select	5	RW	0	Это бит включает режим множественной передачи блока. 0 — Единичный Блок 1 — Множество Блоков
Data Transfer Direction Select	4	RW	0	Этот бит определяет направление передачи данных. 0 — Запись (от Хоста на карту) 1 — Чтение (от карты к хосту)
Auto CMD Enable	3:2	RW	0	<p>Это поле определяет использование функции автоматической команды.</p> <p>00b - Auto Command Disabled 01b - Auto CMD12 Enable 10b - Auto CMD23 Enable 11b — Reserved</p> <p>Существует два метода остановки операций чтения и записи множественных блоков.</p> <p>1) Включение автоматического CMD12 Команды чтения и записи множества блоков нуждаются в CMD12 для остановки операции. Когда это поле установлено в 01b Хост Контроллер автоматически выдает CMD12 когда передан последний блок. Ошибки при автоматическом CMD12 отображаются в регистр Auto CMD Error Status . Хост драйвер не должен устанавливать этот бит, если не предполагается использовать CMD12</p> <p>2) Включение автоматического CMD23 Когда в этом битовом поле установлено 10b , Хост Контроллер выдает автоматически CMD23 перед выдачей команды, указанной в Command регистре .</p> <p>Требуются следующие условия для использования Auto CMD23 :</p> <ul style="list-style-type: none"> - поддержка Auto CMD23 (версия Хост Контроллера 3.0 или выше) - карта памяти, которая поддерживает CMD23 (SCR[33]=1) - если используется DMA, должно быть ADMA - только когда выданы CMD18 или CMD25

Название	Разряды	Тип	Состояние после сброса	Описание
				При записи Command регистра Хост Контроллер выдает сначала CMD23 , а уже затем выдает команду, которая определяется параметром Command Index в регистре Command . 32-х битное значение количества блоков для CMD23 устанавливается регистром SDMA System Address / Argument 2
Block Count Enable	1	RW	0	Этот бит используется для разрешения использования регистра Block count, который актуален для множественной пересылки блоков. Если этот бит установлен в 0, то работа с регистром Block Count запрещена, что может быть полезно при выполнении бесконечной передачи. 0 — Запрещено 1 — Разрешено
DMA Enable	0	RW	0	DMA может быть разрешено, только если установлен бит DMA Support в регистре Capabilities . Если этот бит установлен в 1, DMA операция должна начаться при записи Хост Драйвером старшего байта в регистр Command (00Fh). 0 — Запрещено 1 — Разрешено

Типы передачи определяются по следующей таблице:

Таблица 20.8. Типы передачи

Multi / Single Block Select	Block Count Enable	Block Count	Функция
0	Не важно	Не важно	Единичная передача
1	0	Не важно	Бесконечная передача
1	1	Не ноль	Множественная передача
1	1	ноль	Остановка множественной передачи

20.4.6 Регистр Command (смещение 00Eh)

Таблица 20.9. Описание полей регистра Command

Название	Разряды	Тип	Состояние после сброса	Описание
Reserved	15:14	Rsvd	0	Зарезервировано
Command Index	13:8	RW	0	В эти биты должен быть записан номер команды (CMD0-63, ACMD0- 63)

Название	Разряды	Тип	Состояние после сброса	Описание
Command Type	7:6	RW	0	<p>Существует три типа специальных команд: Suspend, Resume и Abort. Для всех остальных команд эти биты должны быть установлены в 00b.</p> <p>Команда Suspend При успешном выполнении команды Suspend, Хост Драйвер должен взять управление освободившейся шиной SD и может подавать следующую команду, которая использует линии DAT. Хост контроллер должен установить Read Wait для операции чтения и перестать проверять занятость для операций записи. Цикл прерываний начинается в 4-х битном режиме. Если команда Suspend не удастся, Хост Контроллер должен сохранить свое текущее состояние, а Хост Драйвер должен перезапустить передачу. Установкой параметра Continue Request в регистре Block Gap Control.</p> <p>Команда Resume Хост драйвер перезапускает передачу данных путем перезаписи регистров в диапазоне 000-00Dh. Хост-контроллер должен провести проверку на занятость до начала операций записи.</p> <p>Команда Abort Если эта команда подается во время выполнения операции чтения, то Хост Контроллер должен остановить чтение в буфер. Если же эта команда подается во время операции записи, то Хост контроллер должен перестать управлять линиями DAT. После подачи команды Abort, Хост Драйвер должен произвести программный сброс.</p> <p>00b - Normal 01b - Suspend 10b - Resume 11b - Abort</p>
Data Present Select	5	RW	0	<p>Если этот бит установлен в 1, то это показывает, что данные готовы и должны быть переданы по линиям DAT. Бит устанавливается в 0 для следующего:</p> <ol style="list-style-type: none"> 1. Команды, использующие только линии CMD (например, CMD52) 2. Команды, не использующие передачу данных, но использующие сигнал занятости на линии DAT[0] (R1b or R5b ex. CMD38) 3. Команда Resume <p>0 — данные не готовы 1 — данные готовы</p>
Command Index Check Enable	4	RW	0	<p>Если этот бит установлен в 1, то Хост Контроллер будет проверять поле индекса в ответе, чтобы увидеть, то ли самое это значение, что и индекс команды. Если будет несовпадение, то это расценивается как Command Index Error. Если этот бит сброшен в 0, то поле индекса не проверяется.</p> <p>0 — Запрещено 1 — Разрешено</p>

Название	Разряды	Тип	Состояние после сброса	Описание
Command CRC Check Enable	3	RW	0	Если этот бит установлен в 1, то Хост Контроллер будет проверять поле CRC в ответе. Если обнаружится ошибка, то это будет расцениваться как Command CRC Error . Если этот бит сброшен в 0, то поле CRC не проверяется. 0 — Запрещено 1 — Разрешено
Reserved	2	Rsvd	0	Зарезервировано
Response Type Select	1:0	RW	0	Выбор типа ответа. 00 — без ответа 01 — длина ответа 136 10 — длина ответа 48 11 — длина ответа 48 проверка занятости после ответа

20.4.7 Регистр Response (смещение 010h)

Таблица 20.10. Описание полей регистра Response

Название	Разряды	Тип	Состояние после сброса	Описание
Command Response	127:0	ROC	0	R[] относится к диапазону битов в пределах ответных данных, переданных по шине SD, REP[] относится к диапазону битов в пределах регистра Response

В следующей таблице приведена зависимость между некоторыми параметрами и названиями типов ответов

Таблица 20.11

Response Type	Index Check Enable	CRC Check Enable	Название типа ответа
00	0	0	Без ответа
01	0	1	R2
10	0	0	R3, R4
10	1	1	R1, R6, R5, R7
11	1	1	R1b, R5b

Следующая таблица описывает соответствие ответных команд от шины SD к данному регистру и каждого типа ответов. R[] относится к диапазону битов в пределах ответных данных, переданных по шине SD, REP[] относится к диапазону битов в пределах регистра Response .

Таблица 20.12

Тип ответа	Значение ответа	Поле ответа	Регистр Response
R1, R1b (обычный ответ)	Статус карты	R[39:8]	REP[31:0]
R1b (Автоматический CMD12 ответ)	Статус карты для автоматического CMD12	R[39:8]	REP[127:96]
R1 (Автоматический CMD23 ответ)	Статус карты для автоматического CMD23	R[39:8]	REP[127:96]
R2 (CID, CSD регистр)	CID or CSD reg. incl.	R[127:8]	REP[119:0]
R3 (OCR регистр)	OCR регистр для памяти	R[39:8]	REP[31:0]
R4 (OCR регистр)	OCR регистр для I/O и проч.	R[39:8]	REP[31:0]
R5, R5b	SDIO ответ	R[39:8]	REP[31:0]
R6 (Публичный RCA ответ)	Новый публичный RCA[31:16]	R[39:8]	REP[31:0]

20.4.8 Регистр Buffer data port (смещение 020h)

Таблица 20.13. Описание полей регистра Buffer data port

Название	Разряды	Тип	Состояние после сброса	Описание
Buffer Data	31:0	RW	X	Буфер Хост контроллера может быть доступен через данный 32-х битный регистр Data Port

20.4.9 Регистр Present state (смещение 024h)

Таблица 20.14. Описание полей регистра Present state

Название	Разряды	Тип	Состояние после сброса	Описание
Reserved	31:29	Rsvd	0	Зарезервировано
DAT[7:4] Line Signal Level	28:25	RO	4'hf	Этот статус используется для проверки уровня на линиях DAT чтобы была возможность восстановления после ошибок и для отладки. D28 - DAT[7] D27 - DAT[6] D26 - DAT[5] D25 - DAT[4]
CMD Line Signal Level	24	RO	1'b1	Этот статус используется для проверки уровня на линиях CMD, чтобы была возможность восстановления после ошибок и для отладки.
DAT[3:0] Line Signal Level	23:20	RO	4'hf	Этот статус используется для проверки уровня на линиях DAT, чтобы была возможность восстановления после ошибок и для отладки. Это особенно полезно для детектирования уровня сигнала занятости от DAT[0] D23 - DAT[3] D22 - DAT[2] D21 - DAT[1] D20 - DAT[0]
Write Protect Switch Pin Level	19	RO	0	Этот бит отображает состояние пина SDWP# 0 — Запись запрещена (SDWP# = 1) 1 — Запись разрешена (SDWP# = 0)

Название	Разряды	Тип	Состояние после сброса	Описание
Card Detect Pin Level	18	RO	0	Этот бит отображает инвертированное значение уровня с пина SDCD# 0 — Карта отсутствует (SDCD# = 1) 1 — Карта присутствует (SDCD# = 0)
Card State Stable	17	RO	0	Данный бит используется для тестирования. Если этот бит равен 0 , значит предыдущий параметр Card Detect Pin Level не стабилен, если 1, то стабилен. Параметр Software Reset For All в регистре Software Reset не оказывает влияния на данный бит. 0 — Reset или процесс устранения дребезга 1 — Карта отсутствует или присутствует
Card Inserted	16	RO	0	Данный бит показывает, была ли вставлена карта. Изменение из 0 в 1 генерирует прерывание Card Insertion в регистре Normal Interrupt Status , а изменение из 1 в 0 — прерывание Card Removal Interrupt в том же регистре. Параметр Software Reset For All в регистре Software Reset не оказывает влияния на данный бит. Если карта извлечена, пока подано напряжение и работает клок, то Хост Контроллер должен очистить параметр SD Bus Power в регистре Power Control и параметр SD Clock Enable в регистре Clock control . В дополнение Хост Драйвер должен произвести сброс Хост контроллера с использованием параметра Software Reset For All из регистра Software. Наличие карты определяется независимо от питания шины SD 0 — Reset или процесс устранения дребезга или карта отсутствует 1 — Карта вставлена
Reserved	15:12	Rsvd	0	Зарезервировано
Buffer Read Enable	11	ROC	0	Этот статус используется для non-DMA передач чтения. Этот флаг показывает, что валидные данные находятся в буфере на стороне хоста. Если этот бит установлен в 1, то данные для чтения находятся в буфере. Изменение из 1 в 0 происходит когда весь блок данных прочитан из буфера. Изменение этого бита из 0 в 1 происходит, когда весь блок данных готов и находится в буфере и генерируется прерывание Buffer Read Ready . 0 — Чтение запрещено 1 — Чтение разрешено
Buffer Write Enable	10	ROC	0	Этот статус используется для non-DMA передач чтения. Этот флаг показывает, доступно ли место в буфере для записываемых данных. Если этот бит установлен в 1, то данные могут быть записаны в буфер. Изменение этого бита из 1 в 0 происходит, когда весь блок данных записан в буфер. Изменение из 0 в 1 происходит, когда верхняя часть блока данных может быть записана в буфер и генерируется прерывание Buffer Write Ready . 0 — Запись запрещена 1 — Запись разрешена

Название	Разряды	Тип	Состояние после сброса	Описание
Read Transfer Active	9	ROC	0	<p>Этот статусный бит используется для определения окончания операции чтения.</p> <p>Он может устанавливаться в 1 при выполнении любого из следующих условий:</p> <ul style="list-style-type: none"> - после последнего бита команды на чтение - когда записывается 1 в Request в регистре Block Gap Control , чтобы перезапустить операцию чтения <p>Этот бит сбрасывается в 0, при выполнении одного из следующих условий:</p> <ul style="list-style-type: none"> - когда последний блок данных, определяющий длину блока, передан в систему. - когда все валидные блоки данных переданы в систему и никаких текущих передач не происходит, в результате чего Stop At Block Gap Request устанавливается в 1. Когда этот бит сбрасывается в 0, генерируется прерывание о прекращении передачи. <p>1 — Передача данных 0 — Нет валидных данных</p>
Write Transfer Active	8	ROC	0	<p>Этот статусный бит показывает, активна ли посылка на запись. Если данный бит установлен в 0, это означает что в Хост Контроллере нет валидной даты для записи. Этот бит устанавливается в следующих случаях:</p> <ul style="list-style-type: none"> - после последнего бита команды на чтение - когда записана 1 в поле Continue Request в регистре Block Gap Control для перезапуска операции записи. <p>Этот бит очищается в следующих случаях:</p> <ul style="list-style-type: none"> - после получения статуса CRC последнего блока данных, определяющего число передач - после получения статуса CRC любого блока, на котором передача данных собирается быть прервана с помощью параметра Stop At Block Gap Request. <p>В течение передачи на запись, когда этот бит установлен, может быть сгенерировано прерывание Block Gap Event , как результат установки Stop At Block Gap Request .</p> <p>1 — Передача данных 0 — Нет валидных данных</p>
Reserved	7:4	Rsvd	0	Зарезервировано

Название	Разряды	Тип	Состояние после сброса	Описание
Re-Tuning Request	3	ROC	0	<p>Установкой этого бита Хост контроллер может запросить Хост Драйвер о выполнении подстроечной последовательности, когда окно данных сдвигается из-за температурного дрейфа и точка выборки уже не имеет требуемого запаса для получения корректных данных.</p> <p>Этот бит очищается, когда запускается команда Execute Tuning из регистра Host Control 2.</p> <p>При изменении этого бита из 0 в 1 генерируется Re-Tuning Event. (подробнее в описании регистра Normal Interrupt).</p> <p>Этот бит не устанавливается, если параметр Sampling Clock Select из регистра Host Control 2 сброшен в 0 (используется фиксированная частота выборки).</p> <p>1 — Частота выборки нуждается в подстройке 0 — Фиксированная или удовлетворительная частота выборки</p>
DAT Line Active	2	ROC	0	Этот бит показывает, используется ли какая-нибудь из линий DAT
Command Inhibit (DAT)	1	ROC	0	<p>Этот статусный бит выставляется либо когда активна одна из линий DAT или когда параметр Read Transfer Active из данного регистра установлен в 1. Когда этот бит сброшен в 0, это показывает что Хост Контроллер может выполнить следующую команду SD. Команды с сигналом занятости связаны с параметром Command Inhibit (DAT) (ex. R1b, R5b type). При изменении этого бита из 1 в 0 генерируется прерывание Transfer Complete в регистре Normal interrupt Status.</p> <p>Примечание. SD Хост Драйвер может сохранять регистры из диапазона 000-00Dh для приостановки передачи после изменения этого бита из 1 в 0.</p> <p>1 — невозможно выполнить команду, которая использовала бы линии DAT 0 — выполнение команды, использующей линии DAT, возможно.</p>

Название	Разряды	Тип	Состояние после сброса	Описание
Command Inhibit (CMD)	0	ROC	0	<p>Если этот бит сброшен в 0, то это показывает что линии CMD не используются и Хост контроллер может выполнить команду SD использующие эти линии. Этот бит устанавливается сразу после записи в регистр Command (00Fh). Это бит сбрасывается, когда получена ответная команда. Даже если параметр Command Inhibit (DAT) установлен в 1, то команды использующие линии CMD могут все равно быть выполнены, если этот бит сброшен. Изменение из 1 в 0 генерирует прерывание Command Complete в регистре Normal Interrupt Status. Если Хост контроллер не может выполнить команду, потому что появляется ошибка Command Conflict Error или Command Not Issued By Auto CMD12 Error, то этот бит остается в 1 и Command Complete не устанавливается. Статус исполнения Auto CMD12 не читается из этого бита.</p> <p>Так как каждая из команд Auto CMD12 и Auto CMD23 подразумевают 2 ответа, то данный бит не сбрасывается при ответе на CMD12 или CMD23, но сбрасывается при ответе на последующую команду чтения/записи. Статус выполнения Auto CMD12 не доступен из чтения этого бита. Поэтому если рассматриваемый бит сбрасывается в течении операции Auto CMD12, то это означает, что Хост Контроллер смог выполнить две команды: CMD12 и команду, установленную в регистре Command.</p>

20.4.10 Регистр Host control 1 (смещение 028h)

Таблица 20.15. Описание полей регистра Host control 1

Название	Разряды	Тип	Состояние после сброса	Описание
Card detect signal Selection	7	RW	0	Этим битов выбирается источник наличия карты. 1 — Для детектирования карты используется тестовый уровень 0 — используется пин SDCD# (в нормальном режиме)
Card Detect Test Level	6	RW	0	Этот бит доступен пока параметр Card Detect Signal Selection установлен в 1 и он показывает вставлена ли карта, или нет. Генерирует прерывание (карта вставлена или извлечена), когда установлен соответствующий бит в регистре Normal Interrupt Status Enable. 1 — Карта вставлена 0 — Карта отсутствует

Название	Разряды	Тип	Состояние после сброса	Описание
Extended Data Transfer Width	5	RW	0	Этот бит контролирует 8-ми битный режим ширины шины. Поддержка этой функции указывается в параметре Extended Media Bus Support из регистра Capabilities . Если устройство поддерживает 8-ми битную шину, то этот бит может быть установлен в 1. Если же данный бит сброшен в 0, то ширина шины контролируется параметром Data Transfer Width из регистра Host Control 1 . Этот бит не имеет силы, когда на шине находится несколько устройств (в этом случае в параметр Slot Type регистра Capabilities установлен в 10b). 1 — 8-ми битная ширина шины 0 — ширина шины определяется Data Transfer Width
DMA Select	4:3	RW	0	Может быть выбран один из режимов, поддерживающих DMA. Хост драйвер должен проверить поддержку DMA режимов, обратившись к регистру Capabilities . 00 — выбран SDMA 01 — выбран 32-bit Address ADMA1 10 — выбран 32-bit Address ADMA2 11 — выбран 64-bit Address ADMA2
High Speed Enable	2	RW	0	Этот бит опциональный. Перед установкой данного бита Хост Драйвер должен быть проверить параметр High Speed Support из регистра Capabilities . Если этот бит сброшен в 0 (по умолчанию) Хост Контроллер управляет шинами CMD и DAT по заднему фронту SD клона (до 25 Mhz для SD/20MHz для MMC). Если же этот бит установлен в 1, то Хост Контроллер управляет шинами CMD и DAT по переднему фронту SD клона (до 50 Mhz для SD/52MHz для MMC)/208Mhz (для SD3.0) . Если параметр Preset Value Enable из регистра Host Control 2 установлен в 1, то Хост Контроллер должен сбросить SD Clock Enable перед изменением этого поля для того, чтобы избежать появления кличей. После установки этого поля, Хост Драйвер выставляет SD Clock Enable вновь. 1 - High Speed Mode 0 - Normal Speed Mode
Data Transfer Width (SD1 or SD4)	1	RW	0	Этот бит определяет ширину шины данных Хост Контроллера. Хост драйвер должен выбрать этот параметр в соответствии с шириной шины данных SD карты. 1 — 4-х битный режим 0 — 1 битный режим
LED Control	0	RW	0	Этот бит используется для предупреждения пользователя, чтобы он не извлекал SD карту, пока к ней осуществляется доступ. Если ПО намерено выполнить множество SD команд, этот бит может быть установлен на протяжении всех транзакций. Не обязательно изменять его для каждой транзакции. 1 - LED on 0 - LED off

20.4.11 Регистр Power control (смещение 029h)

Таблица 20.16. Описание полей регистра Power control

Название	Разряды	Тип	Состояние после сброса	Описание
Reserved	7:5	Rsvd	0	Зарезервировано
Hardware reset	4	RW	0	Сигнал аппаратного сброса, генерируемый для eMMC карты когда данный бит установлен в 1. Активный уровень сигнала сброса для eMMC карты — ноль. Запись 0 в данный бит, отпускает пин аппаратного сброса.
SD Bus Voltage Select	3:1	RW	0	Установкой данного бита Хост контроллер выбирает уровень напряжения на SD карте. Перед установкой данного поля, Хост Драйвер должен проверить параметр Voltage Support из регистра Capabilities . Если выбрано неподдерживаемое напряжение, система не должна поставлять питание на шину SD. 111b - 3.3 Flattop.) 110b - 3.0 V(Тур.) 101b - 1.8 V(Тур.) 100b - 000b - Зарезервировано
SD Bus Power	0	RW	0	Перед установкой этого бита, SD хост драйвер должен установить SD Bus Voltage Select. Если Хост Контроллер выявит отсутствие карты, то этот бит должен быть очищен. 1 — Питание есть 2 — Питание отсутствует

20.4.12 Регистр Block gap control (смещение 02Ah)

Таблица 20.17. Описание полей регистра Block gap control

Название	Разряды	Тип	Состояние после сброса	Описание
boot_ack_chk	7	RW	1	Проверить подтверждение загрузки в соответствующих операциях 1 — ожидать подтверждения загрузки с eMMC карты 0 — не ожидать подтверждения загрузки с eMMC карты
alt_boot_en	6	RW	0	Начать обращение к коду загрузки в альтернативном режиме 1 — начать обращение к альтернативному режиму загрузки 0 — остановить обращение к альтернативному режиму загрузки
BOOT_EN	5	RW	0	Обращение к коду загрузки 1 — начать обращение к коду загрузки 2 — остановить обращение к коду загрузки
SPI_MODE	4	RW	0	Бит разрешения режима SPI 1 — режим SPI 0 — режим SD

Название	Разряды	Тип	Состояние после сброса	Описание
Interrupt At Block Gap	3	RW	0	Этот бит валиден только в 4-х битном режиме SDIO карты и определяет точку выборки в цикле прерывания. Установка в 1 разрешает детекцию прерываний в промежутках между блоками во время множественной передачи блоков. Если SD карта не может генерировать прерывание во время множественной блоковой передаче, то этот бит должен быть сброшен в 0. Когда Хост Драйвер обнаруживает, что SD карта вставлена, то он должен установить этот бит в соответствии с CCCR карты SDIO .
Read Wait Control	2	RW	0	Функция ожидания чтения (Read Wait) опциональна для SDIO карт. Если карта поддерживает эту функцию, необходимо установить этот бит чтобы разрешить использовать протокол ожидания чтения для остановки чтения данных по линии DAT[2] . В противном случае Хост Контроллер вынужден останавливать SD блок для ожидания данных на чтение, что ограничивает формирование команд. Когда Хост Драйвер обнаруживает, что SD карта вставлена, то он должен установить этот бит в соответствии с CCCR карты SDIO . Если карта не поддерживает функцию ожидания чтения, этот бит никогда не должен устанавливаться в 1, иначе на шине DAT может произойти конфликт. В то время, когда данный бит сброшен в 0, не поддерживаются команды Suspend / Resume . 1 — Разрешить ожидание чтения 0 — Запретить ожидание чтения
Continue Request	1	RW C	0	Этот бит используется для того чтобы перезапустить транзакцию, которая может быть остановлена с помощью Stop At Block Gap Request. Для отмены остановки между блоками необходимо сбросить Stop At block Gap Request в 0 и установить данный бит для перезапуска транзакции. Хост Контроллер автоматически очищает этот бит в одном из следующих случаев: 1) В случае операции чтения, когда DAT Line Active изменяется из 0 в 1, как результат перезапуска операции чтения. 2) В случае операции записи, когда Write Transfer Active изменяется из 0 в 1, как результат перезапуска операции записи. Следовательно, сбрасывать данный бит Хост Драйверу нет необходимости. Если параметр Stop At Block Gap Request установлен в 1, любая запись в данный бит игнорируется 1 - Перезапустить 0 - Игнорировать
Stop At Block Gap Request	0	RW	0	Этот бит используется для того чтобы остановить выполнение транзакции в следующем промежутке между блоками для non-DMA, SDMA и ADMA транзакций.

Название	Разряды	Тип	Состояние после сброса	Описание
				<p>До тех пор, пока параметр Transfer Complete (из регистра Normal Interrupt Status) не будет установлен в 1, что означает завершение передачи, Хост Драйвер должен оставлять этот бит установленным в 1. Сброс обоих параметров Stop At Block Gap Request и Continue Request не должен вызывать перезагрузку передачи. Read Wait используется для остановки транзакции чтения в межблочном интервале. Хост контроллер должен учитывать Stop At Block Gap Request для транзакций записи, но для транзакций на чтение требуется поддержка SD картой функционала Read Wait. Следовательно, Хост Драйвер не должен устанавливать этот бит в процессе транзакций чтения, если SD карта не поддерживает Read Wait, и должен установить Read Wait Control в 1. В случае транзакций на запись, в которых Хост Драйвер записывает данные в регистр Buffer Data Port, Хост драйвер должен устанавливать этот бит после того как блок данных будет записан. Если этот бит установлен в 1, Хост Драйвер не должен писать данные в регистр Buffer Data Port. Этот бит влияет на Read Transfer Active, Write Transfer Active, DAT Line Active and Command Inhibit (DAT) в регистре Present State.</p> <p>1 — Остановка 0 — Передача</p>

20.4.13 Регистр Wake-up control (смещение 02Bh)

Таблица 20.18. Описание полей регистра Wake-up control

Название	Разряды	Тип	Состояние после сброса	Описание
Reserved	7:3	Rsvd	0	Зарезервировано
Wakeup Event Enable On SD Card Removal	2	RW	0	<p>Этот бит разрешает событие wakeup при установке бита Card Removal в регистре Normal Interrupt Status. FN_WUS (Wake up Support) в CIS не влияет на этот бит.</p> <p>1 — Разрешено 0 — Запрещено</p>
Wakeup Event Enable On SD Card Insertion	1	RW	0	<p>Этот бит разрешает событие wakeup при установке бита Card Insertion в регистре Normal Interrupt Status. FN_WUS (Wake up Support) в CIS не влияет на этот бит.</p> <p>1 — Разрешено 0 — Запрещено</p>
Wakeup Event Enable On Card Interrupt	0	RW	0	<p>Этот бит разрешает событие wakeup при установке бита Card Interrupt в регистре Normal Interrupt Status. Этот бит может быть установлен в 1 если FN_WUS (Wake up Support) в CIS установлен в 1.</p> <p>1 — Разрешено 0 — Запрещено</p>

20.4.14 Регистр Clock control (смещение 02Ch)

Во время инициализации Хост Контроллера, Хост Драйвер должен установить SDCLK Frequency Select в соответствии с регистром Capabilities .

Таблица 20.19. Описание полей регистра Clock control

Название	Разряды	Тип	Состояние после сброса	Описание
SDCLK Frequency Select	15:8	RW	0	<p>Этот регистр используется для выбора частоты на выходе SDCLK . Эта частота не задается напрямую, этот регистр хранит значение делителя частоты Base Clock Frequency For SD из регистра Capabilities . Доступны только следующие значения:</p> <p>(1) 8-bit Divided Clock Mode 80h — исходный клок делится на 256 40h — исходный клок делится на 128 20h — исходный клок делится на 64 10h — исходный клок делится на 32 08h — исходный клок делится на 16 04h — исходный клок делится на 8 02h — исходный клок делится на 4 01h — исходный клок делится на 2 00h — исходный клок (10MHz-63MHz) Установка 00h определяет наивысшую частоту SD клона. При установке нескольких бит в регистре, значение делителя будет определяться старшим битом. Но несколько бит одновременно в этом регистре не должно устанавливаться. Два значения делителей по умолчанию вычисляются по частоте, которая определена параметром Base Clock Frequency For SD Clock в регистре Capabilities .</p> <p>1) 25 МГц значение делителя 2) 400 КГц значение делителя Частота SDCLK устанавливается исходя из следующей формулы: $Clock\ Frequency = (Base\ clock) / divisor.$ Таким образом, выбор наименьшего значения делителя даст значение частоты меньшей или равной значению исходной частоты. Максимальная частота для SD = 50 МГц (исходная) Максимальная частота для MMC = 50 МГц (исходная) Минимальная частота = $195.3125Khz (50Mhz / 256)$, также и для MMC.</p> <p>(2) 10-bit Divided Clock Mode Хост Контроллер версии 3.00 поддерживает этот обязательный режим вместо 8-bit Divided Clock Mode . Длина делителя расширена до 10 бит и должны поддерживаться все значения делителя. 3FFh --1/2046 Divided Clock N -----1/2N Divided Clock (Duty 50%) 002h -- 1/4 Divided Clock 001h --- 1/2 Divided Clock 000h --- Base Clock (10MHz-254MHz)</p>

Название	Разряды	Тип	Состояние после сброса	Описание
Upper Bits of SDCLK Frequency Select	7:6	RW	0	Это биты 09-08 делителя клона SDCLK Frequency Select
Clock Generator Select	5	RW	0	Этот бит используется для выбора режима генерации частоты в SDCLK Frequency Select. Если используется режим Programmable Clock Mode (при ненулевом значении параметра Clock Multiplier регистре Capabilities), то этот бит доступен как на чтение, так и на запись. Если не поддерживается, то бит доступен только на чтение и читается 0. Этот бит зависит от значения Preset Value Enable в регистре Host Control 2. Если Preset Value Enable = 0, то этот бит устанавливается Хост Драйвером. Если Preset Value Enable = 1, то этот бит автоматически устанавливается в соответствии со значениями регистров Preset Value. 1 Programmable Clock Mode 0 Divided Clock Mode
Reserved	4:3	Rsvd	0	Зарезервировано
SD Clock Enable	2	RW	0	Хост Контроллер должен останавливать тактовую частоту SDCLK, когда в этот бит записан 0. Параметр SDCLK Frequency Select может быть изменен, когда этот бит установлен в 0. Затем Хост Контроллер должен установить ту же частоту, что была до тех пор, как SDCLK была остановлена. Если Хост Контроллер выявит отсутствие карты, то этот бит должен быть очищен. 1 — Разрешено 0 — Запрещено
Internal Clock Stable	1	ROC	0	Этот бит устанавливается в 1, когда SD клок становится стабильным после записи 1 в Internal Clock Enable из этого регистра. SD Хост Драйвер должен подождать с установкой SD Clock Enable, до тех пор пока не установится данный бит.
Internal Clock Enable	0	RW	0	Этот бит устанавливается в 0, когда Хост Драйвер не использует Хост Контроллер или когда Хост Контроллер ожидает событие wakeup. Хост Контроллер должен остановить свою внутреннюю частоту чтобы перейти в состояние с более низким энергопотреблением. Но регистры в это время все еще доступны на запись и чтение. Тактовая частота включается, когда этот бит устанавливается в 1. Когда частота становится стабильной, Хост Контроллер должен установить параметр Internal Clock Stable в 1. Этот бит не должен влиять на детектирование наличия карты 1 — Частота включена 2 — Частота остановлена.

20.4.15 Регистр Timeout control (смещение 02Eh)

Таблица 20.20. Описание полей регистра Timeout control

Название	Разряды	Тип	Состояние после сброса	Описание
Reserved	7:4	Rsvd	0	Зарезервировано
Data Timeout Counter Value	3:0	RW	0	<p>Это значение определяет интервал, по которому детектируется time-out на DAT-линиях. Информация о факторах, вызывающих time-out описывается параметром Data Time-out Error в регистре Error Interrupt Status . Частота для определения time-out будет сгенерирована делением $sdclockTMCLK$ на значение этого регистра. Когда этот регистр установлен, предотвращение нежелательных time-out событий происходит при помощи очистки параметра Data Time-out Error Status Enable в регистре Error Interrupt Status Enable .</p> <p>1111 - Reserved 1110 - $TMCLK * 2^{27}$ ----- ----- 0001 - $TMCLK * 2^{14}$ 0000 - $TMCLK * 2^{13}$</p>

20.4.16 Регистр Software reset (смещение 02Fh)

Таблица 20.21. Описание полей регистра Software reset

Название	Разряды	Тип	Состояние после сброса	Описание
Reserved	7:3	Rsvd	0	Зарезервировано
Software Reset for DAT Line	2	RWA C	0	<p>Сбрасывается только часть цепи данных. Следующие регистры и биты очищаются этим битом:</p> <p>Buffer Data Port Register Буфер очищен и проинициализирован Present State register Buffer read Enable Buffer write Enable Read Transfer Active Write Transfer Active DAT Line Active Command Inhibit (DAT) Block Gap Control register Continue Request Stop At Block Gap Request Normal Interrupt Status register Buffer Read Ready Buffer Write Ready Block Gap Event Transfer Complete</p> <p>1 — Сброс 0 — Работает</p>

Название	Разряды	Тип	Состояние после сброса	Описание
Software Reset for CMD Line	1	RWA C	0	Сбрасывается только часть командной цепи. Следующие регистры и биты очищаются этим битом: Present State register Command Inhibit (CMD) Normal Interrupt Status register Command Complete 1 — Сброс 0 — Работает
Software Reset for All	0	RWA C	0	Этот сброс влияет на весь Хост Контроллер за исключением цепи детектирования карты. Биты регистров с типом ROC, RW, RWIC, RWAC сбрасываются в 0. В время инициализации Хост Драйвер должен установить этот бит в 1 для сброса Хост Контроллера. Хост контроллер должен самостоятельно сбросить этот бит в 0, когда регистры Capabilities становятся валидными и Хост Драйвер способен их прочитать. Использование Software Reset For All не оказывает влияния на значение регистров Capabilities. Если этот бит установлен в 1, SD карта производит внутренний сброс и должна быть проинициализирована Хост Драйвером 1 — Сброс 0 — Работает

20.4.17 Регистр Normal interrupt status (смещение 030h)

Таблица 20.22. Описание полей регистра Normal interrupt status

Название	Разряды	Тип	Состояние после сброса	Описание
Error Interrupt	15	ROC	0	Если в регистре Error Interrupt Status установлен какой-либо бит, то бит Error Interrupt устанавливается в 1 автоматически. Следовательно, Хост Драйвер может провести тест на наличие ошибок, прочитав этот бит в первую очередь. 0 — Нет ошибок 1 — Имеются ошибки
Boot terminate Interrupt	14	RW1 C	0	Этот статусный бит если операция загрузки прервана 0 — операция загрузки не прерывалась 1 — операция загрузки прервана
Boot ack rcv	13	RW1 C	0	Этот статусный бит устанавливается, если от устройства принято подтверждение загрузки 0 — подтверждение загрузки не принято 1 — принято подтверждение загрузки

Название	Разряды	Тип	Состояние после сброса	Описание
Re-Tuning Event	12	ROC	0	Этот статусный бит устанавливается, если параметр Re-Tuning Request в регистре Present State изменяется из 0 в 1. Хост Контроллер запрашивает Хост Контроллер о проведении процедуры подстройки для следующей передачи данных. Текущая передача данных (не большое число блоков) может быть завершена без подстройки. 1 — Должна быть произведена процедура подстройки 0 — Подстройка не требуется
int_c	11	ROC	0	Этот статусный бит установлен, если разрешено INT_C и на пине INT_C# низкий уровень. Запись 1 в этот бит не очищает его. Он очищается после исчезновения фактора, вызвавшего прерывание INT_C
int_b	10	ROC	0	Этот статусный бит установлен, если разрешено INT_B и на пине INT_B# низкий уровень. Запись 1 в этот бит не очищает его. Он очищается после исчезновения фактора, вызвавшего прерывание INT_B
int_a	9	ROC	0	Этот статусный бит установлен, если разрешено INT_A и на пине INT_A# низкий уровень. Запись 1 в этот бит не очищает его. Он очищается после исчезновения фактора, вызвавшего прерывание INT_A
Card Interrupt	8	ROC	0	Запись 1 в этот бит не очищает его. Он очищается после исчезновения фактора, вызвавшего прерывание SD карты . В 1-битном режиме Хост Контроллер должен детектировать Card Interrupt без SD блока для того чтобы иметь возможность поддерживать функционал wakeup. В 4-х битном режиме сигнал прерывания от карты детектируется в течении цикла прерывания, поэтому существует некоторая задержка между сигналом прерывания с карты и прерыванием в Хост Системе . Когда этот статусный бит поднят и Хост Драйверу нужно запустить обработку прерываний, то чтобы очистить этот, нужно сбросить в 0 бит Card Interrupt Status Enable в регистре Normal Interrupt Status Enable . После завершения обработки прерывания необходимо установить Card Interrupt Status Enable в 1, и снова возобновить ожидание сигнала прерывания. Детектирование прерывания по линии DAT[1] поддерживается при условии, что используется только одна карта на слот. В случае использования общей шины, для детектирования прерываний используются пины прерываний. 0 — Не было прерывания от карты 1 — Обнаружено прерывание от карты

Название	Разряды	Тип	Состояние после сброса	Описание
Card Removal	7	RW1 C	0	Этот статусный бит устанавливается, если параметр Card Inserted в регистре Present State изменяется из 1 в 0. Чтобы очистить этот бит, Хост Драйвер должен записать в него 1, в этом случае статус Card Inserted в регистре Present State должен согласованно измениться. Поскольку детектирование карты может произойти в то время, когда Хост Драйвер очищает этот бит, событие прерывания может быть не сгенерировано. 0 — Состояние карты стабильно или процесс устранения дребезга 1 — Карта извлечена
Card Insertion	6	RW1 C	0	Этот статусный бит установлен, если параметр Card Inserted регистра Present State изменился с 0 на 1. Для сброса этого бита, Хост Драйвер должен записать в него 1. Параметр Card Inserted регистра Present State в этом случае также должен измениться соответствующим образом. Поскольку детектирование карты может произойти в то время, когда Хост Драйвер очищает этот бит, событие прерывания может быть не сгенерировано. 0 — Состояние карты стабильно или процесс устранения дребезга 1 — Карта вставлена
Buffer Read Ready	5	RW1 C	0	Этот бит выставляется, когда параметр Buffer Read Enable изменяется из 0 в 1. Buffer Read Ready выставляется каждый раз при выполнении CMD19 в процедуре подстройки. 0 — Буфер для чтения не готов 1 — Буфер для чтения готов
Buffer Write Ready	4	RW1 C	0	Этот бит выставляется, когда параметр Buffer Write Enable изменяется из 0 в 1. 0 — Буфер для записи не готов 1 — Буфер для записи готов
DMA Interrupt	3	RW1 C	0	Этот бит устанавливается, если Хост Контроллер обнаруживает появление Host DMA Buffer Boundary в регистре Block Size 0 — Нет прерывания от DMA 1 — Сгенерировано прерывание от DMA
Block Gap Event	2	RW1 C	0	Этот бит выставляется, при появлении Stop At Block Gap Request в регистре Block Gap Control Операция чтения: Этот бит выставляется по заднему фронту сигнала DAT Line Active Status (Когда транзакция остановлена во время пересылки по шине SD, Read Wait должна поддерживать этот функционал.) Операции записи: Этот бит выставляется по заднему фронту сигнала Write Transfer Active Status (после получения статуса CRC во время пересылки по шине SD). 0 — События Block Gap не было 1 — Передача остановлена при Block Gap

Название	Разряды	Тип	Состояние после сброса	Описание
Transfer Complete	1	RW1 C	0	<p>Этот бит устанавливается, когда операция чтение/запись завершена.</p> <p>Операция чтения: Этот бит устанавливается по заднему фронту изменения сигнала Read Transfer Active Status . Существует 2 случая, при которых генерируется прерывание. Первый — когда завершена передача данных установленной длины. (После последних данных, прочитанных Хост Системой). Второй случай, когда данный были остановлены в паузе между блоками, и передача завершена путем установки флага Stop At Block Gap Request в регистре Block Gap Control. (После валидного прочтения данных Хост Системой) .</p> <p>Операция записи: Этот бит устанавливается по заднему фронту параметра DAT Line Active Status . Существует также 2 случая, когда генерируется это прерывание в режиме записи. Первый — когда последние данные установленной длины записаны на карту и отпущен сигнал Busy. Второй случай, когда данный были остановлены в паузе между блоками, и передача завершена путем установки флага Stop At Block Gap Request в регистре Block Gap Control. (После валидной записи данных на SD карту и отпускания сигнала Busy.)</p> <p>Примечани. Флаг Transfer Complete имеет более высокий приоритет чем флаг Data Time-out Error. Если оба эти бита установлены одновременно, то считается что передача завершена.</p> <p>Примечание. Во время выполнения процедуры подстройки (флаг Execute Tuning установлен в 1), бит Transfer Complete не устанавливается в 1. 0 — передача данных не завершена 1 — передача данных завершена</p>
Command Complete	0	RW1 C	0	<p>Этот бит устанавливается, когда мы получаем последний бит в командном ответе (кроме CMD12 и CMD23) .</p> <p>Примечание. Флаг Command Time-out Error имеет более высокий приоритет , чем Command Complete. Если оба флага установлены одновременно, то можно считать, что ответ не был принят правильно. 0 — Команда не завершена 1 — Команда завершена.</p>

Таблица 20.23. Соотношения между transfer complete и data timeout error

Transfer Complete	Data Timeout Error	Значение статуса
0	0	Прерывание от другого фактора
0	1	Во время передачи произошел Timeout
1	Не имеет значения	Передача данных завершена

Таблица 20.24. Соотношения между command complete и command timeout error

Command Complete	Command Timeout Error	Значение статуса
0	0	Прерывание от другого фактора
Не имеет значения	1	Ответ не был получен в течении 64 циклов SDCLK
1	0	Ответ получен

20.4.18 Регистр Error interrupt status (смещение 032h)

Статусы, определенные в этом регистре, могут быть разрешены в регистре Error Interrupt Status Enable, но не регистром Error Interrupt Signal Enable. Прерывание генерируется, когда Error Interrupt Signal Enable разрешен и хотя бы один статус установлен. Запись 1 очищает бит, а запись 0 игнорируется. При записи регистра может быть очищено более одного статуса.

Таблица 20.25. Описание полей регистра Error interrupt status

Название	Разряды	Тип	Состояние после сброса	Описание
Vendor Specific Error Status	15:13	Rsvd	0	Зарезервировано
Target Response error	12	RW1 C	0	Происходит, когда детектируется ERROR во время m_hresp (dma транзакция) 1 — Ошибка 0 — Нет ошибки
Reserved	11:10	Rsvd	0	Зарезервировано
ADMA Error	9	RW1 C	0	Этот бит устанавливается, когда Хост Контроллер обнаруживает ошибки во время передачи данных, на основе ADMA. Значение возникшей ошибки ADMA сохраняется в регистре ADMA Error Status. 1 — Ошибка 0 — Нет ошибки
Auto CMD Error	8	RW1 C	0	Auto CMD12 и Auto CMD23 используют этот статус ошибки. Этот бит устанавливается когда детектируется, что один из битов (D00-D04) регистра Auto CMD Error Status изменяется из 0 в 1. В случае Auto CMD12 данный бит выставляется не только тогда, когда происходит соответствующая ошибка, но и тогда, когда Auto CMD12 не выполняется в связи с ошибкой выполнения предыдущей команды. 1 — Ошибка 0 — Нет ошибки

Название	Разряды	Тип	Состояние после сброса	Описание
Current Limit Error	7	RW1 C	0	Установкой флага SD Bus Power в регистре Power Control Хост Контроллер запрашивает питание для шины SD. Если Хост Контроллер поддерживает Current Limit Function, то можно защитить устройство от неразрешенных карт отключением питания для карты. В этом случае бит показывает статус неисправности. Наличие 1 означает, Хост Контроллер не подает питание SD на карту из-за наличия некоторых неисправностей. Наличие 0 означает, что Хост Контроллер подает питание и никаких ошибок не обнаружено. Этот бит должен быть всегда установлен в 0, если Хост Контроллер не использует эту функцию. 1 — Неисправность в подаче питания 0 — Нет ошибки
Data End Bit Error	6	RW1 C	0	Происходит, когда обнаруживается 0 в последнем бите читаемых данных, которые используются линиями DAT или в последнем бите CRC статуса. 1 — Ошибка 0 — Нет ошибки
Data CRC Error	5	RW1 C	0	Происходит, когда обнаруживается ошибка CRC при чтении данных, используя линии DAT, или когда обнаруживается, что значение Write CRC Status отличается от «010». 1 — Ошибка 0 — Нет ошибки
Data Timeout Error	4	RW1 C	0	Происходит, когда обнаруживается одно из следующих timeout -событий. 1. Busy Timeout для типов R1b, R5b. 2. Busy Timeout после Write CRC status 3. Write CRC status Timeout 4. Read Data Timeout 0 — Нет ошибки 1 — Timeout
Command Index Error	3	RW1 C	0	Флаг выставляется, когда происходит ошибка Command Index во время Command Response. 1 — Ошибка 0 — Нет ошибки
Command End Bit Error	2	RW1 C	0	Происходит, когда в конечном бите командного ответа обнаруживается 0. 1 — Ошибка 0 — Нет ошибки

Название	Разряды	Тип	Состояние после сброса	Описание
Command CRC Error	1	RW1 C	0	Command CRC Error генерируется в 2-х случаях: 1) Если возвращен ответ и флаг Command Timeout Error сброшен в 0, то этот бит устанавливается в 1, когда обнаруживается CRT-ошибка в командном ответе 2) Хост Контроллер обнаруживает конфликт на линии CMD во время выполнения команды. Если Хост Контроллер подает на CMD линию 1, а на следующем такте SDCLK видит 0, то Хост Контроллер должен прервать команду (прекратить управлять линией CMD), и установить этот флаг в 1. Бит Command Timeout Error также должен быть выставлен в 1, чтобы конфликт на линии CMD мог быть распознан. 1 — Сгенерирована CRC ошибка 0 — Нет ошибки
Command Timeout Error	0	RW1 C	0	Происходит только если не приходит ответ в течении 64 циклов SDCLK после последнего бита команды. Если Хост Контроллер обнаруживает конфликт на линии CMD, то Command CRC Error также должен быть выставлен. Этот бит должен быть выставлен без ожидания 64 циклов SDCLK, потому что команда будет прервана Хост Контроллером. 0 — Нет ошибки 1 — Timeout

Таблица 20.26. Соотношения между command CRC error и command time-out error

Command CRC Error	Command Time-out Error	Значение статуса
0	0	Нет ошибок
0	1	Response Timeout Error
1	0	Response CRC Error
1	1	CMD Line Conflict

20.4.19 Регистр Normal interrupt status enable (смещение 034h)

Таблица 20.27. Описание полей регистра Normal interrupt status enable

Название	Разряды	Тип	Состояние после сброса	Описание
Fixed to 0	15	RO	0	Хост Контроллер должен контролировать прерывания от ошибок, используя регистр Error Interrupt Status Enable.
Boot terminate Interrupt enable	14	RW	0	0 — Masked 1 — Enabled
Boot ack rcv enable	13	RW	0	0 — Masked 1 — Enabled
Re-Tuning Event Status Enable	12	RW	0	0 — Masked 1 — Enabled

Название	Разряды	Тип	Состояние после сброса	Описание
INT_C Status Enable	11	RW	0	Если этот бит установлен в 0, Хост Контроллер должен очистить запрос на прерывание системы. Хост Драйвер может очистить этот бит до обработки INT_C и может установить этот бит снова после того как все запросы на прерывание будут очищены, чтобы избежать ложных срабатываний прерываний.
INT_B Status Enable	10	RW	0	Если этот бит установлен в 0, Хост Контроллер должен очистить запрос на прерывание системы. Хост Драйвер может очистить этот бит до обработки INT_B и может установить этот бит снова после того как все запросы на прерывание будут очищены, чтобы избежать ложных срабатываний прерываний.
INT_A Status Enable	9	RW	0	Если этот бит установлен в 0, Хост Контроллер должен очистить запрос на прерывание системы. Хост Драйвер может очистить этот бит до обработки INT_A и может установить этот бит снова после того как все запросы на прерывание будут очищены, чтобы избежать ложных срабатываний прерываний.
Card Interrupt Status Enable	8	RW	0	Если этот бит установлен в 0, Хост Контроллер должен очистить запрос на прерывание системы. Детектирование события Card Interrupt прекращается, когда этот бит сброшен, и возобновляется при его установке. Хост Драйвер может очистить Card Interrupt Status Enable до обработки события Card Interrupt и восстановить его снова после того как все запросы на прерывание от карты будут очищены, чтобы избежать ложных срабатываний прерываний. 0 — Masked 1 — Enabled
Card Removal Status Enable	7	RW	0	0 — Masked 1 — Enabled
Card Insertion Status Enable	6	RW	0	0 — Masked 1 — Enabled
Buffer Read Ready Status Enable	5	RW	0	0 — Masked 1 — Enabled
Buffer Write Ready Status Enable	4	RW	0	0 — Masked 1 — Enabled
DMA Interrupt Status Enable	3	RW	0	0 — Masked 1 — Enabled
Block Gap Event Status Enable	2	RW	0	0 — Masked 1 — Enabled
Transfer Complete Status Enable	1	RW	0	0 — Masked 1 — Enabled
Command Complete Status Enable	0	RW	0	0 — Masked 1 — Enabled

20.4.20 Регистр Error interrupt status enable (смещение 036h)

Таблица 20.28. Описание полей регистра Error interrupt status enable

Название	Разряды	Тип	Состояние после сброса	Описание
Vendor Specific Error Status Enable	15:13	Rsvd	0	Зарезервировано
Target Response Error Status Enable	12	RW	0	0 — Masked 1 — Enabled
Reserved	11:10	Rsvd	0	Зарезервировано
ADMA Error Status Enable	9	RW	0	0 — Masked 1 — Enabled
Auto CMD12 Error Status Enable	8	RW	0	0 — Masked 1 — Enabled
Current Limit Error Status Enable	7	RW	0	0 — Masked 1 — Enabled
Data End Bit Error Status Enable	6	RW	0	0 — Masked 1 — Enabled
Data CRC Error Status Enable	5	RW	0	0 — Masked 1 — Enabled
Data Timeout Error Status Enable	4	RW	0	0 — Masked 1 — Enabled
Command Index Error Status Enable	3	RW	0	0 — Masked 1 — Enabled
Command End Bit Error Status Enable	2	RW	0	0 — Masked 1 — Enabled
Command CRC Error Status Enable	1	RW	0	0 — Masked 1 — Enabled
Command Time-out Error Status Enable	0	RW	0	0 — Masked 1 — Enabled

20.4.21 Регистр Normal interrupt signal enable (смещение 038h)

Этот регистр используется для выбора тех сигналов прерываний, которые необходимо включить. Установка одного из этих бит в 1 разрешает генерирование соответствующего прерывания.

Таблица 20.29. Описание полей регистра Normal interrupt signal enable

Название	Разряды	Тип	Состояние после сброса	Описание
Fixed to 0	15	RO	0	Хост Драйвер должен контролировать прерывания от ошибок, используя регистр Error Interrupt Signal Enable
Boot terminate Interrupt signal enable	14	RW	0	0 — Masked 1 — Enabled
Boot ack rcv signal enable	13	RW	0	0 — Masked 1 — Enabled
Re-Tuning Event signal Enable	12	RW	0	0 — Masked 1 — Enabled
INT_C signal Enable	11	RW	0	0 — Masked 1 — Enabled

Название	Разряды	Тип	Состояние после сброса	Описание
INT_B signal Enable	10	RW	0	0 — Masked 1 — Enabled
INT_A signal Enable	9	RW	0	0 — Masked 1 — Enabled
Card Interrupt Signal Enable	8	RW	0	0 — Masked 1 — Enabled
Card Removal Signal Enable	7	RW	0	0 — Masked 1 — Enabled
Card Insertion Signal Enable	6	RW	0	0 — Masked 1 — Enabled
Buffer Read Ready Signal Enable	5	RW	0	0 — Masked 1 — Enabled
Buffer Write Ready Signal Enable	4	RW	0	0 — Masked 1 — Enabled
DMA Interrupt Signal Enable	3	RW	0	0 — Masked 1 — Enabled
Block Gap Event Signal Enable	2	RW	0	0 — Masked 1 — Enabled
Transfer Complete Signal Enable	1	RW	0	0 — Masked 1 — Enabled
Command Complete Signal Enable	0	RW	0	0 — Masked 1 — Enabled

20.4.22 Регистр Error interrupt signal enable (смещение 03Ah)

Этот регистр используется для выбора тех сигналов прерываний, которые необходимо включить. Установка одного из этих бит в 1 разрешает генерирование соответствующего прерывания.

Таблица 20.30. Описание полей регистра Error interrupt signal enable

Название	Разряды	Тип	Состояние после сброса	Описание
Vendor Specific Error Signal Enable	15:13	Rsvd	0	Зарезервировано
Target Response Error Signal Enable	12	RW	0	0 — Masked 1 — Enabled
Reserved	11:10	Rsvd	0	Зарезервировано
ADMA Error Signal Enable	9	RW	0	0 — Masked 1 — Enabled
Auto CMD12 Error Signal Enable	8	RW	0	0 — Masked 1 — Enabled
Current Limit Error Signal Enable	7	RW	0	0 — Masked 1 — Enabled
Data End Bit Error Signal Enable	6	RW	0	0 — Masked 1 — Enabled
Data CRC Error Signal Enable	5	RW	0	0 — Masked 1 — Enabled
Data Timeout Error Signal Enable	4	RW	0	0 — Masked 1 — Enabled
Command Index Error Signal Enable	3	RW	0	0 — Masked 1 — Enabled
Command End Bit Error	2	RW	0	0 — Masked

Название	Разряды	Тип	Состояние после сброса	Описание
Signal Enable				1 — Enabled
Command CRC Error Signal Enable	1	RW	0	0 — Masked 1 — Enabled
Command Time-out Error Signal Enable	0	RW	0	0 — Masked 1 — Enabled

20.4.23 Регистр Auto CMD error status (смещение 03Ch)

Этот регистр используется для того отображения ошибок при CMD12- ответе во время Auto CMD12 и CMD23 -ответе во время Auto CMD23. Из этого регистра Хост Драйвер может определить какого типа Auto CMD12 / CMD23 произошла ошибка. Ошибки Auto CMD23 отображаются в битах 04-01 . Этот регистр действителен только тогда, когда установлен флаг Auto CMD Error.

Таблица 20.31. Описание полей регистра Auto CMD error status

Название	Разряды	Тип	Состояние после сброса	Описание
Reserved	15:8	Rsvd	0	Зарезервировано
Command Not Issued By Auto CMD12 Error	7	ROC	0	Этот бит установлен в 0, если Auto CMD Error генерируется командой Auto CMD23 0 — Нет ошибок 1 — Не выполнено
Reserved	6:5	Rsvd	0	Зарезервировано
Auto CMD Index Error	4	ROC	0	Происходит при появлении ошибки связанной с Command Index в ответе на посланную команду 0 — Нет ошибок 1 — Ошибка
Auto CMD End Bit Error	3	ROC	0	Появляется, когда обнаруживается 0 в конечном бите ответной команды 0 — Нет ошибок 1 — Ошибка конечного бита
Auto CMD CRC Error	2	ROC	0	Появляется, когда обнаруживается CRC-ошибка в ответной команде 0 — Нет ошибок 1 — CRC ошибка
Auto CMD Timeout Error	1	ROC	0	Происходит, если ответ не приходит в течении 64 циклов SDCLK после отправки конечного бита команды. Если данный бит установлен, то остальные биты ошибок (D04-D02) не имеют значения. 0 — Нет ошибок 1 — Timeout ошибка

Название	Разряды	Тип	Состояние после сброса	Описание
Auto CMD12 not Executed	0	ROC	0	Если передача множественного блока данных не началась вследствие ошибки команды, этот бит не устанавливается, по-скольку в этом нет необходимости для запуска Auto CMD12. Установка этого бита в 1 означает, что Хост Контроллер не может запустить Auto CMD12, чтобы остановить передачу множественного блока данных вследствие неких ошибок. Если данный бит установлен, то остальные биты ошибок (D04-D02) не имеют значения. Этот бит установлен в 0, если Auto CMD Error генерируется командой Auto CMD23

Таблица 20.32. Соотношения между Auto CMD12 CRC error и Auto CMD12 timeout error

Auto Cmd12 CRC Error	Auto CMD12 Timeout Error	Варианты ошибки
0	0	Нет ошибок
0	1	Response Timeout Error
1	0	Response CRC Error
1	1	CMD Line Conflict

20.4.24 Регистр Host control 2 (смещение 03Eh)

Таблица 20.33. Описание полей регистра Host control 2

Название	Разряды	Тип	Состояние после сброса	Описание
Preset Value Enable	15	RW	0	1 — Автоматическая выборка параметров из предустановленных значений включена 0 — SDCLK и мощность драйвера контролируются Хост Драйвером Если этот бит сброшен в 0, параметры SDCLK Frequency Select, Clock Generator Select в регистре Clock Control и Driver Strength Select в регистре Host Control 2 устанавливаются Хост Драйвером. Если это бит установлен в 1, SDCLK Frequency Select, Clock Generator Select в регистре Clock Control и Driver Strength Select в регистре Host Control 2 выбираются Хост Контроллером самостоятельно из регистра Preset Value .

Название	Разряды	Тип	Состояние после сброса	Описание
Asynchronous Interrupt Enable	14	RW	0	Если карта поддерживает асинхронные прерывания, то этот бит может быть установлен в 1. Параметр Asynchronous Interrupt Support в регистре Capabilities также должен быть установлен в 1. Асинхронные прерывания эффективны, когда в 4-х битном режиме используется прерывание от линии DAT[1] (и Interrupt Pin Select в регистре Shared Bus Control сброшен в 0). Если рассматриваемый бит сброшен в 0, то Хост Драйвер может остановить SDCLK в течении периода асинхронного прерывания для экономии энергии. В течении этого периода Хост Контроллер продолжает передавать Card Interrupt хосту, в случае его генерации картой. 1 — Разрешено 0 — Запрещено
Reserved	13:8	Rsvd	0	Зарезервировано
Sampling Clock Select	7	RW	0	Этот бит устанавливается в процессе процедуры подстройки, когда сброшен флаг Execute Tuning . Запись 1 в данный бит не имеет значения и игнорируется. Установка в 1 означает, что подстройка завершена успешно, а 0 — подстройка не прошла. Хост Контроллер использует данный бит для выбора управляющего клона для управления шинами CMD и DAT. Этот бит сбрасывается записью 0. Изменение этого бита не разрешается пока Хост Контроллер принимает ответ или читает блок данных. 1 — Подстраиваемая частота используется для управления данными 0 — Фиксированная частота используется для управления данными
Execute Tuning	6	RW C	0	Этот бит устанавливается в 1, чтобы начать процедуру подстройки, и автоматически сбрасывается, когда процедура подстройки заканчивается. Результат подстройки отображается в параметре Sampling Clock Select. Процедура подстройки прерывается при записи 0 в этот бит. 1 — Выполняется подстройка 0 — Нет подстройки либо подстройка завершена.
Driver Strength Select	5:4	RW	0	Эти биты используются выходным драйвером Хост Контроллера при использовании питания 1.8В. В режиме использования 3.3В это поле не используется. Это поле может быть выставлено в зависимости от того, какие значения имеют параметры Driver Type A, C и D в регистре Capabilities . Если Preset Value Enable = 0, то данные биты выставляется Хост Контроллером, Если Preset Value Enable = 1, это поле автоматически заполняется, используя данные регистра Preset Value . 00b выбран Driver Type B (по умолчанию) 01b выбран Driver Type A 10b выбран Driver Type C 11b выбран Driver Type D

Название	Разряды	Тип	Состояние после сброса	Описание
1.8V Signaling Enable	3	RW	0	<p>Данный бит управляет регулятором напряжения I/O ячейки. Изменение этого бита из 0 в 1 запускает изменение напряжения сигналов с 3.3В на 1.8В.</p> <p>Внешний регулятор питания должен стабилизироваться в течении 5 мс. Хост Контроллер очищает этот бит, если переключение на 1.8В не удалось.</p> <p>Изменение этого бита из 1 в 0 запускает изменение напряжения сигналов с 1.8В на 3.3В. Внешний регулятор питания должен стабилизироваться в течении 5 мс.</p> <p>Хост Драйвер может установить этот бит в 1, если Хост Контроллер поддерживает управление сигналами в режиме питания 1.8В (один из соответствующих битов SDR50, SDR104 или DDR50 в регистре Capabilities установлен в 1) и если карта или другое подключенное устройство поддерживает UHS-I</p>
UHS Mode Select	2:0	RW	0	<p>Это поле используется для выбора одного из режимов UHS-I и имеет силу, если параметр 1.8V Signaling Enable равен 1.</p> <p>Если флаг Preset Value Enable регистра Host Control 2 установлен в 1, то Host Controller должен устанавливать параметры SDCLK Frequency Select, Clock Generator Select в регистре Clock Control и Driver Strength Select в соответствии данными регистра Preset Value . В этом случае одно из предустановленных значений регистра выбирается из данного поля. Хост Драйверу следует сбросить SD Clock Enable до внесения изменений в это поле во избежание сбоев в блоке. После установки этого поля, должен восстановить SD Clock Enable вновь.</p> <p>000b - SDR12 001b - SDR25 010b - SDR50 011b - SDR104 100b - DDR50 101b - 111 зарезервировано</p> <p>Когда для SDIO-карты выбраны режимы SDR50, SDR104 или DDR50 , детектирование прерываний во время разрывов в блоках не используется. Для этих режимов также изменены временные соотношения для функционала Read Wait . Для получения подробностей обратитесь к SDIO Specification Version 3.00 .</p>

20.4.25 Регистр Capabilities (смещение 040h)

Хост Драйвер может получить из этого регистра информацию, специфичную для данной реализации Хост Контроллера. Хост Контроллер получает эти данные из конфигурационных регистров (расположенных по адресам 100h...118h) во время инициализации при включении питания ил после общего сброса Хост Контроллера.

Таблица 20.34. Описание полей регистра Capabilities

Название	Разряды	Тип	Состояние после сброса	Описание
Reserved	63:58	Rsvd	0	Зарезервировано
SPI block mode	57	HwInit		Режим Spi block 0 — не поддерживается 1 — поддерживается
SPI mode	56	HwInit		Режим Spi 0 — не поддерживается 1 — поддерживается
Clock Multiplier	55:48	HwInit		В этом поле отображается значение множитель программируемого генератора частоты (подробнее в регистре Clock Control). Значение 00h означает, что программируемый генератор частоты не поддерживается Хост Контроллером. FFh Clock Multiplier M = 256 02h Clock Multiplier M = 3 01h Clock Multiplier M = 2 00h Clock Multiplier is Not Supported
Re-tuning modes	47:46	Rsvd		Это поле определяет возможности перенастройки Хост Контроллера, а также то, как управлять длиной пересылаемой информации и таймером перенастройки с помощью Хост Драйвера. 00 — Mode1 01 — Mode2 10 — Reserved 11 — Reserved Существует 2 типа перенастройки синхронизации: с помощью запроса на перенастройку и с помощью экспирации таймера перенастройки. При получении запроса на перенастройку, Хост Контроллер должен провести соответствующую процедуру только перед выполнением следующей команды.
Use Tuning for SDR50	45	HwInit		Если данный бит установлен, то Хост Контроллеру будет доступна процедура подстройки в режиме SDR50. (В режиме SDR104 подстройка всегда доступна) 1 — При SDR50 подстройка доступна 0 — При SDR50 подстройка не доступна
Reserved	44	Rsvd	0	Зарезервировано
Timer count for Re-Tuning	43:40	HwInit		Это поле отображает инициализационное значение таймера для перенастройки 0h — получить информацию из другого источника 1h = 1 секунда 2h = 2 секунды 3h = 4 секунды 4h = 8 секунд $n = 2^{(n-1)}$ секунд Bh = 1024 секундного Fh...Ch — Зарезервировано
Reserved	39	Rsvd	0	Зарезервировано

Название	Разряды	Тип	Состояние после сброса	Описание
Driver Type D Support	38	HwInit		Этот бит показывает, поддерживает ли Driver Type D управление сигналами при питании 1.8В 1 — Driver Type D поддерживает 0 — Driver Type D не поддерживает
Driver Type C Support	37	HwInit		Этот бит показывает, поддерживает ли Driver Type C управление сигналами при питании 1.8В 1 — Driver Type C поддерживает 0 — Driver Type C не поддерживает
Driver Type A Support	36	HwInit		Этот бит показывает, поддерживает ли Driver Type A управление сигналами при питании 1.8В 1 — Driver Type A поддерживает 0 — Driver Type A не поддерживает
Reserved	35	Rsvd	0	Зарезервировано
DDR50 Support	34	HwInit		1 — поддерживается режим DDR50 0 — не поддерживается режим DDR50
SDR104 Support	33	HwInit		1 — поддерживается режим SDR104 0 — не поддерживается режим SDR104
SDR50 Support	32	HwInit		Если поддерживается SDR104, то данный бит должен быть установлен в 1. 40-й бит отображает, доступна ли для режима SDR50 подстройка или нет 1 — поддерживается режим SDR50 0 — не поддерживается режим SDR50
Slot Type	31:30	HwInit		Это поле показывает, какой тип слота используется контроллером. 00b — слот с извлекаемой картой (по умолчанию) 01b — встроенный слот для единичного устройства. Это означает, что только одно неизвлекаемое устройство подключено к шине SD. 10b — слот с совместно используемой шиной. Данный слот может быть установлен, если Хост Контроллер поддерживает регистр Shared Bus Control. 11b — Зарезервировано Стандартный Хост Драйвер контролирует только извлекаемый тип карты или одно встроенное устройство, подключенное к слоту шины SD. Если слот будет сконфигурирован для совместно используемой шины, Стандартный Хост Контроллер не сможет контролировать встроенное устройство, подключенное к общей шине. Слот для общей шины должен контролироваться специально разработанным хост драйвером.
Asynchronous Interrupt Support	29	HwInit		За подробностями по работе асинхронных прерываний обратитесь к <i>SDIO Specification Version 3.00</i> . 1 — Асинхронные прерывания поддерживаются 0 — Асинхронные прерывания не поддерживаются
64-bit System Bus Support	28	HwInit		1 — поддерживается 64-х битный системный адрес 0 — не поддерживается
Reserved	27	Rsvd	0	Зарезервировано

Название	Разряды	Тип	Состояние после сброса	Описание
Voltage Support 1.8 V	26	HwInit		1 — Поддерживается 1.8V 0 — Не поддерживается 1.8V
Voltage Support 3.0 V	25	HwInit		1 — Поддерживается 3.0V 0 — Не поддерживается 3.0V
Voltage Support 3.3 V	24	HwInit		1 — Поддерживается 3.3V 0 — Не поддерживается 3.3V
Suspend / Resume Support	23	HwInit		Этот бит отображает, поддерживается ли функционал Suspend / Resume . Если этот бит сброшен в 0, то процедуры Suspend и Resume не поддерживаются, Хост Драйвер не должен запускать ни одну из этих команд. 1 — Поддерживается 0 — Не поддерживается
SDMA Support	22	HwInit		Этот бит показывает, поддерживается ли Хост Контроллером использование DMA транзакций напрямую между системной памятью и Хост Контроллером 1 — SDMA поддерживается 0 — SDMA не поддерживается
High Speed Support	21	HwInit		Этот бит показывает, есть ли у Хост Контроллера и у Хост Системы поддержка высокоскоростных режимов и могут ли они поддерживать частоты от 25Mhz до 50 Mhz (для SD)/ от 20MHz до 52MHz (для MMC) 1 — High Speed поддерживается 0 — High Speed не поддерживается
Reserved	20	Rsvd	0	Зарезервировано
ADMA2 Support	19	HwInit		1 — ADMA2 поддерживается 0 — ADMA2 не поддерживается
Extended Media Bus Support	18	HwInit		Данный бит показывает способен ли Хост Контроллер использовать режим 8-и битной шины. Этот бит не имеет силы, если параметр Slot Type установлен в 10b. 1 — Extended Media Bus поддерживается 0 — Extended Media Bus не поддерживается
Max Block Length	17:16	HwInit		Это значение отображает максимальный размер блока данных, который Хост Драйвер может читать и писать в буфер Хост Контроллера. Буфер должен передавать блоки с таким размером без цикла ожидания. Может быть определено 3 возможных размера блока: 00 - 512 byte 01 - 1024 byte 10 - 2048 byte (по умолчанию) 11 - Reserved

Название	Разряды	Тип	Состояние после сброса	Описание
Base Clock Frequency for SD Clock	15:8	HwInit		<p>Исходная частота для SD блока</p> <p>(1) 6-bit Base Clock Frequency Этот режим поддерживается Хост Контроллером ver 1.0 и 2.0. Старшие 2 бита не используются и равны 0. Поддерживается диапазон частот от 10MHz до 63MHz. 11xx xxxxb — не поддерживается 0011 1111b — 63MHz 0000 0011b — 3MHz 0000 0010b — 2MHz 0000 0001b — 1MHz 0000 0000b — Получить информацию другим способом</p> <p>(2) 8-bit Base Clock Frequency Этот режим поддерживается Хост Контроллером ver 3.0. Поддерживается диапазон частот от 10MHz до 255MHz. FFh — 255MHz 03h — 3MHz 02h — 2MHz 01h — 1MHz 00h — Получить информацию другим способом Если реальная частота — 16.5MHz, то значение частоты, которое должно быть выставлено в этом регистре следует округлить в большую сторону. Т.е. Необходимо выставить 00010001b (17MHz), потому что Хост Драйвер использует это значение для вычисления значения предделителя частоты (подробнее см. параметр SDCLK Frequency Select в регистре Clock Control) и оно не должно превышать верхнего значения частоты SD. Если в этом поле записан 0, то Хост Ситеме для получения информации нужно воспользоваться другими методами.</p>
Timeout Clock Unit	7	HwInit		<p>Этот бит показывает, в каких единицах измерения задается частота, используемая для определения Data Timeout Error.</p> <p>0 - Khz 1 - Mhz</p>
Reserved	6	Rsvd	0	Зарезервировано
Timeout Clock Frequency	5:0	HwInit		<p>В этом поле отображается значение основной частоты, используемой для определения Data Time-out Error.</p> <p>Не 0 : от 1Khz до 63Khz либо от 1Mhz до 63Mhz (в зависимости от значения параметра Timeout Clock Unit) 0 : Получить информацию другим способом</p>

Re-tuning mode

Хост Контроллер не имеет никакой встроенной логики для определения, когда нужно будет выполнить процедуру подстройки. В этом случае Хост Драйвер должен поддерживать все типы перенастройки используя Re-Tuning Timer. Для разрешения вставки процедуры подстройки в течении пересылки данных, длина данных на одну команду чтения/записи не должна превышать 4 МВ.

Таблица 20.35. Режимы подстройки

Bit47-46	Re-Tuning Mode	Data length	Timer Modes
00b	Mode1	4MB (Max.)	Всегда включен
01b	Mode1	4MB (Max.)	Останавливается в течение пересылки данных
10b	Reserved	Reserved	Reserved
11b	Reserved	Reserved	Reserved

20.4.26 Регистр Maximum current capabilities (смещение 048h)

Таблица 20.36. Описание полей регистра Maximum current capabilities

Название	Разряды	Тип	Состояние после сброса	Описание
Reserved	63:56	Rsvd	0	Зарезервировано
Reserved	55:48	Rsvd	0	Зарезервировано
Reserved	47:40	Rsvd	0	Зарезервировано
Reserved	39:32	Rsvd	0	Зарезервировано
Reserved	31:24	Rsvd	0	Зарезервировано
Maximum Current for 1.8V	23:16	HwInit		Максимальный ток для 1.8V
Maximum Current for 3.0V	15:8	HwInit		Максимальный ток для 3.0V
Maximum Current for 3.3V	7:0	HwInit		Максимальный ток для 3.3V

Значения токов, задаваемые в этом регистре, определены в следующей таблице

Таблица 20.37. Сила тока, соответствующая значениям регистра

Значение в регистре	Величина силы тока
0	Получить информацию другим способом
1	4mA
2	8mA
3	12mA
...	
255	1020mA

20.4.27 Регистр Force event для Auto CMD error status (смещение 050h)

Регистр Force Event не является физически реализованным регистром. Скорее это адрес, по которому может происходить запись в регистр Auto CMD12 Error Status . Запись 1 в один из битов данного регистра, установит соответствующий бит в регистре Auto CMD12 Error Status . Запись 0 игнорируется.

Таблица 20.38. Описание полей регистра Force event для Auto CMD error status

Название	Разряды	Тип	Состояние после сброса	Описание
Reserved	15:8	Rsvd	0	Зарезервировано
Force Event for command not issued by Auto CMD12 Error	7	RW	0	1 — прерывание сгенерировано 0 — нет прерываний
Reserved	6:5	Rsvd	0	Зарезервировано
Force Event for Auto CMD Index Error	4	RW	0	1 — прерывание сгенерировано 0 — нет прерываний
Force Event for Auto CMD End bit Error	3	RW	0	1 — прерывание сгенерировано 0 — нет прерываний
Force Event for Auto CMD CRC Error	2	RW	0	1 — прерывание сгенерировано 0 — нет прерываний
Force Event for Auto CMD timeout Error	1	RW	0	1 — прерывание сгенерировано 0 — нет прерываний
Force Event for Auto CMD12 NOT Executed	0	RW	0	1 — прерывание сгенерировано 0 — нет прерываний

20.4.28 Регистр Force event для error interrupt status (смещение 052h)

Регистр Force Event не является физически реализованным регистром. Скорее это адрес, по которому может происходить запись в регистр Error Interrupt Status. Запись по этому адресу будет отображаться в регистр Error Interrupt Status, если установлены соответствующие разрешающие биты в регистре Error Interrupt Status Enable. Запись 0 игнорируется.

Таблица 20.39. Описание полей регистра Force event для error interrupt status

Название	Разряды	Тип	Состояние после сброса	Описание
Force Event for Vendor Specific Error Status	15:13	Rsvd	0	Зарезервировано
Force event for Target Response error	12	RW	0	1 — прерывание сгенерировано 0 — нет прерываний
Reserved	11:10	Rsvd	0	Зарезервировано
Force Event for ADMA Error	9	RW	0	1 — прерывание сгенерировано 0 — нет прерываний
Force Event for Auto CMD Error	8	RW	0	1 — прерывание сгенерировано 0 — нет прерываний
Force Event for Current Limit Error	7	RW	0	1 — прерывание сгенерировано 0 — нет прерываний
Force Event for Data End Bit Error	6	RW	0	1 — прерывание сгенерировано 0 — нет прерываний
Force Event for Data CRC	5	RW	0	1 — прерывание сгенерировано

Название	Разряды	Тип	Состояние после сброса	Описание
Error				0 — нет прерываний
Force Event for Data Timeout Error	4	RW	0	1 — прерывание сгенерировано 0 — нет прерываний
Force Event for Command Index Error	3	RW	0	1 — прерывание сгенерировано 0 — нет прерываний
Force Event for Command End Bit Error	2	RW	0	1 — прерывание сгенерировано 0 — нет прерываний
Force Event for Command CRC Error	1	RW	0	1 — прерывание сгенерировано 0 — нет прерываний
Force Event for Command Time-out Error	0	RW	0	1 — прерывание сгенерировано 0 — нет прерываний

20.4.29 Регистр ADMA error status (смещение 054h)

Когда происходит событие ADMA Error Interrupt , поле ADMA Error States в данном регистре сохраняет состояние ADMA , а регистр ADMA System Address сохраняет адрес, ошибки дескриптора.

Таблица 20.40. Описание полей регистра ADMA error status

Название	Разряды	Тип	Состояние после сброса	Описание
Reserved	7:3	Rsvd	0	Зарезервировано
ADMA Length Mismatch Error	2	RO	0	Эта ошибка происходит в двух следующих случаях: В то время, как устанавливается значение While Block Count Enable , общая длина данных, определяемая таблицей дескриптора может отличаться от той, что задается параметрами Block Count и Block Length. Общая длина данных может не уместиться в длину блока. 1 — Ошибка 0 — Нет ошибки
ADMA Error State	1:0	RO	0	Это поле показывает состояние ADMA при появлении ошибки в течение передачи данных по ADMA . Это поле никогда не становится равным 10b, потому что ADMA никогда не останавливается в этом состоянии. D01 – D00 : ADMA Error State во время появления ошибки. Содержание регистра SYS_SDR 00 - ST_STOP (Stop DMA) Указывает на следующий после ошибки дескриптор 01 - ST_FDS (Fetch Descriptor) Указывает на ошибочный дескриптор 10 - состояние не используется и никогда не выставляется 11 - ST_TFR (Transfer Data) Указывает на следующий после ошибки дескриптор

20.4.30 Регистр ADMA system address (смещение 058h)

Таблица 20.41. Описание полей регистра ADMA system address

Название	Разряды	Тип	Состояние после сброса	Описание
ADMA System Address	63:0	RW	0	<p>Этот регистр сохраняет адрес байта выполняемой команды дескрипторной таблицы. 32-х битный адрес дескриптора использует младшие 32 бита регистра. При старте ADMA Хост Драйвер должен установить начальный адрес дескрипторной таблицы. При каждой выборке строки дескриптора ADMA инкрементирует этот адрес, который указывает на следующую строку. При появлении ADMA Error Interrupt этот регистр должен сохранить правильное значение дескрипторного адреса, относящегося к состоянию ADMA. Хост Драйвер должен запрограммировать таблицу дескрипторов с границей в 32 бита и установить 32-битный граничный адрес в этот регистр. ADMA игнорирует младшие 2 бита этого регистра и принимает их равными 00b.</p> <p>32-bit Address ADMA Register Value 32-bit System Address</p> <p>xxxxxxx 00000000h 00000000h xxxxxxx 00000004h 00000004h xxxxxxx FFFFFFFCh FFFFFFFCh</p>

20.5 Регистры Preset Values (смещения 06Fh — 060h)

Таблица 20.42. Общее описание регистров Preset Values

Смещение	Регистры Preset Value	Напряжения сигналов
060h	Preset Value for Initialization	3.3V или 1.8V
062h	Preset Value for Default Speed	3.3V
064h	Preset Value for High Speed	3.3V
066h	Preset Value for SDR12	1.8V
068h	Preset Value for SDR25	1.8V
06Ah	Preset Value for SDR50	1.8V
06Ch	Preset Value for SDR104	1.8V
06Eh	Preset Value for DDR50	1.8V

На основе выбранного скоростного режима шины входит в силу значения одного из регистров Preset Value (06Eh — 062h). Когда параметр Preset Value Enable в регистре Host Control 2 установлен в 1, то SDCLK Frequency Select и Clock Generator Select в регистре Clock Control, а также Driver Strength Select в регистре Host Control 2 устанавливаются автоматически на основе выбранного скоростного режима шина. Это означает, что Хост Драйверу нет необходимости устанавливать эти значения, если разрешено использование предустановленных значений. Значения из Preset Value for Initialization (060h) не выбираются с помощью скоростного режима шины. До начала инициализационной последовательности Хост Драйвер должен задать значение частоты для проведения инициализации в SDCLK Frequency Select регистра Clock Control. Preset Value Enable может быть выставлен после завершения инициализации.

Каждый из регистров Preset Values имеет следующую структуру:

Таблица 20.43. Описание полей какого-либо регистра из множества Preset Values

Название	Разряды	Тип	Состояние после сброса	Описание
Driver Strength Select Value	15:14	Hwin it		Driver Strength поддерживается скоростными режимами, использующими сигналы 1.8V. Это поле не имеет значения для режимов с питанием сигналов от 3.3V. 11b — выбран Driver Type D 10b — выбран Driver Type C 01b — выбран Driver Type A 00b — выбран Driver Type B
Reserved	13:11	Rsvd	0	Зарезервировано
Clock Generator Select Value	10	Hwin it		Этот бит имеет силу, когда Хост Контроллер поддерживает программируемый тактовый генератор. 1 — Программируемый тактовый генератор. 0 — Хост контроллер ver 2.0, совмещенный тактовый генератор.
SDCLK Frequency Select Value	9:0	Hwin it		Предустановленное 10-битное значение, задающее SDCLK Frequency Select в регистре Clock Control.

20.5.1 Регистр Boot Timeout control (смещение 70h)

Таблица 20.44. Описание полей регистра Boot Timeout control

Название	Разряды	Тип	Состояние после сброса	Описание
Boot Data Time-out Counter Value	31:3	RW	0	Это значение определяет интервал через который детектируются time-outs на линии DAT в процессе процедуры загрузки eMMC карты. Это значение — количество тактов SD блока.

20.5.2 Регистр Slot interrupt status (смещение 0FCh)

Таблица 20.45. Описание полей регистра Slot interrupt status

Название	Разряды	Тип	Состояние после сброса	Описание
Reserved	15:8	Rsvd	0	Зарезервировано
Reserved	7:1	Rsvd	0	Зарезервировано
Interrupt Signal for Slot#0	0	ROC	0	Этот статусный бит является результатом операции OR всех включенных нормальных прерываний и включенных прерываний от ошибок.

20.5.3 Регистр Host controller version (смещение 0FEh)

Таблица 20.46. Описание полей регистра Host controller version

Название	Разряды	Тип	Состояние после сброса	Описание
Vendor Version Number	15:8	Rsvd	10h	Vendor Version Number установлен в 0x10 (1.0)
Specification Version Number	7:0	Rsvd	02h	Host Controller Version Number установлен в 0x02 (SD Host Specification Version 3.00)

20.6 Регистры конфигурационных сигналов.

Данный набор регистров используется для проведения первоначальной установки всех Регистр Init Config 1 (смещение 100h)

Таблица 20.47. Описание полей регистра Init Config 1

Название	Разряды	Тип	Состояние после сброса	Описание
corectrl_itapdlysel[4:0]	31:27	RW	0	Определяет величину задержки, которая должна быть установлена на линии SD клока (rxclk_in). Выбирает одну из 32 фаз. Эффективно только тогда, когда установлен <i>corectrl_itapdlyena</i> и не используется автоматическая настройка частоты.
corectrl_itapdlyena	26	RW	0	Разрешает возможность установки величины задержки на линии клока. Когда используется автоматическая подстройка частоты (для SDR104 и опционально для SDR50), этот сигнал игнорируется и вместо него используется внутренние средства контроля. Не должен устанавливаться при работе в DS режиме.
corectrl_itapchgwin	25	RW	0	Этот сигнал используется для стробирования выхода с отводной линии задержки, чтобы избежать распространения сбоев в ядре. Этот сигнал должен быть установлен за несколько тактовых периодов до изменения <i>corectrl_itapdlysel</i> , и должен оставаться установленным несколько тактовых периодов после.
corectrl_otapdlysel[3:0]	24:21	RW	0	Выбирает одну из 16 фаз задержки линии <i>sdclock_clk</i> . Эффективно только тогда, когда установлен <i>corectrl_otapdlyena</i> .
corectrl_otapdlyena	20	RW	0	Используется для разрешения выбора отводной задержки на линии <i>sdclock_clk</i> . Используется для защелкивания данных на выходах CMD/DAT, создавая задержку на них относительно выхода CLK. С помощью этого сигнала, совместно с <i>corectrl_otapdlysel[3:0]</i> определяется величина задержки, которая должна быть установлена на линии клока. Не должен устанавливаться при работе в DS режиме.

Название	Разряды	Тип	Состояние после сброса	Описание
corecfg_tuningcount[5:0]	19:14	RW	16d	Настраивает количество поддерживаемых отводов (фаз) сигнала <i>rxclk_in</i> . Используя эту информацию, механизм автоматической подстройки выберет одну из фаз сигнала <i>rxclk_in</i> во время процедуры настройки. Например, если параметр равен 4, то будут, то при автоматической настройке будут использоваться фазы <i>clk_00</i> , <i>clk_90</i> , <i>clk_180</i> , <i>clk_270</i> , если 8 то - <i>clk_00</i> , <i>clk_45</i> , <i>clk_90</i> и т. д. Может принимать значения: 4h...20h
corecfg_retuningmodes[1:0]	13:12	RW	0	Режим перенастройки частоты. Должен быть установлен в 2'b00, т.к. ядро использует только режим Mode1
corecfg_retuningtimercnt[3:0]	11:8	RW	0111b (64 сек)	Значение таймера для перенастройки, используемого в режимах Mode1 и Mode2 Установка 0 отключает таймер перенастройки. Может принимать значения: 0b...1011b
corecfg_tuningforsdr50	7	RW	1	Использовать ли автоматическую настройку частоты для режима SDR50.
corecfg_timeoutclkfreq[5:0]	6:1	RW	10d (10 МГц)	В регистре устанавливается тактовая частота счетчика, детектирующего ошибку таймаута. Если не 0 - 1 кГц(МГц) ... 63 кГц(МГц). Если 0 - используется другой метод.
corecfg_timeoutclkunit	0	RW	1	Бит показывает, в каких единицах будет измеряться тактовая частота счетчика, детектирующего ошибку таймаута на шине данных, 0 - кГц, 1 - МГц.

20.6.1 Регистр Init Config 2 (смещение 104h)

Таблица 20.48. Описание полей регистра Init Config 2

Название	Разряды	Тип	Состояние после сброса	Описание
corecfg_baseclkfreq[7:0]	31:24	RWRS T	00001010b (10МГц)	Основная тактовая частота для SD блока. Частота сигнала <i>xin_clk</i> . 1111_1111b – 255 МГц ... 0011_1111b- 63 МГц ... 0000_0010b - 2 МГц 0000_0001b - 1 МГц
corecfg_maxblklength[1:0]	23:22	RWRS T	10b	Максимальный размер блока, поддерживаемый ядром 00b: 512 (Bytes); 01b: 1024 10b: 2048; 11b: Reserved
corecfg_8bitsupport	21	RWRS T	1	Поддержка 8-битного SD-интерфейса - 1. Если только 4-битный SD-интерфейс - 0
corecfg_slottype[1:0]	20:19	RWRS T	00b	Тип слота SD 00 – извлекаемая; 01 – встроенная; 10 – слот общей шины; 11 – зарезервировано
corecfg_spisupport	18	RWRS T	1	Поддержка режима SPI 1 — поддерживается 0 — не поддерживается

Название	Разряды	Тип	Состояние после сброса	Описание
corecfg_spiblkmode	17	RWRS T	0	Режим блокировки SPI. Зарезервирован и должен быть установлен в 1'b0.
corecfg_sdmasupport	16	RWRS T	1	Поддержка SDMA 1 — поддерживается 0 — не поддерживается
corecfg_adma2support	15	RWRS T	1	Поддержка режима ADMA2 1 — поддерживается 0 — не поддерживается
corecfg_asyncwkupena	14	RWRS T	1	Определяет режим формирования сигнала пробуждения 0: Режим синхронного пробуждения: в этом режиме <code>xin_clk</code> должен быть запущен. Прерывание от события обнаружения/извлечения карты детектируется синхронно с частотой <code>xin_clk</code> и генерируется сигнал пробуждения. 1: Режим асинхронного пробуждения: в этом режиме клоки <code>xin_clk</code> и <code>host_clk</code> могут быть остановлены, и сигнал пробуждения формируется асинхронно на основе прерывания обнаружения/извлечения карты.
corecfg_asyncintrsupport	13	RWRS T	1	Поддержка асинхронных прерываний. 1 — поддерживается 0 — не поддерживается
corecfg_initpresetval[12:0]	12:0	RWRS T	Табл. 52	Предустановленное значение для режима инициализации

20.6.2 Регистр Init Config 3 (смещение 108h)

Таблица 20.49. Описание полей регистра Init Config 3

Название	Разряды	Тип	Состояние после сброса	Описание
corecfg_64bitsupport	31	RWRS T	0	Поддержка 64-битной системной шины.
corecfg_suspressupport	30	RWRS T	1	Поддержка Suspend / Resume
corecfg_sdr50support	29	RWRS T	1	Поддержка SDR50 (100 MHz)
corecfg_sdr104support	28	RWRS T	1	Поддержка SDR104 (208 MHz)
corecfg_ddr50support	27	RWRS T	1	Поддержка DDR50 (50 MHz)
corecfg_highspeedsupport	26	RWRS T	1	Поддерживается ли режим High Speed : 25МГц-50МГц(SD) /20МГц-52МГц(MMC)
corecfg_dspresetval[12:0]	25:13	RWRS T	Табл. 52	Предустановленное значение для режима Default Speed
corecfg_hspresetval[12:0]	12:0	RWRS T	Табл. 52	Предустановленное значение для режима High Speed

20.6.3 Регистр Init Config 4 (смещение 10Ch)

Таблица 20.50. Описание полей регистра Init Config 4

Название	Разряды	Тип	Состояние после сброса	Описание
Reserved	31:26	RWRS T	0	Зарезервировано
corecfg_sdr12presetval[12:0]	13:25	RWRS T	Табл. 52	Предустановленное значение для режима SDR12
corecfg_sdr25presetval[12:0]	12:0	RWRS T	Табл. 52	Предустановленное значение для режима SDR25

20.6.4 Регистр Init Config 5 (смещение 110h)

Таблица 20.51. Описание полей регистра Init Config 5

Название	Разряды	Тип	Состояние после сброса	Описание
Reserved	31:26	RWRS T	0	Зарезервировано
corecfg_sdr50presetval[12:0]	13:25	RWRS T	Табл. 52	Предустановленное значение для режима SDR50
corecfg_sdr104presetval[12:0]	12:0	RWRS T	Табл. 52	Предустановленное значение для режима SDR104

20.6.5 Регистр Init Config 6 (смещение 114h)

Таблица 20.52. Описание полей регистра Init Config 6

Название	Разряды	Тип	Состояние после сброса	Описание
Reserved	31:22	RWRS T	0	Зарезервировано
div_clk_enable	21	RWRS T	0	Бит, разрешающий делить частоту ext_clk перед подачей на ядро SDHC
corecfg_ddr50presetval[12:0]	20:8	RWRS T	Табл. 52	Предустановленное значение для режима DDR50
corecfg_clockmultiplier[7:0]	7:0	RWRS T	0	Хост контроллер поддерживает только режим деления частоты. Этот параметр должен быть установлен в 8'b0

20.6.6 Значения предустановленных регистров

Таблица 20.53. Предустановленные значения для различных конфигурационных режимов при различных частотах

Регистр	*Значение частоты SDCLK [9:0], F _{BASE}				
	При основной частоте 50МГц	При основной частоте 100МГц	При основной частоте 200МГц	При основной частоте 250МГц	Частота передачи
corecfg_initpresetval[12:0]	0x40	0x80	0x100	0x140	390 кГц
corecfg_dsppresetval[12:0]	0x01	0x02	0x04	0x05	25 МГц
corecfg_hspresetval[12:0]	0x00	0x01	0x02	0x03	41.7 МГц
corecfg_sdr12presetval[12:0]	0x01	0x02	0x04	0x05	25 МГц
corecfg_sdr25presetval[12:0]	0x00	0x01	0x02	0x03	41.7 МГц
corecfg_sdr50presetval[12:0]	NA	0x00	0x01	0x02	62.5 МГц
corecfg_sdr104presetval[12:0]	NA	NA	0x00	0x01	125 МГц
corecfg_ddr50presetval[12:0]	0x00	0x01	0x02	0x03	41.7 МГц

*Примечание. Значение частоты SDCLK рассчитывается по следующей формуле:

$$SDCLK = F_{BASE} / 2 * N,$$

Таблица 20.54. Максимальные значения частот для различных режимов работы SD-хост-контроллера

Режим работы	Максимальная скорость шины (МБ/с)	Максимальная тактовая частота (частота тактирования SD-карты) (МГц)	Напряжение сигналов (В)
SDR104	104	208	1.8
SDR50	50	100	1.8
DDR50	50	50	1.8
SDR25	25	50	1.8
SDR12	12.5	25	1.8
High Speed	25	50	3.3
Default Speed	12.5	25	3.3

20.6.7 Регистр Init Config 7 (смещение 118h)

Таблица 20.55. Описание полей регистра Init Config 7

Название	Разряды	Тип	Состояние после сброса	Описание
Reserved	31:30	RWRST	0	Зарезервировано
corecfg_adriversupport	29	RWRST	1'b1	Поддержка драйвера А Этот бит должен устанавливаться в зависимости от того поддерживает ли драйвер А передачу сигналов с уровнем в 1.8V
corecfg_cdriversupport	28	RWRST	1'b1	Поддержка драйвера С Этот бит должен устанавливаться в зависимости от того поддерживает ли драйвер С передачу сигналов с уровнем в 1.8V

Название	Разряды	Тип	Состояние после сброса	Описание	
corecfg_ddriversupport	27	RWRST	1'b1	Поддержка драйвера D Этот бит должен устанавливаться в зависимости от того поддерживает ли драйвер D передачу сигналов с уровнем в 1.8V	
corecfg_3p3voltsupport	26	RWRST	1'b1	Поддержка 3.3V	
corecfg_3p0voltsupport	25	RWRST	1'b1	Поддержка 3.0V	
corecfg_1p8voltsupport	24	RWRST	1'b1	Поддержка 1.8V	
corecfg_maxcurrent1p8v[7:0]	23:16	RWRST	200d	Максимальный ток для 1.8V (800 мА)	Эти регистры задают ток с шагом 4мА: 1d: 4мА; 2d: 8мА; 3d: 12мА ... 255d: 1020 мА
corecfg_maxcurrent3p0v[7:0]	15:8	RWRST	50d	Максимальный ток для 3.0V (200 мА)	
corecfg_maxcurrent3p3v[7:0]	7:0	RWRST	50d	Максимальный ток для 3.3V (200 мА)	

20.6.8 Регистр PAD Config (смещение 11Ch)

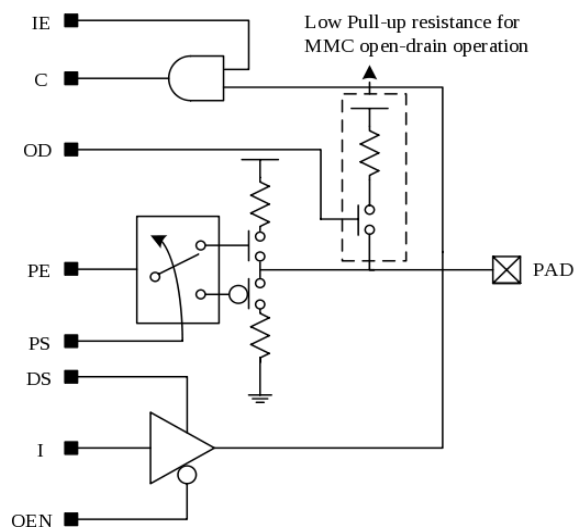


Рисунок 20.5. Структурная схема контактной площадки

В данном регистре находятся значения сигналов, которые подаются на управляющие входы контактных площадок (PAD), используемых для внешнего интерфейса модуля SDMMC. В частности, к этим PAD-ам подключены линии DAT и CMD. На рисунке ниже представлена структурная схема такого PAD-а.

Таблица 20.56. Описание пинов PAD-а

Название pin-а	Описание
IE	Разрешение передачи сигнала от PAD-а на выход C
OEN	Разрешение передачи сигнала от входа I до PAD-а
I	К этому pin-у подключаются выходные сигналы ядра
C	К этому pin-у подключаются входные сигналы ядра
PE	Разрешение использования подтягивающих резисторов

Название pin-a	Описание
PS	Выбор pull-up/pull-down резистора
OD	Разрешение использования open-drain режима (используется только PS=1 и PE=1)
DS	Указывает PAD-у используемое напряжение питания: 1.8В (HighDrive)/3.3В(LowDrive)

Таблица 20.57. Описание полей регистра PAD Config

Название	Разряды	Тип	Состояние после сброса	Описание
Reserved	31:19	RWRST	0	Зарезервировано
pad_cmd_od	18	RWRST	0	Сигнал заводится на pin OD «CMD» PAD-a
pad_cmd_ps	17	RWRST	0	Сигнал заводится на pin PS «CMD» PAD-a
pad_cmd_pe	16	RWRST	0	Сигнал заводится на pin PE «CMD» PAD-a
pad_dat_ps[7:0]	15:8	RWRST	0	Сигналы заводятся на pin-ы PS соответствующих «DAT» PAD-ов
pad_dat_pe[7:0]	7:0	RWRST	0	Сигналы заводятся на pin-ы PE соответствующих «DAT» PAD-ов

20.6.9 Регистр Debug Bus 1 (смещение 120h)

Таблица 20.58. Описание полей регистра Debug Bus 1

Название	Разряды	Тип	Состояние после сброса	Описание
sdhc_dmadebugbus[15:0]	31:16	RO	0	DMA_CTRL Debug Bus – отладочная шина аппарата DMA
sdhc_cmddebugbus[15:0]	15:0	RO	0	CMD_CTRL Debug Bus – отладочная шина аппарата команд

Регистр Debug Bus 2 (смещение 124h)

Таблица 20.59. Описание полей регистра Debug Bus 2

Название	Разряды	Тип	Состояние после сброса	Описание
sdhc_txddebugbus[15:0]	31:16	RO	0	TXD_CTRL Debug Bus – отладочная шина аппарата передачи
sdhc_rxddebugbus[15:0]	15:0	RO	0	RXD_CTRL Debug Bus – отладочная шина аппарата приема

20.6.10 Регистр Debug Bus 3 (смещение 128h)

Таблица 20.60. Описание полей регистра Debug Bus 3

Название	Разряды	Тип	Состояние после сброса	Описание
sdhc_tundebugbus[15:0]	31:16	RO	0	TUN_CTRL Debug Bus – отладочная шина аппарата подстройки
Reserved	15:0	RO	0	

21. КОНТРОЛЛЕР ВВОДА ВИДЕОДАНЫХ (VPIN)

21.1 Основные особенности

- поддерживаемые источники видео ввода:
 - унифицированные параллельные интерфейсы с пиксельной частотой до 100 МГц;
 - 2 параллельных LVTTTL порта Bayer/Mono CMOS сенсоров 12 бит;
 - 1 порт Raw 24 бит (8+8+8 или 12+12);
 - 2 порта BT.656 10 бит;
 - последовательные интерфейсы CMOS сенсоров;
 - 2 интерфейса MIPI CSI-2 (по 4 data lane);
- форматы входных видеоданных:
 - RGB;
 - YCbCr 4:4:4;
 - YCbCr 4:2:2;
 - Bayer;
 - монохромный;
- один или два потока обработки видеоданных:
 - 2 потока SDTV (CMOS/Raw/BT.656);
 - 1 поток FHDTV и 1 поток SDTV (CSI-2/CMOS + CMOS/Raw/BT.656);
 - 2 потока FHDTV (CSI-2/CMOS);
 - 1 поток 3Mpix @30 fps — 16 Mpix@5 fps (CMOS/CSI-2);
- разрядность каналов обработки: 12 (на каждый цветовой компонент);
- функции каналов обработки видеоданных:
 - «обрезка» (cropping), децимация, позиционирование фрагмента в кадре;
 - коррекция битых пикселей;
 - адаптация динамического диапазона;
 - преобразование Bayer → RGB;
 - преобразование цветового пространства с произвольной матрицей цвета 3x3;
 - гамма-коррекция;
 - преобразование 4:4:4 ↔ 4:2:2, горизонтальное масштабирование;
 - преобразование 4:2:2 → 4:2:0 (simple);
- 4 канала DMA (по два канала для каждого потока обработки видеоданных);
- форматы буферов кадров во внешней памяти (non tiled/packed):
 - RGBA 8/16 бит на каждый цветовой компонент, single plane;
 - RGB 8/16 бит на каждый цветовой компонент, single plane;
 - YCbCrA 4:4:4 8/16 бит на каждый цветовой компонент, single plane;
 - YCbCr 4:4:4 8/16 бит на каждый цветовой компонент, single plane;
 - YCbCr 4:2:2 8/16 бит на каждый цветовой компонент, single plane/double plane;

- YCbCr 4:2:0 8/16 бит на каждый цветовой компонент, double plane;
- Bayer 8/16 бит на каждый цветовой компонент, single plane;
- монохромный 8/16 бит на каждый цветовой компонент, single plane;
- 64-разрядный порт AXI Master для записи данных в буфера кадров;
- 32-разрядный порт APB Slave для доступа к регистрам управления/статуса.

21.2 Перечень сигналов

21.2.1 Внешние выводы СБИС

21.2.1.1 Сигналы параллельных портов ввода видео

30 входных сигналов VPIN_VDIN[29:0] могут быть сконфигурированы как входные сигналы одного или двух параллельных портов ввода видео. Вариант конфигурации параллельных входных портов определяется полем PP_VIN_TYPE регистра PPORT_INP_MUX_CFG:

- 2 параллельных 12-разрядных порта CMOS-сенсоров или Raw (PP_VIN_TYPE=0);
- 1 параллельный 24-разрядный порт Raw 8+8+8 (PP_VIN_TYPE=1);
- 1 параллельный 24-разрядный порт Raw 12+12 (PP_VIN_TYPE=2);
- 2 параллельных 10-разрядных порта BT.656 (PP_VIN_TYPE=3).

Функции сигналов VPIN_VDIN для различных вариантов конфигурации представлены в 2.1.

Таблица 21.1. Сигналы параллельных портов ввода видео

Сигнал	Функция			
	PP VIN TYPE=0	PP VIN TYPE=1	PP VIN TYPE=2	PP VIN TYPE=3
VPIN_VDIN[29]	PCLK[1]	-	-	PCLK[1]
VPIN_VDIN[28]	PCLK[0]	PCLK[0]	PCLK[0]	PCLK[0]
VPIN_VDIN[27]	VID[1][11]	-	-	-
VPIN_VDIN[26]	VID[1][10]	FSI[0]	FSI[0]	-
VPIN_VDIN[25:16]	VID[1][9:0]	VID[0][23:14]	VID[0][23:14]	VID[1][9:0]
VPIN_VDIN[15]	HSI[1]	VID[0][13]	VID[0][13]	-
VPIN_VDIN[14]	VSI[1]	VID[0][12]	VID[0][12]	-
VPIN_VDIN[13:12]	VID[0][11:10]	VID[0][11:10]	VID[0][11:10]	-
VPIN_VDIN[11:2]	VID[0][9:0]	VID[0][9:0]	VID[0][9:0]	VID[0][9:0]
VPIN_VDIN[1]	HSI[0]	HSI[0]	HSI[0]	-
VPIN_VDIN[0]	VSI[0]	VSI[0]	VSI[0]	-

Описание функций сигналов VPIN_VDIN содержится в Таблица 21.2.

Таблица 21.2. Функции сигналов VPIN_VDIN

Наименование	Направление	Назначение
PCLK[i]	In	синхросигнал для приема видеоданных (пиксельная частота)
HSI[i]	In	входной сигнал горизонтальной (строчной) синхронизации
VSI[i]	In	входной сигнал вертикальной (кадровой) синхронизации
FSI[i]	In	входной сигнал нечетного поля чересстрочной развертки
VID[i]	In	входное слово видеоданных

$i=0,1$ - номер параллельного порта ввода видео

21.2.1.2 Сигналы синхронизации

Сигналы синхронизации блока источника видеоданных описаны в Таблица 21.3.

Таблица 21.3. Сигналы синхронизации

Наименование	Направление	Назначение
PCLKO _i	out	Пиксельный синхросигнал для CMOS сенсора i
FSYNCO _i	out	Сигнал кадровой синхронизации для CMOS сенсора i
RESETO _i	out	Сигнал общего назначения для управления CMOS сенсором i. Может использоваться в качестве сигнала сброса или powerdown

$i=0,1$ — номер CMOS сенсора

21.2.2 Внутрикристалльные интерфейсы

21.2.2.1 Глобальные сигналы

Таблица 21.4. Глобальные сигналы

Наименование	Направление	Назначение
VINC_CLK	In	Синхросигнал блока VINC
VINC_RESETh	In	Сигнал сброса блока VINC (активный низким уровнем), синхронизированный с VINC_CLK. Переход в неактивное состояние (1) должен производиться синхронно с положительным фронтом VINC_CLK (с соблюдением требований recovery/removal) или в отсутствие синхросигнала VINC_CLK
LS	In	Сигнал, управляющий переводом блоков памяти в состояние light sleep, активный высоким уровнем

21.2.2.2 Сигналы прерывания

Сигналы прерывания блока ввода видеоданных описаны в Таблица 21.5.

Таблица 21.5. Сигналы прерывания

Наименование	Направление	Назначение
INT_SYSTEM	out	Системный сигнал прерывания
INT_STREAM0	out	Прерывание от потока 0 обработки видео
INT_STREAM1	out	Прерывание от потока 1 обработки видео

21.2.2.3 Сигналы пиксельной синхронизации для CMOS сенсоров

Таблица 21.6. Сигналы пиксельной синхронизации

Наименование	Направление	Назначение
PCLK_IN0	In	Источник сигнала пиксельной синхронизации 0
PCLK_IN1	In	Источник сигнала пиксельной синхронизации 1
PCLK_IN2	In	Источник сигнала пиксельной синхронизации 2

21.2.2.4 Сигналы APB Slave

Таблица 21.7. Сигналы APB Slave

Наименование	Направление	Назначение
PCLK	in	Синхросигнал шины APB
PRESETn	in	Сигнал сброса шины APB (активный низким уровнем), синхронизированный с PCLK. Переход в неактивное состояние (1) должен производиться синхронно с положительным фронтом PCLK (с соблюдением требований recovery/removal) или в отсутствие синхросигнала PCLK
PSEL	in	Сигнал выбора slave
PENABLE	in	Сигнал разрешения транзакции
PWRITE	in	Сигнал направления транзакции (1 — запись, 0 - чтение)
PADDR[31:0]	in	Адрес транзакции
PWDATA[31:0]	in	Шина записи данных
PRDATA[31:0]	out	Шина чтения данных
PREADY	out	Сигнал готовности (максимальное время ожидания установки сигнала при чтении — 8 тактов)

21.2.2.5 Сигналы AXI Master

Таблица 21.8. Сигналы AXI Master

Наименование	Направление	Назначение
ACLK_V	in	Синхросигнал шины AXI
ARESETn_V	in	Сигнал сброса шины AXI (активный низким уровнем), синхронизированный с ACLK_V. Переход в неактивное состояние (1) должен производиться синхронно с положительным фронтом ACLK_V (с соблюдением требований recovery/removal) или в отсутствие синхросигнала ACLK_V
AWALID_V	out	Сигнал достоверности адреса записи
AWID_V[3:0]	out	Идентификатор адреса записи
AWADDR_V[31:0]	out	Адрес записи
AWLEN_V[5:0]	out	Количество транзакций записи в burst
AWSIZE_V[2:0]	out	Размер каждой транзакции записи в burst
AWBURST_V[1:0]	out	Тип burst транзакции записи
AWLOCK_V[1:0]	out	Тип lock-режима транзакции записи
AWCACHE_V[3:0]	out	Тип cache-режима транзакции записи
AWPROT_V[2:0]	out	Тип защиты транзакции записи
AWREADY_V	in	Сигнал готовности приема адреса записи
ARVALID_V	out	Сигнал достоверности адреса чтения
ARID_V[3:0]	out	Идентификатор адреса записи
ARADDR_V[31:0]	out	Адрес записи
ARLEN_V[5:0]	out	Количество транзакций чтения в burst
ARSIZE_V[2:0]	out	Размер каждой транзакции чтения в burst
ARBURST_V[1:0]	out	Тип burst транзакции чтения
ARLOCK_V[1:0]	out	Тип lock-режима транзакции чтения
ARCACHE_V[3:0]	out	Тип cache-режима транзакции чтения
ARPROT_V[2:0]	out	Тип защиты транзакции чтения
ARREADY_V	in	Сигнал готовности приема адреса чтения
WVALID_V		Сигнал достоверности записываемых данных
WID_V[3:0]	out	Идентификатор записываемых данных
WLAST_V	out	Последняя транзакция записи в burst
WDATA_V[63:0]	out	Записываемые данные
WSTRB_V[7:0]	out	Сигнал указывает, какие байты в слове данных должны быть записаны
WREADY_V	in	Сигнал готовности приема записываемых данных

Наименование	Направление	Назначение
BVALID_V	in	Сигнал достоверности ответа на транзакцию записи
BID_V[3:0]	in	Идентификатор ответа на транзакцию записи
BRESP_V[1:0]	in	Тип ответа на транзакцию записи
BREADY_V	out	Сигнал готовности приема ответа на транзакцию записи
RVALID_V	in	Сигнал достоверности читаемых данных
RID_V[3:0]	in	Идентификатор читаемых данных
RLAST_V	in	Последняя транзакция чтения в burst
RDATA_V[63:0]	in	Записываемые данные
RRESP_V[1:0]	in	Тип ответа на транзакцию чтения
RREADY_V	out	Сигнал готовности приема записываемых данных
CSYSREQ_V	in	Запрос Low Power Mode от системного контроллера
CSYSACK_V	out	Подтверждение запроса Low Power Mode
CACTIVE_V	out	Разрешение Low Power Mode

21.2.2.6 Сигналы последовательного порта ввода видео

Сигналы последовательного порта ввода видео описаны в Таблица 21.9.

Таблица 21.9. Сигналы последовательного порта ввода видео

Наименование	Направление	Назначение
csi1_rxbyteclkhs_i	in	Высокоскоростной байтовый синхросигнал для приема данных
csi1_rx_byte_rst_n_i	in	Сигнал сброса (активный низким уровнем), синхронизированный с csi1_rxbyteclkhs_i
csi1_ulpsactivenot_clk_i	in	Сигнал указывает, что clock lane находится не в ULPS активном состоянии
csi1_rxulpsclknot_i	in	Clock lane принял ULPS запрос
csi1_ulpsactivenot_i[3:0]	in	Сигнал указывает, что data lane находится не в ULPS активном состоянии
csi1_rxtriggerescxx_i[3:0]	in	Указывает, что принят trigger event (активный высоким уровнем)
csi1_rxlpdtesc_i	in	Escape Low Power Data Receive mode (активный высоким уровнем)
csi1_err_esc_i	in	Принята ошибка в ESC mode
csi1_rxulpsesc_i	in	Escape Ultra Low Power Receive mode (активный высоким уровнем)
csi1_rxdaths_i[31:0]	in	Принятые данные, передаются по переднему фронту синхросигнала csi1_rxbyteclkhs
csi1_rxvalidhs_i[3:0]	in	Данные на шине csi1_rxdaths достоверны (активный высоким уровнем)
csi1_rxactivehsx_i[3:0]	in	High-Speed Reception Active(активный высоким уровнем)
dphy1_errsotsynchs_i[3:0]	in	Start -of-Transmission Synchronization Error
csi1_stopstate_i[3:0]	in	Lane is in Stop state (активный высоким уровнем)
dphy1_errsoths_i[3:0]	in	Start -of-Transmission Error
csi1_err_control_i[3:0]	in	Control Error
csi1_rx_cnt_reg_i[7:0]	out	Количество тактов, которое data lane должен ждать, прежде чем разрешить высокоскоростной прием
csi1_sync_cnt_reg_i[7:0]	out	Количество тактов, которое data lane должен ждать, прежде чем выдать ошибку таймаута sync pattern
csi1_dphy_trim_reg0_i[31:0]	out	Timing регистр 0 для AFE
csi1_dphy_trim_reg1_i[31:0]	out	Timing регистр 1 для AFE
csi1_dphy_trim_reg2_i[31:0]	out	Timing регистр 2 для AFE
csi1_dphy_trim_reg3_i[31:0]	out	Timing регистр 3 для AFE
dphy_timing_param_reg1_i[31:0]	out	Временные параметры для data lane

Наименование	Направление	Назначение
dphy_timing_param_reg2_i[31:0]	out	Временные параметры для data lane
csi_loop_back_reg_i	out	Сигнал разрешения loopback режима
csi1_dfe_dln_lane_swap_reg_i [3:0]	out	?
dln_cnt_lpx[7:0]	out	Время ожидания LPX для data lane
cln_cnt_lpx[7:0]	out	Время ожидания LPX для clock lane
cln_cnt_pll[15:0]	out	PLL lock time
dln_RxSyncHS[3:0]	in	События синхронизации на Data lane 0-3
cln_RxActiveHS	in	Clock lane принял синхросигнал
cln_RxStopState	in	Clock lane находится в Stop State

$i=0,1$ - номер последовательного порта ввода видео

21.2.2.7 Сигналы порта производственного тестирования

Таблица 21.10. Сигналы порта производственного тестирования

Наименование	Направление	Назначение
test_mode	in	Сигнал управления режимом производственного тестирования 0 — нормальный режим работы VINC 1 — VINC находится в режиме производственного тестирования

21.3 Функциональная схема

Видеоданные могут поступать на вход блока VINC с входов параллельных портов VPIN_VDIN (см. 21.2.1.1) или входов последовательных портов (см. раздел 21.2.2.6).

Данные с входов VPIN_VDIN поступают на модуль IO demux (см. Рис. 21.1), который в соответствии с выбранной конфигурацией параллельных портов (два 12-разрядных порта CMOS-сенсоров/Raw, один 24-разрядный порт Raw, два 12-разрядных порта Raw или два 10-разрядных порта BT.656) коммутирует их на входы 12-разрядных модулей Port0, Port1 и Port2.

Каждый из модулей Port0-Port2 принимает информацию (видеоданные и сигналы горизонтальной и вертикальной синхронизации) на пиксельной частоте (PCLK) и осуществляет пересинхронизацию этой информации с основным синхросигналом блока VINC VINC_CLK.

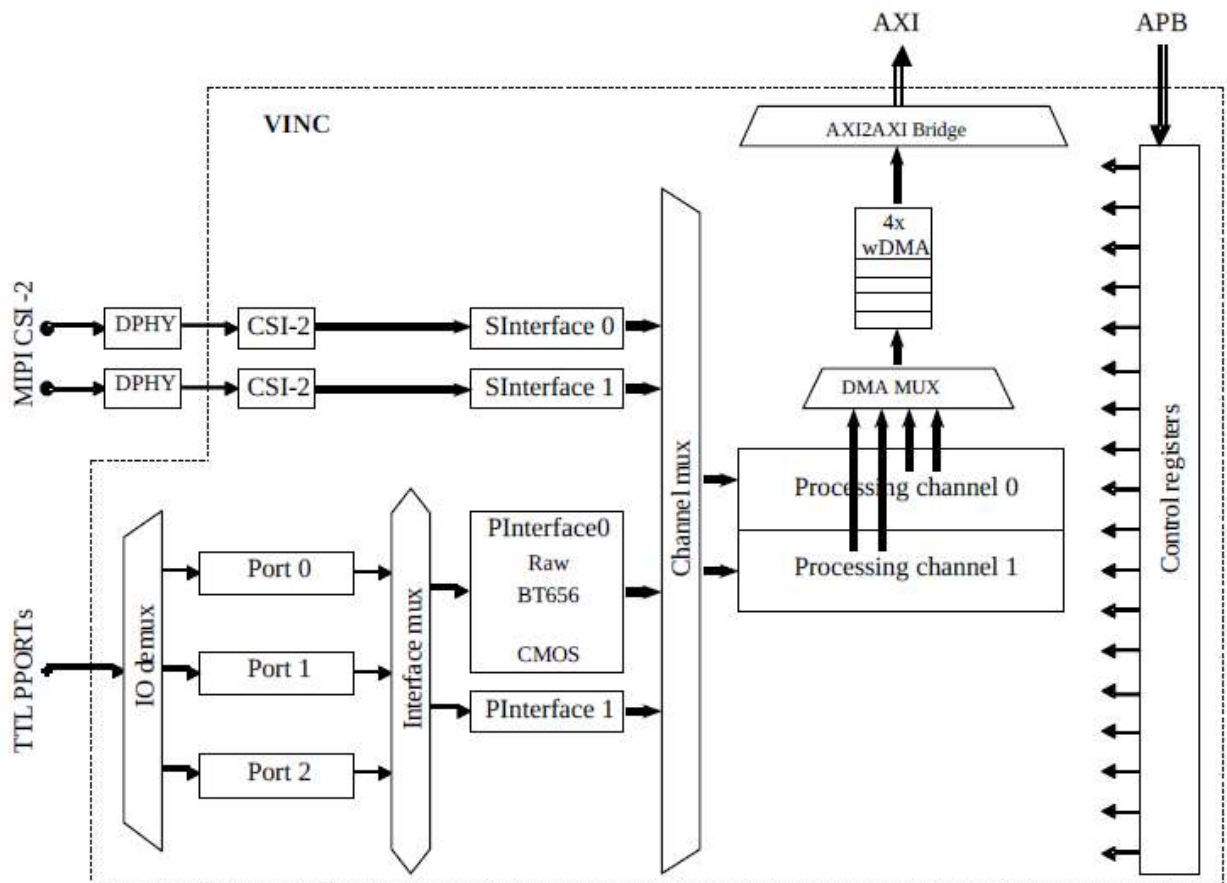


Рисунок 21.1. Структурная схема блока VINC

Видеоданные с выходов модулей Port0-Port2 преобразуются модулями PInterface0-PInterface1 в один или два потока в формате унифицированного интерфейса потока обработки видеоданных UPF (см.21.9).

Видеоданные, поступающие с последовательных портов (2 интерфейса MIPI CSI-2 по 4 data lane), преобразуются в формат унифицированного интерфейса видеоданных UPF модулями SInterface0-SInterface1. Для дальнейшей обработки могут быть выбраны один или два потока (модуль Channel Mux), которые поступают в каналы обработки Processing channel0 - Processing channel1. Детальное описание канала обработки содержится в разделе 21.4.2.

Каждый поток обработки может породить два потока, которые формируются на выходе двух различных модулей обработки. Оба потока после постпроцессорной обработки поступают на DMA контроллер.

Модуль wDMA может принимать от одного до четырех потоков видеоданных в формате UPF (по одному или два потока от каждого канала). Каждый поток обслуживается отдельным DMA каналом. Каналы DMA осуществляют упаковку данных в соответствии с запрограммированным форматом буферов кадров во внешней памяти и по мере

готовности данных формируют запрос на запись по шине AXI. Данные передаются по шине AXI в burst режиме, максимальная длина burst программируется.

Модуль AXI2AXI Bridge принимает транзакции AXI шины, выдаваемые модулем wDMA на частоте VINC_CLK, и преобразует их в транзакции AXI шины на частоте ACLK_V.

Управление блоком VINC осуществляется через программно-доступные регистры (Control registers), доступ к регистрам осуществляется по шине APB.

21.4 Функциональное описание

21.4.1 Подсистема ввода видео

21.4.1.1 Параллельные порты ввода видео

Параллельные порты принимают видеоданные с параллельных CMOS-сенсоров или видеокамер. При приеме данных с видеокамер поддерживаются системные интерфейсы Raw DDR/SDR и BT.656.

Конфигурация параллельных портов является программируемой, допускаются три возможных варианта:

- 2 параллельных 12-разрядных порта CMOS-сенсоров;
- 1 параллельный 24-разрядный порт Raw (8+8+8 или 12+12);
- 2 параллельных 10-разрядных порта BT.656.

Функции входных сигналов параллельных портов VPIN_VDIN в зависимости от конфигурации приведены в Таблица 21.1. Поддерживаемые системные интерфейсы описаны в разделе 21.4.1.1.1.

Видеоданные, синхронизованные с пиксельной частотой, поступают на входы модулей Port0-Port2 (каждый из которых может принимать 12-разрядные данные), где пересинхронизируются на частоту синхросигнала VINC_CLK, а затем преобразуются в формат унифицированного интерфейса потока обработки видеоданных UPF (см.21.9) модулями PInterface0-PInterface1. Механизм преобразования описывается в разделе 21.4.1.1.4.4.

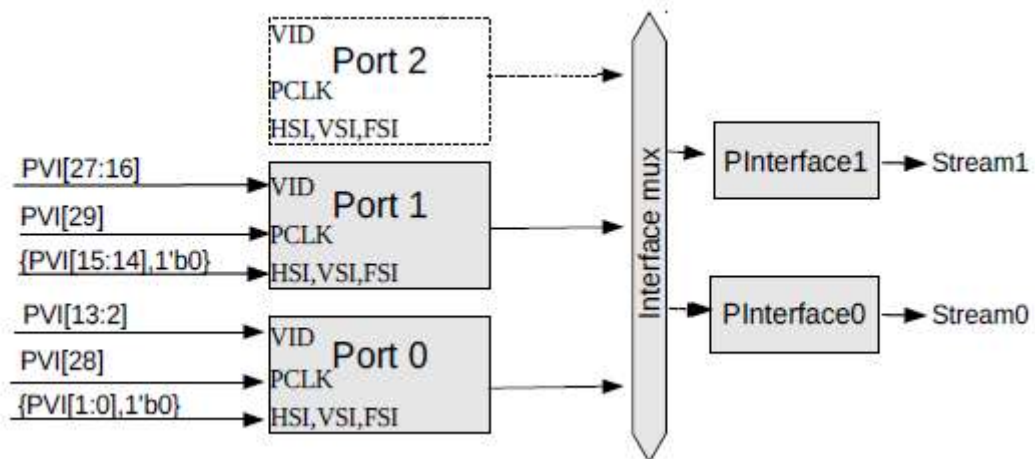


Рисунок 21.2. Формирование потоков видеоданных в конфигурации 0

Если параллельные порты сконфигурированы как два 12-разрядных порта CMOS-сенсоров или Raw (см. Рис. 21.2), задействовано два модуля - Port0 и Port1. 12-разрядные данные с выходов параллельных портов поступают на модуль Interface mux, который формирует два потока видеоданных, эти потоки преобразуются модулями Pinterface0 и Pinterface1 в формат UPF (потоки Stream 0 и Stream 1). На незадействованный вход нечетного поля чересстрочной развертки подается уровень логического нуля.

В случае одного 24-разрядного параллельного порта 8+8+8 используются все три модуля Port0-Port2, на входы которых подаются общие сигналы синхронизации, а 24-разрядные данные разбиваются на три 8-разрядных слайса (цветовые компоненты), каждый из которых поступает в старшие 8 разрядов 12-разрядных входов данных модулей Port0-Port2 (см. Рис. 21.3). На незадействованные младшие разряды [3:0] входов данных модулей подается уровень логического нуля. Interface mux формирует один поток видеоданных с выходов трех модулей Port0-Port2, этот поток преобразуется модулем Pinterface0 в формат UPF (поток Stream 0).

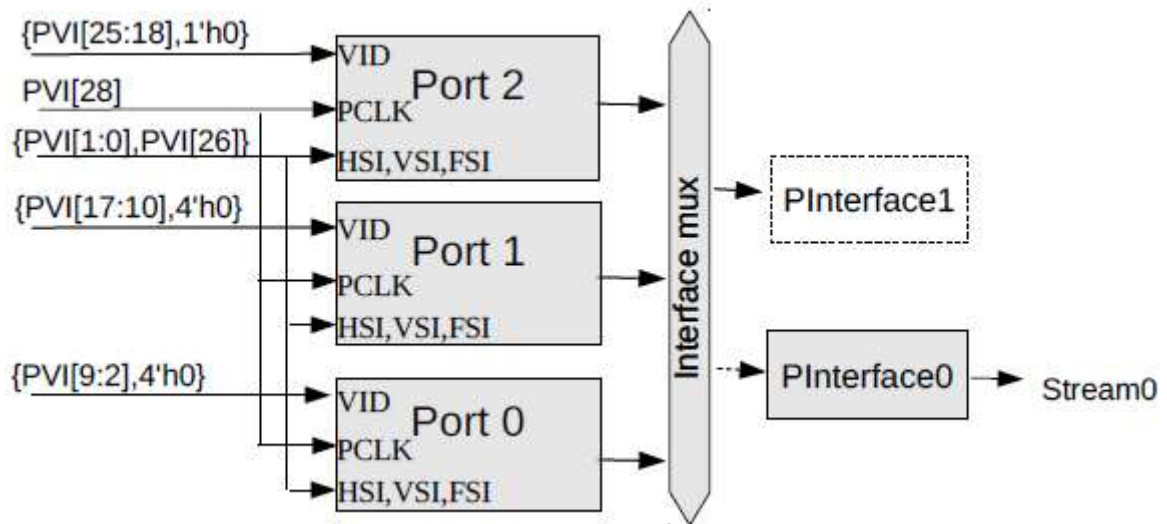


Рисунок 21.3. Формирование потоков видеобработки в конфигурации 1

При конфигурации одного 24-разрядного параллельного порта 12+12 используются два модуля Port0-Port1, на входы которых подаются общие сигналы синхронизации, а 24-разрядные данные разбиваются на два 12-разрядных слайса (цветовые компоненты), каждый из которых поступает на входы данных модулей Port0-Port1 (см. Рис. 21.4). Interface mux формирует один поток видеоданных с выходов двух модулей Port0-Port1, этот поток преобразуется модулем Pinterface0 в формат UPF (поток Stream 0).

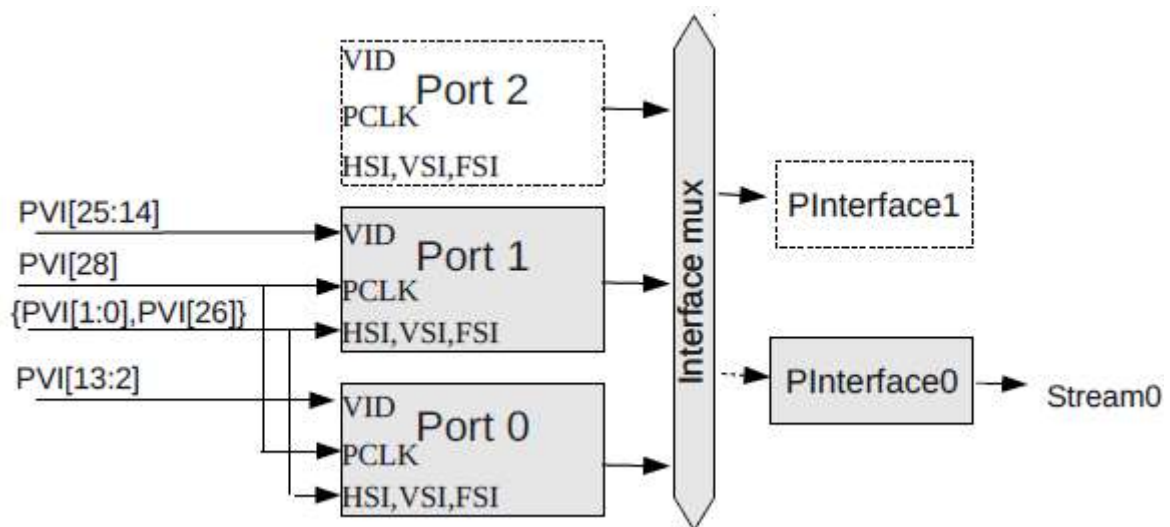


Рисунок 21.4. Формирование потоков видеобработки в конфигурации 2

При конфигурации параллельных портов в виде двух 10-разрядных портов BT.656 задействовано два модуля - Port0 и Port1, 10-разрядные данные каждого входного порта коммутируются в старшие 10 разрядов 12-разрядных входов данных модулей Port0-Port1 (см. Рис. 21.5). На незадействованные младшие разряды [1:0] входов данных и входы

горизонтальной и вертикальной синхронизации и вход нечетного поля чересстрочной развертки подается уровень логического нуля.

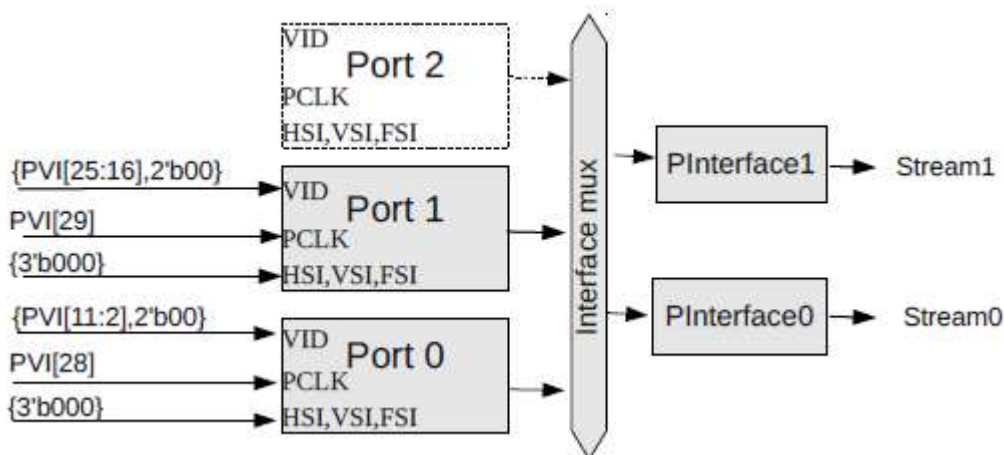


Рисунок 21.5. Формирование потоков видеообработки в конфигурации 3

21.4.1.1.1 Входные интерфейсы видеосигнала

21.4.1.1.1.1 Raw формат потоков видеоданных

Видеоданные в Raw формате могут различаться набором цветовых компонент (RGB, YCbCr, монохромные), типом цветовой субдискретизации (4:4:4, 4:2:2, 4:2:0) и наличием/отсутствием дополнительного A-канала. Цветовые компоненты пикселя могут поступать последовательно в течение нескольких тактов (до 4) или параллельно в одном такте. Максимальное количество параллельных физических портов — 3.

Строки в Таблица 21.11-Таблица 21.13 соответствуют портам ввода видео, столбцы — тактам. Cb/Cr в таблице обозначает поочередную передачу Cb и Cr — один компонент в четной строке, другой в нечетной для цветовой субдискретизации 4:2:0. M1,M2,M3 означают данные 3 пикселей, следующих по порядку в одной строке CMOS сенсора с монохромным или байеровским цветовым представлением. Вместе с данными цветовых компонент VIDj1, VIDj2, VIDj3 поток видео также использует и все другие сигналы (PCLK, HSI, VSI) соответствующего порта с номером j1 и номерами j2,j3 при необходимости. Один поток видео может использовать до трех разных номеров портов j1,j2,j3 из набора {0,1,2} всех физических портов.

Таблица 21.11. Типы мультиплексирования Raw потоков видео в форматах 4:4:4, 4:2:2 и 4:4:4:4 с двух портов

порт ввода видео	типы Raw потоков видео																			
	1	2	3			4			5				6 (7)		9		10		11	12
	№ такта:	0	1	2	0	1	2	0	1	2	3	0	1	0	1	0	1	0	0	
VIDj1	R	Y	R	G	B	Y	Cb	Cr	Y1	Cb	Y2	Cr	Y1	Y2	Y	Cb	R	G	-	-
VIDj2	G	Cb											Cb	Cr	Cr	A	B	A	-	-
VIDj3	B	Cr											(A1)	(A2)					-	-
цветовая субдискр.	4:4:4								4:2:2						4:4:4:4					

Таблица 21.12. Типы мультиплексирования Raw потоков видео в форматах 4:2:0 и 4:4:4:4 с одного порта

порт ввода видео	типы Raw потоков видео																					
	20	19	18				17			16		15		14				13				
	№ такта:	0	1	2	3	0	1	2	0	1	0	1	0	1	2	3	0	1	2	3		
VIDj1	Y1	Y1	Y1	Cb/Cr	Y2	A	Y1	Cb/Cr	Y2	Y1	Y2	Y1	Y2	R	G	B	A	Y	Cb	Cr	A	
VIDj2	Y2	Y2							Cb/Cr	A	Cb/Cr											
VIDj3	Cb/Cr	Cb/Cr																				
цветовая субдискр.	4:2:0												4:4:4:4									

Таблица 21.13. Типы мультиплексирования потоков видео в форматах Bayer/Mono

порт ввода видео	типы Raw потоков видео				
	21	22	23	24	8
VIDj1	M1	M1	M1	-	-
VIDj2		M2	M2	-	-
VIDj3			M3	-	-
цветовая субдискр.	Bayer / Monochrome				4:2:2

Номера конфигураций 8, 11, 12 и 24 в текущей реализации зарезервированы.

Пиксельные данные поступают на входы данных VID[11:0], синхронизируемые положительным или отрицательным фронтом синхросигнала PCLK. Данные стробируются сигналами вертикальной и горизонтальной синхронизации VSI и HSI (см. Рис. 21.6). Длительность импульсов сигналов синхронизации VSI и HSI может быть запрограммирована на любое значение от одного такта PCLK до стробирования всех пикселей одной строки (кадра). Импульс VSI может выдаваться одновременно с HSI или прежде, чем HSI. Сигналы синхронизации подробно описаны в разделе 21.4.1.1.2.

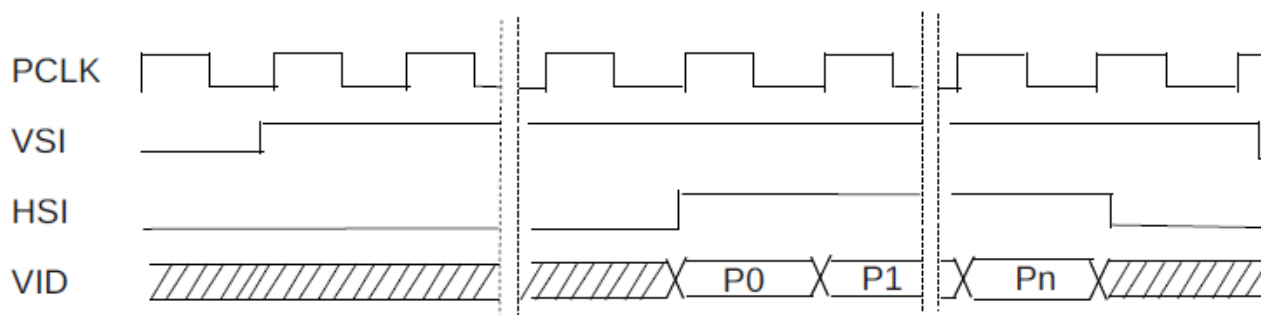


Рисунок 21.6. Временная диаграмма приема данных в Raw формате

21.4.1.1.1.2 Параллельный формат стандарта VT.656

Стандарт VT.656 специфицирует интерфейс для передачи видеосигнала стандартной четкости (525@60i или 625@50i) в чересстрочном формате YCrCb 4:2:2 по одинарному параллельному интерфейсу из 11(9) линий с тактовой частотой 27 МГц. Стандарт определяет, что в интерфейсе используются дифференциальные сигналы. Однако благодаря своей простоте (8- или 10-бит шина данных и сигнал таковой частоты 27 МГц) параллельный интерфейс VT.656 удобен для использования в качестве интерфейса между ИС с CMOS/TTL и в этом качестве поддерживается многими производителями.

Параллельные потоки видеоданных стандарта VT.656 принимаются одним унифицированным с Raw форматом модулем ввода видео, только требуется включить в этом модуле декодирование сигналов синхронизации, встроенных в поток видео, а также выбрать соответствующий тип Raw потока видео — 5 (см. 4.1).

В текущей реализации поддерживается конфигурация из двух 10-разрядных портов VT.656.

21.4.1.1.1.3 Параллельный интерфейс CMOS сенсоров

Параллельный интерфейс CMOS сенсоров Aptina (а также некоторых Cypress, OmniVision), незначительно отличается от Raw SDR интерфейса - основное отличие в передаче цветовой кодировки Bayer вместо передачи RGB или YcbCr (это 21-24 варианты среди 24 типов потоков Raw видео, предназначенные для передачи монохромных изображений и изображений в байеровской кодировке).

Типовая схема подключения CMOS сенсора через параллельный интерфейс представлена на Рис. 21.7. Данные с выхода сенсора Dout[11:0] поступают на входы данных VID[11:0], а сигналы FrameValid (FV) и LineValid (LV) на входы соответственно VSI и HSI параллельного порта ввода видео. Все сигналы принимаются, как правило, положительным фронтам PCLK, возможен прием данных по отрицательному фронту. Временные диаграммы приема данных с CMOS сенсоров аналогичны диаграммам приема данных в Raw формате (см. Рис. 21.6).

Данной схеме соответствует 21-й вариант потока Raw видео (см. 4.1). Практически все известные CMOS сенсоры передают изображение через один параллельный порт в байеровской или монохромной кодировке, обеспечивающей минимальный поток данных - одно слово на пиксель. В текущей реализации поддерживается конфигурация из двух параллельных 12-разрядных портов CMOS сенсоров.

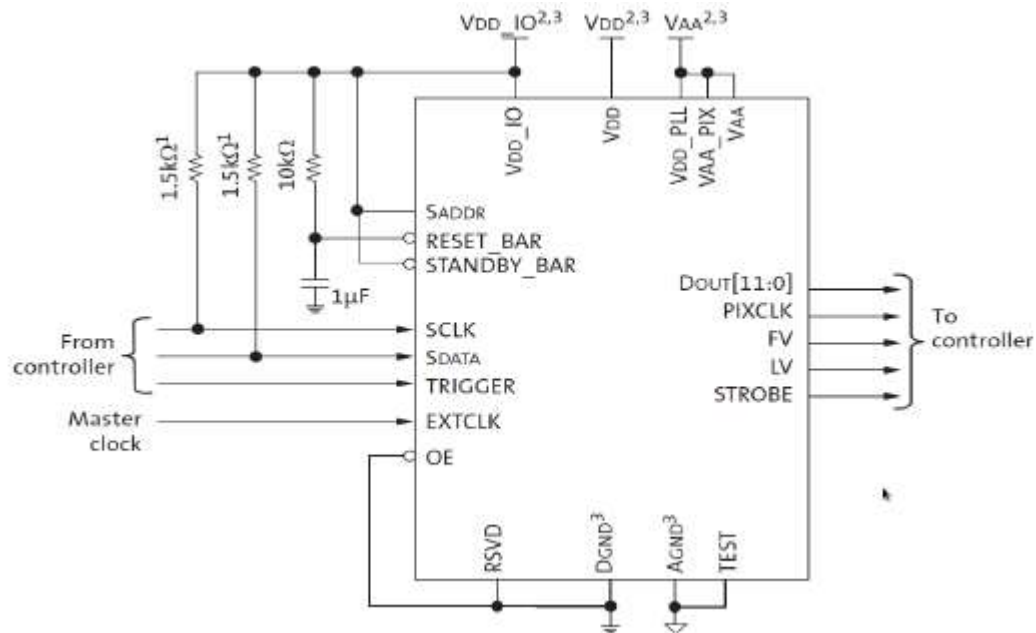


Рисунок 21.7. Схема подключения CMOS сенсора

На вход TRIGGER внешнего запуска CMOS сенсора может подаваться сигнал FSYNCO_0(1) из VINC для синхронизации экспозиции и считывания кадров CMOS сенсора сигналом запуска из VINC, либо для синхронизации работы двух CMOS сенсоров.

Формированием сигналов FSYNCO_0(1) выполняется согласно параметрам в регистрах CMOS0(1)_CTR, CMOS0(1)_TIMER_HIGH и CMOS0(1)_TIMER_LOW:

Если FSYNC_ENAB_EDGE=0, то на выходе FSYNCO_0(1) будет логическая единица, пока GLOBAL_ENABLE=0, а после установки GLOBAL_ENABLE=1 на выходе FSYNCO_0(1) формируется уровень логического нуля с длительностью, заданной в регистре CMOS_i_TIMER_LOW, затем уровень логической единицы с длительностью, заданной в регистре CMOS_i_TIMER_HI, и далее периодически повторяются эти две длительности логического нуля и единицы.

Если FSYNC_ENAB_EDGE=1, то на выходе FSYNCO_0(1) будет логический ноль, пока GLOBAL_ENABLE=0, а после установки GLOBAL_ENABLE=1 на выходе FSYNCO_i формируется уровень логической единицы с длительностью, заданной в регистре CMOS_i_TIMER_HI, затем уровень логического нуля с длительностью, заданной в регистре CMOS_i_TIMER_LOW, и далее периодически повторяются эти две длительности логической единицы и нуля.

Во время инициализации блока VINC в части CMOS сенсоров должна быть выполнена следующая последовательность действий:

1. Включение синхросигналов CMOS сенсоров (регистром CMOS0(1)_CTR).
2. Программирование режимов VINC по вводу, обработке и DMA.
3. Выдача и снятие сигнала RESETO_i для каждого из CMOS сенсоров.
4. Программирование параметров CMOS сенсоров (согласно спецификации CMOS сенсора).
5. Программирование регистров таймеров сигнала синхронизации каждого CMOS сенсора для формирования сигналов FSYNCO_i на входе TRIGGER каждого CMOS сенсора.
6. Включение блока VINC установкой сигнала GLOBAL_ENABLE.

Во время отключения блока VINC или при выключении не всего VINC, а только потоков видео от CMOS сенсоров, следует выключить синхросигналы соответствующих CMOS сенсоров.

21.4.1.1.2 Входные интерфейсы сигналов синхронизации видео

Сигналы синхронизации видео, определяющие расположение в потоке видеоданных строк и кадров, а также полукадров (четных и нечетных полей /fields/ для чересстрочной развертки) принимаемого видеопотока, могут либо поступать по отдельным от видеоданных входам H, V и F параллельных портов ввода видео (для Raw типа видеопотока), либо (для видеопотока типа BT.656) могут выделяться встроенные в поток видеоданных значения синхросигналов H, V и F (по строкам, кадрам и полям).

21.4.1.1.2.1 Выделение встроенной синхронизации из видеоданных согласно BT.656

Синхросигналы строк (H), кадров (V) и полей (F) выделяются из потока данных в модуле PInterface в соответствии с описанием Video Timing Reference Codes (VTRC) в стандарте BT.656.

После извлечения битов H и V из потока видеоданных и перед их подстановкой в качестве сигналов H и V, стробирующих активную часть строк и кадров, выполняется инверсия извлеченных битов H и V (с целью приведения смысла битов H и V из VTRC BT.656 к смыслу сигналов H и V в UPF внутри VINC), а бит F передается в сигнал F без инверсии.

В случае обнаружения одиночных ошибок в VTRC в потоках данных они корректируются, и сигнал ошибки не формируется, а в случае обнаружения двойных ошибок формируется сигнал ошибки из модуля PInterface. Одиночными считаются как однобитовые ошибки в 4-м байте VTRC, содержащем корректирующие коды, так и один бит отличия первых трех байтов VTRC, которые должны иметь значения 0xFF, 0, 0.

Использование встроенной синхронизации BT.656 включается установкой параметра EMB_SYNC=1 в регистре PINTERFACE_i_CFG.

Коррекция одиночных ошибок в данных встроенной синхронизации включается установкой параметра EMB_SYNC_CORR1ERR=1.

21.4.1.1.2.2 Преобразования сигналов синхронизации Raw видеопотоков.

В зависимости от типов подключаемых внешних микросхем - источников Raw видеопотоков, принимаемые на входы VINC сигналы H,V,F могут либо передаваться в UPF без изменений, либо может быть выполнен ряд преобразований входных сигналов в такие сигналы на выходе модуля PInterface, которые соответствуют функциям этих сигналов в UPF. Параметры этих преобразований задаются в регистрах PINTERFACE_i_HVFSYNC.

Следующие преобразования над сигналами развертки H, V, F могут выполняться в модуле PInterface или во вложенном в него модуле PIntTransfHVF:

1. Инвертирование сигналов H,V,F с индивидуальным управлением инверсией каждого из этих сигналов (параметры INVERS_H, INVERS_V, INVERS_F).

В режиме raw (EMB_SYNC=0 в регистре PINTERFACE0_CFG) инвертируются входные сигналы H и V, до описанных ниже операций формирования сигналов.

В режиме BT.656 (EMB_SYNC=1) инвертируются сигналы H, V, F, выделенные из видеоданных (последовательно с инверсией битов H и V извлеченных из этих видеоданных, соответствующих BT.656).

Сигналы H и V инвертируются всегда перед их использованием во всех других операциях формирования, описанных здесь.

Инверсия сигнала F выполняется после всех операций по его формированию.

2. Формирование сигнала F из входных сигналов V и H в режиме чересстрочной развертки включается параметром BUILT_F и другими согласно Таблица 21.11-Таблица 21.13.

Если сигнал четного/нечетного поля F в режиме чересстрочной развертки не может быть получен с источника видеоданных, он может быть сформирован по состоянию сигнала H в момент спадающего фронта сигнала V (начала сигнала кадровой синхронизации или бланкирования):

- если сигнал V переключается в 0 во время строчного бланкирования (H=0), то следующий полукадр получает F=1;
- если сигнал V переключается в 0 во время активной части строки (H=1), то следующий полукадр получает F=0.

Такой способ кодирования сигнала F сигналами V и H может быть выбран, например, в декодере SDTV сигнала - микросхеме ADV7180 в корпусе 40 выводами, где можно выбрать выдачу только либо сигнала V, либо сигнала F.

Формируемый сигнал F задерживается на DELAY_F-1 строк, считая от спада V, как описано здесь ниже.

Также и для сигнала V формируются в этом режиме задержка и длительность таким образом, чтобы он, после спадающего фронта входного сигнала V, переключался в низкий уровень только во время низкого уровня сигнала H, когда параметр PRE_DELAY_V \neq 0, задерживаясь тогда на PRE_DELAY_V-1 строк по спадам H; и только если PRE_DELAY_V=0, то спад сигнала V передается без задержки. Последующая длительность низкого уровня сигнала V (кадрового бланкирования) формируется равной DELAY_V +1 строк (считая по спадающим фронтам сигнала H). Длительность задана параметром DELAY_V для четных полукадров, а для нечетных полукадров параметр DELAY_VF_ODD_OFS задает знаковую добавку от -4 до +3 строк.

3. Формирование сигнала V из входного сигнала F в режиме чересстрочной развертки включается параметром BUILT_V и другими, Таблица 21.11-Таблица 21.13.

Если сигнал V в режиме чересстрочной развертки не может быть получен с источника видеоданных, он может быть сформирован импульсом с заданными задержкой и длительностью от каждого из перепадов сигнала F. Эти задержка и длительность также определяются параметрами PRE_DELAY_V и DELAY_V (для четных полукадров, +DELAY_VF_ODD_OFS для нечетных), и отсчитываются аналогично формированию V в разделе 2 (когда из V и H формируется F).

Входной сигнал F задерживается на DELAY_F-1, как описано здесь ниже.

4. Формирование сигналов H, V и F из входного сигнала H(DE).

Сигналы H и V (а в большинстве режимов чересстрочной развертки и сигнал F) могут быть сформированы из одного входного сигнала DE, который имеет высокий уровень только для видимых пикселей кадра (непрерывный высокий уровень во время всех видимых строк).

Для формирования сигналов H и V входной сигнал DE должен иметь строго периодические, повторяющиеся для всех строк одного кадра длительности высокого и последующего низкого уровня, тогда в конце кадра по признаку отсутствия высокого уровня DE для очередной строки формируется сигнал V низкого уровня (с задержкой на PRE_DELAY_V строк и последующей длительностью низкого уровня в DELAY_V+1 строк). Во время кадрового бланкирования, пока на входе DE низкий уровень, используется внутренний сигнал pseH, продолжающий период повторения и фазу DE в прошедшем кадре, что позволяет продолжать считать строки синхронно с источником

сигнала по спадам $pseH$. Если $PRE_DELAY_V=0$, то низкий уровень сигнала V установится сразу по первому фронту $pseH$ когда будет низкий уровень входного сигнала DE , а иначе после отсчета PRE_DELAY_V спадов сигнала $pseH$.

Длительность низкого уровня сигнала V для нечетных полукадров при чересстрочной развертке можно скорректировать параметром $DELAY_VF_ODD_OFS$, который в нечетных полукадрах прибавляется к $DELAY_V$ с учетом знака $DELAY_VF_ODD_OFS[2]$.

Пока формируется низкий уровень сигнала V , на выход сигнала H выдается внутренний сигнал $pseH$, а во время высокого уровня на выходе V сигнал H имеет низкий уровень до начала первой видимой строки следующего кадра, повторяя входной сигнал DE , также и далее для всех видимых строк кадра. Строгого совпадения фазы периодических сигналов на входе DE в разных кадрах не требуется (т.е. время кадрового бланкирования может быть не кратным периоду строк и даже меняться произвольно от кадра к кадру), если требуется сформировать только сигналы V и H (без сигнала F и без режима опережения H - они требуют постоянной фазы DE).

Для формирования сигнала F из входного DE в режимах с чересстрочной разверткой должно быть различно число полных строк, укладываемых по длительности в бланкирующие интервалы перед четным и перед нечетным полукадрами. Тогда большему числу бланкирующих строк соответствует высокий уровень сигнала F , а меньшему низкий уровень сигнала F . При необходимости сформированный сигнал F инвертируется параметром $INVERS_F$, а момент переключения F привязывается к спаду сигнала V либо программируется задержка переключения F .

5. Задержка сигнала F .

Входной сигнал F , либо сформированный из входного V или DE , может быть задержан на заданное параметром $DELAY_F$ количество строк, эта задержка разрешается параметром $DELAY_F_EN$.

Знаковая добавка $DELAY_VF_ODD_OFS$ к $DELAY_F$ всегда выполняется для нечетных полукадров (это может потребоваться в режиме чересстрочной развертки). Для прогрессивной развертки рекомендуется установить параметр $DELAY_VF_ODD_OFS=0$.

Задержка F обычно отсчитывается от таких запускающих событий, как спад входного сигнала V или переключение сигнала F , и тогда переключение сформированного сигнала F происходит с задержкой на $DELAY_F-1$ полных строк после запуска, считая по концам строк (спадам H), но не считая конца первой неполной строки (когда запуск произошел при $H=1$). Таким образом, при $DELAY_F > 1$ происходит задержка на одну и более полных строк, при $DELAY_F=1$ задержка до тех пор, пока $H=1$ (до конца строки), а при $DELAY_F=0$ задержка отсутствует.

В режиме, когда сигнал F формируется из входного сигнала DE, величина задержки равна DELAY_F строк, считая строки по спадам сигнала pseH начиная от конца последней видимой строки кадра. Исключение составляет случай DELAY_F=0, когда сигнал F переключится по фронту первого pseH после окончания видимых строк кадра (а при DELAY_F=1 переключится по спаду этого pseH).

Если DELAY_F_EN=0 и DELAY_F=0 (начальные значения), то входной сигнал F передается без задержки (в режимах HVF 1, 4, 5 и 8, а сформированный сигнал F переключается по спаду сформированного сигнала V (в режимах HVF 2, 3, 6 и 7).

6. Прием сигнала F со входа V.

Когда используются только входные сигналы H(DE) и F (а сигнал V формируется внутри), сигнал F принимается со того входа, на который обычно приходит сигнал V (что необходимо в тех конфигурациях VINC, где есть только входы H и V).

7. Формирование опережающего сигнала H.

Дополнительная функция, реализующая опережение входного периодического сигнала H(DE), т. е. выходной H начинается на некоторое число тактов с видеоданными (т.е. в которых PV=1) раньше, чем входное H. Число тактов задается параметром FORW_H в регистре PINTERFACEi_CFG. Включается, когда FORW_H≠0. Так же отрезок выходного сигнала H между началом кадра (выходное V=1) и приходом новой строки (первое входное H=1) будет заполняться пустыми строками (черными) длительностью равной длительности выходных строк (входной H + FORW_H тактов, задние фронты входного и выходного H совпадают) и одной пустой строкой после последней входной строки (реализовано для визуального определения границ реального изображения без применения кропинга).

Имеются отдельные ограничения по совместимости опережения H с другими функциями:

при формировании сигналов H и V из входного сигнала H(DE) фаза сигнала DE должна быть постоянной от кадра к кадру, а длительность DELAY_V низкого уровня сигнала V должна быть задана такой, чтобы этот низкий уровень сигнала V закрывал все бланкированные строки, до первой строки нового кадра;

Для чересстрочной развертки потребуется параметром DELAY_VF_ODD_OFS компенсировать разницу числа бланкированных строк перед четными и нечетными полукадрами, а также установить PRE_DELAY_V > 0 и в конце кадра обрезать PRE_DELAY_V лишних строк.

Режим формирования сигналов H,V,F выбирается комбинацией битовых параметров BUILD_MODE = {BUILT_H, BUILT_F, BUILT_V} согласно Таблица 21.14.

Таблица 21.14. Управление режимами формирования сигналов H, V, F в модуле PInterface

№ режима HVF	BUILT_MODE	Режим формирования	Входы
1	0 0 0	входные сигналы H, V, F (raw или BT.656) передаются без изменений, бит DELAY_F_EN включает задержку сигнала F на DELAY_F-1 строк	H, V, F
2	0 1 0	сигнал F формируется из входных V и H с задержкой на DELAY_F-1 строк после спада V, а эти входные сигналы H и V передаются без изменений	H, V
3	0 1 1	сигнал F формируется из входных V и H с задержкой на DELAY_F-1 строк после спада V, а из входного сигнала V формируется сигнал V с задержкой на PRE_DELAY_V-1 строк и низким уровнем длительностью DELAY_V+1 строк	H, V
4	0 0 1	сигнал V формируется из входного F (от любого переключения F формируется с задержкой на PRE_DELAY_V-1 строк низкий уровень V на 1+DELAY_V строк), и формируется задержка сигнала F на DELAY_F-1 строк	H, F {2}
5	1 0 0	сигналы H и V формируются из входного сигнала H (DE) {1}, и формируется задержка входного сигнала F на DELAY_F-1 строк	H(DE), F {2}
6	1 1 0	сигнал H формируется из входного сигнала H (DE) {1}, сигнал F формируется из входного сигнала V и полученного H, с задержкой сформированного сигнала F на DELAY_F-1 строк после спада входного V, а из входного сигнала V формируется сигнал V с задержкой на PRE_DELAY_V-1 строк и низким уровнем длительностью DELAY_V+1 строк	H(DE), V
7	1 1 1	сигналы H, V и F формируются из входного сигнала H (DE) {1a}, с задержкой сформированного сигнала F на DELAY_F строк после конца последней видимой строки кадра, и задержкой сигнала V на PRE_DELAY_V строк и низким уровнем длительностью DELAY_V+1 строк	H(DE)
8	1 0 1	сигнал H формируется из входного сигнала H (DE), сигнал V формируется из входного F (от любого переключения F формируется с задержкой на PRE_DELAY_V-1 строк низкий уровень V с длительностью 1+DELAY_V строк), и формируется задержка сигнала F на DELAY_F-1 строк	H(DE), F {2}

{1} Во время кадрового бланкирования в сигнале DE формируется сигнал V с задержкой PRE_DELAY_V строк и далее низким уровнем на DELAY_V+1 строк, в течение которых выдаются сигналы H, продолжающие период входного DE, который был в прошедшем кадре

{1a} В дополнение к {1}, формируется сигнал F по разности длительности интервалов кадрового бланкирования входного сигнала DE в четных и нечетных полукадрах

{2} Сигнал F принимается со входа V из параллельного порта ввода видео, а выдается по выходу F (в UPF) из модуля PInterface.

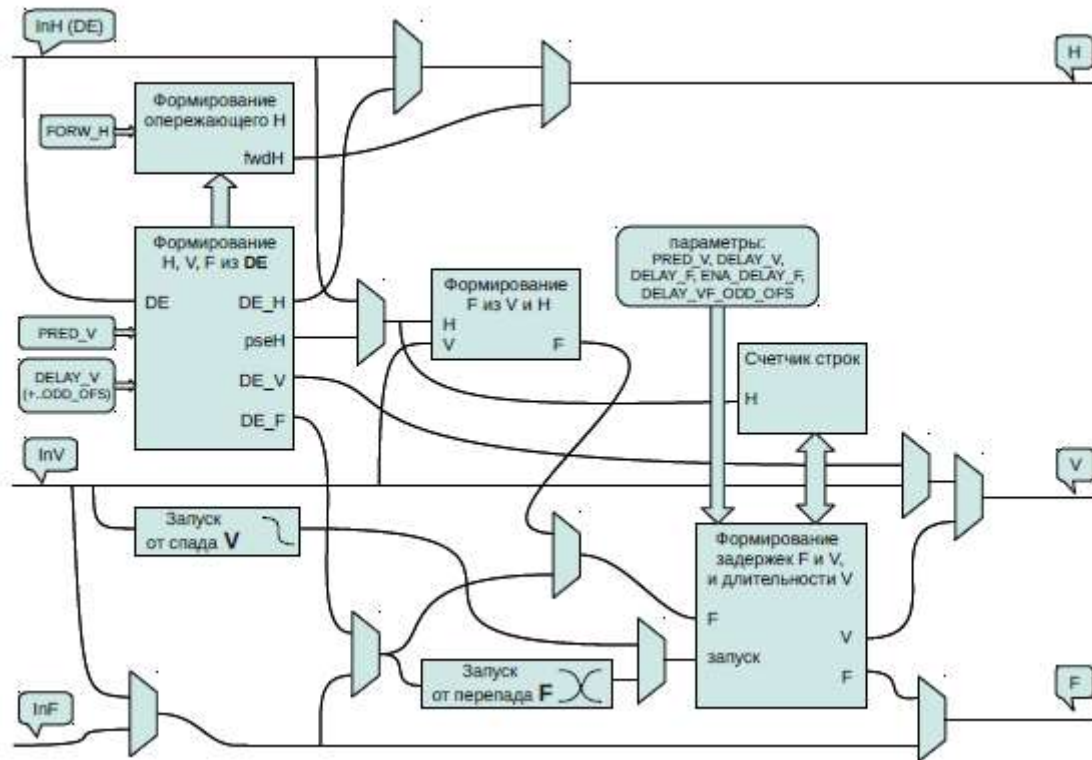


Рисунок 21.8. Схема преобразования сигналов синхронизации Raw видеопотоков

Структура регистра PINTERFACE_i_HVFSYNC с параметрами перечисленных режимов формирования сигналов H, V, F приведена в 5.13. На Рис. 21.8 показаны взаимосвязи между различными функциями, формирующими сигналы синхронизации Raw видеопотоков. На временных диаграммах Рис. 21.9 - Рис. 21.10 показаны типичные входные и выходные сигналы на входах и выходах схемы преобразований сигналов синхронизации.

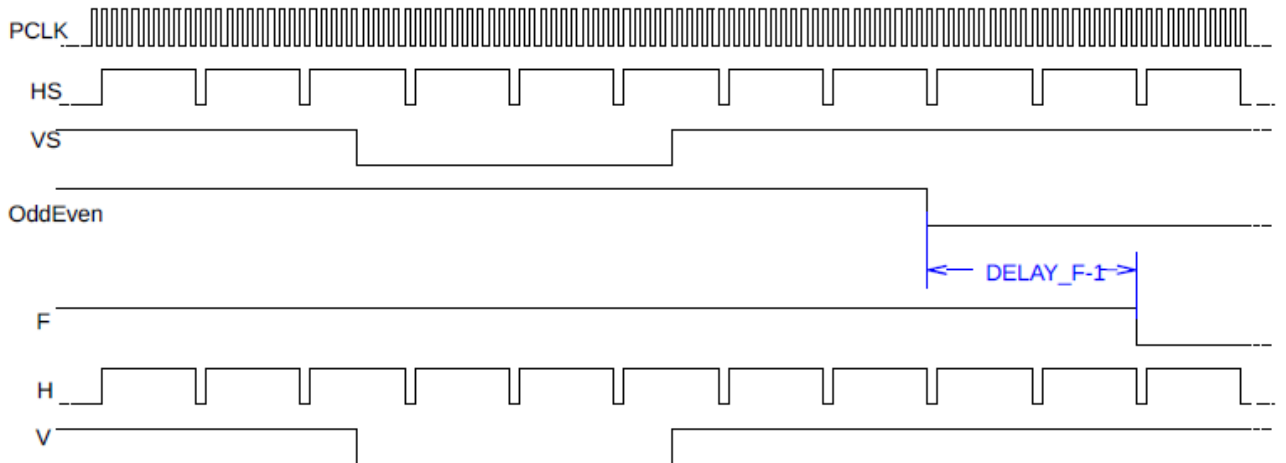


Рисунок 21.9. Режим преобразования HVF № 1 (0 0 0 BUILT_H, BUILT_F, BUILT_V)

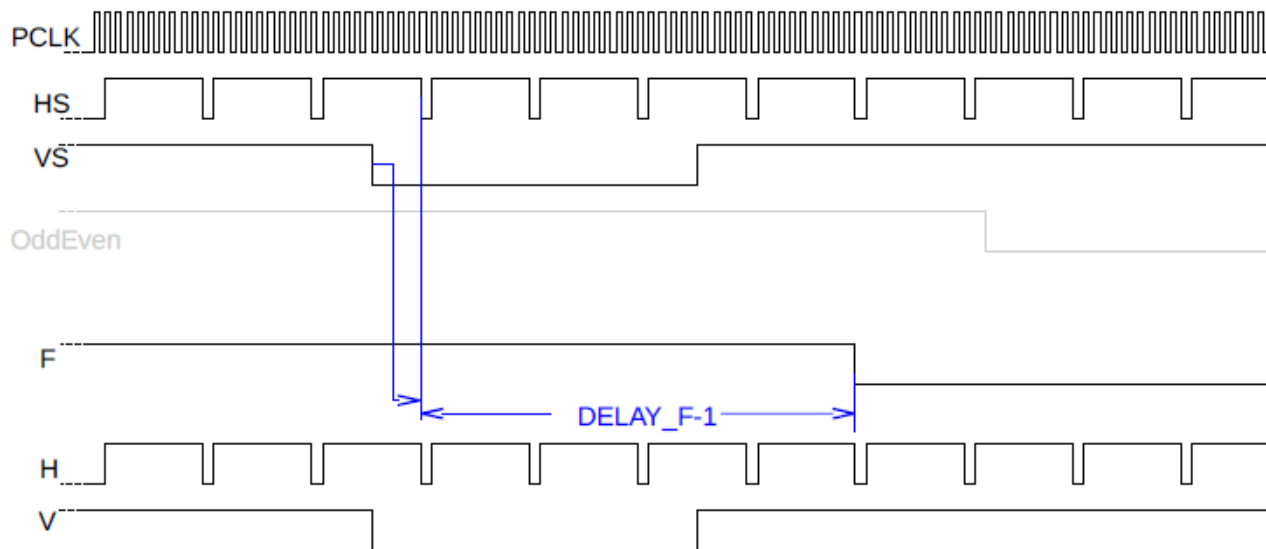


Рисунок 21.10. Режим преобразования HVF № 2 (0 1 0 BUILT_H, BUILT_F, BUILT_V)

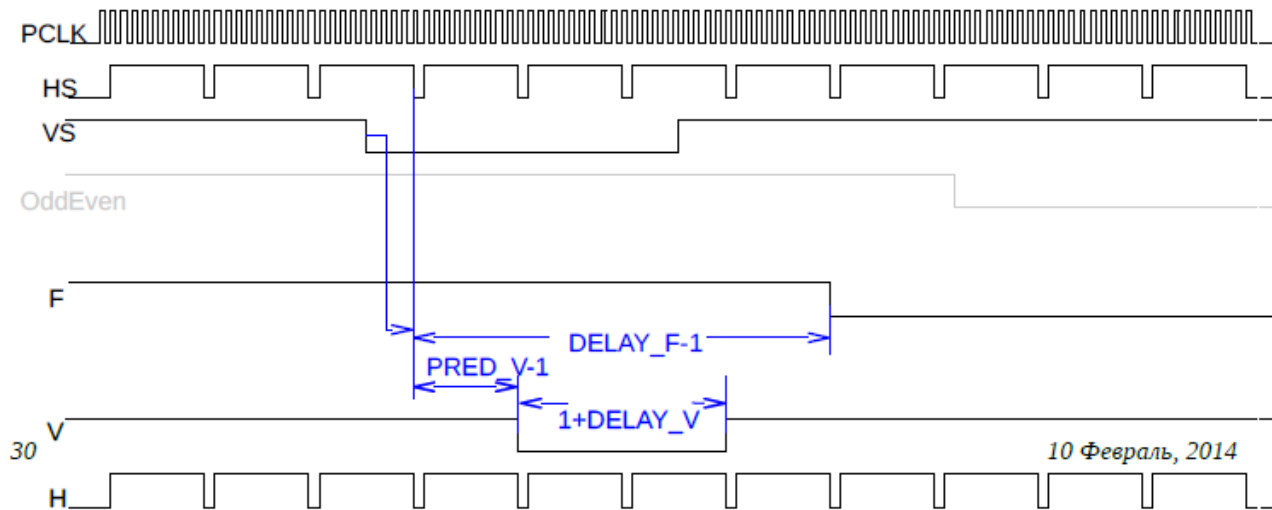


Рисунок 21.11. Режим преобразования HVF № 3 (0 1 1 BUILT_H, BUILT_F, BUILT_V)

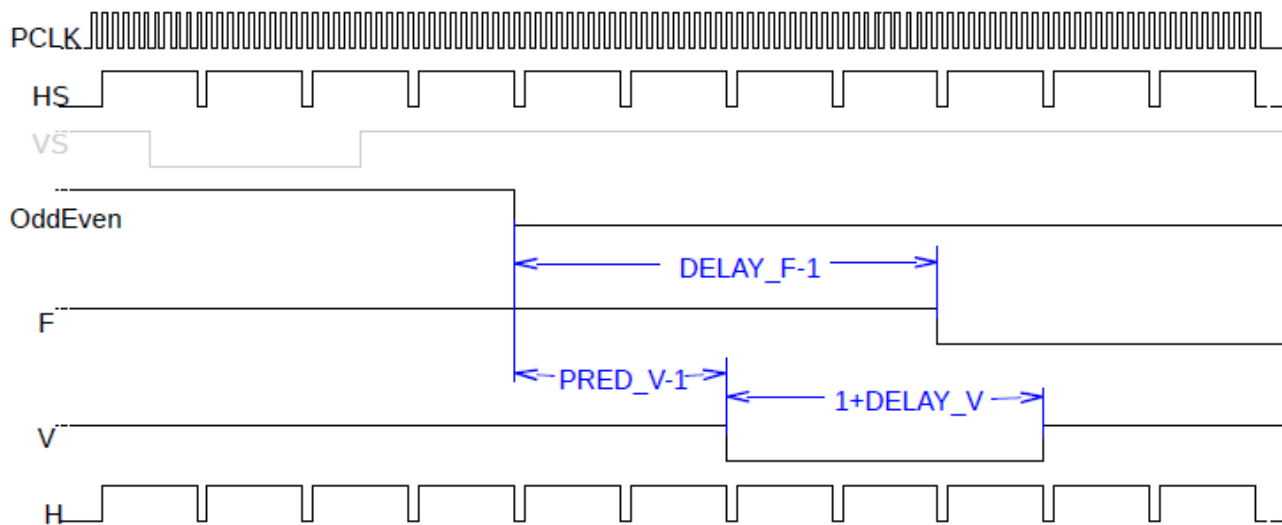


Рисунок 21.12. Режим преобразования HVF № 4 (001 BUILT_H, BUILT_F, BUILT_V)

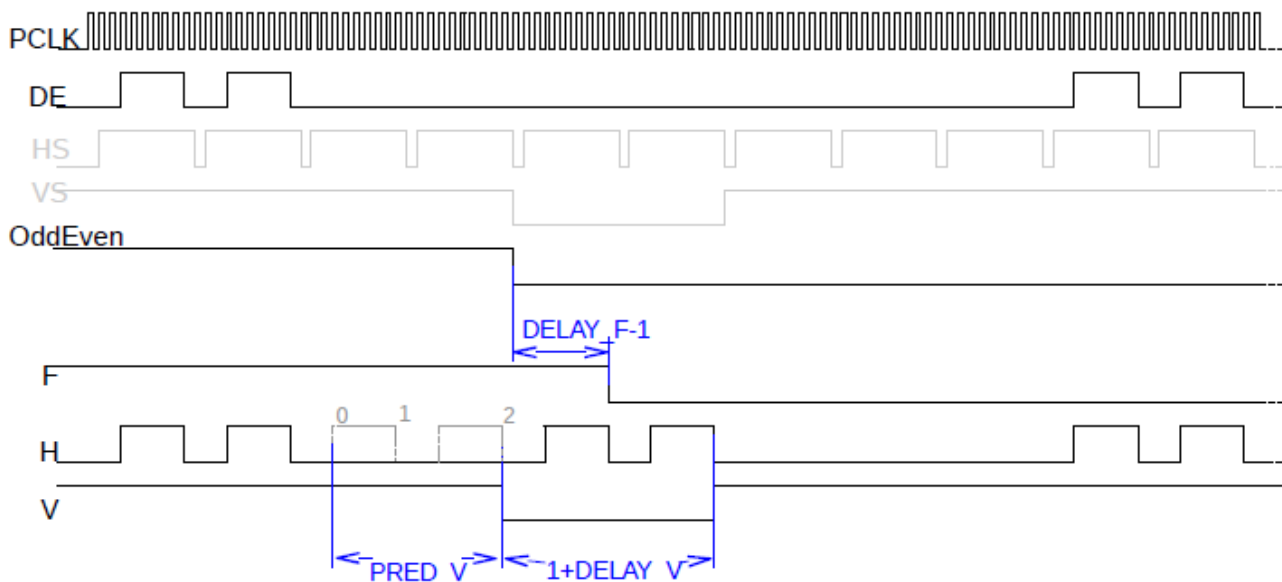


Рисунок 21.13. Режим преобразования HVF № 5 (100 BUILT_H, BUILT_F, BUILT_V)

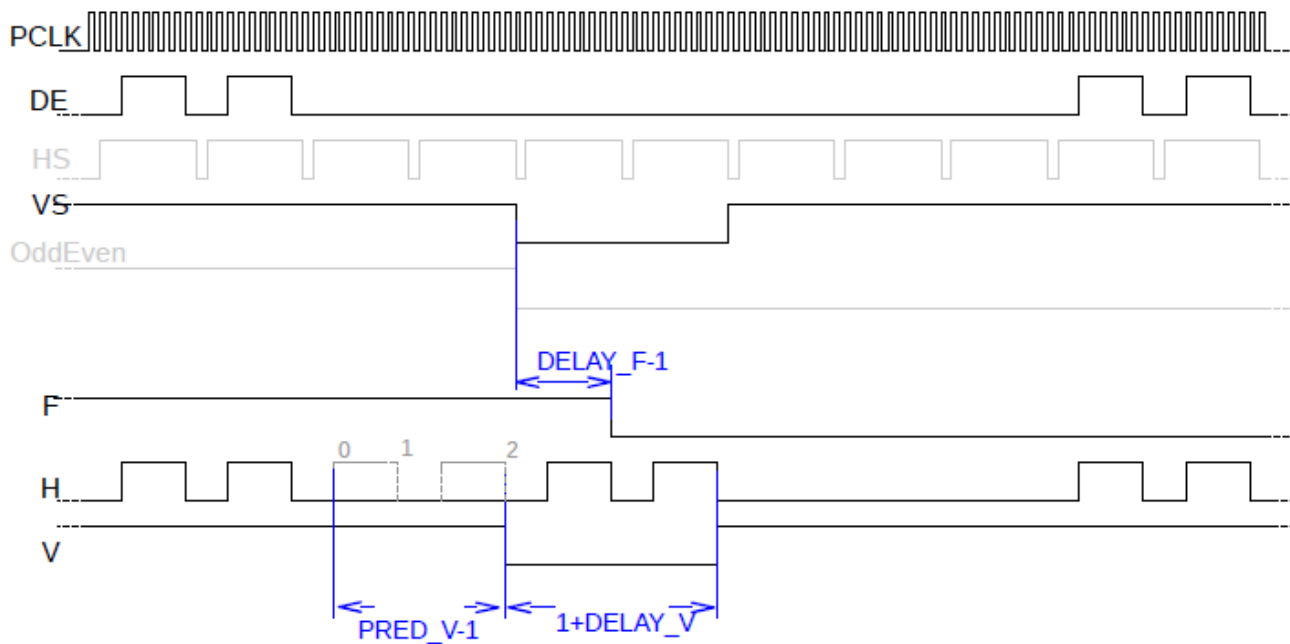


Рисунок 21.14. Режим преобразования HVF № 6 (110 BUILT_H, BUILT_F, BUILT_V)

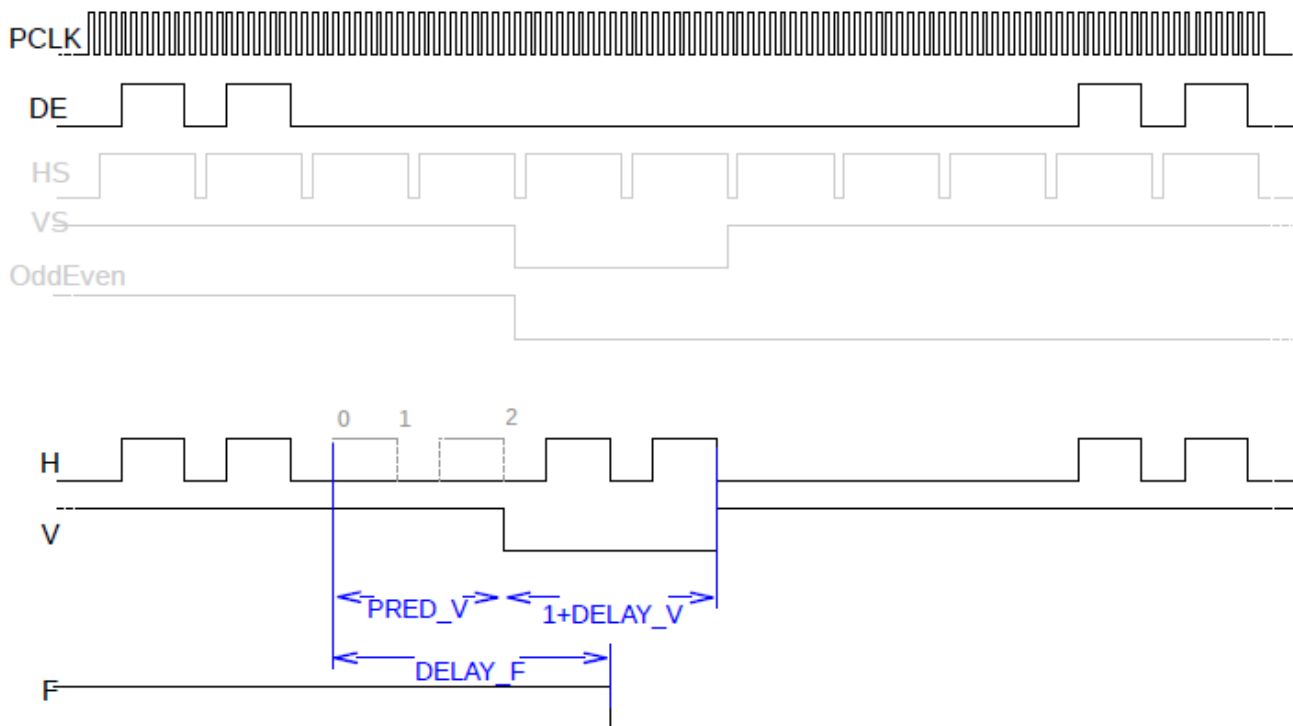


Рисунок 21.15. Режим преобразования HVF № 7 (111 BUILT_H, BUILT_F, BUILT_V)

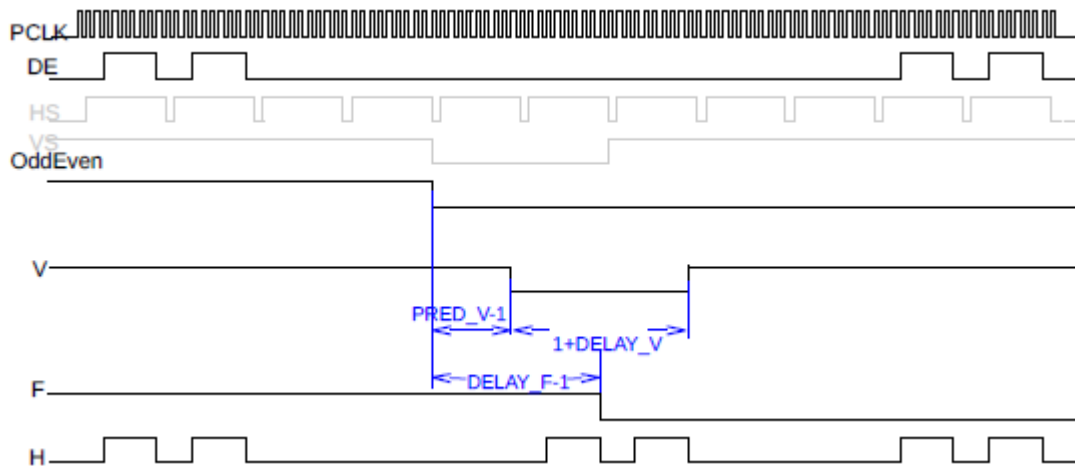


Рисунок 21.16. Режим преобразования HVF № 8 (101 BUILT_H, BUILT_F, BUILT_V)

Примечания о назначении и использовании параметров преобразования сигналов синхронизации Raw видеопотоков.

Передача входных сигналов H,V,F на выход PInterface без каких либо изменений осуществляется с параметрами по умолчанию, а именно: BUILT_H=0, BUILT_F=0, BUILT_V=0, DELAY_F_EN=0 и DELAY_F=0.

Параметр DELAY_V, формируя длительность кадрового бланкирования сигнала V, позволяет как выставить верхнюю границу кадра точно, так и приближенно выбрать (менять в некоторых пределах) длительность кадрового бланкирования (низкий уровень V), которая уместается по времени в бланкирующий интервал входного сигнала и одновременно удовлетворяет всем требованиям модулей предварительной обработки и DMA.

Параметр DELAY_F позволяет корректировать время передачи изменений сигнала F на модули предварительной обработки и каналы DMA, так чтобы этот сигнал не менялся в тот период времени, когда он анализируется.

Параметр DELAY_VF_ODD_OFS позволяет с точностью до строки совмещать верхние края четных и нечетных полукадров для любых источников изображений с чересстрочной разверткой.

Параметры DELAY_V и DELAY_F аналогичны имеющимся в декодерах SDTV сигнала (в ADV7180: PVEND и PFTOG), так что могут программироваться логически вместе с декодером, позволяя эквивалентно параметризовать сигнал V или F, который из-за экономии выводов прямо декодером не выдается и потому формируется в модуле PInterface.

В режимах приема видеоданных по синхронизирующим сигналам, не полностью закрывающим неактивные области строк и кадров (сигналы HS и VS с декодера SDTV

сигнала, например), нижняя граница кадра и границы строк должны быть скорректированы отдельно в модуле обрезки (4.2.1).

При наличии сигнала DE (например, с HDMI декодера) рекомендуется подать его на вход H, а также желательно подать на вход V сигнал V или F (либо подать сигнал F на третий вход F). Наиболее типичные режимы развертки и разрешения видеоданных должны поддерживаться с одним входным сигналом DE, точно определяющим размеры кадра, так что в большинстве случаев не потребуется выбор дополнительных параметров для модуля обрезки (а только при FORW_H≠0 потребуется). Использование вместе с DE сигналов V и F все же нельзя полностью исключить - для повышения помехозащищенности синхронизации по кадрам и полукадрам, например, и поддержки чересстрочной развертки с четным числом полных строк кадра (когда четность полукадра нельзя определить по числу строк, только явно задать сигналом F) и других не предусмотренных заранее режимов развертки.

21.4.1.1.3 Модули входных портов ввода видео Port0 - Port2

Модули входных портов ввода видео (Port0 - Port2) принимают входные видеоданные, сопровождаемые пиксельной частотой PCLK и выполняют пересинхронизацию на частоту синхросигнала VINC_CLK в соответствии с параметрами, заданными в регистре PPORT0(1,2)_CFG.

Данные могут приниматься по синхросигналу пиксельной частоты PCLK (входы VPIN_VDIN[29:28]) или по синхросигналу VINC_CLK. Способ синхронизации определяется битом PP_VIN_CLK регистра PPORT_INP_MUX_CFG.

21.4.1.1.3.1 Прием данных по синхросигналу PCLK

Данные могут приниматься во входные регистры по переднему, заднему или обоим фронтам синхросигнала PCLK.

В конфигурациях 1-2 модули PPort0-2 имеют общую синхронизацию, тип которой определяется полем PIXEL_MODE регистра PPORT0_CFG. В качестве источника пиксельного синхросигнала используется вход VPIN_VDIN[28]. Активный фронт определяется полем PIXEL_MODE регистра PPORT0_CFG.

В конфигурациях 0 или 3 модули PPort 0 и PPort1 функционируют независимо друг от друга. В качестве источника пиксельного синхросигнала модуля PPort 0 используется вход VPIN_VDIN[28], модуля PPort 1 - вход VPIN_VDIN[29]. Активный фронт синхросигнала VPIN_VDIN[28] определяется полем PIXEL_MODE регистра PPORT0_CFG, синхросигнала VPIN_VDIN[29] - полем PIXEL_MODE регистра PPORT1_CFG.

Импульс пиксельного синхросигнала пересинхронизируется на частоту синхросигнала VINC_CLK, формируя сигнал разрешения записи данных из входных регистров в выходной регистр, синхронизируемый синхросигналом VINC_CLK.

В качестве источника видеоданных для каждого модуля PPort помимо входных данных может быть использован один из трех тестовых потоков видеоданных. Источник видеоданных определяется полем VIN_SRC регистров PPORT0(1,2)_CFG.

21.4.1.1.3.2 Прием данных по синхросигналу VINC_CLK

Модули параллельного порта выполняют стробирование (запоминание на входных триггерах) входных данных VPIN_VDIN (включая сигналы PCLK, получаемые со входов VPIN_VDIN[29:28]) с частотой синхросигнала VINC_CLK. Данные всегда стробируются по положительному фронту VINC_CLK. Сигналы PCLK могут либо стробироваться полностью аналогично данным, по положительному фронту VINC_CLK, если PCLK_HALF_CLK=0, либо PCLK может стробироваться сначала по отрицательному фронту VINC_CLK когда параметр PCLK_HALF_CLK=1, то есть значение сигнала PCLK захватывается на дополнительный триггер на $\frac{1}{2}$ периода VINC_CLK раньше, передаваясь с него на основной триггер по положительному фронту VINC_CLK.

Разница моментов времени t_{PVI} и t_{PCLK} , в которые стробируются входные данные и сигнал PCLK соответственно, определяется формулой:

$$t_{PVI} = t_{PCLK} + T_{VINC_CLK} * (DIGITAL_DELAY - 3 + \frac{1}{2} PCLK_HALF_CLK)$$

где T_{VINC_CLK} - период синхросигнала VINC_CLK,

а параметры DIGITAL_DELAY и PCLK_HALF_CLK программируются в регистре PPORT0(1,2)_CFG

Модуль сопровождает сигналом PV на выходе данные в тех и только тех тактах, в которых обнаруживаются заданные изменения сигнала PCLK по сравнению с PCLK в предшествующем такте VINC_CLK (условия приема пикселя по сигналу PCLK программируются полем PIXEL_MODE в регистре PPORT0(1,2)_CFG - по положительному, отрицательному или по любому фронту PCLK).

Общие функциональные элементы модуля параллельных портов показаны на схеме модуля PPORT_top (Рисунок 21.17), а детали функционирования каждого из трех портов раскрыты на схеме модуля PPort (Рисунок 21.18).

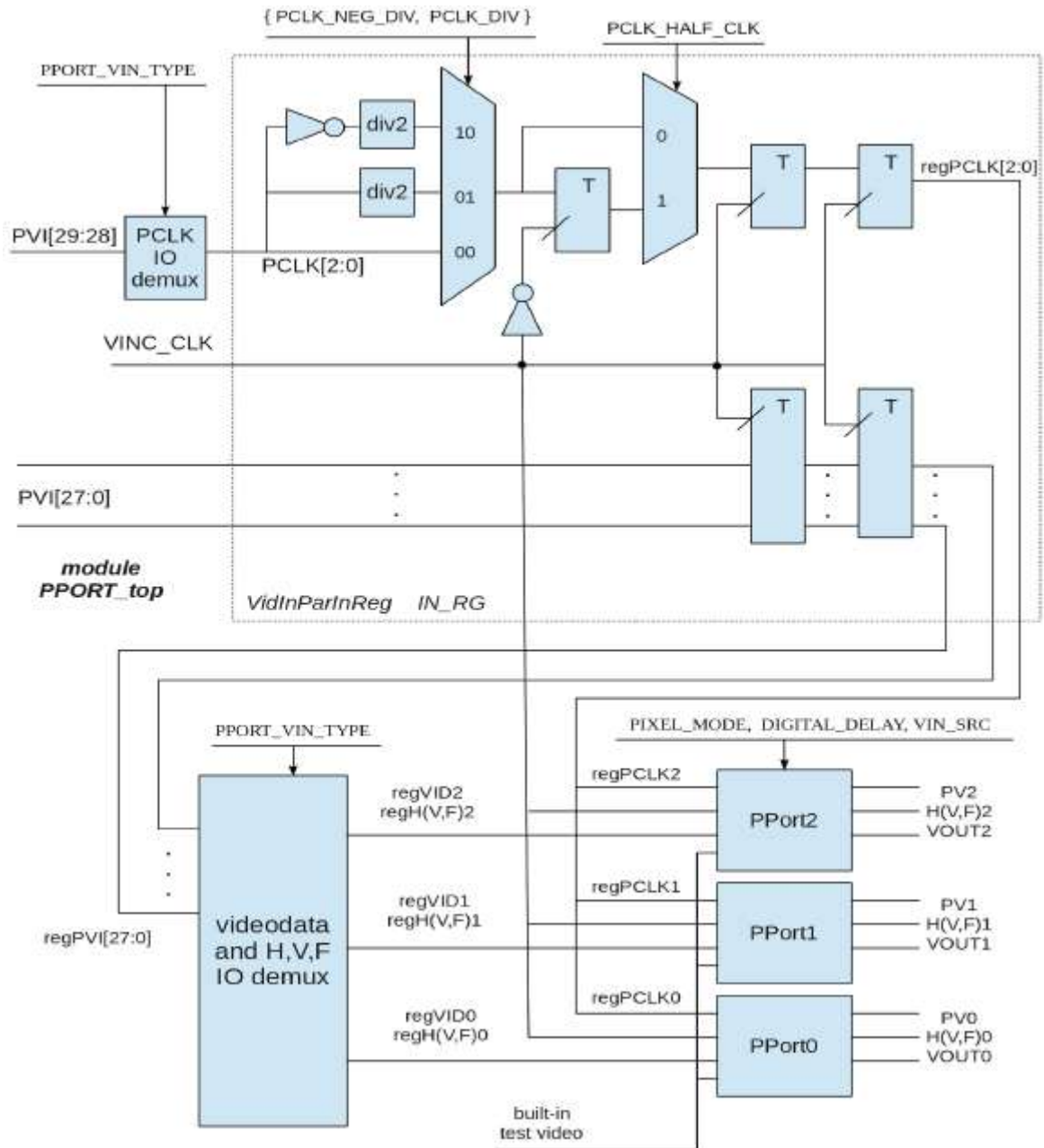


Рисунок 21.17. Модуль параллельных портов PPORT_top

Коммутатор PCLK IO demux, под управлением параметра PPORT_VIN_TYPE, направляет входные сигналы PCLK с внешних выводов VPIN_VDIN[29:28] на три канала приема сигналов PCLK, связанные с тремя портами Port0 - Port2. В каждом из каналов приема PCLK выполняется:

- деление частоты PCLK на 2, триггером по положительным или по отрицательным фронтам PCLK, управляемое параметрами PCLK_DIV и PCLK_NEG_DIV;
- предварительное захлопывание сигнала PCLK на триггер по отрицательному фронту синхросерии VINC_CLK, обеспечивающее момент стробирования входного PCLK раньше на половину такта VINC_CLK, управляемое параметром PCLK_HALF_CLK;

- пересинхронизация сигналов PCLK на синхросерию VINC_CLK (на двух триггерах для каждого из трех PCLK, формирующих сигналы regPCLK[2:0] на входы модулей портов Port0-Port2).

Видеоданные VPIN_VDIN[27:0], приходящие параллельно с PCLK, поступают на два следующих один за другим регистра пересинхронизации данных, шириной 28 бит каждый. После этой пересинхронизации в коммутаторе «videodata and HVF IO demux», под управлением параметра PPORT_VIN_TYPE, выполняется коммутация данных и сигналов синхронизации разверток (H,V,F) на три одинаковых порта. Тестовый видеопоток (built-in test video) также поступает на входы модулей параллельных портов Port0 - Port2.

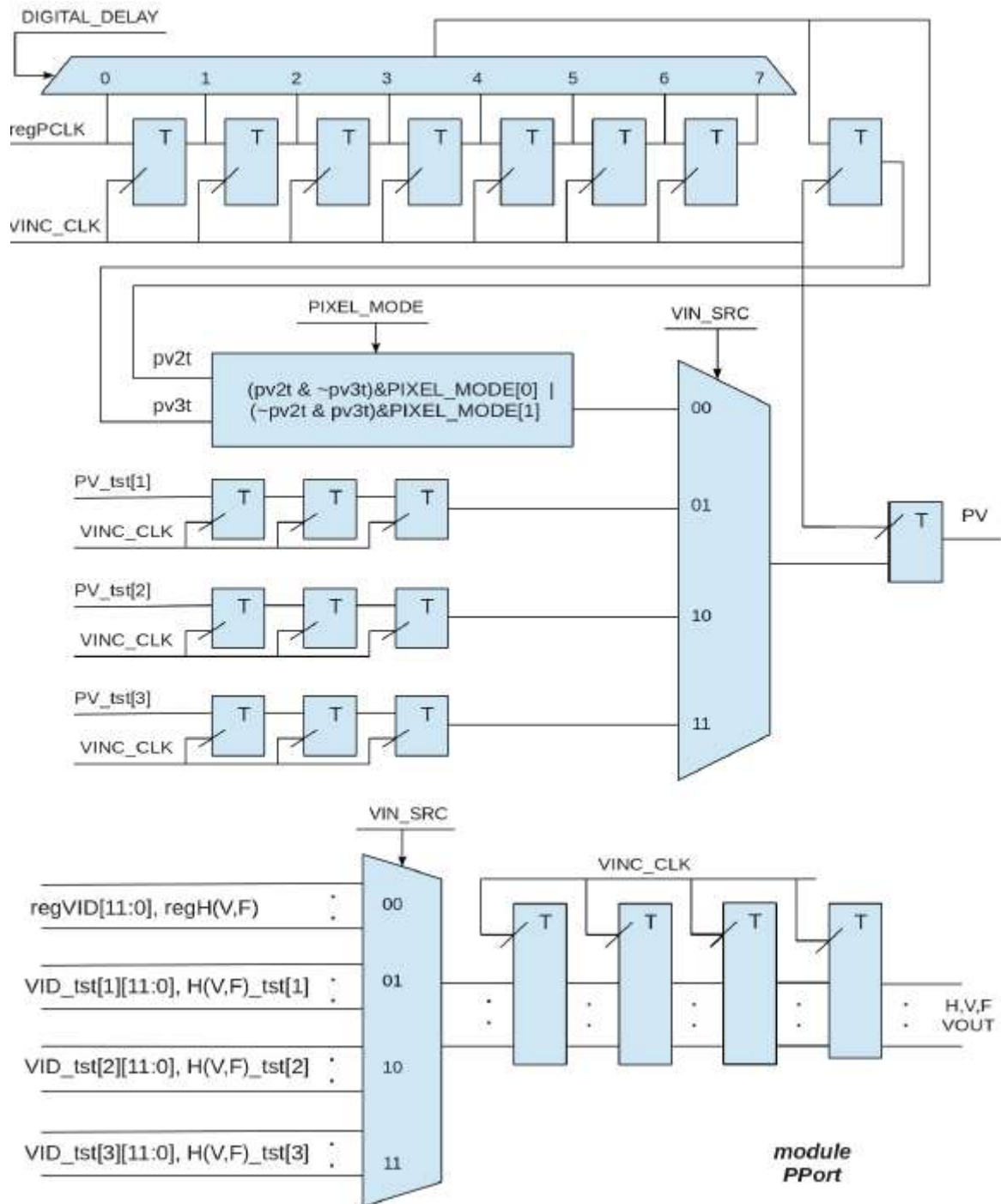


Рисунок 21.18. Модуль параллельного порта PPort

Каждый из трех параллельных портов обеспечивает:

- формирование одноканальных сигналов PV, стробирующих видеоданные VOUT, H, V, F на выходе порта, из заданных параметром PIXEL_MODE фронтов сигналов PCLK;
- программирование величины задержки сигнала PV относительно данных (то есть, разницы моментов времени t_{PV} и t_{PCLK} , в которые стробируются входные данные и сигнал PCLK);

- программируемую коммутацию на выход порта либо входного видеопотока, либо одного из трех компонентов тестового видеопотока (параметром VIN_SRC).

Программируемая задержка сигнала PCLK (из которого формируется затем PV) обеспечивается сдвиговым регистром из семи триггеров и мультиплексором, управляемым параметром DIGITAL_DELAY. Триггер на выходе мультиплексора и следующая за ним логическая схема, управляемая параметром PIXEL_MODE, служит для выделения заданных этим параметром перепадов сигнала PCLK (положительных, отрицательных или любых) - сигналов PV.

Задержка видеоданных на 4 такта выполняется, чтобы обеспечить возможность программирования как задержки, так и опережения сигнала PV относительно данных, с целью компенсации разнонаправленных взаимных задержек входных данных и PCLK и точного совмещения строба PV в одном такте с верными данными на выходах порта VOUT, H, V, F.

Сигналы PV_tst тестового видео задерживаются дополнительно на 3 такта, для компенсации задержки данных.

21.4.1.1.4 Модули интерфейсов параллельных портов PInterface0 - PInterface1

21.4.1.1.4.1 Общая структура модулей PInterface0 - PInterface1.

Модуль PInterface принимает данные с входных портов Port0 - Port2 и преобразует в поток в формате UPF (с предварительными длительностями сигналов H и V - далее точные размеры изображения будут выставлены модулем обрезки и децимации). Следующие стадии обработки выполняются в модуле PInterface:

- APM - построение маски активных портов - набора портов, из которых модуль PInterface принимает данные;
- PVA (PV_ALIGN) - синхронизация (выравнивание) входных компонентов потока, поступающих параллельно с двух или трех входных портов (4.1.1.4.3);
- VTRC - преобразования сигналов синхронизации видео (video timing reference codes);
- включающее выделение встроенной синхронизации из видеоданных согласно BT.656 и преобразования сигналов синхронизации Raw видеопотоков (4.1.1.2);
- COMP - сборку цветových компонент в формат UPF (4.1.1.4.4).

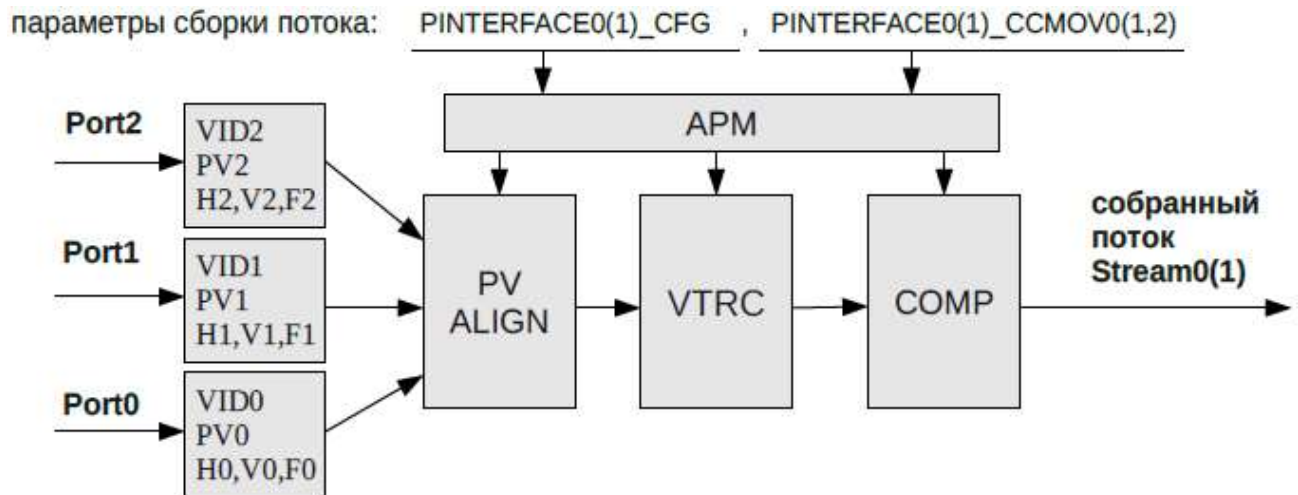


Рисунок 21.19. Структура модулей PInterface

21.4.1.1.4.2 Маска активных портов

Набор активных портов, с которых модуль PInterface принимает данные, вычисляется каждый такт VINC_CLK исходя из параметров CYCLE_NUM, PIXEL_NUM_EVEN(ODD) и PORT_NUM_SYNC, заданных в регистре PINTERFACE0(1)_CFG, а также из данных в регистрах INTERFACE0(1)_CCMOV0(1,2). Активными считаются все порты, из которых в процессе сборки пикселей, заданной вышеперечисленными параметрами, потребуется получить компоненты видеоданных или сигналы синхронизации. В следующем такте после установки всех параметров, при наличии данных (стробов PV) из всех активных портов, эти данные с входных портов будут приниматься и может начинаться формирование потока в формате UPF, который будет затем выдан с выхода PInterface.

Примечание о приеме потока в формате 4:2:0. В рассматриваемых ниже (4.5) режимах сборки цветных компонентов маски активных портов являются одинаковыми в четных и нечетных строках изображения в формате 4:2:0. Допускается программировать и другие режимы, где наборы используемых входных компонентов (маски активных входных портов) будут различными в четных и нечетных строках, но при этом во всех строках активной маской будет считаться объединение (логическая сумма) масок, определенных входными параметрами для четных и нечетных строк (в CCMOV, а также PIXEL_NUM_EVEN и PIXEL_NUM_ODD); поэтому требуется, чтобы либо на все входные порты сигналы PCLK приходили постоянно, независимо от четности строк, либо прием данных в PInterface будет возможен только при первом способе выравнивания компонентов видеопотока описанном ниже в 4.1.1.4.3 (когда для приема всех данных используется только строб PV самого первого порта, приходящий в любой строке, но не используются стробы PV, то есть сигналы PCLK, наличие которых во всех строках не гарантируется).

21.4.1.1.4.3 Выравнивание входных компонентов видеопотока

Компоненты входного потока, поступающие с разных портов, могут быть не точно синхронизированы между собой, а поступать с портов в разных, хотя и близких (обычно соседних) тактах синхронизации. Это обусловлено независимо идущими процессами синхронизации в каждом из входных портов.

Дальнейшая обработка единого потока видео требует совмещения всех компонентов каждого из пикселей в одном такте синхронизации `VINC_CLK`, то есть в выработке одного строба данных пикселя `PV` из нескольких, возможно различных во времени, стробов данных `PV` из двух и более входных портов. Два основных способа выравнивания `PV` применяются:

- 1) Взять строб `PV` только с одного из входных портов как строб `PV` всего пикселя, и принимать данные с других портов в том же такте, когда приходит этот общий сигнал `PV`. Допустимо при точном совмещении (синхронности) данных на всех портах.
- 2) Ждать, пока придут (одновременно или поочередно) сигналы `PV` со всех требуемых портов, запоминая данные с каждого порта в момента прихода строба `PV` с этого порта, и удерживая эти данные либо до получения `PV` со всех портов, либо до прихода нового `PV` с того же порта, но не более заданного числа тактов - таймаута `PVA`. Как при истечении таймаута, так и в случае прихода повторного строба `PV` для того же компонента, до совмещения предшествующего со всеми другими компонентами, этот предшествующий компонент игнорируется. Таким образом достигается группировка наиболее близких по времени компонентов в один пиксель.

Первый способ наиболее прост и стабилен в случае хорошей временной диаграммы входных данных (широкие площадки данных, совмещенные для всех компонент), однако не позволит захватить такие входные данные, у которых по разным компонентам (входным портам) заметно различаются площадки верных входных данных.

Второй способ позволяет захватить менее качественные входные данные, давая возможность сначала отдельно в каждом из входных портов выбрать оптимальную задержку строба `PV` (момента захвата данных), а затем совмещать между собой полученные стробы `PV` и данные портов, делая это даже динамически, если имеется дрожание одних компонентов относительно других (до половины такта `VINC_CLK`, типично).

Режим выравнивания `PV` выбирается полем `PV_ALGN_MODE` в регистре `PINTERFACE0(1)_CFG`, позволяющим выбрать как способ, так и параметры выравнивания.

По умолчанию делается автоматический выбор способа выравнивания и всех параметров: для пиксельных частот `PCLK` менее $\frac{1}{2}$ частоты `VINC_CLK` выбирается второй способ выравнивания (таймаут также выбирается автоматически по соотношению частот

VINC_CLK и PCLK), а для частот PCLK более $\frac{1}{2}$ частоты VINC_CLK автоматически включается первый способ (прием всех компонентов по стробу PV с одного порта - с наименьшим номером порта). В случае необходимости способ и параметры выравнивания PV (величину таймаута и номер порта) можно переопределить в поле PV_ALGN_MODE (5.9).

Данные об автоматическом выборе способа и параметров выравнивания можно считать в полях PP0(1)_SNGL_PV_ALGN, PP0(1)_PV_ALGN_TMO и PP0(1)_BEG_PV_ALGN регистра PPORT_STATUS (5.15).

21.4.1.1.4.4 Сборка цветowych компонент в формат унифицированного интерфейса потока обработки видеоданных (UPF)

Модули PInterface0-PInterface1 осуществляют сборку цветowych компонент в транзакции для потоков видеоданных Stream0-Stream1. Компоненты из одной группы, определенной в 4.1(1-24), попадают либо в один пиксель изображения (для цветовой субдискретизации 4:4:4 или 4:4:4:4), либо в два пикселя (для цветовой субдискретизации 4:2:2 или 4:2:0). Данные с сенсоров (Bayer / Monochrome) на стадии ввода пакуются по четыре пикселя {M1,M2,M3,M4}, следующие последовательно в одной строке.

Обобщенный формат данных каждого пикселя (после сборки цветowych компонент) содержит 4 компонента:

{G,B,R,A} или {Y,Cb,Cr,A} или {M1,M2,M3,M4}.

Компоненты Cb или Cr могут на стадии ввода отсутствовать в отдельных пикселях и строках (для цветовой субдискретизации 4:2:2 или 4:2:0), потоки таких данных в процессе обработки подаются на соответствующие модули, восстанавливающие отсутствующие сразу после ввода цветowych компоненты. Компонент Cb должен быть в четных пикселях и строках, а компонент Cr в нечетных.

Параметры сборки цветowych компонент потока видео:

- номера активных портов данных j1, j2, j3, дающих цветowych компоненты;
- номер порта синхронизации (равен одному из номеров портов данных);
- тип Raw потока видео (тип мультиплексирования цветowych компонентов);
- задержка начала активной строки от положительного фронта сигнала HS;
- тип синхронизации:
 - от сигналов HSI, VSI, FSI;
 - по стандарту BT.656 (от своих данных или данных другого порта).

Совокупности номеров порта Port0 - Port2 и номера такта (0-3) в регистрах CCMOV, управляющих сборкой компонент, соответствуют номера входных компонент (слайсы), указанные в Таблица 21.15.

Таблица 21.15. Номера входных компонентов видео (слайсы), записываемые в регистры ССМОВ

порт ввода видео	№ такта			
	0	1	2	3
Port0	1	5	9	13
Port1	2	6	10	14
Port2	3	7	11	15
Port3	4	8	12	16

Следующие параметры, поступающие на вход модуля сборки цветowych компонентов, задают тип мультиплексирования потоков Raw видео:

1. Количество тактов, в течение которых поступают входные компоненты CYCLE_NUM[2:0] (период сборки), может принимать значение 1, 2, 3, 4.
2. Количество пикселей в выходной группе сборки для четной и нечетной строки может принимать значение 1, 2, 3:

PIXEL_NUM_EVEN [1:0] — для четной строки.

PIXEL_NUM_ODD[1:0] — для нечетной строки.

3. Таблица соответствия входных компонентов (слайсов) выходным компонентам (цветам в пикселях UPF) ССМОВ[2][3][4][4:0], может принимать значение либо 0, либо номера слайса, имеет три индекса:

3.1. Номер цветового компонента в пикселе UPF: {G:0,B:1,R:2,A:3} или {Y:0,Cb:1,Cr:2,A:3} или {M1:0,M2:1,M3:2,M4:3} (A.1).

3.2. Номер собираемого пикселя 0..2 (внутри группы сборки).

3.3. Номер строки для C^b/C^r 4:2:0, 0 - четная 1 – нечетная.

Период сборки CYCLE_NUM выбирается таким образом, чтобы в течение указанного времени поступали компоненты целого числа пикселей UPF. За период не более 4 тактов собирается не более 3 пикселей. Значения параметров сборки цветowych компонентов для различных типов мультиплексирования потоков Raw видео из Таблица 21.11 представлены в Таблица 21.15 для случая тривиального соответствия подключения входных портов обозначениям портов в Таблица 21.11: VIDj1 = Port0, VIDj2 = Port1, VIDj3 = Port2;

В случае перестановки портов следует преобразовать слайсы.

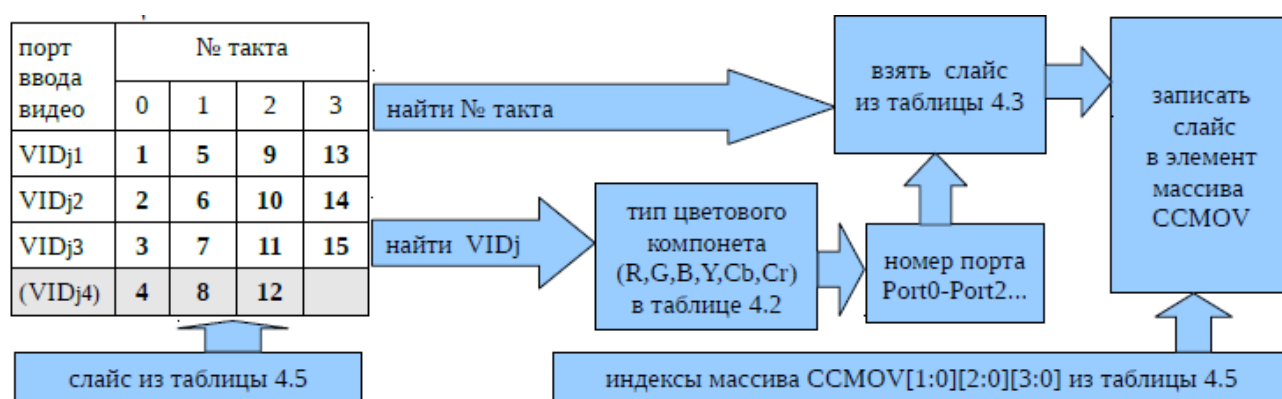


Рисунок 21.20. Алгоритм формирования массива CCMOV (вместо «таблица 4.2» следует читать «таблицы 21.11-21.13, вместо «таблица 4.5» следует читать «таблица 21.16»

Число (слайс) из Таблица 21.15 следует найти в Таблица 21.14 и по нему определить № такта и номер порта VIDj (используемый в Таблица 21.11-Таблица 21.13); затем преобразовать найденный VIDj в номер порта Port0 - Port3 (через известное соответствие цветowych компонентов как VIDj в 22, так и номерам портов), и по полученным номерам порта и такта взять из Таблица 21.15 номер слайса от 1 до 15 для записи в соответствующее поле регистра CCMOV, вместо исходного числа в Таблица 21.16.

Таблица 21.16. Параметры сборки для различных типов мультиплексирования потоков Raw видео

параметр сборки цветowych компонентов	тип мультиплексирования потоков Raw видео																							
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
CYCLE NUM	1	1	3	3	4	2	2		2	2			4	4	2	2	3	4	1	1	1	2	4	
PIXEL NUM EVEN	1	1	1	1	2	2	2		1	1			1	1	2	2	2	2	2	2	1	1	3	
PIXEL NUM ODD	0	0	0	0	0	0	0		0	0			0	0	2	2	2	2	2	2	0	0	0	
CCMOV[0][0][0]	2	1	5	1	1	1	1		1	5			1	5	1	1	1	1	1	1	1	1	1	
CCMOV[0][0][1]	3	2	9	5	5	2	2		5	2			5	9	2	2	5	5	3	3	0	2	2	
CCMOV[0][0][2]	1	3	1	9	13	6	6		2	1			9	1	0	0	0	0	0	0	0	0	3	
CCMOV[0][0][3]	0	0	0	0	0	3	3		6	6			13	13	0	6	0	13	0	4	0	0	5	
CCMOV[0][1][0]					9	5	5								5	1	9	9	2	2	0	0	6	
CCMOV[0][1][1]					5	2	2								2	2	5	5	3	3	0	0	7	
CCMOV[0][1][2]					13	6	6								0	0	0	0	0	0	0	0	9	
CCMOV[0][1][3]					0	7	7								0	6	0	13	0	4	0	0	10	
CCMOV[0][2][0]																							11	
CCMOV[0][2][1]																							13	
CCMOV[0][2][2]																							14	
CCMOV[0][2][3]																							15	
CCMOV[1][0][0]															1	1	1	1	1	1				
CCMOV[1][0][1]															0	0	0	0	0	0				
CCMOV[1][0][2]															2	2	5	5	3	3				
CCMOV[1][0][3]															0	6	0	13	0	4				
CCMOV[1][1][0]															5	5	9	9	2	2				
CCMOV[1][1][1]															0	0	0	0	0	0				
CCMOV[1][1][2]															2	2	5	5	3	3				
CCMOV[1][1][3]															0	6	0	13	0	4				
CCMOV[1][2][0]																								
CCMOV[1][2][1]																								
CCMOV[1][2][2]																								

параметр сборки цветовых компонентов	тип мультиплексирования потоков Raw видео																								
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	
ССМОВ[1][2][3]																									

При приеме данных с CMOS сенсоров (вариант 21 потоков Raw видео) PInterface0-PInterface1 помещает монохромные (байеровские) данные четырех пикселей в поля {M1,M2,M3,M4} компонентов одного пикселя UPF. В таком упакованном виде данные буферизуются и доставляются (с прореживанием по времени - один пиксель за время передачи 4 обычных пикселей) на вход функционального модуля преобразующего их в формат {R,G,B,A}.

21.4.1.2 Последовательный порт ввода видео

21.4.1.2.1 Последовательный интерфейс MIPI CSI-2

В состав блока VINC входят два последовательных порта с интерфейсом MIPI CSI-2.

Видеоданные каждого порта поступают на вход микросхемы по четырем линиям данных (дифференциальные входы DP_DATA0/DN_DATA0, DP_DATA1/DN_DATA1, DP_DATA2/DN_DATA2, DP_DATA3/DN_DATA3, которым соответствуют выводы CSI0_DATAP0/CSI0_DATAP0, CSI0_DATAP1/CSI0_DATAN1, CSI0_DATAP2/CSI0_DATAN2, CSI0_DATAP3/CSI0_DATAN3 таблицы 33.11). Данные синхронизируются синхросигналом, поступающим на дифференциальный вход синхронизации DP_CLK/DN_CLK (CSI0_CLKP/CSI0_CLKN). Передача данных может осуществляться в синхронном высокоскоростном режиме на скорости до 1000 Mbps или режиме низкого энергопотребления на скорости 10Mbps.

Данные передаются последовательно пакетами размером до 64 Кбайт данных в форматах RGB, YCbCr, Bayer. Объем данных определяется размером строки в кадре. Заголовок пакета содержит информацию о формате данных, количестве слов и номере виртуального канала, к которому относится передаваемый кадр. Стандартом допускается поддержка до четырех виртуальных каналов, переключение между каналами осуществляется после передачи пакета. В текущей реализации поддерживается один виртуальный канал для каждого последовательного порта.

Указатели начала/конца кадра, начала/конца строки передаются в виде пакетов синхронизации. Сообщения, содержащие 16-разрядное слово с информацией, определенной пользователем, передаются в виде short generic пакетов.

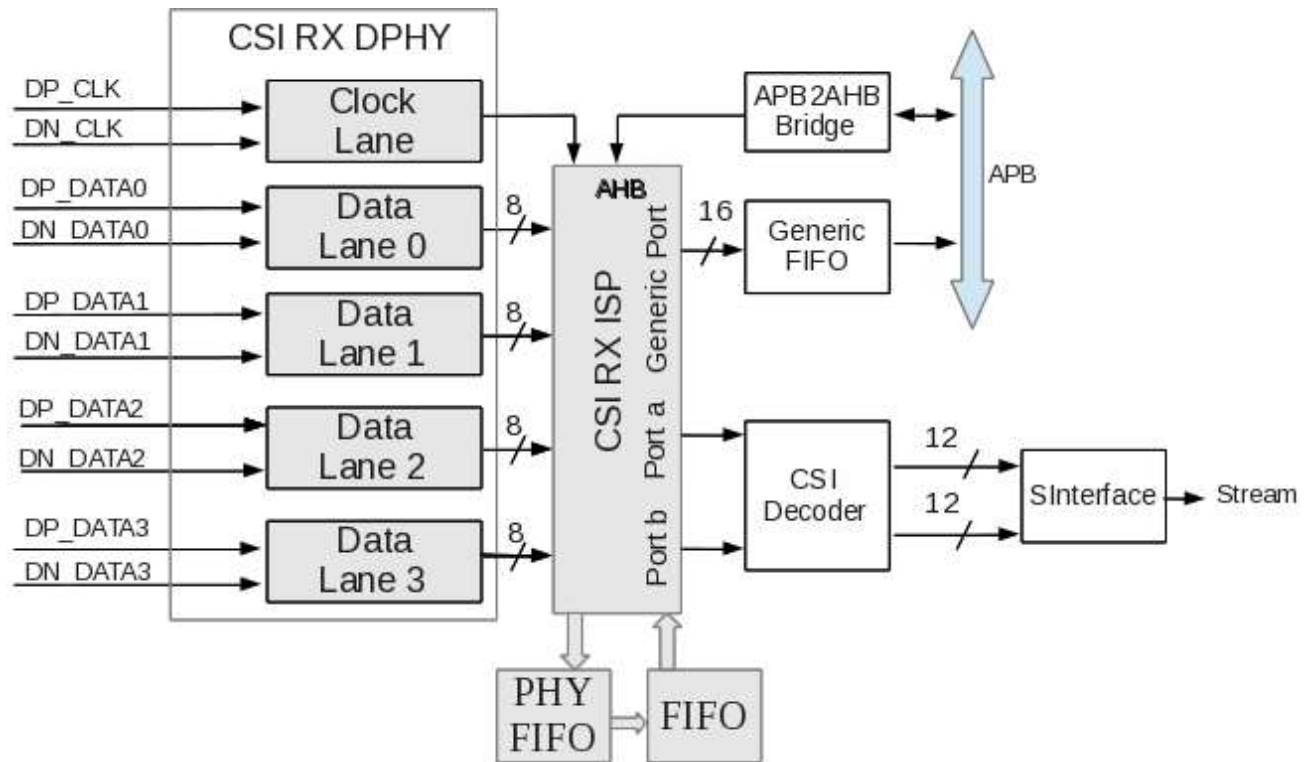


Рисунок 21.21. Структурная схема последовательного порта

Модуль CSI RX DPHY, реализующий физический уровень протокола MIPI CSI2, состоит из одного Clock Lane и четырех Data Lane (см. Рис. 21.22). Каждый Data Lane содержит сериалайзер, который преобразует последовательные данные в 8-разрядный код, Clock Lane содержит делитель частоты, который формирует синхросигнал для 8-разрядных данных. Подробное описание CSI RX DPHY содержится в [2]. CSI RX DPHY не входит в состав блока VINC. CSI RX ISP принимает 8-разрядные данные от Data Lanes, ассемблирует их в один 8-разрядный поток, осуществляет контроль ECC/CRC, сортирует данные в зависимости от виртуального канала, кадра, строки, осуществляет преобразование в пиксельный формат, определенный в заголовке пакета. Цветовые компоненты пикселя могут выдаваться последовательно через 12-разрядный параллельный порт (а) или параллельно через два 12-разрядных параллельных порта (а и б). Для пиксельных форматов с разрядностью данных более 12 данные всегда передаются одновременно через два порта — младшие 12 разрядов через порт а, старшие — через порт б. Подробное описание CSI RX ISP содержится в [1].

Доступ к регистрам CSI RX ISP осуществляется по шине APB через APB2AHB Bridge. При возникновении прерывания от CSI ISP (источники прерывания см. в [1]) устанавливается в активное состояние системный сигнал прерывания INT_SYSTEM и бит CSIn_INT регистра INTERRUPT (n — номер последовательного порта).

Данные и управляющие сигналы с портов а и б поступают на модуль CSI_Decoder, который анализирует формат данных и формирует сигналы управления для модуля SInterface, а также осуществляет преобразование данных в 12-разрядный формат. 8, 5 и

6-разрядные данные поступают в старшие разряды 12-разрядных выходов, младшие разряды заполняются нулями. 14-разрядные данные округляются до 12 разрядов. Данные с выхода модуля CSI_Decoder поступают на 12-разрядные входы модуля SInterface.

Два потока видеоданных с выходов преобразуются модулем Sinterface в формат унифицированного интерфейса обработки видеоданных UPF (поток Stream).

Пиксельные форматы, определенные стандартом MIPI CSI2 и степень их поддержки в текущей реализации VINC перечислены в Таблица 21.17. Embedded data не поддерживаются.

Таблица 21.17. Пиксельные форматы, поддерживаемые MIPI CSI2

RGB/Bayer		YCbCr		Compressed		
MIPI CSI2 формат	VINC		VINC		VINC	
RGB 888	Поддерживается один/ два порта	YCbCr 4:2:0 8 бит	Не поддерживается	JREG или User defined data type 1	Не поддерживается	
RGB 555		YCbCr 4:2:0 10 бит		User defined data type 2		
RGB 565		YCbCr 4:2:0 8 бит (chroma shifted pixel sampling)		User defined data type 3		
RGB 666		YCbCr 4:2:0 10 бит (chroma shifted pixel sampling)		User defined data type 4		
Bayer 8 разрядов	Поддерживается один порт (а)	YCbCr 4:2:0 8 бит (legacy)	Поддерживается один/ два порта	User defined data type 5		
Bayer 10 разрядов		YCbCr 4:2:2 8 бит		User defined data type 6		
Bayer6 разрядов		YCbCr 4:2:2 10 бит		User defined data type 7		
Bayer7 разрядов				User defined data type 8		
Bayer12 разрядов						
Bayer14 разрядов						
Bayer16 разрядов		Не поддерживается				
Bayer18 разрядов						

Типы потоков видео, поступающие на вход модуля SInterface в большинстве типов форматов отличаются от типов, определенных для параллельных портов, незначительно. Отличия в основном состоят в порядке следования компонентов. Данные в формате Bayer/Mono передаются по одному цветовому компоненту (пикселю) за такт (тип потока видео 21).

Возможные варианты потоков видео:

Таблица 21.18. Типы потоков видео, поддерживаемые модулем SInterface

порт ввода видео		типы Raw потоков видео																
		3 mod			4 mod			5 mod				6 mod		10 mod		21		
		№ такта:		0	1	2	0	1	2	0	1	2	3	0	1	0	1	0
VID _{j1}		B	G	R	Cb	Y	Cr	Cb	Y1	Cr	Y2	Cb	Cr	B	R	M1		
VID _{j2}												Y1	Y2	G	-	-		
VID _{j3}																-		
цветовая субдискр.	4:4:4							4:2:2						4:4:4:4	Bayer/Mono			

Параметры модуля SInterface аналогичны параметрам модуля PInterface (см. разделе 21.4.1.1.4). Значения параметров для различных вариантов потоков видео представлены в Таблица 21.19.

Таблица 21.19. Параметры сборки для различных типов мультиплексирования потоков видео CSI2

параметр сборки цветowych компонентов	тип мультиплексирования потоков видео CSI2					
	3 mod	4 mod	5 mod	6 mod	10 mod	21
CYCLE NUM	3	3	4	2	2	1
PIXEL NUM EVEN	1	1	2	2	1	1
PIXEL NUM ODD		0	0	0	0	0
CCMOV[0][0][0]	5	9	9	2	2	1
CCMOV[0][0][1]	1	5	5	1	1	5
CCMOV[0][0][2]	9	1	1	5	5	9
CCMOV[0][0][3]	0	0	0	0	0	13
CCMOV[0][1][0]			9	6		
CCMOV[0][1][1]			13	1		
CCMOV[0][1][2]			1	5		
CCMOV[0][1][3]			0	0		
CCMOV[0][2][0]						
CCMOV[0][2][1]						
CCMOV[0][2][2]						
CCMOV[0][2][3]						
CCMOV[1][0][0]						
CCMOV[1][0][1]						
CCMOV[1][0][2]						
CCMOV[1][0][3]						
CCMOV[1][1][0]						
CCMOV[1][1][1]						
CCMOV[1][1][2]						
CCMOV[1][1][3]						
CCMOV[1][2][0]						
CCMOV[1][2][1]						
CCMOV[1][2][2]						
CCMOV[1][2][3]						

Generic Short пакеты обеспечивают механизм передачи временных меток (открытие/закрытие затвора, переключение flash и тд). 16-разрядные слова данных,

передаваемые в составе Generic Short пакетов, записываются в приемное Generic FIFO глубиной 32 ячейки. Каждое слово данных сопровождается информацией о типе данных, которая представляет собой младшие 3 разряда 8-битного поля Data Type Generic Short пакета, определенного в спецификации MIPI CSI-2. Формат слова Generic FIFO представлен на Рисунок 21.22.

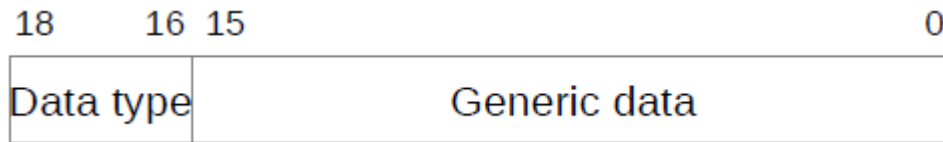


Рисунок 21.22. Формат слова Generic FIFO

В зависимости от состояния Generic FIFO могут вырабатываться сигналы прерывания по одному из условий: при записи требуемого количества слов в FIFO (FIFO не пуст) или при заполнении FIFO (FIFO полон). Содержимое Generic FIFO доступно для чтения по шине APB.

Последовательный порт принимает данные при условии, что установлены в состояние логической единицы бит разрешения работы VINC (бит GLOBAL_ENABLE регистра AXI_MASTER_CFG) и бит разрешения работы последовательного порта (бит PORT_ENABLE регистра CSI2_PORT n _SYS_CTR). Установка битов может произойти во время поступления кадра на вход порта. В этом случае текущий кадр будет пропущен (до получения указателя конца кадра), а с начала нового кадра начнется прием данных. Если в результате сбоя передача кадра не была завершена, и начался новый кадр (получены два подряд указателя начала кадра), то незавершенный кадр и следующий за ним будут объединены в один кадр, после чего будет возобновлен прием данных в штатном режиме.

21.4.2 Подсистема обработки видео

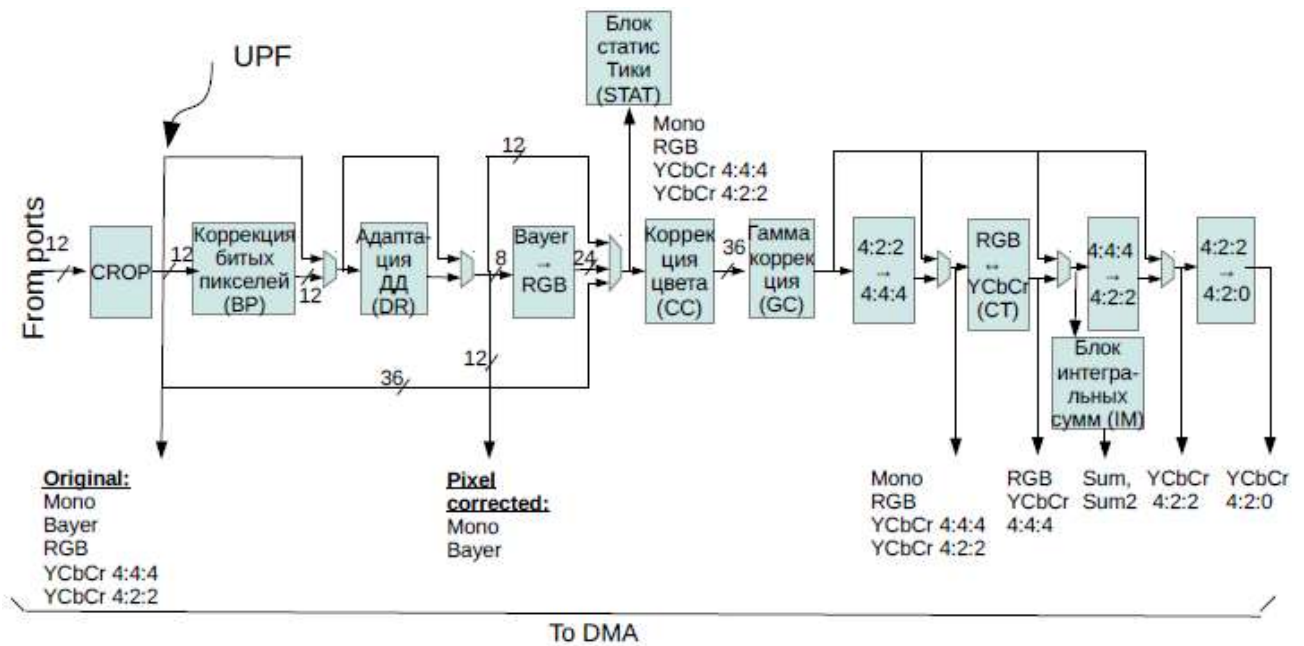


Рисунок 21.23. Структурная схема канала обработки

Подсистема обработки видео включает в себя два параллельных канала обработки видеоданных. Каждый канал осуществляет обработку одного потока видеоданных. Источником потока могут быть параллельные или последовательные порты ввода. Данные в формате унифицированного интерфейса потока обработки видео (см.21.9) с выхода одного из модулей PInterface0/1 или SInterface0/1 обрабатываются модулем обрезки и децимации данных и затем поступают на вход канала обработки. Функции и параметры обработки задаются в регистрах управления, доступных для чтения и записи по шине APB. Структурная схема канала обработки представлена на Рис. 21.22.

Модуль коррекции битых пикселей осуществляет коррекцию до 16 дефектных строк и до 16 дефектных столбцов при максимальном размере кадра 4096x4096 пикселей в форматах Bayer или Mono.

Модуль адаптации динамического диапазона с программируемыми коэффициентами коррекции реализует табличное преобразование входного диапазона 72дБ, 60дБ, 48дБ в выходной 72дБ, 60дБ, 48дБ (12,10,8 бит в 12,10,8 бит).

Модуль преобразования Bayer → RGB преобразует 8-разрядные данные в формате Bayer в 24-разрядный формат RGB (8+8+8).

Модуль коррекции цвета с программируемыми коэффициентами осуществляет коррекцию цвета в двух режимах: данные в формате RGB или YCbCr. Разрядность данных — 12.

Модуль гамма-коррекции с программируемыми коэффициентами выполняет нелинейную коррекцию 12-разрядных видеоданных.

Модуль преобразования данных формата YCbCr 4:2:2 в формат YCbCr 4:4:4 осуществляет интерполяцию цветных компонентов Cb и Cr в строке по одному из трех алгоритмов: «ближайший сосед», кубический сплайн или симметричный half-band FIR-фильтр 27-го порядка. Выбор алгоритма программируется. Разрядность данных — 12.

Модуль преобразования данных формата YCbCr 4:4:4 в формат YCbCr 4:2:2 осуществляет децимацию цветных компонентов Cb и Cr в строке по одному из трех алгоритмов: «ближайший сосед», кубический сплайн или симметричный half-band FIR-фильтр 27-го порядка. Выбор алгоритма программируется. Разрядность данных — 12.

Модуль преобразования данных формата YCbCr 4:2:2 в формат YCbCr 4:2:0 осуществляет децимацию цветных компонентов Cb и Cr в столбце по одному из двух алгоритмов: «ближайший сосед» или среднее арифметическое. Выбор алгоритма программируется. Разрядность данных — 12.

Канал обработки может порождать два потока выходных данных, каждый из которых обрабатывается своим каналом DMA. Источником данных для канала DMA могут быть исходные данные или одна из пяти контрольных точек тракта обработки, как показано на Рисунок 21.23.

Данные в формате Bayer Pack (см.21.9) не обрабатываются блоком CROP и каналом обработки, а могут быть только записаны в память каналом DMA.

Блок статистики может выполнять гистограммы по 4 зонам для 8-разрядных данных по всем цветам, по 1 зоне для 10-разрядных данных по всем цветам или по 1 зоне для 12-разрядных данных по одному цвету (в настоящее время реализовано 4 зоны для 8-разрядных данных), автофокус по 4 зонам по одному цвету, сбор дополнительных статистических данных по 4 зонам (сумма, сумма квадратов, минимум, максимум). Статистические данные доступны для чтения по шине APB.

Блок интегральных сумм осуществляет подсчет интегральных сумм и сумм квадратов.

21.4.2.1 Обрезка и децимация входных данных

Кадры входного потока видеоданных, поступающие на вход модуля обрезки и децимации, могут быть обрезаны по краям. Параметры обрезки по горизонтали и вертикали задаются в регистрах управления потоком. К этим параметрам относятся HOFFSET, HSIZE, VOFFSET и VSIZE.

Если обрезка по горизонтали не требуется, HOFFSET=0. В случае HOFFSET > 0 пиксели с $i < \text{HOFFSET}$ (i — номер пикселя в строке) не передаются на выход модуля. Пиксели с i

> HOFFSET+HSIZE также не передаются на выход модуля. Если длина строки `line_length`, определяемая сигналом входным `H`, меньше HOFFSET+HSIZE, длина строки на выходе модуля `stop` будет иметь длину HSIZE, и следующая входная строка игнорируется.

Если обрезка по вертикали не требуется, `VOFFSET=0`. В случае `VOFFSET > 0` пиксели строк с $j < \text{VOFFSET}(j$ — номер строки в кадре) не передаются на выход модуля. Пиксели строк с $j > \text{VOFFSET} + \text{VSIZE}$ также не передаются на выход модуля. Если количество строк в кадре `num_line`, определяемое входным сигналом `V`, меньше `VOFFSET+VSIZE`, количество строк на выходе модуля `stop` будет определяться `VSIZE`, и следующий входной кадр игнорируется. В случае чересстрочной развертки для четного и нечетного полукадров могут быть заданы различные параметры `VOFFSET` и `VSIZE`.

После обрезки поток видеоданных может быть прорежен по вертикали, горизонтали и кадрам. Коэффициенты децимации по горизонтали, вертикали и кадрам определяются параметрами `HDECIM_COEFF`, `VDECIM_COEFF` и `FDECIM_COEFF`, заданными в регистрах управления потоком. Диапазон коэффициентов децимации `HDECIM_COEFF`, `VDECIM_COEFF` — от 1 до 16. Диапазон коэффициента `FDECIM_COEFF` — от 1 до 64.

Коэффициент децимации по горизонтали $K_{dh} = \text{HDECIM_COEFF} + 1$.

Коэффициент децимации по вертикали $K_{dv} = \text{VDECIM_COEFF} + 1$.

Коэффициент децимации по кадрам $K_{df} = \text{FDECIM_COEFF} + 1$.

Если $K_{dh} > 1$, на выход модуля передаются пиксели строк с $j = M * K_{dh}$, $j < \text{num_line}$ (где M — целое число ≥ 0).

Если $K_{dv} > 1$, на выход модуля передаются пиксели с $i = M * K_{dv}$, $i < \text{line_length}$ (где M — целое число ≥ 0).

Если $K_{df} > 1$, на выход модуля передаются пиксели кадров с $k = M * K_{df}$ (где k = номер кадра, M — целое число ≥ 0).

Данные в формате Bayer Pack (см.21.9) не обрабатываются модулем `stop`, HOFFSET и VOFFSET для таких данных должны быть равны 0.

21.4.2.2 Алгоритмы обработки видео

21.4.2.2.1 Коррекция битых пикселей

Алгоритм осуществляет коррекцию известных дефектных пикселей, координаты которых хранятся во внутренней памяти и определяются пользователем. Определение битых пикселей производится путем тестирования матрицы (например экспозиция).

Блок коррекции имеет следующие характеристики:

- поддерживаемое разрешение: 4096x4096;
- поддерживаемая разрядность: 12 разрядов;
- память хранимых линий: 2 * 6кбайт;
- память карты дефектных пикселей: 12кбайт;
- 16 дефектных столбцов;
- 16 дефектных строк;
- минимальная необходимая пауза между строками: 7 пикселей;
- режимы Вауег и Моно.

На Рисунок 21.24 представлена структурная схема блока.

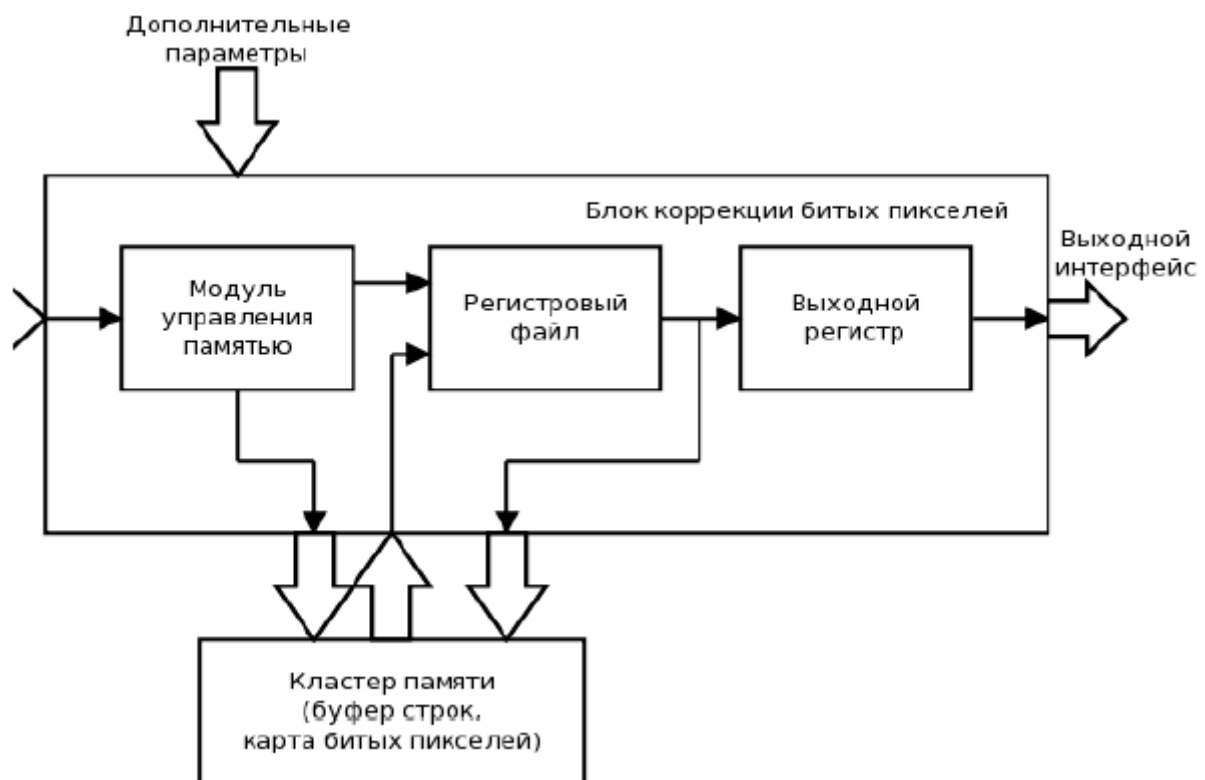


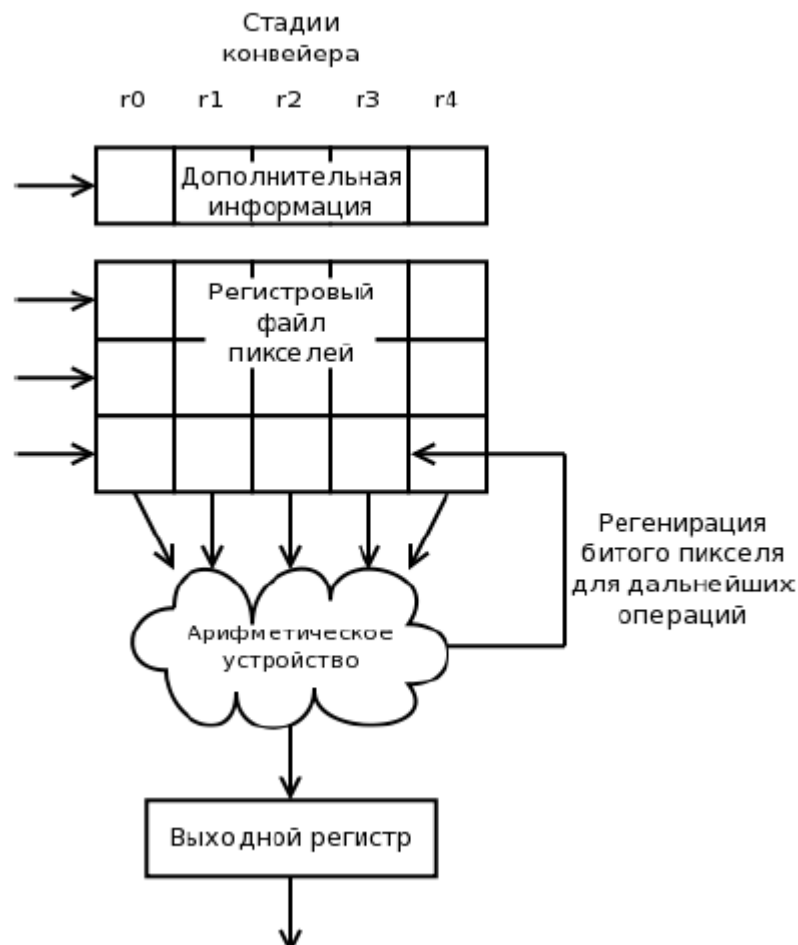
Рисунок 21.24. Структурная схема блока коррекции битых пикселей

Входным и выходным интерфейсом данного блока является стандартизированный интерфейс UPF. Дополнительные параметры и статистические данные представлены в таблице.

Таблица 21.20. Дополнительные параметры блока коррекции битых пикселей

Наименование сигнала	Тип сигнала	Разрядность	Назначение
bpc_en	in	1	Сигнал разрешения работы блока
width	in	12	Ширина кадра в пикселях (Значение-1)
height	in	12	Высота кадра в строках (Значение-1)
row_defect 0..15	in	12 * 16	16 координат битых строк в формате $y=row_defect_n[11:0]$;
col_defect 0..15	in	12 * 16	16 координат битых столбцов в формате $x=col_defect_n[11:0]$;
mode	in	3	Режим развертки мозаики Байера. Mode[2:0]: 0 – RGGB; 1 – GRBG; 2 – GBRG; 3 – BGGR. 4 – Mono; 5,6,7 – резерв.

На Рисунок 21.24 представлен алгоритм работы блока.


Рисунок 21.25. Алгоритм работы блока коррекции битых пикселей

Алгоритм коррекции:

- чтение из памяти координаты первого дефектного пикселя;
- накопление окна данных в регистровом файле 5x3;
- запуск механизма коррекции (вычисление среднего арифметического);
- сохранение данных в памяти;
- следующая итерация.

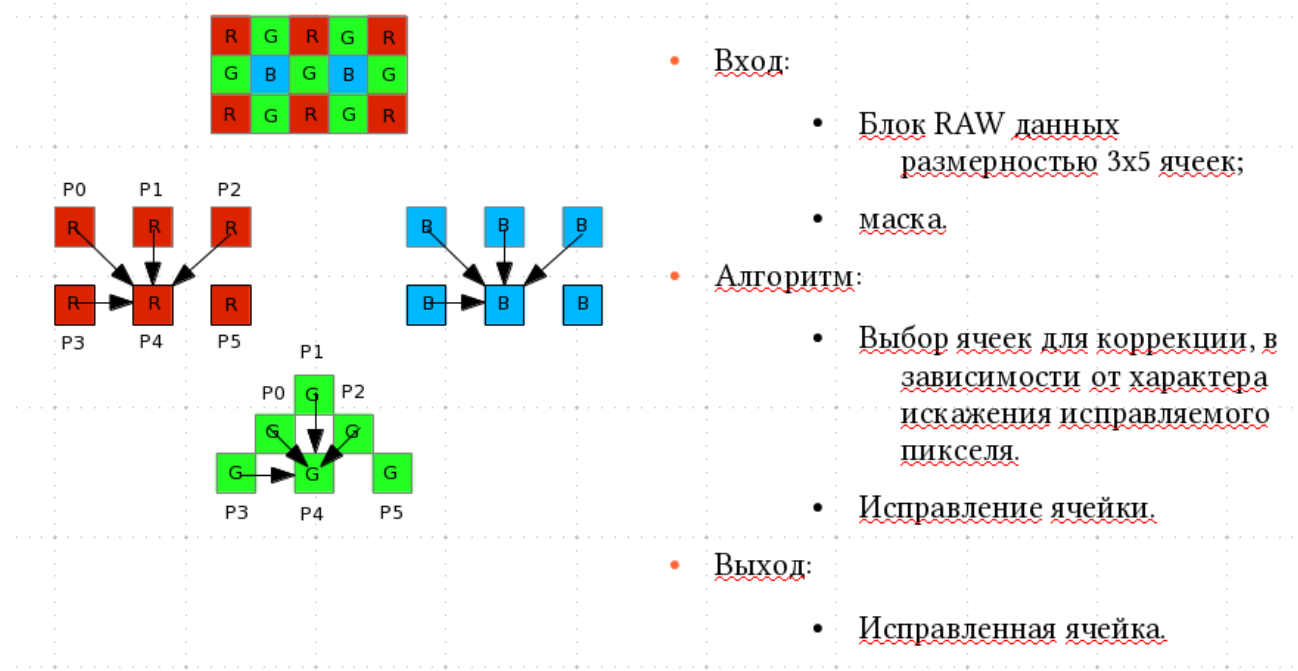


Рисунок 21.26. Алгоритм коррекции битых пикселей

Механизм коррекции:

- если дефектная строка: $en_def_row = \{0,0,1,1,1\}$;
- если дефектный столбец: $en_def_col = \{1,1,1,0,1\}$;
- если дефектный пиксель: $en_def_pix = \{0,1,1,1,1\}$;

где:

- $en_def_*[0]$ = разрешение использовать в расчетах пиксель P0;
- $en_def_*[1]$ = разрешение использовать в расчетах пиксель P1;
- $en_def_*[2]$ = разрешение использовать в расчетах пиксель P2;
- $en_def_*[3]$ = разрешение использовать в расчетах пиксель P3;
- $en_def_*[4]$ = разрешение использовать в расчетах пиксель P5;

- $enable_defect = en_def_row \& en_def_col \& en_def_pix$;

где & - побитовое И;

- $P0_op = P0 * enable_defect[0]$;

- $P1_op = P1 * enable_defect[1];$
- $P2_op = P2 * enable_defect[2];$
- $P3_op = P3 * enable_defect[3];$
- $P5_op = P5 * enable_defect[4];$
- $Div = sum(enable_defect);$
- $Correct_pixel = (P0_op + P1_op + P2_op + P3_op + P5_op) / Div;$

Деление осуществляется путем умножение на заранее известные множители:

- $(div==1) ? 11'b1000000000 :$
- $(div==2) ? 11'b0100000000 :$
- $(div==3) ? 11'b0010101010 :$
- $(div==4) ? 11'b0010000000 : 11'b0.$

Округление не производится, для выходного результата берутся старшие биты от произведения.

На краевых местах изображения недостающие пиксели исключаются из расчета. Если пикселей недостаточно для коррекции, дефектный пиксель не исправляется.

Формат координат дефектных пикселей, хранимых в памяти: $\{y[11:0], x[11:0]\}$. Координаты дефектных пикселей должны быть записаны в память в порядке возрастания координат пикселя: слева-направо, сверху-вниз.

Начальные значения памяти координат дефектных пикселей неопределенны. Начальные значения дефектных столбцов и строк = 0x0.

При включении блока память с координатами должна быть инициализирована картой битых пикселей.

Чтобы строка, столбец или пиксель не исправлялись при возможности устанавливать координаты за пределами кадра. Для кадра 4096x4096 необходимо выставить краевые значения, т. е. $X=4095, Y=4095$, для пикселей, столбцов и строк.

21.4.2.2.2 Адаптация динамического диапазона

Данный алгоритм предназначен для решения следующих задач:

- выравнивание освещенности входного видеоизображения;
- преобразование в другую разрядность;
- первичная гамма-коррекция.

Блок реализует табличное преобразование входного диапазона 72дБ, 60дБ, 48дБ в выходной 72дБ, 60дБ, 48дБ (12,10,8 разрядов в 12,10,8 разрядов). Блок имеет следующие характеристики:

- 4096 программируемых значений (12-разрядных) преобразования;

- поддерживаемая разрядность: 8, 10, 12 разрядов;
- программируемое включение блока.

На Рисунок 21.27 представлена структурная схема блока.

Входным и выходным интерфейсом данного блока является стандартизированный интерфейс UPF. В таблице указаны способы переходов из одной разрядности в другую.

Таблица 21.21. Способы перехода из одного формата в другой

		Выходные данные					
Входные данные		Bayer 12 bit	Bayer 10 bit	Bayer 8 bit	Mono 12 bit	Mono 10 bit	Mono 8 bit
	Bayer 12 bit		ГК	ГК,АДД	ГК,АДД	-	-
Bayer 10 bit		ГК,АДД	ГК	ГК,АДД	-	-	-
Bayer 8 bit		ГК,АДД	ГК,АДД	ГК	-	-	-
Mono 12 bit		-	-	-	ГК	ГК,АДД	ГК,АДД
Mono 10 bit		-	-	-	ГК,АДД	ГК	ГК,АДД
Mono 8 bit		-	-	-	ГК,АДД	ГК,АДД	ГК

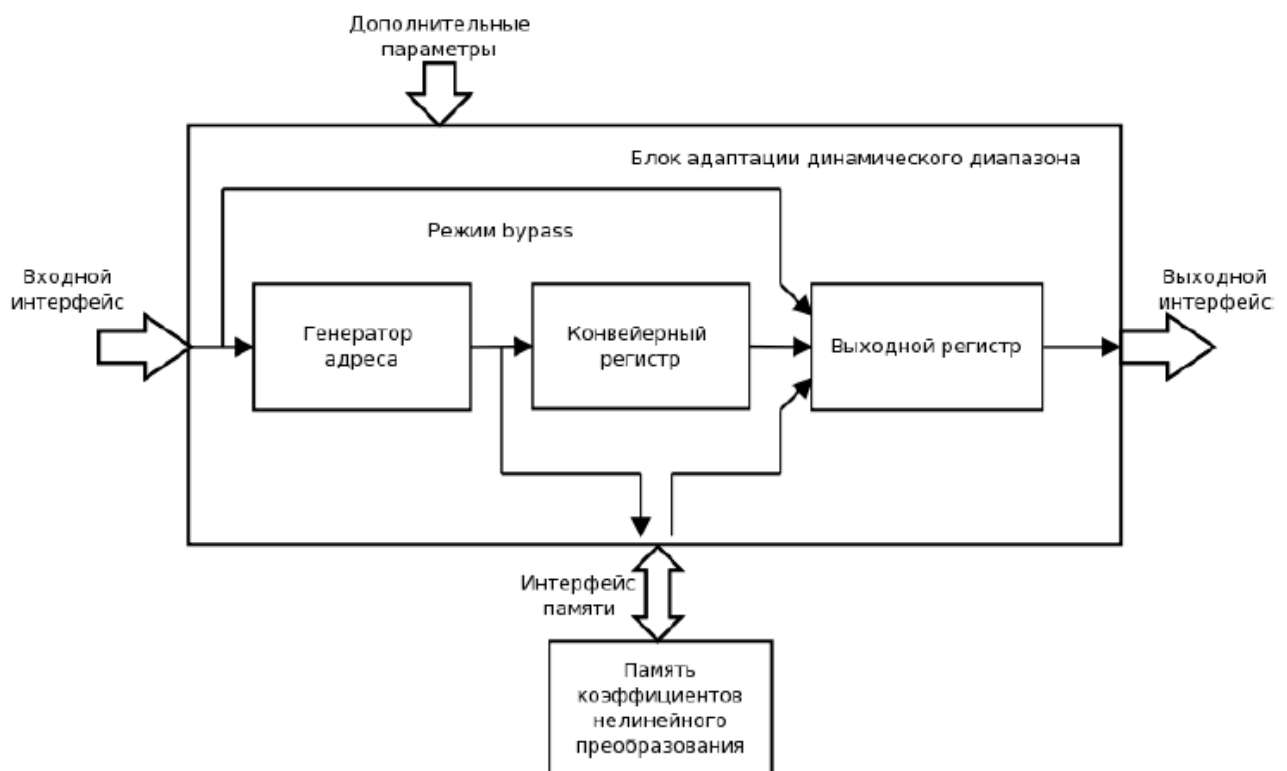


Рисунок 21.27. Структурная схема блока адаптации динамического диапазона

Обозначения:

ГК – гамма коррекция; АДД – адаптация к динамическому диапазону.

Преобразование осуществляется по следующей формуле:

Vdata_out = Mem[Vdata_in];

На Рис. 21.28 приведен пример распределения значения при переходе Bayer 12 → Bayer 8.

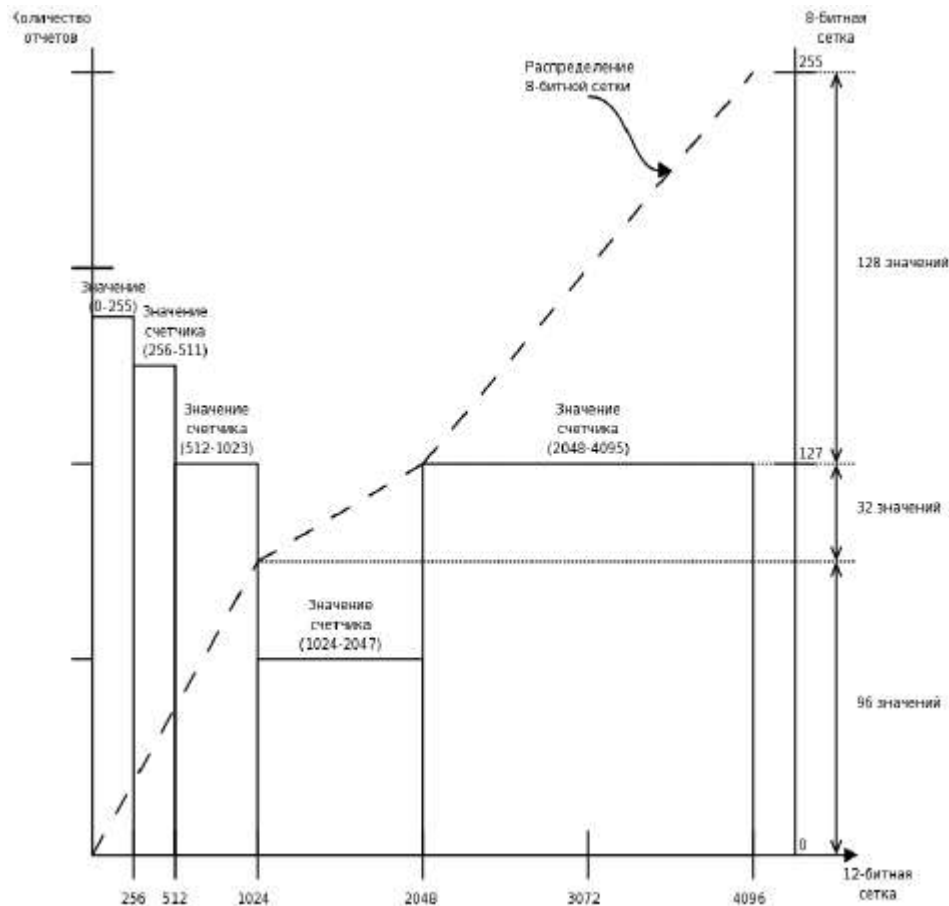


Рисунок 21.28. Пример распределения значений нелинейного преобразования

В блоке адаптации динамического диапазона предусмотрены счетчики старших бит входных пикселей:

- DR_COUNT_4 = DR_COUNT_4 + pixel[11];
- DR_COUNT_3 = DR_COUNT_3 + (!pixel[11] && pixel[10]);
- DR_COUNT_2 = DR_COUNT_2 + (!pixel[11] && !pixel[10] && pixel[9]);
- DR_COUNT_1 = DR_COUNT_1 + (!pixel[11] && !pixel[10] && !pixel[9] && pixel[8]);
- DR_COUNT_0 = DR_COUNT_0 + (!pixel[11] && !pixel[10] && !pixel[9] && !pixel[8]).

Счетчики являются дополнительной информацией для программы формирования нелинейной функции адаптации динамического диапазона. Для счетчиков предусмотрен механизм сброса путем записи в регистр.

21.4.2.2.3 Преобразование формата Bayer в формат RGB

Данный алгоритм осуществляет задачу интерполяции мозаики Байера (8 бит) к трехкомпонентному формату RGB (888). Блок интерполяции имеет следующие характеристики:

- поддерживаемое разрешение: 4096x4096;
- поддерживаемая разрядность: 8 разрядов;
- память хранимых линий: 8 * 4кбайт;
- минимальная необходимая пауза между строками: 10 пикселей;
- минимальная необходимая пауза между кадрами: 5 строк.

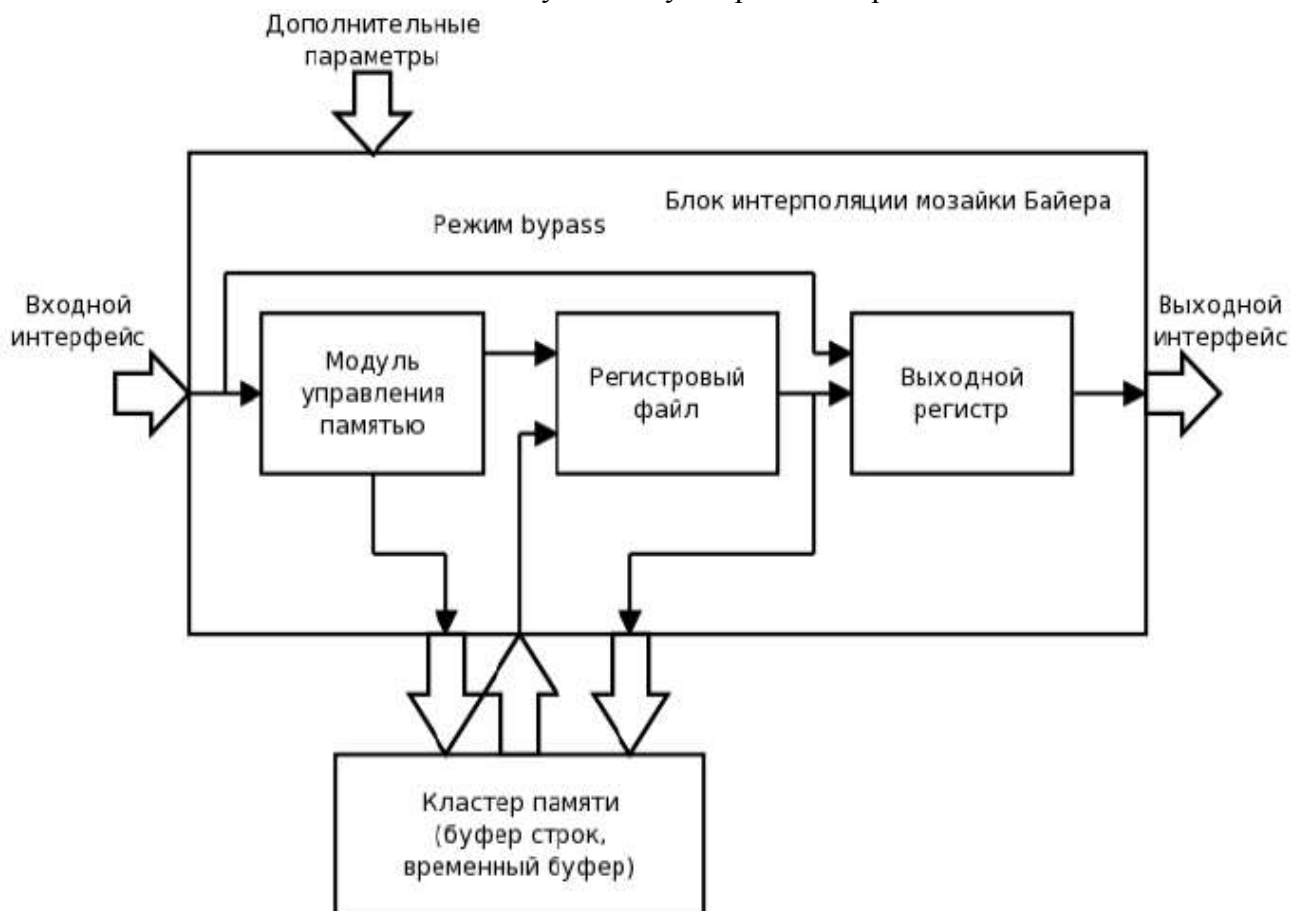


Рисунок 21.29. Структурная схема блока интерполяции мозаики Байера

На Рисунок 21.29 представлена структурная схема блока.

Входным и выходным интерфейсом данного блока является стандартизированный интерфейс UPF. Дополнительные параметры и статистические данные представлены в Таблица 21.20. Дополнительные параметры блока коррекции битых пикселей.

Таблица 21.22. Дополнительные параметры блока интерполяции мозаики Байера

Наименование сигнала	Тип сигнала	Разрядность	Назначение
Дополнительный интерфейс			
cfa_en	in	1	Сигнал разрешения работы блока
width	in	12	Ширина кадра в пикселях (значение - 1)
height	in	12	Высота кадра в строках (значение - 1)
mode	in	2	Режим развертки мозаики Байера. 0 – RGGB; 1 – GRBG; 2 – GBRG; 3 – BGGR.

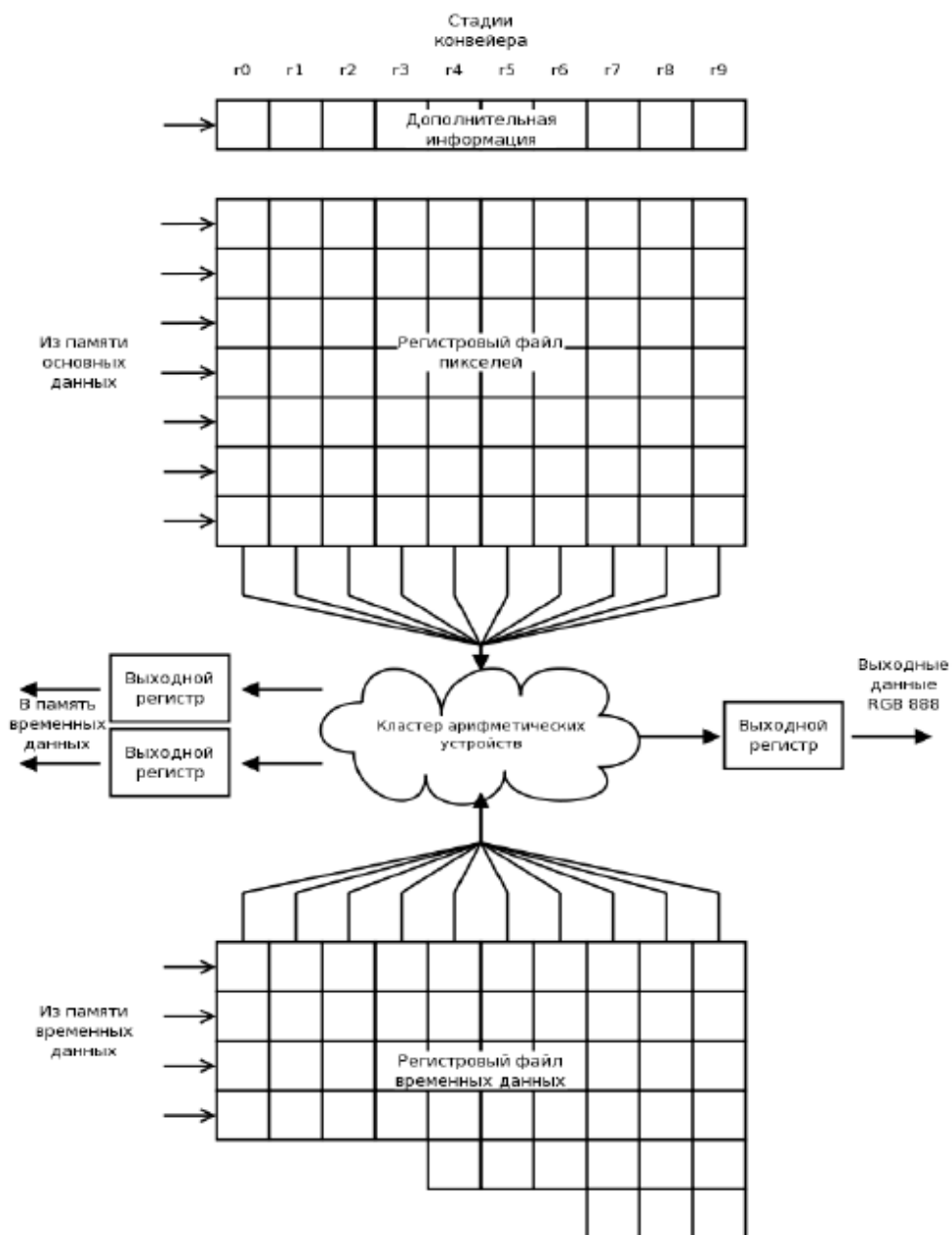


Рисунок 21.30. Структурная схема вычислительного модуля

На Рисунок 21.30 представлена структурная схема вычислительного модуля.

На Рисунок 21.31 приведена схема алгоритма интерполяции.

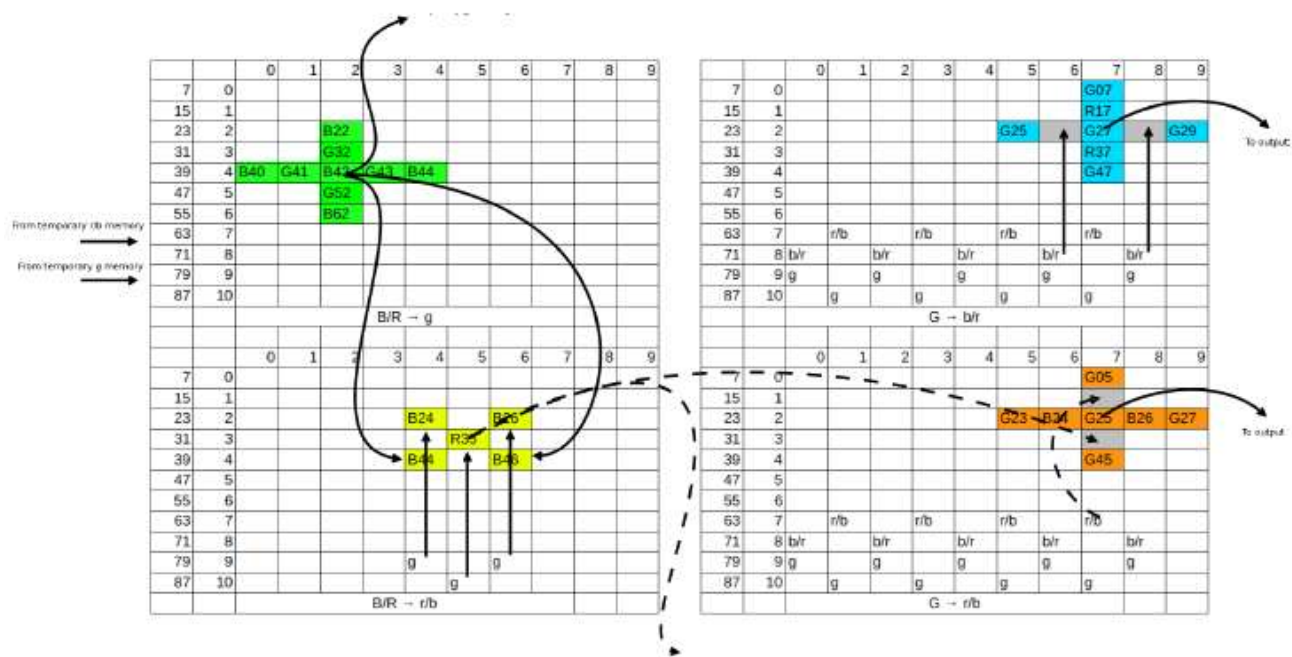


Рисунок 21.31. Алгоритм интерполяции

Вычислительное ядро универсально для всех представленных «крестов» и «пятна». Изменяется только порядок подачи данных на входы устройства вычисления.

Первый «крест» интерполирует g на R и B , по следующим формулам:

$$G_N = |G52 - G32| + |B42 - B22|$$

$$G_E = |G41 - G43| + |B42 - B44|$$

$$G_S = |G32 - G52| + |B42 - B62|$$

$$G_W = |G43 - G41| + |B42 - B40|$$

$$Dirs = \{N, E, S, W\}$$

$$W_d = \frac{1}{(1 + G_d)}, d \in Dirs$$

$$\tilde{G}_N = G32 + \frac{(B42 - B22)}{2}$$

$$\tilde{G}_E = G43 + \frac{(B42 - B44)}{2}$$

$$\tilde{G}_S = G52 + \frac{(B42 - B62)}{2}$$

$$\bar{G}_W = G41 + \frac{(B42 - B40)}{2}$$

$$G42 = \frac{\sum_d W_d * \bar{G}_d}{\sum_d W_d}, d \in Dirs$$

Второе «пятно» интерполирует r на B , b на R , по следующим формулам:

$$B_{NE} = \frac{|B44 - B26|}{2} + |G35 - G26|$$

$$B_{SE} = \frac{|B24 - B46|}{2} + |G35 - G46|$$

$$B_{SW} = \frac{|B26 - B44|}{2} + |G35 - G44|$$

$$B_{NW} = \frac{|B46 - B24|}{2} + |G35 - G24|$$

$$Dirs = \{NE, SE, SW, NW\}$$

$$W_d = \frac{1}{(1 + B_d)}, d \in Dirs$$

$$\bar{B}_N = B26 + (G35 - G26)$$

$$\bar{B}_E = B46 + (G35 - G46)$$

$$\bar{B}_S = B44 + (G35 - G44)$$

$$\bar{B}_W = B24 + (G35 - G24)$$

$$B42 = \frac{\sum_d W_d * \bar{B}_d}{\sum_d W_d}, d \in Dirs$$

Третий и четвертый «крест» интерполирует r, b на G по формулам (1).

В крайевых случаях недостающие данные заменяются зеркально-отраженными.

		G*0					
		R*0					
G0*	B0*	G00	B01	G02			
		R10	G11	R12			
		G20	B21	G22			

Рисунок 21.32. Граничные условия

В случае, приведенном на рисунке, данные со знаком «*» заменяются в следующем порядке:

- B0* = B01;
- G0* = G02;
- R*0 = R10;
- G*0 = G20.

Для пятна действует подобный механизм.

21.4.2.2.4 Коррекция цвета

Блок позволяет осуществить коррекцию цветов, баланс белого и т.д. для входного видеопотока. Блок имеет следующие характеристики:

- поддерживаемая разрядность: 12 разрядов;
- программируемые коэффициенты матрицы коррекции;
- программируемые коэффициенты смещения;
- операции в фиксированной точке.

На Рисунок 21.33 представлена структурная схема блока.

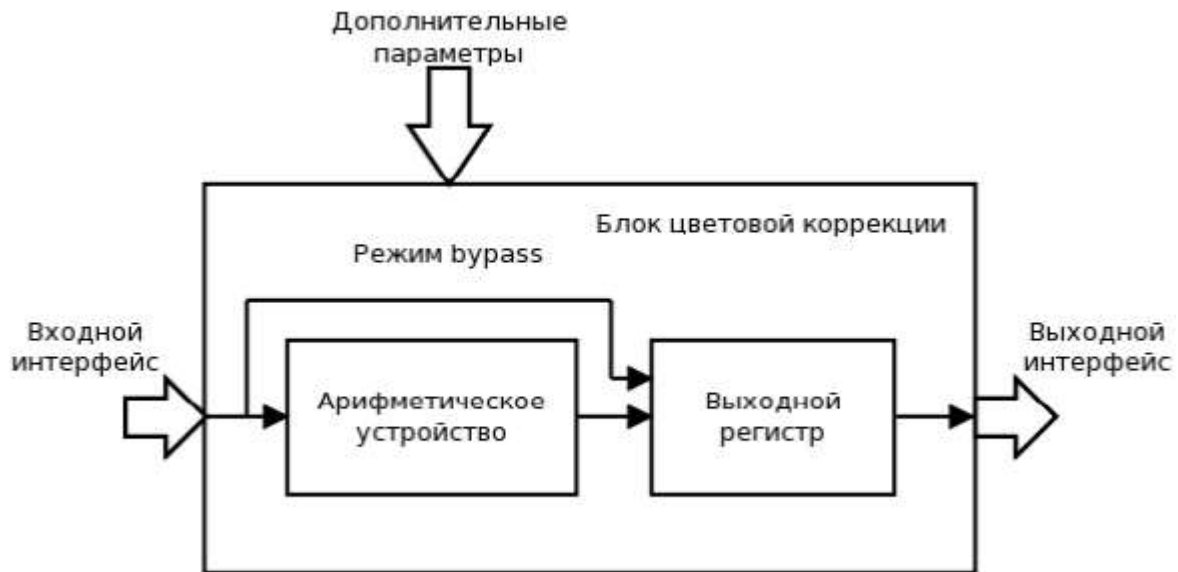


Рисунок 21.33. Структурная схема блока коррекции цвета

Дополнительные параметры и статистические данные представлены в Таблица 21.23.

Таблица 21.23. Дополнительные параметры блока цветовой коррекции

Наименование сигнала	Тип сигнала	Разрядность	Назначение
Дополнительный интерфейс			
cc_en	in	1	Сигнал разрешения работы блока
m*N	in	16*N	Коэффициенты матрицы
v*M	in	13*M	Значения смещений
scaling	in	4	Количество бит целой части в коэффициентах матрицы
Примечание. N = 9, M = 3			

Преобразование выполняется по формуле:

$$O(0) = \text{clip}(I(0) * M_{cc}(0,0) + I(1) * M_{cc}(0,1) + I(2) * M_{cc}(0,2) + V_{cc}(0))$$

$$O(1) = \text{clip}(I(0) * M_{cc}(1,0) + I(1) * M_{cc}(1,1) + I(2) * M_{cc}(1,2) + V_{cc}(1))$$

$$O(2) = \text{clip}(I(0) * M_{cc}(2,0) + I(1) * M_{cc}(2,1) + I(2) * M_{cc}(2,2) + V_{cc}(2)),$$

где I — вектор входных компонент пикселя (1x3). $I(0)$ — компонента пикселя R(Cr), $I(1)$ — компонента пикселя G(Y), $I(2)$ — компонента пикселя B(Cb). Диапазон значений компонент [0:4095];

O — вектор выходных компонент пикселя (1x3). $O(0)$ — компонента пикселя Y(G), $O(1)$ — компонента пикселя Cb(B), $O(2)$ — компонента пикселя Cr(R). Диапазон значений компонент [0:4095];

V_{cc} — вектор смещений (1x3). Диапазон значений компонент [-4096:4095];

M_{CC} — матрица коэффициентов (3x3). Диапазон значений компонент [-4;4];

$clip$ — отсечение значений вне диапазона выходного вектора.

Значение регистра $scaling$ принимает значения от 0 до 15 и рассчитывается как:

$$scaling = \begin{cases} 0, & \text{если } |max(|M_{CC}|)| < 1 \\ \lfloor \log_2(|max(|M_{CC}|)|) \rfloor + 1, & \text{иначе} \end{cases}$$

где $max()$ — максимальное значение в матрице M_{CC} . Рассчитанное значение записывается в регистр $STREAM_PROC_CC_OFFSET1$.

Значение регистров m рассчитывается по формуле: $m_k = \lfloor M_{CC}(i,j) * (1 \ll (15 - scaling)) + 0.5 \rfloor$, где $i,j = 0..2$ – индексы матрицы M_{CC} , $k = i + j*3$ – номер коэффициента m_k . Рассчитанные значения записываются в регистры $STREAM_PROC_CC_COEFF0-5$. Старший бит является знаковым.

Значения регистров v рассчитываются по формуле: $v_i = \lfloor V_{CC}(i) + 0.5 \rfloor$, где $i = 0..2$ – индексы вектора V_{CC} . Рассчитанные значения записываются в регистры $STREAM_PROC_CC_OFFSET0-1$. Старший бит является знаковым.

21.4.2.2.5 Гамма коррекция

Данный алгоритм осуществляет гамма-коррекцию входного изображения. Таблица значений загружается пользователем. Значения таблицы могут быть получены путем анализа статистических данных (например, данных гистограмм).

Блок имеет следующие характеристики:

- поддерживаемая разрядность: 12 разрядов;
- 4096*3 программируемых значений гамма коррекции.

На Рисунок 21.1 представлена структурная схема блока.

Блок представляет собой 3 идентичных блока коррекции динамического диапазона. Отсутствуют счетчики.

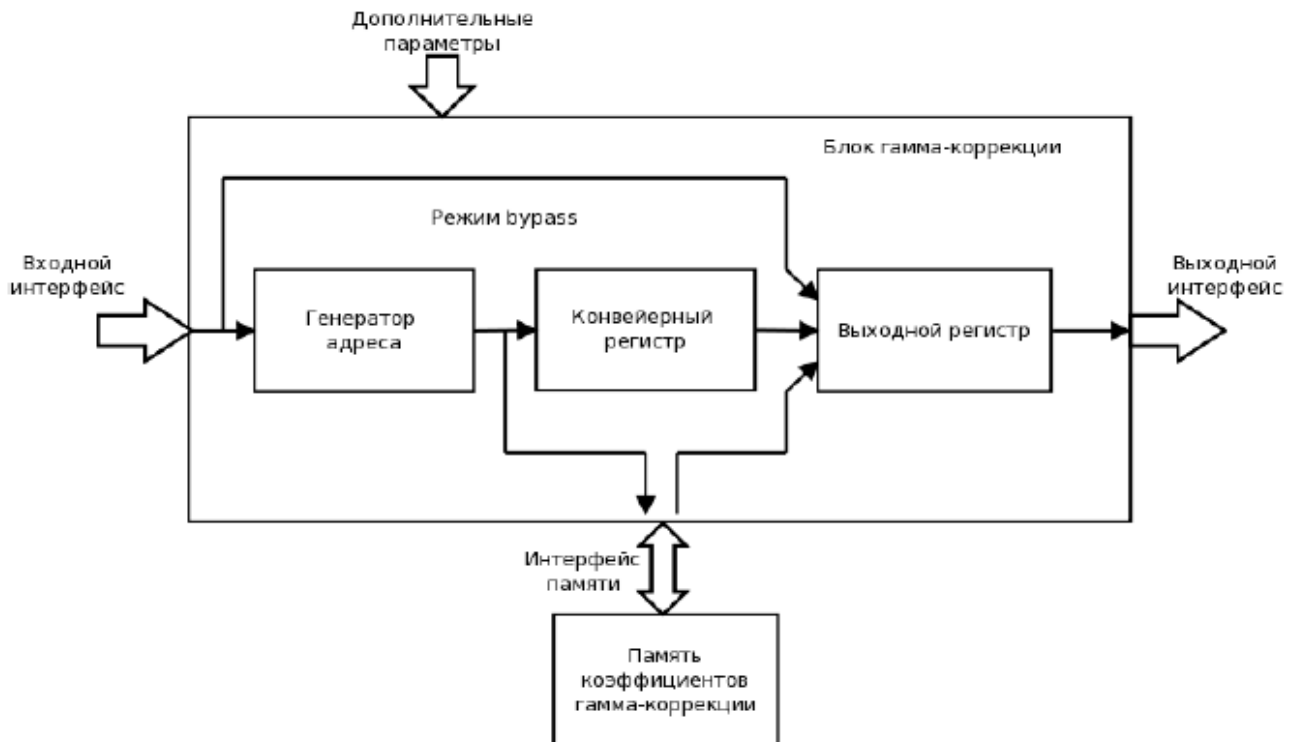


Рисунок 21.34. Структурная схема блока гамма-коррекции

Входным и выходным интерфейсом данного блока является стандартизированный интерфейс UPF. Дополнительные параметры и статистические данные представлены в Таблица 21.22.

Таблица 21.24. Дополнительные параметры блока гамма-коррекции

Наименование сигнала	Тип сигнала	Разрядность	Назначение
Дополнительный интерфейс			
gc_en	in	1	Сигнал разрешения работы блока

Преобразование осуществляется путем записи необходимых значений в память (начальный адрес) по следующей формуле:

$$Vdata_out = Mem[Vdata_in];$$

21.4.2.2.6 Преобразование формата 4:2:2 в формат 4:4:4

Данный алгоритм выполняет преобразование формата YCbCr 4:2:2 в YCbCr 4:4:4, увеличивает количество столбцов цветовых компонент Cb и Cr в 2 раза. Для этого используется интерполяция. Возможные алгоритмы интерполяции:

- кубическая;
- ближайшего соседа;
- конечный фильтр FIR27.

Блок имеет следующие характеристики:

- поддерживаемая разрядность: 12 разрядов;

- выбор алгоритма преобразования;
- выбор алгоритма определения краевых значений.

Алгоритм интерполяции выбирается полем YCBCR_422_TO_444_ALG регистра STREAM*_PROC_CTR.

Для вычисления значений цвета в краевых точках, при необходимости, определяются недостающие значения цвета:

- константным копированием значений цвета точки на границе (см. Рисунок 21.35);
- зеркальным копированием точек относительно границы (см. Рисунок 21.36).

Выбор способа определения недостающих значений определяется полем YCBCR_422_TO_444_FILL регистра STREAM*_PROC_CTR.

Входной массив цветовой компоненты C_{in} имеет размерность N , а выходной массив C_{out} размерность $2*N$. Далее i — номер столбца, меняется от 0 до $N-1$.



Рисунок 21.35. Дополнение недостающих значений константным копированием

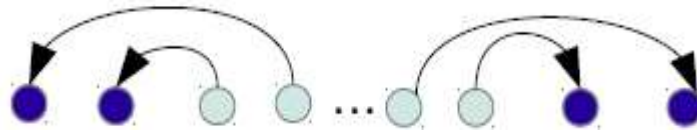


Рисунок 21.36. Дополнение недостающих значений зеркальным копированием

Ближайший сосед (nearest neighbor)

$$C_{out}[2*i] = C_{in}[i];$$

$$C_{out}[2*i+1] = C_{in}[i];$$

Кубическая(Cubic spline)

$$C_{out}[2*i] = C_{in}[i];$$

$$C_{out}[2*i+1] = \text{clip}((5*(C_{in}[i] + C_{in}[i+1]) - (C_{in}[i+2] + C_{in}[i-1]) + 4) >> 3)$$

Фильтр FIR27

Коэффициенты фильтра =

$$[26, -138, 453, -1160, 2617, -5896, 20486]$$

$$\text{Cout}[2*i] = \text{Cin}[i];$$

$$\text{Cout}[2*i+1] = \text{clip}((20486*(\text{Cin}[i] + \text{Cin}[i+1])$$

$$- 5896*(\text{Cin}[i-1] + \text{Cin}[i+2])$$

$$+2617*(\text{Cin}[i-2] + \text{Cin}[i+3])$$

$$- 1160*(\text{Cin}[i-3] + \text{Cin}[i+4])$$

$$+453*(\text{Cin}[i-4] + \text{Cin}[i+5])$$

$$- 138*(\text{Cin}[i-5] + \text{Cin}[i+6])$$

$$+26*(\text{Cin}[i-6] + \text{Cin}[i+7]) + 16384) \gg 15),$$

где clip — функция выполняющая выравнивание значений по границе диапазона. Для значений, у которых есть ненулевые биты с индексом больше 11 - возвращает число 4095, для значений, у которых знаковый бит (старший) не равен нулю - возвращает ноль.

21.4.2.2.7 Преобразование цветовой модели YCbCr ↔ RGB

Блок позволяет выполнять преобразование цвета из формата YCbCr в RGB и наоборот и имеет следующие характеристики:

- поддерживаемая разрядность входных данных: 12 разрядов;
- программируемые коэффициенты матрицы коррекции;
- программируемые коэффициенты смещения;
- программируемая разрядность целой части числа с фиксированной запятой (скейлер);
- операции в фиксированной точке.

Таблица 21.25. Дополнительные параметры блока преобразования цветовой модели

Наименование сигнала	Тип сигнала	Разрядность	Назначение
ct_en	in	1	Сигнал разрешения работы блока
m*N	in	16*N	Коэффициенты матрицы
v*M	in	16*M	Значения смещений
scaling	in	2	Количество бит целой части в коэффициентах матрицы

Преобразование выполняется по формуле:

$$O(0) = \text{clip}(I(0) * M_{CT}(0,0) + I(1) * M_{CT}(0,1) + I(2) * M_{CT}(0,2) + V_{CT}(0))$$

$$O(1) = \text{clip}(I(0) * M_{CT}(1,0) + I(1) * M_{CT}(1,1) + I(2) * M_{CT}(1,2) + V_{CT}(1))$$

$$O(2) = \text{clip}(I(0) * M_{CT}(2,0) + I(1) * M_{CT}(2,1) + I(2) * M_{CT}(2,2) + V_{CT}(2)),$$

где I — вектор входных компонент пикселя (1x3). $I(0)$ — компонента пикселя $G(Y)$, $I(1)$ — компонента пикселя $B(Cb)$, $I(2)$ — компонента пикселя $R(Cr)$. Диапазон значений компонент [0:4095];

O — вектор выходных компонент пикселя (1x3). $O(0)$ — компонента пикселя $Y(G)$, $O(1)$ — компонента пикселя $Cb(B)$, $O(2)$ — компонента пикселя $Cr(R)$. Диапазон значений компонент [0:4095];

V_{CT} — вектор смещений (1x3). Диапазон значений компонент [-8192.75:8191.75];

M_{CT} — матрица коэффициентов (3x3). Диапазон значений компонент [-8:8];

clip — отсечение значений вне диапазона выходного вектора.

В данном блоке преобразований коэффициенты матрицы и значения смещения программируются так, что бы выполнять преобразования:

RGB → YCbCr

YCbCr → RGB

Регистр `scaling` принимает значения от 0 до 3 и рассчитывается как:

$$scaling = \begin{cases} 0, & \text{если } |\max(|M_{CT}|)| < 1 \\ \lfloor \log_2(|\max(|M_{CT}|)|) \rfloor + 1, & \text{иначе} \end{cases}$$

где $\max(M_{CT})$ — максимальное значение в матрице M_{CT} . Рассчитанное значение записывается в регистр `STREAM*_PROC_CT_OFFSET1`.

Старший бит регистров m является знаковым. Значение регистров рассчитывается по формуле: $m_k = \lfloor M_{CT}(i, j) * (1 \ll (15 - scaling)) + 0.5 \rfloor$, где $i, j = 0..2$ — индексы матрицы M_{CT} , $k = i*3 + j$ — номер коэффициента m_k . Рассчитанные значения записываются в регистры `STREAM*_PROC_CT_COEFF0-5`.

Регистры v состоят из старшего знакового бита, 13 битов целой и 2 битов дробной части. Значения регистров рассчитываются по формуле: $v_i = V_{CT}(i) * 4$, где $i = 0..2$ — индексы вектора V_{CT} . Рассчитанные значения записываются в регистры `STREAM*_PROC_CT_OFFSET0-1`.

21.4.2.2.8 Преобразование формата 4:4:4 в формат 4:2:2

Данный алгоритм выполняет преобразование формата YCbCr 4:4:4 в YCbCr 4:2:2, уменьшает количество столбцов цветных компонент Cb и Cr в 2 раза. Для этого используется интерполяция. Возможные алгоритмы интерполяции:

- кубическая;
- ближайшего соседа;
- конечный фильтр FIR27.

Блок имеет следующие характеристики:

- поддерживаемая разрядность: 12 разрядов;
- выбор алгоритма преобразования;
- выбор алгоритма определения краевых значений.

Алгоритм выбирается полем YCBCR_444_TO_422_ALG регистра STREAM*_PROC_CTR.

Для вычисления значений цвета в краевых точках, при необходимости, определяются недостающие значения цвета:

- константным копированием значений цвета точки на границе (см. Рисунок 21.25);
- зеркальным копированием точек относительно границы (см. Рисунок 21.26).

Выбор способа определения недостающих значений определяется полем YCBCR_444_TO_422_FILL регистра STREAM*_PROC_CTR.

Входной массив цветовой компоненты C_{in} имеет размерность $2N$, а выходной массив C_{out} размерность N . Далее i — номер столбца, меняется от 0 до $N-1$.

Ближайший сосед (nearest neighbor)

$$C_{out}[i] = C_{in}[2*i];$$

Кубическая (Cubic spline)

$$C_{out}[i] = \text{clip}((8*C_{in}[2*i] + 5*(C_{in}[2*i-1] + C_{in}[2*i+1]) - (C_{in}[2*i+3] + C_{in}[2*i-3]) + 8) \gg 4)$$

Фильтр FIR27

Коэффициенты фильтра =

$$[26, -138, 453, -1160, 2617, -5896, 20486, 32768]$$

Берем каждый второй пиксел:

$$C_{out}[i] = \text{clip}((32768*C_{in}[2*i] + 20486*(C_{in}[2*i-1] + C_{in}[2*i+1]) - 5896*(C_{in}[2*i-3] + C_{in}[2*i+3]) + 2617*(C_{in}[2*i-5] + C_{in}[2*i+5]) - 1160*(C_{in}[2*i-7] + C_{in}[2*i+7]) + 453*(C_{in}[2*i-9] + C_{in}[2*i+9]) - 138*(C_{in}[2*i-11] + C_{in}[2*i+11]) + 26*(C_{in}[2*i-13] + C_{in}[2*i+13]) + 32768) \gg 16).$$

21.4.2.2.9 Преобразование формата 4:2:2 в формат 4:2:0

Данный алгоритм выполняет преобразование формата YCbCr 4:2:2 в YCbCr 4:2:0, уменьшает количество строк цветowych компонент Cb и Cr в 2 раза. Для этого используется интерполяция. Возможные алгоритмы интерполяции:

- ближайшего соседа;
- линейная.

Блок имеет следующие характеристики:

- поддерживаемая разрядность: 8,10,12 разрядов;
- выбор алгоритма преобразования.

Алгоритм выбирается полем YCBCR_422_TO_420_ALG регистра STREAM*_PROC_CTR.

Входной массив цветовой компоненты Cin имеет размерность 2N, а выходной массив Cout размерность N. Далее i — номер строки, меняется от 0 до N-1.

Пиксели четной строки на выходе блока (i=0,2,4 и т.д.) содержат только компоненты Y.

Ближайший сосед (nearest neighbor)

$$\text{Cout}[i+1] = \text{Cin}[2*i].$$

Линейная (Linear)

$$\text{Cout}[i+1] = (\text{Cin}[2*i] + \text{Cin}[2*i+1] + 1) \gg 1.$$

21.4.2.2.9.1 Ближайший сосед (nearest neighbor)

Пиксели четной строки на выходе блока (i=0,2,4 и тд) содержит только компоненты Y. В j-й пиксель нечетной строки на выходе блока копируются компоненты Cb/Cr из j-го пикселя строки на входе блока.

21.4.2.2.9.2 Линейная (Linear)

$$\text{Cout}[i] = (\text{Cin}[2*i] + \text{Cin}[2*i+1] + 1) \gg 1, \text{ где } i \text{ — номер строки}$$

Единица добавляется для округления вычислений к ближайшему целому.

21.4.2.2.10 Блок сбора статистики

Блок статистики предназначен для сбора информации о входном видеопотоке и ее анализа. Блок имеет следующие характеристики:

- поддерживаемое разрешение: 4096x4096;
- поддерживаемые форматы: RGB 888, YCbCr 4:4:4, 4:2:2 (только для компоненты Y), Mono;
- память хранимых линий: 2 * 4кбайт;

- программируемые окна (зоны);
- гистограммы по 4 зонам по разным цветам;
- автофокус по 4 зонам по одному цвету;
- дополнительные статистические данные (по 4 зонам): сумма, сумма квадратов, минимум, максимум;
- в месте пересечения зон, приоритет имеет зона с младшим адресом;
- режимы сбора статистики: покадровый, через кадр.

На Рисунок 21.37 представлена структурная схема блока.

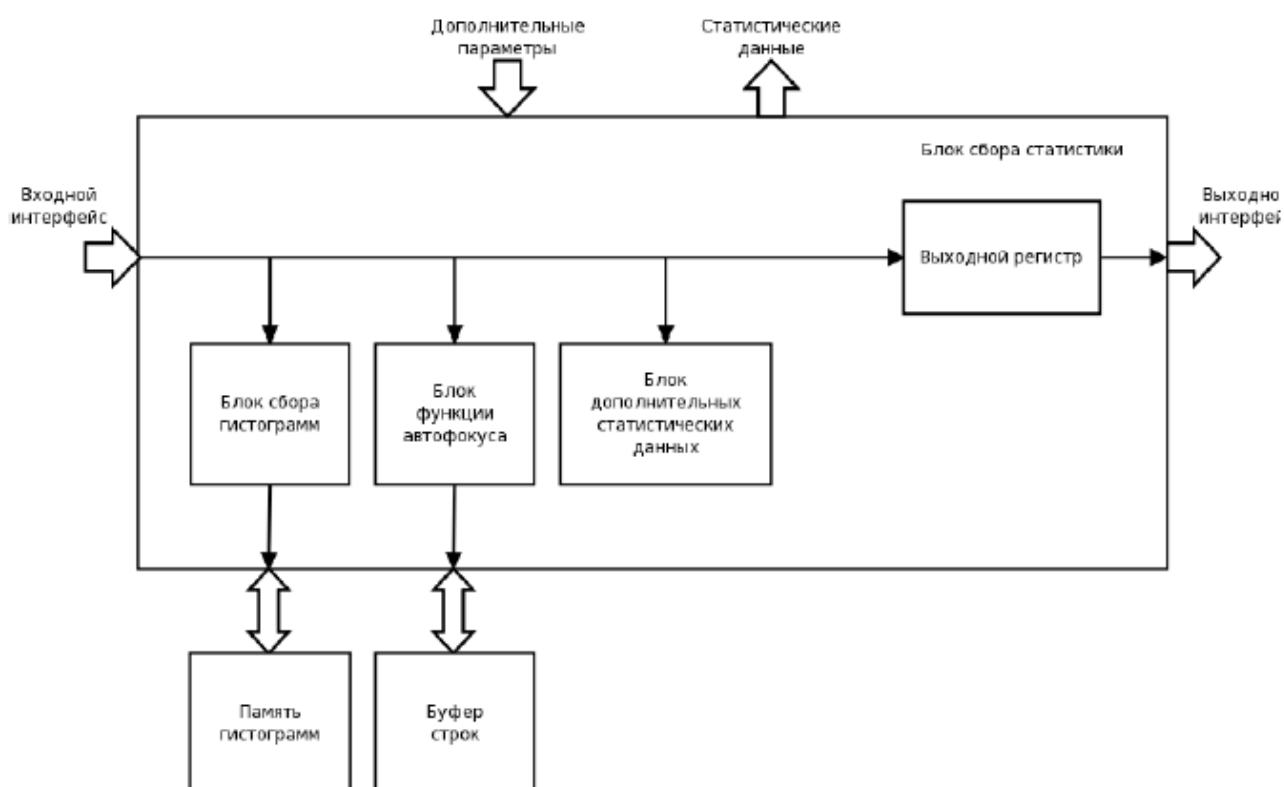


Рисунок 21.37. Структурная схема блока сбора статистики

Входным и выходным интерфейсом данного блока является стандартизированный интерфейс UPF. Дополнительные параметры и статистические данные представлены в Таблица 21.26.

Таблица 21.26. Дополнительные параметры блока сбора статистики

Наименование сигнала	Тип сигнала	Разрядность	Назначение
Дополнительный интерфейс			
stt_en	in	3	Сигнал разрешения работы блока: stt_en[0]=hist_en; stt_en[1]=af_en; stt_en[2]=ext_en.
width	in	12	Ширина кадра в пикселях
height	in	12	Высота кадра в строках
zone_en	in	4	Признаки разрешения работы отдельных зон сбора статистики
af_color	in	2	Выбор компоненты цвета для автофокуса.
xy_zone 0...3	in	64 * 4	Координаты зоны в формате xy_zone[15:0] = x_top_left; xy_zone[31:16] = y_top_left; xy_zone[47:32] = x_bot_right; xy_zone[63:48] = y_bot_right;
Min 0...3	Out	24 * 4	Минимальное значение по каждому цвету в зоне в формате Min[7: 0]=min(red); Min[15: 8]=min(green); Min[24:16]=min(blue);
Max 0...3	out	24 * 4	Максимальное значение по каждому цвету в зоне в формате Min[7: 0]=min(red); Min[15: 8]=min(green); Min[24:16]=min(blue);
Sum 0...3	out	96 * 4	Значение суммы по каждому цвету в зоне в формате Sum[31:0]=sum(red); Sum[63:32]=sum(green); Sum[95:64]=sum(blue);
Sum2 0...3	out	120 * 4	Значение суммы квадратов по каждому цвету в зоне в формате Sum2[31:0]=sum(red^2); Sum2[63:32]=sum(green^2); Sum2[95:64]=sum(blue^2);
Hsobel	out		Значение фильтра Собеля, в каждой зоне (автофокус)
Vsobel	out		Значение фильтра Собеля, в каждой зоне (автофокус)
Lsobel	out		Значение фильтра Собеля, в каждой зоне (автофокус)
Rsobel	out		Значение фильтра Собеля, в каждой зоне (автофокус)

Пример расположения зон сбора статистики представлен на Рисунок 21.38. Размер зоны не должен превышать размер кадра, иначе результат вычислений будет некорректным.

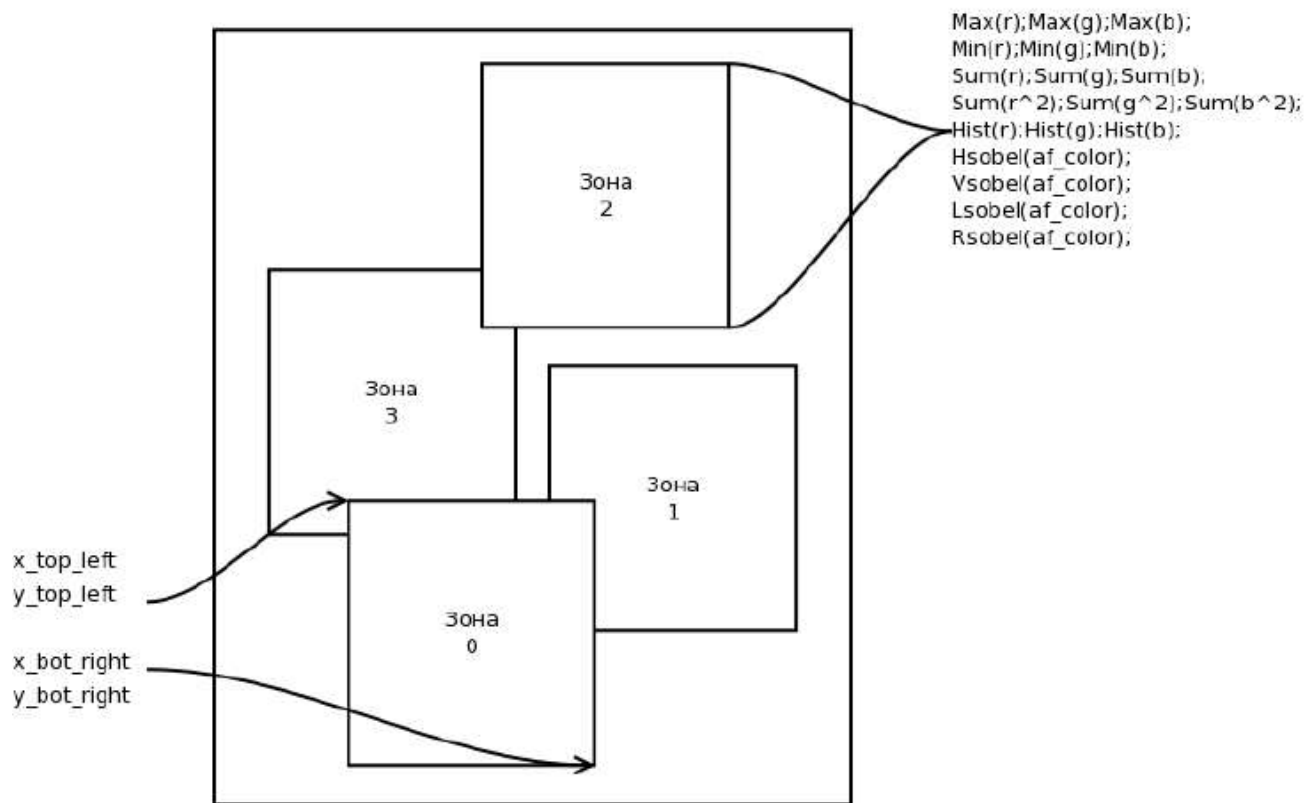


Рисунок 21.38. Пример расположения зон сбора статистики

Статистические данные вычисляются следующими способами:

- гистограмма:
 - $R_count[zone][R_in] = R_count[\{zone, R_in\}] + 1;$
 - $G_count[zone][G_in] = G_count[zone][R_in] + 1;$
 - $B_count[zone][B_in] = B_count[zone][R_in] + 1;$
- дополнительные:
 - $Min(R,G,B)[zone];$
 - $Max(R,G,B)[zone];$
 - $Sum(R,G,B)[zone] = Sum(R,G,B)[zone] + (R,G,B);$
 - $Sum2(R,G,B)[zone] = Sum2(R,G,B)[zone] + (R^2,G^2,B^2);$
- автофокус:
 - $fir_h = abs((sum(si*mh_i))/8);$
 - $fir_v = abs((sum(si*mv_i))/8);$
 - $fir_l = abs((sum(si*ml_i))/8);$
 - $fir_r = abs((sum(si*mr_i))/8);$
 - **if** ($fir_h \geq sobel_th$) $sobelh_0 = sobelh_0 + fir_h;$ **end;**
 - **if** ($fir_v \geq sobel_th$) $sobelv_0 = sobelv_0 + fir_v;$ **end;**

- `if (fir_l >= sobel_th) sobell_0 = sobell_0 + fir_l; end;`
- `if (fir_r >= sobel_th) sobelr_0 = sobelr_0 + fir_r; end;`

где `si` — элемент матрицы пикселей,

`mh_i` — элемент матрицы горизонтального фильтра собеля,

`mv_i` — элемент матрицы вертикального фильтра собеля,

`ml_i` — элемент матрицы диагонального (слева снизу направо вверх) фильтра собеля,

`mr_i` — элемент матрицы диагонального (справа снизу налево вверх) фильтра собеля.

Примечание. Текущая реализация имеет следующие ограничения:

1. Зона для автофокуса должна иметь отступы от границ изображения хотя бы на 1 пиксель (со всех сторон);
2. Зона для гистограммы должна иметь отступ от правой границы изображения на 1 пиксель либо от нижней границы на 1 пиксель.

21.4.2.2.11 Блок интегральных сумм

Блок осуществляет подсчет интегральных сумм и сумм квадратов.

Характеристики блока:

- поддерживаемое разрешение: 2048x2048;
- поддерживаемый формат: RGB888;
- память хранимых данных: 6*2к байт;
- выбор цвета обработки R, G, B или яркостной компоненты Y.

В зависимости от выбора, для подсчета интегральных сумм используется одна из цветовых компонент R,G,B или яркостная компонента Y.

Выходом блока является интегральная сумма и сумма квадратов упакованная в 64 битное слово выдаваемое по каналу DMA.

Подсчет интегральной суммы выполняется «на проходе» для области ограниченной текущей точкой (пикселем) и левым верхним углом (координаты (0,0)), суммированием всех значений выбранного цвета пикселей области (см. рисунок ниже).

SC[0]	SC[1]	SC[2]	SC[3]						
		ST	P[3,3]						

Рисунок 21.39. Регистры блока интегральных сумм

Для подсчета интегральной суммы используется память для хранения интегральных сумм по столбцам до предыдущей строки (на рисунке представлена зеленой линией) и сумма элементов до текущей позиции пикселя (на рисунке выделена желтым цветом).

Блок вычисления интегральной суммы использует итерационный алгоритм.

В начале кадра все регистры (используемые для подсчета сумм) обнуляются.

Используемые регистры:

- регистр ST 19 бит;
- регистр SB 30 бит;
- массив SC 2048 элементов по 19 бит.

В массиве хранятся суммы по столбцам.

Для вычисления интегральной суммы в пикселе над текущим, используется регистр SB, в котором аккумулируется интегральная сумма столбцов строки до текущей позиции:

$$SB = SB + SC[i].$$

Для каждой новой строки регистр SB обнуляется.

Для вычисления суммы в строке используется регистр ST, в котором аккумулируется сумма значений по текущей строке:

$$ST = ST + P[i,j].$$

Для каждой новой строки регистр ST обнуляется.

Алгоритм действий:

1) Интегральная сумма в текущей позиции вычисляется по формуле:

$$Sum = SB + ST + P[i,j],$$

2) Вычисленное значение суммы отправляется в DMA канал.

3) Перезаписывается текущее значение суммы столбца в массиве:

$$SC[i] = SC[i] + P[i,j].$$

4) Перезаписывается значение регистра суммы по строке:

$$ST = ST + P[i,j].$$

5) Затем блок переходит к следующему пикселу в строке и алгоритм повторяется.

Интегральная сумма квадратов использует аналогичный алгоритм. Отличие состоит только в разрядности регистров:

- регистр ST 27 бит;
- регистр SB 38 бит;
- массив SC 2048 элементов по 27 бит.

Квадрат яркости цвета: $P2 = P[i,j]*P[i,j]$.

Интегральная сумма квадратов: $Sum2 = SB + ST + P2$.

Интегральная сумма квадратов в столбце: $SC[i] = SC[i] + P2$.

Интегральная сумма квадратов в строке: $ST = ST + P2$.

Для упаковки в 64 битный регистр DMA значения интегральной суммы и суммы квадратов производится отбрасывание младших битов.

Интегральная сумма сдвигается вправо на 1 бит и упаковывается в 29 младших бит регистра DMA, сумма квадратов сдвигается на 3 бита вправо и упаковывается в 35 старших бит регистра DMA.

21.4.2.3 DMA контроллер

DMA контроллер осуществляет обмен данных между функциональными модулями обработки видеоданных и кольцевыми буферами кадров, размещенными во внешней памяти. Для управления процессом обмена используются регистры управления и статуса, доступные для хост-процессора через APB Slave интерфейс (см. раздел 21.5.1). Основными особенностями блока DMA являются:

- 64-разрядный AXI мастер интерфейс для пересылки данных;
- программируемая максимальная длина burst на AXI шине;
- один домен синхронизации (синхросигнал AXI-шины);
- два DMA канала записи данных для каждого из двух потоков обработки видеоданных;
- один или два кольцевых буферов кадров для каждого DMA канала записи для раздельного хранения цветочных компонентов;
- возможность обрезки кадра при записи данных;
- округление 12-разрядных данных при использовании форматов буферов кадров 8+8+8;
- независимые сигналы прерывания для каждого потока обработки видеоданных;
- round-robin алгоритм арбитража для DMA каналов записи потоков обработки видеоданных.

Функциональная схема DMA контроллера представлена на Рисунок 21.40. Блок включает в себя модуль wDMA и AXI Master интерфейс.

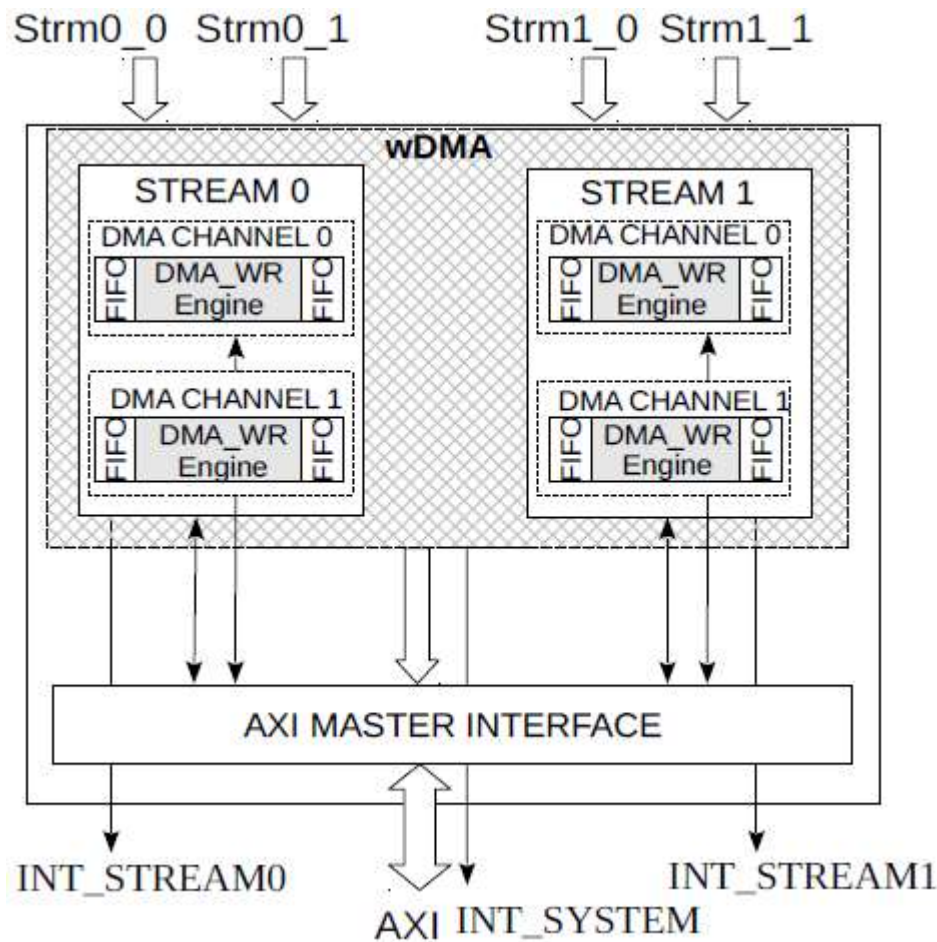


Рисунок 21.40. Функциональная схема контроллера DMA

Модуль wDMA получает данные от двух потоков видеобработки. Для каждого потока обработки видеоданных предусмотрено два DMA канала, что позволяет сохранять в памяти результаты различной обработки одних и тех же входных данных. Данные в унифицированном формате потока видеоконвейера поступают из функциональных модулей обработки на вход блока wDMA по шинам Strm*_0 Strm*_1 с выхода конвейера обработки. Каждому каналу выделяется один или два буфера кадров во внешней памяти для раздельного хранения цветных компонентов.

Каждый DMA канал записи данных имеет DMA Engine (DMA_WR), которая осуществляет запись данных в виде непрерывных строк, в которых пиксели передаются строго по порядку (слева направо), и все строки в кадре передаются по порядку

Каждая DMA Engine может иметь одну или две FIFO-очереди. Данные, поступающие в блок DMA из функциональных модулей обработки, разделяются на цветные компоненты и записываются в FIFO-очереди (от одной до двух). В один момент времени может производиться запись только в одну FIFO очередь одной DMA Engine. Порядок записей определяется внутренним арбитром модуля wDMA по алгоритму round-robin.

При наличии в FIFO-очереди количества слов данных, достаточного для обеспечения burst максимальной длины (или в случае, когда количество слов, оставшихся до конца строки,

меньше максимальной длины burst), формируется запрос от модуля wDMA к арбитру AXI шины, который записывается в очередь запросов модуля wDMA.

DMA контроллер вырабатывает три сигнала прерывания процессора. Глобальный сигнал прерывания INT_SYSTEM устанавливается в случае возникновения ошибок при приеме данных из входных портов, ошибок на шине AXI и других ситуаций в работе блока на уровне обмена с внешними устройствами и взаимодействия между потоками обработки видеоданных. Помимо глобального сигнала формируются независимые сигналы прерывания для каждого потока обработки (INT_STREAM0-INT_STREAM1) в зависимости от состояния DMA Engine (завершение передачи кадра, строки с заданным номером и тд). Счетчики пикселей, строк и кадров каждой DMA Engine доступны для чтения через APB Slave интерфейс.

21.4.2.4 Форматы буферов кадров во внешней памяти

Буферы кадров, размещаемые во внешней памяти, имеют следующие основные характеристики:

1. Размер видеобуфера: 1-255 кадров.
2. Адресация little endian.
3. Максимальный размер кадра: 4096x4096 пикселей.
4. Формат видео : Bayer/Mono, (A)RGB , (A)YCbCr 4:4:4/4:2:2/4:2:0.
5. Количество плейнов.
6. Single (Interleaved) (all formats).
7. Dual (Y/CbCr).
8. Упаковка пиксельных компонент в 32-разрядных словах: 8+8+8+8, 16+16: all formats, all plane.
9. Порядок компонент (для single plane):
Bayer: B/Gr,Gb/R;.
RGB: B,G,R,(A) или R,G,B,(A).
YCbCr 4:4:4: Cb,Cr,Y,(A).
YCbCr 4:2:2: Cb,Y0,Cr,Y1.
YCbCr 4:2:0: Cb/Cr,Y0,Y1.

Форматы буферов задаются для кадров размером NxM (N — горизонтальный размер, M — вертикальный размер). Координаты пикселя — (x,y), где x — координата в горизонтальном направлении, y - координата в вертикальном направлении. Координаты верхнего левого пикселя — (0,0).

Для форматов 8+8 в 8-разрядное поле записываются старшие 8 бит 12-разрядной цветовой компоненты, младшие 4 бита отбрасываются с округлением (прибавлением старшего разряда отбрасываемой части).

Для форматов 16+16 12-разрядные цветовые компоненты записываются в старшие 12 разрядов 16-разрядного поля, 4 младших разряда заполняются нулями.

Обозначения Base1 и Base2, используемые в описаниях, соответствуют полям BUFFER_BASE регистров STREAM_n_DMA_m_FBUF0_BASE и STREAM_n_DMA_m_FBUF1_BASE соответственно.

21.4.2.5 Форматы RGB

21.4.2.5.1 (A)RGB, 8+8+8+8, single plane

$\text{Adr}[A(x,y)] = \text{Base1} + 4 * (y * N + x) + 3$, $\text{Adr}[R(x,y)] = \text{Base1} + 4 * (y * N + x) + 2$, $\text{Adr}[G(x,y)] = \text{Base1} + 4 * (y * N + x) + 1$, $\text{Adr}[B(x,y)] = \text{Base1} + 4 * (y * N + x) + 0$								
BASE1+	31	24	23	16	15	8	7	0
0	A(0,0)		R(0,0)		G(0,0)		B(0,0)	
4	A(1,0)		R(1,0)		G(1,0)		B(1,0)	
8	A(2,0)		R(2,0)		G(2,0)		B(2,0)	
...	
4*N*M-8	A(N-2,M-1)		R(N-2,M-1)		G(N-2,M-1)		B(N-2,M-1)	
4*N*M-4	A(N-1,M-1)		R(N-1,M-1)		G(N-1,M-1)		B(N-1,M-1)	

21.4.2.5.2 (A)BGR, 8+8+8+8, single plane

$\text{Adr}[A(x,y)] = \text{Base1} + 4 * (y * N + x) + 3$, $\text{Adr}[R(x,y)] = \text{Base1} + 4 * (y * N + x) + 0$, $\text{Adr}[G(x,y)] = \text{Base1} + 4 * (y * N + x) + 1$, $\text{Adr}[B(x,y)] = \text{Base1} + 4 * (y * N + x) + 2$								
BASE1+	31	24	23	16	15	8	7	0
0	A(0,0)		B(0,0)		G(0,0)		R(0,0)	
4	A(1,0)		B(1,0)		G(1,0)		R(1,0)	
8	A(2,0)		B(2,0)		G(2,0)		R(2,0)	
...	
4*N*M-8	A(N-2,M-1)		B(N-2,M-1)		G(N-2,M-1)		R(N-2,M-1)	
4*N*M-4	A(N-1,M-1)		B(N-1,M-1)		G(N-1,M-1)		R(N-1,M-1)	

21.4.2.5.3 (A)RGB, 16+16, single plane

$\text{Adr}[A(x,y)] = \text{Base1} + 8 * (y * N + x) + 6$, $\text{Adr}[R(x,y)] = \text{Base1} + 8 * (y * N + x) + 4$, $\text{Adr}[G(x,y)] = \text{Base1} + 8 * (y * N + x) + 2$, $\text{Adr}[B(x,y)] = \text{Base1} + 8 * (y * N + x) + 0$								
BASE1+	31			16	15			0
0	G(0,0)				B(0,0)			
4	A(0,0)				R(0,0)			
8	G(1,0)				B(1,0)			
...			
8*N*M-8	G(N-1,M-1)				B(N-1,M-1)			
8*N*M-4	A(N-1,M-1)				R(N-1,M-1)			

21.4.2.5.4 (A)BGR, 16+16, single plane

$\text{Adr}[A(x,y)] = \text{Base1} + 8 * (y * N + x) + 6$, $\text{Adr}[R(x,y)] = \text{Base1} + 8 * (y * N + x) + 0$, $\text{Adr}[G(x,y)] = \text{Base1} + 8 * (y * N + x) + 2$, $\text{Adr}[B(x,y)] = \text{Base1} + 8 * (y * N + x) + 4$								
BASE1+	31			16	15			0
0	G(0,0)				R(0,0)			
4	A(0,0)				B(0,0)			
8	G(1,0)				R(1,0)			
...			
8*N*M-8	G(N-1,M-1)				R(N-1,M-1)			
8*N*M-4	A(N-1,M-1)				B(N-1,M-1)			

21.4.2.6 Форматы YCrCb 4:4:4

21.4.2.6.1 (A)YCrCb, 8+8+8+8, single plane

$\text{Adr}[A(x,y)] = \text{Base1} + 4 * (y * N + x) + 3$, $\text{Adr}[Y(x,y)] = \text{Base1} + 4 * (y * N + x) + 2$, $\text{Adr}[Cr(x,y)] = \text{Base1} + 4 * (y * N + x) + 1$, $\text{Adr}[Cb(x,y)] = \text{Base1} + 4 * (y * N + x) + 0$								
BASE1+	31	24	23	16	15	8	7	0
0	A(0,0)		Y(0,0)		Cr(0,0)		Cb(0,0)	
4	A(1,0)		Y(1,0)		Cr(1,0)		Cb(1,0)	
8	A(2,0)		Y(2,0)		Cr(2,0)		Cb(2,0)	
...	
4*N*M-8	A(N-2,M-1)		Y(N-2,M-1)		Cr(N-2,M-1)		Cb(N-2,M-1)	
4*N*M-4	A(N-1,M-1)		Y(N-1,M-1)		Cr(N-1,M-1)		Cb(N-1,M-1)	

21.4.2.6.2 (A)YCrCb, 16+16, single plane

$\text{Adr}[A(x,y)] = \text{Base1} + 8 * (y * N + x) + 6$, $\text{Adr}[Y(x,y)] = \text{Base1} + 8 * (y * N + x) + 4$, $\text{Adr}[Cr(x,y)] = \text{Base1} + 8 * (y * N + x) + 2$, $\text{Adr}[Cb(x,y)] = \text{Base1} + 8 * (y * N + x) + 0$								
BASE1+	31			16	15			0
0	Cr(0,0)				Cb(0,0)			
4	A(0,0)				Y(0,0)			
8	Cr(1,0)				Cb(1,0)			
...			
8*N*M-8	Cr(N-1,M-1)				Cb(N-1,M-1)			
8*N*M-4	A(N-1,M-1)				Y(N-1,M-1)			

21.4.2.7 Форматы YCrCb 4:2:2

21.4.2.7.1 YCrYCb, 8+8+8+8, single plane

$\text{Adr}[A(x,y)] = n/a$, $\text{Adr}[Y(x,y)] = \text{Base1} + 2 * (y * N + x) + 1$, $\text{Adr}[Cr(x,y)] = \text{Base1} + 2 * (y * N + x) + 2$, $\text{Adr}[Cb(x,y)] = \text{Base1} + 2 * (y * N + x) + 0$								
BASE1+	31	24	23	16	15	8	7	0
0	Y(1,0)		Cr(0,0)		Y(0,0)		Cb(0,0)	
4	Y(3,0)		Cr(2,0)		Y(2,0)		Cb(2,0)	
8	Y(5,0)		Cr(4,0)		Y(4,0)		Cb(4,0)	
...	
2*N*M-8	Y(N-3,M-1)		Cr(N-4,M-1)		Y(N-4,M-1)		Cb(N-4,M-1)	
2*N*M-4	Y(N-1,M-1)		Cr(N-2,M-1)		Y(N-2,M-1)		Cb(N-2,M-1)	

21.4.2.7.2 YCrYCb, 8+8+8+8, dual plane pack_type=0

$\text{Adr}[A(x,y)] = n/a$, $\text{Adr}[Y(x,y)] = \text{Base2} + y * N + x$, $\text{Adr}[Cr(x,y)] = \text{Base1} + y * N + x + 1$, $\text{Adr}[Cb(x,y)] = \text{Base1} + y * N + x + 0$								
BASE1+	31	24	23	16	15	8	7	0
0	Cr(2,0)		Cb(2,0)		Cr(0,0)		Cb(0,0)	
...	
N*M-4	Cr(N-2,M-1)		Cb(N-2,M-1)		Cr(N-4,M-1)		Cb(N-4,M-1)	
BASE2+								
0	Y(3,0)		Y(2,0)		Y(1,0)		Y(0,0)	
...	
N*M-4	Y(N-1,M-1)		Y(N-2,M-1)		Y(N-3,M-1)		Y(N-4,M-1)	

21.4.2.7.3 YCrYCb, 8+8+8+8, dual plane pack_type=1

$$\text{Adr}[A(x,y)] = n/a, \text{Adr}[Y(x,y)] = \text{Base2} + y * N + x,$$

$$\text{Adr}[Cr(x,y)] = \text{Base1} + y * N + (\text{int}(x/8)) * 8 + (x/2) \% 4 + 4,$$

$$\text{Adr}[Cb(x,y)] = \text{Base1} + y * N + (\text{int}(x/8)) * 8 + (x/2) \% 4 + 0$$

BASE1+	31	24	23	16	15	8	7	0
0	Cb(6,0)		Cb(4,0)		Cb(2,0)		Cb(0,0)	
	Cr(6,0)		Cr(4,0)		Cr(2,0)		Cr(0,0)	
...	
N*M-4	Cb(N-2,M-1)		Cb(N-4,M-1)		Cb(N-6,M-1)		Cb(N-8,M-1)	
	Cr(N-2,M-1)		Cr(N-4,M-1)		Cr(N-6,M-1)		Cr(N-8,M-1)	
BASE2+								
0	Y(3,0)		Y(2,0)		Y(1,0)		Y(0,0)	
...	
N*M-4	Y(N-1,M-1)		Y((N-2),M-1)		Y(N-3,M-1)		Y(N-4,M-1)	

21.4.2.7.4 YCrYCb, 16+16, single plane

$$\text{Adr}[A(x,y)] = n/a, \text{Adr}[Y(x,y)] = \text{Base1} + 4 * (y * N + x) + 2,$$

$$\text{Adr}[Cr(x,y)] = \text{Base1} + 4 * (y * N + x) + 4, \text{Adr}[Cb(x,y)] = \text{Base1} + 4 * (y * N + x) + 0$$

BASE1+	31			16	15			0
0	Y(0,0)				Cb(0,0)			
4	Y(1,0)				Cr(0,0)			
8	Y(2,0)				Cb(2,0)			
...			
4*N*M-8	Y(N-2,M-1)				Cb(N-2,M-1)			
4*N*M-4	Y(N-1,M-1)				Cr(N-2,M-1)			

21.4.2.7.5 YCrYCb, 16+16, dual plane pack_type=0

$$\text{Adr}[A(x,y)] = n/a, \text{Adr}[Y(x,y)] = \text{Base2} + 2 * (y * N + x),$$

$$\text{Adr}[Cr(x,y)] = \text{Base1} + 2 * (y * N + x) + 2, \text{Adr}[Cb(x,y)] = \text{Base1} + 2 * (y * N + x) + 0$$

BASE1+	31			16	15			0
0	Cr(0,0)				Cb(0,0)			
4	Cr(2,0)				Cb(2,0)			
...			
2*N*M-4	Cr(N-2,M-1)				Cb(N-2,M-1)			
BASE2+								
0	Y(1,0)				Y(0,0)			
4	Y(3,0)				Y(2,0)			
...			
2*N*M-4	Y(N-1,M-1)				Y(N-2,M-1)			

21.4.2.7.6 YCrYCb, 16+16, dual plane pack_type=1

$$\text{Adr}[A(x,y)] = n/a, \text{Adr}[Y(x,y)] = \text{Base2} + 2*(y*N+x),$$

$$\text{Adr}[Cr(x,y)] = \text{Base1} + y*N + (\text{int}(x/4))*8 + (x/2)\%2 + 2,$$

$$\text{Adr}[Cb(x,y)] = \text{Base1} + y*N + (\text{int}(x/4))*8 + (x/2)\%2 + 0$$

BASE1+	31		16	15			0
0	Cb(2,0)			Cb(0,0)			
4	Cr(2,0)			Cr(0,0)			
...			
	Cb(N-2,M-1)			Cb(N-4,M-1)			
2*N*M-4	Cr(N-2,M-1)			Cr(N-4,M-1)			
BASE2+							
0	Y(1,0)			Y(0,0)			
4	Y(3,0)			Y(2,0)			
...			
2*N*M-4	Y(N-1,M-1)			Y(N-2,M-1)			

21.4.2.8 Форматы YCrCb 4:2:0

21.4.2.8.1 YYCr/Cb, 8+8+8+8, single plane

Изучается возможность реализации.

21.4.2.8.2 YYCr/Cb, 8+8+8+8, dual plane

$$\text{Adr}[A(x,y)] = n/a, \text{Adr}[Y(x,y)] = \text{Base2} + y*N + x,$$

$$\text{Adr}[Cr(x,y)] = \text{Base1} + y*N/2 + x + 1, \text{Adr}[Cb(x,y)] = \text{Base1} + y*N/2 + x + 0$$

BASE1+	31	24	23	16	15	8	7	0
0	Cr(2,1)		Cb(2,1)		Cr(0,1)		Cb(0,1)	
...	
0.5*N*M-4	Cr(N-2,M-1)		Cb(N-2,M-1)		Cr(N-4,M-1)		Cb(N-4,M-1)	
BASE2+								
0	Y(3,0)		Y(2,0)		Y(1,0)		Y(0,0)	
...	
N*M-4	Y(N-1,M-1)		Y(N-2,M-1)		Y(N-3,M-1)		Y(N-4,M-1)	

21.4.2.8.3 YYCr/Cb, 16+16, single plane

Изучается возможность реализации.

21.4.2.8.4 YYCr/Cb, 16+16, dual plane

Adr[A(x,y)] = n/a, Adr[Y(x,y)] = Base2+2*(y*N+x), Adr[Cr(x,y)] = Base1+2*(y*N/2+x)+2, Adr[Cb(x,y)] = Base1+2*(y*N/2+x)+0								
BASE1+	31			16	15			0
0	Cr(0,1)				Cb(0,1)			
4	Cr(2,1)				Cb(2,1)			
...			
N*M-4	Cr(N-2,M-1)				Cb(N-2,M-1)			
BASE2+								
0	Y(1,0)				Y(0,0)			
4	Y(3,0)				Y(2,0)			
...			
2*N*M-4	Y(N-1,M-1)				Y(N-2,M-1)			

21.4.2.9 Форматы Bayer/Mono

21.4.2.9.1 B/Gr-Gb/R, 8+8+8+8, single plane

Adr[B/Gr/Gb/R(x,y)] = Base1+y*N+x								
BASE1+	31	24	23	16	15	8	7	0
0	Gb/M(3,0)		B/M(2,0)		Gb/M(1,0)		B/M(0,0)	
...	
N-4	Gb/M(N-1,0)		B/M(N-2,0)		Gb/M(N-3,0)		B/M(N-4,0)	
N	R/M(3,1)		Gr/M(2,1)		R/M(1,1)		Gr/M(0,1)	
...	
2*N-4	R/M(N-1,1)		Gr/M(N-2,1)		R/M(N-3,1)		Gr/M(N-4,1)	
2*N	Gb/M(3,2)		B/M(2,2)		Gb/M(1,2)		B/M(0,2)	
...	
N*M-4	R/M(N-1,M-1)		Gr/M(N-2, M-1)		R/M(N-3, M-1)		Gr/M(N-4, M-1)	

21.4.2.9.2 B/Gr-Gb/R, 16+16, single plane

Adr[B/Gr/Gb/R(x,y)] = Base1+2*(y*N+x)								
BASE1+	31			16	15			0
0	Gb/M(1,0)				B/M(0,0)			
4	Gb/M(3,0)				B/M(2,0)			
...			
2*N-4	Gb/(MN-1,0)				B/M(N-2,0)			
2*N	R/M(1,1)				Gr/M(0,1)			
...			
4*N-4	R/M(N-1,1)				Gr/M(N-2,1)			
4*N	Gb/M(1,2)				B/M(0,2)			
...			
2*N*M-8	R/M(N-3,M-1)				Gr/M(N-4, M-1)			
2*N*M-4	R/M(N-1,M-1)				Gr/M(N-2, M-1)			

21.4.2.10 DMA каналы записи

Каждый поток может породить два виртуальных потока в результате различной обработки данных. Для сохранения данных от каждого виртуального потока предназначены отдельные DMA каналы (DMA0 и DMA1).

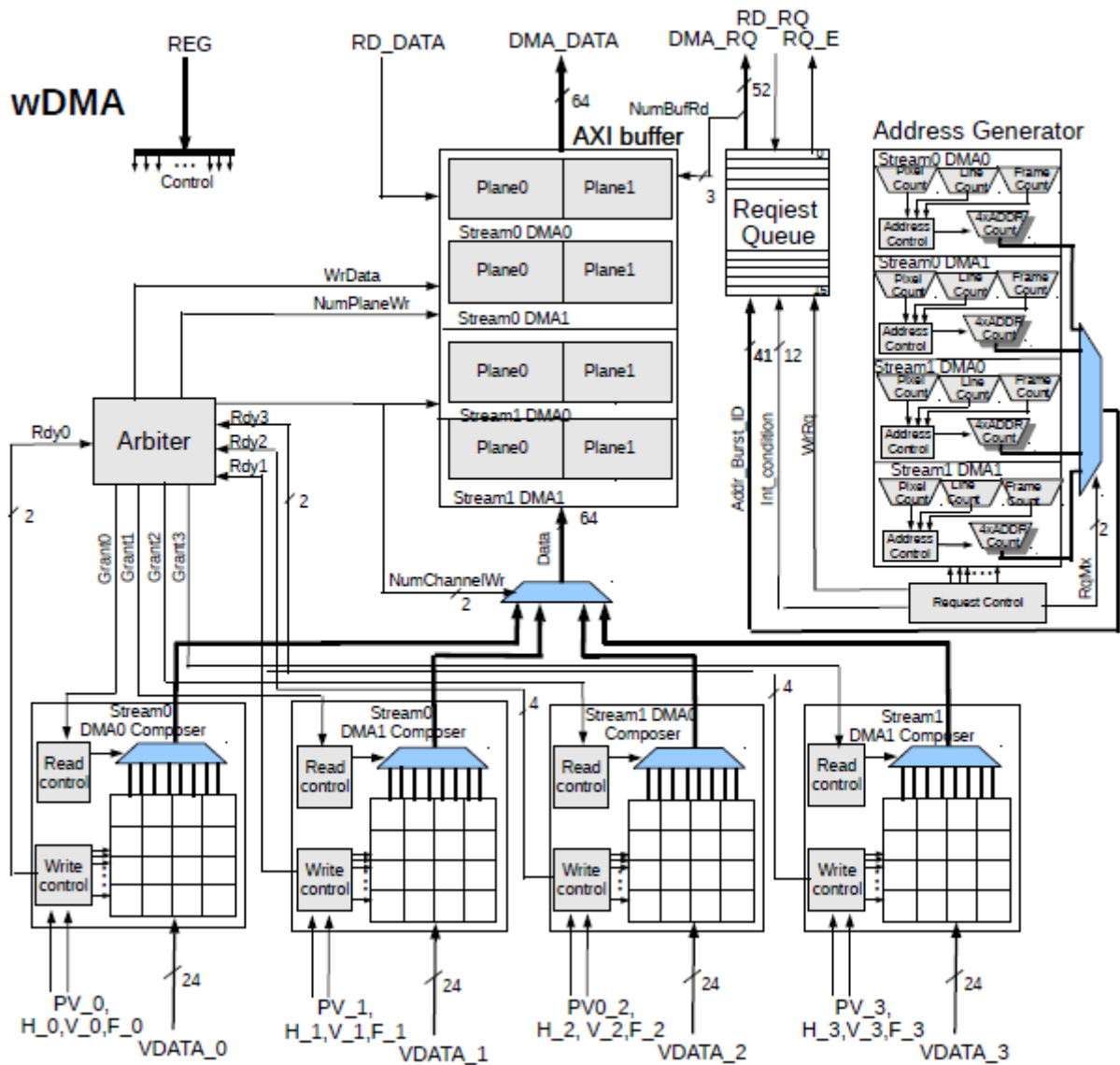


Рисунок 21.41. Структурная схема модуля wDMA

Модуль wDMA (см. Рис. 21.41) получает данные от двух потоков видеобработки (Stream0 и Stream1). Данные поступают на вход модуля в формате унифицированного пиксельного интерфейса потока обработки видео (UPF).

Каждый DMA канал имеет блок упаковки данных в 64-разрядные слова (Composer), который представляет собой 16 16-разрядных регистров (с возможностью отдельного доступа к младшей и старшей половине) и схемы управления записью (Write Control) и чтением (Read Control).

Регистры организованы в массив 4x4 с ортогональным доступом. При использовании Single plane форматов буферов кадров запись и чтение в/из массива регистров производится в одном направлении (горизонтальном), при использовании форматов Multi plane запись и чтение может производиться в ортогональных направлениях, причем направления меняются после каждого цикла записи/чтения (в первом цикле запись в

горизонтальном направлении, чтение в вертикальном, во втором — запись в вертикальном направлении, чтение в горизонтальном). В режиме Dual plane ортогональный доступ не реализован.

При готовности 64-разрядного слова для записи в буфер кадров Composer устанавливает в активное состояние один из разрядов сигнала Rdy[1:0], одновременно могут быть установлены от 1 до 2 разрядов. Установка Rdy является запросом к арбитру записи в буфер AXI шины (Arbiter). Arbiter анализирует состояние сигналов Rdy от четырех блоков Composer и устанавливает в активное состояние сигналы гранта на запись в буфер AXI шины (Grant0-Grant1). В одном такте может производиться одна запись в буфер. Арбитраж производится по алгоритму round-robin. Одновременно с выдачей гранта одному из Composer Arbiter устанавливает в активное состояние сигнал записи в память WrData, устанавливает номер грантуемого Composer на шине NumChannelWr[1:0] (код 0-3) и при использовании форматов Multi plane номер Plane на шине NumPlane (код 0-1). При использовании форматов Single Plane NumPlane всегда передает код 0. NumChannelWr управляет мультиплексором данных, который коммутирует на входную 64-разрядную шину буфера AXI шины Data[63:0] выход одного из блоков Composer, а также наряду с NumPlane используется буфером AXI для адресации FIFO очереди, в которую будет производиться запись.

Буфер AXI шины (AXI buffer) представляет собой двухпортовую память размером 256 64-разрядных слов. Буфер динамически распределяется между FIFO очередями DMA каналов. Количество очередей определяется количеством используемых DMA каналов и форматом буфера кадров. Максимальное количество очередей — 8. Размер каждой очереди должен быть достаточным для размещения данных для двух транзакций с максимально возможной длиной burst ($2 \times \text{AXI_MAX_BURST_LENGTH}$, см. разделе 21.5.1.2.2). Одновременно доступна одна очередь для записи и одна очередь для чтения.

Блок управления запросами шины AXI Request Control опрашивает сигнал записи в буфер AXI шины и признаки начала и конца строки, формируемые блоками Composer. При появлении в одной из FIFO очередей количества слов, соответствующего максимальной длине burst ($\text{AXI_MAX_BURST_LENGTH}$) или если завершилась запись в буфер AXI шины данных, соответствующий одной строке (количество слов при этом может быть меньше $\text{AXI_MAX_BURST_LENGTH}$), Request Control записывает в очередь запросов Request Queue запрос на запись по AXI шине. При наличии данных в очередях нескольких потоков запросы формируются по алгоритму round-robin. При формировании запроса Request Control устанавливает в активное состояние сигнал записи в Request Queue WrRq и устанавливает номер потока на шине RqMx[1:0], которая управляет мультиплексором адреса буфера кадров. Адреса поступают с блока Address Generator. В одну строку Request Queue записывается 32-разрядный адрес внешней памяти, 6-разрядная длина burst и 3-разрядный номер транзакции, который состоит из номера потока и номера плоскости. Одновременно с записью в Request Queue Request Control формирует сигналы, поступающие на Address Generator, которые управляют инкрементом счетчиков.

Блок Address Generator имеет четыре секции, соответствующие каналам DMA. Каждая секция содержит счетчик пикселей (CURRENT_PIXEL), счетчик строк (CURRENT_LINE), счетчик кадров и счетчики текущего адреса буферов цветowych компонентов (CURRENT_ADDRESS). Address Control управляет вычислением текущего адреса. При записи очередного запроса в Request Queue счетчик текущего адреса буфера, в который будет производиться запись, инкрементируется на величину burst-транзакции (в байтах) При использовании формата Single plane счетчик пикселей инкрементируется одновременно со счетчиком адреса, при использовании формата Multi plane счетчик пикселей инкрементируется одновременно со счетчиком адреса последнего буфера цветowych компонентов. Величина, на которую инкрементируется счетчик пикселей, определяется длиной burst и разрядностью цветowych компонентов. Счетчик строк инкрементируется при получении от Composer признака начала строки, счетчик кадров — при получении от Composer признака начала кадра. При выполнении условий, служащих причиной прерывания от DMA канала при нормальной работе (при записи n-й строки, кадра и тд), Address Generator записывает в Request Queue флаги прерываний (Int_condition) для последующего анализа этих флагов блоком AXI Master. Сигнал прерывания устанавливается при завершении AXI Master burst транзакции записи данных. Если причиной прерывания является ошибка (запись в полную FIFO очередь), сигнал прерывания устанавливается немедленно при возникновении ошибки.

Состояние очереди запросов Request Queue отслеживается модулем AXI Master. При появлении в очереди запросов сигнал RQ_E устанавливается в неактивное состояние. AXI Master считывает запрос из очереди, устанавливая в активное состояние сигнал RD_RQ. Запрос выдается на 52-разрядную шину DMA_RQ. Разряды шины, соответствующие полю номера транзакции, передаются на AXI buffer по шине NumBufRd[2:0] для идентификации FIFO-очереди, из которой будет производиться чтение данных. После выдачи запроса в канал адреса записи AXI Master производит чтение указанного в запросе количества слов данных из FIFO очереди, устанавливая в активное состояние сигнал RD_DATA. Данные поступают в AXI Master по 64-разрядной шине DMA_DATA.

21.4.2.10.1 AXI Master интерфейс

Основные особенности AXI Master интерфейса:

- программируемая максимальная длина burst (4,8,16,32,64 слова);
- поддержка требования спецификации AXI шины о непересечении транзакцией 4-Кбайтовой границы (может быть программно отключена);
- INCR тип всех burst-транзакций (AWBURST=01);
- не поддерживаются адреса, не выравненные по границе 64-разрядного слова;
- lock-транзакции и эксклюзивный доступ не поддерживаются;
- поддержка Low Power интерфейса.

AXI Master интерфейс опрашивает очередь запросов модуля wDMA. Если очередь запросов не пуста (сигнал DMA_WRE установлен в состояние логической единицы),

устанавливается в активное состояние (логической единицы) сигнал RD_WRRQ, и очередной запрос поступает на шину DMQ_WRQ (см. Рис. 21.42). Слово запроса содержит адрес записи, длину burst и номер транзакции. AXI Master инициирует цикл записи на шине AXI, передавая параметры запроса в канал адреса записи шины AXI. Данные считываются из буфера AXI шины при установленном в активное состояние (логической единицы) сигнале RD_WDATA и передаются по шине DMA_WDATA в канал записи данных шины AXI.

Максимально разрешенная длина burst программируется в поле AXI_MAX_BURST_LENGTH регистра AXI_MASTER_CFG и может составлять 4, 8, 16, 32 или 64 64-разрядных слова. AXI Master всегда выбирает максимальную длину burst, если адрес транзакции не пересекает 4-Кбайтовую границу или если количество слов данных до конца строки меньше максимальной длины burst.

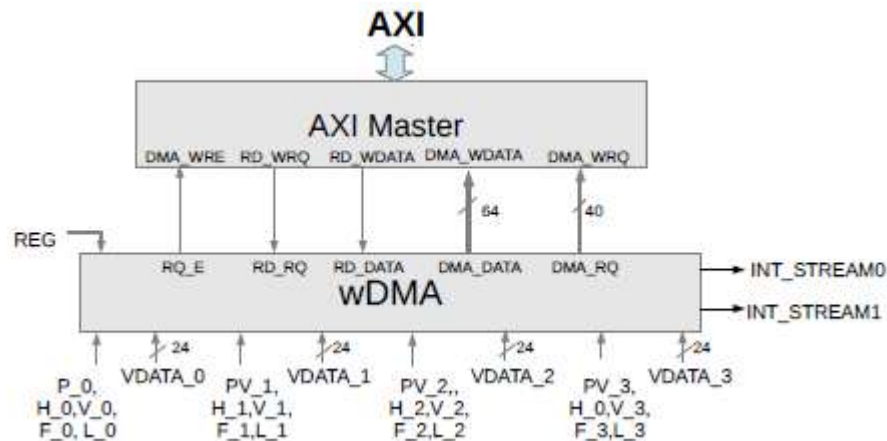


Рисунок 21.42. Структурная схема DMA контроллера

AXI Master поддерживает одновременную выдачу от 1 до 4 транзакций записи, Максимальное количество одновременно выданных транзакций записи устанавливается в поле AXI_MAX_WR_ID регистра AXI_MASTER_CFG. Каждой транзакции присваивается идентификатор, соответствующий номеру DMA канала (см. Рисунок 21.43).

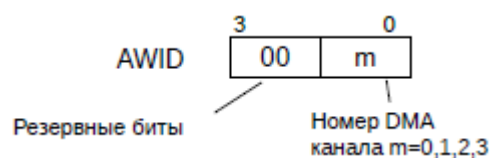


Рисунок 21.43. Структура идентификатора транзакции

Все транзакции от одного DMA канала имеют одинаковый ID, следовательно, обслуживаются на шине AXI в порядке поступления. Транзакции, инициируемые разными DMA каналами, обслуживаются в произвольном порядке.

AXI Master интерфейс всегда выдает DMA каналу записи ответ OKAY, не дожидаясь ответа от AXI Slave (posted write). Это позволяет конвейеризировать запросы без

дополнительных задержек. Когда AXI Master интерфейс получает ответ с BRESP отличный от OKAY, блокируется DMA канал, инициировавший транзакцию, которая завершилась с ошибкой. Устанавливается глобальный сигнал прерывания INT_SYSTEM, а в регистре состояния порта AXI Master AXI_MASTER_STATUS устанавливается бит, идентифицирующий тип ошибки: DEC_ERROR, SLAVE_ERROR или EX_OKAY (фатальная ошибка). Для возобновления работы блока хост-процессор должен осуществить сброс.

21.4.2.10.2 Low Power интерфейс

При получении от системного контроллера запроса режима Low Power (CSYSREQ) AXI Master в соответствии с протоколом AXI (см. 3) прекращает выдачу транзакций и дожидается получения ответов на все ранее выданные транзакции (ответы должны быть получены в канале адреса записи и в канале ответов на запись данных). После завершения транзакций AXI Master осуществляет очистку DMA каналов установкой в активное состояние сигнала CLR_FIFO и устанавливает в неактивное состояние сигнал CACTIVE, сопровождая его установкой сигнала подтверждения режима Low Power (CSYSACK). При очистке DMA каналов очередь запросов и буфер AXI шины устанавливаются в состояние «пуст» (данные теряются), счетчики пикселей, строк и кадров сбрасываются в ноль, счетчики текущего адреса устанавливаются на значение базового адреса буферов кадров. В следующем такте после очистки сбрасывается в неактивное состояние сигнал ENABLE, поступающий на контроллер DMA. Установка сигнала ENABLE в неактивное состояние функционально эквивалентна сбросу в состояние логического нуля бита DMA_CHANNELS_ENABLE регистра STREAM_CTR.

Получив подтверждение на вход в режим Low Power, системный контроллер останавливает подачу на блок VINC синхросигналов PCLK, ACLK_V и VINC_CLK и устанавливает в активное состояние сигнал LS, осуществляющий перевод всех модулей памяти VINC в состояние Light Sleep (см. Рис. 21.44). Памяти переводятся в состояние Light Sleep независимо от состояния сигналов разрешения работы портов и блоков обработки.

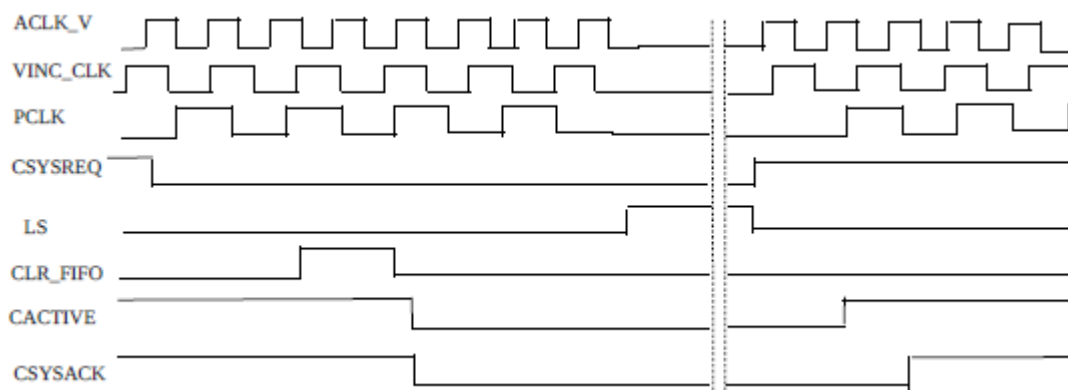


Рисунок 21.44. Временная диаграмма режима Low Power

При выходе из режима Low Power системный контроллер устанавливает в состояние логической единицы сигнал CSYSREQ, устанавливает в неактивное состояние сигнал LS и начинает подачу синхросигналов. AXI Master, обнаружив неактивный CSYSREQ, устанавливает CACTIVE, CYCACK и приступает к активной работе.

21.5 Программная модель

21.5.1 Программно-доступные регистры

В перечне регистров используются следующие обозначения:

RW — read/write бит

RO — read-only бит

RR — read-reset бит (сбрасывается при чтении)

WO — write-only бит

W1S — write-1-set (при записи единицы бит устанавливается, запись 0 не оказывает влияния на состояние бита, при чтении возвращается текущее состояние бита)

W1SC — write-1-self-clear (записывается единица, сбрасывается аппаратурой)

U — значение после сброса не определено

Если особо не оговорено, из резервных полей регистров считываются нули. Запись в резервные поля регистров игнорируется. Запись регистров по резервным адресам игнорируется. При чтении регистров по резервным адресам возвращаются нули. При чтении WO полей возвращаются нули.

Доступ к регистрам осуществляется по адресам, выравненным на границу 32-разрядного слова. Два младших разряда адреса игнорируются.

21.5.1.1 Перечень регистров

Таблица 21.27. Перечень регистров модуля видеоввода

Offset	Наименование	Доступ	Значение после сброса	Описание
Системные регистры				
0x000	ID	RO	0x76494E01	Регистр идентификатора
0x004	AXI_MASTER_CFG	RW	0x00080112	Регистр конфигурации порта AXI MASTER
0x008	AXI_MASTER_STATUS	RR	0x00000000	Регистр состояния порта AXI MASTER
0x00C-0x01C	Резерв			

Offset	Наименование	Доступ	Значение после сброса	Описание
0x020	INTERRUPT	W1S	0x00000000	Глобальный регистр прерываний
0x024	INTERRUPT_RESET	WO	0x00000000	Глобальный регистр сброса прерываний
0x028	INTERRUPT_MASK	RW	0x00000000	Глобальный регистр маскирования прерываний
0x02C-0x0FC	Резерв		0x00000000	
Регистры входных портов				
0x100-0x2FC	PPORT			Регистры параллельных портов
0x100-0x17C	PPORT0			Регистры параллельного порта 0
0x100	PPORT0_CFG	RW	0x00000000	Регистр конфигурации параллельного порта 0
0x104-17C	Резерв			
0x180-0x1FC	PPORT1			Регистры параллельного порта 1
0x200-0x27C	PPORT2			Регистры параллельного порта 2
0x280-0x2FC	Резерв			
0x300-0x3FC	PINTERFACE0			Регистры интерфейса 0 параллельных портов
0x300	PINTERFACE0_CFG	RW	0x00000000	Регистр конфигурации интерфейса 0 параллельных портов
0x304 - 0x31C	Резерв			
0x320-0x328	PINTERFACE0_CCMOV0-2	RW	0x00000000	Регистры массива номеров входных компонентов интерфейса параллельных портов 0
0x32C-0x37C				
0x380	PINTERFACE0_HVFSYNC	RW	0x01003000	Регистр синхронизации интерфейса параллельных портов 0
0x384-0x3FC	Резерв			
0x400-0x4FC	PINTERFACE1	RW		Регистр интерфейса 1 параллельных портов
0x500-0x6FC	Резерв			
0x700	PPORT_INP_MUX_CFG	RW	0x00000000	Регистр конфигурации мультиплексора входов параллельных портов
0x704	PPORT_STATUS	RR	0x00000000	Регистр состояния параллельных портов
0x708-0x71C	Резерв			
0x720	PPORT_TEST_SRC	RW	0x64258320	Регистр режимов источника тестового видео для параллельных портов

Offset	Наименование	Доступ	Значение после сброса	Описание
0x724-0x77C	Резерв			
0x780-0x7FC	CMOS	RW		Регистры CMOS-сенсоров
0x780-0x79C	CMOS0	RW		Регистры CMOS-сенсора 0
0x780	CMOS0_CTRL	RW	0x00000000	Регистр управления CMOS-сенсором 0
0x784	CMOS0_TIMER_HIGH	RW	0x00000000	Регистр таймера сигнала кадровой синхронизации (высокий уровень)
0x788	CMOS0_TIMER_LOW	RW	0x00000000	Регистр таймера сигнала кадровой синхронизации (низкий уровень)
0x78C-79C	Резерв			
0x7A0-0x7FC	CMOS1			Регистры CMOS-сенсора 1
0x800-0xFFC	Регистры последовательных портов			
0x800-0x9FC	CSI2_PORT0			Регистры последовательного порта 0
0x800-0x88C	CSI2_PORT0_NATIVE			Регистры контроллера CSI2 порта 0
0x890-0x97C	Резерв			
0x980	CSI2_PORT0_SYS_CTRL	RW	0x00000200	Регистр управления CSI2 порта 0
0x984	CSI2_PORT0_SYS_STATUS	RO	0x00000000	Регистр состояния CSI2 порта 0
0x988	Резерв			
0x98C	CSI2_PORT0_SYS_LB_CTRL	RW		
0x990-0x9BC	Резерв			
0x9C0	CSI2_PORT0_GENFIFO_CTRL	RW	0x00000004	Регистр управления generic FIFO CSI2 порта 0
0x9C4	CSI2_PORT0_GENFIFO_DATA	RO	U	Регистр данных generic FIFO CSI2 порта 0
0x9C8	CSI2_PORT0_GENFIFO_STATUS	RR	0x00000000	Регистр состояния generic FIFO CSI2 порта 0
0x9CC-0x9FC	Резерв			
0xA00-0xBFC	CSI2_PORT1	RW		Регистры последовательного порта 1
0xC00-0xFFC	Резерв			
Регистры управления потоками видеообработки (потоки 0-1)				
0x1000-0x13FC	STREAM0			Регистры управления потоком 0
0x1000	STREAM0_INP_CFG	RW	0x00000000	Регистр конфигурации входных данных потока 0
0x1004	STREAM0_INP_HCROP_CTRL	RW	0x00000000	Регистр управления «обрезкой» кадра по горизонтали входных данных потока 0

Offset	Наименование	Доступ	Значение после сброса	Описание
0x1008	STREAM0_INP_VCROP_CTRL	RW	0x00000000	Регистр управления «обрезкой» кадра по вертикали для четного полукадра входных данных потока 0 (для чересстрочной развертки регистр управления «обрезкой» четного полукадра)
0x100C	STREAM0_INP_VCROP_ODD_CTRL	RW	0x00000000	Регистр управления «обрезкой» нечетного полукадра по вертикали входных данных потока 0 (только для чересстрочной развертки)
0x1010	STREAM0_INP_DECIM_CTRL	RW	0x00000000	Регистр управления масштабированием (децимацией) входных данных потока 0
0x1014	STREAM0_INP_MIN_SPACE_CTRL	RW	0x00000101	Регистр управления расстоянием между строками и кадрами
0x1018-0x101C	Резерв			
0x1020	STREAM0_STATUS	RR	0x00000000	Регистр состояния потока 0
0x1024-0x103C	Резерв			
0x1040	STREAM0_INTERRUPT	WIS	0x00000000	Регистр прерываний потока 0
0x1044	STREAM0_INTERRUPT_RESET	WO	-	Регистр сброса прерываний потока 0
0x1048	STREAM0_INTERRUPT_MASK	RW	0x00000000	Регистр маскирования прерываний потока 0
0x104C	Резерв			
0x1050-0x11FC	STREAM0_PROC			Регистры канала обработки потока 0
0x1050	STREAM0_PROC_CFG	RW	0x00000000	Регистр конфигурации канала обработки потока 0
0x1054	Резерв			
0x1058	STREAM0_PROC_CTRL	RW	0x00400000	Регистр управления каналом обработки потока 0
0x105C	Резерв			
0x1060	STREAM0_PROC_CLEAR	WO	-	Регистр очистки канала обработки потока 0
0x1064	Резерв			
0x1068-0x10AC	STREAM0_PROC_BP			Регистры блока коррекции битых пикселей
0x1068	STREAM0_PROC_BP_MAP_CTRL	RW	0x00000000	Регистр управления картой битых пикселей
0x106C	STREAM0_PROC_BP_MAP_DATA	RW	U	Регистр данных карты битых пикселей
0x1070-0x108C	STREAM0_PROC_BP_BAD_LINE0-7	RW	0x00000000	Регистры координат битых строк
0x1090-0x10AC	STREAM0_PROC_BP_BAD_COLUMN0-7	RW	0x00000000	Регистры координат битых пикселей
0x10B0-0x10BC	STREAM0_PROC_DR			Регистры блока коррекции динамического диапазона

Offset	Наименование	Доступ	Значение после сброса	Описание
0x10B0	STREAM0_PROC_DR_CTR	RW	0x00000000	Регистр управления коррекцией динамического диапазона
0x10B4	STREAM0_PROC_DR_DATA	RW	U	Регистр данных памяти коэффициентов коррекции динамического диапазона
0x10B8	STREAM0_PROC_DR_COUNT	RO	0x00000000	Регистр счетчиков коррекции динамического диапазона
0x10BC	Резерв			
0x10C0-0x10DC	STREAM0_PROC_CC			Регистры блока коррекции цветности
0x10C0-0x10D0	STREAM0_PROC_CC_COEFF0-4	RW	0x00000000	Регистры коэффициентов коррекции цветности
0x10D4-0x10D8	STREAM0_PROC_CC_OFFSET0-1	RW	0x00000000	Регистры значения смещений и коэффициента масштабирования коррекции цветности
0x10DC	Резерв			
0x10E0-0x10EC	STREAM0_PROC_GC			Регистры блока гамма-коррекции
0x10E0	STREAM0_PROC_GC_CTR	RW	0x00000000	Регистр управления гамма-коррекцией
0x10E4	STREAM0_PROC_GC_DATA	RW	U	Регистр данных памяти коэффициентов гамма-коррекции
0x10E8-0x10EC	Резерв			
0x10F0-0x110C	STREAM0_PROC_CT			Регистры блока преобразования цветности
0x10F0-0x1100	STREAM0_PROC_CT_COEFF0-4	RW	0x00000000	Регистры коэффициентов преобразования цветности
0x1104-0x1108	STREAM0_PROC_CT_OFFSET0-1	RW	0x00000000	Регистр значения смещений и коэффициента масштабирования преобразования цветности
0x110C	Резерв			
0x1110-0x11FC	STREAM0_PROC_STAT			Регистры блока статистики
0x1110	STREAM0_PROC_STAT_ZONE_LT0	RW	0x00000000	Регистр координат верхнего левого угла зоны сбора статистики 0
0x1114	STREAM0_PROC_STAT_ZONE_RB0	RW	0x00000000	Регистр координат нижнего правого угла зоны сбора статистики 0
0x1118	Резерв			
0x111C-0x113C	STREAM0_PROC_STAT_ZONE_LT/RB1-3			Регистры координат зон сбора статистики 1-3
0x1140	STREAM0_PROC_STAT_CTR	RW	0x00000000	Регистр управления чтением гистограмм
0x1144	STREAM0_PROC_STAT_DATA	RO	U	Регистр данных памяти гистограмм
0x1148	STREAM0_PROC_STAT_MIN	RO	0x00FFFFFF	Регистр минимального значения по цветам
0x114C	STREAM0_PROC_STAT_MAX	RO	0x00000000	Регистр максимального значения по цветам

Offset	Наименование	Доступ	Значение после сброса	Описание
0x1150	STREAM0_PROC_STAT_SUM_B	RO	U	Регистр значения суммы по синему цвету
0x1154	STREAM0_PROC_STAT_SUM_G	RO	U	Регистр значения суммы по зеленому цвету
0x1158	STREAM0_PROC_STAT_SUM_R	RO	U	Регистр значения суммы по красному цвету
0x115C	STREAM0_PROC_STAT_SUM2_B	RO	U	Регистр значения суммы квадратов по синему цвету (младшие разряды)
0x1160	STREAM0_PROC_STAT_SUM2_G	RO	U	Регистр значения суммы квадратов по зеленому цвету (младшие разряды)
0x1164	STREAM0_PROC_STAT_SUM2_R	RO	U	Регистр значения суммы квадратов по красному цвету (младшие разряды)
0x1168	STREAM0_PROC_STAT_SUM2_HI	RO	U	Регистр значения суммы квадратов по цветам (старшие разряды)
0x116C	STREAM0_PROC_STAT_TH	RW	0x00000000	Регистр порогового значения для автофокуса
0x1170	STREAM0_PROC_STAT_HSOBEL	RO	U	Регистр значения фильтра Собеля по горизонтальному направлению (автофокус)
0x1174	STREAM0_PROC_STAT_VSOBEL	RO	U	Регистр значения фильтра Собеля по вертикальному направлению (автофокус)
0x1178	STREAM0_PROC_STAT_LSOBEL	RO	U	Регистр значения фильтра Собеля по диагонали LTRB (автофокус)
0x117C	STREAM0_PROC_STAT_RSOBEL	RO	U	Регистр значения фильтра Собеля по диагонали RTLБ (автофокус)
0x1180-11FC	Резерв			
0x1200 - 0x12FC	STREAM0_DMA0			Регистры DMA канала 0 потока 0
0x1200	STREAM0_DMA0_FBUF_CFG	RW	0x00000000	Регистр конфигурации буферов кадров DMA канала 0
0x1204	STREAM0_DMA0_PIXEL_FMT	RW	0x00000000	Регистр формата пикселя буферов кадров DMA канала 0
0x1208	STREAM0_DMA0_FBUF_HORIZ	RW	0x00000000	Регистр горизонтального смещения и длины буферов кадров DMA канала 0
0x120C	STREAM0_DMA0_FBUF_VERT	RW	0x00000000	Регистр вертикального смещения и длины буферов кадров DMA канала 0 (для чересстрочной развертки регистр управления «обрезкой» четного полукадра)

Offset	Наименование	Доступ	Значение после сброса	Описание
0x1210	STREAM0_DMA0_FBUF_VERT_ODD	RW	0x00000000	Регистр вертикального смещения и длины для нечетного поля буферов кадров DMA канала 0 (только для чересстрочной развертки)
0x1214	STREAM0_DMA0_FBUF_DECIM	RW	0x00010000	Регистр управления масштабированием (децимацией) буферов кадров DMA канала 0
0x1218-0x121C	Резерв			
0x1220-0x122C	STREAM0_DMA0_FBUF0	RW		Регистры базового адреса и шага адресов буфера кадров 0 DMA канала 0
0x1220	STREAM0_DMA0_FBUF0_BASE	RW	0x00000000	Регистр базового адреса буфера кадров 0 DMA канала 0 (во внешней памяти)
0x1224	STREAM0_DMA0_FBUF0_LSTEP	RW	0x00000000	Регистр шага адреса строк буфера кадров 0 DMA канала 0
0x1228	STREAM0_DMA0_FBUF0_FSTEP	RW	0x00000000	Регистр шага адреса кадров буфера кадров 0 DMA канала 0
0x121C	Резерв			
0x1230-0x123C	STREAM0_DMA0_FBUF1	RW		Регистры базового адреса и шага адресов буфера кадров 1 DMA канала 0
0x1240-0x125C	Резерв			
0x1260	STREAM0_DMA0_WR_CTR	RW	0x00000000	Регистр управления DMA канала записи данных 0
0x1264	STREAM0_DMA0_WR_STATUS	RR	0x00000000	Регистр статуса DMA канала записи данных 0
0x1268	STREAM0_DMA0_WR_COUNT0	RO	0x00000000	Регистр счетчиков пикселей и строк DMA канала 0
0x126C	STREAM0_DMA0_WR_COUNT1	RO	0x00000000	Регистр счетчика кадров DMA канала 0
0x1270	STREAM0_DMA0_CUR_ADDR0	RO	0x00000000	Регистр текущего адреса буфера 0 DMA канала 0
0x1274	STREAM0_DMA0_CUR_ADDR1	RO	0x00000000	Регистр текущего адреса буфера 1 DMA канала 0
0x1278-0x127C	Резерв			
0x1280	STREAM0_DMA0_TEST_DATA	RW	0x00000000	Регистр тестовых данных DMA канала записи данных 0
0x1284	STREAM0_DMA0_TEST_CTR	RW, WO	0x00000000	Регистр управления тестовыми данными DMA канала записи данных 0
0x1288-0x12FC	Резерв			
0x1300-0x13FC	STREAM0_DMA1			Регистры DMA канала 1 потока 0 (аналогично DMA каналу 0)

Offset	Наименование	Доступ	Значение после сброса	Описание
0x1400-0x17FC	STREAM1			Регистры управления потоком 1 (аналогично потоку 0)
0x1800-0x3EFC	Резерв			
0x3F00	STREAM_CTR	RW	0x00000000	Регистр управления потоками обработки
0x3F04-0x3FFC	Резерв			

21.5.1.2 Системные регистры

21.5.1.2.1 ID (0x000). Регистр идентификатора

Таблица 21.28. Структура регистра ID

Разряды	Поле	Доступ	Значение после сброса	Описание
31:8	ID	RO	0x76494E	Идентификатор
7:0	NUM_VERSION	RO	0x01	Номер версии

21.5.1.2.2 AXI_MASTER_CFG (0x004). Регистр конфигурации AXI Master

Таблица 21.29. Структура регистра AXI_MASTER_CFG

Разряды	Поле	Доступ	Значение после сброса	Описание						
2:0	AXI_MAX_BURST_LENGTH	RW	2	Максимальная длина burst (количество 64-разрядных слов): <table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td>0 — 4 слова</td> <td>3 — 32 слова</td> </tr> <tr> <td>1 — 8 слов</td> <td>4 — 64 слова</td> </tr> <tr> <td>2 — 16 слов</td> <td>5-7 - резерв</td> </tr> </table>	0 — 4 слова	3 — 32 слова	1 — 8 слов	4 — 64 слова	2 — 16 слов	5-7 - резерв
0 — 4 слова	3 — 32 слова									
1 — 8 слов	4 — 64 слова									
2 — 16 слов	5-7 - резерв									
3	Резерв									
7:4	AXI_MAX_WR_ID	RW	1	Максимальное количество одновременно выданных транзакций записи 1 — одна транзакция 2 — две транзакции 3 — три транзакции 4 — четыре транзакции 0, 5-7 - резерв						
11:8	AXI_BUF_LAYOUT	RW	0x0001	Количество секций AXI буфера, определяется используемыми каналами DMA: xxx1 — используется DMA-канал 0 xx1x — используется DMA-канал 1 x1xx — используется DMA-канал 2 1xxx — используется DMA-канал 3 Для неиспользуемого канала x=0						
18:12	Резерв									
19	AXI_4K_BOUND_ENABLE	RW	1	1 — burst не может пересекать 4Кбайтную границу,						
30:20	Резерв									
31	GLOBAL_ENABLE	RW	0	1 — работа блока VINC разрешена						

21.5.1.2.3 AXI_MASTER_STATUS (0x008). Регистр состояния AXI Master

Таблица 21.30. Структура регистра AXI_MASTER_STATUS

Разряды	Поле	Доступ	Значение после сброса	Описание
0	DEC_ERROR	RR	0	1 — адресуемый slave отсутствует в системе
1	SLAVE_ERROR	RR	0	1 — адрес отсутствует в адресном пространстве slave, неподдерживаемый размер транзакции, попытка записи в read-only регистр и т.д.
2	EX_OKAY	RR	0	1 — получен ответ EX_OKAY (эксклюзивный доступ не поддерживается)
31:3	Резерв			

21.5.1.2.4 INTERRUPT (0x020). Глобальный регистр прерываний

Таблица 21.31. Структура регистра INTERRUPT

Разряды	Поле	Доступ	Значение после сброса	Описание
0	AXI_ERROR	W1S	0	Ошибка на шине AXI
11:1	Резерв			
12	PPORT_ERROR	W1S	0	Ошибка в параллельном порту
15:13	Резерв			
16	CSI0_INT	W1S	0	Прерывание от контроллера последовательного порта 0
17	CSI0_GENERIC_INT	W1S	0	Прерывание от generic FIFO последовательного порта 0
18	CSI1_INT	W1S	0	Прерывание от контроллера последовательного порта 1
19	CSI1_GENERIC_INT	W1S	0	Прерывание от generic FIFO последовательного порта 1
31:20	Резерв			

21.5.1.2.5 INTERRUPT_RESET (0x024). Глобальный регистр сброса прерываний

Таблица 21.32. Структура регистра INTERRUPT_RESET

Разряды	Поле	Доступ	Значение после сброса	Описание
0	AXI_ERROR_RESET	WO	0	Запись 1 - сброс флага ошибки на шине AXI
11:1	Резерв			
12	PPORT_ERROR_RESET	WO	0	Запись 1 - сброс флага ошибки в параллельном порту
15:13	Резерв			
16	CSI0_INT_RESET	WO	0	Запись 1 - сброс прерывания от контроллера последовательного порта 0
17	CSI0_GENERIC_INT_RESET	WO	0	Запись 1 - сброс прерывания от generic FIFO последовательного порта 0
18	CSI1_INT_RESET	WO	0	Запись 1 - сброс прерывания от контроллера последовательного порта 1
19	CSI1_GENERIC_INT_RESET	WO	0	Запись 1 - сброс прерывания от generic FIFO последовательного порта 1
31:20	Резерв			

21.5.1.2.6 INTERRUPT_MASK (0x028). Глобальный регистр маскирования прерываний

Таблица 21.33. Структура регистра INTERRUPT_MASK

Разряды	Поле	Доступ	Значение после сброса	Описание
0	AXI_ERROR_MASK	RW	0	1 — прерывание при ошибке на шине AXI замаскировано
11:1	Резерв			
12	PPORT_ERROR_MASK	RW	0	1 — прерывание при ошибке в параллельном порту замаскировано
15:13	Резерв			
16	CSI0_INT_MASK	RW	0	1 — прерывание от контроллера последовательного порта 0 замаскировано
17	CSI0_GENERIC_INT_MASK	RW	0	1 — прерывание от generic FIFO последовательного порта 0 замаскировано
18	CSI1_INT_MASK	RW	0	1 — прерывание от контроллера последовательного порта 1 замаскировано
19	CSI1_GENERIC_INT_MASK	RW	0	1 — прерывание от generic FIFO последовательного порта 1 замаскировано
31:20	Резерв			

21.5.1.3 Регистры параллельных входных портов

21.5.1.3.1 PPORT0_CFG (0x100). Регистр конфигурации параллельного порта 0

Таблица 21.34. Структура регистра PPORT0_CFG

Разряды	Поле	Доступ	Значение после сброса	Описание
1:0	PIXEL_MODE	RW	0	00 — нет приема 01 — прием пикселя (PV=1) по переднему фронту PCLK 10 — прием пикселя по заднему фронту PCLK 11 — прием пикселя по обоим фронтам PCLK (DDR)
2	PCLK_DIV	RW	0	1 — включает делитель частоты PCLK на 2 (по положительному фронту PCLK)
3	PCLK_NEG_DIV	RW	0	1 — включает делитель частоты PCLK на 2 (по отрицательному фронту PCLK)
4	PCLK_HALF_CLK	RW	0	1 — включает дополнительную задержку PCLK на 1/2 такта синхросигнала VINC_CLK
7:5	DIGITAL_DELAY	RW	00	Цифровая задержка внутреннего синхросигнала PCLK относительно внешнего входа PCLK (в тактах синхросигнала шины VINC_CLK)
11:8	Резерв			
13:12	VIN_SRC	RW	00	Выбор источника видеоданных: 00 - внешние входы СБИС 01,10,11 - встроенные тесты
31:14	Резерв			

21.5.1.3.2 Регистры параллельного порта 1 (0x180-0x1FC)

Аналогично регистрам параллельного порта 0.

21.5.1.3.3 Регистры параллельного порта 2 (0x200-0x27C)

Аналогично регистру конфигурации параллельного порта 0

21.5.1.3.4 PINTERFACE0_CFG (0x300). Регистр конфигурации интерфейса параллельного порта 0

Таблица 21.35. Структура регистра PINTERFACE0_CFG

Разряды	Поле	Доступ	Значение после сброса	Описание
2:0	CYCLE_NUM	RW	000	Количество тактов сборки (1-4)
3	Резерв			
5:4	PIXEL_NUM_EVEN	RW	00	Количество собираемых пикселей для четных строк (1-3)
7:6	Резерв			
9:8	PIXEL_NUM_ODD	RW	00	Количество собираемых пикселей для нечетных строк (1-3)
11:10	Резерв			
15:12	PV_ALGN_MODE	RW	0000	Режим выравнивания сигналов PV из параллельных портов ввода видео (см. раздел 21.4.1.1.4.3): 0000 - полностью автоматический выбор способа выравнивания, таймаута выравнивания PV с нескольких портов, или крайнего порта для приема всех данных по PV одного из портов (см. PP0_SINGL_PV_ALGN, PP0_PV_ALGN_TMO и PP0_BEG_PV_ALGN в регистре PPORT_STATUS) 0001 - автоматический выбор одного порта (можно считать выбор из PP0_BEG_PV_ALGN) 0010 - автоматический выбор таймаута выравнивания PV (не более периода PV) (можно считать выбор из PP0_PV_ALGN_TMO) 0011 - не используется (резерв) 01XX - отключить выравнивание и принимать по PV с одного порта с номером PV_ALGN_MODE[1:0] 1XXX - программная установка величины таймаута выравнивания PV от 0 до 7 в PV_ALGN_MODE[2:0]
17:16	PPORT_NUM_SYNC	RW	00	Номер входного параллельного порта — источника синхронизации
18	EMB_SYNC	RW	0	1 — разрешает декодирование сигналов синхронизации из потока видео (BT.656)
19	EMB_SYNC_CORR	RW	0	1 — разрешает коррекцию ошибок (BT.656)
22:20	PHASE_CORRECTION	RW	0	Код коррекции фазы горизонтальной синхронизации
23	Резерв			
31:24	FORW_H	RW	0	Количество тактов опережения сигналом H видеоданных 0 - режим опережения сигнала H полностью отключается. (см. раздел 21.4.1.1.2.2)

21.5.1.3.5 PINTERFACE0_CCMOV0-2 (0x320-0x328). Регистры массива номеров входных компонентов интерфейса параллельных портов 0

Таблица 21.36. Структура регистра PINTERFACE0_CCMOV0

Разряды	Поле	Доступ	Значение после сброса	Описание
3:0	CCMOV[0][0][0]	RW	0x0	Номер компонента 0 пикселя 0 четной строки (кодировку номера входного порта и такта см. табл. 21.16)
7:4	CCMOV[0][0][1]	RW	0x0	Номер компонента 1 пикселя 0 четной строки
11:8	CCMOV[0][0][2]	RW	0x0	Номер компонента 2 пикселя 0 четной строки
15:12	CCMOV[0][0][3]	RW	0x0	Номер компонента 3 пикселя 0 четной строки
19:16	CCMOV[0][1][0]	RW	0x0	Номер компонента 0 пикселя 1 четной строки
23:20	CCMOV[0][1][1]	RW	0x0	Номер компонента 1 пикселя 1 четной строки
27:24	CCMOV[0][1][2]	RW	0x0	Номер компонента 2 пикселя 1 четной строки
31:28	CCMOV[0][1][3]	RW	0x0	Номер компонента 3 пикселя 1 четной строки

Таблица 21.37. Структура регистра PINTERFACE0_CCMOV1

Разряды	Поле	Доступ	Значение после сброса	Описание
3:0	CCMOV[0][2][0]	RW	0x0	Номер компонента 0 пикселя 2 четной строки
7:4	CCMOV[0][2][1]	RW	0x0	Номер компонента 1 пикселя 2 четной строки
11:8	CCMOV[0][2][2]	RW	0x0	Номер компонента 2 пикселя 2 четной строки
15:12	CCMOV[0][2][3]	RW	0x0	Номер компонента 3 пикселя 2 четной строки
19:16	CCMOV[1][0][0]	RW	0x0	Номер компонента 0 пикселя 0 нечетной строки
23:20	CCMOV[1][0][1]	RW	0x0	Номер компонента 1 пикселя 0 нечетной строки
27:24	CCMOV[1][0][2]	RW	0x0	Номер компонента 2 пикселя 0 нечетной строки
31:28	CCMOV[1][0][3]	RW	0x0	Номер компонента 3 пикселя 0 нечетной строки

Таблица 21.38. Структура регистра PINTERFACE0_CCMOV2

Разряды	Поле	Доступ	Значение после сброса	Описание
3:0	CCMOV[1][1][0]	RW	0x0	Номер компонента 0 пикселя 1 нечетной строки
7:4	CCMOV[1][1][1]	RW	0x0	Номер компонента 1 пикселя 1 нечетной строки
11:8	CCMOV[1][1][2]	RW	0x0	Номер компонента 2 пикселя 1 нечетной строки
15:12	CCMOV[1][1][3]	RW	0x0	Номер компонента 3 пикселя 1 нечетной строки
19:16	CCMOV[1][2][0]	RW	0x0	Номер компонента 0 пикселя 2 нечетной строки
23:20	CCMOV[1][2][1]	RW	0x0	Номер компонента 1 пикселя 2 нечетной строки
27:24	CCMOV[1][2][2]	RW	0x0	Номер компонента 2 пикселя 2 нечетной строки
31:28	CCMOV[1][2][3]	RW	0x0	Номер компонента 3 пикселя 2 нечетной строки

21.5.1.3.6 PINTERFACE0_HVFSYNC(0x380). Регистр синхронизации интерфейса параллельных портов 0

Таблица 21.39. Структура регистра PINTERFACE0_HVFSYNC

Разряды	Поле	Доступ	Значение после сброса	Описание
0	INVERS_H	RW	0	1 — включает инверсию сигнала H в PINTERFACE0
1	INVERS_V	RW	0	1 — включает инверсию сигнала V в

Разряды	Поле	Доступ	Значение после сброса	Описание
				PINTERFACE0
2	INVERS_F	RW	0	1 — включает инверсию сигнала F в PINTERFACE0
5:3	BUILT_MODE	RW	0	Режим формирования сигналов H,V,, F (см. раздел 21.4.1.1.2.2)
6	DELAY_F_EN	RW	0	1 — формирование задержки DELAY_F разрешено 0 — изменения сигнала F передаются без задержек
7	Резерв		0	
12:8	DELAY_V	RW	0x11	количество строк длительности формируемого сигнала V низкого уровня (0 - одна строка и тд)
15:13	Резерв		0	
21:16	DELAY_F	RW	0x0	количество строк задержки сигнала F
22:23	Резерв		0	
28:24	PRE_DELAY_V	RW	0x01	количество бланкированных строк (H = 0) предварительной задержки перед формированием сигнала V низкого уровня (см. раздел 21.4.1.1.2.2)
31:29	DELAY_VF_ODD_OFS	RW	0x00	знаковая добавка для нечетных полукадров (F=1) от -4 до +3 строк к задержкам, заданным параметрами DELAY_V и DELAY_F; для прогрессивной развертки рекомендуется записать 0 в этот параметр

21.5.1.3.7 Регистры интерфейса параллельных портов 1 (0x400-0x4FC)

Аналогично регистрам интерфейса параллельных портов 0.

21.5.1.3.8 PPORT_INP_MUX_CFG (0x700). Регистр конфигурации мультиплексора входов параллельных портов

Таблица 21.40. Структура регистра PPORT_INP_MUX_CFG

Разряды	Поле	Доступ	Значение после сброса	Описание
2:0	PP_VIN_TYPE	RW	000	Тип конфигурации параллельных портов (см. раздел 21.2.1.1,21.2.1)
7:3	Резерв			
8	PP_VIN_CLK	RW	0	0 — входные данные принимаются по синхросигналу PCLK 1 — входные данные принимаются по синхросигналу CLK
31:9	Резерв			

21.5.1.3.9 PPORT_STATUS (0x704). Регистр состояния параллельных портов

Таблица 21.41. Структура регистра PPORT_STATUS

Разряды	Поле	Доступ	Значение после сброса	Описание
0	PP0_ORDER_ERROR	RR	0	1 — ошибка порядка SAV/EAV в порту 0 (если порт использует встроенную синхронизацию)

Разряды	Поле	Доступ	Значение после сброса	Описание
				BT.656)
1	PP0_PARITY_ERROR	RR	0	1 — двойная ошибка в BT.656 в порту 0
3:2	PP0_BEG_PV_ALGN	RO	U	номер крайнего порта - первого из заданных в регистрах CCMOV для интерфейса 0; используется для приема данных всех портов по одному PV в режимах PV_ALGN_MODE = 0001 или 0000
6:4	PP0_PV_ALGN_TMO	RO	U	контрольная величина автоматически выбранного таймаута выравнивания PV в порту 0, действующего когда PV_ALGN_MODE = 0010 или 0000
7	PP0_SNGL_PV_ALGN	RO	U	автоматически (по частоте PCLK) выбранный способ выравнивания принимаемых данных для режима PV_ALGN_MODE = 0000 : 0 - прием по PV всех портов, заданных в CCMOV, с автоматическим таймаутом PP0_PV_ALGN_TMO 1 - прием по PV одного порта с номером PP0_BEG_PV_ALGN
8	PP1_ORDER_ERROR	RR	0	1 — ошибка порядка SAV/EAV в порту 1 (если порт использует встроенную синхронизацию BT.656)
9	PP1_PARITY_ERROR	RR	0	1 — двойная ошибка в порту 1
11:10	PP1_BEG_PV_ALGN	RO	U	аналогично PP0_BEG_PV_ALGN, но для интерфейса 1 параллельных портов
14:12	PP1_PV_ALGN_TMO	RO	U	аналогично PP0_PV_ALGN_TMO, но для интерфейса 1 параллельных портов
15	PP1_SNGL_PV_ALGN	RO	U	аналогично PP0_SNGL_PV_ALGN, но для интерфейса 1 параллельных портов
31:16	Резерв			

21.5.1.3.10 PPORT_TEST_SRC (0x720) Регистр режимов источника тестового видео для параллельных портов.

Таблица 21.42. Структура регистра PPORT_TEST_SRC

Разряды	Поле	Доступ	Значение после сброса	Описание
11:0	PTSTSRC_XPIX	RW	0x320 (800)	Горизонтальный размер тестового кадра (минимальное значение 0x100)
23:12	PTSTSRC_YPIX	RW	0x258 (600)	Вертикальный размер тестового кадра (минимальное значение 0xC0)
28:24	PTSTSRC_CLKDIV	RW	0x04	PTSTSRC_CLKDIV+1 — коэффициент деления тактовой частоты VINC_CLK для получения тестовой пиксельной частоты
30:29	PTSTSRC_IMGTYPE	RW	0x3	тип тестового изображения: 0 — вертикальные полосы 1 — диагональные полосы 2 — горизонтальные полосы 3 — бегущий бит, затем B++, G++, R++
31	Резерв			

21.5.1.4 Регистры CMOS сенсоров (0x780-0x7FC)

21.5.1.4.1 CMOS0_CTR (0x780). Регистр управления CMOS сенсором 0

Таблица 21.43. Структура регистра CMOS0_CTR

Разряды	Поле	Доступ	Значение после сброса	Описание
0	CMOS_RESET	RW	0	Состояние бита CMOS_RESET передается на выход сброса CMOS сенсора RESETO_0
1	PCLKO_ENABLE	RW	0	Разрешение синхронизации для CMOS сенсора.
3:2	PCLKO_SRC	RW	00	Источник синхросигнала для CMOS сенсора: 00 — выход программируемого делителя частоты 01 — вход PCLK_IN0 10 — вход PCLK_IN1 11 — вход PCLK_IN2
7:4	CLK_DIV	RW	0	2*CLK_DIV — коэффициент деления синхросигнала блока VINC (VINC_CLK) для получения частоты CMOS сенсора PCLKO_0 0 — частота PCLKO_0 равна частоте VINC_CLK
8	FSYNC_ENAB_EDGE	RW	0	уровень сигнала FSYNCO_0, устанавливаемый по положительному фронту GLOBAL_ENABLE
31:9	Резерв			

21.5.1.4.2 CMOS0_TIMER_HIGH (0x784). Регистр таймера сигнала кадровой синхронизации (высокий уровень) CMOS сенсора 0

Таблица 21.44. Структура регистра CMOS0_TIMER_HIGH

Разряды	Поле	Доступ	Значение после сброса	Описание
31:0	TIMER_HIGH		0	Длительность импульса уровня логической единицы сигнала кадровой синхронизации FSYNCO_0 (в тактах PCLKO_0)

21.5.1.4.3 CMOS0_TIMER_LOW (0x788). Регистр таймера сигнала кадровой синхронизации (низкий уровень) CMOS сенсора 0

Таблица 21.45. Структура регистра CMOS0_TIMER_LOW

Разряды	Поле	Доступ	Значение после сброса	Описание
31:0	TIMER_LOW		0	Длительность импульса уровня логического нуля сигнала кадровой синхронизации FSYNCO_0 (в тактах PCLKO_0)

21.5.1.4.4 Регистры CMOS сенсора 1 (0x7A0-0x7FC)

Аналогично регистрам CMOS сенсора 0.

21.5.1.5 Регистры последовательного порта 0 CSI2_PORT0 (0x800-0x9FC)

21.5.1.5.1 Регистры контроллера CSI2 последовательного порта 0 CSI2_PORT0_NATIVE (0x800-0x88C)

Описание контроллера CSI2 см. в [1].

21.5.1.5.2 CSI2_PORT0_SYS_CTR (0x980). Регистр управления последовательного порта 0

Таблица 21.46. Структура регистра CSI2_PORT0_SYS_CTR

Разряды	Поле	Доступ	Значение после сброса	Описание
0	PORT_ENABLE	RW	0	1 — работа последовательного порта 0 разрешена
1	TWO_PORTS	RW	0	0 — используется один порт контроллера CSI2 (a) 1 — используются два порта контроллера CSI2 (a и b)
7:2	Резерв			
13:8	FREQ_RATIO	RW	0x2	Отношение частоты синхросигнала VINC_CLK и пиксельной частоте Допустимые значения: 2-64 При записи 0 или 1 автоматически устанавливается FREQ_RATIO=2
31:14	Резерв			

21.5.1.5.3 CSI2_PORT0_SYS_STATUS (0x984). Регистр состояния последовательного порта 0

Таблица 21.47. Структура регистра CSI2_PORT0_SYS_STATUS

Разряды	Поле	Доступ	Значение после сброса	Описание
3:0	DLN_RX_SYNC_HS	RR	0x0	События синхронизации на Data lane 0-3
4	CLN_RX_ACTIVE_HS	RO	0	Clock lane принял синхросигнал
5	CLN_RX_STOP_STATE	RO	0	Clock lane находится в Stop State
31:6	Резерв			

21.5.1.5.4 CSI2_PORT0_SYS_LB_CTRL (0x98C). Регистр управления режимом loopback DPHY порта 0

Таблица 21.48. Структура регистра CSI2_PORT0_SYS_LB_CTRL

Разряды	Поле	Доступ	Значение после сброса	Описание
0	DLN_LOOP_BACK	RW	0x0	1 — разрешает работу DPHY в режиме BIST loopback
1	BIST_EN_ESC_LP	RW	0	BIST_EN_ESC_LP=0, BIST_EN_ESC_HS = 1: BIST в режиме HS
2	BIST_EN_ESC_HS	RW	0	BIST_EN_ESC_LP=1, BIST_EN_ESC_HS = 0: BIST в режиме LP BIST_EN_ESC_LP=1, BIST_EN_ESC_HS = 1: BIST в режиме RxClkEsc BIST_EN_ESC_LP=0, BIST_EN_ESC_HS = 0: зарезервировано
3	BIST_FORCE_ERROR	RW	0	1 — при запуске BIST вносятся ошибки
7:4	Резерв			
15:8	BIST_SEED	RW	0x00	Случайная величина для инициализации BIST
16	BIST_DONE	RR	0	1 — BIST завершен
17	BIST_ERR_RX_HS	RO	0	1 — ошибка при запуске BIST в HS режиме
18	BIST_ERR_RX_HS_SYNC	RR	0	1 — ошибка синхронизации при запуске BIST в HS режиме
19	BIST_ERR_RX_ESC	RO	0	1 — ошибка при запуске BIST в LP или RxClkEsc режиме
20	BIST_ERR_RX_ESC_SYNC	RR	0	1 — ошибка синхронизации при запуске BIST в LP режиме
31:21	Резерв			

21.5.1.5.5 CSI2_PORT0_GENFIFO_CTR (0x9C0). Регистр управления GENERIC FIFO последовательного порта 0

Таблица 21.49. Структура регистра CSI2_PORT0_GENFIFO_CTR

Разряды	Поле	Доступ	Значение после сброса	Описание
1:0	INT_CONDITION	RW	00	Выбирает условие для прерывания от GENERIC FIFO: 00 — нет прерывания 01 — прерывание при FIFO полон 10 — прерывание при наличии в FIFO определенного количества слов 11 — резерв
7:2	THRESHOLD	RW	01	Количество слов в GENERIC FIFO, при котором устанавливается флаг GENERIC_FIFO_NOT_EMPTY
31:8	Резерв			

21.5.1.5.6 CSI2_PORT0_GENFIFO_DATA (0x9C4). Регистр данных GENERIC FIFO последовательного порта 0

Таблица 21.50. Структура регистра CSI2_PORT0_GENFIFO_DATA

Разряды	Поле	Доступ	Значение после сброса	Описание
15:0	FIFO_DATA	RO	U	Слово данных GENERIC FIFO
18:16	DATA_TYPE	RO	U	Тип данных GENERIC FIFO (см. раздел 21.4.1.2.1)
31:19	Резерв			

21.5.1.5.7 CSI2_PORT0_GENFIFO_STATUS (0x9C8). Регистр состояния GENERIC FIFO CSI2 порта 0

Таблица 21.51. Структура регистра CSI2_PORT0_GENFIFO_STATUS

Разряды	Поле	Доступ	Значение после сброса	Описание
0	FIFO_FULL	RR	0	GENERIC FIFO полон
1	FIFO_NOT_EMPTY	RR	0	GENERIC FIFO не пуст (количество слов = THRESHOLD)
2	FIFO_OVF_ERROR	RR	0	Ошибка переполнения GENERIC FIFO
3	FIFO_UNF_ERROR	RR	0	Ошибка чтения из пустого GENERIC FIFO
31:4	Резерв			

21.5.1.6 Регистры последовательного порта 1 CSI2_PORT1 (0xA00-0xBFС)

Аналогично регистрам последовательного порта 0.

21.5.1.7 Регистры управления потоками видеообработки

21.5.1.7.1 STREAM0_INP_CFG (0x1000). Регистр конфигурации входных данных потока 0

Таблица 21.52. Структура регистра STREAM0_INP_CFG

Разряды	Поле	Доступ	Значение после сброса	Описание
1:0	INPUT_INTERFACE	RW	00	Номер входного интерфейса 0 — PInterface0 1 — PInterface1 2 — SInterface0 3 — SInterface1
3:2	Резерв			
4	BAYER_PACK	RW	0	0 — пиксели в формате Bayer/Mono пакуются по одному в слове UPF 1 - пиксели в формате Bayer/Mono пакуются по четыре в слове UPF
5	INTERLACE	RW	0	0 — данные в режиме прогрессивной развертки 1 — данные в режиме чересстрочной развертки
31:6	Резерв			

21.5.1.7.2 STREAM0_INP_HCROP_CTR (0x1004). Регистр управления «обрезкой» кадра по горизонтали входных данных потока 0

Таблица 21.53. Структура регистра STREAM0_INP_HCROP_CTR

Разряды	Поле	Доступ	Значение после сброса	Описание
11:0	HOFFSET	RW	0	Смещение кадра по горизонтали (в пикселях) Для данных в форматах YcbCr 4:2:2 и 4:2:0 должно быть четным
15:12	Резерв			
28:16	HSIZE	RW	0	Размер кадра по горизонтали(в пикселях)
31:29	Резерв			

21.5.1.7.3 STREAM0_INP_VCROP_CTR (0x1008). Регистр управления «обрезкой» кадра по вертикали входных данных потока 0

(для чересстрочной развертки регистр управления «обрезкой» четного полукадра по вертикали)

Таблица 21.54. Структура регистра STREAM0_INP_VCROP_CTR

Разряды	Поле	Доступ	Значение после сброса	Описание
11:0	VOFFSET	RW	0	Смещение кадра по вертикали(в пикселях) Для чересстрочной развертки смещение четного полукадра по вертикали Для данных в формате YcbCr 4:2:0 должно быть четным
15:12	Резерв			
28:16	VSIZE	RW	0	Размер кадра по вертикали(в пикселях) Для чересстрочной развертки размер четного полукадра по вертикали
31:29	Резерв			

21.5.1.7.4 STREAM0_INP_VCROP_ODD_CTR (0x100C). Регистр управления «обрезкой» нечетного полукадра по вертикали входных данных потока 0

Таблица 21.55. Структура регистра STREAM0_INP_VCROP_ODD_CTR

Разряды	Поле	Доступ	Значение после сброса	Описание
10:0	VOFFSET	RW	0	Для чересстрочной развертки смещение нечетного полукадра по вертикали(в пикселях)
15:11	Резерв			
27:16	VSIZE	RW	0	Для чересстрочной развертки размер нечетного полукадра по вертикали (в пикселях)
31:28	Резерв			

21.5.1.7.5 STREAM0_INP_DECIM_CTR (0x1010). Регистр управления масштабированием (децимацией) входных данных потока 0

Таблица 21.56. Структура регистра STREAM0_INP_DECIM_CTR

Разряды	Поле	Доступ	Значение после сброса	Описание
3:0	HDECIM_COEFF	RW	0	Коэффициент децимации по горизонтали $K_{dh} = HDECIM_COEFF + 1$ При чересстрочной развертке применяется для каждого полукадра
7:4	VDECIM_COEFF	RW	0	Коэффициент децимации по вертикали $K_{dv} = VDECIM_COEFF + 1$
13:8	FDECIM_COEFF	RW	0	Коэффициент децимации по кадрам $K_{df} = FDECIM_COEFF + 1$
15:14	Резерв			
16	INTERLACE_DECIM_MODE	RW	0	0 - при чересстрочной развертке коэффициенты децимации применяются ко всему кадру 1 - при чересстрочной развертке коэффициенты децимации применяются к каждому полукадру
31:17	Резерв			

21.5.1.7.6 STREAM0_INP_MIN_SPACE_CTR (0x1014). Регистр параметров минимального шага между строками и кадрами входных данных потока 0

Таблица 21.57. Структура регистра STREAM0_INP_DECIM_CTR

Разряды	Поле	Доступ	Значение после сброса	Описание
3:0	HSPACE_MIN	RW	1	Минимальное количество пикселей в промежутке между строками
7:4	Резерв			
10:8	VSPACE_MIN	RW	0	Минимальное количество строк в промежутке между кадрами
31:9	Резерв			

21.5.1.7.7 STREAM0_STATUS(0x1020). Регистр состояния канала обработки потока 0

Таблица 21.58. Структура регистра STREAM0_STATUS

Разряды	Поле	Доступ	Значение после сброса	Описание
0	SHORT_LINE	RR	0	1 — принята короткая строка (обнаружено начало новой строки до окончания текущей)
1	SHORT_FRAME	RR	0	1 — принят короткий кадр (кадр содержит меньше VSIZE строк или последняя строка кадра содержит меньше HSIZE пикселей)
2	SHORT_SPACE_LINE	RR	0	1 — промежуток между строками содержит меньше HSPACE_MIN пикселей
3	SHORT_SPACE_FRAME	RR	0	1 — промежуток между кадрами содержит меньше VSPACE_MIN строк

Разряды	Поле	Доступ	Значение после сброса	Описание
31:4	Резерв			

21.5.1.7.8 STREAM0_INTERRUPT (0x1040). Регистр прерываний потока 0

Таблица 21.59. Структура регистра STREAM0_INTERRUPT

Разряды	Поле	Доступ	Значение после сброса	Описание
0	PROC_INT	W1S	0	Прерывание от канала обработки
7:1	Резерв			
8	DMA0_WR_INT	W1S	0	Прерывание от DMA канала записи данных 0
9	DMA1_WR_INT	W1S	0	Прерывание от DMA канала записи данных 1
31:10	Резерв			

21.5.1.7.9 STREAM0_INTERRUPT_RESET (0x1044). Регистр сброса прерываний потока 0

Таблица 21.60. Структура регистра STREAM0_INTERRUPT_RESET

Разряды	Поле	Доступ	Значение после сброса	Описание
0	PROC_INT_RESET	WO	0	Запись 1 — сброс прерывания от канала обработки
7:1	Резерв			
8	DMA0_WR_INT_RESET	WO	0	Запись 1 — сброс прерывания от DMA канала записи данных 0
9	DMA1_WR_INT_RESET	WO	0	Запись 1 — сброс прерывания от DMA канала записи данных 1
31:10	Резерв			

21.5.1.7.10 STREAM0_INTERRUPT_MASK (0x1048). Регистр маскирования прерываний потока 0

Таблица 21.61. Структура регистра STREAM0_INTERRUPT_MASK

Разряды	Поле	Доступ	Значение после сброса	Описание
0	PROC_INT_MASK	RW	0	1 - прерывание от канала обработки запрещено
7:1	Резерв			
8	DMA0_WR_INT_MASK	RW	0	1 - прерывание от DMA канала записи данных 0 запрещено
9	DMA1_WR_INT_MASK	RW	0	1 - прерывание от DMA канала записи данных 1 запрещено
31:10	Резерв			

21.5.1.7.11 STREAM0_PROC_CFG (0x1050). Регистр конфигурации канала обработки потока 0

Таблица 21.62. Структура регистра STREAM0_PROC_CFG

Разряды	Поле	Доступ	Значение после сброса	Описание
0	BPC_EN	RW	0	1 — работа блока коррекции битых пикселей разрешена
1	ADR_EN	RW	0	1 — работа блока адаптации динамического диапазона разрешена
2	CFA_EN	RW	0	1 — работа блока преобразования Bayer → RGB разрешена
3	CC_EN	RW	0	1 — работа блока цветовой коррекции разрешена
4	GC_EN	RW	0	1 — работа блока гамма-коррекции разрешена
5	CT_EN	RW	0	1 — работа блока преобразования RGB ↔ YCbCr разрешена
6	YCBCR_422_TO_444_EN	RW	0	1 — работа блока преобразования YCbCr 4:2:2 в 4:4:4 разрешена
7	YCBCR_444_TO_422_EN	RW	0	1 — работа блока преобразования YCbCr 4:4:4 в 4:2:2 разрешена
8	YCBCR_422_TO_420_EN	RW	0	1 — работа блока преобразования YCbCr 4:2:2 в 4:2:0 разрешена
11:9	STT_EN	RW	0x0	Разрешение работы блока статистики: xx1 — работа блока сбора гистограмм разрешена x1x — работа блока функции автофокуса разрешена 1xx — работа блока дополнительных статистических данных разрешена
15:12	STT_ZONE_EN	RW	0x0000	Разрешение сбора статистики в зонах xxx1 — разрешен сбор статистики в зоне 0 xx1x — разрешен сбор статистики в зоне 1 x1xx — разрешен сбор статистики в зоне 2 1xxx — разрешен сбор статистики в зоне 3
16	IM_EN	RW	0	1 — работа блока подсчета интегральных сумм разрешена
22:17	Резерв			
23	CT_SRC	RW	0	Источник данных для блока цветовой коррекции: 0 — выход блока гамма-коррекции 1 — выход блока преобразования YCbCr 4:2:2 в 4:4:4
24	YCBCR_444_TO_422_SRC	RW	0	Источник данных для блока преобразования YCbCr 4:4:4 в 4:2:2: 0 — выход блока гамма-коррекции 1 — выход блока цветовой коррекции
25	YCBCR_422_TO_420_SRC	RW	0	Источник данных для блока преобразования YCbCr 4:2:2 в 4:2:0 : 0 — выход блока гамма-коррекции 1 — выход блока преобразования YCbCr 4:4:4 в 4:2:2

Разряды	Поле	Доступ	Значение после сброса	Описание
28:26	DMA_0_SRC	RW	0x0	Источник данных для канала DMA 0: 000 — входные данные (после global cropping) 001 — выход модуля коррекции динамического диапазона 010 — выход модуля преобразования 4:2:2 в 4:4:4 011 — выход модуля преобразования RGB ↔ YcbCr 100 — выход модуля преобразования 4:4:4 в 4:2:2 101 — выход модуля преобразования 4:2:2 в 4:2:0 110 — выход блока интегральных сумм 111 - резерв
31:29	DMA_1_SRC	RW	0x0	Источник данных для канала DMA 1 Кодировка аналогично DMA_0_SRC

21.5.1.7.12 STREAM0_PROC_CTR (0x1058). Регистр управления каналом обработки потока 0

Таблица 21.63. Структура регистра STREAM0_PROC_CTR

Разряды	Поле	Доступ	Значение после сброса	Описание
0	BAYER_MONO	RW	0x0	0 — Bayer 1 — Mono Используется в блоке коррекции битых пикселей
2:1	BAYER_MODE	RW	0x0	Режим развертки мозаики Байера 00 — RGGB 01 — GRBG 10 — GBRG 11 — BGGR Используется в блоках коррекции битых пикселей и блоке преобразования Bayer → RGB
5:3	Резерв			
7:6	YCBCR_422_TO_444_ALG	RW	00	Алгоритм преобразования YCbCr 4:2:2 в 4:4:4 00 — ближайший сосед 01 — кубический сплайн 10 — FIR фильтр 27-го порядка 11 — резерв
8	YCBCR_422_TO_444_FILL	RW	0	Режим заполнения недостающих пикселей по краям строки для алгоритмов кубический сплайн и FIR фильтр 27-го порядка: 0 — зеркальное отображение пикселей 1 — копирование краевого пикселя
10:9	YCBCR_444_TO_422_ALG	RW	00	Алгоритм преобразования YCbCr 4:4:4 в 4:2:2 00 — ближайший сосед 01 — кубический сплайн 10 — FIR фильтр 27-го порядка 11 — резерв

Разряды	Поле	Доступ	Значение после сброса	Описание
11	YCBCR_444_TO_422_FILL	RW	0	Режим заполнения недостающих пикселей по краям строки для алгоритмов кубический сплайн и FIR фильтр 27-го порядка: 0 — зеркальное отображение пикселей 1 — копирование краевого пикселя
12	YCBCR_422_TO_420_ALG	RW	0	Алгоритм преобразования YCbCr 4:2:2 в 4:2:0 0 — ближайший сосед 1 — линейная интерполяция
13	HIST_THR	RW	0	0 — гистограмма строится для каждого кадра 1 — гистограмма строится для каждого четного кадра
14	AF_THR	RW	0	0 — автофокус вычисляется для каждого кадра 1 — автофокус вычисляется для каждого четного кадра
15	ADD_THR	RW	0	0 — min/max/sum/sum2 вычисляется для каждого кадра 1 — min/max/sum/sum2 вычисляется для каждого четного кадра
17:16	AF_COLOR	RW	0x00	Выбор компоненты цвета для автофокуса: 00 — компонента 0 (R или Cr) 01 — компонента 1 (G или Y) 10 — компонента 2 (B или Cb)
20:18	Резерв			
22:21	IM_COLOR	RW	2	Выбор компоненты цвета для обработки блоком подсчета интегральных сумм: 00 — компонента 0 (G или Y) 01 — компонента 1 (B или Cb) 10 — компонента 2 (R или Cr)
31:23	Резерв			

21.5.1.7.13 STREAM0_PROC_CLEAR (0x1060) Регистр очистки канала обработки потока 0

Таблица 21.64. Структура регистра STREAM0_PROC_RESET

Разряды	Поле	Доступ	Значение после сброса	Описание
0	AF_CLR	WO	0	Запись 1 — очистка тракта вычисления автофокуса
1	ADD_CLR	WO	0	Запись 1 — очистка тракта вычисления min/max/sum/sum2
2	THR_CLR	WO	0	Запись 1 — сброс режима четного кадра. После записи единицы сбор статистики продолжается со следующего кадра даже если он нечетный
31:3	Резерв			

21.5.1.7.14 STREAM0_PROC_BP_MAP_CTR (0x1068). Регистр управления картой битых пикселей

Таблица 21.65. Структура регистра STREAM0_PROC_BP_MAP_CTR

Разряды	Поле	Доступ	Значение после сброса	Описание
11:0	BP_MAP_ADDRESS	RW	0	Начальное значение адреса загрузки/выгрузки карты битых пикселей. Инкрементируется при записи/чтении регистра данных карты битых пикселей.
31:12	Резерв			

21.5.1.7.15 STREAM0_PROC_BP_MAP_DATA (0x106C). Регистр данных карты битых пикселей

Таблица 21.66. Структура регистра STREAM0_PROC_BP_MAP_DATA

Разряды	Поле	Доступ	Значение после сброса	Описание
11:0	BP_MAP_DATA_X	RW	U	Координата X битого пикселя
23:12	BP_MAP_DATA_Y	RW	U	Координата Y битого пикселя
30:24	Резерв			

21.5.1.7.16 STREAM0_PROC_BP_BAD_LINE0 (0x1070). Регистр координат битых строк 0

Таблица 21.67. Структура регистра STREAM0_PROC_BP_BAD_LINE0

Разряды	Поле	Доступ	Значение после сброса	Описание
11:0	BAD_LINE0	RW	0x000	Координата битой строки 0
15:12	Резерв			
27:16	BAD_LINE1	RW	0x000	Координата битой строки 1
31:28	Резерв			

21.5.1.7.17 STREAM0_PROC_BP_BAD_LINE1-7. Регистры координат битых строк 1-7 (0x1074-0x108C)

Аналогично регистру координат битых строк 0.

21.5.1.7.18 STREAM0_PROC_BP_BAD_COLUMN0 (0x1090). Регистр координат битых столбцов 0

Таблица 21.68. Структура регистра STREAM0_PROC_BP_BAD_COLUMN0

Разряды	Поле	Доступ	Значение после сброса	Описание
11:0	BAD_COLUMN0	RW	0x000	Координата битого столбца 0
15:12	Резерв			
27:16	BAD_COLUMN1	RW	0x000	Координата битого столбца 1
31:28	Резерв			

21.5.1.7.19 STREAM0_PROC_BP_BAD_COLUMN1-7 (0x1094-0x10AC). Регистры координат битых столбцов 1-7

Аналогично регистру координат битых строк 0.

21.5.1.7.20 STREAM0_PROC_DR_CTR (0x10B0). Регистр управления коррекцией динамического диапазона

Таблица 21.69. Структура регистра STREAM0_PROC_DR_CTR

Разряды	Поле	Дос- тип	Значение после сброса	Описание
11:0	MEM_DR_ADDRESS	RW	0	Начальное значение адреса памяти коэффициентов нелинейного преобразования. Инкрементируется при записи/чтении регистра данных памяти коэффициентов коррекции динамического диапазона
15:12	Резерв			
18:16	NUM_COUNT	RW	0	Номер счетчика, значение которого будет отображаться при чтении регистра счетчиков коррекции динамического диапазона (0-4)
19	COUNT_CLR	WO	0	1 - сброс счетчиков коррекции динамического диапазона
31:20	Резерв			

21.5.1.7.21 STREAM0_PROC_DR_DATA (0x10B4). Регистр данных памяти коэффициентов коррекции динамического диапазона

Таблица 21.70. Структура регистра STREAM0_PROC_DR_DATA

Разряды	Поле	Доступ	Значение после сброса	Описание
11:0	DR_DATA	RW	U	Слово данных памяти коэффициентов коррекции динамического диапазона.
30:12	Резерв			

21.5.1.7.22 STREAM0_PROC_DR_COUNT (0x10B8). Регистр счетчиков коррекции динамического диапазона

Таблица 21.71. Структура регистра STREAM0_PROC_DR_COUNT

Разряды	Поле	Доступ	Значение после сброса	Описание
31:0	DR_COUNT	RO	0	Значение счетчика, выбранного полем NUM_COUNT регистра STREAM0_PROC_DC_CTR

21.5.1.7.23 STREAM0_PROC_CC_COEFF0 (0x10C0). Регистр коэффициентов преобразования цветности 0

Таблица 21.72. Структура регистра STREAM0_PROC_CC_COEFF0

Разряды	Поле	Доступ	Значение после сброса	Описание
15:0	CC_COEFF0	RW	0x0000	Коэффициент m0 преобразования цветности компоненты R(Cr) → R(Cr)
31:16	CC_COEFF1	RW	0x0000	Коэффициент m1 преобразования цветности компоненты G(Y) → R(Cr)

21.5.1.7.24 STREAM0_PROC_CC_COEFF1-3 (0x10C4). Регистры коэффициентов преобразования цветности 1

Таблица 21.73. Структура регистра STREAM0_PROC_CC_COEFF0

Разряды	Поле	Доступ	Значение после сброса	Описание
15:0	CC_COEFF2	RW	0x0000	Коэффициент m2 преобразования цветности компоненты B(Cb) → R(Cr).
31:16	CC_COEFF3	RW	0x0000	Коэффициент m3 преобразования цветности компоненты R(Cr) → G(Y)

21.5.1.7.25 STREAM0_PROC_CC_COEFF1-3 (0x10C8). Регистры коэффициентов преобразования цветности 2

Таблица 21.74. Структура регистра STREAM0_PROC_CC_COEFF0

Разряды	Поле	Доступ	Значение после сброса	Описание
15:0	CC_COEFF4	RW	0x0000	Коэффициент m4 преобразования цветности компоненты G(Y) → G(Y)
31:16	CC_COEFF5	RW	0x0000	Коэффициент m5 преобразования цветности компоненты B(Cb) → G(Y)

21.5.1.7.26 STREAM0_PROC_CC_COEFF1-3 (0x10CC). Регистры коэффициентов преобразования цветности 3

Таблица 21.75. Структура регистра STREAM0_PROC_CC_COEFF0

Разряды	Поле	Доступ	Значение после сброса	Описание
15:0	CC_COEFF6	RW	0x0000	Коэффициент m6 преобразования цветности компоненты R(Cr) → B(Cb)
31:16	CC_COEFF7	RW	0x0000	Коэффициент m7 преобразования цветности компоненты G(Y) → B(Cb)

21.5.1.7.27 STREAM0_PROC_CC_COEFF4 (0x10D0). Регистр коэффициентов преобразования цветности 4

Таблица 21.76. Структура регистра STREAM0_PROC_CC_COEFF4

Разряды	Поле	Доступ	Значение после сброса	Описание
15:0	CC_COEFF8	RW	0x0000	Коэффициент m8 преобразования цветности компоненты B(Cb) → V(Cb)
31:16	Резерв			

21.5.1.7.28 STREAM0_PROC_CC_OFFSET0 (0x10D4). Регистр значения смещений преобразования цветности 0

Таблица 21.77. Структура регистра STREAM0_PROC_CC_OFFSET0

Разряды	Поле	Доступ	Значение после сброса	Описание
12:0	CC_OFFSET0	RW	0x0000	Смещение v0 цветового компонента R(Cr)
15:13	Резерв			
28:16	CC_OFFSET1	RW	0x0000	Смещение v1 цветового компонента G(Y)
31:29	Резерв			

21.5.1.7.29 STREAM0_PROC_CC_OFFSET1 (0x10D8). Регистр значения смещений преобразования цветности 1

Таблица 21.78. Структура регистра STREAM0_PROC_CC_OFFSET1

Разряды	Поле	Доступ	Значение после сброса	Описание
12:0	CC_OFFSET2	RW	0x0000	Смещение v2 цветового компонента B(Cb)
15:13	Резерв			
19:16	CC_SCALING	RW	0x0	Скейлинг
31:20	Резерв			

21.5.1.7.30 STREAM0_PROC_GC_CTR (0x10E0). Регистр управления гамма-коррекцией

Таблица 21.79. Структура регистра STREAM0_PROC_GC_CTR

Разряды	Поле	Доступ	Значение после сброса	Описание
11:0	ADDRESS	RW	0	Начальное значение адреса загрузки/выгрузки памяти коэффициентов гамма коррекции Инкрементируется при записи/чтении регистра данных памяти коэффициентов гамма коррекции
12	NUM_SECTION	RW	0	Секция памяти коэффициентов гамма-коррекции, в которую производится запись: 0 - R+G 1 - B
30:13	Резерв			

21.5.1.7.31 STREAM0_PROC_GC_DATA (0x10E4). Регистр данных памяти коэффициентов гамма коррекции

Таблица 21.80. Структура регистра STREAM0_PROC_GC_DATA

Разряды	Поле	Доступ	Значение после сброса	Описание
11:0	DATA0	RW	U	Слово данных памяти коэффициентов гамма коррекции: При STREAM0_PROC_GC_CTR.NUM_SECTION=0 производится запись в секцию R (Cr), при STREAM0_PROC_GC_CTR.NUM_SECTION=1 — в секцию B (Cb)
15:12	Резерв			
27:16	DATA1	RW	U	Слово данных памяти коэффициентов гамма коррекции При STREAM0_PROC_GC_CTR.NUM_SECTION=0 производится запись в секцию G (Y), при STREAM0_PROC_GC_CTR.NUM_SECTION=1 — поле не используется
31:28	Резерв			

21.5.1.7.32 STREAM0_PROC_CT_COEFF0 (0x10F0). Регистр коэффициентов преобразования RGB ↔ YCbCr

Таблица 21.81. Структура регистра STREAM0_PROC_CT_COEFF0

Разряды	Поле	Доступ	Значение после сброса	Описание
15:0	CT_COEFF0	RW	0	Коэффициент m0 преобразования G → Y (Y → G)
31:16	CT_COEFF1	RW	0	Коэффициент m1 преобразования B → Y (Cb → G)

21.5.1.7.33 STREAM0_PROC_CT_COEFF1 (0x10F4). Регистр коэффициентов преобразования RGB ↔ YCbCr

Таблица 21.82. Структура регистра STREAM0_PROC_CT_COEFF1

Разряды	Поле	Доступ	Значение после сброса	Описание
15:0	CT_COEFF2	RW	0	Коэффициент m2 преобразования R → Y (Cr → G)
31:16	CT_COEFF3	RW	0	Коэффициент m3 преобразования G → Cb (Y → B)

21.5.1.7.34 STREAM0_PROC_CT_COEFF2 (0x10F8). Регистр коэффициентов преобразования RGB ↔ YCbCr

Таблица 21.83. Структура регистра STREAM0_PROC_CT_COEFF2

Разряды	Поле	Доступ	Значение после сброса	Описание
15:0	CT_COEFF4	RW	0	Коэффициент m4 преобразования B → Cb (Cb → B)
31:16	CT_COEFF5	RW	0	Коэффициент m5 преобразования R → Cb (Cr → B)

21.5.1.7.35 STREAM0_PROC_CT_COEFF3 (0x10FC). Регистр коэффициентов преобразования RGB ↔ YCbCr

Таблица 21.84. Структура регистра STREAM0_PROC_CT_COEFF3

Разряды	Поле	Доступ	Значение после сброса	Описание
15:0	CT_COEFF6	RW	0	Коэффициент m6 преобразования G → Cr (Y → R)
31:16	CT_COEFF7	RW	0	Коэффициент m7 преобразования B → Cr (Cb → R)

21.5.1.7.36 STREAM0_PROC_CT_COEFF4 (0x1100). Регистр коэффициентов преобразования RGB ↔ YCbCr

Таблица 21.85. Структура регистра STREAM0_PROC_CT_COEFF4

Разряды	Поле	Доступ	Значение после сброса	Описание
15:0	CT_COEFF8	RW	0	Коэффициент m8 преобразования R → Cr (Cr → R)
31:16	Резерв			

21.5.1.7.37 STREAM0_PROC_CT_OFFSET0 (0x1104). Регистр коэффициентов преобразования RGB ↔ YCbCr

Таблица 21.86. Структура регистра STREAM0_PROC_OFFSET0

Разряды	Поле	Доступ	Значение после сброса	Описание
15:0	CT_OFFSET0	RW	0	Смещение v0 компоненты Y (G)
31:16	CT_OFFSET1	RW	0	Смещение v1 компоненты Cb (B)

21.5.1.7.38 STREAM0_PROC_CT_OFFSET1 (0x1108). Регистр коэффициентов преобразования RGB ↔ YCbCr

Таблица 21.87. Структура регистра STREAM0_PROC_CT_OFFSET1

Разряды	Поле	Доступ	Значение после сброса	Описание
15:0	CT_OFFSET2	RW	0	Смещение v2 компоненты Ct (R)
17:16	CT_SCALING	RW	0	Коэффициент масштабирования
31:18	Резерв			

21.5.1.7.39 STREAM0_PROC_STAT_ZONE_LT0 (0x1110). Регистр координат верхнего левого угла зоны сбора статистики 0

Таблица 21.88. Структура регистра STREAM0_PROC_STAT_TOP0

Разряды	Поле	Доступ	Значение после сброса	Описание
11:0	X_LEFT_0	RW	0	Координата X верхнего левого угла зоны сбора статистики 0
15:12	Резерв			
27:16	Y_TOP_0	RW	0	Координата Y верхнего левого угла зоны сбора статистики 0
31:28	Резерв			

21.5.1.7.40 STREAM0_PROC_STAT_ZONE_RB0 (0x1114). Регистр координат нижнего правого угла зоны сбора статистики 0

Таблица 21.89. Структура регистра STREAM0_PROC_STAT_BOTTOM0

Разряды	Поле	Доступ	Значение после сброса	Описание
11:0	X_RIGHT_0	RW	0	Координата X нижнего правого угла зоны сбора статистики 0
15:12	Резерв			
27:16	Y_BOTTOM_0	RW	0	Координата Y нижнего правого угла зоны сбора статистики 0
31:28	Резерв			

21.5.1.7.41 STREAM0_PROC_STAT_ZONE_LT/RB1-3 (0x111C-0x113C). Регистры координат зон сбора статистики 1-3

Аналогично регистрам координат зоны сбора статистики 0.

21.5.1.7.42 STREAM0_PROC_STAT_CTR (0x1140). Регистр управления чтением статистики

Таблица 21.90. Структура регистра STREAM0_PROC_STAT_CTR

Разряды	Поле	Доступ	Значение после сброса	Описание
7:0	ADDR_HIST	RW	0	Начальный адрес памяти гистограмм по зоне (инкрементируется при чтении регистра STREAM0_PROC_STAT_DATA)
15:8	Резерв			
17:16	NUM_ZONE	RW	0	Номер зоны статистики
19:18	COLOR_HIST	RW	0	Цвет, для которого считывается гистограмма: 00 — красный (Cr) 01 — зеленый (Y) 10 — синий (Cb) 11 — резерв
31:20	Резерв			

21.5.1.7.43 STREAM0_PROC_STAT_DATA (0x1144). Регистр данных памяти гистограмм

Номер зоны определяется полем NUM_ZONE, цвет — полем COLOR_HIST регистра STREAM0_PROC_STAT_CTR. После чтения адресуемая ячейка памяти гистограмм автоматически обнуляется.

Таблица 21.91. Структура регистра STREAM0_PROC_STAT_DATA

Разряды	Поле	Доступ	Значение после сброса	Описание
23:0	DATA_HIST_MEM	RO	U	Слово данных памяти гистограмм.
31:24	Резерв			

21.5.1.7.44 STREAM0_PROC_STAT_MIN (0x1148). Регистр минимального значения по зоне

Номер зоны определяется полем NUM_ZONE регистра STREAM0_PROC_STAT_CTR.

Таблица 21.92. Структура регистра STREAM0_PROC_STAT_MIN

Разряды	Поле	Доступ	Значение после сброса	Описание
7:0	MIN_BLUE	RO	0xFF	Минимальное значение по синему (Cb) цвету в зоне
15:8	MIN_GREEN	RO	0xFF	Минимальное значение по зеленому (Y) цвету в зоне
23:16	MIN_RED	RO	0xFF	Минимальное значение по красному (Cr) цвету в зоне
31:24	Резерв			

21.5.1.7.45 STREAM0_PROC_STAT_MAX (0x114C). Регистр максимального значения по зоне

Номер зоны определяется полем NUM_ZONE регистра STREAM0_PROC_STAT_CTR.

Таблица 21.93. Структура регистра STREAM0_PROC_STAT_MAX

Разряды	Поле	Доступ	Значение после сброса	Описание
7:0	MAX_BLUE	RO	0x00	Максимальное значение по синему (Cb) цвету в зоне
15:8	MAX_GREEN	RO	0x00	Максимальное значение по зеленому (Y) цвету в зоне
23:16	MAX_RED	RO	0x00	Максимальное значение по красному (Cr) цвету в зоне
31:24	Резерв			

21.5.1.7.46 STREAM0_PROC_STAT_SUM_B (0x1150). Регистр значения суммы по синему цвету в зоне

Номер зоны определяется полем NUM_ZONE регистра STREAM0_PROC_STAT_CTR.

Таблица 21.94. Структура регистра STREAM0_PROC_STAT_SUM_B

Разряды	Поле	Доступ	Значение после сброса	Описание
31:0	SUM_BLUE	RO	U	Значение суммы по синему (Cb) цвету в зоне

21.5.1.7.47 STREAM0_PROC_STAT_SUM_G (0x1154). Регистр значения суммы по зеленому цвету в зоне

Номер зоны определяется полем NUM_ZONE регистра STREAM0_PROC_STAT_CTR.

Таблица 21.95. Структура регистра STREAM0_PROC_STAT_SUM_G

Разряды	Поле	Доступ	Значение после сброса	Описание
31:0	SUM_GREEN	RO	U	Значение суммы по зеленому (Y) цвету в зоне

21.5.1.7.48 STREAM0_PROC_STAT_SUM_R (0x1158). Регистр значения суммы по красному цвету в зоне

Номер зоны определяется полем NUM_ZONE регистра STREAM0_PROC_STAT_CTR.

Таблица 21.96. Структура регистра STREAM0_PROC_STAT_SUM_R

Разряды	Поле	Доступ	Значение после сброса	Описание
31:0	SUM_RED	RO	U	Значение суммы по красному (Cr) цвету в зоне

21.5.1.7.49 STREAM0_PROC_STAT_SUM2_B (0x115C). Регистр значения суммы квадратов по синему цвету в зоне (младшие разряды)

Номер зоны определяется полем NUM_ZONE регистра STREAM0_PROC_STAT_CTR.

Таблица 21.97. Структура регистра STREAM0_PROC_STAT_SUM2_B

Разряды	Поле	Доступ	Значение после сброса	Описание
31:0	SUM2_BLUE	RO	U	Значение суммы квадратов по синему (Cb) цвету в зоне (разряды 31:0)

21.5.1.7.50 STREAM0_PROC_STAT_SUM2_G (0x1160). Регистр значения суммы квадратов по зеленому цвету в зоне (младшие разряды)

Номер зоны определяется полем NUM_ZONE регистра STREAM0_PROC_STAT_CTR.

Таблица 21.98. Структура регистра STREAM0_PROC_STAT_SUM2_G

Разряды	Поле	Доступ	Значение после сброса	Описание
31:0	SUM2_GREEN	RO	U	Значение суммы квадратов по зеленому (Y) цвету в зоне (разряды 31:0)

21.5.1.7.51 STREAM0_PROC_STAT_SUM2_R (0x1164). Регистр значения суммы квадратов по красному цвету в зоне (младшие разряды)

Номер зоны определяется полем NUM_ZONE регистра STREAM0_PROC_STAT_CTR.

Таблица 21.99. Структура регистра STREAM0_PROC_STAT_SUM2_R

Разряды	Поле	Доступ	Значение после сброса	Описание
31:0	SUM2_RED	RO	U	Значение суммы квадратов по красному (Cr) цвету в зоне (разряды 31:0)

21.5.1.7.52 STREAM0_PROC_STAT_SUM2_HI (0x1168). Регистр значения суммы квадратов по каждому цвету в зоне (старшие разряды)

Номер зоны определяется полем NUM_ZONE регистра STREAM0_PROC_STAT_CTR.

Таблица 21.100. Структура регистра STREAM0_PROC_STAT_SUM2_HI

Разряды	Поле	Доступ	Значение после сброса	Описание
7:0	SUM2_BLUE	RO	U	Значение суммы квадратов по синему (Cb) цвету в зоне (разряды 39:32)
15:8	SUM2_GREEN	RO	U	Значение суммы квадратов по зеленому (Y) цвету в зоне (разряды 39:32)
23:16	SUM2_RED	RO	U	Значение суммы квадратов по красному (Cr) цвету в зоне (разряды 39:32)
31:24	Резерв			

21.5.1.7.53 STREAM0_PROC_STAT_TH (0x116C). Регистр порогового значения для автофокуса

Таблица 21.101. Структура регистра STREAM0_PROC_STAT_TH

Разряды	Поле	Доступ	Значение после сброса	Описание
10:0	AF_TH	RW	0	Пороговое значение для автофокуса
31:11	Резерв			

21.5.1.7.54 STREAM0_PROC_STAT_HSOBEL (0x1170). Регистр значения фильтра Собеля по горизонтальному направлению (автофокус)

Номер зоны определяется полем NUM_ZONE регистра STREAM0_PROC_STAT_CTR.

Таблица 21.102. Структура регистра STREAM0_PROC_STAT_HSOBEL

Разряды	Поле	Доступ	Значение после сброса	Описание
31:0	HSOBEL	RO	U	Значение фильтра Собеля

21.5.1.7.55 STREAM0_PROC_STAT_VSOBEL (0x1174). Регистр значения фильтра Собеля по вертикальному направлению (автофокус)

Номер зоны определяется полем NUM_ZONE регистра STREAM0_PROC_STAT_CTR.

Таблица 21.103. Структура регистра STREAM0_PROC_STAT_VSOBEL

Разряды	Поле	Доступ	Значение после сброса	Описание
31:0	VSOBEL	RO	U	Значение фильтра Собеля

21.5.1.7.56 STREAM0_PROC_STAT_LSOBEL (0x1178). Регистр значения фильтра Собеля по диагонали LTRB (автофокус)

Номер зоны определяется полем NUM_ZONE регистра STREAM0_PROC_STAT_CTR.

Таблица 21.104. Структура регистра STREAM0_PROC_STAT_LSOBEL

Разряды	Поле	Доступ	Значение после сброса	Описание
31:0	LSOBEL	RO	U	Значение фильтра Собеля

21.5.1.7.57 STREAM0_PROC_STAT_RSOBEL (0x117C). Регистр значения фильтра Собеля по по диагонали RTLВ (автофокус)

Номер зоны определяется полем NUM_ZONE регистра STREAM0_PROC_STAT_CTR.

Таблица 21.105. Структура регистра STREAM0_PROC_STAT_RSOBEL

Разряды	Поле	Доступ	Значение после сброса	Описание
31:0	RSOBEL	RO	U	Значение фильтра Собеля

21.5.1.7.58 STREAM0_DMA0_FBUF_CFG (0x1200). Регистр конфигурации буферов кадров DMA канала 0

Таблица 21.106. Структура регистра STREAM0_DMA0_FBUF_CFG

Разряды	Поле	Доступ	Значение после сброса	Описание
7:0	NUM_FRAMES	RW	0x01	Количество кадров в буфере
15:8	Резерв			
16	INF_TYPE	RW	0	0 — буфера используются для хранения изображения 1 — буфера используются для хранения статистической информации
17	AUTO_MIN_STEP_DISABLE	RW	0	0 — если значение LINE_ADDR_STEP/FRAME_ADDR_STEP меньше автоматически вычисленного минимального значения, в качестве шага адреса используется последнее 1 — в качестве шага адреса всегда используется поле LINE_ADDR_STEP/FRAME_ADDR_STEP
31:17	Резерв			

21.5.1.7.59 STREAM0_DMA0_PIXEL_FMT (0x1204). Регистр формата пикселя канала 0

Таблица 21.107. Структура регистра STREAM0_DMA0_PIXEL_FMT

Разряды	Поле	Доступ	Значение после сброса	Описание	
3:0	PLANES	RW	0x0	Буфера кадров, используемые для хранения цветowych компонентов:	
				0001	Буфер 0 (с базовым адресом, указанным в регистре STREAM0_DMA0_BUF0_BASE)
				0011	Буфера 0 и 1
				0000,0010,0100-1111	Резерв
7:4	WIDTH	RW	0x0	Разрядности цветowych компонентов:	
				0000	8 + 8 + 8 + 8
				0001-0111	Резерв
				1000	16 + 16
	1010-1111	Резерв			
12:8	FORMAT	RW	0x0	Кодировка формата см. Таблица 21.108	

Разряды	Поле	Доступ	Значение после сброса	Описание
15:13	Резерв			
16	PACK_TYPE	RW	0	Порядок упаковки компонент Cb/Cr для форматов YCbCr 4:2:2/4:2:0 dual plane 0 — CbCr поочередно 1 — 32-разрядное слово из компонентов Cb + 32-разрядное слово из компонентов Cr
31:17	Резерв			

Таблица 21.108. Кодировка поля FORMAT регистра STREAM0_DMA0_PIXEL_FMT

Разряд	FORMAT[4]	FORMAT[3:2]		FORMAT[1:0]	
Кодировка	0 — компонент A отсутствует В поле A буферов кадров будут записаны нули	00	RGB	00	RGB
				01	BGR
		1x	Резерв		
		1 — компонент A присутствует В поле A буферов кадров будет записан компонент A из входного потока видео. Если формат входного Raw потока видео (см. Таблица 21.11 - Таблица 21.13) не содержит компонента A, поле A буферов кадров не определено	01	YCrCb	00
	01				4:2:2
	10				4:2:0
	11		Резерв		
	10	Bayer	x		
11	Mono	x			

Допустимые комбинации полей регистра STREAM0_DMA0_PIXEL_FMT см выше.

21.5.1.7.60 STREAM0_DMA0_FBUF_HORIZ (0x1208). Регистр горизонтального смещения и длины буферов кадров DMA канала 0

Таблица 21.109. Структура регистра STREAM0_DMA0_FBUF_HORIZ

Разряды	Поле	Доступ	Значение после сброса	Описание
15:0	HOFFSET	RW	0	Смещение кадра по горизонтали (относительно входного потока, в пикселях) Для данных в форматах YcbCr 4:2:2 и 4:2:0 должно быть четным
31:16	HSIZE	RW	0	Размер кадра по горизонтали (в пикселях)

21.5.1.7.61 STREAM0_DMA0_FBUF_VERT (0x120C). Регистр вертикального смещения и длины буферов кадров DMA канала 0

Таблица 21.110. Структура регистра STREAM0_DMA0_FBUF_VERT

Разряды	Поле	Доступ	Значение после сброса	Описание
15:0	VOFFSET	RW	0	Смещение кадра по вертикали (относительно входного потока, в пикселях) Для чересстрочной развертки смещение четного полукадра по вертикали Для данных в формате YcbCr 4:2:0 должно быть четным
31:16	VSIZE	RW	0	Размер кадра по вертикали(в пикселях) Для чересстрочной развертки указывается размер для четного полукадра

21.5.1.7.62 STREAM0_DMA0_FBUF_VERT_ODD (0x1210). Регистр вертикального смещения и длины I для нечетного полукадра буферов кадров DMA канала 0

Таблица 21.111. Структура регистра STREAM0_DMA0_FBUF_VERT_ODD

Разряды	Поле	Доступ	Значение после сброса	Описание
15:0	VOFFSET	RW	0	Для чересстрочной развертки смещение нечетного полукадра по вертикали(в пикселях) Для данных в формате YcbCr 4:2:0 должно быть четным
31:16	VSIZE	RW	0	Для чересстрочной развертки размер нечетного полукадра по вертикали (в пикселях)

21.5.1.7.63 STREAM0_DMA0_FBUF_DECIM (0x1214). Регистр управления масштабированием (децимацией) входных данных потока 0

Таблица 21.112. Структура регистра STEARM0_DMA0_FBUF_DECIM

Разряды	Поле	Доступ	Значение после сброса	Описание
3:0	HDECIM_COEFF	RW	0	Коэффициент децимации по горизонтали $K_{dh_dma} = HDECIM_COEFF + 1$ При чересстрочной развертке применяется для каждого полукадра
7:4	VDECIM_COEFF	RW	0	Коэффициент децимации по вертикали $K_{dv_dma} = VDECIM_COEFF + 1$
15:8	Резерв			
16	INTERLACE_DECIM_MODE	RW	1	0 - при чересстрочной развертке коэффициенты децимации применяются ко всему кадру 1 - при чересстрочной развертке коэффициенты децимации применяются к каждому полукадру
31:17	Резерв			

21.5.1.7.64 STREAM0_DMA0_FBUF0_BASE (0x1220). Регистр базового адреса буфера кадров 0 DMA канала 0

Таблица 21.113. Структура регистра STREAM0_DMA0_FBUF0_BASE

Разряды	Поле	Доступ	Значение после сброса	Описание
2:0	Резерв			
31:3	BUFFER_BASE	RW	0x00000000	Старшие разряды базового адреса буфера кадров 0 во внешней памяти (цветовой компонент 0). Адрес выравнен по границе 64-разрядного слова. 3 младших разряда всегда равны 0

21.5.1.7.65 STREAM0_DMA0_FBUF0_LSTEP (0x1224). Регистр шага адреса строк буферов кадров 0 DMA канала 0

Таблица 21.114. Структура регистра STREAM0_DMA0_FBUF0_LSTEP

Разряды	Поле	Доступ	Значение после сброса	Описание
2:0	Резерв			
15:3	LINE_ADDR_STEP	RW	0x0000	Старшие разряды шага адреса по началу строк в кадре в байтах (вычисляется в соответствии с количеством пикселей в строке, если строки располагаются без промежутков). 3 младших разряда всегда равны 0
30:16	Резерв			
31	ODD_AUTO_STEP	RW	0	1 - для нечетных строк шаг адреса по началу строк: для Y plane удваивается и равен 2*LINE_ADDR_STEP для Cb/Cr plane утраивается и равен 3*LINE_ADDR_STEP (см. раздел 21.5.6.4)

21.5.1.7.66 STREAM0_DMA0_FBUF0_FSTEP (0x1228). Регистр шага адреса кадров буферов кадров 0 DMA канала 0

Таблица 21.115. Структура регистра STREAM0_DMA0_FBUF0_FSTEP

Разряды	Поле	Доступ	Значение после сброса	Описание
2:0	Резерв			
31:3	FRAME_ADDR_STEP	RW	0x00000000	Старшие разряды шага адреса по началу кадров в буфере в байтах (вычисляется в соответствии с числом пикселей в кадре, если нет промежутков между ними). 3 младших разряда всегда равны 0 Для чересстрочной развертки указывается шаг адреса по началу полукадров, одинаковый для четных и нечетных полукадров

21.5.1.7.67 Регистры базового адреса, шага адреса строк и шага адреса кадров буфера кадров 1 DMA канала 0 (1230h-123Ch)

Аналогично буферу кадров 0.

21.5.1.7.68 STREAM0_DMA0_WR_CTL (0x1260). Регистр управления DMA канала 0

Таблица 21.116. Структура регистра STREAM0_DMA0_WR_CTL

Разряды	Поле	Доступ	Значение после сброса	Описание
0	DMA_ENABLE	RW	0	1 — работа DMA канала записи разрешена
12:1	LINE_INT_PERIOD	RW	0	Период формирования сигналов прерывания после записи строк. Сигнал прерывания устанавливается после записи каждой k-й строки кадра, k=LINE_INT_PERIOD От 1 до [количество строк в кадре-1] 0 — прерывание после записи строк не происходит
13	FIELD_INT_ENABLE			1 — после записи очередного полукадра будет установлен сигнал прерывания
14	FRAME_INT_ENABLE	RW	0	1 — после записи очередного кадра будет установлен сигнал прерывания
15	FRAME_BEGIN_INT_ENABLE	RW	0	1 — прерывание по началу кадра разрешено
16	TEST_MODE	RW	0	0 — данные на вход DMA канала подаются из канала обработки 1 — данные на вход DMA канала подаются из регистра STREAM0_DMA0_TEST_DATA
31:17	Резерв			

21.5.1.7.69 STREAM0_DMA0_WR_STATUS (0x1264). Регистр статуса DMA канала 0

Таблица 21.117. Структура регистра STREAM0_DMA0_WR_STATUS

Разряды	Поле	Доступ	Значение после сброса	Описание
0	LINE_WRITE	RR	0	1 — DMA канал завершил запись строки l-й строки кадра. l определяется полем LINE_INT_PERIOD регистра STREAM0_DMA0_WR_CTL
1	FIELD_WRITE	RR	0	1 - DMA канал завершил запись полукадра (для чересстрочной развертки)
2	FRAME_WRITE	RR	0	1 — DMA канал завершил запись кадра
3	FRAME_BEGIN	RR	0	1 — DMA канал обнаружил начало кадра
4	DMA_FIFO_OVF	RR	0	1 — произошла запись в полный FIFO буфер DMA канала
31:5	Резерв			

21.5.1.7.70 STREAM0_DMA0_WR_COUNT0 (0x1268). Регистр счетчиков пикселей и строк DMA канала 0

Таблица 21.118. Структура регистра STREAM0_DMA0_WR_COUNT0

Разряды	Поле	Доступ	Значение после сброса	Описание
15:0	CURRENT_PIXEL	RO	0x0000	Текущее значение счетчика пикселей в строке Инкрементируется при записи в FIFO-буфер Для формата YCbCr dual plane отображается значение счетчика пикселей для Y plane
31:16	CURRENT_LINE	RO	0x0000	Текущее значение счетчика строк в кадре Инкрементируется при записи в FIFO-буфер Для формата YCbCr dual plane отображается значение счетчика строк для Y plane

21.5.1.7.71 STREAM0_DMA0_WR_COUNT1 (0x126C). Регистр счетчика кадров DMA канала 0

Таблица 21.119. Структура регистра STREAM0_DMA0_WR_COUNT1

Разряды	Поле	Доступ	Значение после сброса	Описание
15:0	CURRENT_FRAME	RO	0x0000	Текущее значение счетчика кадров Инкрементируется при записи в FIFO-буфер Для формата YCbCr dual plane отображается значение счетчика кадров для Y plane
31:16	Резерв			

21.5.1.7.72 STREAM0_DMA0_CUR_ADDR0 (0x1270). Регистр текущего адреса буфера 0 DMA канала 0

Таблица 21.120. Структура регистра STREAM0_DMA0_CUR_ADDR0

Разряды	Поле	Доступ	Значение после сброса	Описание
31:0	CURRENT_ADDRESS	RO	0x00000000	Текущее значение адреса буфера (в байтах) Инкрементируется при записи в FIFO-буфер

21.5.1.7.73 STREAM0_DMA0_CUR_ADDR1 (0x1274). Регистр текущего адреса буфера 1 DMA канала 0

Таблица 21.121. Структура регистра STREAM0_DMA0_CUR_ADDR1

Разряды	Поле	Доступ	Значение после сброса	Описание
31:0	CURRENT_ADDRESS	RO	0x00000000	Текущее значение адреса буфера (в байтах) Инкрементируется при записи в FIFO-буфер

21.5.1.7.74 STREAM0_DMA0_TEST_DATA (0x1280). Регистр тестовых данных DMA канала 0

Содержит три компонента пикселя в унифицированном формате, который подается на вход DMA канала.

Таблица 21.122. Структура регистра STREAM0_DMA0_TEST_DATA

Разряды	Поле	Доступ	Значение после сброса	Описание
9:0	VDATA0	RW	0x000	Компонента 0 видеоданных
19:10	VDATA1	RW	0x000	Компонента 1 видеоданных
29:20	VDATA2	RW	0x000	Компонента 2 видеоданных
31:30	Резерв			

21.5.1.7.75 STREAM0_DMA0_TEST_CTR (0x1284). Регистр управления тестовыми данными DMA канала 0

Таблица 21.123. Структура регистра STREAM0_DMA0_TEST_CTR

Разряды	Поле	Доступ	Значение после сброса	Описание
0	H	RW	0	Признак горизонтальной синхронизации
1	V	RW	0	Признак вертикальной синхронизации
2	F	RW	0	Признак четного/нечетного полукадра
3	L	RW	0	Признак четной/нечетной строки
30:4	Резерв			
31	DATA_VALID	WO	0	Запись 1 — данные в регистре STREAM0_DMA0_TEST_DATA достоверны Сбрасывается аппаратурой после чтения данных

21.5.1.7.76 Регистры управления/статуса DMA канала записи 1 потока 0

Аналогично регистрам управления/статуса DMA канала записи 0 потока 0 (0x1300-0x13FC)

21.5.1.7.77 Регистры управления потоком 1 (0x1400-0x17FC)

Аналогично регистрам управления потоком 0.

21.5.1.7.78 STREAM_CTR (0x3F00). Регистр управления обработкой потоков

Таблица 21.124. Структура регистра STREAM_CTR

Разряды	Поле	Доступ	Значение после сброса	Описание
0	STREAM0_ENABLE	RW	0	1 — обработка потока 0 разрешена
1	STREAM1_ENABLE	RW	0	1 — обработка потока 1 разрешена
7:2	Резерв			
8	DMA_CHANNELS_ENABLE	RW	0	0 — работа всех DMA каналов запрещена 1 — разрешение работы DMA канала определяется полем DMA_ENABLE регистра STREAMn_DMAm_WR_CTR
31:9	Резерв			

21.5.2 Включение/выключение каналов обработки и DMA

Для управления включением/выключением различных функций блока VINC предусмотрены следующие биты управления (см. Рисунок 21.45):

1. GLOBAL_ENABLE (регистр AXI_MASTER_CFG) — управляет включением/выключением всего блока VINC. При GLOBAL_ENABLE = 0 данные с параллельных и последовательных портов не поступают на вход каналов обработки, сигналы управления CMOS-сенсорами находятся в состоянии логического нуля, запрещена работа каналов обработки и DMA. Блоки обработки находятся в состоянии сброса (CLEAR). Памяти коэффициентов и карта битых пикселей, доступные по шине APB (блоки коррекции динамического диапазона, коррекции битых пикселей и гамма-коррекции) доступны для записи/чтения при условии, что работа данного блока разрешена.
2. PIXEL_MODE (регистр PPORT0(1,2)_CFG) — управляет приемом данных с параллельных портов. При PIXEL_MODE=00 данные с параллельного порта 0(1,2) не принимаются.
3. PORT_ENABLE_0(1) (регистр CSI2_PORT0(1)_SYS_CTRL) — управляет подачей синхросигналов на последовательные порты. При PORT_ENABLE_0(1) = 0 на последовательный порт 0(1) синхросигнал не поступает, памяти FIFO-очереди находятся в состоянии Light Sleep.
4. PCLKO_ENABLE_0(1) (регистр CMOS0(1)_CTR) — управляет подачей синхросигналов на CMOS сенсоры. При PCLKO_ENABLE_0(1) = 0 синхросигнал не подается на CMOS сенсор 0(1).
5. STREAM0(1)_ENABLE (регистр STREAM_CTRL) — управляет включением/выключением канала обработки. При STREAM0(1)_ENABLE = 0 все блоки находятся в состоянии сброса (CLEAR), памяти блоков обработки, предназначенные для хранения промежуточных данных - в состоянии Light Sleep. Памяти коэффициентов, доступные по шине APB (блоки коррекции динамического диапазона, коррекции битых пикселей и гамма-коррекции) доступны для записи/чтения при условии, что работа данного блока разрешена.
6. Биты разрешения работы блоков обработки *_EN (регистр STREAM0(1)_PROC_CFG) — каждый бит BLOCK*_CH0(1)_EN разрешает работу одного блока обработки. Если BLOCK*_CH0(1)_EN=0, соответствующий блок находится в состоянии сброса (CLEAR), все памяти блока обработки (включая памяти коэффициентов) - в состоянии Light Sleep.
7. Бит разрешения работы контроллера DMA DMA_CHANNELS_ENABLE (регистр STREAM_CTRL). Если DMA_CHANNELS_ENABLE = 0, работа всех каналов DMA

запрещена, данные на вход каналов не поступают, FIFO очереди находятся в состоянии Light Sleep. Программирование DMA каналов должно производиться при $DMA_CHANNELS_ENABLE = 0$. При установке $DMA_CHANNELS_ENABLE$ в 1 запрограммированные параметры сохраняются в схемах управления DMA каналами. Изменения параметров при $DMA_CHANNELS_ENABLE = 1$ не будут оказывать влияния на работу DMA каналов и вступят в силу только после переключения $DMA_CHANNELS_ENABLE$ в 0.

8. Бит разрешения работы каналов DMA $DMA_ENABLE_0(1)_0(1)$ (регистр $STREAM0(1)_DMA0(1)_WR_CTR$) разрешает работу одного канала DMA. Если $DMA_ENABLE_0(1)_0(1) = 0$, соответствующий канал DMA выключен, данные на его вход не поступают.

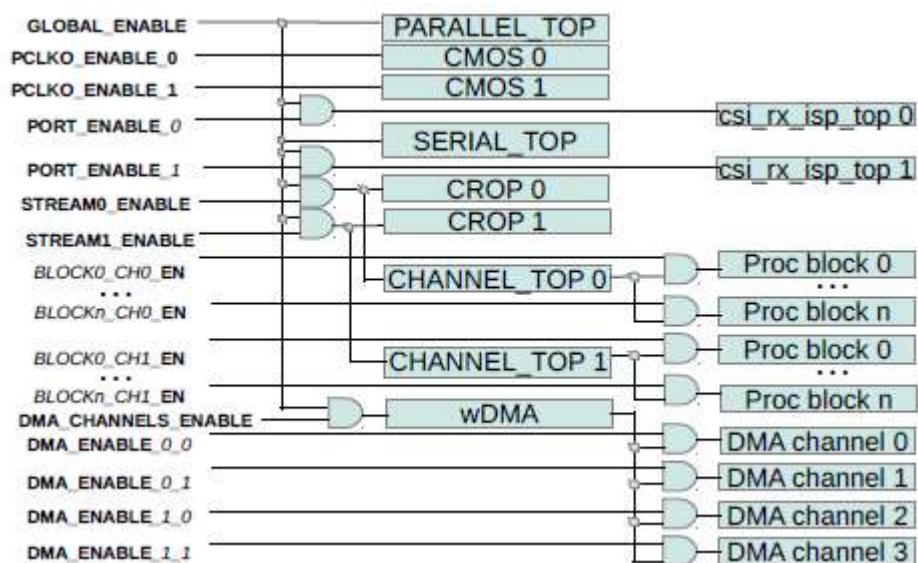


Рисунок 21.45. Управление включением/выключением функций VINC

Влияние битов управления на функционирование различных блоков VINC отображено в Таблица 21.125.

Таблица 21.125. Влияние битов управления на функционирование блоков

	Пара л- ель ные порт ы	Послед ова- тельн ые порты	FIFO последоват ельных портов	Систе мные регист ры	Регис тры порто в	Регист ры управл ения и памяти канало в обрабо тки	Регис тры управ ления канал ов DMA	Блоки обраб отки	Кана лы DM A
GLOBAL_ENABLE	+	+						+	+
PIXEL_MODE0(1, 2)	+								
PORT_ENABLE0(1)		+	+						
STREAM0(1)_ENABLE								+	
BLOCK_ENABLE						+		+	
DMA_CHANNELS_ENABLE							+		+
DMA0(1)_ENABLE									+

При инициализации блока VINC после включения питания или сброса должна быть выполнена следующая последовательность действий:

1. Включение блоков обработки, которые предполагается задействовать, установкой битов *_EN.
2. Программирование регистров управления (системных, регистров портов, регистров управления каналами обработки, регистров управления каналами DMA) и программно-доступных памятей блоков обработки.
3. Включение одного, двух или трех параллельных портов установкой поля PIXEL_MODE в состояние, отличное от 00 в зависимости от режима приема данных.
4. Включение одного или двух последовательных портов (при условии что будут задействованы последовательные порты) установкой битов PORT_ENABLE_0(1).
5. Включение подачи синхросигналов на CMOS сенсоры установкой битов PCLKO_ENABLE_0(1) и задать режимы CMOS сенсоров.
6. Включение одного или двух каналов обработки установкой битов STREAM0(1)_ENABLE.
7. Разрешение работы DMA контроллера установкой бита DMA_CHANNELS_ENABLE.

8. Включение одного или нескольких каналов DMA установкой битов DMA_ENABLE_0(1)_0(1).
9. Включение блока VINC установкой бита GLOBAL_ENABLE.

Включение блоков обработки при установленном GLOBAL_ENABLE может привести к поступлению на вход блоков некорректных данных, что приведет к выдаче блоком VINC некорректной информации. Далее в процессе работы блока (в течение нескольких кадров) работоспособность VINC будет восстановлена.

Программирование каналов DMA и определение их конфигурации (поле AXI_BUF_LAYOUT регистра AXI_MASTER_CFG) возможно только при DMA_CHANNELS_ENABLE = 0. Изменение конфигурации и параметров каналов DMA при DMA_CHANNELS_ENABLE = 1 не будет оказывать влияние на функционирование VINC и вступит в силу только после сброса и повторной установки DMA_CHANNELS_ENABLE.

Если в процессе работы блока VINC требуется остановить один канал DMA, следует установить в 0 бит DMA_ENABLE_0(1)_0(1). После этого данные перестанут поступать на вход канала, все данные, которые поступили до этого момента, будут обработаны и записаны в буфер кадров, после чего канал остановится.

Если в процессе работы блока VINC требуется отключить контроллер DMA, следует остановить все каналы DMA установкой в 0 бит DMA_ENABLE_0(1)_0(1), затем установить в 0 бит DMA_CHANNELS_ENABLE. После этого AXI мастер перестанет выдавать новые транзакции, дождется завершения всех уже выданных транзакций, будут сброшены FIFO-очереди и все счетчики каналов, затем FIFO очереди будут переведены в состояние Light Sleep.

Отключение всего блока VINC производится в последовательности, обратной включению:

1. Выключение блока VINC сбросом бита GLOBAL_ENABLE.
2. Выключение всех каналов DMA сбросом битов DMA_ENABLE_0(1)_0(1).
3. Выключение DMA контроллера сбросом бита DMA_CHANNELS_ENABLE.
4. Выключение каналов обработки сбросом битов STREAM0(1)_ENABLE.
5. Отключение параллельных портов установкой поля PIXEL_MODE в состояние 00.
6. Отключение последовательных портов сбросом битов PORT_ENABLE_0(1).
7. Отключение синхросигналов CMOS сенсоров сбросом битов PCLKO_ENABLE_0(1).

8. Выключение блоков обработки сбросом битов *_EN .

21.5.3 Прерывания

Блок VINC формирует 3 сигнала прерывания — глобальный сигнал INT_SYSTEM и сигналы прерывания от каждого потока обработки видеоданных INT_STREAM0 и INT_STREAM1.

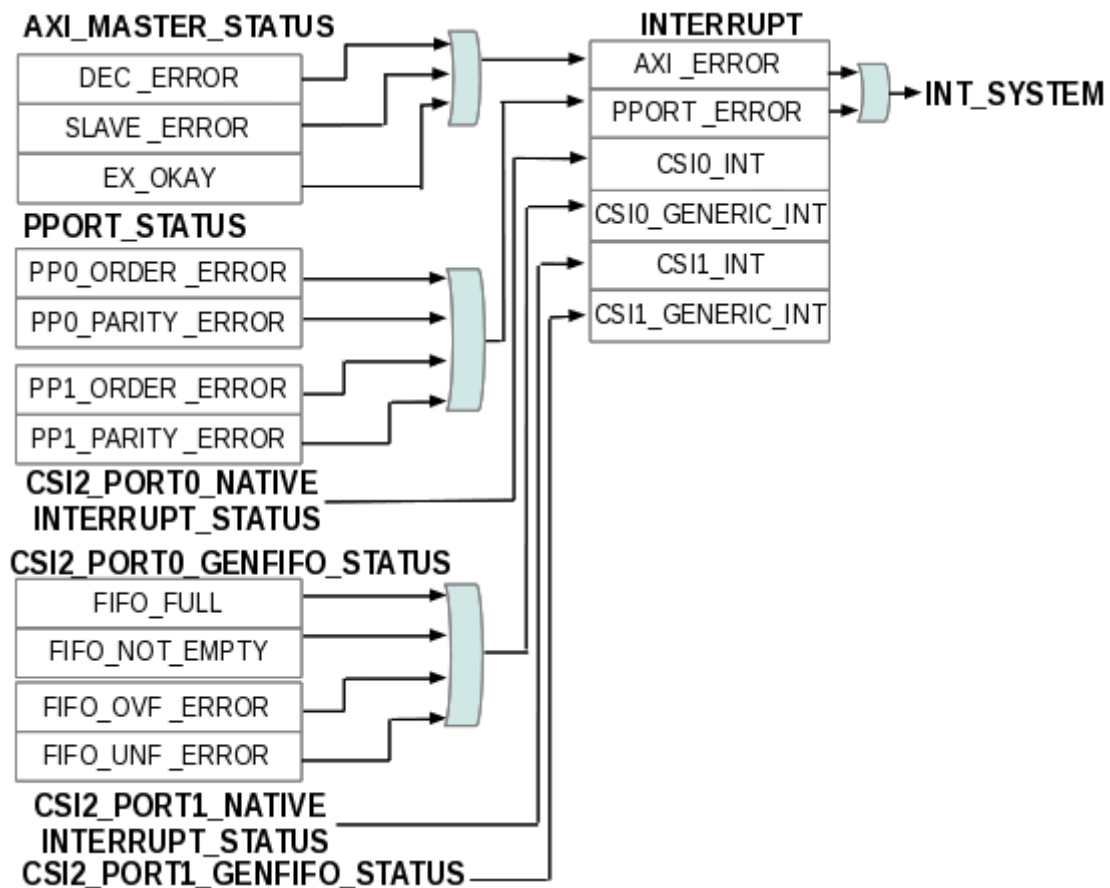


Рисунок 21.46. Источники глобального прерывания

Причинами установки глобального сигнала прерывания могут быть ошибки при приеме видеоданных с входных портов или при передаче результатов обработки во внешнюю память по шине AXI. При возникновении условия глобального прерывания сигнал INT_SYSTEM устанавливается в состояние логической единицы. Причина прерывания отображается в регистре INTERRUPT (см. Рис. 21.46).

Если установлен бит AXI_ERROR, причиной прерывания является ошибка на шине AXI, для более точного определения причины должен быть прочитан регистр AXI_STATUS. Установка бита DEC_ERROR сигнализирует об ошибке дешифрации адреса (несуществующий адрес), бита SLAVE_ERROR — о возникновении какой-либо ошибки в адресуемом slave (несуществующий адрес, неподдерживаемый тип транзакции и тд). Бит EX_OKAY устанавливается при получении по AXI шине ответа с кодом EX_OKAY, что также является ошибкой, поскольку эксклюзивный доступ не поддерживается. При чтении

регистра AXI_STATUS все установленные биты сбрасываются. Ошибки AXI шины являются ошибками системного уровня, для возобновления работы системы хост-процессор должен осуществить сброс, однако непосредственно на работоспособность блока VINC возникновение этих ошибок влияния не оказывает.

Если установлен бит PPORT_ERROR, причиной прерывания является ошибка при приеме данных с параллельных портов ввода видео, для более точного определения причины должен быть прочитан регистр PPORT_STATUS. Бит PP0_ORDER_ERROR устанавливается при нарушении порядка следования символов SEV/EAV в параллельном порту 0, при условии что параллельные порты запрограммированы на работу по стандарту BT.656 (поле PP_VIN_TYPE регистра PPORT_INP_MUX_CFG). Бит PP0_PARITY_ERROR устанавливается при обнаружении двойной ошибки при приеме данных с параллельного порта 0. Назначение PP1_ORDER_ERROR и PP1_PARITY_ERROR аналогично соответствующим битам PPORT0*. При чтении регистра PPORT_STATUS все установленные биты сбрасываются.

Прерывания от последовательных портов делятся на два класса: прерывания от контроллера CSI2 и прерывания от Generic FIFO. При возникновении прерывания от контроллера CSI2 устанавливается бит CSI_n_INT, где n = 0,1 — номер порта. Причина прерывания может быть определена при чтении регистра контроллера CSI2 INTERRUPT STATUS (см. 1). Прерывание может быть замаскировано записью единицы в соответствующий бит *_EN регистра INTERRUPT ENABLE. Прерывание сбрасывается записью единицы в соответствующий бит регистра INTERRUPT STATUS.

Прерывания от Generic FIFO могут возникать как в процессе нормальной работы, так и в результате ошибок. В процессе нормальной работы прерывание может быть выдано при записи определенного количества слов в FIFO (определяется полем THRESHOLD регистра CSI2_PORT_n_GENFIFO_CTR) или при заполнении всего FIFO. Условие прерывания при нормальной работе задается полем INT_CONDITION регистра CSI2_PORT_n_GENFIFO_CTR. При выполнении выбранного условия устанавливается бит FIFO_NOT_EMPTY или FIFO_FULL регистра CSI2_PORT_n_GENFIFO_STATUS. При попытке записи в полный FIFO устанавливается бит FIFO_OVF_ERROR, при попытке чтения из пустого FIFO — бит FIFO_UNF_ERROR регистра CSI2_PORT_n_GENFIFO_STATUS. При чтении регистра CSI2_PORT_n_GENFIFO_STATUS все установленные биты сбрасываются.

Глобальный регистр прерываний INTERRUPT доступен для чтения и установки бит, запись единицы в AXI_ERROR, PPORT_ERROR, CSI0_INT, CSI1_INT, CSI0_GENERIC_INT, CSI1_GENERIC_INT приведет к установке в активное состояние сигнала INT_SYSTEM (может быть использовано при отладке ПО). Запись нулей в регистр INTERRUPT не окажет влияние на состояние его полей.

Глобальные прерывания могут быть замаскированы записью единицы в бит AXI_ERROR_MASK, PPORT_ERROR_MASK, CSI0_INT_MASK, CSI1_INT_MASK, CSI0_GENERIC_INT_MASK, CSI1_GENERIC_INT_MASK регистра INTERRUPT_MASK. Если прерывание от какого-либо источника замаскировано, при возникновении условия прерывания в регистре *_STATUS, а также в регистре INTERRUPT будет установлен соответствующий бит, однако сигнал прерывания не будет выставлен.

Сброс установленных битов регистра INTERRUPT осуществляется записью единицы в бит AXI_ERROR_RESET, PPORT_ERROR_RESET, CSI0_INT_RESET, CSI1_INT_RESET, CSI0_GENERIC_INT_RESET, CSI1_GENERIC_INT_RESET регистра INTERRUPT_RESET. Если перед сбросом бита регистра INTERRUPT не был прочитан соответствующий регистр *_STATUS, бит регистра INTERRUPT и сигнал прерывания сброшены не будут.

Прерывания от каналов обработки видеоданных могут вырабатываться как в результате ошибок, так и при возникновении определенных событий в штатном процессе обработки. При возникновении условия прерывания от потока n устанавливается в состояние логической единицы сигнал INT_STREAM n , где n — номер потока (0-1). Причина прерывания отображается в регистре STREAM n _INTERRUPT (см. Рис. 21.47).

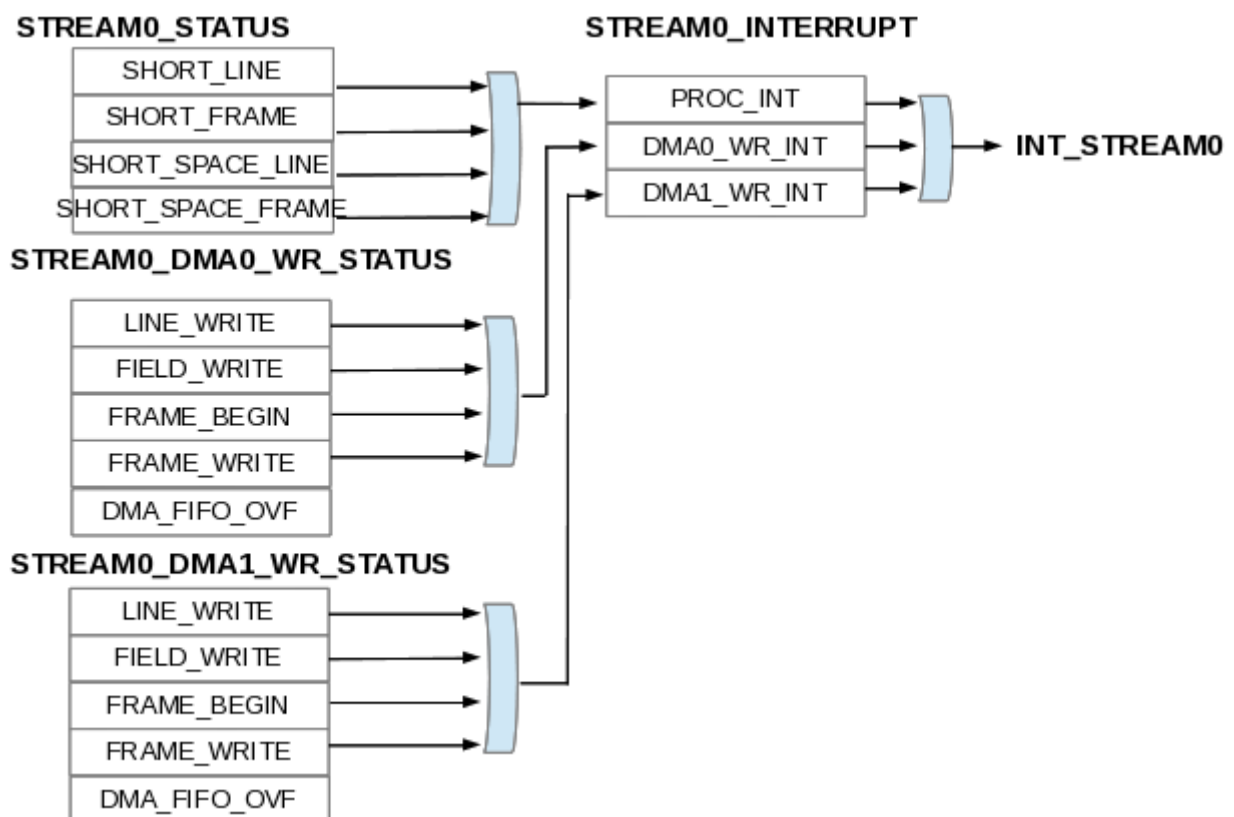


Рисунок 21.47. Источники прерывания от потока 0 обработки видеоданных

Если установлен бит PROC_INT, источником прерывания является канал обработки, причиной прерывания может быть поступление некорректных входных данных на вход

канала. Для более точного определения причины должен быть прочитан регистр `STREAMn_STATUS`. Бит `SHORT_LINE` устанавливается в случае, когда длина строки на входе канала обработки имеет длину менее `HSIZE` пикселей (`HSIZE` определяется в регистре `STREAMn_INP_HCROP_CTR`). Бит `SHORT_FRAME` устанавливается в случае, когда количество строк в кадре менее `VSIZE` или когда длина последней строки кадра имеет длину менее `HSIZE` пикселей, т.е. количество пикселей в кадре менее определенного в регистрах `STREAMn_INP_HCROP_CTR` и `STREAMn_INP_VCROP_CTR` или `STREAMn_INP_VCROP_ODD_CTR` ($VSIZE * HSIZE$). Бит `SHORT_SPACE_LINE` будет установлен, если количество пикселей между строками менее определенного в поле `HSPACE_MIN` регистра `STREAMn_INP_MIN_SPACE`. Бит `SHORT_SPACE_FRAME` будет установлен, если количество строк между кадрами менее определенного в поле `VSPACE_MIN` регистра `STREAMn_INP_MIN_SPACE`. При чтении регистра `STREAMn_STATUS` все биты регистра будут сброшены.

Если установлен бит `DMAm_WR_INT`, источником прерывания является DMA канал записи данных m ($m=0-1$), для более точного определения причины должен быть прочитан регистр `STREAMn_DMAm_WR_STATUS`. В процессе штатной работы DMA канала следующие события могут послужить причиной прерывания:

- DMA канал завершил запись k -й строки кадра. Значение k определяется полем `LINE_INT_PERIOD` регистра `STREAMn_DMAm_WR_CTR` и может иметь величину от 1 до [количество строк в кадре-1]. Сигнал прерывания устанавливается после записи каждой k -й строки кадра, при $k=0$ прерывание после записи очередной строки не вырабатывается;
- DMA канал определил начало кадра;
- DMA канал завершил запись четного/нечетного полукадра. Это прерывание может быть запрограммировано при использовании чересстрочной развертки;
- DMA канал завершил запись кадра.

Для того, чтобы разрешить прерывания от DMA канала в процессе штатной работы, следует установить соответствующие биты регистра `STREAMn_DMAm_WR_CTR`: `LINE_INT_ENABLE`, `FRAME_BEGIN_ENABLE`, `FIELD_BEGIN_ENABLE`, `FRAME_INT_ENABLE`.

Если установлен бит `DMA_FIFO_OVF` в регистре `STREAMn_DMAm_WR_STATUS`, причиной прерывания от DMA канала является попытка записи в полный FIFO буфер. В этом случае произойдет потеря данных. При появлении в FIFO буфере свободных ячеек работа DMA канала будет восстановлена с начала новой строки.

Регистр прерываний `STREAMn_INTERRUPT` доступен для чтения и установки бит, запись единицы в `PROC_INT` и `DMA_WR_CHm_INT` приведет к установке в активное состояние сигнала `INT_STREAMn` (может быть использовано при отладке ПО). Запись нулей в регистр `STREAMn_INTERRUPT` не окажет влияние на состояние его полей.

Прерывания от канала обработки и DMA каналов могут быть замаскированы записью единицы в разряды PROC_INT_MASK и DMA_WR_CH m _INT_MASK регистра STREAM n _INTERRUPT_MASK. При этом будут замаскированы все прерывания, в том числе по причине переполнения FIFO. Если прерывание от канала обработки или DMA канала замаскировано, при возникновении условия прерывания в регистре STREAM n _STATUS или STREAM n _DMA m _WR_STATUS, а также в регистре STREAM n _INTERRUPT будет установлен соответствующий бит, однако сигнал прерывания не будет выставлен.

Сброс установленных битов регистра STREAM n _INTERRUPT осуществляется записью единицы в биты PROC_INT и DMA m _WR_INT регистра STREAM n _INTERRUPT_RESET. Если перед сбросом бита регистра STREAM n _INTERRUPT не был прочитан соответствующий регистр (STREAM n _STATUS или STREAM n _DMA m _WR_STATUS), бит регистра STREAM n _INTERRUPT и сигнал прерывания сброшены не будут.

21.5.4 Программирование портов ввода

21.5.4.1 Программирование параллельных портов

Тип конфигурации физических параллельных портов определяется полем PP_VIN_TYPE регистра PPORT_INP_MUX_CFG:

- PP_VIN_TYPE=0: два параллельных 12-разрядных порта CMOS-сенсоров;
- PP_VIN_TYPE=1: один параллельный 24-разрядный порт Raw 8+8+8;
- PP_VIN_TYPE=2: один параллельный 24-разрядный порт Raw 12+12;
- PP_VIN_TYPE=3: два параллельных 10-разрядных порта BT.656.

Количество модулей обработки входной информации PPort также определяется конфигурацией физических портов:

- PP_VIN_TYPE=0: два модуля PPort;
- PP_VIN_TYPE=1: три модуля PPort;
- PP_VIN_TYPE=2: два модуля PPort;
- PP_VIN_TYPE=3: два модуля PPort.

Для каждого из модулей PPort должны быть определены параметры пиксельной синхронизации: режим SDR/DDR и активный фронт синхросигнала PCLK для SDR (поле PIXEL_MODE регистра PPORT*_CFG). Источником синхросигнала PCLK, а также сигналов горизонтальной и вертикальной синхронизации и сигнала четного/нечетного кадра для чересстрочной развертки в текущей реализации являются внешние входы микросхемы.

Для целей тестирования в качестве источника входных видеоданных могут быть выбраны тестовые сигналы, формируемые встроенными аппаратными генераторами. Тип генератора тестов определяется полем VIN_SRC регистра PPORT*_CFG (1,2 или 3). В нормальном режиме работы поле VIN_SRC должно содержать код 00.

Поскольку в конфигурациях PP_VIN_TYPE=1/2 все модули PPort принимают параллельные данные с одного физического порта, актуальными являются настройки только модуля PPORT0 (PPORT0_CFG). Содержимое регистров PPORT1_CFG и PPORT2_CFG игнорируется. В конфигурациях PP_VIN_TYPE=0 и PP_VIN_TYPE=3 должны быть определены параметры модулей PPORT0 и PPORT1 (регистры PPORT0_CFG и PPORT1_CFG).

21.5.4.1.1 Дополнительные настройки для приема данных по синхросигналу PCLK

Для приема данных по синхросигналу PCLK дополнительных настроек не требуется.

21.5.4.1.2 Дополнительные настройки для приема данных по синхросигналу VINC_CLK

Способ синхронизации входных данных по синхросигналу VINC_CLK выбирается установкой в состояние логической единицы битом PP_VIN_CLK регистра PPORT_INP_MUX_CFG. Этот способ целесообразно применять в случае, когда входные данные стабильны в течение относительно короткого времени (меньше периода PCLK и больше или равного периоду VINC_CLK), а также при соотношении частот PCLK и VINC_CLK менее чем 2:1.

Данные принимаются по синхросигналу VINC_CLK с фиксированной задержкой — 6 тактов VINC_CLK. Сигнал PV, который определяет момент передачи данных в тракт обработки, формируется от фронта синхросигнала PCLK (переднего или/и заднего, в зависимости от значения поля VIN_SRC регистра PPORTn_CFG (n — номер модуля PPort). По умолчанию задержка PV от фронта PCLK составляет 3 такта VINC_CLK. При установке поля DIGITAL_DELAY регистра PPORTn_CFG вводится дополнительная задержка активного PV относительно фронта PCLK. В зависимости от соотношения частот и расположения области стабильности данных импульс PV может возникнуть ситуация, когда импульс PV не может быть сформирован от ближайшего к области стабильности данных фронта PCLK даже при введении дополнительной задержки. В этом случае момент установки активного PV может быть определен с помощью задержки от предыдущих или последующих фронтов PCLK.

На временной диаграмме Рисунок 21.48 данные data, поступающие на вход порта в момент времени T0, будут переданы на вход тракта обработки в момент времени T5. В момент времени T1 данные на входе порта уже нестабильны, следовательно, в момент времени T6 на входе тракта обработки будут находиться нестабильные данные. Если

формировать PV от фронта PCLK Rise1, ближайшего к области стабильности данных, без дополнительной задержки, он будет активен в момент времени T6, т.е. не может быть использован для приема данных data.

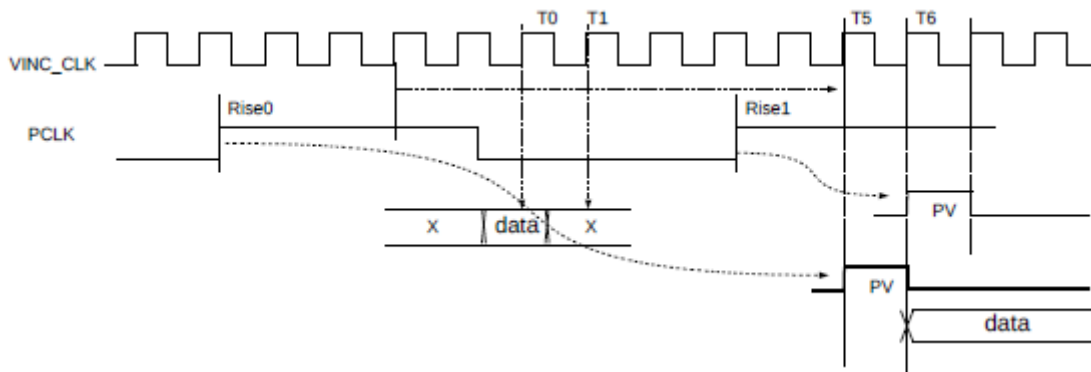


Рисунок 21.48. Формирование импульса PV

В данном случае PV должен быть сформирован от фронта PCLK Rise0 с использованием дополнительной задержки. Помимо DIGITAL_DELAY для определения задержки может быть использован бит PCLK_HALF_CLK регистра PPORTn_CFG, установка которого в состояние логической единицы позволяет добавить к величине задержки дополнительные пол такта VINC_CLK.

Для описания процедуры подбора параметров порта необходимо ввести некоторые термины и обозначения:

- fr - frequencies ratio — отношение частоты VINC_CLK к PCLK;
- se (start edge) - момент времени установки входных данных относительно ближайшего активного фронта PCLK (выраженный в долях периода PCLK);
- ee (end edge) - момент времени завершения удержания входных данных относительно ближайшего активного фронта PCLK (выраженный в долях периода PCLK);
- ase (absolute start edge) - момент времени установки входных данных относительно активного фронта pclk, от которого будет сформирован импульс PV (аналогичен «se» с точностью до целого числа периодов PCLK);
- aee (absolute end edge) - момент времени завершения удержания входных данных относительно активного фронта PCLK, от которого будет сформирован импульс PV (аналогичен «ee» с точностью до целого числа периодов PCLK);
- dd (digital delay) - обозначение величины записываемой в поле DIGITAL_DELAY. В соответствии с 3-х битным размером поля принимает значения в интервале [0..7];
- sh - число дополнительных целых периодов PCLK, использованное для смещения absolute edges в пределы одного периода PCLK;
- Δ интервал времени между активным фронтом PCLK и фиксацией его в порту. Выражается в долях VINC_CLK и меняется от такта к такту из-за несинхронности частот PCLK и VINC_CLK. Не выходит из интервала [0..1].

Возможные варианты определение параметров для различных случаев проиллюстрированы на Рисунок 21.49.

Исходными данными для подбора параметров порта являются «fr», «se» и «ee».

В некоторых случаях невозможность приема сигнала определяется довольно просто.

- $fr \leq 2$ то сигнал с DDR PCLK не принимается;
- $fr \leq 1$ то не принимается так же и сигналы с положительным и отрицательным активным уровнем PCLK;
- $(ee-se)*fr < 1$ прием сигнала невозможен.

В остальных случаях необходимы дополнительные вычисления. Под периодом PCLK в случае DDR понимается половина периода PCLK.

Для устойчивого приема сигнала необходимо выполнение следующих условий:

$$ase \leq (dd-3(+0.5) - \Delta) / fr$$

$$aee \geq dd-3(+0.5) - \Delta / fr$$

Поскольку Δ не выходит из интервала (0..1) и ase выражается как $se + sh$ (аналогично $aee = ee + sh$) и (+0.5) используется опционально то возникают две системы неравенств:

Для PCLK_HALF_CLK=0:

$$0 \leq dd \leq 7$$

$$(se + sh) * fr \leq dd - 3$$

$$(ee + sh) * fr \geq dd - 2$$

Для PCLK_HALF_CLK=1:

$$0 \leq dd \leq 7$$

$$(se + sh) * fr \leq dd - 2.5$$

$$(ee + sh) * fr \geq dd - 1.5$$

Решать следует обе системы одновременно. К сожалению аналитического решения подобрать не удалось видимо оно и не существует). Предлагается каждый раз перебором (а именно в цикле) менять dd от 0 до 7 включительно.

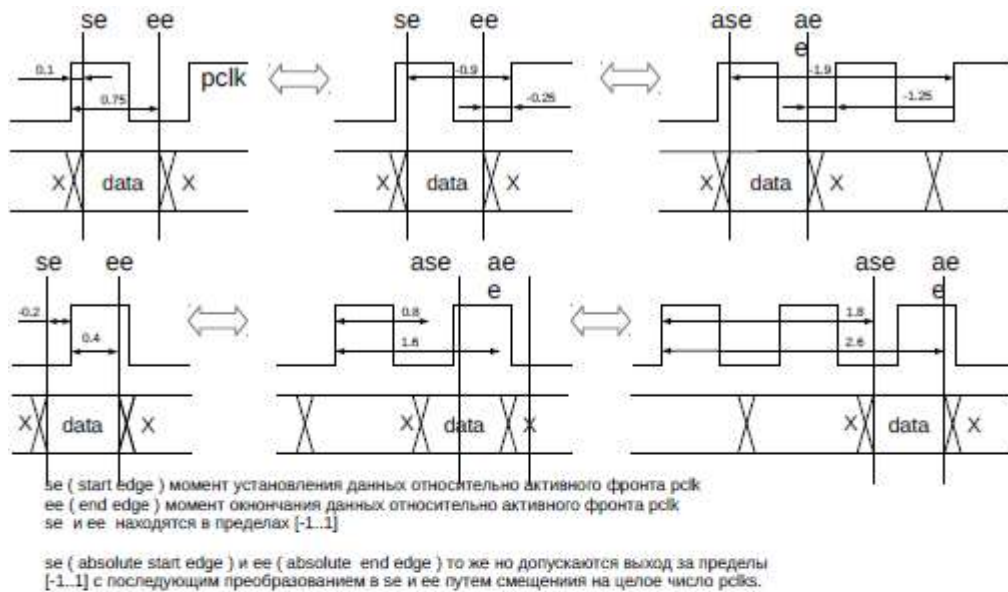
На каждом проходе цикла вычислять:

Для первой системы	Для второй системы
$\min_sh = \text{ceil}(dd - 2 - ee * fr)$	$\min_sh = \text{ceil}(dd - 1.5 - ee * fr)$
$\max_sh = \text{floor}(dd - 3 - se * fr)$	$\max_sh = \text{floor}(dd - 3 - se * fr)$

В случае $\min_sh \leq \max_sh$ возможен прием сигнала с соответствующим dd . Если прием ведется не по ddr , то при невозможности подобрать параметры устойчивого приема следует попробовать решить системы неравенств, для комплиментарного (POS \leftrightarrow NEG) активного фронта PCLK.

При $fr \leq 2$ необходимо установить PCLK_DIV, или PCLK_NEG_DIV в зависимости от активного фронта PCLK (положительного или отрицательного).

При наличии нескольких возможных dd , обеспечивающих прием сигнала, рекомендуется выбирать тот, при котором минимальный рабочий интервал $[se\ ee]$ (легко считается после несложного преобразования неравенств) был бы максимально близко к центру заданного интервала ($[se..ee]$) достоверных входных данных. PInterface принимает входные данные всегда с задержкой 6 периодов VINC_CLK относительно входа. PInterface распознает активный фронт с задержкой $dd + 3(-\frac{1}{2}) + \Delta$ ($-\frac{1}{2}$ используется при PCLK_HALF_CLK=1). Разница моментов времени активного фронта и защелкивания входных данных $dd - 3(+\frac{1}{2}) + \Delta$.



преобразование передний фронт <---> задний фронт

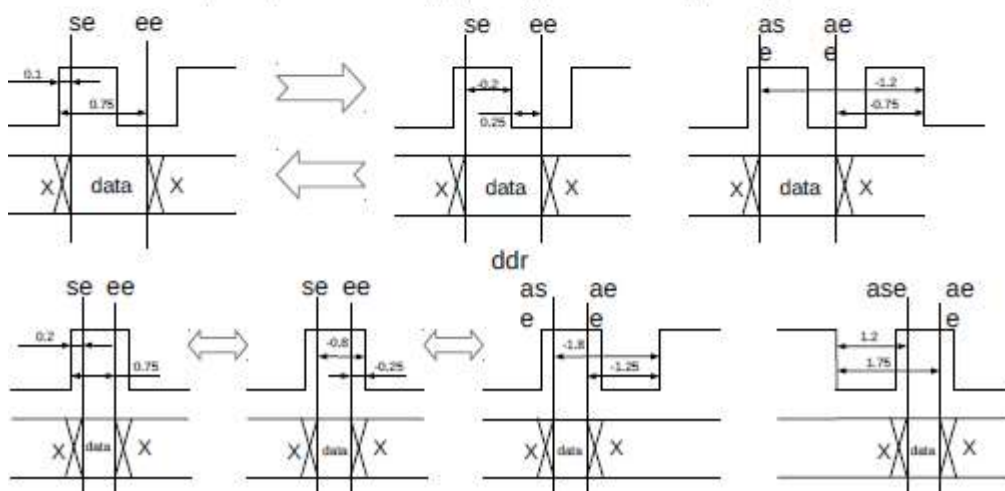


Рисунок 21.49. Временные характеристики интервала достоверных входных данных

Примеры временных диаграмм синхронизации входных данных для различных значений задержки dd приведены на Рисунок 21.50-Рисунок 21.51.

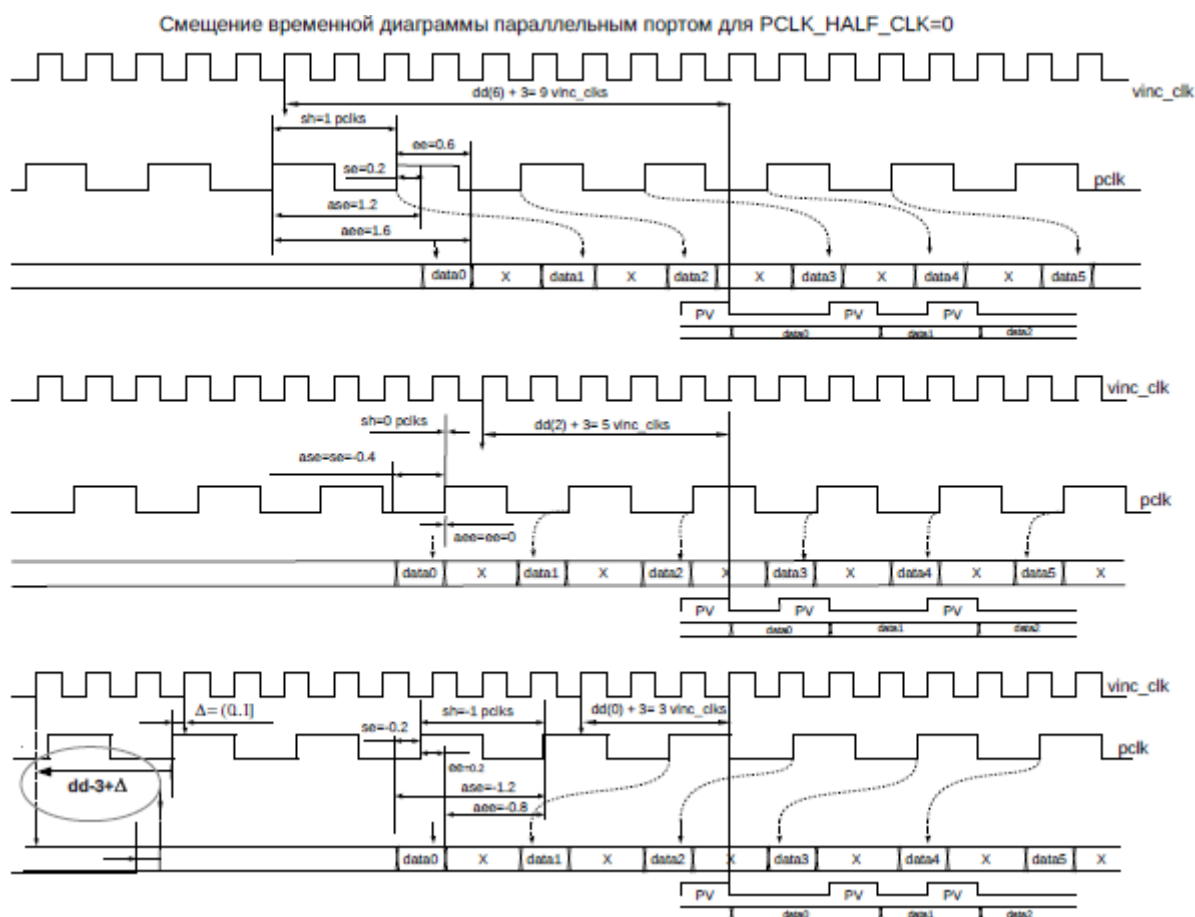


Рисунок 21.50. Временные диаграммы для различных значений dd при $PCLK_HALF_CLK=0$

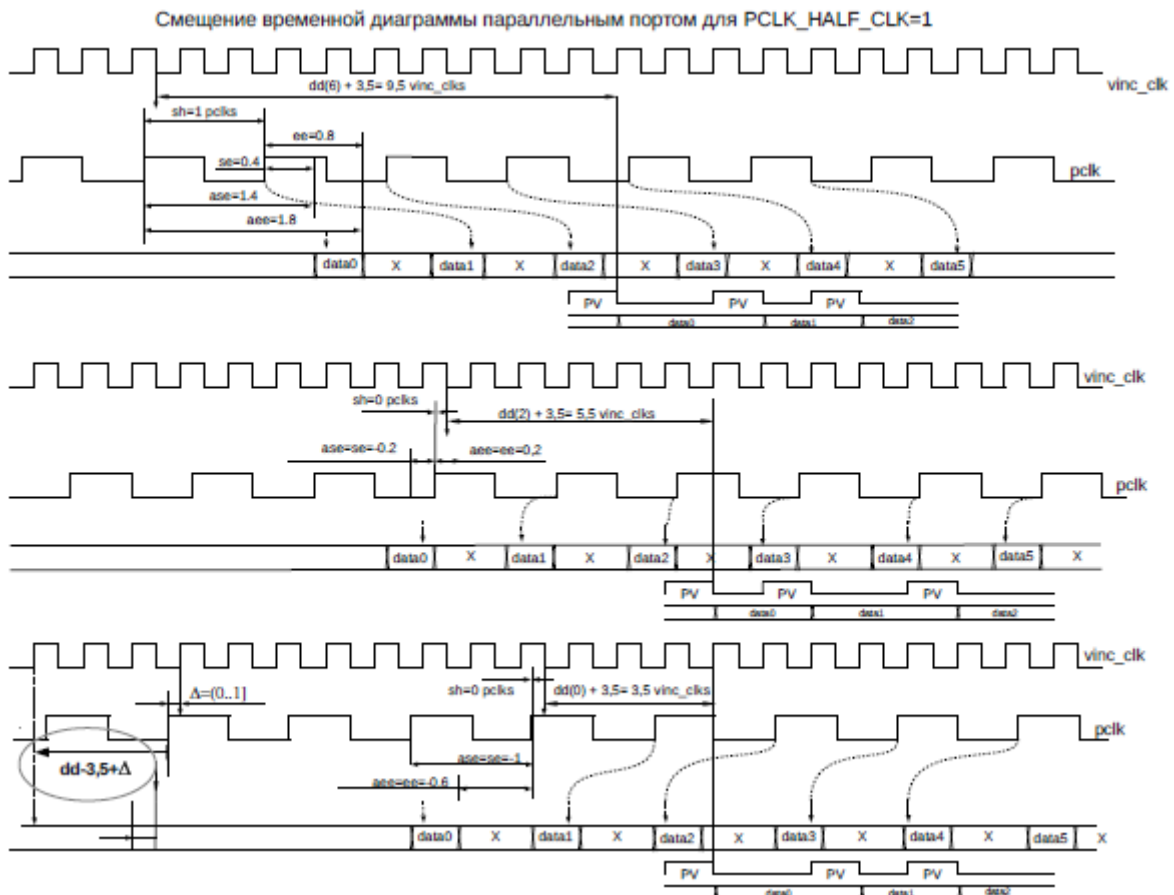


Рисунок 21.51. Временные диаграммы для различных dd при PCLK_HALF_CLK=1

Для определения параметров настройки параллельного порта могут быть использованы графики, отображающие зависимость «окна» приема данных от соотношения частот PCLK VINC_CLK, представленные на Рис. 21.52 - Рис. 21.59. По вертикали – время, отсчитываемое от «активного фронта» частоты PCLK в долях от периода PCLK. По горизонтали $fr = VINC_CLK/PCLK$. Линиями показаны границы (se ee), которые находятся в пределах [-1..1], то есть представляют собой «окно» относительно ближайшего активного фронта pclk, в пределах которого следует обеспечить стабильность данных для уверенного приема (при различных фазовых соотношениях фиктивного фронта VINC_CLK относительно активного фронта PCLK, меняющихся от такта к такту). Абсолютное же «окно» обозначаемое [ase.aee] измеряется от «истинного» фронта, который является источником именно того PV, по которому синхронизируются данные внутри всего тракта обработки VINC.

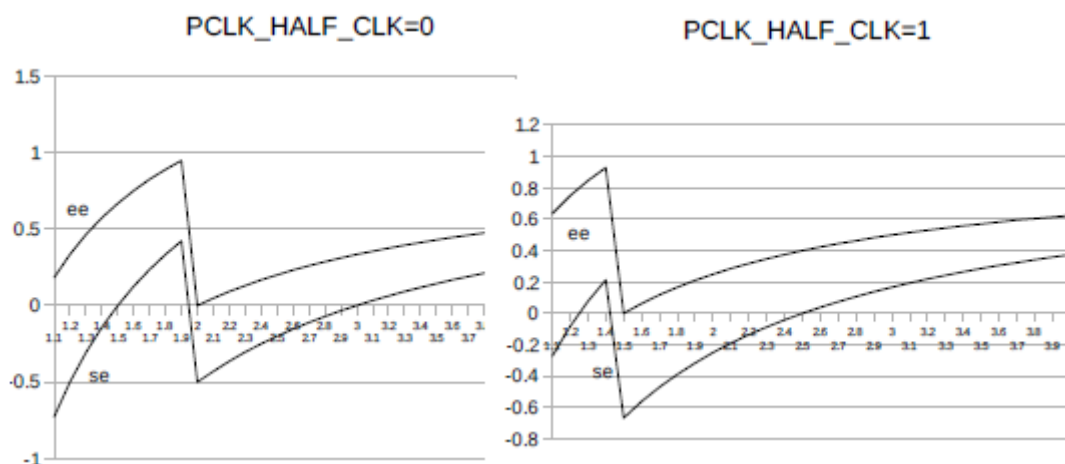


Рисунок 21.52. Зависимость окна приема данных от соотношения частот при $dd=0$

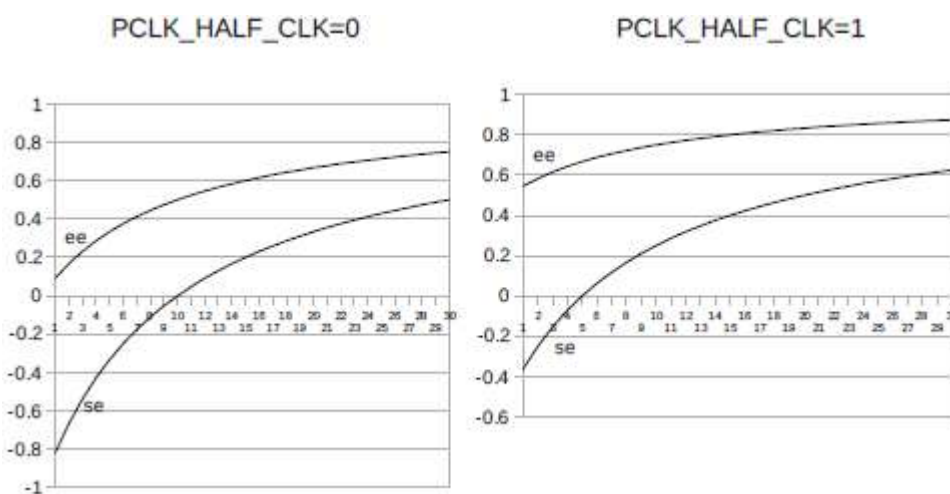


Рисунок 21.53. Зависимость окна приема данных от соотношения частот при $dd=1$

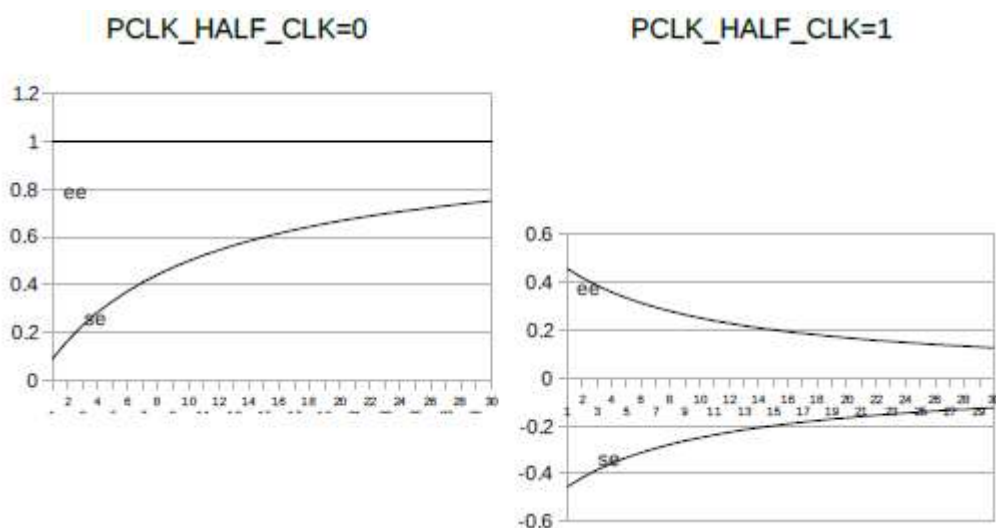


Рисунок 21.54. Зависимость окна приема данных от соотношения частот при $dd=2$

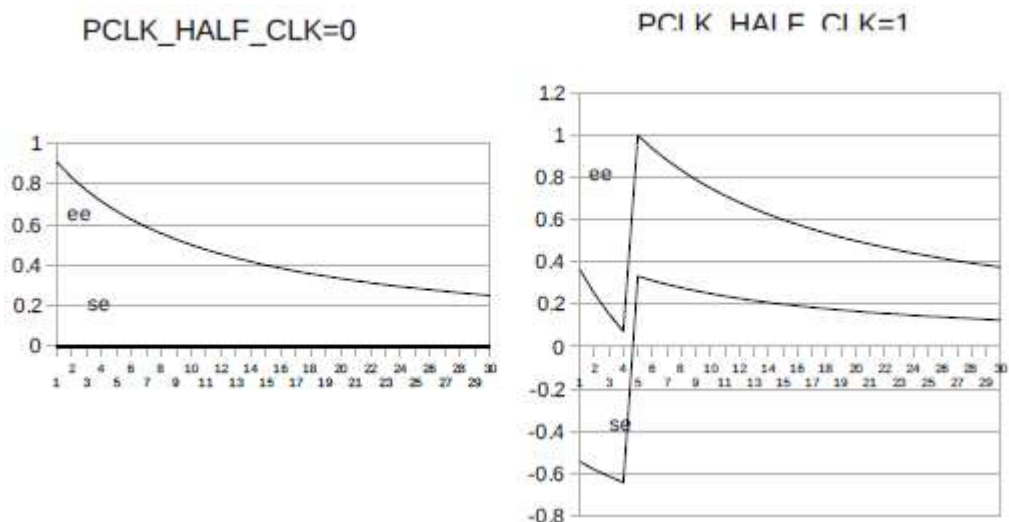


Рисунок 21.55. Зависимость окна приема данных от соотношения частот при $dd=3$

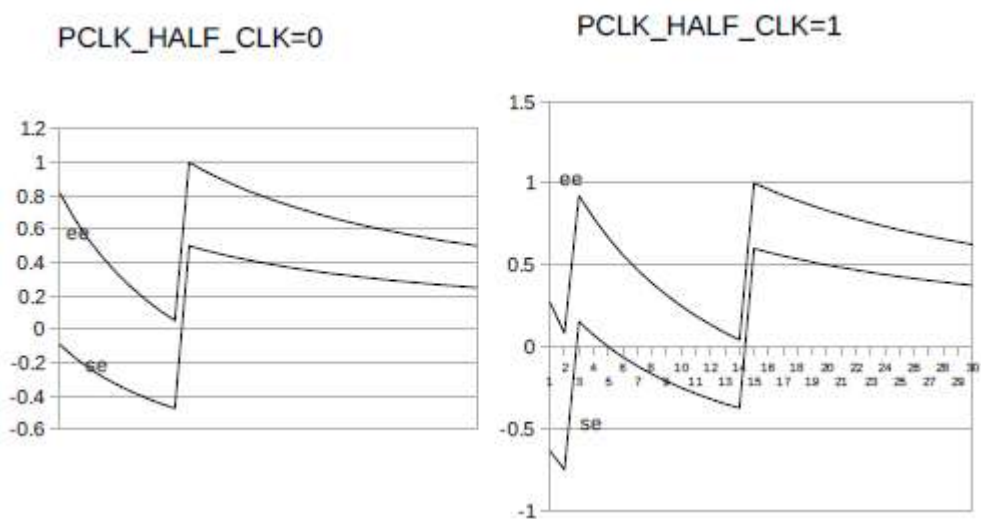
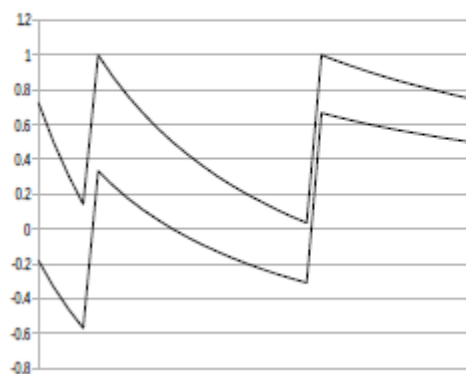


Рисунок 21.56. Зависимость окна приема данных от соотношения частот при $dd=4$

PCLK_HALF_CLK=0



PCLK_HALF_CLK=1

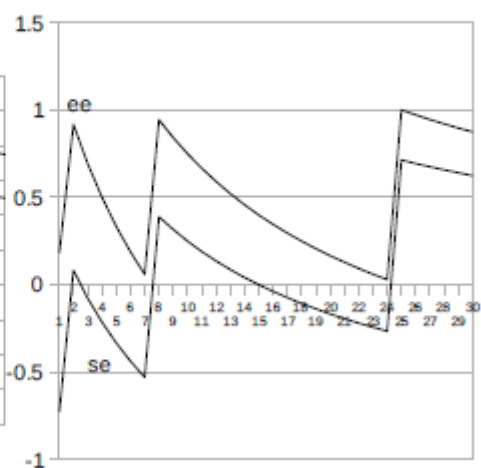
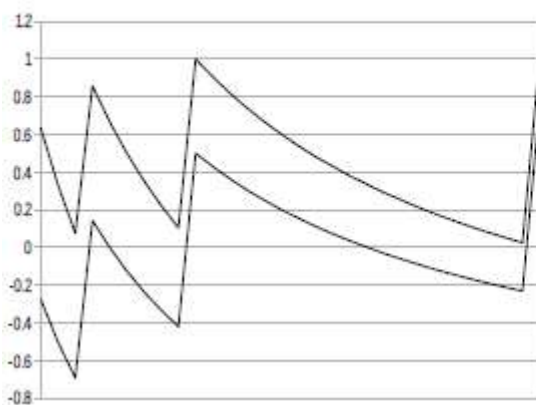


Рисунок 21.57. Зависимость окна приема данных от соотношения частот при dd=5

PCLK_HALF_CLK=0



PCLK_HALF_CLK=1

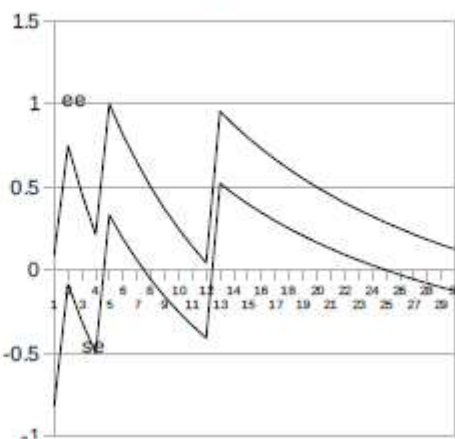
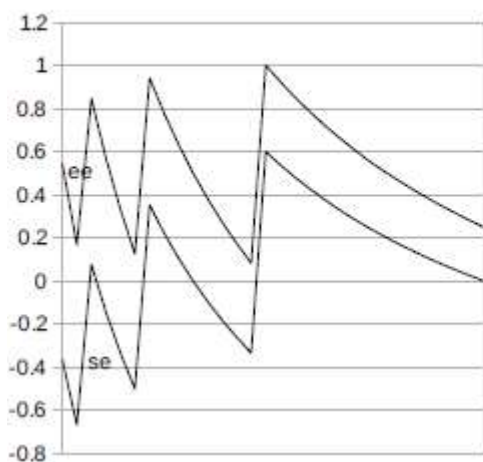


Рисунок 21.58. Зависимость окна приема данных от соотношения частот при dd=6

PCLK_HALF_CLK=0



PCLK_HALF_CLK=1

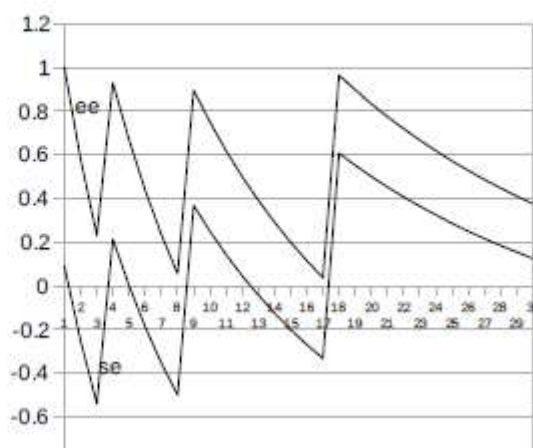


Рисунок 21.59. Зависимость окна приема данных от соотношения частот при dd=7

21.5.4.1.3 Программирование интерфейсов параллельных портов

Видеоданные, поступающие с параллельных портов, преобразуются в один или два потока в формате унифицированного интерфейса потока обработки (см. раздел 21.4.1.1.4.4). Параметры преобразования для потоков 0 и 1 задаются в регистрах PINTERFACE0_CFG и PINTERFACE1_CFG соответственно. К таким параметрам относятся количество тактов сборки CYCLE_NUM (от 1 до 4), количество собираемых пикселей для четных (PIXEL_NUM_EVEN) и нечетных (PIXEL_NUM_ODD) строк (от 1 до 3), номер входного параллельного порта-источника синхронизации PARAL_PORT_SYNC (0-2), код коррекции фазы горизонтальной синхронизации PHASE_CORRECTION. В конфигурации PP_VIN_TYPE=3 (BT.656) должен быть установлен в состояние логической единицы флаг разрешения декодирования сигналов синхронизации из потока видео SYNC_DECODE.

Номера входных цветовых компонентов пикселей 0-3 четной/нечетной строки устанавливаются в соответствии с 4.5 в регистрах PINTERFACE*_CCMOV0-PINTERFACE*_CCMOV2.

21.5.4.1.4 Программирование параллельных портов в режиме встроенного тестирования

Режим встроенного тестирования определяется в регистре PPORT_TEST_CFG. Размер генерируемого тестового изображения определяется полями PTSTSRC_XPIX (размер по горизонтали) и PTSTSRC_YPIX (размер по вертикали). Минимальный размер тестового изображения — 256 x 192 пикселя, размер по умолчанию (после сброса) - 800 x 600 пикселей. Поле PTSTSRC_CLK_DIV определяет пиксельную частоту генерируемого тестового изображения: пиксели выдаются на выход генератора тестов с частотой в PTSTSRC_CLK_DIV+ 1 ниже частоты основного синхросигнала контроллера VIN_CLK. Тип тестового изображения определяется полем PTSTSRC_IMGTYPE (0 — вертикальные полосы, 1 — диагональные полосы, 2 — горизонтальные полосы, 3 - бегущий бит, затем B++, G++, R++ : бегущий бит означает сдвиг 1 по всем битам (000->001->010->100), B++ - каждый последующий пиксель становится ярче на 1 только по синей компоненте, G++ - только по зеленой компоненте, R++ - только по красной. В итоге отображается 3 нарастающих по яркости полос (синего, зеленого и красного цветов).

Генератор тестового изображения выдает с заданной частотой пиксели в виде трех 12-разрядных цветовых компонент. Все три компоненты (36-разрядное слово тестовых данных) поступают на вход всех трех модулей PPort0-2. В каждом из портов в качестве источника входных данных может быть выбрана любая из цветовых компонент. Выбор осуществляется полями VIN_SRC регистров PPORT*_CFG.

При установке PPORT0_CFG=01, PPORT1_CFG=10, PPort2_CFG=11 на выход параллельных портов будет выдаваться тестовое слово в том виде, как оно было сформировано генератором тестовых изображений. При выборе других настроек порядок компонентов в выдаваемом тестовом слове может быть изменен. Например, при установке

всех полей регистров PPORT*_CFG в 01 все модули PPort будут передавать на выход цветовую компоненту из младших 8 разрядов тестового слова данных, и на выход параллельных портов будет выдаваться 24-разрядное слово, состоящее из трех одинаковых 8-разрядных цветовых компонент.

Для преобразования тестового изображения в формат унифицированного интерфейса потока обработки должны быть настроены параметры одного или двух модулей PInterface0-1 (для получения одного или двух потоков обработки) в регистрах PINTERFACE0_CFG и PINTERFACE1_CFG соответственно.

Для получения на входе канала обработки тестового изображения в описанном выше виде, вырабатываемом генератором тестовых изображений, должны быть сделаны следующие настройки PINTERFACE*_CFG:

- CYCLE_NUM=1, PIXEL_NUM_EVEN=1, PIXEL_NUM_ODD=0;
- CCMOVE[0][0]=1, CCMOVE[0][1]=2, CCMOVE[0][2]=3;
- CCMOVE[1][0]=0, CCMOVE[1][1]=0, CCMOVE[1][2]=0;
- PARAL_PORT_SYNC может быть установлен в любое допустимое значение (0, 1, 2);
- остальные настройки PInterface должны оставаться установленными по умолчанию.

Тестовое изображение на входе канала обработки может быть модифицировано изменением настроек PInterface.

21.5.5 Программирование последовательных портов

Настройки контроллера CSI2 последовательного порта осуществляются в соответствии с [1]. Если контроллер CSI2 запрограммирован на выдачу данных по двум портам параллельно (а и b), бит TWO_PORTS регистра CSI2_PORT0_SYS_CTR должен быть установлен в состояние логической единицы. Если контроллер CSI2 запрограммирован на выдачу данных только по порту а, бит TWO_PORTS регистра CSI2_PORT0_SYS_CTR должен быть установлен в состояние логического нуля.

Для приема Generic пакетов требуется определить условие возникновения прерывания от GENERIC FIFO записью в поле INT_CONDITION регистра CSI2_PORT0_GENFIFO_CTR. Допускается выбор одного из двух условий:

- INT_CONDITION=01: прерывание возникает при заполнении GENERIC FIFO;
- INT_CONDITION=10: прерывание возникает при появлении в GENERIC FIFO требуемого количества слов, которое определяется полем THRESHOLD регистра CSI2_PORT0_GENFIFO_CTR.

При INT_CONDITION=00 и INT_CONDITION=11 прерывание от GENERIC FIFO не вырабатывается.

После выполнения всех настроек работа последовательного порта должна быть разрешена установкой в состояние логической единицы бита PORT_ENABLE регистра CSI2_PORT0_SYS_CTR.

В процессе приема данных с CSI RX DPHY в регистре CSI2_PORT0_SYS_STATUS отображается дополнительная статистическая информация о событиях на Data Lane и Clock Lane, не доступная через регистры контроллера CSI2:

- DLN_RX_SYNC_HS: события синхронизации на Data lane 0-3 (см. [2]);
- CLN_RX_ACTIVE_HS: Clock Lane принял синхросигнал;
- CLN_RX_STOP_STATE: Clock Lane находится в Stop State.

Содержимое GENERIC FIFO доступно для чтения по шине APB. Одно слово данных из GENERIC FIFO считывается при чтении регистра CSI2_PORT0_GENFIFO_DATA. Состояние GENERIC FIFO отображается в регистре CSI2_PORT0_GENFIFO_STATUS. Доступны для чтения флаги FIFO_FULL, FIFO_NOT_EMPTY (устанавливается при появлении в GENERIC FIFO количества слов, определенного полем THRESHOLD регистра CSI2_PORT0_GENFIFO_CTR). При попытке записи в полный FIFO устанавливается в состояние логической единицы бит FIFO_OVF_ERROR. При попытке чтения из пустого FIFO устанавливается в состояние логической единицы бит FIFO_UNF_ERROR. Биты FIFO_OVF_ERROR и FIFO_UNF_ERROR сбрасываются при чтении регистра CSI2_PORT0_GENFIFO_STATUS.

21.5.6 Программирование каналов обработки

21.5.6.1 Программирование блока обрезки и децимации входных данных

Выбор источника входных данных для канала обработки видеоданных определяется полем INPUT_INTERFACE регистра конфигурации потока STREAM_n_INP_CFG, где *n* — номер потока (0-1). Допускается четыре возможных источника:

- – INPUT_INTERFACE=0: выход модуля параллельного интерфейса PInterface0;
- – INPUT_INTERFACE=1: выход модуля параллельного интерфейса PInterface1;
- – INPUT_INTERFACE=2: выход модуля последовательного интерфейса SInterface0;
- – INPUT_INTERFACE=3: выход модуля последовательного интерфейса SInterface1.

Другие регистры группы управления первичной обработкой входного потока STREAM_n_INP* задают параметры обрезки кадров и прореживания (см. раздел 21.4.2.1).

Параметры обрезки кадров по горизонтали задаются полями HOFFSET и HSIZE регистра STREAM_n_INP_HCROP_CTR. Для форматов YCbCr 4:2:2 и 4:2:0 значения HOFFSET и HSIZE должны быть четными.

Параметры обрезки кадров по вертикали в случае прогрессивной развертки видео задаются полями VOFFSET и VSIZE регистра $STREAMn_INP_VCROP_CTR$. В случае чересстрочной развертки (установлен бит INTERLACE регистра $STREAMn_INP_CFG$) параметры для четного и нечетного полукадра могут быть различными. VOFFSET и VSIZE для четного полукадра задается в регистре $STREAMn_INP_VCROP_CTR$, для нечетного полукадра — в регистре $STREAMn_INP_VCROP_ODD_CTR$. Если VOFFSET и VSIZE для обоих полукадров одинаковые, их значения должны быть определены в обоих регистрах. Для формата YCbCr 4:2:0 значения VOFFSET и VSIZE должны быть четными.

Параметры прореживания входного потока HDECIM_COEFF, VDECIM_COEFF и FDECIM_COEFF определяются в регистре $STREAMn_INP_DECIM_CTR$:

1. Коэффициент децимации по горизонтали $Kdh = HDECIM_COEFF + 1$.
2. Коэффициент децимации по вертикали $Kdv = VDECIM_COEFF + 1$.
3. Коэффициент децимации по кадрам $Kdf = FDECIM_COEFF + 1$.

При чересстрочной развертке значение коэффициента децимации по вертикали Kdv применяется для каждого полукадра, если бит INTERLACE_DECIM_MODE регистра $STREAMn_INP_DECIM_CTR$ установлен в состояние логической единицы. При $INTERLACE_DECIM_MODE = 0$ значение Kdv применяется для целого кадра.

Для входных данных в формате Bayer децимация по горизонтали и вертикали будет иметь некорректный результат, при необходимости такая децимация может быть осуществлена путем настройки CMOS-сенсора.

Для входных данных в формате YCbCr 4:2:2 децимация по горизонтали может быть осуществлена, однако полученный результат будет иметь фактический формат 4:4:4, и использование преобразования 4:2:2 в 4:4:4 для таких данных некорректно.

Децимация по кадрам для чересстрочной развертки может производиться по одному из двух сценариев:

- требуется анализ обоих полукадров одного кадра. В этом случае бит INTERLACE регистра $STREAMn_INP_CFG$ должен быть установлен в состояние логической единицы. Значение коэффициента децимации по кадрам Kdf будет применяться к целым кадрам. Например, при $FDECIM_COEFF = 1$ ($Kdf = 2$) в канал обработки будут переданы оба полукадра первого кадра, затем оба полукадра третьего кадра и тд. При этом поля одного кадра могут быть обработаны по-разному в зависимости от значений полей VOFFSET и VSIZE регистров $STREAMn_INP_VCROP_CTR$ и $STREAMn_INP_VCROP_ODD_CTR$, значения поля VDECIM_COEFF и состояния бита INTERLACE_DECIM_MODE регистра $STREAMn_INP_DECIM_CTR$. При записи результатов обработки в буфера кадров после записи каждого полукадра

будет установлен сигнал прерывания, сопровождаемый флагами FIELD_WRITE в регистре статуса канала DMA (STREAM n _DMA m _WR_STATUS), а поле записи нечетного полукадра сигнал прерывания будет сопровождаться установкой флагов FIELD_WRITE и FRAME_WRITE в регистре статуса канала DMA;

- требуется анализ только одного полукадра из каждого анализируемого одного кадра. В этом случае бит INTERLACE регистра STREAM n _INP_CFG должен быть установлен в состояние логического нуля. Значение коэффициента децимации по кадрам Kdf будет применяться к полукадрам как к кадрам. При четном коэффициенте децимации в канал обработки будут передаваться только четные полукадры. Например, при FDECIM_COEFF = 1 (Kdf = 2) в канал обработки будет передан четный полукадр первого кадра, затем четный полукадр второго кадра и тд. При нечетном коэффициенте децимации в канал обработки будут передаваться поочередно четные и нечетные полукадры. Например, при FDECIM_COEFF = 2 (Kdf = 3) в канал обработки будет передан четный полукадр первого кадра, затем нечетный полукадр второго кадра, затем четный полукадр четвертого кадра и тд. Все полукадры будут обрабатываться одинаково в зависимости от значений полей VOFFSET и VSIZE регистров STREAM n _INP_VCROP_CTRL и поля VDECIM_COEFF регистра STREAM n _INP_DECIM_CTRL. При записи результатов обработки в буфера кадров после записи каждого полукадра будет установлен сигнал прерывания, сопровождаемый флагом FRAME_WRITE в регистре статуса канала DMA (STREAM n _DMA m _WR_STATUS). При четном коэффициенте децимации установка этого флага будет сигнализировать о записи в буфер кадров четного полукадра, а при нечетном коэффициенте децимации — о записи четного и нечетного полей поочередно.

21.5.6.2 Программирование блока коррекции битых пикселей

Блок коррекции битых пикселей работает с входными данными в форматах Bayer или Mono (Non packed). Формат определяется битом BAYER_MONO регистра STREAM n _PROC_CTRL (0 — bayer, 1 — mono). Режим развертки мозаики Байера определяется записью поля BAYER_MODE регистра STREAM n _PROC_CTRL (0 — RGGB, 1 — GRBG, 2 — GBRG, 3 — BGGR).

Программирование параметров блока должно производиться в отсутствие данных на входе блока, для чего должны быть установлены в состояние логического нуля бит ENABLE и/или STREAM n _ENABLE (см. раздел 21.5.2), где n - номер потока (0-1). Перед программированием работа блока должна быть разрешена установкой в состояние логической единицы бита BPC_EN регистра STREAM n _PROC_CFG.

Доступ к карте битых пикселей осуществляется через регистры STREAM n _PROC_BP_MAP_CTRL и STREAM n _PROC_BP_MAP_DATA. Начальный 12-разрядный адрес записи устанавливается в поле BP_MAP_ADDRESS регистра STREAM n _PROC_BP_MAP_CTRL. Далее 24-разрядные значения данных карты битых

пикселей записываются в поле `BP_MAP_DATA` регистра `STREAM n _PROC_BP_MAP_DATA`. После каждой записи в регистр `STREAM n _PROC_BP_MAP_DATA` адрес карты битых пикселей автоматически инкрементируется аппаратурой. Содержимое карты битых пикселей доступно для чтения через регистры `STREAM n _PROC_BP_MAP_CTRL` и `STREAM n _PROC_BP_MAP_DATA`. Процедура чтения аналогична процедуре записи: устанавливается начальный адрес чтения, затем читается регистр данных и после каждого чтения адрес карты битых пикселей инкрементируется аппаратурой.

Координаты битых строк (до 16) записываются в регистры `BAD_LINE0`-`BAD_LINE7`. Каждый регистр содержит 12-разрядные координаты двух битых строк.

Координаты битых столбцов (до 16) записываются в регистры `BAD_COLUMN0`-`BAD_COLUMN7`. Каждый регистр содержит 12-разрядные координаты двух битых столбцов.

После того как запрограммированы карта битых пикселей и координаты битых строк/столбцов, может быть разрешена подача входных данных на блок (установлены в состояние логической единицы биты `ENABLE` и `STREAM n _ENABLE`).

21.5.6.3 Программирование блока адаптации динамического диапазона

Блок адаптации динамического диапазона работает с входными данными в форматах Bayer или Mono (Non packed).

Программирование параметров блока должно производиться в отсутствие данных на входе блока, для чего должны быть установлены в состояние логического нуля биты `ENABLE` и/или `STREAM n _ENABLE` (см. раздел 21.5.2), где n - номер потока (0-1). Перед программированием работа блока должна быть разрешена установкой в состояние логической единицы бита `ADR_EN` регистра `STREAM n _PROC_CFG`.

Доступ к памяти коэффициентов нелинейного преобразования осуществляется через регистры `STREAM n _PROC_DR_CTRL` и `STREAM n _PROC_DR_DATA`. Начальный 12-разрядный адрес записи устанавливается в поле `MEM_DR_ADDRESS` регистра `STREAM n _PROC_DR_CTRL`. Далее 12-разрядные значения коэффициентов нелинейного преобразования записываются в поле `DR_DATA` регистра `STREAM n _PROC_DR_DATA`. После каждой записи в регистр `STREAM n _PROC_DR_DATA` адрес памяти коэффициентов нелинейного преобразования автоматически инкрементируется аппаратурой. Содержимое памяти коэффициентов нелинейного преобразования доступно для чтения через регистры `STREAM n _PROC_DR_CTRL` и `STREAM n _PROC_DR_DATA`. Процедура чтения аналогична процедуре записи: устанавливается начальный адрес чтения, затем читается регистр данных и после каждого чтения адрес памяти коэффициентов нелинейного преобразования инкрементируется аппаратурой.

Доступ к счетчикам старших бит входных пикселей осуществляется через регистры `STREAM n _PROC_DR_CTR` и `STREAM n _PROC_DR_COUNT`. Номер счетчика, значение которого должно быть считано (0 - 4), записывается в поле `NUM_COUNT` регистра `STREAM n _PROC_DR_CTR`. 32-разрядное значение выбранного счетчика может быть прочитано при чтении регистра `STREAM n _PROC_DR_COUNT`. Сброс всех счетчиков старших бит входных пикселей осуществляется записью единицы в бит `COUNT_CLR` регистра `STREAM n _PROC_DR_CTR`.

После того как запрограммирована память коэффициентов нелинейного преобразования, может быть разрешена подача входных данных на блок (установлены в состояние логической единицы биты `ENABLE` и `STREAM n _ENABLE`).

21.5.6.4 Программирование блока преобразования формата Bayer в формат RGB

Блок преобразования формата Bayer в формат RGB работает с входными данными в формате Bayer (Non packed). На выход блока данные выдаются в формате RGB, альфа-компонент имеет нулевое значение.

Программирование параметров блока должно производиться в отсутствие данных на входе блока, для чего должны быть установлены в состояние логического нуля бит `ENABLE` и/или `STREAM n _ENABLE` (см. раздел 21.5.2), где n - номер потока (0-1). Перед программированием работа блока должна быть разрешена установкой в состояние логической единицы бита `CFA_EN` регистра `STREAM n _PROC_CFG`.

Режим развертки мозаики Байера определяется записью поля `BAYER_MODE` регистра `STREAM n _PROC_CTR` (0 — RGGB, 1 — GRBG, 2 — GBRG, 3 — BGGR).

Размер кадра по горизонтали определяется полем `HSIZE` регистра `STREAM n _INP_HCROP_CTR`. Размер кадра по вертикали определяется полем `VSIZE` регистра `STREAM n _INP_VCROP_CTR`.

После определения параметров блока может быть разрешена подача входных данных на блок (установлены в состояние логической единицы биты `ENABLE` и `STREAM n _ENABLE`). Если в процессе программирования работа блока была запрещена, должен быть установлен в состояние логической единицы бит `CFA_EN` регистра `STREAM n _PROC_CFG`.

21.5.6.5 Программирование блока коррекции цвета

Блок коррекции цвета работает с входными данными в форматах RGB и YCbCr (4:2:2 и 4:4:4).

Программирование параметров блока должно производиться в отсутствие данных на входе блока, для чего должны быть установлены в состояние логического нуля бит ENABLE и/или STREAM n _ENABLE (см. раздел 21.5.2), где n - номер потока (0-1). Перед программированием работа блока должна быть разрешена установкой в состояние логической единицы бита CC_EN регистра STREAM n _PROC_CFG.

Разрядность входных данных определяется записью поля CC_RGB_MODE регистра STREAM n _PROC_CTR (0 — 8 разрядов, 1 — 10 разрядов, 2 — 12 разрядов, 3 — резерв).

16-разрядные коэффициенты матрицы коррекции записываются в поля CC_COEFF0-CC_COEFF8 регистров STREAM n _PROC_CC_COEFF0-4.

13-разрядные значения смещений записываются в поля CC_OFFSET0 — CC_OFFSET2 регистров STREAM n _PROC_CC_OFFSET0-1.

4-разрядное значение коэффициента масштабирования записывается в поле CC_SCALING регистра STREAM n _PROC_CC_OFFSET1.

После определения параметров блока может быть разрешена подача входных данных на блок (установлены в состояние логической единицы биты ENABLE и STREAM n _ENABLE). Если в процессе программирования работа блока была запрещена, должен быть установлен в состояние логической единицы бит CC_EN регистра STREAM n _PROC_CFG.

21.5.6.6 Программирование блока гамма коррекции

Блок гамма коррекции работает с входными данными в форматах RGB и YCbCr (4:2:2 и 4:4:4).

Программирование параметров блока должно производиться в отсутствие данных на входе блока, для чего должны быть установлены в состояние логического нуля бит ENABLE и/или STREAM n _ENABLE (см. раздел 21.5.2), где n - номер потока (0-1). Перед программированием работа блока должна быть разрешена установкой в состояние логической единицы бита GC_EN регистра STREAM n _PROC_CFG.

Доступ к памяти коэффициентов гамма коррекции осуществляется через регистры STREAM n _PROC_GC_CTR и STREAM n _PROC_GC_DATA. Программирование производится в два этапа: на первом этапе записываются коэффициенты в секции R и G одновременно, на втором этапе — в секцию B. Секция памяти, в которую производится

запись, определяется полем NUM_SECTION регистра STREAM n _PROC_GC_CTR (0 — секции R+G, 1 — секция B).

Начальный 12-разрядный адрес записи устанавливается в поле ADDRESS регистра STREAM n _PROC_GC_CTR. При NUM_SECTION=0 12-разрядные значения коэффициентов секции R записываются в поле DATA0, 12-разрядные значения коэффициентов секции G — в поле DATA1 регистра STREAM n _PROC_GC_DATA (в одном 32-разрядном слове). При NUM_SECTION=1 12-разрядные значения коэффициентов секции B записываются в поле DATA0 регистра STREAM n _PROC_GC_DATA. После каждой записи в регистр STREAM n _PROC_GC_DATA адрес памяти коэффициентов гамма коррекции автоматически инкрементируется аппаратурой.

Содержимое памяти коэффициентов гамма коррекции доступно для чтения через регистры STREAM n _PROC_GC_CTR и STREAM n _PROC_GC_DATA. Процедура чтения аналогична процедуре записи: выбирается номер секции, устанавливается начальный адрес чтения, затем читается регистр данных. При NUM_SECTION=0 12-разрядные значения коэффициентов секции R считываются в поле DATA0, 12-разрядные значения коэффициентов секции G — в поле DATA1 регистра STREAM n _PROC_GC_DATA (в одном 32-разрядном слове). При NUM_SECTION=1 12-разрядные значения коэффициентов секции B считываются в поле DATA0 регистра STREAM n _PROC_GC_DATA. После каждого чтения адрес памяти коэффициентов гамма коррекции инкрементируется аппаратурой.

После того как запрограммирована память коэффициентов гамма коррекции, может быть разрешена подача входных данных на блок (установлены в состояние логической единицы биты ENABLE и STREAM n _ENABLE).

21.5.6.7 Программирование блока преобразования формата YCbCr 4:2:2 в формат YCbCr 4:4:4

Блок коррекции цвета работает с входными данными в форматах YCbCr 4:2:2.

Программирование параметров блока должно производиться в отсутствие данных на входе блока, для чего должны быть установлены в состояние логического нуля бит ENABLE и/или STREAM n _ENABLE (см. раздел 21.5.2), где n - номер потока (0-1). Перед программированием работа блока должна быть разрешена установкой в состояние логической единицы бита YCBCR_422_TO_444_EN регистра STREAM n _PROC_CFG.

Алгоритм преобразования формата YCbCr 4:2:2 в формат YCbCr 4:4:4 определяется записью поля YCBCR_422_TO_444_ALG регистра STREAM n _PROC_CTR (0 — ближайший сосед, 1 — кубический сплайн, 2 — FIR фильтр 27-го порядка, 3 — резерв).

Режим заполнения недостающих пикселей по краям строки для FIR-фильтра определяется записью поля YCBCR_422_TO_444_FILL регистра STREAM n _PROC_CTR (0 — зеркальное отображение пикселей, 1 — копирование краевого пикселя).

После определения параметров блока может быть разрешена подача входных данных на блок (установлены в состояние логической единицы биты ENABLE и STREAM n _ENABLE). Если в процессе программирования работа блока была запрещена, должен быть установлен в состояние логической единицы бит YCBCR_422_TO_444_EN регистра STREAM n _PROC_CFG.

21.5.6.8 Программирование блока преобразования цветовой модели YCbCr <-> RGB

Блок преобразования цвета работает с входными данными в форматах RGB и YCbCr 4:4:4.

Программирование параметров блока должно производиться в отсутствие данных на входе блока, для чего должны быть установлены в состояние логического нуля бит ENABLE и/или STREAM n _ENABLE (см. раздел 21.5.2), где n - номер потока (0-1). Перед программированием работа блока должна быть разрешена установкой в состояние логической единицы бита CT_EN регистра STREAM n _PROC_CFG.

16-разрядные коэффициенты матрицы преобразования записываются в поля CT_COEFF0-CT_COEFF8 регистров STREAM n _PROC_CT_COEFF0-4.

16-разрядные значения смещений записываются в поля CT_OFFSET0 — CT_OFFSET2 регистров STREAM n _PROC_CC_OFFSET0-1.

2-разрядное значение коэффициента масштабирования записывается в поле CT_SCALING регистра STREAM n _PROC_CT_OFFSET1.

После определения параметров блока может быть разрешена подача входных данных на блок (установлены в состояние логической единицы биты ENABLE и STREAM n _ENABLE). Если в процессе программирования работа блока была запрещена, должен быть установлен в состояние логической единицы бит CT_EN регистра STREAM n _PROC_CFG.

21.5.6.9 Программирование блока преобразования формата YCbCr 4:4:4 в формат YCbCr 4:2:2

Блок коррекции цвета работает с входными данными в форматах YCbCr 4:4:4.

Программирование параметров блока должно производиться в отсутствие данных на входе блока, для чего должны быть установлены в состояние логического нуля бит ENABLE и/или STREAM n _ENABLE (см. раздел 21.5.2), где n - номер потока (0-1). Перед

программированием работа блока должна быть разрешена установкой в состояние логической единицы бита YCBCR_444_TO_422_EN регистра STREAM n _PROC_CFG.

Алгоритм преобразования формата YCbCr 4:4:4 в формат YCbCr 4:2:2 определяется записью поля YCBCR_444_TO_422_ALG регистра STREAM n _PROC_CTR (0 — ближайший сосед, 1 — кубический сплайн, 2 — FIR фильтр 27-го порядка, 3 — резерв).

Режим заполнения недостающих пикселей по краям строки для FIR-фильтра определяется записью поля YCBCR_444_TO_422_FILL регистра STREAM n _PROC_CTR (0 — зеркальное отображение пикселей, 1 — копирование краевого пикселя).

После определения параметров блока может быть разрешена подача входных данных на блок (установлены в состояние логической единицы биты ENABLE и STREAM n _ENABLE). Если в процессе программирования работа блока была запрещена, должен быть установлен в состояние логической единицы бит YCBCR_444_TO_422_EN регистра STREAM n _PROC_CFG.

21.5.6.10 Программирование блока преобразования формата YCbCr 4:2:2 в формат YCbCr 4:2:0

Блок коррекции цвета работает с входными данными в форматах YCbCr 4:2:2. Программирование параметров блока должно производиться в отсутствие данных на входе блока, для чего должны быть установлены в состояние логического нуля бит ENABLE и/или STREAM n _ENABLE (см. раздел 21.5.2), где n - номер потока (0-1). Перед программированием работа блока должна быть разрешена установкой в состояние логической единицы бита YCBCR_422_TO_420_EN регистра STREAM n _PROC_CFG.

Алгоритм преобразования формата YCbCr 4:2:2 в формат YCbCr 4:2:0 определяется записью поля YCBCR_422_TO_420_ALG регистра STREAM n _PROC_CTR (0 — ближайший сосед, 1 — линейная интерполяция).

После определения параметров блока может быть разрешена подача входных данных на блок (установлены в состояние логической единицы биты ENABLE и STREAM n _ENABLE). Если в процессе программирования работа блока была запрещена, должен быть установлен в состояние логической единицы бит YCBCR_422_TO_420_EN регистра STREAM n _PROC_CFG.

21.5.6.11 Программирование блока сбора статистики

Блок сбора статистики работает с входными данными в форматах Mono, RGB, YCbCr (4:4:4 и 4:2:2).

Программирование параметров блока должно производиться в отсутствие данных на входе блока, для чего должны быть установлены в состояние логического нуля бит

ENABLE и/или $STREAM_n_ENABLE$ (см. раздел 21.5.2), где n - номер потока (0-1). Перед программированием работа блока должна быть разрешена установкой в состояние логической единицы битов $STT_EN[2:0]$ регистра $STREAM_n_PROC_CFG$.

Размер кадра по горизонтали определяется полем H_SIZE регистра $STREAM_n_INP_HCROP_CTR$. Размер кадра по вертикали определяется полем V_SIZE регистра $STREAM_n_INP_VCROP_CTR$.

Зоны для сбора статистики определяются в количестве от 1 до 4-х. Разрешение сбора статистики в зоне 0 осуществляется установкой в состояние логической единицы бита $STT_ZONE_EN[0]$, в зоне 1 - бита $STT_ZONE_EN[1]$, в зоне 2 - бита $STT_ZONE_EN[2]$, в зоне 3 - бита $STT_ZONE_EN[3]$. Координаты левого верхнего угла зоны 0 определяются записью полей X_TOP_0 и Y_TOP_0 регистра $STREAM_n_PROC_STAT_TOP0$. Координаты правого нижнего угла зоны 0 определяются записью полей X_BOTTOM_0 и Y_BOTTOM_0 регистра $STREAM_n_PROC_STAT_BOTTOM0$. Координаты зоны 1 определяются аналогичным образом в регистрах $STREAM_n_PROC_STAT_TOP1$ и $STREAM_n_PROC_STAT_BOTTOM1$, зоны 2 - в регистрах $STREAM_n_PROC_STAT_TOP2$ и $STREAM_n_PROC_STAT_BOTTOM2$, зоны 3 - в регистрах $STREAM_n_PROC_STAT_TOP3$ и $STREAM_n_PROC_STAT_BOTTOM3$. Размер зоны не должен превышать размер кадра, иначе результат вычислений будет некорректным.

Перед построением гистограмм должно быть осуществлено чтение памятей гистограмм, в процессе чтения автоматически осуществляется обнуление ячеек памятей.

Блок может осуществлять сбор статистики в одном из двух режимов: постоянном (для каждого кадра) или для каждого четного кадра. В режиме для каждого четного кадра статистика собирается во время обработки четного кадра, а во время обработки нечетного кадра собранная статистика может быть считана по шине APB. В постоянном режиме статистика собирается во время обработки и четных, и нечетных кадров, однако чтение результатов по шине APB имеет приоритет при обращении к памяти гистограмм перед чтением со стороны аппаратуры в процессе построения гистограмм, поэтому результат может оказаться некорректным. Режим определяется независимо для различных функций сбора статистики. Бит $HIST_THR$ регистра $STREAM_n_PROC_CTR$ определяет режим построения гистограмм (0 — для каждого кадра, 1 — для четного кадра). Бит AF_THR регистра $STREAM_n_PROC_CTR$ определяет аналогичным образом режим вычисления автофокуса, бит ADD_THR регистра $STREAM_n_PROC_CTR$ — режим вычисления минимума/максимума/суммы/суммы квадратов.

Для выполнения функции вычисления автофокуса требуется определить дополнительные параметры. Поле AF_COLOR регистра $STREAM_n_PROC_CTR$ выбирает цветовую компоненту для автофокуса, поле AF_TH регистра $STREAM_n_PROC_STAT_TH$ задает пороговое значение для автофокуса.

После программирования параметров может быть разрешена подача входных данных на блок (установлены в состояние логической единицы биты ENABLE и STREAM n _ENABLE). Если в процессе программирования работа блока была запрещена, должно быть разрешено выполнение каждой из требуемых функций сбора статистики. Для разрешения построения гистограмм должен быть установлен в состояние логической единицы бит STT_EN[0] регистра STREAM n _PROC_CFG. Для разрешения вычисления автофокуса должен быть установлен в состояние логической единицы бит STT_EN[1] регистра STREAM n _PROC_CFG. Для разрешения вычисления минимума/максимума/суммы/суммы квадратов должен быть установлен в состояние логической единицы бит STT_EN[2] регистра STREAM n _PROC_CFG.

В режиме сбора статистики для каждого четного кадра чтение статистической информации осуществляется после прерывания от DMA канала о записи в буфер каждого четного кадра (установлен бит FRAME_WRITE регистра STREAM n _DMAM_WR_STATUS, где m - DMA канала потока). В режиме постоянного сбора статистики чтение может осуществляться в произвольный момент времени.

Доступ к памяти гистограмм осуществляется через регистры STREAM n _PROC_STAT_CTR и STREAM n _PROC_STAT_DATA. Номер зоны, для которой будет считываться гистограмма, определяется полем NUM_ZONE регистра STREAM n _PROC_STAT_CTR, цветовая компонента — полем COLOR_HIST регистра STREAM n _PROC_STAT_CTR. Начальный 8-разрядный адрес чтения устанавливается в поле ADDR_HIST регистра STREAM n _PROC_STAT_CTR. Далее 24-разрядные слова памяти гистограмм считываются в поле DATA_HIST_MEM регистра STREAM n _PROC_STAT_DATA. После каждого чтения регистра STREAM n _PROC_STAT_DATA адрес памяти гистограмм автоматически инкрементируется аппаратурой, а содержимое прочитанной ячейки обнуляется.

8-разрядные минимальные значения по трем цветам для зоны, номер которой определен полем NUM_ZONE регистра STREAM n _PROC_STAT_CTR, могут быть получены при чтении регистра STREAM n _PROC_STAT_MIN (поля MIN_RED, MIN_GREEN, MIN_BLUE).

8-разрядные максимальные значения по трем цветам для зоны, номер которой определен полем NUM_ZONE регистра STREAM n _PROC_STAT_CTR, могут быть получены при чтении регистра STREAM n _PROC_STAT_MAX (поля MAX_RED, MAX_GREEN, MAX_BLUE).

32-разрядные значения суммы по трем цветам для зоны, номер которой определен полем NUM_ZONE регистра STREAM n _PROC_STAT_CTR, могут быть получены при чтении регистров STREAM n _PROC_STAT_SUM_R, STREAM n _PROC_STAT_SUM_G, STREAM n _PROC_STAT_SUM_B.

Для чтения 40-разрядного значения суммы квадратов по каждому цвету для зоны, номер которой определен полем NUM_ZONE регистра STREAM n _PROC_STAT_CTR, должны быть считаны два регистра: младшие 32 разряда суммы квадратов по красному цвету находятся в регистре STREAM n _PROC_STAT_SUM2_R, старшие 8 разрядов — в поле SUM2_RED регистра STREAM n _PROC_STAT_SUM2_HI. Аналогичным образом могут быть считаны значения суммы квадратов по другим цветам (по зеленому — регистр STREAM n _PROC_STAT_SUM2_G + поле SUM2_GREEN регистра STREAM n _PROC_STAT_SUM2_HI, по синему - регистр STREAM n _PROC_STAT_SUM2_B + поле SUM2_BLUE регистра STREAM n _PROC_STAT_SUM2_HI).

Значение фильтра Собеля по горизонтальному направлению может быть получено при чтении регистра STREAM n _PROC_STAT_HSOBEL, по вертикальному направлению — регистра STREAM n _PROC_STAT_VSOBEL, по диагонали LTRB - регистра STREAM n _PROC_STAT_LSOBEL, по диагонали RTLБ - регистра STREAM n _PROC_STAT_RSOBEL.

Тракт вычисления автофокуса может быть сброшен записью логической единицы в бит AF_CLR регистра STREAM n _PROC_CTR. Тракт вычисления минимума/максимума/суммы/суммы квадратов может быть сброшен записью логической единицы в бит ADD_CLR регистра STREAM n _PROC_CTR.

Режим четного кадра сбора статистики может быть сброшен записью логической единицы в бит THR_CLR регистра STREAM n _PROC_CTR. После записи единицы в этот бит сбор статистики продолжается со следующего кадра даже если он нечетный.

21.5.6.12 Программирование блока подсчета интегральных сумм

Блок подсчета интегральных сумм работает с входными данными в форматах RGB и YCbCr (4:4:4 и 4:2:2).

Программирование параметров блока должно производиться в отсутствие данных на входе блока, для чего должны быть установлены в состояние логического нуля бит ENABLE и/или STREAM n _ENABLE (см. раздел 21.5.2), где n - номер потока (0-1). Перед программированием работа блока должна быть разрешена установкой в состояние логической единицы бита IM_EN регистра STREAM n _PROC_CFG.

Выбор цветовой компоненты, для которой будет производиться подсчет интегральных сумм, определяется записью поля IM_COLOR регистра STREAM n _PROC_CTR (0 — зеленый цвет/компонента яркости Y (в зависимости от типа входных данных RGB или YCbCr), 1 — синий цвет/Cb, 2 — красный цвет/Cr).

Один из каналов DMA потока должен быть настроен на прием интегрального изображения. Для этого бит INF_TYPE регистра STREAM n _DMA m _FBUF_CFG (где m -

номер DMA канала (0-1)) должен быть установлен в единицу, а в поле выбора источника данных для DMA канала DMA_m_SRC регистра $STREAMn_PROC_CTR$ должен быть записан код 110 (выход блока подсчета интегральных сумм). Настройки формата пикселя для DMA канала (регистр $STREAMn_DMAm_PIXEL_FMT$) должны иметь значение, устанавливаемое после сброса.

После определения параметров блока может быть разрешена подача входных данных на блок (установлены в состояние логической единицы биты $ENABLE$ и $STREAMn_ENABLE$). Если в процессе программирования работа блока была запрещена, должен быть установлен в состояние логической единицы бит IM_EN регистра $STREAMn_PROC_CFG$.

21.5.6.13 Программирование канала обработки для различных сценариев

Возможные сценарии работы канала обработки в зависимости от формата входных данных приведены в 21.11.

Для программирования канала в соответствии с выбранным сценарием требуется:

1. Определить блоки обработки, которые должны быть включены для выполнения требуемых преобразований и включить их установкой битов $*_EN$ регистра $STREAMn_PROC_CFG$.
2. Выбрать источники данных для DMA каналов из возможных для данного сценария и записать требуемые коды в поля DMA_0_SRC и DMA_1_SRC регистра $STREAMn_PROC_CFG$.
3. Запрограммировать блоки обработки в соответствии с разделами 21.5.4 – 21.5.5.12.
4. Запрограммировать DMA каналы в соответствии с разделом 21.5.6.

21.5.6.14 Программирование DMA контроллера

Для инициализации DMA канала записи данных требуется выполнение следующих действий:

1. Создание во внешней памяти буферов кадров для размещения обработанных видеоданных и настройка конфигурационных регистров DMA канала, определяющих базовые адреса и параметры буферов.
2. Настройка опций, определяющих условия установки сигналов прерывания, в регистре управления DMA канала $STREAMn_DMAm_WR_CTR$, где n — номер потока (0-1), m — номер DMA канала потока (0-1).

3. Разрешение прерывания от DMA канала установкой в 0 бита DMA_WR_CH m _MASK регистра STREAM n _INTERRUPT_MASK.
4. Определение максимальной длины burst на шине AXI (поле AXI_MAX_BURST_LENGTH регистра AXI_MASTER_CFG).
5. Разрешение работы DMA контроллера установкой бита DMA_CHANNELS_ENABLE.
6. Разрешение работы DMA канала установкой бита DMA_ENABLE регистра STREAM n _DMA m _WR_CTRL.

Количество буферов кадров во внешней памяти определяется требуемым форматом сохраняемых данных. При необходимости раздельного хранения цветowych компонентов может быть создано два буфера кадров. 32-разрядные базовые адреса буферов должны быть указаны в регистрах STREAM n _DMA m _BUF0_BASE и STREAM n _DMA m _BUF1_BASE, где n — номер потока (0-1), m — номер DMA канала потока (0-1).

Размер буферов кадров определяется форматом пикселя, размером кадра и количеством кадров. Допускается создание интервалов между последовательными строками в кадре и между кадрами в буфере. Буфер кадров не должен пересекать границу адресного пространства 4 Гбайт (при пересечении границы 4 Гбайт CURRENT_ADDRESS будет переходить на адрес 0, что приведет к непредсказуемым последствиям).

Формат пикселя задается в регистре STREAM n _DMA m _PIXEL_FMT. Детальное описание форматов содержится в разделе 21.5.1.7.57.

Количество кадров от 1 до 255 определяется полем NUM_FRAMES в регистре конфигурации буферов STREAM n _DMA m _BUF_CFG.

Для определения размера кадра в буфере кадров используются 16-разрядное поле HSIZE (размер кадра по горизонтали, измеряемый в количестве пикселей) регистра горизонтального смещения и длины буферов кадров STREAM n _DMA m _BUF_HORIZ и 16-разрядное поле VSIZE (размер кадра по вертикали, измеряемый в количестве пикселей) регистра вертикального смещения и длины буферов кадров STREAM n _DMA m _BUF_VERT.

21.5.6.15 Выделение фрагмента кадра

Размер кадра в потоке данных, поступающих на вход блока DMA, может отличаться от размера кадра в буфере кадров. Если размер кадра в буфере меньше кадра во входном потоке, при записи данных в буфер из входного потока должен быть выделен фрагмент (см. Рис. 21.60). Должны быть заданы горизонтальное и вертикальное смещение (в

количестве пикселей) относительно входного потока (поля HOFFSET и VOFFSET регистров STREAM_n_DMA_m_BUF_HORIZ и STREAM_n_DMA_m_BUF_VERT соответственно).

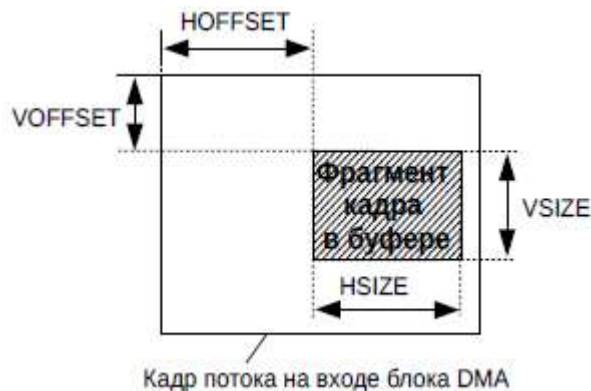


Рисунок 21.60. Выделение фрагмента кадра

Для чересстрочной развертки (установлен бит INTERLACE в регистре STREAM_n_INP_CFG) вертикальный размер и смещение могут различаться для четных и нечетных полукадров. VSIZE и VOFFSET для четного полукадра задаются в регистре STREAM_n_DMA_m_BUF_VERT, для нечетного полукадра — в регистре STREAM_n_DMA_m_BUF_VERT_ODD. VSIZE должен указывать размер половины кадра.

Для форматов YCbCr 4:2:2 и 4:2:0 значения HOFFSET и HSIZE должны быть четными. Установка нечетных значений приведет к ошибке. Для формата Bayer Pack (установлен бит BAYER_PACK регистра STREAM_n_INP_CFG) может быть установлено любое значение HOFFSET, однако оно будет округлено до значения, кратного 4 в большую сторону.

Для формата YCbCr 4:2:0 значение VOFFSET должно быть четным. Установка нечетного значения приведет к ошибке. VSIZE для YCbCr 4:2:0 может быть нечетным.

21.5.6.16 Децимация по вертикали и горизонтали

Перед записью в буфер кадров поток видеоданных может быть прорежен по вертикали и горизонтали. Коэффициенты децимации по горизонтали и вертикали определяются параметрами HDECIM_COEFF и VDECIM_COEFF, заданными в регистре STREAM_n_DMA_m_FBUF_DECIM. Диапазон коэффициентов децимации HDECIM_COEFF и VDECIM_COEFF - от 1 до 16.

Коэффициент децимации по горизонтали $K_{dh} = HDECIM_COEFF + 1$.

Коэффициент децимации по вертикали $K_{dv} = VDECIM_COEFF + 1$.

Если $K_{dh} > 1$, в буфер кадров записываются пиксели строк с $j=M*K_{dh}$, $j < num_line$ (где M — целое число ≥ 0).

Если $K_{dv} > 1$, в буфер кадров записываются пиксели с $i=M*K_{dv}$, $i < \text{line_length}$ (где M — целое число ≥ 0).

Размер кадра по горизонтали после децимации будет определяться следующим образом:

```
if (HSIZE%Kdh) HSIZE_after_decim = int(HSIZE/Kdh) + 1
```

```
else HSIZE_after_decim = int(HSIZE/Kdh)
```

Размер кадра по вертикали после децимации будет определяться следующим образом:

```
if (VSIZE%Kdv) VSIZE_after_decim = int(VSIZE/Kdv) + 1
```

```
else VSIZE_after_decim = int(VSIZE/Kdv)
```

Для форматов YCbCr 4:2:2, 4:2:0 и Bayer(unpacked) децимация по горизонтали осуществляется по отношению не к каждому пикселю, а к паре пикселей, см. Рисунок 21.61.

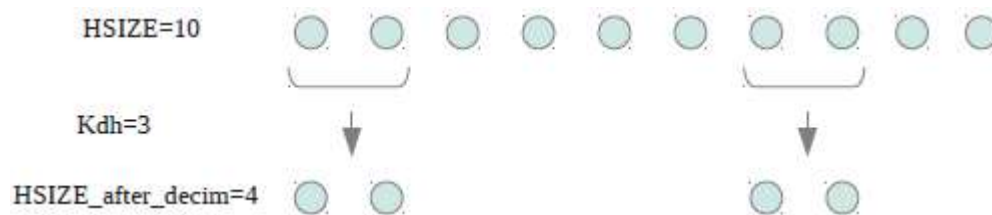


Рисунок 21.61. Децимация по горизонтали для форматов YCbCr 4:2:2/4:2:0/Bayer

Размер кадра по горизонтали после децимации для этих форматов будет определяться следующим образом:

```
if (HSIZE%(2*Kdh) >= 2) HSIZE_after_decim = int(HSIZE/(2*Kdh))*2 + 2;
```

```
else if (HSIZE%(2*Kdh) = 1) HSIZE_after_decim = int(HSIZE/(2*Kdh))*2 + 1;
```

```
else HSIZE_after_decim = int(HSIZE/(2*Kdh))*2
```

Для формата YCbCr 4:2:0 и Bayer (unpacked) децимация по вертикали осуществляется по отношению не к каждой строке, а к паре строк.

Размер кадра по вертикали после децимации для этих форматов будет определяться следующим образом:

```
if (VSIZE%(2*Kdv) >= 2) VSIZE_after_decim = (int(VSIZE/(2*Kdv))*2 + 2;
```

```
else if (VSIZE%(2*Kdv) = 1) VSIZE_after_decim = (int(VSIZE/(2*Kdv))*2 + 1;
```

```
else VSIZE_after_decim = int(VSIZE/(2*Kdv)) *2
```


Для формата Bayer Packed результат децимации будет некорректным.

При чересстрочной развертке значение коэффициента децимации по вертикали `VDECIM_COEFF` применяется для каждого полукадра, если бит `INTERLACE_DECIM_MODE` регистра `STREAMn_DMAm_FBUF_DECIM` установлен в состояние логической единицы. При `INTERLACE_DECIM_MODE = 0` значение `VDECIM_COEFF` применяется для целого кадра.

21.5.6.17 Определение шага адреса по строкам и кадрам

Если размер кадра в буфере больше кадра во входном потоке, кадр входного потока должен быть позиционирован в буфере кадров, для чего базовый адрес каждого из буферов кадров должен быть установлен на фактическое начало кадра в регистрах `STREAMn_DMAm_BUFk_BASE`, где `k` — номер буфера (0-1). Шаг адреса по строкам должен быть установлен равным фактической длине строки буфера в поле `LINE_ADDR_STEP` (в количестве пикселей) регистров шага адреса по строкам `STREAMn_DMAm_BUFk_LSTEP`. Возможны следующие варианты соотношения шага адреса и размера кадра по горизонтали:

- $LINE_ADDR_STEP = HSIZE * \langle \text{размер пикселя} \rangle$. Строки располагаются последовательно друг за другом без интервалов;
- $LINE_ADDR_STEP > HSIZE * \langle \text{размер пикселя} \rangle$. Интервал между строками вычисляется как;
- $LINE_ADDR_STEP - HSIZE * \langle \text{размер пикселя} \rangle$;
- $LINE_ADDR_STEP < HSIZE * \langle \text{размер пикселя} \rangle$. Если установлен в состояние логического нуля бит регистра `AUTO_MIN_STEP_DISABLE` регистра `STREAMn_DMAm_FBUF_CFG`, `LINE_ADDR_STEP` игнорируется, а шаг адреса по строкам определяется автоматически как $HSIZE * \langle \text{размер пикселя} \rangle$. Значение коэффициента децимации по горизонтали `Kdh` при автоматическом вычислении игнорируется. Если `AUTO_MIN_STEP_DISABLE=1`, в качестве шага адреса используется `LINE_ADDR_STEP`.

Аналогичным образом может быть определен шаг адреса по кадрам в поле `FRAME_ADDR_STEP` (в количестве пикселей) регистра шага адреса по началу кадров `STREAMn_DMAm_BUFk_FSTEP`:

- $FRAME_ADDR_STEP = VSIZE * LINE_ADDRESS_STEP$. Кадры располагаются последовательно друг за другом без интервалов;
- $FRAME_ADDR_STEP > VSIZE * LINE_ADDRESS_STEP$. Интервал между кадрами вычисляется как;
- $FRAME_ADDR_STEP - VSIZE * LINE_ADDRESS_STEP$;
- $FRAME_ADDR_STEP < VSIZE * LINE_ADDRESS_STEP$. Если установлен в состояние логического нуля бит регистра `AUTO_MIN_STEP_DISABLE` регистра `STREAMn_DMAm_FBUF_CFG`, `FRAME_ADDR_STEP` игнорируется, а шаг адреса

по строкам определяется автоматически как $HSIZE * \langle \text{размер пикселя} \rangle$. Значение коэффициента децимации по вертикали K_{dv} при автоматическом вычислении игнорируется. Если $AUTO_MIN_STEP_DISABLE=1$, в качестве шага адреса используется $FRAME_ADDR_STEP$.

Значения $LINE_ADDR_STEP$ и $FRAME_ADDR_STEP$ могут различаться для различных буферов в зависимости от формата пикселя.

21.5.6.18 Режим автоматического удвоения шага адреса по строкам для формата 4:2:0

Для формата буферов кадров 4:2:0 dual plane предусмотрен специальный режим, позволяющий разместить данные обоих planes построчно для удобства чтения их видеопроцессором. Этот режим предусматривает автоматическое увеличение шага адреса по строкам в 2 или 3 раза в зависимости от типа plane для нечетных строк, которое задается установкой в состояние логической единицы бита ODD_AUTO_STEP регистра $STREAMn_DMAm_BUF1_LSTEP$ и/или $STREAMn_DMAm_BUF0_LSTEP$. Пример размещения данных в памяти для режима автоматического увеличения шага адреса по строкам представлены на Рисунок 21.62.

Базовый адрес буфера кадров 0 (Cb/Cr plane) устанавливается на расстоянии двух строк от базового адреса буфера кадров 1 (Y plane). Шаг адреса строк ($LINE_ADDR_STEP$) устанавливается для обоих буферов на длину одной строки, для обоих буферов устанавливается также бит ODD_AUTO_STEP . Для четных строк (только Y plane) шаг соответствует длине строки (как задано в регистрах $STREAMn_DMAm_BUFk_LSTEP$). Для нечетных строк значение $LINE_ADDR_STEP$ автоматически удваивается для Y plane и утраивается для Cb/Cr plane.

Поскольку в Cb/Cr plane записываются только данные из нечетных строк, динамического изменения шага адреса в зависимости от номера строки не требуется. В поле $LINE_ADDR_STEP$ регистра $STREAMn_DMAm_BUF0_LSTEP$ может быть записано значение, соответствующее длине трех строк, а бит ODD_AUTO_STEP установлен в состояние логического нуля.

Если в поле $LINE_ADDR_STEP$ регистра $STREAMn_DMAm_BUFk_LSTEP$ записано значение, превышающее автоматически вычисленное для одной строки, для вычисления шага адреса по строкам будет использоваться это значение (удваиваться или утраиваться будет тоже оно), что приведет к некорректным результатам. Для корректной работы значение $LINE_ADDR_STEP$ не должно превышать размер памяти, необходимый для размещения одной строки.

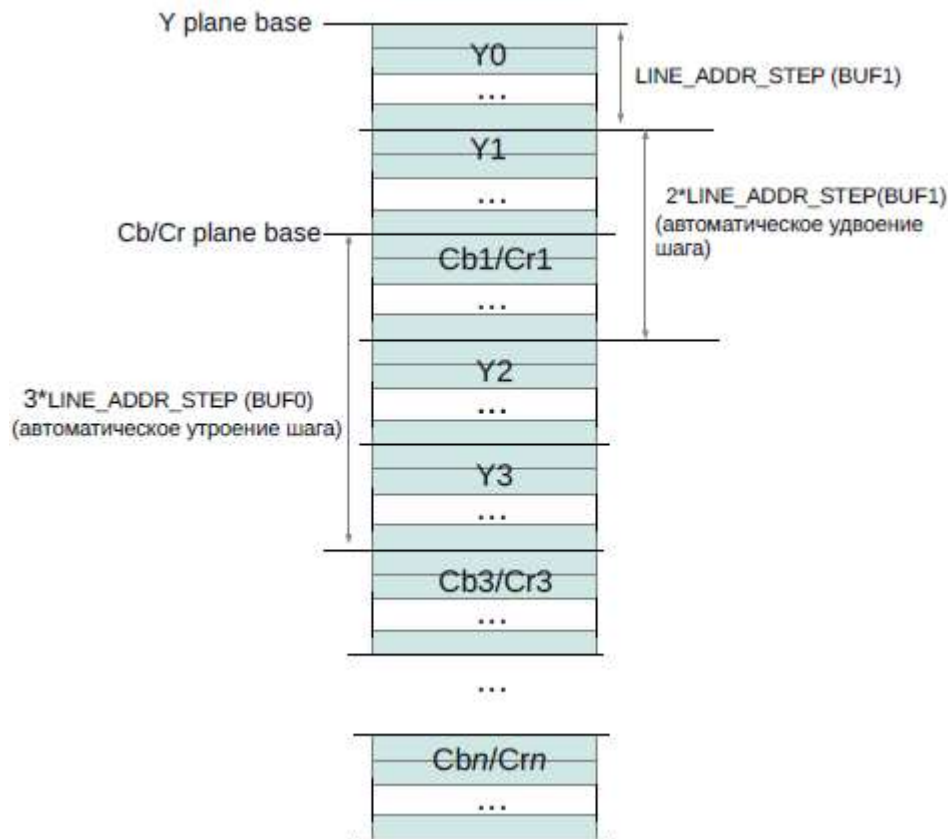


Рисунок 21.62. Расположение данных в буферах кадров в режиме автоматического увеличения шага адреса строк

Значение шага адреса по кадрам при установленном бите `ODD_AUTO_STEP` будет вычисляться автоматически, однако если значение, записанное в поле `FRAME_ADDR_STEP`, регистра `STREAMn_DMAm_BUFk_FSTEP` будет превышать вычисленное автоматически, использоваться будет это значение, что приведет к некорректным результатам. Для корректной работы значение `FRAME_ADDR_STEP` не должно превышать размер памяти, необходимый для размещения всех строк кадра без промежутков (см. Рисунок 21.62).

21.5.6.19 Статистика и прерывания

DMA Engine канала записи данных содержит счетчик пикселей в строке `CURRENT_PIXEL`, который инкрементируется после записи очередного пикселя, счетчик строк в кадре `CURRENT_LINE`, который инкрементируется после записи в буфер кадров очередной строки и счетчик кадров `CURRENT_FRAME`, который инкрементируется после записи в буфер кадров очередного кадра.

Запись определенного количества строк может послужить условием для установки сигнала прерывания от потока обработки видеоданных `INT_STREAMn`. Период выдачи прерывания задается в поле `LINE_INT_PERIOD` регистра управления DMA канала записи

данных `STREAM n _DMA m _WR_CTR` и может содержать величину от 1 до $L-1$, где L — количество строк в кадре. Если `LINE_INT_PERIOD = 0`, прерывание после записи строк не происходит.

После записи последней строки в кадре может быть установлен сигнал прерывания. Для разрешения прерывания должен быть установлен в состоянии логической единицы бит `FRAME_INT_ENABLE` регистра `STREAM n _DMA m _WR_CTR`.

В регистре состояния DMA канала записи данных `STREAM n _DMA m _WR_STATUS` отображаются события, послужившие условием возникновения прерывания `INT_STREAM n` . Бит `LINE_WRITE` устанавливается при завершении записи в буфер строки с заданным номером. Бит `FRAME_WRITE` устанавливается при завершении записи в буфер очередного кадра. При чтении регистра `STREAM n _DMA m _WR_STATUS` биты `LINE_WRITE` и `FRAME_WRITE` сбрасываются. Текущие значения счетчиков `CURRENT_LINE` и `CURRENT_PIXEL` отображаются в регистре счетчиков `STREAM n _DMA m _COUNT`, текущее значение счетчика кадров — в регистре состояния. Текущие адреса буферов отображаются в регистрах `STREAM n _DMA m _CUR_ADDR k` . Все счетчики и текущие адреса доступны для чтения в произвольный момент времени.

21.5.6.20 Распределение FIFO-буфера между потоками

Перед разрешением работы DMA канала записи должна быть определена максимальная длина `burst` на шине AXI (поле `AXI_MAX_BURST_LENGTH` регистра `AXI_MASTER_CFG`). Допустимые значения — 4,8,16,32 или 64. Основными критериями при выборе максимальной длины `burst` помимо оптимизации пропускной способности AXI шины являются количество потоков и формат буферов кадров (в первую очередь количество плэйнов), поскольку все потоки разделяют общий FIFO-буфер объемом 256 64-разрядных слов. Если все пересылки данных, осуществляемые DMA контроллером блока VIN, занимают суммарно не более половины пропускной способности AXI шины (см.21.10), для каждого плэйна буфера кадров каждого потока в FIFO-буфере должно быть зарезервировано место для хранения как минимум двух пакетов `burst` максимальной длины.

Варианты распределения FIFO-буфера между двумя потоками видеоданных представлены на Рисунок 21.63.

2 потока			
	Single plane		2 plane
0			1 поток 1 plane BURST32
63	1 поток BURST64		1 поток 1 plane BURST32
64			1 поток 2 plane BURST32
127	1 поток BURST64		1 поток 2 plane BURST32
128			2 поток 1 plane BURST32
191	2 поток BURST64		2 поток 1 plane BURST32
192			2 поток 2 plane BURST32
255	2 поток BURST64		2 поток 2 plane BURST32

Рисунок 21.63. Распределение FIFO-буфера между потоками

В случае одноплоскостных (single plane) буферов кадров может быть установлена максимально возможная длина burst — 64 64-разрядных слова. Если используются двухплоскостные буфера (2 plane), максимально возможная длина burst — 32 64-разрядных слова. В случае одного потока видеоданных максимально возможная длина burst (64 64-разрядных слова) может быть установлена при любом формате буферов кадров.

Когда работа DMA канала записи данных разрешена, поступающие в универсальном формате данные записываются в FIFO буфера. Количество FIFO буферов определяется форматом пикселя (один или два). При наличии в FIFO буфере слов данных, достаточных для организации burst максимальной длины производится запись запроса на передачу данных в очередь запросов модуля wDMA к арбитру AXI шины. Если количество слов в FIFO буфере, оставшееся до конца строки, меньше максимальной длины burst, будет сформирован запрос с длиной burst, равной фактическому количеству слов.

21.6 Рекомендации по применению

21.6.1 Выбор тактовых частот

Блок VINC имеет следующие источники синхросигналов:

1. Вход ACLK_V - синхросигнал шины AXI.
2. Вход VINC_CLK — основной синхросигнал блока VINC.
3. Входы PCLK — синхросигнал шины APB.
4. Входы cs11_rxbyteclkhs_0, cs11_rxbyteclkhs_1 — сигналы байтовой синхронизации последовательных портов.

5. Входы VPIN_VDIN[29], VPIN_VDIN[28] — сигналы пиксельной синхронизации параллельных портов.
6. Входы PCLK_IN0, PCLK_IN1, PCLK_IN2 — внешние источники синхронизации для CMOS сенсоров.
7. Выходы программируемых делителей частоты VINC_CLK, управляемых полями CLK_DIV регистров CMOS0_CTR и CMOS1_CTR — внутренние источники синхронизации для CMOS сенсоров.

Все синхросигналы являются асинхронными по отношению друг к другу, за исключением выходов делителей частоты для формирования синхросигналов CMOS сенсоров, частотах которых кратна частоте VINC_CLK.

Максимальная частота ACLK_V составляет 504 МГц. При обработке потоков видеоданных в формате FHD и использовании двух каналов DMA частота ACLK_V должна иметь максимальное значение. При обработке менее интенсивных потоков входных данных (см.21.10) частота может быть снижена, однако она не должна быть ниже частоты VINC_CLK.

Частота VINC_CLK определяется конфигурацией блока VINC. При использовании одного или двух последовательных портов частота VINC_CLK должна находиться в диапазоне от 333 МГц до 400 МГц. Если используются только параллельные порты, частота VINC_CLK может быть снижена, однако она должна быть более чем в два раза выше пиксельной частоты параллельных портов (VPIN_VDIN[28], VPIN_VDIN[29]).

Максимальная частота PCLK составляет 144 МГц, может быть снижена.

Сигналы байтовой синхронизации последовательных портов csi1_rxbyteclkhs_0 и csi1_rxbyteclkhs_1 формируются модулями CSI RX DPHY, реализующими физический уровень протокола MIPI CSI2, которые находятся за пределами блока VINC. Частота байтовой синхронизации фиксированная и составляет 125 МГц.

Частоты сигналов пиксельной синхронизации VPIN_VDIN[29], VPIN_VDIN[28] определяются внешними источниками видеоданных (CMOS сенсоры, видеокамеры) и могут находиться в диапазоне от 10 МГц до 160 МГц.

Один из внешних и внутренних источников синхронизации для CMOS сенсоров может быть выбран для каждого порта CMOS сенсора программированием поля PCLKO_SRC регистра CMOS*_CTR. Синхросигнал от выбранного источника выдается на внешний вывод PCLKO_* и используется для формирования сигналов управления CMOS сенсором.

Частота сигналов синхронизации для CMOS сенсоров может быть равна частоте VINC_CLK или быть получена делением частоты синхросигнала VINC_CLK в 2-32 раза (коэффициент деления должен быть четным). Внешние источники синхронизации не используются в текущей реализации 1892BM14Я.

21.6.2 Выбор схемы синхронизации входных данных

Для приема данных с параллельных портов может быть выбрана одна из двух схем синхронизации: данные могут приниматься по пиксельному синхросигналу (PCLK) или данные принимаются по основному синхросигналу контроллера VINC_CLK. Выбор производится программированием бита PP_VIN_CLK регистра PPORT_INP_MUX_CFG.

Если источник видеоданных обеспечивает выдачу данных синхронно с пиксельным синхросигналом, т.е. обеспечивается регламентированная задержка данных относительно переднего, заднего или обоих фронтов синхросигнала, рекомендуется использовать схему синхронизации по пиксельному синхросигналу. Эта схема проста в управлении, требует определения единственного параметра — PIXEL_MODE в регистре PPORT0(1)_CFG (прием данных по переднему, заднему или обоим фронтам пиксельного синхросигнала). Частота VINC_CLK должна быть как минимум в два раза выше пиксельной частоты.

Если источник видеоданных использует альтернативные интерфейсы, не обеспечивающие синхронность данных с фронтами пиксельного синхросигнала, а обеспечивающие стабильность данных во время ограниченного окна (например, в соответствии со стандартом DDR), может быть использована схема синхронизации по синхросигналу VINC_CLK. Использование делителей пиксельной частоты, задержек и прочих настроек, подробно описанных в разделе 21.4.1.1.3.2, позволит настроить момент приема данных в середину окна (см.Рисунок 21.64).

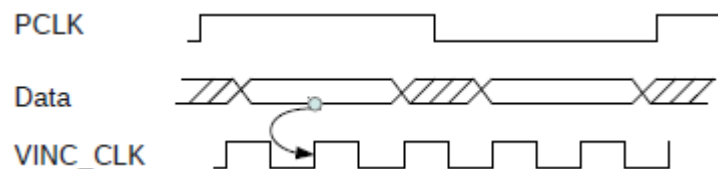


Рисунок 21.64. Прием данных по стандарту DDR

21.6.3 Требования к межстрочным и межкадровым интервалам

Требования к межстрочным и межкадровым интервалам определяются в зависимости от сценария работы блока. Если входные данные поступают в формате Bayer и предполагается использование преобразования Bayer -> RGB, межстрочный интервал должен быть не менее 10 пикселей, межкадровый интервал — не менее 5 строк. Для всех остальных форматов входных данных межстрочный интервал и межкадровый интервал должен быть не менее 4 пикселей. Данное требование применяется для данных поступающих как с параллельных, так и с последовательных портов.

21.7 Общее описание CSI-2

21.7.1 Обзор приборов CSI-2

Приборы CSI-2 - приборы цифрового интерфейса камеры (Camera Serial Interface). Они классифицируются как передатчик (CSI Transmitter Device) с CCI Slave и приемник (CSI Receiver Device) с CCI Master.

Передача данных через CSI однонаправленная, от передатчика к приемнику.

Передача данных через CCI двунаправленная, между CCI Slave и Master.

Шина цифрового интерфейса камеры относится к типу цифровых шин, которые позволяют передачу данных между передатчиком и приемником.

Прибор CSI имеет двухточечное соединение (point-to-point connections) с остальными приборами CSI через физический уровень D-PHY, как показано на рисунке Рисунок 21.65.

Аналогично, шина интерфейса управления камерой (CCI - Camera Control Interface) относится к типу цифровых шин, которые позволяют двунаправленную передачу данных между модулями Master CCI и Slave CCI.

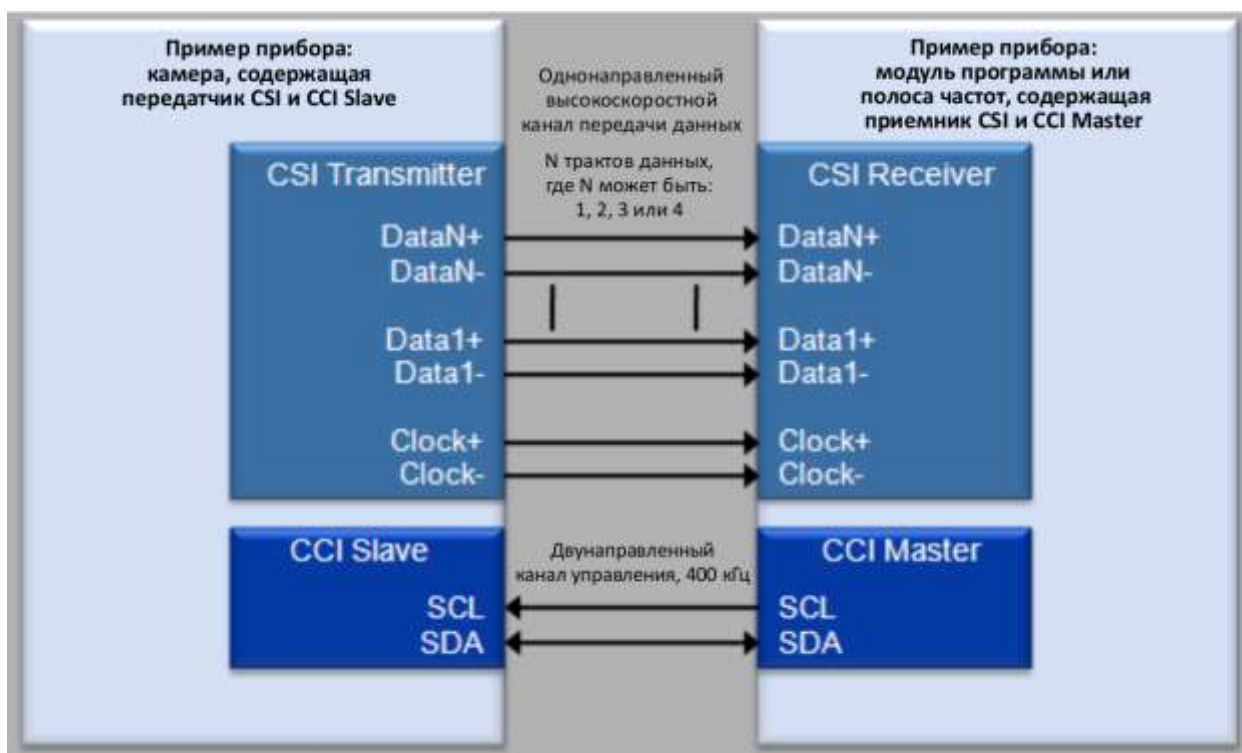


Рисунок 21.65. Двухточечный интерфейс CSI на физическом уровне D-PHY

Сигналы тракта данных D-PHY передаются от точки к точке как дифференциальные сигналы по двум сигнальным шинам и одному тактовому тракту - для передачи синхросигнала.

Есть два сигнальных режима: высокоскоростной режим и режим низкого питания. Высокоскоростной режим работает со скоростью 1000Мбит/с, а режим низкого питания - 10Мбит/с.

При запуске/подаче питания установлен режим низкого питания (состояние остановки - LP11). В зависимости от предпочитаемого типа передачи данных, тракты переключаются между режимами высокого и низкого питания.

Область интерфейса CSI заканчивается на шине I2C, в которой есть сигнальная шина и шина двунаправленных данных.

Работа приборов CSI-2 разделяется послойно. Существует 5 слоев, идентифицированных как на концах приемника, так и на концах передатчика.

21.7.1.1 Структура уровней CSI-2

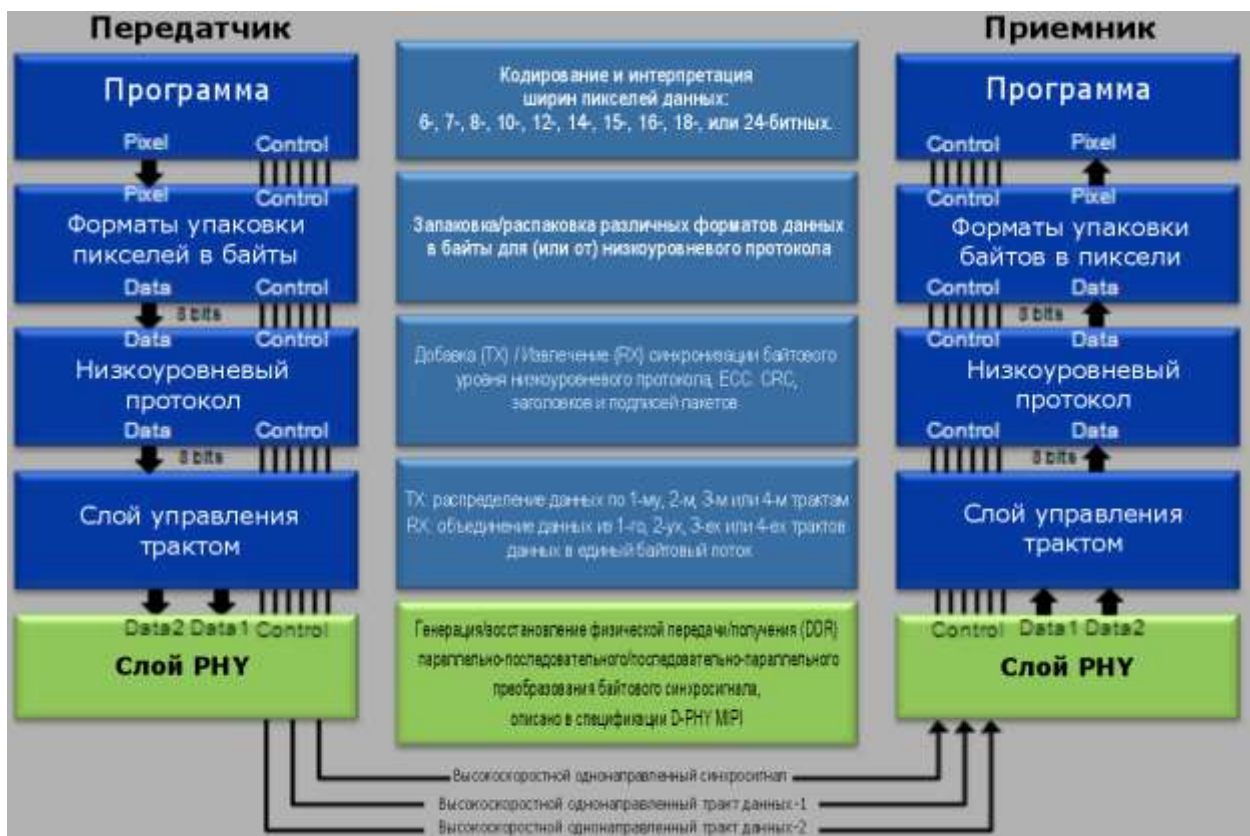


Рисунок 21.66. Структура уровней CSI-2

Таблица 21.126. Структура слоев CSI-2

Уровень	Описание
Слой PHY	Обладает встроенным электрическим уровнем. Отправляет сигналы и определяет начало и конец отправки пакета сигналов на трактах данных. В ней встроен модуль параллельно-последовательного и последовательно-параллельного преобразователя (serializer and deserializer) для взаимодействия с PPI / модулем управления трактом. В ней также встроен модуль делителя частоты для передачи и получения тактовых импульсах в разных режимах работы.
PPI / Модуль управления трактом (Lane Management Unit)	Этот уровень обеспечивает буферизацию тракта и распределяет данные по трактам, запрограммированным по циклическому типу round robin, а также объединяет их для подачи на модуль LLP/ PLI.
PLI / Модуль низкоуровневого протокола (Low Level Protocol Unit)	Этот уровень пакетирует и депакетирует данные с учетом каналов, кадров, цветов и форматов линий. На нем есть генератор ECC и модуль коррекции для извлечения данных, очищенных от ошибок в названиях (headers) пакетов. Он содержит модуль проверки/генерации CRC (Cyclic Redundancy Checker) для упаковки полезных с CRC-контрольными битами для защиты этих полезных данных.
Pixel/ Byte to Byte / Форматы упаковки пикселей.	Портирование пиксельных форматов в байты данных в полезных данных производится в зависимости от типа графических данных, поддерживаемого программой. Этот уровень также переконвертирует необработанные байты данных в пиксельный формат, распознаваемый слоем программы.
Программа	В зависимости от типа форматов, типа камеры, возможностей камеры, используемой передатчиком, программа восстанавливает графические форматы и репродуцирует изображение в модуль отображения. Она также занимается разборкой кадров данных в пиксельные форматы, распознаваемые слоем форматов упаковки пикселей. Высокоуровневое кодирование и декодирование графических данных производится в программном модуле.

21.7.2 Функции

Этот раздел описывает функции приемника Agasan CSIS IP.

21.7.2.1 Функции CSI

Соответствуют спецификации CSI-2 MIPI для цифрового интерфейса камеры (Version1.00).

Поддерживает стандартный блок приема-передачи (transceiver) D-PHY в соответствии со спецификацией MIPI.

Поддерживает возможность программировать вплоть до четырех трактов данных PHY.

Поддерживает возможность программировать простои (timeouts) данных в PHY.

Обладает переключателем для запуска и перезапуска передачи данных CSI-2 в случаях отказов синхронизации и для поддержки восстановления данных.

Имеет обработчик с АНВ-интерфейсом для настройки изображений и управления статусами.

Поддерживает упаковку байтов в пиксели для форматов: RAW6, RAW7, RAW8, RAW10, RAW12, RAW14, RGB 444, RGB 555, RGB 565, RGB 666, RGB 888, YUV422 -8bit YUV422 -10bit, YUV420-8bit, YUV420-10bit, YUV420-8bit CSPS, YUV420-10bit CSPS, данных, определенных пользователем (User defined data) и Legacy YUV420 -8bit.

Поддерживает все универсальные типы данных коротких пакетов.

Имеет один интерфейс для графического сигнального процессора с передачей пикселей для поддержки множества графических потоков для всего набора виртуальных каналов.

21.7.2.2 Функции D-PHY

Поддерживает режим синхронной высокоскоростной передачи с битрейтом 80-1000 Мбит/с.

Поддерживает режим асинхронной передачи при низком питании с битрейтом 10 Мбит/с.

Поддерживает дифференциальные сигналы для высокоскоростных (HS) данных.

Поддерживает разнесенное прямое кодирование (spaced one-hot encoding) данных при низком питании (LP).

В блоке на путях данных помещен однобайтовый буфер для обоих входных путей данных.

Тракты данных поддерживает передачу данных как в высокоскоростном режиме, так и в режиме низкого питания.

Поддерживает режим сверхнизкого питания, режим выхода (escape), высокоскоростной режим и режим управления.

Обладает встроенным модулем делителя частоты, генерирующего синхроимпульс для параллельного получения и передачи данных из/к модулю PPI.

Может активировать и отсоединять терминаторы высокоскоростного режима/режима низкого питания в процессе получения и передачи данных.

21.8 Регистры CSI 2

Базовый адрес регистров в адресном пространстве АНВ - 0x0000_0100.

Карта регистров CSI 2 приведена в Таблица 21.127.

Таблица 21.127

№	Регистр	Смещение
1	Регистр готовности	0x00
2	Регистр статуса прерывания	0x04
3	Регистр разрешения прерывания	0x08
4	Регистр программирования функционала/Регистр таймаута данных	0x0C
5	Регистр задержек DPHY 3 - тракт данных	0x10
6	Регистр задержек DPHY 1 - тактовый тракт	0x14
7	Регистр задержек DPHY 2B поле А буферов кадров	0x18
8	Регистр начала кадра и начала границы (FSLs)	0x1C
9	Регистр начала границы и валидации данных (LSDV)	0x20
10	Регистр валидации данных и конца границы (DVLE)	0x24
11	Регистр конца границы и конца кадра (LEFE)	0x28
12	Регистр конца кадра и начала кадра (FEFS)	0x2C
13	Регистр конца границы и начала границы (LELS)	0x30
14	Регистр подключения функции прохода двух пикселей за такт (Two Pixel Per Clock Enable)	0x34
15	Регистр выравнивания 0	0x38
16	Регистр счетчика синхронизаций	0x3C
17	Регистр счетчика получений	0x40
18	Регистр выравнивания 1	0x44
19	Регистр виртуальной схемы сжатия/предсказания СН-0 1	0x48
20	Регистр виртуальной схемы сжатия/предсказания СН-0 2	0x4C
21	Регистр виртуальной схемы сжатия/предсказания СН-1 1	0x50
22	Регистр виртуальной схемы сжатия/предсказания СН-1 2	0x54
23	Регистр виртуальной схемы сжатия/предсказания СН-2 1	0x58
24	Регистр виртуальной схемы сжатия/предсказания СН-2 2	0x5C
25	Регистр виртуальной схемы сжатия/предсказания СН-3 1	0x60
26	Регистр виртуальной схемы сжатия/предсказания СН-3 2	0x64
27	Регистр принудительной установки RAW8	0x68
28	Регистр выравнивания 2	0x6C
29	Регистр выравнивания 3	0x70
30	Резерв	0x74
31	Резерв	0x78
32	Резерв	0x7C
33	Регистр подключения обратной петли	0x80

21.8.1 Регистр готовности

Значение по умолчанию: 0x0000_0000.

Поля регистра готовности описаны в Таблица 21.128.

Таблица 21.128. Регистр готовности

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[0]	DEVICE_RDY_INDICATE	RW	RO	0	<p>Первый бит устанавливается и сбрасывается процессором.</p> <p>Валидные значения:</p> <p>«1»: указывает, что прибор готов к приему.</p> <p>«0»: указывает, что прибор не готов к приему.</p> <p>Устанавливать «1» в этот бит следует только после программирования следующих рабочих регистров:</p> <ul style="list-style-type: none"> - регистра разрешения прерывания (Interrupt Enable Register) - регистра инициализации программы (Program Initialization Register) - регистра сжатия формата данных (Compression Data Format Register) - регистра предиктора сжатия (Compression Predictor Register) - регистра начала кадра и начала границы FLS (Frame Start Line Start) - регистра начала границы и валидации данных LSDV (Line Start Data Valid) - регистра валидации данных и конца границы DVLE (Data Valid Line End) - регистра конца границы и конца кадра LEFE (Line End Frame End) - регистра конца кадра и начала кадра FEFS (Frame End Frame Start) - регистра конца границы и начала границы LELS (Line End Line Start) - регистра подключения функции прохода двух пикселей за такт (Two Pixel Per Clock Enable) <p>Перепрограммирование рабочих регистров может быть выполнено только после установки бита «DEVICE_RDY_INDICATE» в «0».</p> <p>Если пользователь устанавливает первый бит, не конфигурируя рабочие регистры, в них полагаются значения по умолчанию.</p> <p>Замечание: перепрограммирование регистров путем сброса «DEVICE_RDY_INDICATE» приводит к повторному перечислению последовательностей CSI контроллера, начиная со стадии возобновления системы.</p>
[1]	RSVD	-	-	0	Резерв.
[2]	RSVD	-	-	0	Резерв.

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[3]	MASK_OVR_RUN_ERR	RW	RO	0	Этот бит устанавливается и сбрасывается процессором. Валидные значения: «1»: пакеты с ошибкой FIFO OVERRUN обрабатываются. Процесс восстановления ошибки FIFO Overrun Error при этом маскируется. «0»: пакеты с ошибкой FIFO OVERRUN отклоняются и процесс восстановления ошибки FIFO Overrun Error разрешен.
[4]	MASK_SOT_SYNC_ERR	RW	RO	0	Этот бит устанавливается и сбрасывается процессором. Валидные значения: «1»: пакеты с ошибкой синхронизации SOT sync error обрабатываются. Процесс восстановления ошибки SOT_SYNC_ERR при этом маскируется. «0»: пакеты с ошибкой синхронизации SOT sync error отклоняются и процесс восстановления ошибки SOT_SYNC_ERR разрешен.
[5]	MASK_RXD_TIME_OUT_ERR	RW	RO	0	Ошибка таймаута маскировки полученных данных (Mask Received Data Time Out Error). Этот бит устанавливается и сбрасывается процессором. Валидные значения: «1»: полученные пакеты, в которых байтов оказалось больше, чем сконфигурировано в значении «DATA_TIMEOUT_TIMER» из регистра таймаута данных, обрабатываются, как и прочие. «0»: полученные пакеты, в которых байтов оказалось больше, чем сконфигурировано в значении «DATA_TIMEOUT_TIMER» из регистра таймаута данных, выбрасываются (выбрасываются только лишние байты полученных пакетов).
[6]	MASK_ECC_DERR	RW	RO	0	Этот бит устанавливается и сбрасывается процессором. Валидные значения: «1»: пакеты с многобитной ошибкой ECC обрабатываются. Процесс восстановления ошибки ECC_DERR при этом маскируется. «0»: пакеты с многобитной ошибкой ECC отклоняются/очищаются. Процесс восстановления ошибки ECC_DERR разрешен.
[7]	MASK_DATA_ID_ERR	RW	RO	0	Этот бит устанавливается и сбрасывается процессором. Валидные значения: «1»: пакеты с индексом невалидных данных (Invalid Data ID) обрабатываются. Процесс восстановления ошибки DATA_ID_ERR при этом маскируется. «0»: пакеты с индексом невалидных данных (Invalid Data ID) сбрасываются/очищаются. Процесс восстановления ошибки DATA_ID_ERR разрешен.
[31:8]	RSVD	-	-	0	Резерв.

21.8.2 Регистр статуса прерывания

Значение по умолчанию: 0x0000_0000.

Поля регистра статуса прерывания описаны в Таблица 21.129.

Таблица 21.129. Регистр статуса прерывания

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[0]	OVR_INTR	RW1 C	RW	0	«1»: указывает, что произошла ошибка FIFO Overrun error. «0»: указывает, что ошибки FIFO Overrun error нет. Это информативное прерывание. Оно указывает, что произошла ошибка FIFO overrun. Очистка этого бита в регистре статусов прерывания заставляет CSI-RX IP вернуться к состоянию LPRX и ожидать состояния остановки на трактах. Содержимое FIFO также будет очищено.
[1]	RSVD	-	-	0	Резерв.
[2]	SLP_MODE_ENTRY	RW1 C	RW	0	Это информативное прерывание. Это прерывание подключено напрямую к D-PHY. В CSI-RX IP действия в ответ на него не производятся. «1»: указывает, что D-PHY вошла в режим сверхнизкого питания (Ultra Low Power State). «0»: указывает, что D-PHY работает в нормальном режиме.
[3]	SLP_MODE_EXIT	RW1 C	RW	0	Это информативное прерывание. Это прерывание подключено напрямую к D-PHY. В CSI-RX IP действия в ответ на него не производятся.
[4]	HS_SOT_ERR	RW1 C	RW	0	Это информативное прерывание. Это прерывание подключено напрямую к D-PHY. В CSI-RX IP действия в ответ на него не производятся. «1»: указывает, что на одном из трактов данных D-PHY произошла ошибка начала передачи данных (Start Of Transmission Error). «0»: указывает, что тракты данных D-PHY работают без ошибок начала передачи данных.
[5]	HS_SOT_SYNC_ERR	RW1 C	RW	0	Это информативное прерывание. Очистка этого бита заставляет CSI-RX IP вернуться к состоянию LP Receive и ожидать состояния остановки на трактах. «1»: указывает, что в начале передачи данных (SOT) на трактах данных D-PHY произошла ошибка синхронизации (Synchronization Error). «0»: указывает, что синхронизация в начале передачи данных на трактах данных D-PHY проходит успешно (SOT Synchronization Successful).

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[6]	CNTRL_ERR	RW1 C	RW	0	<p>Это информативное прерывание. Это прерывание подключено напрямую к D-PHY. В CSI-RX IP действия в ответ на него не производятся.</p> <p>«1»: указывает, что на одном из трактов D-PHY произошла ошибка управления (Control Error). «0»: ошибки управления нет.</p>
[7]	ECC_DERR	RW1 C	RW	0	<p>«1»: указывает на то, что ошибка произошла во многих битах (Multiple Bit Error) или произошло двойное обнаружение ошибки (Double Error Detection) модулем ECC. «0»: данные не повреждены.</p> <p>Сигнал этого прерывания отправляется, когда в пакете обнаружена ошибка в двух битах или более чем в двух. Пакет не будет передан к ISP. Очистка этого бита в регистре прерывания статусов заставляет CSI-RX IP вернуться к состоянию LP RX и ожидать состояния остановки на трактах.</p>
[8]	ECC_SERR_C RCTD	RW1 C	RW	0	<p>«1»: указывает, что обнаружена одна ошибка (Single Error Detection) и она скорректирована модулем ECC. «0»: данные не повреждены.</p> <p>Это информативное прерывание. Сигнал этого прерывания отправляется, когда неисправность ECC (ECC syndrome) вычислена и скорректирована для однобитной ошибки.</p>
[9]	ECC_NO_ERR	RW1 C	RW	0	<p>«1»: указывает, что в пакете нет поврежденных данных.</p> <p>Это информативное прерывание. Сигнал этого прерывания отправляется, когда в пакете нет ошибок ECC.</p>
[10]	CRC_ERR	RW1 C	RW	0	<p>«1»: указывает, что в полученном пакете обнаружена ошибка CRC. «0»: указывает, что в полученном пакете нет ошибок CRC.</p> <p>Это информативное прерывание. Сигнал этого прерывания отправляется, когда вычисленный CRC отличается от значения полученного CRC.</p>
[11]	ID_ERR	RW1 C	RW	0	<p>«1»: указывает, что в заголовке пакета обнаружен невалидный индекс данных (Invalid DATA-ID). «0»: указывает, что в заголовке пакета валидный индекс данных (Valid DATA-ID).</p> <p>Это информативное прерывание. Очистка этого бита в регистре статусов прерываний заставляет CSI-RX IP вернуться к состоянию LPRX и ожидать состояния остановки на трактах. Содержимое FIFO также будет очищено.</p>

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[12]	FRAME_SYNC_ERR	RW1 C	RW	0	<p>«1»: указывает, что начало кадра (FS) не спарено с концом кадра (FE) для соответствующего виртуального канала.</p> <p>«0»: указывает, что начало кадра и конец кадра правильно спарены в виртуальном канале.</p> <p>Это информативное прерывание. Сигнал этого прерывания отправляется, когда начало кадра не спарено с концом кадра одного и того же виртуального канала.</p>
[13]	FRAME_DATA_ERR	RW1 C	RW	0	<p>«1»: указывает, что в пакете полученных данных между пакетами начала кадра (FS) и конца кадра (FE) обнаружены ошибки.</p> <p>«0»: в пакете данных нет ошибок.</p> <p>Это информативное прерывание. Сигнал этого прерывания отправляется, когда пакет данных между пакетами начала кадра и конца кадра содержит ошибки.</p>
[14]	DATA_TIMEOUT_INTR	RW1 C	RW	0	<p>«1»: указывает, что в полученном пакете нарушен запрограммированный таймаут данных.</p> <p>«0»: таймаут данных не нарушен.</p> <p>Это информативное прерывание. Очистка этого бита в регистре статусов прерываний заставляет CSI-RX IP вернуться в состояние LPRX и ожидать состояния остановки на трактах. Содержимое FIFO также будет очищено.</p>
[15]	ESC_ERR_INTR	RW1 C	RW	0	<p>«1»: указывает на получение нераспознанной команды ввода в режиме выхода (Escape Entry Command).</p> <p>«0»: указывает на получение валидной команды ввода в режиме выхода.</p> <p>Это информативное прерывание. Если получающий модуль тракта не распознает полученную команду ввода (Entry Command) в режиме выхода (Escape mode), указывается ошибка команды ввода для режима выхода. Это прерывание подключено напрямую к D-PHY. В CSI-RX IP действия в ответ на него не производятся.</p>
[16]	LINE_SYNC_INTR	RW1 C	RW	0	<p>«1»: указывает на получение ошибки синхронизации пакета (Error Synchronization Packet) (или) на то, что сигнал об успешной синхронизации пакета не получен.</p> <p>«0»: сигнал об успешной синхронизации пакета получен.</p> <p>Это информативное прерывание. Сигнал этого прерывания отправляется, когда номер границы начала и границы конца пакета не совпадают. В CSI-RX IP действия в ответ на это прерывание не производятся.</p>

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[17]	SLP_MODE_C LOCK_ENTRY	RW	RO	0	Это информативное прерывание. В CSI-RX IP действия в ответ на него не производятся. «1»: указывает, что тактовый тракт D-PHY входит в режим сверхнизкого питания. «0»: указывает, что тактовый тракт D-PHY работает в нормальном режиме.
[18]	SLP_MODE_C LOCK_EXIT	RW	RO	0	Это информативное прерывание. Оно задает условие выхода тактового тракта из режима сверхнизкого питания (ULPS). В CSI-RX IP действия в ответ на него не производятся.
[31:19]	RSVD	-	-	0	Резерв.

21.8.3 Регистр разрешения прерывания

Значение по умолчанию: 0x0000_0000.

Поля регистра разрешения прерывания описаны в Таблица 21.130.

Таблица 21.130. Регистр разрешения прерывания

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[0]	OVR_INTR_EN	RW	RO	0	«1»: установлен бит прерывания переполнения «OVER_INTR» в регистре статуса прерываний. «0»: снят бит прерывания переполнения «OVER_INTR» в регистре статуса прерываний.
[1]	RSVD	-	-	0	Резерв.
[2]	SLP_MODE_ENTRY_EN	RW	RO	0	«1»: установлен бит прерывания «SLP_MODE_ENTRY» в регистре статуса прерываний. «0»: снят бит прерывания «SLP_MODE_ENTRY» в регистре статуса прерываний.
[3]	SLP_MODE_EXIT_EN	RW	RO	0	«1»: установлен бит прерывания SLP_MODE_EXIT в регистре статуса прерываний. «0»: снят бит прерывания SLP_MODE_EXIT в регистре статуса прерываний.
[4]	HS_SOT_ERR_EN	RW	RO	0	«1»: установлен бит прерывания HS_SOT_ERR в регистре статуса прерываний. «0»: снят бит прерывания HS_SOT_ERR в регистре статуса прерываний.
[5]	HS_SOT_SYNC_ERR_EN	RW	RO	0	«1»: установлен бит прерывания HS_SOT_SYNC_ERR в регистре статуса прерываний. «0»: снят бит прерывания HS_SOT_SYNC_ERR в регистре статуса прерываний.
[6]	CNTRL_ERR_EN	RW	RO	0	«1»: установлен бит прерывания CNTRL_ERR в регистре статуса прерываний. «0»: снят бит прерывания CNTRL_ERR в регистре статуса прерываний.

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[7]	ECC_DERR_EN	RW	RO	0	«1»: установлен бит прерывания ECC_DERR в регистре статуса прерываний. «0»: снят бит прерывания ECC_DERR в регистре статуса прерываний.
[8]	ECC_SERR_CRCTD_EN	RW	RO	0	«1»: установлен бит прерывания ECC_SERR_CRCTD в регистре статуса прерываний. «0»: снят бит прерывания ECC_SERR_CRCTD в регистре статуса прерываний.
[9]	ECC_NO_ERR_EN	RW	RO	0	«1»: установлен бит прерывания ECC_NO_ERR в регистре статуса прерываний. «0»: снят бит прерывания ECC_NO_ERR в регистре статуса прерываний.
[10]	CRC_ERR_EN	RW	RO	0	«1»: установлен бит прерывания CRC_ERR в регистре статуса прерываний. «0»: снят бит прерывания CRC_ERR в регистре статуса прерываний.
[11]	ID_ERR_EN	RW	RO	0	«1»: установлен бит прерывания ID_ERR в регистре статуса прерываний. «0»: снят бит прерывания ID_ERR в регистре статуса прерываний.
[12]	FRAME_SYNC_ERR_EN	RW	RO	0	«1»: установлен бит прерывания FRAME_SYNC_ERR в регистре статуса прерываний. «0»: снят бит прерывания FRAME_SYNC_ERR в регистре статуса прерываний.
[13]	FRAME_DATA_ERR_EN	RW	RO	0	«1»: установлен бит прерывания FRAME_DATA_ERR в регистре статуса прерываний. «0»: снят бит прерывания FRAME_DATA_ERR в регистре статуса прерываний.
[14]	DATA_TIMEOUT_INTR_EN	RW	RO	0	«1»: установлен бит прерывания DATA_TIMEOUT_INTR_EN в регистре статуса прерываний. «0»: снят бит прерывания DATA_TIMEOUT_INTR_EN в регистре статуса прерываний.
[15]	ESC_ERR_INTR_EN	RW1C	RW	0	«1»: установлен бит прерывания ESC_ERR_INTR в регистре статуса прерываний. «0»: снят бит прерывания ESC_ERR_INTR в регистре статуса прерываний.
[16]	LINE_SYNC_INTR_EN	RW1C	RW	0	«1»: установлен бит прерывания LINE_SYNC_INTR в регистре статуса прерываний. «0»: снят бит прерывания LINE_SYNC_INTR в регистре статуса прерываний.
[17]	SLP_MODE_ENTRY_CLOCK_EN	RW	RO	0	«1»: установлен бит прерывания «SLP_MODE_ENTRY_CLOCK» в регистре статуса прерываний. «0»: снят бит прерывания «SLP_MODE_ENTRY_CLOCK» в регистре статуса прерываний.

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[18]	SLP_MODE_EXIT_CLOCK	RW	RO	0	«1»: установлен бит прерывания «SLP_MODE_EXIT_CLOCK» в регистре статуса прерываний. «0»: снят бит прерывания «SLP_MODE_EXIT_CLOCK» в регистре статуса прерываний.
[31:19]	RSVD	-	-	0	Резерв.

21.8.4 Регистр программирования функционала/Регистр таймаута данных

Значение по умолчанию: 0x0000_0000.

Поля регистра программирования функционала/регистра таймаута данных описаны в Таблица 21.131.

Таблица 21.131. Регистр программирования функционала/Регистр таймаута данных

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[1:0]	NUMBER_OF_DATA_LANE	RW	RO	0	Это поле задает число трактов данных для CSI. «00»- одиночный тракт - Lane0; «01»- двойной тракт - Lane0, Lane1; «10»- тройной тракт - Lane0, Lane1, Lane2; «11»- четверной тракт - Lane0, Lane1, Lane2, Lane3.
[20:2]	DATA_TIMER_TIMER	RW	RO	0	Это поле программируется процессором. Указывает, что значение таймера TIMER необходимо сверить со значением сигнала получения длинного пакета (Reception of Long Packet).
[31:21]	RSVD	-	-	0	Резерв.

21.8.5 Регистр задержек DPHY 1 - тракт данных

Значение по умолчанию: 0x0D0A_1607.

Поля регистра задержек DPHY 1 - тракт данных описаны в Таблица 21.132.

Таблица 21.132. Регистр задержек DPHY 1 - тракт данных

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[7:0]	DLN_CNT_HS_PREP	RW	RO	00000111	Это поле задает период, в который должно укладываться время высокоскоростной подготовки. Сконфигурированное значение задает общее число ByteClkHS.
[15:8]	DLN_CNT_HS_ZERO	RW	RO	00010110	Это поле задает период, в течение которого должен удерживаться нулевой сигнал HS zero перед установкой синхронизации Sync. Сконфигурированное значение задает общее число ByteClkHS.
[23:16]	DLN_CNT_HS_TRAIL	RW	RO	00001010	Это поле задает период, в течение которого должен удерживаться сигнал окончания HS (HS trailing). Сконфигурированное значение задает общее число ByteClkHS.
[31:24]	DLN_CNT_HS_EXIT	RW	RO	00001101	Это поле задает период, в течение которого должно поддерживаться состояние выхода HS (HS exit state). Сконфигурированное значение задает общее число ByteClkHS.

21.8.6 Регистр задержек DPHY 2 - тактовый тракт

Значение по умолчанию: 0x0D08_2105.

Поля регистра задержек DPHY 2 - тактовый тракт описаны в Таблица 21.133.

Таблица 21.133. Регистр задержек DPHY 2 - тактовый тракт

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[7:0]	CLN_CNT_HS_PREP	RW	RO	00000101	Время ожидания времени подготовки в ByteClkHS.
[15:8]	CLN_CNT_HS_ZERO	RW	RO	00100001	Время ожидания нулевого состояния в ByteClkHS.
[23:16]	CLN_CNT_HS_TRAIL	RW	RO	00001000	Время ожидания конечных битов в ByteClkHS.
[31:24]	CLN_CNT_HS_EXIT	RW	RO	00001101	Время ожидания состояния выхода в ByteClkHS.

21.8.7 Регистр задержек DPHY 3

Значение по умолчанию: 0x0000_0d0d.

Поля регистра задержек DPHY 3 описаны в Таблица 21.134.

Таблица 21.134. Регистр задержек DPHY 3

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[7:0]	CLN_CNT_LPX	RW	RO	00001101	Это поле задает время ожидания в единицах байт за период для тактового тракта для LPX.
[15:8]	DLN_CNT_LPX	RW	RO	00001101	Это поле задает период, в течение которого должно удерживаться состояние низкого питания (LP).
[31:16]	CLN_CNT_PL L	RW	RO	0100111000100000	Это поле задает величину счетчика, которая используется для времени замыкания DLL.

21.8.8 Регистр начала кадра и начала границы (FSLs)

Значение по умолчанию: 0x0000_0002.

Поля регистра начала кадра и начала границы (FSLs) описаны в Таблица 21.135.

Таблица 21.135. Регистр начала кадра и начала границы (FSLs)

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[7:0]	FSLs_TIMER	RW	RO	0000010	Этот таймер указывает на минимальный временной интервал в тактах синхросигнала «ci_clk», между снятием сигнала начала кадра (Frame Start Signal) и установкой сигнала начала границы (Line Start Signal).
[31:8]	RSVD	-	-	0	Резерв.

21.8.9 Регистр начала границы и валидации данных (LSDV)

Значение по умолчанию: 0x0000_0002.

Поля регистра начала границы и валидации данных (LSDV) описаны в Таблица 21.136.

Таблица 21.136. Регистр начала границы и валидации данных (LSDV)

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[7:0]	LSDV_TIMER	RW	RO	0000010	Этот таймер указывает минимальный временной интервал в тактах синхросигнала «сi_clk», между снятием сигнала начала границы (Line Start Signal) и установкой сигнала валидации данных (Data Valid Signal).
[31:8]	RSVD	-	-	0	Резерв.

21.8.10 Регистр валидации данных и конца границы (DVLE)

Значение по умолчанию: 0x0000_0002.

Поля регистра валидации данных и конца границы (DVLE) описаны в Таблица 21.137.

Таблица 21.137. Регистр валидации данных и конца границы (DVLE)

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[7:0]	DVLE_TIMER	RW	RO	0000010	Этот таймер указывает минимальный временной интервал в тактах синхросигнала «сi_clk» между снятием сигнала валидации данных (Data Valid Signal) и установкой сигнала конца границы (Line End Signal).
[31:8]	RSVD	-	-	0	Резерв.

21.8.11 Регистр конца границы и конца кадра (LEFE)

Значение по умолчанию: 0x0000_0002.

Поля регистра конца границы и конца кадра (LEFE) описаны в Таблица 21.138.

Таблица 21.138. Регистр конца границы и конца кадра (LEFE)

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[7:0]	LEFE_TIMER	RW	RO	0000010	Этот таймер указывает минимальный временной интервал в тактах синхросигнала «сi_clk» между снятием сигнала конца границы (Line End Signal) и установкой сигнала конца кадра (Frame End Signal).
[31:8]	RSVD	-	-	0	Резерв.

21.8.12 Регистр конца кадра и начала кадра (FEFS)

Значение по умолчанию: 0x0000_0002.

Поля регистра конца кадра и начала кадра (FEFS) описаны в Таблица 21.139.

Таблица 21.139. Регистр конца кадра и начала кадра (FEFS)

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[7:0]	FEFS_TIMER	RW	RO	0000010	Этот таймер указывает минимальный временной интервал в тактах синхросигнала «ci_clk» между снятием сигнала конца кадра (Frame End Signal) и установкой сигнала начала кадра (Frame Start Signal).
[31:8]	RSVD	-	-	0	Резерв.

21.8.13 Регистр конца границы и начала границы (LELS)

Значение по умолчанию: 0x0000_0002.

Поля регистра конца границы и начала границы (LELS) описаны в Таблица 21.140.

Таблица 21.140. Регистр конца границы и начала границы (LELS)

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[7:0]	LELS_TIMER	RW	RO	0000010	Этот таймер указывает на минимальный временной интервал в тактах синхросигнала «ci_clk», между снятием сигнала конца границы (Line End Signal) и установкой сигнала начала границы (Line Start Signal).
[31:8]	RSVD	-	-	0	Резерв.

21.8.14 Регистр подключения функции прохода двух пикселей за такт (Two Pixel Per Clock Enable)

Значение по умолчанию: 0x0000_0000.

Поля регистра подключения функции прохода двух пикселей за такт (Two Pixel Per Clock Enable) описаны в Таблица 21.141.

Таблица 21.141. Регистр подключения функции прохода двух пикселей за такт (Two Pixel Per Clock Enable)

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[0]	CLK_PER_PIXEL_SEL	RW	RO	0	Этот бит используется для передачи двух пикселей за один такт. «1»: выбран режим «два пикселя за такт» (Two Pixel Per Clock Operation). «0»: выбран режим «один пиксель за такт» (One Pixel Per Clock Operation).
[31:1]	RSVD	-	-	0	Резерв.

21.8.15 Регистр счетчика синхронизаций

Значение по умолчанию: 0x0000_0011.

Поля регистра счетчика синхронизаций описаны в Таблица 21.142.

Таблица 21.142. Регистр счетчика синхронизаций

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[7:0]	SYNC_CNT	RW	RO	0	Этот счетчик отражает значение SYNC COUNT в величинах байтового синхросигнала (Byte Clock).
[31:8]	RSVD	-	-	0	Резерв.

21.8.16 Регистр счетчика полученных

Значение по умолчанию: 0x0000_0003.

Поля регистра счетчика полученных описаны в Таблица 21.143.

Таблица 21.143. Регистр счетчика полученных

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[7:0]	RX_CNT	RW	RO	0	Этот счетчик отражает значение счетчика полученных в величинах байтового синхросигнала (Byte Clock).
[31:8]	RSVD	-	-	0	Резерв.

21.8.17 Регистр виртуальной схемы сжатия/предсказания СН-0 1

Значение по умолчанию: 0x0000_0000.

Поля регистра виртуальной схемы сжатия/предсказания СН-0 1 описаны в Таблица 21.144.

Таблица 21.144. Регистр виртуальной схемы сжатия/предсказания СН-0 1

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[4:0]	CMPRS_SCHM_FR_USD_TYP_E0	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [2:0]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 3-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 4-й бит «1»: выбран алгоритм предсказания Prediction-2.
[9:5]	CMPRS_SCHM_FR_USD_TYP_E1	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [7:5]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 8-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 9-й бит «1»: выбран алгоритм предсказания Prediction-2.
[14:10]	CMPRS_SCHM_FR_USD_TYP_E2	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [12:10]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 13-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 14-й бит «1»: выбран алгоритм предсказания Prediction-2.

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[19:15]	CMPRS_SCHM_FR_USD_TYP E3	RW	RO	0	<p>Установлен процессором для конфигурирования схемы сжатия.</p> <p>Валидные значения битов [17:15]:</p> <p>«001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12.</p> <p>Когда 18-й бит «1»: выбран алгоритм предсказания Prediction-1.</p> <p>Когда 19-й бит «1»: выбран алгоритм предсказания Prediction-2.</p>
[24:20]	CMPRS_SCHM_FR_USD_TYP E4	RW	RO	0	<p>Установлен процессором для конфигурирования схемы сжатия.</p> <p>Валидные значения битов [22:20]:</p> <p>«001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12.</p> <p>Когда 23-й бит «1»: выбран алгоритм предсказания Prediction-1.</p> <p>Когда 24-й бит «1»: выбран алгоритм предсказания Prediction-2.</p>
[29:25]	CMPRS_SCHM_FR_USD_TYP E5	RW	RO	0	<p>Установлен процессором для конфигурирования схемы сжатия.</p> <p>Валидные значения битов [27:25]:</p> <p>«001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12.</p> <p>Когда 28-й бит «1»: выбран алгоритм предсказания Prediction-1.</p> <p>Когда 29-й бит «1»: выбран алгоритм предсказания Prediction-2.</p>
[31:30]	RSVD	-	-	0	Резерв.

21.8.18 Регистр виртуальной схемы сжатия/предсказания СН-0 2

Значение по умолчанию: 0x0000_0000.

Поля регистра виртуальной схемы сжатия/предсказания СН-0 2 описаны в Таблица 21.145.

Таблица 21.145. Регистр виртуальной схемы сжатия/предсказания СН-0 2

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[4:0]	CMPRS_SCHM_FR_USD_TYP E6	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [2:0]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 3-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 4-й бит «1»: выбран алгоритм предсказания Prediction-2.
[9:5]	CMPRS_SCHM_FR_USD_TYP E7	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [7:5]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 8-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 9-й бит «1»: выбран алгоритм предсказания Prediction-2.
[31:10]	RSVD	-	-	0	Резерв.

21.8.19 Регистр виртуальной схемы сжатия/предсказания СН-1 1

Значение по умолчанию: 0x0000_0000.

Поля регистра виртуальной схемы сжатия/предсказания СН-1 1 описаны в Таблица 21.146.

Таблица 21.146. Регистр виртуальной схемы сжатия/предсказания СН-1 1

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[4:0]	CMPRS_SCHM_FR_USD_TYP E0	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [2:0]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 3-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 4-й бит «1»: выбран алгоритм предсказания Prediction-2.
[9:5]	CMPRS_SCHM_FR_USD_TYP E1	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [7:5]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 8-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 9-й бит «1»: выбран алгоритм предсказания Prediction-2.
[14:10]	CMPRS_SCHM_FR_USD_TYP E2	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [12:10]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 13-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 14-й бит «1»: выбран алгоритм предсказания Prediction-2.
[19:15]	CMPRS_SCHM_FR_USD_TYP E3	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [17:15]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 18-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 19-й бит «1»: выбран алгоритм предсказания Prediction-2.

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[24:20]	CMPRS_SCHM_FR_USD_TYP E4	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [22:20]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 23-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 24-й бит «1»: выбран алгоритм предсказания Prediction-2.
[29:25]	CMPRS_SCHM_FR_USD_TYP E5	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [27:25]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 28-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 29-й бит «1»: выбран алгоритм предсказания Prediction-2.
[31:30]	RSVD	-	-	0	Резерв.

21.8.20 Регистр виртуальной схемы сжатия/предсказания СН-1 2

Значение по умолчанию: 0x0000_0000.

Поля регистра виртуальной схемы сжатия/предсказания СН-1 2 описаны в Таблица 21.147.

Таблица 21.147. Регистр виртуальной схемы сжатия/предсказания СН-1 2

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[4:0]	CMPRS_SCHM_FR_USD_TYP E6	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [2:0]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 3-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 4-й бит «1»: выбран алгоритм предсказания Prediction-2.

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[9:5]	CMPRS_SCHM_FR_USD_TYP E7	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [7:5]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 8-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 9-й бит «1»: выбран алгоритм предсказания Prediction-2.
[31:10]	RSVD	-	-	0	Резерв.

21.8.21 Регистр виртуальной схемы сжатия/предсказания СН-2 1

Значение по умолчанию: 0x0000_0000.

Поля регистра виртуальной схемы сжатия/предсказания СН-2 1 описаны в Таблица 21.148.

Таблица 21.148. Регистр виртуальной схемы сжатия/предсказания СН-2 1

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[4:0]	CMPRS_SCHM_FR_USD_TYP E0	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [2:0]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 3-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 4-й бит «1»: выбран алгоритм предсказания Prediction-2.
[9:5]	CMPRS_SCHM_FR_USD_TYP E1	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [7:5]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 8-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 9-й бит «1»: выбран алгоритм предсказания Prediction-2.

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[14:10]	CMPRS_SCHM_FR_USD_TYP E2	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [12:10]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 13-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 14-й бит «1»: выбран алгоритм предсказания Prediction-2.
[19:15]	CMPRS_SCHM_FR_USD_TYP E3	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [17:15]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 18-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 19-й бит «1»: выбран алгоритм предсказания Prediction-2.
[24:20]	CMPRS_SCHM_FR_USD_TYP E4	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [22:20]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 23-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 24-й бит «1»: выбран алгоритм предсказания Prediction-2.
[29:25]	CMPRS_SCHM_FR_USD_TYP E5	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [27:25]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 28-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 29-й бит «1»: выбран алгоритм предсказания Prediction-2.
[31:30]	RSVD	-	-	0	Резерв.

21.8.22 Регистр виртуальной схемы сжатия/предсказания СН-2 2

Значение по умолчанию: 0x0000_0000.

Поля регистра виртуальной схемы сжатия/предсказания СН-2 2 описаны в Таблица 21.149.

Таблица 21.149. Регистр виртуальной схемы сжатия/предсказания СН-2 2

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[4:0]	CMPRS_SCHM_FR_USD_TYP E6	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [2:0]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 3-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 4-й бит «1»: выбран алгоритм предсказания Prediction-2.
[9:5]	CMPRS_SCHM_FR_USD_TYP E7	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [7:5]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 8-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 9-й бит «1»: выбран алгоритм предсказания Prediction-2.
[31:10]	RSVD	-	-	0	Резерв.

21.8.23 Регистр виртуальной схемы сжатия/предсказания СН-3 1

Значение по умолчанию: 0x0000_0000.

Поля регистра виртуальной схемы сжатия/предсказания СН-3 1 описаны в Таблица 21.150.

Таблица 21.150. Регистр виртуальной схемы сжатия/предсказания СН-3 1

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[4:0]	CMPRS_SCHM_FR_USD_TYP E0	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [2:0]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 3-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 4-й бит «1»: выбран алгоритм предсказания Prediction-2.
[9:5]	CMPRS_SCHM_FR_USD_TYP E1	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [7:5]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 8-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 9-й бит «1»: выбран алгоритм предсказания Prediction-2.
[14:10]	CMPRS_SCHM_FR_USD_TYP E2	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [12:10]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 13-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 14-й бит «1»: выбран алгоритм предсказания Prediction-2.
[19:15]	CMPRS_SCHM_FR_USD_TYP E3	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [17:15]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 18-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 19-й бит «1»: выбран алгоритм предсказания Prediction-2.

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[24:20]	CMPRS_SCHM_FR_USD_TYP E4	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [22:20]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 23-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 24-й бит «1»: выбран алгоритм предсказания Prediction-2.
[29:25]	CMPRS_SCHM_FR_USD_TYP E5	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [27:25]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 28-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 29-й бит «1»: выбран алгоритм предсказания Prediction-2.
[31:30]	RSVD	-	-	0	Резерв.

21.8.24 Регистр виртуальной схемы сжатия/предсказания СН-3 2

Значение по умолчанию: 0x0000_0000.

Поля регистра виртуальной схемы сжатия/предсказания СН-3 2 описаны в Таблица 21.151.

Таблица 21.151. Регистр виртуальной схемы сжатия/предсказания СН-3 2

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[4:0]	CMPRS_SCHM_FR_USD_TYP E6	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [2:0]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 3-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 4-й бит «1»: выбран алгоритм предсказания Prediction-2.

Диапазон	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[9:5]	CMPRS_SCHM_FR_USD_TYP E7	RW	RO	0	Установлен процессором для конфигурирования схемы сжатия. Валидные значения битов [7:5]: «001» ->выбран формат 10-6-10; «010» ->выбран формат 10-7-10; «011» ->выбран формат 10-8-10; «100» ->выбран формат 12-6-12; «101» ->выбран формат 12-7-12; «110» ->выбран формат 12-8-12. Когда 8-й бит «1»: выбран алгоритм предсказания Prediction-1. Когда 9-й бит «1»: выбран алгоритм предсказания Prediction-2.
[31:10]	RSVD	-	-	0	Резерв.

21.8.25 Регистр принудительной установки RAW8

Значение по умолчанию: 0x0000_0000.

Поля регистра принудительной установки RAW8 описаны в Таблица 21.152.

Таблица 21.152. Регистр принудительной установки RAW8

Error! Reference source not found.	Название	Тип доступа		Значение после сброса	Описание
		s/w	h/w		
[0]	FORCE_RAW8_EN	RW	RO	0	Устанавливается процессором для принудительной установки величины регистра RAW8 в блок обработки изображения (Image processor block).
[31:1]	RSVD	-	-	0	Резерв.

21.8.26 Регистр подключения обратной петли

Значение по умолчанию: 0x0000_0000.

Поля регистра подключения обратной петли описаны в Таблица 21.153.

Таблица 21.153. Регистр подключения обратной петли

Диапазон	Название	Тип доступа	Значение	Описание
----------	----------	-------------	----------	----------

		s/w	h/w	ние после сброса	
[0]	LPBK	RW	RO	0	Этот бит подключает тестирование обратной петли для DPHY-Analog. «1»: вывод передатчика DPHY (@ PNY-уровень) замыкается обратной петлей на приемник DPHY. «0»: активен только приемник DPHY. Работает как автономный интерфейс CSI-RX.
[31:1]	RSVD	-	-	0	Резерв.

21.9 Унифицированный пиксельный интерфейс потока обработки видео (UPF)

Все типы входных данных преобразуются модулями PInterface0-PInterface1, SInterface0-SInterface1 в один унифицированный пиксельный формат (UPF), который далее используется на всех стадиях передачи, буферизации и обработки видеоданных. Сигналы синхронизации UPF формируются модулем Stop. Сигналы формата унифицированного пиксельного интерфейса описаны в Таблица 21.154.

Таблица 21.154. Сигналы формата унифицированного интерфейса потока видеоконвейера

Наименование	Направление источника (приемника)	Описание
CLK	out (in)	Основной синхросигнал 600 МГц
VDATA[4][11:0]	out (in)	Четыре компонента видеоданных
PV	out (in)	Сигнал достоверности видеоданных
RDY	in (out)	Сигнал подтверждения приема видеоданных
H	out (in)	Сигнал горизонтальной синхронизации (строб строки - line valid)
V	out (in)	Сигнал вертикальной синхронизации (строб кадра - frame valid)
F	out (in)	Признак четного/нечетного кадра для чересстрочной развертки
L	out (in)	Признак четной/нечетной строки

До четырех цветовых компонентов одного пикселя передаются параллельными словами VDATA за один такт CLK. Если разрядность цветового компонента меньше 12, он записывается в старшие разряды слова VDATA, младшие разряды заполняются нулями. Источник видеоданных сопровождает каждое слово установкой в активное состояние (логической единицы) сигнала достоверности видеоданных PV. Приемник подтверждает прием слова данных установкой в активное состояние (логической единицы) сигнала подтверждения приема видеоданных RDY. Передача слова данных осуществляется при соблюдении условия одновременной установки PV и RDY (PV = 1 && RDY = 1). Временная диаграмма сигналов PV/RDY см. на Рисунок 21.67.

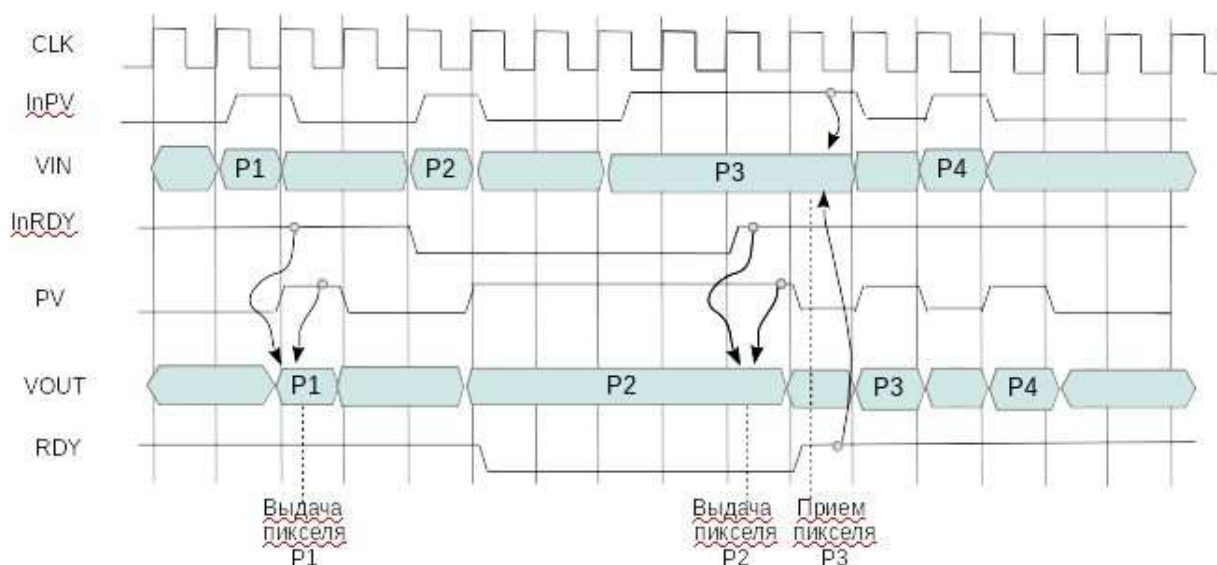


Рисунок 21.67. Временная диаграмма PV/RDY

Данные сопровождаются сигналами вертикальной (V) и горизонтальной (H) синхронизации. Сигналы H и V могут устанавливаться/сбрасываться источником независимо от состояния сигнала PV, однако анализируются приемником только при наличии активного состояния PV. Сигнал H находится в активном состоянии (логической единицы) в течение передачи всей строки. В промежутке между строками сигнал H должен находиться в неактивном состоянии как минимум в течение одного такта при условии PV=1 (horizontal blanking). Horizontal blanking должен следовать непосредственно после последнего пикселя в строке. Сигнал V находится в активном состоянии (логической единицы) в течение передачи всего кадра. В промежутке между кадрами сигнал V должен находиться в неактивном состоянии как минимум в течение одного такта при условии PV=1 (vertical blanking). Vertical blanking должен следовать непосредственно после последнего пикселя в строке.

Таблица 21.155. Назначение сигналов синхронизации

PV	V	H	
0	-	-	Состояние V и H не анализируется
1	0	-	Vertical blanking
1	1	0	Horizontal blanking
1	1	1	Активный пиксель

В нормальном режиме работы размер кадра для потока обработки видеоданных (после global cropping) определяется параметрами: по горизонтали (длина строки в пикселях) - полем HSIZE регистра STREAM*_INP_HCROP_CTR, по вертикали (количество строк в кадре) — полем VSIZE регистров STREAM*_INP_VCROP_CTR (при прогрессивной развертке и для четного поля при чересстрочной развертке) или STREAM*_INP_VCROP_ODD_CTR (для нечетного поля при чересстрочной развертке). Однако в случае потери данных при отсутствии сигнала подтверждения RDY со стороны приемника источник может передавать укороченные строки (длиной менее HSIZE) и

укороченные кадры (размером менее VSIZE). Приемник должен принимать укороченные строки и кадры, руководствуясь сигналами горизонтальной и вертикальной синхронизации (H и V).

Передача данных может сопровождаться признаком четной/нечетной строки L (актуально для формата YCbCr 4:2:0). L = 0 при передаче четной строки (0-я,2-я,4-я и тд), L = 1 при передаче нечетной строки (1-я,3-я,5-я и тд). Для форматов данных кроме YCbCr 4:2:0 значение L не регламентируется.

Передача данных может сопровождаться признаком четного/нечетного поля F (актуально для чересстрочной развертки). F = 0 при передаче четного поля, F = 1 при передаче нечетного поля. В случае прогрессивной развертки F = 0. Сигналы F и L могут переключаться источником независимо от состояния сигнала PV, однако анализируются приемником только при наличии активного состояния PV.

UPF поддерживает следующие форматы видеоданных: RGB, YCbCr 4:4:4, YCbCr 4:2:2, YCbCr 4:2:0 и Bayer(Mono). В форматах RGB и YCbCr 4:4:4 возможна передача дополнительного A-компонента в слове данных VDATA[3]. В формате YCbCr 4:2:2 пиксели передаются парами за два такта, значения Cb и Cr для обоих пикселей одинаковые. В формате YCbCr 4:2:0 в четной строке передаются только Y компоненты, в нечетной строке - Y, Cb и Cr, пиксели передаются парами за два такта аналогично 4:2:2. Для Bayer/Mono предусмотрены два формата — упакованный (по 4 пикселя в слове) и неупакованный (по одному пикселей в слове). Тип формата для каждого канала обработки определяется битом BAYER_PACK регистра STREAM*_INP_CFG.

Таблица 21.156. Расположение компонентов видеоданных

Формат		VDATA[3]	VDATA[2]	VDATA[1]	VDATA[0]	
RGB(A)		(A)	R	B	G	
YCbCr 4:4:4		(A)	Cr	Cb	Y	
YCbCr 4:2:2	1 такт	-	Cr1	Cb1	Y1	
	2 такт	-	Cr1	Cb1	Y2	
YCbCr 4:2:0	L=0	-	-	-	Y1	
	L=1	1 такт	-	Cr1	Cb1	Y1
		2 такт	-	Cr1	Cb1	Y2
Bayer/Mono	Non packed	-	-	-	M1	
	Packed	M4	M3	M2	M1	

Далее на временных диаграммах показаны несколько характерных примеров преобразования различных форматов, вводимых данных в унифицированный формат потока видеоконвейера (UPF). Временная диаграмма на Рисунок 21.68 показывает входные и выходные сигналы в процессе сборки цветных компонентов одного пикселя RGB(A) и последовательной передачей компонентов.

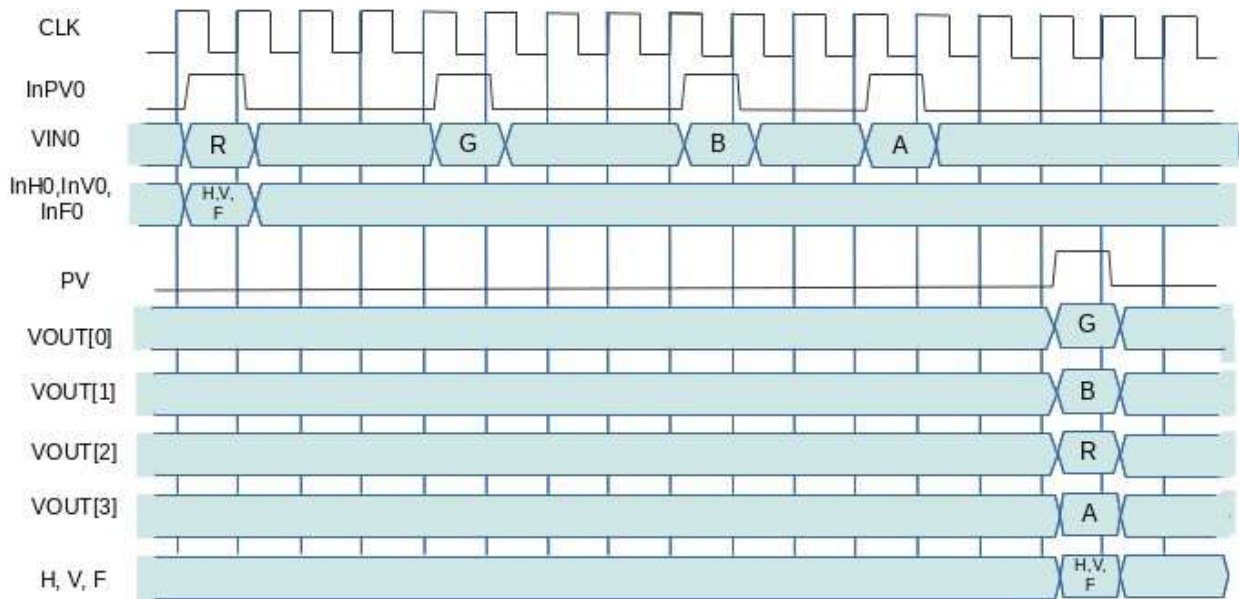


Рисунок 21.68. Временная диаграмма последовательного приема пикселя в формате RGB (A)

Временная диаграмма на Рис. А.3 показывает входные и выходные сигналы в процессе сборки цветных компонентов пары пикселей YCbCr с цветовой субдискретизацией 4:2:2.

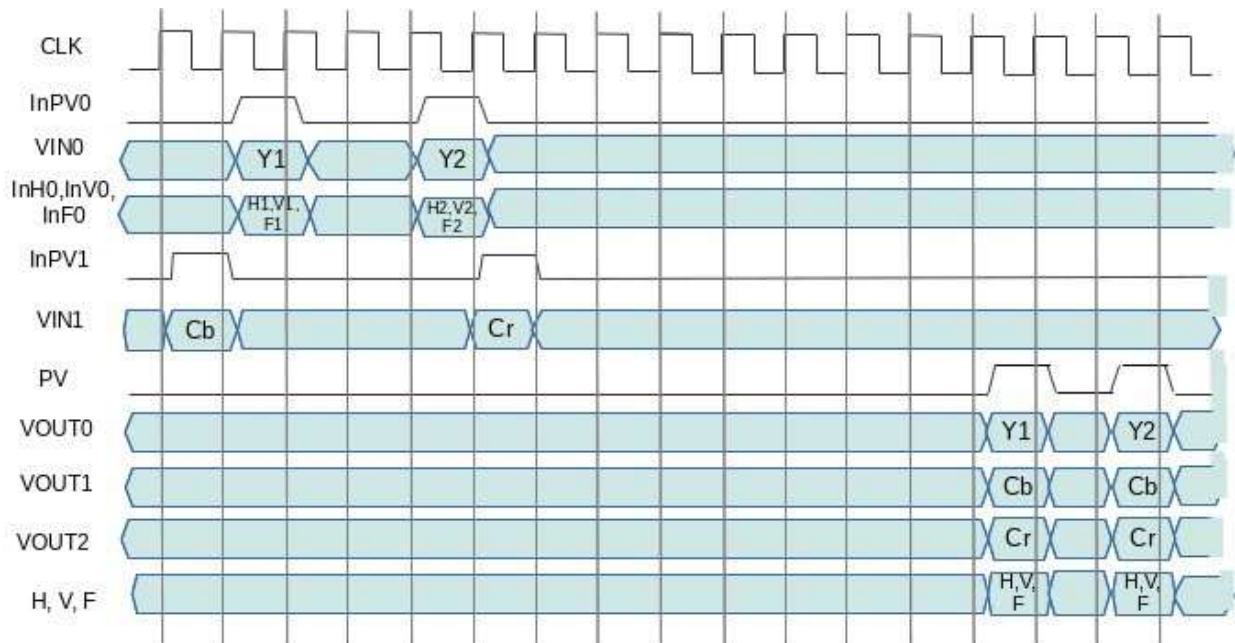


Рисунок 21.69. Временная диаграмма последовательного приема пикселя в формате YCbCr 4:2:2

Примечание. В текущей реализации не допускается установка PV в течение двух тактов подряд

21.10 Скорости потоков видео для различных сценариев

Тип развертки видео	Количество входных потоков	Частота пикселей для одного потока	Количество записываемых потоков	Частота пикселей для всех записываемых потоков	Частота пикселей/частота шины AXI	Количество записей в буфер AXI 64-разрядных слов на пиксель для одного потока		Частота записей 64-разрядных слов для всех потоков (MHz)	Скорость потока (МБайт/сек)	Частота записей для всех потоков/частота шины AXI (504 МГц)
SDTV 576i50 720 x 576	2	11.25 MHz (средняя по кадрам 10.368 MHz)	2	22.5 MHz	1/26	8+8+8+8	1 раз в 2 пикселя	11.25	90	1/44
						16+16	Каждый пиксель	22.5	180	1/22
			4	45 MHz	1/13	8+8+8+8	1 раз в 2 пикселя	22.5	180	1/22
						16+16	Каждый пиксель	45	360	1/11
FHD 1080p60 1920 x 1080	1	148.5 MHz (средняя по кадрам 124.42 MHz)	1	148.5 MHz	1/4.5	8+8+8+8	1 раз в 2 пикселя	74.3	594	1/7
						16+16	Каждый пиксель	148.5	1188	1/3.4
			2	297 MHz	1/1.7	8+8+8+8	1 раз в 2 пикселя	148.5	1188	1/3.4
						16+16	Каждый пиксель	297	2376	1/1.7
	2	148.5 MHz	4	518.4 MHz	9/10	8+8+8+8	1 раз в 2 пикселя	297	2376.6	1/1.7
						16+16	Каждый пиксель	594	4752	> 1
FHD 1080p60 1920 x 1080 + SDTV 576i50 720 x 576	2	159.75MHz	2	159.75 MHz	1/4.2	8+8+8+8	1 раз в 2 пикселя	79.9	639	1/6.3
						16+16	Каждый пиксель	159.75	1278	1/3.1
			4	319.5 MHz	1/2.1	8+8+8+8	1 раз в 2 пикселя	159.75	1278	1/3.1
						16+16	Каждый пиксель	319.5	2556	1/1.5

21.11 Форматы видеоданных для различных сценариев

Сценарий	Количество потоков	Источники видеоданных	Формат	Разрядность
1	2	CMOS	Bayer	12
	2	CSI2	Bayer	6, 7, 8, 10, 12, 14
2	1	Raw 8+8+8	RGB	8
	1	Raw 12+12	RGB	12
	2	CSI2	RGB	5, 5/6/5, 6, 8
3	2	BT.656	YCbCr 4:2:2	10
	1	Raw 8+8+8	YCbCr 4:2:2	8
	1	Raw 12+12	YCbCr 4:2:2	12
	2	CSI2	YCbCr 4:2:2	8,10
4	1	Raw 8+8+8	YCbCr 4:4:4	8
	1	Raw 12+12	YCbCr 4:4:4	12
5	2	CMOS	Mono	12

22. ПОРТ ВИДЕОВЫВОДА (VPOUT)

22.1 LCD-контроллер

22.1.1 Описание и назначение

IP-блок LCD-контроллера является портом вывода изображения на ЖК-дисплей и решает следующие задачи:

- организация вывода данных по стандарту DPI 2.0;
- формирование сигналов синхронизации развертки параллельного интерфейса RGB для ЖК-дисплея, таких как: PIXCLK, VSYNC, HSYNC, DEN;
- загрузка текущего кадра в разных форматах из памяти и вывод его на экран;
- наложение на кадр курсора необходимой формы;
- преобразование входного кодового потока (индексов) в изображение, по загруженной ранее палитре.

22.1.2 Структурная схема

Контроллер в частотном домене AXI. Подкачка и преобразование данных, формирование сигналов синхронизации осуществляется на этой частоте.

На Рисунок 22.1 представлена структурная схема IP-блока LCD-контроллера.

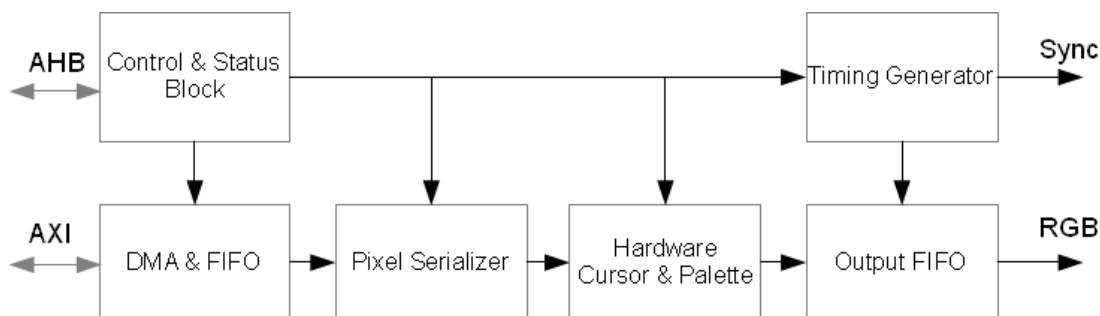


Рисунок 22.1. Структурная схема контроллера

22.1.3 Функциональные характеристики

- входные типы данных:
 - 8 бит цвет;
 - 12 бита цвет;
 - 15 бит цвет;
 - 16 бит цвет;
 - 18 бит цвет;
 - 24 бит цвет;

- 32 бит цвет;
- 1 бит индекс палитры;
- 2 бита индекс палитры;
- 4 бита индекс палитры;
- 8 бит индекс палитры;
- разрешение экрана: до 4096 x 4096;
- размер аппаратного курсора:
 - 32x32;
 - 64x64;
- размер палитры:
 - 256 цветов;
 - 16 цветов;
 - 4 цвета;
 - 2 цвета;
- программируемые временные характеристики:
 - выходная тактовая частота;
 - вертикальные и горизонтальные поля;
 - активная вертикальная и горизонтальная часть экрана.

22.1.4 Карта программных регистров

Перечень программно-доступных регистров LCD-контроллера приведен в Таблица 22.1.

Таблица 22.1. Программно-доступные регистры контроллера

Смещение адреса	Условное обозначение регистра	Назначение	Тип доступа	Исходное состояние
0x0	lcdcsr	Регистр управления LCD-контроллером	W/R	0x0
0x4	lcddiv	Регистр коэффициента деления частоты для формирования частоты PIXCLK	W/R	0x0
0x8	lcdmode	Регистр управления режимом работы контроллера	W/R	0x0
0xc	lcdht0	Регистр параметров строчной синхронизации 0	W/R	0x0
0x10	lcdht1	Регистр параметров строчной синхронизации 1	W/R	0x0
0x14	lcdvt0	Регистр параметров вертикальной синхронизации 0	W/R	0x0
0x18	lcdvt1	Регистр параметров вертикальной синхронизации 1	W/R	0x0
0x1c	lcdxy	Регистр позиции аппаратного курсора	W/R	0x0
0x20	lcdxyp	Регистр точки привязки аппаратного курсора	W/R	0x0
0x24	lcdcolor0	Регистр цвета аппаратного курсора 0	W/R	0x0
0x28	lcdcolor1	Регистр цвета аппаратного курсора 1	W/R	0x0
0x2c	lcdab0	Регистр адреса буфера 0	W/R	0x0
0x30	lcdab1	Регистр адреса буфера 1	W/R	0x0
0x34	lcdoff0	Регистр смещения адреса для буфера 0	W/R	0x0
0x38	lcdoff1	Регистр смещения адреса для буфера 1	W/R	0x0

Смещение адреса	Условное обозначение регистра	Назначение	Тип доступа	Исходное состояние
0x3c	lcddmaxu	Регистр номера текущего пикселя на DMA	R/O	0x0
0x40	lcddmaaddress	Регистр текущего адреса DMA	R/O	0x0
0x44	lcdint	Регистр вектора прерываний	W/R	0x0
0x48	lcdintmask	Регистр маски вектора прерываний	W/R	0x0
0x400	HWC_MEM	Начальный адрес памяти аппаратного курсора	W/R	0x0
0x 800	PAL_MEM	Начальный адрес памяти палитры	W/R	0x0

22.1.4.1 Регистр управления и состояния (lcddcsr)

Регистр управления и состояния lcddcsr является 32-разрядным регистром, доступным по чтению и записи. Назначение разрядов регистра lcddcsr приведено в Таблица 22.2.

Таблица 22.2. Формат регистра lcddcsr

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
0	EN	Вкл/Выкл контроллера LCD-контроллера: 0 – выключен; 1 – включен	W/R	0x0
1	RUN	Запуск/остановка контроллера LCD-контроллера. Остановка происходит не мгновенно, а только после завершения текущего кадра, то есть по VSYNC 1->0. 0 – остановка; 1 – запуск	W/R	0x0
2	INIT	Инициализация контроллера LCD-контроллера (осуществляется перед запуском контроллера, после программирования его настроек). Данный бит автоматически сбрасывается в 0 после завершения инициализации. После записи 1 необходимо дождаться его сброса в 0. 0 – недоступно; 1 – инициализация	W1/R	0x0
3	CLR	Очистка конвейера контроллера LCD-контроллера. Данный бит автоматически сбрасывается в 0 после завершения остановки и очистки контроллера. Если очистка произошла во время передачи данных, тогда процесс очистки будет продолжаться до окончания незаконченных DMA транзакций. 0 – недоступно; 1 - очистка	W/R	0x0

22.1.4.2 Регистр коэффициента деления частоты ACLK (lcddiv)

Регистр коэффициента деления частоты ACLK является 32-разрядным регистром, доступным по чтению и записи. Назначение разрядов регистра lcddiv приведено в Таблица 22.3.

Таблица 22.3. Формат регистра lccdiv

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
31:0	DIV	Коэффициент деления частоты ACLK. Допустимые значения коэффициента деления: от 1 до 4,294,967,295. Предназначен для формирования выходной частоты PIXCLK путем деления входной частоты ACLK. Выходное значение делителя = $ACLK/(DIV+1)$	W/R	0x0

22.1.4.3 Регистр управления режимом работы контроллера (lcmode)

Регистр управления режимом работы контроллера lcmode является 32-разрядным регистром, доступным по чтению и записи. Назначение разрядов регистра lcmode приведено в Таблица 22.4. Активным уровнем сигналов синхронизации HSYNC, VSYNC, DEN в таблице считается уровень, при котором происходит передача видеоданных, соответствующий определяемой стандартами BT.656, VESA DMT области Active Video (см. Рисунок 22.2).

Таблица 22.4. Формат регистра lcmode

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
3:0	INSIZE	Формат входных данных: 0 – 8 бит/пиксель, 1 – 12 бит/пиксель, 2 – 15 бит/пиксель, 3 – 16 бит/пиксель, 4 – 18 бит/пиксель, 5 – 24 бит/пиксель, 6 – 32 бит/пиксель, 7 – резерв, 8 – 1 бит индекс палитры/пиксель, 9 – 2 бита индекс палитры/пиксель, 10 – 4 бита индекс палитры/пиксель, 11 – 8 бит индекс палитры/пиксель	W/R	0x0
4	HWCEN	Включение аппаратного курсора: 0 – выключен; 1 – включен	W/R	0x0
5	HWC_MODE	Режим аппаратного курсора: 0 – размер курсора 32x32 пикселя, 1 – размер курсора 64x64 пикселя	W/R	0x0
6	BUF_MODE	Включение двухбуферного режима: 0 – двухбуферный режим выключен; 1 – двухбуферный режим включен. Работа в двухбуферном режиме заключается в поочередной загрузке буфера 0 и буфера 1 из внешней памяти по адресам, который хранятся в регистрах lcdab0 и lcdab1.	W/R	0x0
7	BUF_NUMB	Номер начального буфера. Номер буфера, который будет загружаться первым после запуска контроллера.	W/R	0x0

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
8	HINV	Полярность сигнала HSYNC: 0 – активный уровень 1 (в терминах стандарта VESA DMT – Negative HSYNC); 1 – активный уровень 0 (в терминах стандарта VESA DMT – Positive HSYNC)	W/R	0x0
9	VINV	Полярность сигнала VSYNC: 0 – активный уровень 1 (в терминах стандарта VESA DMT – Negative VSYNC); 1 – активный уровень 0 (в терминах стандарта VESA DMT – Positive VSYNC)	W/R	0x0
10	DINV	Полярность сигнала DEN: 0 – активный уровень 1; 1 – активный уровень 0	W/R	0x0
11	PINV	Полярность сигнала PIXCLK: 0 – запись данных по переднему фронту PIXCLK; 1 – запись данных по заднему фронту PIXCLK	W/R	0x0
12	CCM	Формирование выходных данных: 0 – без вставки нулей, 1 – вставка нулей. Пример: Входной формат 18 бит/пиксель. CCM = 0; RGB[23:0] = {0,pixel[17:0]}; CCM=1; RGB[23:0] = {pixel[17:12],0,pixel[11:6],0,pixel[5:0],0}	W/R	0x0
13	INSYNC	Включение режима внешней синхронизации	W/R	0x0
14	DEN_EN	Режим работы при внешней синхронизации: 0 – сигнал DEN _i не учитывается при формировании пикселя; 1 – сигнал DEN _i учитывается при формировании пикселя	W/R	0x0
15	HDEF	Состояние сигнала HSYNC по умолчанию до запуска контроллера.	W/R	0x0
16	VDEF	Состояние сигнала VSYNC по умолчанию до запуска контроллера.	W/R	0x0
17	CLK_ON	Формирование выходной частоты PIXCLK до запуска контроллера.	W/R	0x0

22.1.4.4 Регистр параметров строчной синхронизации (lcdht0)

Регистр параметров строчной синхронизации lcdht0 является 32-разрядным регистром, доступным по чтению и записи. Назначение разрядов регистра lcdht0 приведено в Таблица 22.5.

Таблица 22.5. Формат регистра lcdht0

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
15:0	HSW	Количество тактов частоты PIXCLK. См.Рисунок 22.2. Значение записывается уменьшенное на единицу	W/R	0x0
31:16	HGDEL	Количество тактов частоты PIXCLK. См. Рисунок 22.2. Значение записывается уменьшенное на единицу	W/R	0x0

22.1.4.5 Регистр параметров строчной синхронизации (lcdht1)

Регистр параметров строчной синхронизации lcdht1 является 32-разрядным регистром, доступным по чтению и записи. Назначение разрядов регистра lcdht1 приведено в Таблица 22.6.

Таблица 22.6. Формат регистра lcdht1

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
15:0	HGATE	Количество тактов частоты PIXCLK. См. Рисунок 22.2. Значение записывается уменьшенное на единицу	W/R	0x0
31:16	HLEN	Количество тактов частоты PIXCLK. См. Рисунок 22.2. Значение записывается уменьшенное на единицу	W/R	0x0

22.1.4.6 Регистр параметров кадровой синхронизации (lcdvt0)

Регистр параметров кадровой синхронизации lcdvt0 является 32-разрядным регистром, доступным по чтению и записи. Назначение разрядов регистра lcdvt0 приведено в Таблица 22.7.

Таблица 22.7. Формат регистра lcdvt0

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
15:0	VSW	Количество линий. См. Рисунок 22.2. Значение записывается уменьшенное на единицу	W/R	0x0
31:16	VGDEL	Количество линий. См. Рисунок 22.2. Значение записывается уменьшенное на единицу	W/R	0x0

22.1.4.7 Регистр параметров кадровой синхронизации (lcdvt1)

Регистр параметров строчной синхронизации lcdvt1 является 32-разрядным регистром, доступным по чтению и записи. Назначение разрядов регистра lcdvt1 приведено в Таблица 22.8.

Таблица 22.8. Формат регистра lcdvt1

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
15:0	VGATE	Количество линий. См. Рисунок 22.2. Значение записывается уменьшенное на единицу	W/R	0x0
31:16	VLEN	Количество линий. См. Рисунок 22.2. Значение записывается уменьшенное на единицу	W/R	0x0

22.1.4.8 Регистр позиции аппаратного курсора (lcdxy)

Регистр позиции аппаратного курсора lcdxy является 32-разрядным регистром, доступным по чтению и записи. Назначение разрядов регистра lcdxy приведено в Таблица 22.9.

Таблица 22.9. Формат регистра lcdxy

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
15:0	XPOS	Координата X точки привязки курсора на экране. См. Рисунок 22.3	W/R	0x0
31:16	YPOS	Координата Y точки привязки курсора на экране. См. Рисунок 22.3	W/R	0x0

22.1.4.9 Регистр точки привязки аппаратного курсора (lcdxur)

Регистр точки привязки аппаратного курсора lcdxur является 32-разрядным регистром, доступным по чтению и записи. Назначение разрядов регистра lcdxur приведено в Таблица 22.10.

Таблица 22.10. Формат регистра lcdxur

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
15:0	XPOS	Координата X точки привязки внутри курсора. См. Рисунок 22.3	W/R	0x0
31:16	YPOS	Координата Y точки привязки внутри курсора. См. Рисунок 22.3	W/R	0x0

22.1.4.10 Регистр цвета аппаратного курсора (lcdcolor0)

Регистр цвета аппаратного курсора lcdcolor0 является 32-разрядным регистром, доступным по чтению и записи. Назначение разрядов регистра lcdcolor0 приведено в Таблица 22.11.

Таблица 22.11. Формат регистра lcdcolor0

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
31:0	COLOR	Цвет курсора 0. Пиксель данного цвета выводится на экран, если координаты выводимого пикселя попадают в область расположения курсора и в памяти курсора этому пикселю соответствует значение 0. Формат заполнения памяти аппаратного курсора см. Таблица 22.23, Таблица 22.24	W/R	0x0

22.1.4.11 Регистр цвета аппаратного курсора (lcdcolor1)

Регистр цвета аппаратного курсора lcdcolor1 является 32-разрядным регистром, доступным по чтению и записи. Назначение разрядов регистра lcdcolor1 приведено в Таблица 22.12.

Таблица 22.12. Формат регистра lcdcolor1

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
31:0	COLOR	Цвет курсора 1. Пиксель данного цвета выводится на экран, если координаты выводимого пикселя попадают в область расположения курсора и в памяти курсора этому пикселю соответствует значение 1. Формат заполнения памяти аппаратного курсора см. Таблица 22.23, Таблица 22.24	W/R	0x0

22.1.4.12 Регистр адреса буфера 0 (lcdab0)

Регистр адреса буфера 0 lcdab0 является 32-разрядным регистром, доступным по чтению и записи. Назначение разрядов регистра lcdab0 приведено в Таблица 22.13.

Таблица 22.13. Формат регистра lcdab0

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
31:0	ADDR	Регистр адреса буфера кадра 0 во внешней памяти	W/R	0x0

22.1.4.13 Регистр адреса буфера 1 (lcdab1)

Регистр адреса буфера 1 lcdab1 является 32-разрядным регистром, доступным по чтению и записи. Назначение разрядов регистра lcdab1 приведено в Таблица 22.14.

Таблица 22.14. Формат регистра lcdab1

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
31:0	ADDR	Регистр адреса буфера кадра 1 во внешней памяти	W/R	0x0

22.1.4.14 Регистр смещения адреса между строками для буфера 0 (lcdoff0)

Регистр смещения адреса между строками для буфера 0 lcdoff0 является 32-разрядным регистром, доступным по чтению и записи. Назначение разрядов регистра lcdoff0 приведено в Таблица 22.15.

Таблица 22.15. Формат регистра lcdoff0

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
31:0	OFF0	Регистр смещения адреса между строками буфера кадра 0. Значение должно быть выровнено относительно 64 разрядной границе	W/R	0x0

22.1.4.15 Регистр смещения адреса между строками для буфера 1 (lcdoff1)

Регистр смещения адреса между строками для буфера 1 lcdoff1 является 32-разрядным регистром, доступным по чтению и записи. Назначение разрядов регистра lcdoff1 приведено в Таблица 22.16.

Таблица 22.16. Формат регистра lcdoff1

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
31:0	OFF1	Регистр смещения адреса между строками буфера кадра 1. Значение должно быть выровнено относительно 64 разрядной границы	W/R	0x0

22.1.4.16 Регистр экранных координат пикселя в DMA (lcddmaху)

Регистр экранных координат пикселя в DMA lcddmaху является 32-разрядным регистром, доступным по чтению и записи. Назначение разрядов регистра lcddmaху приведено в Таблица 22.17.

Таблица 22.17. Формат регистра lcddmaху

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
15:0	X	Счетчик загруженных из памяти пикселей в текущей строке	R/O	0x0
31:16	Y	Счетчик загруженных из памяти линий в текущем кадре	R/O	0x0

22.1.4.17 Регистр текущего адреса во внешнюю память (lcdmaaddress)

Регистр текущего адреса во внешнюю память lcdmaaddress является 32-разрядным регистром, доступным по чтению и записи. Назначение разрядов регистра lcdmaaddress приведено в Таблица 22.18.

Таблица 22.18. Формат регистра lcdmaaddress

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
31:0	ADDR	Текущий адрес во внешнюю память.	R/O	0x0

22.1.4.18 Регистр управления режимом прерываний (lcdint)

Регистр прерываний lcdint является 32-разрядным регистром, доступным по чтению и записи. Для сброса прерывания необходимо записать 1 в тот разряд регистра, прерывание которого необходимо сбросить. Назначение разрядов регистра lcdint приведено в Таблица 22.19.

Таблица 22.19. Формат регистра lcdint

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
0	DMA_DONE	Прерывание по окончании работы канала DMA (DMA закончил подкачку данных из памяти)	R/W1	0x0
1	DMA_FIFO_EMPTY	Прерывание по пустому FIFO в канале DMA	R/W1	0x0
2	OUT_FIFO_INT	Прерывание по чтению из пустого выходного буфера	R/W1	0x0

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
3	OUT_FIFO_EMPTY	Прерывание по пустому выходному буферу	R/W1	0x0
4	-	-	-	-
5	SYNC_DONE	Прерывание по окончанию вывода кадра на экран (VSYNC 1->0)	R/W1	0x0

22.1.4.19 Регистр маски прерывания (lcdintmask)

Регистр маски прерывания lcdintmask является 32-разрядным регистром, доступным по чтению и записи. Назначение разрядов регистра lcdintmask приведено в Таблица 22.20.

Таблица 22.20. Формат регистра lcdintmask

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
5:0	MASK	Маска прерываний	W/R	0x0

22.1.5 Формирование временных характеристик RGB интерфейса

Для формирования временных характеристик выходных сигналов синхронизации по стандарту DPI 2.0 в IP-блоке LCD-контроллера существует набор регистров, в частности:

- lcd_div;
- lcd_ht0;
- lcd_ht1;
- lcd_vt0;
- lcd_vt1.

Запрограммированные значения полей регистров lcd_ht0, lcd_ht1, lcd_vt0, lcd_vt1 автоматически увеличиваются на единицу. Соответственно минимальные поддерживаемые значения полей HSW, HGDEL, HGATE и VSW, VGDEL, VGATE равны единице. Минимальное поддерживаемое значение HLEN и VLEN равно 4.

На Рисунок 22.2 представлена временная диаграмма выходных сигналов для случая HINV=VINV=DINV=PINV=0 с пояснениями о назначении каждого из указанных полей регистров.

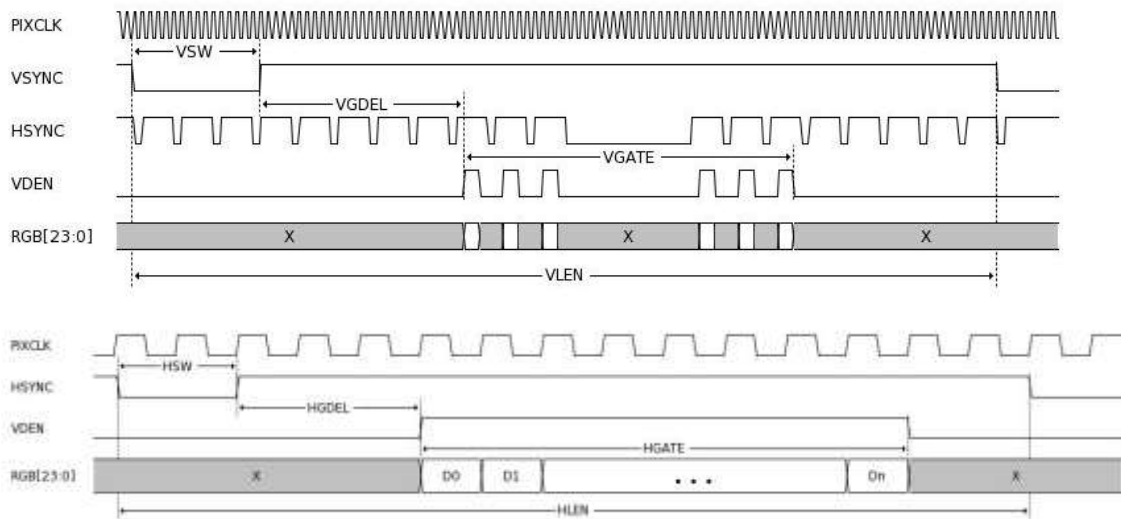


Рисунок 22.2. Временная диаграмма выходных сигналов параллельного интерфейса

22.1.6 Контроллер прямого доступа в память

Встроенный контроллер прямого доступа в память организует подкачку пикселей из двух кадровых буферов для вывода их на экран. Контроллер имеет следующие программируемые настройки:

- адрес первого кадрового буфера (регистр `lcdab0`);
- адрес второго кадрового буфера (регистр `lcdab1`);
- смещение адреса между строками для первого кадрового буфера (`lcdoff0`);
- смещение адреса между строками для второго кадрового буфера (`lcdoff1`);
- количество активных пикселей в строке (поле `hgate` регистра `lcdht1`);
- количество активных строк в кадре (поле `vgate` регистра `lcdvt1`);
- режим упаковки пикселей (поле `insize` регистра `lcdmode`).

Адрес и смещение для кадрового буфера указывается в байтах и должны быть выровнены относительно 64-разрядного слова. Смещение между строками осуществляется путем сложения адреса конца строки и значения указанного в регистре, даже если пиксели в конце строки не полностью заполняют 64-разрядное слово (пример приведен в Таблица 22.21, формат пикселя - 16 бит, длина строки 126 пикселей, `offset` – `0x100` длина строки в байтах округленная до кратности 64-разрядному слову).

Таблица 22.21. Пример расположения пикселей в памяти при не выровненном конце строки

address	64bit word				64bit word				64bit word				64bit word				offset	
0x0	0	1	2	3	4	5	6	7	8	9	10	11	...	124	125	x	x	0x100
0x100	0	1	2	3	4	5	6	7	8	9	10	11	...	124	125	x	x	0x100
0x200	0	1	2	3	4	5	6	7	8	9	10	11	...	124	125	x	x	0x100

IP-блок LCD-контроллера поддерживает следующие форматы входных данных:

- 8 бит на пиксель;
- 12 бит на пиксель;
- 15 бит на пиксель;
- 16 бит на пиксель;
- 18 бит на пиксель;
- 24 бит на пиксель;
- 32 бит на пиксель;
- 1 бит индекс палитры;
- 2 бита индекс палитры;
- 4 бита индекс палитры;
- 8 бит индекс палитры.

Выбор формата производится в регистре lcdmode. В Таблица 22.22 представлена карта хранения пикселей в памяти для различных форматов.

Таблица 22.22. Общая карта расположения пикселей в памяти для разных форматов

32 bits word																																			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
32 bit per pixel																																			
Unused								blue0								green0								red0											
Unused								blue1								green1								red1											
Unused								blue2								green2								red2											
24 bit per pixel																																			
red1								blue0								green0								red0											
green2								red2								blue1								green1											
blue3								green3								red3								blue2											
18 bit per pixel																																			
Unused																blue0						green0						red0							
Unused																blue1						green1						red1							
Unused																blue2						green2						red2							
15 bit per pixel																																			
U	blue1						green1						red1						U	blue0						green0						red0			
U	blue3						green3						red3						U	blue2						green2						red2			
U	blue5						green5						red5						U	blue4						green4						red4			
16 bit per pixel																																			
blue1						green1						red1						blue0						green0						red0					
blue3						green3						red3						blue2						green2						red2					
blue5						green5						red5						blue4						green4						red4					
12 bit per pixel																																			

32 bits word																																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
Unused				blue1				green1				red1				Unused				blue0				green0				red0																			
Unused				blue3				green3				red3				Unused				blue2				green2				red2																			
Unused				blue5				green5				red5				Unused				blue4				green4				red4																			
8 bit per pixel																																															
blue3				green3				red3				blue2				green2				red2				blue1				green1				red1				blue0				green0				red0			
blue7				green7				red7				blue6				green6				red6				blue5				green5				red5				blue4				green4				red4			
blue11				green11				red11				blue10				green10				red10				blue9				green9				red9				blue8				green8				red8			
1 bit per pixel – indexed																																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32																
95	94	93	92	91	90	89	88	87	86	85	84	83	82	81	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64																
2 bit per pixel – indexed																																															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16																																
47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32																																
4 bit per pixel – indexed																																															
7				6				5				4				3				2				1				0																			
15				14				13				12				11				10				9				8																			
23				22				21				20				19				18				17				16																			
8 bit per pixel – indexed																																															
3				2				1				0																																			
7				6				5				4																																			
11				10				9				8																																			

22.1.7 Аппаратный курсор

В данном IP-блоке LCD-контроллера реализована поддержка аппаратного курсора размеров 32x32, 64x64.

Программирование ниже приведенных регистров позволяет изменять местоположение курсора на кадре, точку привязки и цвета курсора:

- lcd_xy;
- lcd_xy_p;
- lcd_color_0;
- lcd_color_1;
- память курсора.

Положение курсора на экране определяется двумя регистрами: lcd_xy и lcd_xy_p. В lcd_xy_p указывается точка привязки курсора в области 64x64, положение на экране

которой задается в регистре `lcd_xy`. На рисунке представлены пояснения назначения полей данных регистров.

Цвет курсора программируется посредством записи в память курсора следующих значений:

- 0 – пиксел цвета 0;
- 1 – пиксел цвета 1;
- 2, 3 – пиксел невидимый.

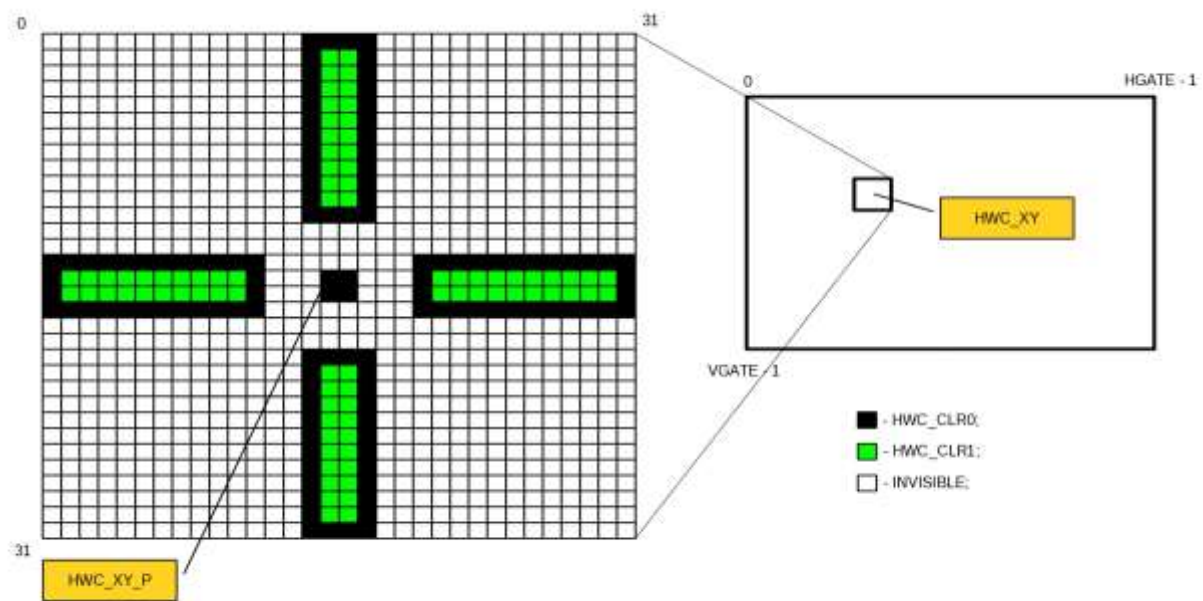


Рисунок 22.3. Аппаратный курсор

Значение одного пикселя определяется двумя битами, соответственно в одном слове памяти содержится 16 пикселей. Соответствие пикселей в памяти курсора и выводимых на экран см. в Таблица 22.23, Таблица 22.24.

Таблица 22.23. Пример программирования памяти курсора, размер курсора 32x32

Размер курсора 32x32																
Адрес	0x100															
х,у	15,0	14,0	13,0	12,0	11,0	10,0	9,0	8,0	7,0	6,0	5,0	4,0	3,0	2,0	1,0	0,0
значение	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	0xFFFFFFFF
Адрес	0x104															
х,у	31,0	30,0	29,0	28,0	27,0	26,0	25,0	24,0	23,0	22,0	21,0	20,0	19,0	18,0	17,0	16,0
значение	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	0x00000000
Адрес	0x108															
х,у	15,1	14,1	13,1	12,1	11,1	10,1	9,1	8,1	7,1	6,1	5,1	4,1	3,1	2,1	1,1	0,1
значение	01	01	01	01	01	01	01	01	01	01	01	01	01	01	01	0x55555555

Таблица 22.24. Пример программирования курсор, размер курсора 64x64

Размер курсора 64x64																	
Адрес	0x100																
х,у	15,0	14,0	13,0	12,0	11,0	10,0	9,0	8,0	7,0	6,0	5,0	4,0	3,0	2,0	1,0	0,0	
значение	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	0xFFFFFFFF
Адрес	0x104																
х,у	31,0	30,0	29,0	28,0	27,0	26,0	25,0	24,0	23,0	22,0	21,0	20,0	19,0	18,0	17,0	16,0	
значение	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	0x00000000
Адрес	0x108																
х,у	47,0	46,0	45,0	44,0	43,0	42,0	41,0	40,0	39,0	38,0	37,0	36,0	35,0	34,0	33,0	32,0	
значение	01	01	01	01	01	01	01	01	01	01	01	01	01	01	01	01	0x55555555

22.1.8 Палитра цветов

Палитра цветов предназначена для сокращения объема изображения путем потери качества через кодирование: 1 бит на пиксель, 2 бита на пиксель, 4 бита на пиксель, 8 бит на пиксель. Соответственно количество цветов выдаваемой картинки будет следующим: 2 цвета, 4 цвета, 16 цветов, 256 цветов. Адресом в память палитры являются загружаемые из памяти индексы.

22.1.9 Алгоритмы программирования

Ниже представлены типичные алгоритмы программирования контроллера.

22.1.9.1 Алгоритм включения контроллера

Для включения контроллера необходимо выполнить следующие действия:

1. Записать 1 в поле EN регистра CSR.
2. Записать 1 в поле CLR регистра CSR.
3. Прочитать 0 из поля CLR регистра CSR.
4. Сконфигурировать контроллер (установить адрес кадрового буфера, установить параметры дисплея, установить режимы работы контроллера).

5. Записать 1 в поле INIT регистра CSR.
6. Прочитать 0 из поля INIT регистра CSR.
7. Записать 1 в поле RUN регистра CSR.

22.1.9.2 Алгоритм выключения контроллера

Для корректного выключения контроллера необходимо выполнить следующие действия:

1. Записать 0 в поле RUN регистра CSR.
2. Записать 1 в поле CLR регистра CSR.
3. Прочитать 0 из поля CLR регистра CSR.
4. Записать 0 в поле EN регистра CSR.
5. Выключить частоту контроллера.

22.2 MIPI DSI-контроллер

22.2.1 Схема подключения к VPOUT

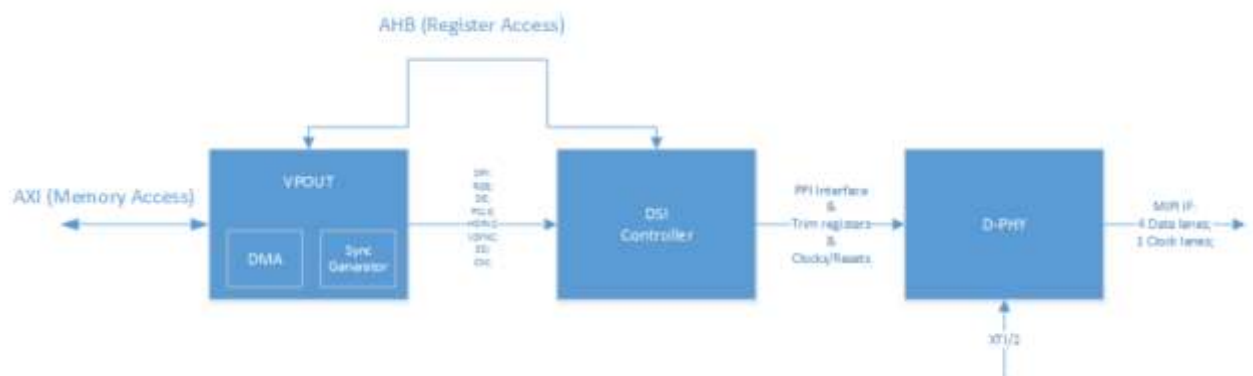


Рисунок 22.4. Схема подключения к VPOUT

22.2.2 Описание и назначение

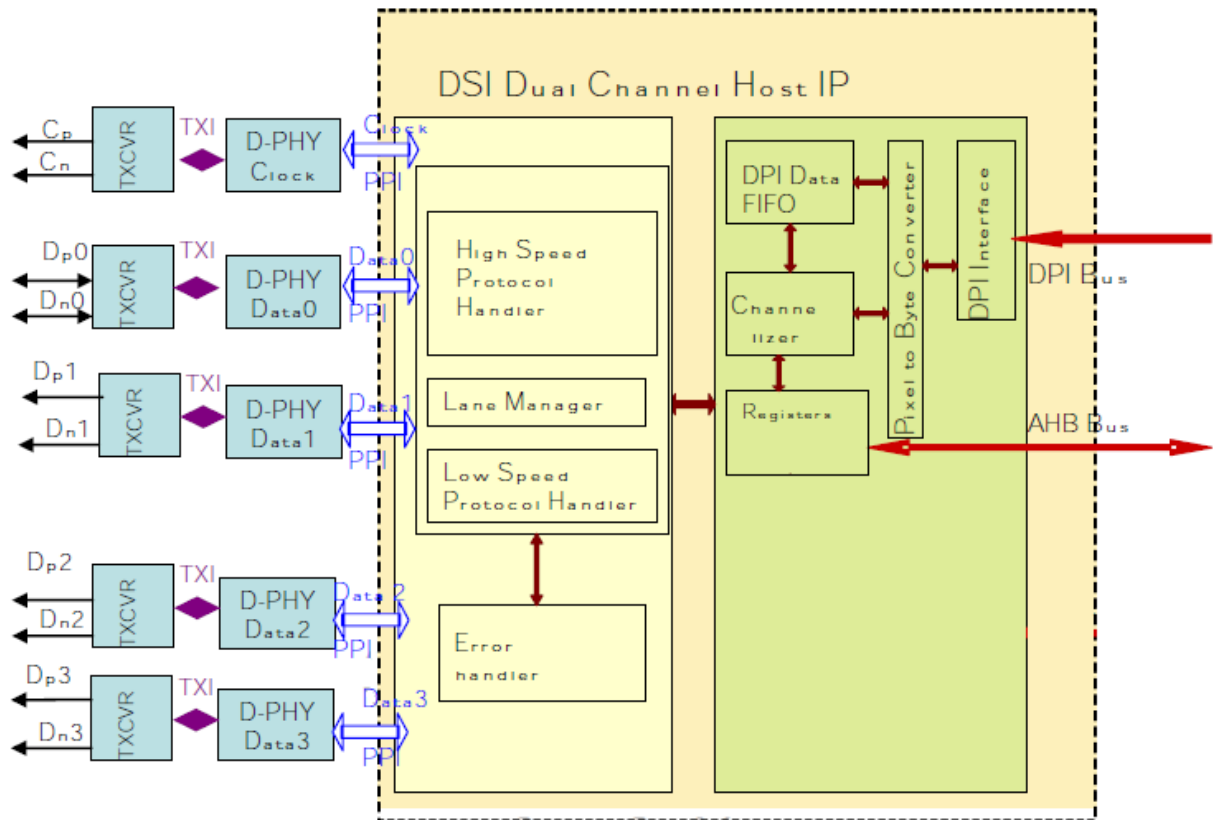


Рисунок 22.5. Структурная схема блока DSI контроллера

Блок состоит из следующих модулей:

Менеджер состояний линий (Lane Manager): данный модуль производит распределение операций на все поддерживаемые линии данных. Количество активных линий данных может быть запрограммировано с помощью регистров. Также данный модуль включает в себя логику установки сигналов линий тактовой частоты и данных на вход блока DPHY.

Обработчик ошибок (Error Handler): данный модуль прогнозирует возможное появление ошибок, которые могут произойти в режиме Low Power из-за определенных конфликтов. Модуль включает в себя таймеры такие как: таймер для определения таймаута передачи данных в режиме HS, таймеры приема в режиме Low Speed, таймеры режима «turn around» для самовосстановления из условий режима ошибки и таймеры сброса для восстановления состояния операций в ситуации конфликта. Запомненные ошибки протокола передаются процессору с помощью прерываний.

Обработчик протокола в режиме HS: предназначен для обработки протокольных команд стандарта MIPI в режиме HS, генерации коротких пакетов, длинных пакетов, пакетов заголовков и передачи данных. Модуль включает в себя генератор корректирующих кодов ECC/CRC для коротких, длинных и заголовочных пакетов. Модуль генерирует все пакеты

и осуществляет передачу данных в зависимости от состояний на шине DPI и запрограммированных параметров в регистрах устройства.

Обработчик протокола в режиме Low Speed: данный модуль осуществляет выделение информационных байтовых данных в формат пакета. Все пакеты разбиваются на пачки и отсылаются блоку проверки CRC/ECC для обеспечения корректности потока данных. Шина turn around также обрабатывается этим модулем.

Обработчик интерфейса DPI: после подачи питания и программирования всех регистров управления, блок обработчика интерфейса DPI начинает прием данных по шине DPI. Модуль включает в себя машину состояний для стробирования и записи данных во входной буфер FIFO при действительном сигнале Data Enable. Также он записывает информацию о событиях Shut Down и Turn On. Модуль переключает машину состояния упаковщика данных после того как текущий кадр был передан. Также модуль автоматически генерирует события Hsync, End, пакеты бланков для линий основываясь на значения запрограммированных регистров.

Буфер данных DPI: Буфер данных DPI предназначен для хранения пикселей, передающихся по интерфейсу DPI в формате 24 разряда на пиксель. Глубина буфера — 2048 пикселей;

Обработчик интерфейса АНВ: данный модуль соединяется с процессором с помощью шины АНВ. Предназначен для обеспечения доступа процессора к регистрам устройства, программирования ядра и отслеживания ошибок, которые происходят в контроллере и РНУ.

D-РНУ: Физический уровень интерфейса, в состав DPHY входят блоки: AFE (Analog Front-End) и DFE (Digital Front-End). В состав AFE входят приемопередатчики для четырех линий данных и одной линии тактовой частоты и PLL. В состав DFE входит контроллер MIPI DPHY. Контроллер включает в себя десериализатор с PPI интерфейсом линий данных (Data Lane) — Data0, Data1, Data2, Data3. Линии данных подключены к менеджеру состояний линий (Lane Manager). Также в состав блока DPHY входит делитель, который формирует тактовую частоту для параллельного приема и передачи данных по интерфейсу PPI.

Конвертер Pixel-Byte: модуль предназначен для конвертации пикселей в байтовый формат и сохранение их в буфер FIFO.

Примечание. Текущая реализация не поддерживает передачу команд по интерфейсу DSI 2.0 (кроме тех которые указаны в описании регистра управления в режиме DPI)

22.2.3 Требование к пропускной способности

Ниже представлена таблица, которая указывает требования к пропускной способности для различных разрешений изображения с частотой обновления кадров – 60 к/с, включая затраты по времени на соблюдения протокола для времени бланков. Таблица также показывает примерную взаимосвязь между частотами тактовых сигналов:

- $txbyteclkhs = 1/4 * txddrclkhs_i$;
- $txddrclkhs_q$ = сдвинутый по фазе на 90 градусов $txddrclkhs_i$;
- $gxclkesc$ асинхронен к частотам $txclkesc$, $txddrclkhs$, $txbyteclkhs$, $pclk$, $hclk$;
- $txbyteclk$ асинхронен к частотам $gxclkesc$, $txddrclkhs$, $txbyteclkhs$, $pclk$, $hclk$;
- $pclk$ асинхронен к частотам $gxclkesc$, $gxclkesc$, $txddrclkhs$, $txbyteclkhs$, $hclk$;
- $hclk$ асинхронен к частотам $gxclkesc$, $gxclkesc$, $txddrclkhs$, $txbyteclkhs$, $pclk$;
- $txclkesc$ асинхронен к частотам $gxclkesc$, $txddrclkhs$, $txbyteclkhs$, $pclk$, $hclk$.

Таблица 22.25. Требуемая пропускная способность в режиме Burst

Наименование	Количество пикселей по X	Количество пикселей по Y	Mbits/s для пикселей разрядностью 24 разряда	Pclk, МГц	Txddrclkhs, МГц	txbyteclkhs
QVGA	320	240	127.18	5.29	127.18 – [1линия]	1/4 * Txddrclkhs
CIF	352	288	167.88	6.99	167.88 – [1линия] или 83.94 [2линии]	1/4 * Txddrclkhs
CIF+	352	416	242.49	10.10	242.49 – [1линия] или 121.24 – [2линии]	1/4 * Txddrclkhs
CIF+	352	440	256.48	10.68	256.48 – [1линия] или 128.24 – [2линии]	1/4 * Txddrclkhs
1/2 VGA	320	480	254.36	10.59	254.36 – [1линия] – или 127.18 [2линии]	1/4 * Txddrclkhs
2/3 VGA	640	320	339.15	14.13	339.15 – [1линия] или 169.57 [2линии]	1/4 * Txddrclkhs
VGA	640	480	508.72	21.19	254.36 – [2линии]	1/4 * Txddrclkhs
WVGA	800	480	635.90	26.49	250 – [2линии]	1/4 * Txddrclkhs

Таблица 22.26. Требуемая пропускная способность в режиме non-Busrt

Наименование	Количество пикселей по X	Количество пикселей по Y	Mbits/s для пикселей разрядностью 24 разряда	Pclk, МГц	Txddrclkhs, МГц	txbyteclkhs
QVGA	320	240	127.18	5.29	63.59 – [1линия]	1/4 * Txddrclkhs
CIF	352	288	167.88	6.99	83.94 – [1линия] или 41.97 [2линии]	1/4 * Txddrclkhs
CIF+	352	416	242.49	10.10	121.24 – [1линия] или 60.62 – [2линии]	1/4 * Txddrclkhs
CIF+	352	440	256.48	10.68	128.24 – [1линия] или 64.12 – [2линии]	1/4 * Txddrclkhs

22.2.4 Описание сигналов

22.2.4.1 Тактовые частоты и сигналы сброса модуля DSI со стороны D-PHY

Таблица 22.27. Clock and reset PPI Inputs

Pin	Direction	Active	Description
pdln_rx_RxClk Esc_0	Input	NA	RX синхросигнал для линий данных в «Escape mode». Используется для передачи данных в протокол в режиме «Escape mode». Этот синхросигнал формируется на основе соединения Lane Из-за асинхронной природы режима «Escape mode» передача данных может быть не периодичной.
txclkesc	Input	NA	Референсный синхросигнал для PLL
txbyteclkhs	Input	NA	Высокоскоростной синхросигнал передачи байта. Используется для синхронизации PPI сигналов в «High-Speed» домене. Частота TxByteClkHS равна 1/8 от «High-Speed bit rate»
txbyte rst n	Input	Low	txbyteclkhs синхронный сброс
txclkesc rst n	Input	Low	txclkesc синхронный сброс
rxclkesc rst n	Input	Low	rxclkesc синхронный сброс
pclk rst n	Input	Low	pclk синхронный сброс
Hresetn	Input	Low	синхронный сброс АНВ
pwr on rst n	Input	Low	Power on reset

22.2.4.2 Интерфейс VPOUT -> DSI

Таблица 22.28. DPI interface signals

Pin	Direction	Description
de	Input	Сигнал разрешения данных (подтверждение наличие достоверных пикселей)
data [23:0]	Input	Пиксельные данные в 24-битном формате 24-bit mode: D[23:16] => R[7:0], D[15:8] => G[7:0], D[7:0] => B[7:0] 18-bit mode: D[23:18] => R[5:0], D[15:10] => G[5:0], D[7:2] => B[5:0] 16-bit mode: D[23:19] => R[4:0], D[15:10] => G[5:0], D[7:3] => B[4:0] Выбор режима осуществляется на основе установок в регистре dsi_func_prg
Vsync	Input	Сигнал вертикальной синхронизации
hsync	Input	Сигнал горизонтальной синхронизации
pcclk	Input	Пиксельный синхросигнал (5 - 150 МГц)
sd	Input	Вход сигнализирующий о переходе дисплея в режим «shut down» и выходе из него.
Cm	Input	Переключение между «normal color mode» и «reduced color mode»

22.2.4.3 Сигналы PPI интерфейса (только те что используются в тестовом примере инициализации (программируются через регистры DSI))

Таблица 22.29. PPI pins

Pin	Direction	Active	Description
Dln_bd_TxLpdtEsc	Output	High	Escape mode Transmit Low Power Data для линии данных 0. Установка данного сигнала совместно с dln_TxRequestEsc приводит к переводу модуля линии в режим передачи данных низкой мощности. Модуль линии остается в этом режиме до тех пор, пока не будет снят сигнал txrequestesc. Когда устанавливается сигнал txlpdtesc все биты сигналов Dln_TxUlpsEsc, Dln_TxUlpsEsc и dln_bd_TxTriggerEsc равны нулю.
Dln_bd_TxValidEsc	Output	High	Escape mode Transmit Data Valid для линии данных 0. Установка высокого уровня на данном сигнале подтверждает наличие достоверных данных на шине dln_TxDataEsc. Модуль линии принимает данные под передний фронт сигнала txclkesc, если установлены tdln_TxRequestEsc, dln_TxValidEsc и dln_TxReadyEsc.
Dln_bd_TxDataEsc [7:0]	Output	High	Escape mode Transmit Data для линии данных 0. Восемь бит «escape mode» данных, которые должны передаваться в режиме передачи данных низкой мощности. Первым передается сигнал подключенный к dln_TxDataEsc[0]. Данные захватываются передним фронтом синхросигнала txclkesc.
tdln_cnt_hs_prep[7:0]	Output	High	Этот параметр определяет количество байтовых циклов, которое необходимо подождать линии данных для выполнения «high speed prepare time»
dln_cnt_hs_zero[7:0]	Output	High	Этот параметр определяет количество байтовых циклов, которое необходимо подождать линии данных для выполнения «HS-ZERO time».
tdln_cnt_hs_trail[7:0]	Output	High	Этот параметр определяет количество байтовых циклов, которое необходимо подождать линии данных для выполнения «high speed trail time».

Pin	Direction	Active	Description
dln_cnt_hs_exit[7:0]	Output	High	Этот параметр определяет количество байтовых циклов, которое необходимо подождать линии данных для выполнения «high speed exit time».
cln_cnt_hs_exit[7:0]	Output	High	Этот параметр определяет количество тактов байтового синхросигнала, которое модуль передатчика линии синхросигнала должен ждать во время «exit sequence» из «high speed clock transmission».
cln_cnt_hs_trail[7:0]	Output	High	Этот параметр определяет количество тактов байтового синхросигнала, которое модуль передатчика линии синхросигнала должен ждать во время «trail sequence» из «high speed clock transmission».
cln_cnt_zero[7:0]	Output	High	Этот параметр определяет количество тактов байтового синхросигнала, которое модуль передатчика линии синхросигнала должен ждать во время «HS-ZERO sequence» из «high speed clock transmission».
cln_cnt_prep[7:0]	Output	High	Этот параметр определяет количество тактов байтового синхросигнала, которое модуль передатчика линии синхросигнала должен ждать во время «prepare sequence» из «high speed clock transmission».
clk_cnt_pll[15:0]	Output	High	Этот порт определяет количество тактов синхросигнала TxClkEsc, которое DPHY должен ждать перед снятием внутреннего сброса. Этот параметр используется в счетчике «PLL lock» и DPHY должен быть это время в состоянии сброса.
trim_1[31:0]	Output	High	Регистр AFE trim 1.
trim_2[31:0]	Output	High	Регистр AFE trim 2.
dln_cnt_lpx[7:0]	Output	High	Этот параметр определяет количество тактов байтового синхросигнала, которое необходимо размещать в линии данных в «LP-xx» состоянии.
dln_pol_swap[3:0]	Output	High	Разрешение смены dp-dn полярности для линии данных 0 – 3
cln_TxRequestHS	Output	High	Сигнал достоверности «ULPS entry/exit» последовательности, которая будет начата в линии синхросигнала.

22.2.5 Карта программных регистров

Перечень программно-доступных регистров LCD-контроллера приведен в Таблица 22.30.

Таблица 22.30. Программно-доступные регистры контроллера

Смещение адреса	Условное обозначение регистра	Назначение	Тип доступа
0x0	Device ready reg	Регистр управления контроллером	W/R
0x4	Intr Stat reg	Регистр статуса прерываний	W/R
0x8	Intr_en_reg	Регистр разрешения формирования прерываний	W/R
0xc	DSI_func_prg_reg	Регистр программирования режима DSI контроллера	W/R
0x10	HS_tx_timeout_reg	Счетчик таймаута в режиме высокоскоростной передачи	W/R
0x14	Lp_rx_timeout_reg	Счетчик таймаута в режиме низкоскоростного приема	W/R
0x18	Turn_around_timeout_reg	Счетчик таймаута в режиме «Turn around»	W/R
0x1c	Device reset reg	Регистр сброса устройства	W/R
0x20	DPI_resolution_reg	Регистр настройки разрешения DPI	W/R
0x24	Reserved	Резервный адрес	W/R
0x28	Hsync_count_reg	Регистр настройки счетчика синхроимпульса сигнала Hsync	W/R

Смещение адреса	Условное обозначение регистра	Назначение	Тип доступа
0x2c	Horiz_back_porch_count_reg	Регистр настройки счетчика заднего бланка импульса горизонтальной(строчной) синхронизации Hsync	W/R
0x30	Horiz_front_porch_count_reg	Регистр настройки счетчика переднего бланка импульса горизонтальной(строчной) синхронизации Hsync	W/R
0x34	Horiz_active_area_count_reg	Регистр настройки счетчика действительных данных в строке	W/R
0x38	Vsync_count_reg	Регистр настройки счетчика синхроимпульса сигнала Vsync	W/R
0x3c	Vert_back_porch_count_reg	Регистр настройки счетчика заднего бланка импульса вертикальной(кадровой) синхронизации Vsync	W/R
0x40	Vert_front_porch_count_reg	Регистр настройки счетчика переднего бланка импульса вертикальной(кадровой) синхронизации Vsync	W/R
0x44	High_low_switch_count_reg	Регистр настройки счетчика таймаута по переключению режима высокоскоростной передачи в режим пониженного потребления питания	W/R
0x48	DPI control reg	Регистр управления в режиме DPI	W/R
0x4c	PLL lock count reg	Количество тактов стабильной частоты	W/R
0x50	Init count reg	Счетчик инициализации	W/R
0x54	Max return pack reg	Максимальный размер пакета	W/R
0x58	Video mode format reg	Регистр настройки режима Video Burst	W/R
0x5c	Clk_eot_reg	Регистр настройки EOT	W/R
0x60	Polarity_reg	Регистр настройки полярности	W/R
0x64	Clk_lane_swit_reg	Регистр настройки времени переключения сигнала Clock	W/R
0x68	Lp_byteclk_reg	Регистр настройки частоты в режиме пониженного потребления питания	W/R
0x6c	Dphy_param_reg	Регистр параметров DPHY	W/R
0x70	Clk_lane_timing_param_reg	Регистр настройки временных параметров сигнала Clock	W/R
0x74	Rst_enb_dfe_reg	Регистр включения и сброса DFE (Digital Front-End)	W/R
0x78	Reserved	Резерв	W/R
0x7c	Trim_reg1	Регистр подстройки AFE 1	W/R
0x80	Trim_reg2	Регистр подстройки AFE 2	W/R
0x84	Reserved	Резерв	W/R
0x88	Reserved	Резерв	W/R
0x8c	Reserved	Резерв	W/R
0x90	Reserved	Резерв	R/O
0x94	Reserved	Резерв	R/O
0x98	Auto_err_rec_reg	Регистр настройки автоматического исправления ошибок	W/R
0x9c	Mipi_dir_dpi_diff_reg	Регистр статуса направленности шины DSI	R/O
0xA0	Data_lane_polarity_Swap_register	Регистр переключения полярности сигналов Data	W/R

22.2.5.1 Регистр управления контроллером

Таблица 22.31. Регистр управления контроллером

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
0	device_ready	<p>Данный разряд устанавливается программой для сообщения контроллеру DSI о завершении настройки и готовности к передачи данных. Должен быть установлен в значение «1» после того как были запрограммированы все регистры с параметрами DPHY (dphy_parameters), все регистры счетчиков, таймаутов и после настройки прерываний.</p> <p>Внимание: сброс данного разряда приведет к переопределению (re-enumeration) контроллера DSI.</p>	W/R	0x0
2:1	ULPS state	<p>Значения данного поля:</p> <p>2'b10 – данное значение может быть установлено программой для подачи команды переключения контроллера в режим сверхнизкого энергопотребления (POWER SAVING);</p> <p>2'b01 – данное значение может быть установлено программой для подачи команды переключения контроллера из режима сверхнизкого энергопотребления в режим EXIT;</p> <p>2'b00 – данное значение устанавливается программой для выхода контроллера из режима сверхнизкого энергопотребления и возврата к нормальной работе при условии, что DSI контроллер уже находится в состоянии ULPS EXIT.</p> <p>Программное обеспечение должно обеспечить минимальную задержку (1 мс) между входом в режим EXIT (значение 2'b01) и выходом из режима сверхнизкого энергопотребления (2'b00).</p> <p>В режиме работы DPI-only: во время установки в данное поле значений (2'b01 или 2'b10) необходимо отключить поток данных от контроллера по шине DPI.</p> <p>Внимание: Во время работы контроллера в режиме сверхнизкого энергопотребления на линиях данных или тактовой частоты будет отсутствовать какая-либо активность.</p>	W/R	0x0
31:3	Резерв	Резерв	Резерв	Резерв

22.2.5.2 Регистр статуса прерываний

Таблица 22.32. Регистр статуса прерываний

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
0	RxSotError	Данный разряд устанавливается в значении «1» при возникновении ошибки в последовательности начала передачи, о наличии которой сообщает принимающее устройство дисплея с помощью пакета Acknowledge.	W1C/R	0x0
1	RxSotsyncError	Данный разряд устанавливается в значении «1» при возникновении ошибки синхронизации во время выполнения последовательности начала передачи, о наличии которой сообщает принимающее устройство дисплея с помощью пакета Acknowledge.	W1C/R	0x0
2	RxEotsyncError	Данный разряд устанавливается в значении «1» при возникновении ошибки синхронизации во время выполнения последовательности окончания передачи, о наличии которой сообщает принимающее устройство дисплея с помощью пакета Acknowledge.	W1C/R	0x0
3	RxEscape Mode Entry Error	Данный разряд устанавливается в значение «1» если принимающее устройство дисплея не распознало команду Escape Mode Entry, и сообщило об этом с помощью пакета Acknowledge.	W1C/R	0x0
4	Rx LP tx sync error	Данный разряд устанавливается в значение «1» при возникновении ошибки синхронизации передачи в режиме низкого энергопотребления, о наличии которой сообщает принимающее устройство дисплея с помощью пакета Acknowledge.	W1C/R	0x0
5	Rx Peripheral timeout Error	Данный разряд устанавливается в значение «1» при достижении таймера HS Rx или LP Tx значения «0», о чем сообщает принимающее устройство дисплея с помощью пакета Acknowledge.	W1C/R	0x0
6	Rx False Control Error	Данный разряд устанавливается в значение «1» при возникновении ошибки управления, о наличии которой сообщает принимающее устройство дисплея с помощью пакета Acknowledge.	W1C/R	0x0
7	Rx single bit Error	Данный разряд устанавливается в значение «1» если возникла ошибка в одном бите при передаче данных, которую обнаружило (с помощью ECC) и исправил принимающее устройство дисплея, о наличии которой сообщает принимающее устройство дисплея с помощью пакета Acknowledge.	W1C/R	0x0
8	Rx multibit Error	Данный разряд устанавливается в значение «1» если возникла при отсутствии коррекции ECC в пакете или произошла ошибка в двух или более битах при передаче данных, которые обнаружило (с помощью ECC) принимающее устройство дисплея, о наличии которой сообщает принимающее устройство дисплея с помощью пакета Acknowledge.	W1C/R	0x0

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
9	Rx checksum Error	Данный разряд устанавливается в значение «1» если возникла ошибка при сравнении вычисленного значения CRC с принятым значением CRC, о наличии которой сообщает принимающее устройство дисплея с помощью пакета Acknowledge.	W1C/R	0x0
10	RxDSI data type not recognised	Данный разряд устанавливается в значение «1» если принимающее устройство дисплея не смогло распознать тип данных передачи, о чем оно сообщает с помощью пакета Acknowledge.	W1C/R	0x0
11	RxDSI VC ID invalid	Данный разряд устанавливается в значение «1» если принимающее устройство дисплея сообщает о некорректности ID виртуального канала, с помощью пакета Acknowledge.	W1C/R	0x0
12	TxFALSE Control Error	Данный разряд устанавливается в значение «1» если контроллер DSI обнаружил ошибку управления на линиях канала передачи.	W1C/R	0x0
13	TxECC single bit Error	Данный разряд устанавливается в значение «1» если возникла ошибка в одном бите при приеме пакета, которую обнаружил (с помощью ECC) и исправил контроллер DSI	W1C/R	0x0
14**	Rx multibit Error	Данный разряд устанавливается в значение «1» при отсутствии коррекции ECC в принимающем пакете или произошла ошибка в двух или более битах при приеме данных, которые обнаружил (с помощью ECC) контроллер DSI.	W1C/R	0x0
15	Tx checksum Error	Данный разряд устанавливается в значение «1» если возникла ошибка при сравнении вычисленного значения CRC со значением CRC в принятом контроллером DSI пакете.	W1C/R	0x0
16**	TxDSI data type not recognised	Данный разряд устанавливается в значение «1» если контроллер DSI не смог распознать тип данных при приеме пакета.	W1C/R	0x0
17	TxDSI VC ID invalid	Данный разряд устанавливается в значение «1» если контроллер DSI сообщает о некорректности принятого ID виртуального канала.	W1C/R	0x0
18***	High contention	Данный разряд устанавливается в значение «1» если была обнаружена ошибка LP high с помощью детектора ошибок в D-PHY. Если установилось данное прерывание, устройство может быть переопределено (re-enumeration).	W1C/R	0x0
19***	Low contention	Данный разряд устанавливается в значение «1», если была обнаружена ошибка LP low с помощью детектора ошибок в D-PHY. Если установилось данное прерывание, устройство может быть переопределено (re-enumeration).	W1C/R	0x0
20	Fifo empty	Данный разряд устанавливается в значение «1», если все входные буферы FIFO пустые.	W1C/R	0x0
21	HS_Tx_timeout	Данный разряд устанавливается в значение «1», если передача находится в режиме high speed больше, чем ожидаемое время, указанное в счетчике, при превышении которого устанавливается данное прерывание.	W1C/R	0x0

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
22**	LP_Rx_timeout	Данный разряд устанавливается в значение «1», если прием находится в режиме LP больше, чем ожидаемое время, указанное в счетчике, при превышении которого устанавливается данное прерывание.	W1C/R	0x0
23	Turn_around_ack_timeout	Данный разряд устанавливается в значение «1», если превысилась время ожидания подтверждения получения пакета от принимающего устройства дисплея.	W1C/R	0x0
24	ACK_with_No_error	Данный разряд устанавливается в значение «1», если сообщение подтверждения было принято без ошибок.	W1C/R	0x0
25	RX Invalid transmission count error	Данный разряд устанавливается в значение «1», если пакет подтверждения возвращает ошибку некорректного количества передач.	W1C/R	0x0
26	Rx DSI protocol violation	Данный разряд устанавливается в значение «1», если пакет подтверждения возвращает ошибку нарушения протокола DSI	W1C/R	0x0
27	Special packet command set	Данный разряд устанавливается в значение «1» после подтверждения передачи специальной команды, которая была задана в регистре управления DPI	W1C/R	0x0
28	Reserved	Резерв	Резерв	Резерв
29	RX contention detected	Данный разряд устанавливается в значение «1» если обнаружено нарушение на стороне дисплея, о котором сообщает принимающее устройство дисплея с помощью пакета Acknowledge.	W1C/R	0x0
31:30	Reserved	Резерв	Резерв	Резерв

** - очистка разрядов TxECC multibit error, TxDSI data type not recognised и LP_Rx_timeout процессором приведет к принудительной установке состояния stop на линиях данных DPHY с помощью установки сигнала PPI.

*** - Процедура обработки прерывания после его обнаружения:

1. Процессор обнаруживает выставленный флаг прерывания High contention или Low contention.
2. Контроллер дисплея должен остановить формирование Vsync сигнала.
3. Процессор очищает данное прерывание в регистре статуса прерываний.
4. DSI контроллер заканчивает любую активность, очищает содержимое все буферов FIFO и начинает процедуру восстановления.
5. Процессор должен подождать некоторое время, требуемое для проведения процедуры восстановления ("Host Processor Wait Timeout" + "peripheral reset timeout") после очистки данного прерывания.
6. Процедура восстановления эквивалентна перезагрузки питания, сбрасываются все машины состояния во всех частотных доменах. Процессор должен подождать

несколько тактов после проведения процедуры восстановления для синхронизации (около 10 тактов low power), до совершения следующих операций.

7. Контроллер дисплея, при необходимости, может возобновить передачу данных.

Host processor wait timeout – программируется процессором в регистре Lp_rx_timeout_reg.

Peripheral reset timeout – программируется процессором в регистре Device_reset_reg.

Примечание. Если произошла очистка буферов FIFO после очистки соответствующего прерывания, программа должна убедиться в том, что все буферы пусты в DSI контроллере с помощью чтения регистра статуса буферов до совершения дальнейших операций.

Примечание. Действия, которые совершает DSI-контроллер при обработке каждого прерывания приводятся ниже:

- разряд 0: информирующее прерывание. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором;
- разряд 1: информирующее прерывание. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором;
- разряд 2: информирующее прерывание. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором;
- разряд 3: информирующее прерывание. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором;
- разряд 4: информирующее прерывание. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором;
- разряд 5: информирующее прерывание. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором;
- разряд 6: информирующее прерывание. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором;
- разряд 7: информирующее прерывание. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором;
- разряд 8: информирующее прерывание. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором;
- разряд 9: информирующее прерывание. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором;
- разряд 10: информирующее прерывание. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором;
- разряд 11: информирующее прерывание. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором;
- разряд 12: данное прерывание устанавливается при обнаружении ошибки управления или ошибки команды входа в режим escape или ошибки синхронизации

передачи в режиме LP. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором; информирующее прерывание;

- разряд 13: информирующее прерывание. DSI-контроллер автоматически исправляет одиночную ошибку при ее обнаружении, и передача продолжается дальше в обычном режиме. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором;
- разряд 14: данное прерывание устанавливается при обнаружении нескольких ошибок ECC или при возникновении ошибки некорректной длины передачи. Очистка данного бита в регистре статуса прерывания приводит к принудительному переходу контроллера в состояние LP-Tx и к остановке передачи;
- разряд 15: информирующее прерывание. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором;
- разряд 16: данное прерывание устанавливается всегда, когда DSI-контроллер обнаружил ошибку при распознавании типа данных или ошибку нарушения протокола. Очистка данного бита в регистре статуса прерывания приводит к принудительному переходу контроллера в состояние LP-Tx и к остановке передачи и потере принятых пакетов;
- разряд 17: информирующее прерывание. DSI-контроллер автоматически сбрасывает все принятые пакеты при обнаружении данной ошибки. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором;
- разряд 18: Данное прерывание устанавливается при обнаружении ошибки High contention. После очистки данного прерывания в регистре статуса прерываний, DSI-контроллер останавливается, очищает все содержимое буферов FIFO и начинает процедуру восстановления;
- разряд 19: Данное прерывание устанавливается при обнаружении ошибки Low contention. После очистки данного прерывания в регистре статуса прерываний, DSI-контроллер останавливается, очищает все содержимое буферов FIFO и начинает процедуру восстановления;
- разряд 20: информирующее прерывание. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором;
- разряд 21: при очистке данного прерывания процессором в регистре статуса прерываний, DSI-контроллер очищает все содержимое буферов FIFO и переходит в состояние остановки работы.

Примечание. Если передача в режиме HS закончилась и DSI-контроллер переходит в режим приема до очистки данного прерывания, очистка данного прерывания приводит к принудительному переходу в режим LP-Tx и прекращению передачи на всех линиях данных устройства;

- разряд 22: при очистке данного прерывания процессором в регистре статуса прерываний, DSI-контроллер очищает все содержимое буферов FIFO и переходит в состояние остановки работы.

Примечание. Если временные параметры передачи пикселя были нарушены во время возникновения ошибок `hs_tx` или `lp_tx` или когда DSI-контроллер производит принудительный вход в режим остановки передачи, то никаких DPI событий не передается по шине DSI. DPI интерфейс должен быть перезапущен;

- разряд 23: информирующее прерывание. DSI-контроллер принудительно переходит в состояние остановки передачи когда происходит данный таймаут не дожидаясь вмешательства процессора. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором;
- разряд 24: информирующее прерывание. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором;
- разряд 25: информирующее прерывание. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором;
- разряд 26: информирующее прерывание. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором;
- разряд 27: информирующее прерывание. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором;
- разряд 29: информирующее прерывание. DSI-контроллер не совершает никаких действий во время очистки данного прерывания процессором.

22.2.5.3 Регистр разрешения формирования прерываний

Таблица 22.33. Регистр разрешения формирования прерываний

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
0	RxSotError	Данный разряд разрешает прерывание при возникновении ошибки в последовательности начала передачи, о наличии которой сообщает принимающее устройство дисплея с помощью пакета Acknowledge.	W/R	0x0
1	RxSotsyncError	Данный разряд разрешает прерывание при возникновении ошибки синхронизации во время выполнения последовательности начала передачи, о наличии которой сообщает принимающее устройство дисплея с помощью пакета Acknowledge.	W/R	0x0
2	RxEotsyncError	Данный разряд разрешает прерывание при возникновении ошибки синхронизации во время выполнения последовательности окончания передачи, о наличии которой сообщает принимающее устройство дисплея с помощью пакета Acknowledge.	W/R	0x0
3	RxEscape Mode Entry Error	Данный разряд разрешает прерывание, если принимающее устройство дисплея не распознало команду Escape Mode Entry, и сообщило об этом с помощью пакета Acknowledge.	W/R	0x0

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
4	Rx LP tx sync error	Данный разряд разрешает прерывание при возникновении ошибки синхронизации передачи в режиме низкого энергопотребления, о наличии которой сообщает принимающее устройство дисплея с помощью пакета Acknowledge.	W/R	0x0
5	Rx Peripheral timeout Error	Данный разряд разрешает прерывание при достижении таймера HS Rx или LP Tx значения «0», о чем сообщает принимающее устройство дисплея с помощью пакета Acknowledge.	W/R	0x0
6	Rx False Control Error	Данный разряд разрешает прерывание при возникновении ошибки управления, о наличии которой сообщает принимающее устройство дисплея с помощью пакета Acknowledge.	W/R	0x0
7	Rx single bit Error	Данный разряд разрешает прерывание если возникла ошибка в одном бите при передаче данных, которую обнаружило (с помощью ECC) и исправил принимающее устройство дисплея, о наличии которой сообщает принимающее устройство дисплея с помощью пакета Acknowledge.	W/R	0x0
8	Rx multibit Error	Данный разряд разрешает прерывание при отсутствии коррекции ECC в пакете или произошла ошибка в двух или более битах при передаче данных, которые обнаружило (с помощью ECC) принимающее устройство дисплея, о наличии которой сообщает принимающее устройство дисплея с помощью пакета Acknowledge.	W/R	0x0
9	Rx checksum Error	Данный разряд разрешает прерывание, если возникла ошибка при сравнении вычисленного значения CRC с принятым значением CRC, о наличии которой сообщает принимающее устройство дисплея с помощью пакета Acknowledge.	W/R	0x0
10	RxDSI data type not recognised	Данный разряд разрешает прерывание, если принимающее устройство дисплея не смогло распознать тип данных передачи, о чем оно сообщает с помощью пакета Acknowledge.	W/R	0x0
11	RxDSI VC ID invalid	Данный разряд разрешает прерывание, если принимающее устройство дисплея сообщает о некорректности ID виртуального канала, с помощью пакета Acknowledge.	W/R	0x0
12	TxFALSE Control Error	Данный разряд разрешает прерывание, если контроллер DSI обнаружил ошибку управления на линиях канала передачи.	W/R	0x0
13	TxECC single bit Error	Данный разряд разрешает прерывание, если возникла ошибка в одном бите при приеме пакета, которую обнаружил (с помощью ECC) и исправил контроллер DSI	W/R	0x0
14**	Rx multibit Error	Данный разряд разрешает прерывание при отсутствии коррекции ECC в принимающем пакете или произошла ошибка в двух или более битах при приеме данных, которые обнаружил (с помощью ECC) контроллер DSI.	W/R	0x0

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
15	Tx checksum Error	Данный разряд разрешает прерывание, если возникла ошибка при сравнении вычисленного значения CRC со значением CRC в принятом контроллером DSI пакете.	W/R	0x0
16**	TxDSI data type not recognised	Данный разряд разрешает прерывание, если контроллер DSI не смог распознать тип данных при приеме пакета.	W/R	0x0
17	TxDSI VC ID invalid	Данный разряд разрешает прерывание, если контроллер DSI сообщает о некорректности принятого ID виртуального канала.	W/R	0x0
18***	High contention	Данный разряд разрешает прерывание, если была обнаружена ошибка LP high с помощью детектора ошибок в D-PHY. Если установилось данное прерывание, устройство может быть переопределено (re-enumeration).	W/R	0x0
19***	Low contention	Данный разряд разрешает прерывание, если была обнаружена ошибка LP low с помощью детектора ошибок в D-PHY. Если установилось данное прерывание, устройство может быть переопределено (re-enumeration).	W/R	0x0
20	Fifo empty	Данный разряд разрешает прерывание, если все входные буферы FIFO пусты.	W/R	0x0
21	HS_Tx_timeout	Данный разряд разрешает прерывание, если передача находится в режиме high speed больше, чем ожидаемое время, указанное в счетчике, при превышении которого устанавливается данное прерывание.	W/R	0x0
22**	LP_Rx_timeout	Данный разряд разрешает прерывание, если прием находится в режиме LP больше, чем ожидаемое время, указанное в счетчике, при превышении которого устанавливается данное прерывание.	W/R	0x0
23	Turn_around_ack_timeout	Данный разряд разрешает прерывание, если превысилось время ожидания подтверждения получения пакета от принимающего устройства дисплея.	W/R	0x0
24	ACK_with_No_error	Данный разряд разрешает прерывание, если сообщение подтверждения было принято без ошибок.	W/R	0x0
25	RX Invalid transmission count error	Данный разряд разрешает прерывание, если пакет подтверждения возвращает ошибку некорректного количества передач.	W/R	0x0
26	Rx DSI protocol violation	Данный разряд разрешает прерывание, если пакет подтверждения возвращает ошибку нарушения протокола DSI	W/R	0x0
27	Special packet command set	Данный разряд разрешает прерывание после подтверждения передачи специальной команды, которая была задана в регистре управления DPI	W/R	0x0
28	Reserved	Резерв	Резерв	Резерв
29	RX contention detected	Данный разряд разрешает прерывание, если обнаружено нарушение на стороне дисплея, о котором сообщает принимающее устройство дисплея с помощью пакета Acknowledge.	W/R	0x0
31:30	Reserved	Резерв	Резерв	Резерв

22.2.5.4 Регистр программирования режима DSI контроллера

Таблица 22.34. Регистр программирования режима DSI контроллера

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
2:0	data_lanes_pr g_reg	Количество линий, программируется процессором: 3'b000 – резерв; 3'b001 – одна; 3'b010 – две; 3'b011 – три; 3'b100 – четыре; 3'b101 – 3'b111 – резерв;	W/R	0x001b
4:3	Channel number for video mode	Количество виртуальных каналов, программируется процессором: 2'b00 — 1 канал; 2'b01 — 2 канала; 2'b10 — 3 канала; 2'b11 — 4 канала;	W/R	0x0
6:5	Резерв	Резерв	Резерв	0x0
9:7	Supported format in video mode	Формат цвета данных: 3'b000 – резерв; 3'b001 – RGB565 или 16-разрядный формат; 3'b010 – RGB666 или 18-разрядный формат; 3'b011 – RGB666 упакованный формат; 3'b100 – RGB888 или 24-разрядный формат; 3'b101 – 3'b111 – резерв;	W/R	0x0
31:10	Резерв	Резерв	Резерв	0x0

22.2.5.5 Счетчик таймаута в режиме высокоскоростной передачи

Таблица 22.35. Счетчик таймаута в режиме высокоскоростной передачи

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
23:0	High speed transmission timeout counter	Максимальное время, которое DSI контроллер может оставаться в режиме высокоскоростной передачи данных. Если счетчик исчерпывается, контроллером выставляется прерывание HS_Tx_timeout. Значение счетчика определяется протоколом. Значение счетчика задается в тактах частоты txbyteclkhs.	W/R	0x00ffff
31:24	Резерв	Резерв	Резерв	0x0

22.2.5.6 Счетчик таймаута в режиме низкоскоростного приема

Таблица 22.36. Счетчик таймаута в режиме низкоскоростного приема

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
23:0	Low power reception timeout counter	Значение таймаута проверяется для обратной связи. Если счетчик исчерпывается, DSI-контроллер выставляет прерывание LP_Rx_timeout. Значение счетчика определяется протоколом. Значение счетчика задается в тактах частоты txbyteclkhs.	W/R	0x00ffff
31:24	Резерв	Резерв	Резерв	0x0

22.2.5.7 Счетчик таймаута в режиме «Turn around»

Таблица 22.37. Счетчик таймаута в режиме «Turn around»

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
5:0	Turn around timeout register	<p>Значение таймаута проверяется после выполнения DSI-контроллером процедуры «Turn-around» в направлении передачи. Если счетчик исчерпывается, DSI-контроллер выставляет прерывание Turn_around_ack.</p> <p>Значение данного счетчика должно быть больше чем максимально возможная задержка на возврат ответа от того устройство, к которому был произведен запрос.</p> <p>Данное значение должно быть больше или равно 23.</p>	W/R	0x17
31:6	Резерв	Резерв	Резерв	0x0

22.2.5.8 Регистр сброса устройства

Таблица 22.38. Регистр сброса устройства

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
15:0	Device reset timer	<p>Значение таймаута ожидания выхода устройства из состояния сброса, после выполнения команды сброса. Если счетчик исчерпывается, DSI-контроллер переходит в режим нормальной работы.</p> <p>Данный таймаут используется во время процедуры восстановления. Значение таймаута равно или больше чем требуемое время для завершения выполнения последовательности сброса.</p>	W/R	0x00ff
31:16	Резерв	Резерв	Резерв	0x0

22.2.5.9 Регистр настройки разрешения DPI

Таблица 22.39. Регистр настройки разрешения DPI

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
31:0	DPI resolution register	<p>Разряды 15:0 соответствуют действительному размеру строки.</p> <p>Например: для разрешения XVGA(1024x768) эти разряды необходимо запрограммировать в значение 16'h0400.</p> <p>Разряды 31:16 соответствуют действительному количеству строк.</p> <p>Например: для разрешения XVGA(1024x768) эти разряды необходимо запрограммировать в значение 16'h0300.</p>	W/R	0x0

22.2.5.10 Регистр настройки счетчика синхроимпульса сигнала Hsync

Таблица 22.40. Регистр настройки счетчика синхроимпульса сигнала Hsync

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
15:0	Horizontal sync count	Данные разряды соответствуют длине синхроимпульса H_Sync в тактах частоты txbyteclkhs. Минимальный период должен быть достаточным для передачи пакета Hsync_start (4 байта) Для режима Non-Burst с синхроимпульсами, минимальное значение данных разрядов равно 4 (плюс 6 байт для пакета бланка). Но если значение меньше 10, но больше 4, то данные разряды будут прибавлены к HBP для одной линии. Для режимов Non-Burst + Sync_Events или Burst, можно запрограммировать данные разряды в 0. Если данные будут запрограммированы в другое значение, то это значение будет прибавлено к HBP.	W/R	0x0
31:16	Резерв	Резерв	Резерв	0x0

22.2.5.11 Регистр настройки счетчика заднего бланка импульса горизонтальной (строчной) синхронизации Hsync

Таблица 22.41. Регистр настройки счетчика заднего бланка импульса горизонтальной (строчной) синхронизации Hsync

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
15:0	Horizontal back porch count	Данные разряды соответствуют длине бланка следующего за синхроимпульсом в тактах частоты txbyteclkhs. Для режима Non-Burst с синхроимпульсами для одной линии: Минимальное значение данных разрядов = длина пакета Hsync_End + длина пакета HBP Blanking с информацией для исправления (header(4) + crc (2)) + длина заголовка пакета RGB; для нескольких линий: Минимальное значение данных разрядов = (Минимальное значение данных разрядов для одной линии / количество линий); Для режимов Non-Burst Sync Event или Burst: Минимальное значение данных разрядов = (длина пакета Hsync_Start + длина пакета HBP Blanking с информацией для исправления (header(4) + crc (2)) + длина заголовка пакета RGB)/количество линий; для нескольких линий: Минимальное значение: 16'hE (учитывая zero payload для пакета бланка); Максимальное значение: любое значение разрядностью 12 бит больше чем 16'hE, основанное на разрешении DPI.	W/R	0x0
31:16	Резерв	Резерв	Резерв	0x0

22.2.5.12 Регистр настройки счетчика переднего бланка импульса горизонтальной (строчной) синхронизации Hsync

Таблица 22.42. Регистр настройки счетчика переднего бланка импульса горизонтальной (строчной) синхронизации Hsync

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
15:0	Horizontal front porch count	<p>Данные разряды соответствуют длине бланка следующего перед синхроимпульсом в тактах частоты txbyteclkhs.</p> <p>Минимальное значение данных разрядов: для режима Non-Burst: для одной линии: должно быть достаточным для передачи пакета окончания данных RGB (2 байта) + пакета бланка (6 байт) + пакет для подстройки (16 байт). Для нескольких линий: Больше, чем длина (пакета окончания данных RGB (2 байта) + (пакета бланка (6 байт)/количество линий) + пакет для подстройки (16 байт).</p> <p>Для режима Burst: для одной линии: Минимальное значение данных разрядов должно быть достаточным для передачи пакета бланка (6 байт) + пакет для подстройки (16 байт);</p> <p>для нескольких линий: больше чем длина пакета бланка (6 байт)/количество линий + пакет для подстройки (16 байт);</p> <p>Минимальное значение: 8 – для режима non-burst (с учетом zero payload для пакета бланка) для одной линии; 6 – для режима burst для одной линии; Максимальное значение: Любое 12 разрядное значение большее, чем минимальное значение, рассчитанное на основе разрешения DPI.</p>	W/R	0x0
31:16	Резерв	Резерв	Резерв	0x0

22.2.5.13 Регистр настройки счетчика действительных данных в строке

Таблица 22.43. Регистр настройки счетчика действительных данных в строке

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
15:0	Horizontal active area count/ time for active image data/ horizontal address	<p>Данные разряды соответствуют количеству действительных данных в тактах частоты txbyteclkhs.</p> <p>В режиме Non-Burst, значение данных разрядов равно количеству пикселей в строке; В режиме Burst, передача пакета с данными RGB сжата во времени, тем самым оставляя больше времени для сканирования линий в LP режиме (для энергосбережения) или мультиплексирования других передач в линию DSI.</p> <p>Следовательно, значение данных разрядов равно количеству тактов txbyteclkhs, которые затрачиваются на передачу сжатого во времени пакета с данными RGB + время необходимое для перехода устройства в режим энергосбережения или время необходимое для переключения между вторым каналом;</p> <p>Но если затраченное время на переход в режим энергосбережения меньше чем 8 тактов txbyteclkhs, тогда значение данного счетчика будет прибавлено к HFR для одной линии.</p>	W/R	0x0
31:16	Резерв	Резерв	Резерв	0x0

22.2.5.14 Регистр настройки счетчика синхроимпульса сигнала Vsync

Таблица 22.44. Регистр настройки счетчика синхроимпульса сигнала Vsync

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
15:0	Vertical sync count	<p>Данные разряды соответствуют длине синхроимпульса V_Sync, указываемую в линиях.</p> <p>Минимальное значение – 2; Максимальное значение – любое 12-разрядное значение больше чем 2, рассчитанное на основе разрешения DPI.</p>	W/R	0x0
31:16	Резерв	Резерв	Резерв	0x0

22.2.5.15 Регистр настройки счетчика заднего бланка импульса вертикальной (кадровой) синхронизации Vsync

Таблица 22.45. Регистр настройки счетчика заднего бланка импульса вертикальной (кадровой) синхронизации Vsync

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
15:0	Vertical back porch count	Данные разряды соответствуют количеству бланковых линий, следующих за синхроимпульсом V_Sync. Минимальное значение – 2; Максимальное значение – любое 12-разрядное значение больше чем 2, рассчитанное на основе разрешения DPI.	W/R	0x0
31:16	Резерв	Резерв	Резерв	0x0

22.2.5.16 Регистр настройки счетчика переднего бланка импульса вертикальной (кадровой) синхронизации Vsync

Таблица 22.46. Регистр настройки счетчика переднего бланка импульса вертикальной (кадровой) синхронизации Vsync

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
15:0	Vertical front porch count	Данные разряды соответствуют количеству бланковых линий, следующих перед синхроимпульсом V_Sync. Минимальное значение – 2; Максимальное значение – любое 12-разрядное значение больше чем 2, рассчитанное на основе разрешения DPI.	W/R	0x0
31:16	Резерв	Резерв	Резерв	0x0

22.2.5.17 Регистр настройки счетчика таймаута по переключению режима высокоскоростной передачи в режим пониженного потребления питания и обратно

Таблица 22.47. Регистр настройки счетчика таймаута по переключению режима высокоскоростной передачи в режим пониженного потребления питания и обратно

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
15:0	High speed to low power or Low power to high speed switch count	Данные разряды соответствуют количеству тактов частоты txbyteclkhs, требуемых для переключения из режима высокоскоростной передачи в режим энергосбережения или обратно. Данное значение рассчитывается на основе частоты txbyteclkhs и частоты для режима энергосбережения txclkesc. Количество тактов для переключения линий данных = $4 \cdot T_{prx}$ + запрограммированное значение THS_rper + запрограммированное значение THS_zero + 4 такта txbyteclkhs. Где, T_{prx} = тактовая частота для режима	W/R	0x0

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
		<p>энергосбережения, запрограммированная в регистре 0x68; TNS_prep = 0x6c.dln_cnt_hs_prep; TNS_zero = 0x6c.dln_cnt_hs_zero;</p> <p>Запрограммированное значение должно быть равно или больше значения, рассчитанного на основе уровня, приведенного выше.</p> <p>Обычное значение: Количество тактов частоты, требуемое для перехода из режима энергосбережения в режим высокоскоростной передачи после установки сигнала txreqeshs.</p>		
31:16	Резерв	Резерв	Резерв	0x0

22.2.5.18 Регистр управления в режиме DPI

Таблица 22.48. Регистр управления в режиме DPI

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
0	Shutdown	Установка в значение «1» данного поля приведет к отправке пакета Shutdown в виртуальный канал.	W/R	0x0
1	Turn On	Установка в значение «1» данного поля приведет к отправке пакета Turn On в виртуальный канал.	W/R	0x0
2	Color Mode On	Установка в значение «1» данного поля приведет к отправке пакета Color Mode On в виртуальный канал.	W/R	0x0
3	Color Mode Off	Установка в значение «1» данного поля приведет к отправке пакета Color Mode Off в виртуальный канал.	W/R	0x0
31:4	Резерв	Резерв	Резерв	0x0

Примечание. Команда записывается в регистр только с одним действительным битом, например:

- для отправки команды Shutdown, необходимо установить регистр в значение 32'h01;
- для отправки команды Turn On, необходимо установить регистр в значение 32'h02;
- для отправки команды Color Mode On, необходимо установить регистр в значение 32'h04;
- Для отправки команды Color Mode Off, необходимо установить регистр в значение 32'h08.

Примечание. После записи данного регистра, следующая запись в данный регистр может быть осуществлена только после установки прерывания, возникающее после осуществления отправки специальной команды (разряд 27 регистра статуса прерывания).

22.2.5.19 Регистр количества тактов стабильной частоты

Таблица 22.49. Регистр количества тактов стабильной частоты

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
15:0	pll_count_val	Счетчик PLL, значение которого задается в тактах частоты для режима энергосбережения	W/R	0x7D0
31:16	Резерв	Резерв	Резерв	0x0

22.2.5.20 Регистр счетчика инициализации

Таблица 22.50. Регистр счетчика инициализации

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
15:0	Master initialisation timer	Счетчик, значение которого задается в тактах частоты для режима энергосбережения для инициализации DSI-контроллером состояния остановки передачи на шине D-PHY. Минимальное время инициализации D-PHY – 100 мкс. Время рассчитывается на основе частоты txclkesc и равно 32'h07d0.	W/R	0x7D0
31:16	Резерв	Резерв	Резерв	0x0

22.2.5.21 Регистр максимального размера возвращаемого пакета

Таблица 22.51. Регистр максимального размера возвращаемого пакета

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
10:0	Maximum return packet size	Счетчик, значение которого задается в байтах, для получения возвращаемого пакета для обратного потока данных в линии данных в ответ на операцию чтения DBI*. Значение счетчика равно максимальному размеру полезной нагрузки в длинном пакете, переданном с периферийных устройств обратно к главному процессору. Для чередующихся DBI и DPI: Минимальное значение – 1 Максимальное значение – максимальная полезная нагрузка для длинного пакета – 1К байт. Замечание: в этом режиме применимы ответы на длинные или короткие чтения набора команд дисплея (DCS Read Response) с одним или двумя параметрами. Только для DBI: Минимальное значение – 1 Максимальное значение – максимальная полезная нагрузка для длинного пакета – 1К байт.	W/R	0x0
31:16	Резерв	Резерв	Резерв	0x0

*Функционал интерфейса DBI не реализован в данной микросхеме.

22.2.5.22 Регистр настройки режима Video Burst

Таблица 22.52. Регистр настройки режима Video Burst

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
1:0	Video mode format	<p>Данный разряд определяет режим работы контроллера DSI (формат последовательности пакета).</p> <p>В режиме Non-Burst, помимо программирования данного регистра, нужно запрограммировать регистр действительных данных по горизонтали в требуемое значение равное количеству RGB слов в строке.</p> <p>В режиме Burst, помимо программирования данного регистра, также необходимо запрограммировать регистр действительных данных по горизонтали в значение большее чем количество RGB слов в строке, обеспечив больше время для переключения в режим LP или мультиплексирования между другими передачами по линии DSI.</p> <p>Значения: 00 – резерв; 01 – Non-Burst режим с формированием синхроимпульсов; 10 – Non-Burst режим с формированием событий синхронизации; 11 – Burst режим.</p>	W/R	0x0
31:2	Резерв	Резерв	Резерв	0x0

22.2.5.23 Регистр настройки EOT

Таблица 22.53. Регистр настройки EOT

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
0	EOT disable	<p>Данный разряд разрешает или запрещает передачу короткого пакета EOT. По умолчанию данное поле установлено в значение «0». Для дальнейшей совместимости с ранними версиями систем DSI, передача короткого пакета EOT может быть отключена.</p> <p>Значения: 0 – Передача пакета EOT включена; 1 – Передача пакета EOT выключена.</p>	W/R	0x0
1	Clock stop	<p>Данный разряд разрешает или запрещает остановку генерации тактовой частоты во время VLLP при двухканальной передаче передачи в режиме DPI или в только DPI режиме. По умолчанию данное поле установлено в значение «0».</p> <p>Значения: 0 – Остановка генерации тактовой частоты запрещена; 1 – Остановка генерации тактовой частоты разрешена.</p>	W/R	0x0

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
2	Disable video BTA	Данное поле устанавливается программно и информирует DSI контроллер об отключении формирования BTA во время последней линии бланка VFP. По умолчанию данное поле установлено в значение «0». Значения: 0 – BTA пакет отсылается во время передачи последней строки бланка VFP; 1 – BTA пакет не отсылается во время передачи последней строки бланка VFP.	W/R	0x0
31:3	Резерв	Резерв	Резерв	0x0

22.2.5.24 Регистр настройки полярности

Таблица 22.54. Регистр настройки полярности

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
0	Polarity Vsync	Активный уровень сигнала VSYNC.	W/R	0x0
1	Polarity Hsync	Активный уровень сигнала HSYNC.	W/R	0x0
2	Polarity shutdown	Активный уровень сигнала SHUTDOWN.	W/R	0x0
3	Polarity Color mode	Активный уровень сигнала COLOR MODE.	W/R	0x0
31:4	Резерв	Резерв	Резерв	0x0

22.2.5.25 Регистр настройки времени переключения сигнала Clock

Таблица 22.55. Регистр настройки времени переключения сигнала Clock

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
15:0	High speed to Low power switching counter for clock lane	Данное поле позволяет управлять временем переключения линии clock при переходе из режима High Speed в режим Low Power. Значение указывается в количестве тактов txbyteclkhs. $HS\ to\ LP\ switch\ count = Tclk_trail + THS_Exit + 3byteclk;$ где, Tclk_trail – запрограммированное значение поля «cln_cnt_hs_trail» в регистре 0x70; THS_Exit – запрограммированное значение поля «cln_cnt_hs_exit» в регистре 0x70. Стандартное значение: Количество тактов частоты txbyteclkhs требуемое для перехода из режима High Speed в режим Low Power после сброса сигнала txrequeshs_clk.	W/R	0x0

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
31:16	Low power to High speed switching counter for clock lane	<p>Данное поле позволяет управлять временем переключения линии clock при переходе из режима Low Power в режим High Speed. Значение указывается в количестве тактов txbyteclkhs.</p> $LP\ to\ HP\ switch\ count = 4 * Tprx + (Tclk_prep + 1) + (Tclk_zero + 1) + Tclk_pre + 2;$ <p>где, Tprx – запрограммированное значение в регистре 0x68; Tclk_prep – запрограммированное значение в регистре 0x70 поле clk_cnt_prep; Tclk_zero - запрограммированное значение в регистре 0x70 поле clk_cnt_zero; Tclk_pre = 8 UI; Стандартное значение: Количество тактов частоты txbyteclkhs требуемое для перехода из режима Low Power в режим High Speed после установки сигнала txrequeshs_clk.</p>	W/R	0x0

22.2.5.26 Регистр настройки частоты в режиме пониженного потребления питания

Таблица 22.56. Регистр настройки частоты в режиме пониженного потребления питания

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
15:0	LP equivalent byteclk	В данном поле задается значение тактовой частоты в режиме пониженного энергопотребления. Значение задается в тактах частоты txbyteclkhs. Один такт частоты в режиме пониженного энергопотребления (txclkesc) будет равен запрограммированному в данном поле количеству тактов частоты txbyteclkhs.	W/R	0x1
31:16	Резерв	Резерв	Резерв	0x0

22.2.5.27 Регистр параметров DPHY

Таблица 22.57. Регистр параметров DPHY

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
7:0	HS_PREP	Данное поле позволяет настраивать требуемые временные характеристики тактовой частоты txbyteclkhs при подготовке к входу в режим High Speed. Данное значение соответствует значению THS-PREP, в спецификации DPHY.	W/R	0x4
15:8	HS_ZERO	Данное поле позволяет настраивать требуемые временные характеристики тактовой частоты txbyteclkhs при удержании значения «0». Данное значение соответствует значению THS-ZERO в спецификации DPHY.		0x1a

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
23:16	HS_TRAIL	Данное поле позволяет настраивать требуемые временные характеристики тактовой частоты $t_{xbyteclkhs}$ во время TRAIL. Данное значение соответствует значению THS-TRAIL в спецификации DPHY.	W/R	0x6
31:24	HS_EXIT	Данное поле позволяет настраивать требуемые временные характеристики тактовой частоты $t_{xbyteclkhs}$ во время EXIT. Данное значение соответствует значению THS-EXIT в спецификации DPHY.	W/R	0xb

Примечание. $THS-PREP = (dln_cnt_hs_prep + 1) * t_byte_clk + 9 * t_dd_clk$.

Значение THS-PREP должно быть в диапазоне: [40ns + 4UI, 85ns + 6UI].

$9 * t_ddr_clk$ добавляется, чтобы убедиться, что данные передаются в правой границе байта.

$HS-ZERO = (dln_cnt_hs_zero + 1) * t_byte_clk$.

Выражение $THS-PREPARE + THS-ZERO$ должно быть больше чем 145ns + 10UI.

$Thstrail = (dln_cnt_hs_trail + 2) * t_byte_clk$.

$Thsexit = (dln_cnt_hs_exit + 1) * t_byte_clk$.

22.2.5.28 Регистр настройки временных параметров сигнала Clock

Таблица 22.58. Регистр настройки временных параметров сигнала Clock

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
7:0	HS_PREP	Данное поле позволяет настраивать требуемые временные характеристики байтовой тактовой частоты при подготовке к входу в режим High Speed. Данное значение соответствует значению TCLK-PREP, в спецификации DPHY.	W/R	0x04
15:8	HS_ZERO	Данное поле позволяет настраивать требуемые временные характеристики байтовой тактовой частоты при удержании значения «0». Данное значение соответствует значению TCLK-ZERO в спецификации DPHY.	W/R	0x1a
23:16	HS_TRAIL	Данное поле позволяет настраивать требуемые временные характеристики тактовой частоты во время TRAIL. Данное значение соответствует значению TCLK-TRAIL в спецификации DPHY.	W/R	0x06
31:24	HS_EXIT	Данное поле позволяет настраивать требуемые временные характеристики тактовой частоты $t_{xbyteclkhs}$ во время EXIT. Данное значение соответствует значению THS-EXIT в спецификации DPHY.	W/R	0x0b

Примечание. DPHY затрачивает дополнительные такты частоты для каждой нижеприведенной формулы для передачи данных в высокоскоростном режиме.

$Thsprep = (dln_cnt_hs_prep + 1) * t_byte_clk$.

$$Thszero = (cln_cnt_hs_zero + 1) * t_byte_clk.$$

$$Thstrail = (cln_cnt_hs_trail + 2) + 3 * tddr.$$

$$Thsexit = (cln_cnt_hs_exit + 1) * t_byte_clk + 2 * tddr.$$

22.2.5.29 Регистр включения и сброса DFE

Таблица 22.59. Регистр включения и сброса DFE (Digital Front-End)

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
0	Enable	Данное поле позволяет производить сброс (включение) DFE (Digital Front-End).	W/R	0x0
31:1	Резерв	Резерв	Резерв	Резерв

22.2.5.30 Регистр подстройки AFE 1

Таблица 22.60. Регистр подстройки AFE 1

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
0	a[0]	Divider ratio Counter A Active Level: High	W/R	0x1
1	a[1]	Divider ratio Counter A Active Level: High	W/R	0x1
2	a[2]	Divider ratio Counter A Active Level: High	W/R	0x0
3	a[3]	Divider ratio Counter A Active Level: High	W/R	0x1
4	a[4]	Divider ratio Counter A Active Level: High	W/R	0x1
5	a[5]	Divider ratio Counter A Active Level: High	W/R	0x0
6	cntb	Divider ratio Counter B Active Level: High	W/R	0x1
7	dlpf	Discharge lpf capacitor to zero Active Level: High	W/R	0x0
8	dlpf_reg_sel	Discharge lpf register bit select Active Level: High	W/R	0x0
9	DuCyb[4]	Output clock Duty Cycle control Active Level: Low	W/R	0x0
10	DuCyb[3]	Output clock Duty Cycle control Active Level: Low	W/R	0x0
11	DuCyb[2]	Output clock Duty Cycle control Active Level: Low	W/R	0x1
12	DuCyb[1]	Output clock Duty Cycle control Active Level: Low	W/R	0x1
13	DuCyb[0]	Output clock Duty Cycle control Active Level: Low	W/R	0x1
14	bwb[2]	Chargepump current tunability Active Level: Low	W/R	0x0
15	bwb[1]	Chargepump current tunability Active Level: Low	W/R	0x0
16	bwb[0]	Chargepump current tunability Active Level: Low	W/R	0x1

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
17	res[2]	LPF Resistor tenability Active Level: High	W/R	0x1
18	res[1]	LPF Resistor tenability Active Level: High	W/R	0x0
19	res[0]	LPF Resistor tenability Active Level: High	W/R	0x0
20	Plltstcksel[1]	PLL Test clock selection control Active Level: High	W/R	0x1
21	Plltstcksel[0]	PLL Test clock selection control Active Level: High	W/R	0x1
22	tstodby4	PLL Test output selection (div4/div8) Active Level: High	W/R	0x0
31:1	Резерв	Резерв	Резерв	Резерв

22.2.5.31 Регистр подстройки AFE 2

Таблица 22.61. Регистр подстройки AFE 2

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
3:1	Резерв	Резерв	Резерв	Резерв
4	pllrst_reg	PLL reset Active Level: Low	W/R	0x0
31:5	Резерв	Резерв	Резерв	Резерв

22.2.5.32 Регистр настройки автоматического исправления ошибок

Таблица 22.62. Регистр настройки автоматического исправления ошибок

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
0	Ess_mul_err_clr	Если данный разряд установлен в 1, то при получении ошибки Ess_mul_err_clr DSI TX начинает процедуру восстановления немедленно.	W/R	0x1
1	Invl_d_t_clr	Если данный разряд установлен в 1, то при получении ошибки Invl_d_t_clr DSI TX начинает процедуру восстановления немедленно.	W/R	0x1
2	Hi_cont_clr	Если данный разряд установлен в 1, то при получении ошибки Hi_cont_clr DSI TX начинает процедуру восстановления немедленно.	W/R	0x1
3	lo_cont_clr	Если данный разряд установлен в 1, то при получении ошибки lo_cont_clr DSI TX начинает процедуру восстановления немедленно.	W/R	0x1
4	Hs_rx_timeout_clr	Если данный разряд установлен в 1, то при получении ошибки Hs_rx_timeout_clr DSI TX начинает процедуру восстановления немедленно.	W/R	0x1
5	lp_rx_timeout_clr	Если данный разряд установлен в 1, то при получении ошибки lp_rx_timeout_clr DSI TX начинает процедуру восстановления немедленно.	W/R	0x1
31:6	Резерв	Резерв	Резерв	Резерв

22.2.5.33 Регистр статуса направленности шины DSI

Таблица 22.63. Регистр статуса направленности шины DSI

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
0	Mipi_direction	Данное поле указывает на направленность шины MIPI. 0 – DSI Host управляет шиной MIPI. 1 – DSI Host находится в режиме приема.	RO	0x0
14:1	Резерв	Резерв	Резерв	Резерв
15	Dpi_high	Данное поле сообщает о том, что время выдачи линии по интерфейсу DPI больше, чем время выдачи линий по шине DSI. 0 – Время выдачи одной линии изображения по DPI меньше, чем время выдачи одной линии по DSI. 1 – Время выдачи одной линии изображения по DPI больше, чем время выдачи одной линии по DSI.	RO	0x0
31:16	Dpi_diff	Данное поле сообщает о разнице времени, которое затрачивается для передачи одной линии изображения по шине DSI и DPI.	R/O	0x0

22.2.5.34 Регистр переключения полярности сигналов Data

Таблица 22.64. Регистр переключения полярности сигналов Data

Номер бита	Условное обозначение	Описание	Тип доступа	Исходное состояние
3:0	Data_lane Polarity_Swap	Попарное изменение полярности дифференциальных сигналов линии на шине DSI. 0001 – изменение полярности дифференциальных сигналов линии данных 0; 0010 – изменение полярности дифференциальных сигналов линии данных 1; 0100 – изменение полярности дифференциальных сигналов линии данных 2; 1000 – изменение полярности дифференциальных сигналов линии данных 3; 1111 - – изменение полярности дифференциальных сигналов всех линий данных;	W/R	0x0
31:4	Резерв	Резерв	Резерв	Резерв

22.2.6 Инициализация

22.2.6.1 Инициализация DSI Host

1. Разрешение формирования запроса на прерывание (запись в `intr_en_reg`).
2. Запись в регистр `DSI_func_prg_reg` количества поддерживаемых линий данных, формата поддерживаемого цвета в режиме видео, режима команд, номера каналов для видео и режима команд, поддерживаемую ширину данных в режиме команд.
3. Запрограммировать регистры `HS_tx_timeout_reg`, `LP_RX_timeout_reg`, `turn_around_timeout_reg`, `device_reset_timeout_reg` для действий восстановления.
4. Регистр настройки разрешения DPI и поддерживаемые параметры для определенных панелей программируются в регистры горизонтальных и вертикальных счетчиков (`sync`, `porch`).
5. `Init_count_reg` и `Device_ready_reg` программируются как только начальные операции программирования будут выполнены процессором.

22.2.6.2 Операции DSI Host для режима DPI

После завершения программирования DSI host будет удерживать состояние Tx-stop [LP-11] на всех полосах связи в течение времени, указанного в `init_count_reg`

1. После инициализации DSI host и если по DPI интерфейсу записан сигнал Vsync или Hsync, то FSM (Finite State Machine) DSI автоматически генерирует событие Vsync/Hsync на основе запрограммированного значения соответствующего АНВ регистра и производит прием данных в DPI FIFO до его заполнения.
2. Передача DSI пакетов начинается как только сгенерируются события основанные на запрограммированных временных параметрах.
3. Переключается в «low power mode» на время, пока линия находится в состоянии «blanking».
4. Продолжается передача Hsync событий последовательно в соответствии с входными параметрами из регистров и переключается в режим «low power mode» пока «blanking period» не будет завершен.
5. RGB пакеты, записанные в «DPI's data FIFO» передаются после завершения «blanking lines». В режиме пакетной передачи DSI host переключается в «low power mode» после передачи пакета пока событие Hsync не будет передано.

6. Короткие пакеты отправляются, чтобы отметить события «Vsync start», «Vsync end», «Hsync start», «Hsync end», «shut down», «color mode on», «color mode off» and «turn on».
7. «shut down», «color mode on», «color mode off», «turn on» события программируются через АНВ интерфейс. Эта информация отправляется как короткие пакеты сразу за VBP.

22.2.6.3 DSI Host операции в двухканальном режиме

После завершения программирования DSI host будет удерживать состояние Tx-stop [LP-11] на всех полосах связи в течение времени, указанного в `init_count_reg`

1. После инициализации DSI host и если по DPI интерфейсу записан сигнал Vsync, то FSM DSI автоматически генерирует событие Vsync/Hsync на основе запрограммированного значения соответствующего АНВ регистра и производит прием данных в DPI FIFO до его заполнения.
2. В канале линий формируется DSI трафик для DBI* если какие-либо события присутствуют в управляющем FIFO и переключается в «low power mode» если нет записанных событий DBI.
3. Продолжается передача Hsync событий последовательно в соответствии с входными параметрами из регистров и переключается в режим «low power mode» или передачу DBI событий пока «blanking period» не будет завершен.
4. RGB пакеты, записанные в «DPI's data FIFO» передаются после завершения «blanking lines». RGB пакеты передаются в пакетном режиме и DSI host переключается в «low power mode» или передает события DBI пока событие Hsync не будет передано. Это продолжается до тех пор, пока не будет передан кадр.
5. Короткие пакеты отправляются, чтобы отметить события «Vsync start», «Vsync end», «Hsync start», «Hsync end», «shut down», «color mode on», «color mode off» and «turn on».
6. «shut down», «color mode on», «color mode off», «turn on» события программируются через АНВ интерфейс. Эта информация отправляется как короткие пакеты сразу за VBP.

* Функционал интерфейса DBI не реализован в данной микросхеме.

22.2.6.4 Управление «Blanking Time»

Hsync_count_reg, horiz_back_porch_count_reg, horiz_front_porch_count_reg тайминги упаковываются с [blanking packets] в линию. Во время «blanking lines» вся активная область видео линии предназначается для BLLP

Основываясь на запрограммированных в регистры значениях DSI-tx контроллер определяет формат упаковки BLLP в dsi link.

1. Если значение счетчика для конкретной области превышает удвоенное значение счетчика «High speed to low switch» плюс два пустых пакета без полезной нагрузки, то DSI-tx контроллер планирует переключение из «low power mode» и возвращается к «High speed» к концу строки. [*]
2. Если значение счетчика для конкретной области меньше удвоенного значения счетчика «High speed to low switch» плюс два пустых пакета без полезной нагрузки, то DSI-tx контроллер планирует «high speed blanking packet» в течении «blanking time». [**]
3. Во время «blanking lines» инициируется разворот ВТА шины если DBI транзакция осуществляется в фазе чтения данных [***]
4. В противном случае, во время «blanking lines» DSI-tx контроллер выполняет только вход в «low power mode». [*]
5. Для последней «blanking line» каждого фрейма, DSI-tx контроллер заставляет шину разворачиваться [***]
6. Если DSI-receiver не отвечает на этот ВТА, то DSI-tx восстанавливается, переводит его драйверы в «low power mode» и выставляет «ВТА timeout interrupt».

Note:

* Оставайтесь в «Idle Mode» с основным процессором в состоянии LP-11 и с периферией в LP-RX

** Передайте один или несколько не видео пакетов с host процессора на периферийное устройство, используя «HS mode».

*** Если предыдущая транзакция от процессора к периферии закончена с ВТА, передайте один или несколько пакетов от периферии к host процессору используя «Escape Mode»

22.2.6.5 Поддержка «Video Mode»

1. «NON Burst Mode» с импульсами синхронизации. (См. Horz_active_area_count).
2. «NON Burst Mode» с событиями синхронизации. (См. Horz_active_area_count).
3. См. Horz_active_area_count.

22.2.7 Синхронизации DSI Host IP

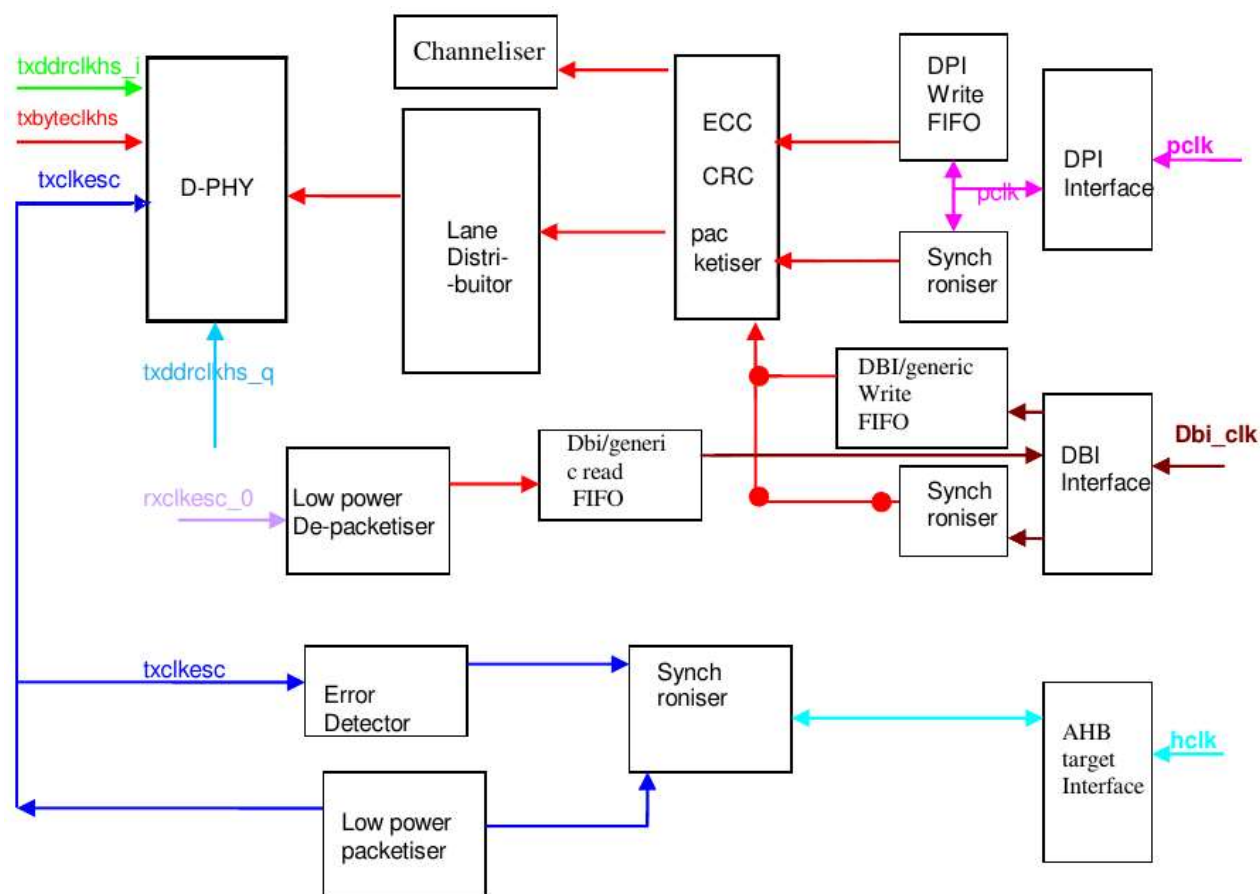


Рисунок 22.6. Структура системы синхронизации DSI Host IP

22.2.8 Расчета частоты DPI

22.2.8.1 Формула расчета частоты DDR синхросигнала

$$\text{ddrclk_freq} = (\text{pclk_freq} * \text{pixel_format} * \text{video_mode_format}) / (2 * \text{lane_count})$$

Где,

Pixel_format →	16 для RGB565 18 для RGB666 24 для LRGB666 и RGB888
Video_mode_format →	Больше чем 1 для пакетной передачи 1 для не пакетной передачи
Lane_count →	1 : одна линия 2 : две линии 3 : три линии 4 : четыре линии

22.2.8.2 Формула расчета горизонтальных параметров в терминах txbyteclkhs

$$\text{Hsa_cnt} = (\text{HSA} * \text{t_pclk}) / \text{t_byteclk}$$

$$\text{Hbp_cnt} = (\text{HBP} * \text{t_pclk}) / \text{t_byteclk}$$

$$\text{Haddr_cnt} = (\text{HADDR} * \text{t_pclk}) / \text{t_byteclk}$$

$$\text{Hfp_cnt} = (\text{HFP} * \text{t_pclk}) / \text{t_byteclk}$$

Где,

Hsa_cnt, Hbp_cnt, Haddr_cnt, Hfp_cnt → Значение горизонтальных параметров в txbyteclk

HSA, HBP, HADDR, HFP → Значение горизонтальных параметров в pclk

t_pclk → Период pclk

t_byteclk → Период txbyteclkhs

22.2.8.3 Пример расчета горизонтальных параметров

Частота PCLK → 83.33 Mhz

Горизонтальные параметры в pclk → HSA = 10, HBP = 15, HADDR = 1024, HFP = 15

pixel_format → RGB 888 → 24

lane_count → Четыре линии → 4

video_mode_format → 2 (пакетная передача)

$$\begin{aligned} \text{ddrclk_freq} &= (\text{pclk_freq} * \text{pixel_format} * \text{video_mode_format}) / 2 * \text{lane_count} \\ &= (83.33 * 24 * 2) / (2 * 4) = 500 \text{ Mhz} \end{aligned}$$

$$\text{byteclk_freq} = 125 \text{ Mhz}$$

$$\text{t_pclk} = 12 \text{ ns}$$

$$\text{t_byteclk} = 8 \text{ ns}$$

$$\text{Hsa_cnt} = (\text{HSA} * \text{t_pclk}) / \text{t_byteclk} = (10 * 12) / 8 = 15 \text{ (in decimal)}$$

$$\text{Hbp_cnt} = (\text{HBP} * \text{t_pclk}) / \text{t_byteclk} = (15 * 12) / 8 = 22 \text{ (in decimal)}$$

$$\text{Haddr_cnt} = (\text{HADDR} * \text{t_pclk}) / \text{t_byteclk} = (1024 * 12) / 8 = 1536 \text{ (in decimal)}$$

$$\text{Hfp_cnt} = (\text{HFP} * \text{t_pclk}) / \text{t_byteclk} = (15 * 12) / 8 = 23 \text{ (in decimal)}$$

22.2.9 PLL и синхросигналы

22.2.9.1 Спецификация PLL

PLL использует двухмодульный делитель. Значение коэффициента деления вычисляется по формуле $N = 2 * A + B$, где A - значение cnta (6 бит) и B - значение cntb (1 бит).

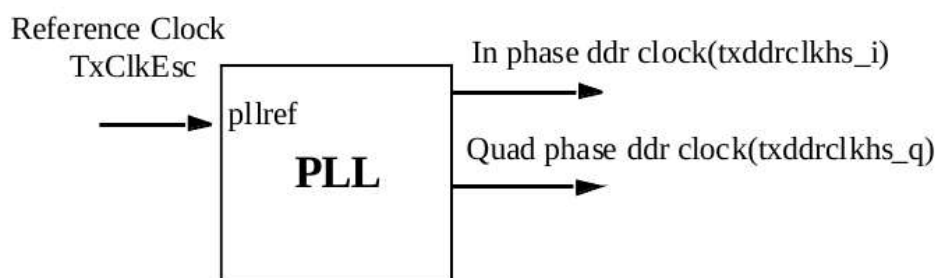
В таблице представлены различные настройки счетчика относительно входной частоты 12МГц.

Таблица 22.65. Установки счетчика для различных коэффициентов деления

Freq (MHz)	cnta<5>	cnta<4>	cnta<3>	cnta<2>	cnta<1>	cnta<0>	cntb	Div ratio
492	0	1	0	1	0	0	1	41
480	0	1	0	1	0	0	0	40
468	0	1	0	0	1	1	1	39
456	0	1	0	0	1	1	0	38
444	0	1	0	0	1	0	1	37
432	0	1	0	0	1	0	0	36
420	0	1	0	0	0	1	1	35
408	0	1	0	0	0	1	0	34
396	0	1	0	0	0	0	1	33
384	0	1	0	0	0	0	0	32
372	0	0	1	1	1	1	1	31
360	0	0	1	1	1	1	0	30
348	0	0	1	1	1	0	1	29
336	0	0	1	1	1	0	0	28
324	0	0	1	1	0	1	1	27
312	0	0	1	1	0	1	0	26
300	0	0	1	1	0	0	1	25

Freq (MHz)	cnta<5>	cnta<4>	cnta<3>	cnta<2>	cnta<1>	cnta<0>	cntb	Div ratio
288	0	0	1	1	0	0	0	24
276	0	0	1	0	1	1	1	23
264	0	0	1	0	1	1	0	22
252	0	0	1	0	1	0	1	21
240	0	0	1	0	1	0	0	20
228	0	0	1	0	0	1	1	19
216	0	0	1	0	0	1	0	18
204	0	0	1	0	0	0	1	17
192	0	0	1	0	0	0	0	16
180	0	0	0	1	1	1	1	15
168	0	0	0	1	1	1	0	14
156	0	0	0	1	1	0	1	13
144	0	0	0	1	1	0	0	12
132	0	0	0	1	0	1	1	11
120	0	0	0	1	0	1	0	10
108	0	0	0	1	0	0	1	9
96	0	0	0	1	0	0	0	8
84	0	0	0	0	1	1	1	7
72	0	0	0	0	1	1	0	6
60	0	0	0	0	1	0	1	5
48	0	0	0	0	1	0	0	4

22.2.9.2 Схема генерации синхросигнала



1. Как опорный синхросигнал используется системный сигнал 12 МГц.
2. Выходная DDR частота может находиться в диапазоне 40 - 500 МГц.
3. DDR частота с квадратурным сдвигом или сдвигом на 90 градусов может находиться в диапазоне 40 - 500 МГц.

Синфазные и квадратурные синхросигналы должны генерироваться как показано ниже

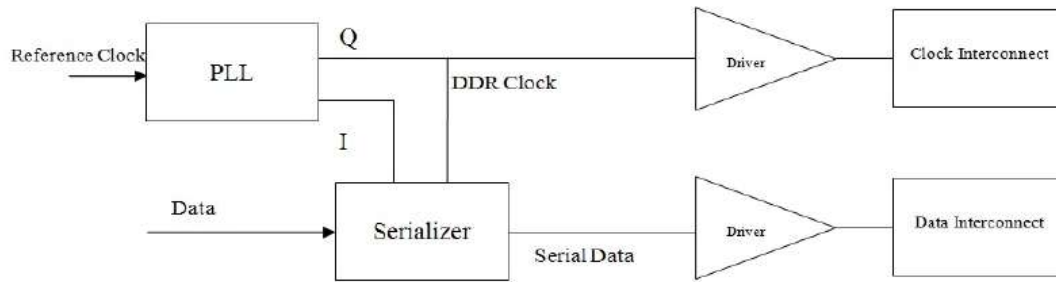


Рисунок 22.7

22.2.9.3 Требования к синхросигналам

Требования к высокоскоростным синхросигналам

1. $txddrclkhs_i$ может варьироваться в диапазоне от +10% до -10%.
2. $txddrclkhs_q$ может варьироваться в диапазоне от +10% до -10%.
3. $txclkesc$ может варьироваться в диапазоне от +10% до -10%.

22.2.9.4 Clock Skews

1. «Data to Clock skew» может варьироваться в диапазоне от -0.15 UI to +0.15 на передатчике.
2. «Data to clock setup time» может варьироваться в диапазоне от -0.15 UI to +0.15 на приемнике.
3. «Clock to data hold time» может варьироваться в диапазоне от -0.15 UI to +0.15 на приемнике.

Note: UI – это любой полупериод DDR.

22.2.9.5 Inter Lane Skews

Разница в задержке сигналов между любой «Data Lane» и «Clock Lane» должна быть меньше $UI/50$ для различных частотных диапазонов.

22.2.10 Зависимость скорости передачи данных от временных параметров, полученных из протокольного уровня

Эти параметры будут изменены при изменении частоты TxByteClkHS

Таблица 22.66. Зависимость скорости передачи данных от временных параметров полученных из протокольного уровня

Variable part of Parameter as per standard & in RTL	Freq, MHz	Period, ns	UI Value, ns	Value as per Spec & value fixed for manipulation	Count
cln_cnt_prep [v]	200	5	2.5	38-95ns [40ns]	8'h3 or 8'd3 TxByteClkHS clocks
[CLN_CNT_PREP_TIM_UI_CNT]	50	20	10	38-95ns [40ns]	8'h1 = 8'd1 TxByteClkHS clocks
	500	2	1	38-95ns [40ns]	8'h6 = 8'd6 TxByteClkHS clocks
cln_cnt_zero = [cln_cnt_prep + cln_cnt_zero] - cln_cnt_prep	200	5	2.5	300 – 40ns ((Tclk - prepare + Tclk - zero) — Tclk - prepare)	8'h11 = 8'd17 TxByteClkHS clocks
[CLN_CNT_ZERO_UI_CNT]	50	20	10	300 – 40ns ((Tclk - prepare + Tclk - zero) — Tclk - prepare)	8'h8 = 8'd8 TxByteClkHS clocks
	500	2	1	300 – 40ns ((Tclk - prepare + Tclk - zero) — Tclk - prepare)	8'h20 = 8'd32 TxByteClkHS clocks
cln_cnt_hs_trail[v]	200	5	2.5	60ns	8'h3 = 8'd3 TxByteClkHS clocks
[CLN_CNT_HS_TRAIL_UI_CNT]	50	20	10	60ns	8'h2 = 8'd2 TxByteClkHS clocks
	500	2	1	60ns	8'h8 = 8'd8 TxByteClkHS clocks
cln_cnt_hs_exit[v]	200	5	2.5	60ns	8'h5 = 8'd5 TxByteClkHS clocks
[CLN_CNT_HS_EXIT_UI_CNT]	50	20	10	60ns	8'h3 = 8'd3 TxByteClkHS clocks
	500	2	1	60ns	8'hd = 8'd13 TxByteClkHS clocks
dln_cnt_hs_prep[v]	200	5	2.5	40ns	8'h2 = 8'd2 TxByteClkHS clocks
[DLN_CNT_HS_PREP_TIM_UI_CNT]	50	20	10	40ns	8'h0 = 8'd0 TxByteClkHS clocks
	500	2	1	40ns	8'h6 = 8'd6 TxByteClkHS clocks
dln_cnt_hs_zero = [dln_cnt_hs_prep + dln_cnt_hs_zero] — dln_cnt_hs_prep	200	5	2.5	145-40ns((Ths-prepare + Ths-zero) — Ths-prepare) [110ns]	8'h6 = 8'd6 TxByteClkHS clocks
[DLN_CNT_HS_ZERO_TIM_UI_CNT]	50	20	10	110ns ((Ths-prepare+ Ths-zero) — Thsprepare)	8'h3 = 8'd3 TxByteClkHS clocks
	500	2	1	110ns ((Ths-prepare + Ths-zero) — Ths-prepare)	8'he = 8'd14 TxByteClkHS clocks

Variable part of Parameter as per standard & in RTL	Freq, MHz	Period, ns	UI Value, ns	Value as per Spec & value fixed for manipulation	Count
dln_cnt_hs_trail[v]	200	5	2.5	60ns	8'h4 = 8'd4 TxByteClkHS clocks
[DLN_CNT_HS_TRAIL_UI_CNT]	50	20	10	60ns	8'h2 = 8'd2 TxByteClkHS clocks
	500	2	1	60ns	8'h8 = 8'd8 TxByteClkHS clocks
dln_cnt_hs_exit[v]	200	5	2.5	110ns	8'h5 = 8'd5 TxByteClkHS clocks
[DLN_CNT_HS_EXIT_UI_CNT]	50	20	10	120ns	8'h3 = 8'd3 TxByteClkHS clocks
	500	2	1	106ns	8'hd = 8'd13 TxByteClkHS clocks
cln_cnt_pll	12	50		1ms	16'h4e2 = 16'd1250 TxClkEsc clocks
[CLN_CNT_PLL_UI_CNT]	40	25		1ms	16'h9cf = 16'd2500 TxClkEsc clocks
dln_cnt_lpx	200	5	2.5		8'hd = 8'd13 TxByteClkHS clocks We assume TxClkEsc freq is 12MHZ
[DLN_CNT_LPX_UI_CNT]	50	20	10		8'h3 = 8'd3 TxByteClkHS clocks We assume TxClkEsc freq is 12MHZ
	500	2	1		8'h19 = 8'd25 TxByteClkHS clocks We assume TxClkEsc freq is 12MHZ
cln_cnt_lpx	200	5	2.5		8'ha = 8'd10 TxByteClkHS clocks We assume TxClkEsc freq is 12MHZ
[CLN_CNT_LPX_UI_CNT]	50	20	10		8'h3 = 8'd3 TxByteClkHS clocks We assume TxClkEsc freq is 12MHZ
	500	2	1		8'h19 = 8'd25 TxByteClkHS clocks We assume TxClkEsc freq is 12MHZ
dln_rx_cnt	200	5	2.5		8'h2 = 8'd2 RxByteClkHS clocks
[DLN_RX_CNT_UI_CNT]	50	20	10		8'h0 = 8'd0 RxByteClkHS clocks
	500	2	1		8'h4 = 8'd4 RxByteClkHS clocks
dln_sync_cnt	200	5	2.5		8'hff = 8'd255 RxByteClkHS clocks
[DLN_SYNC_CNT_UI_CNT]	50	20	10		8'hff = 8'd255 RxByteClkHS clocks
	500	2	1		8'hff = 8'd255 RxByteClkHS clocks

1. DLN_CNT_HS_PREP_TIM_UI_CNT и CLN_CNT_HS_PREP_TIM_UI_CNT унифицированы до одного значения как «Prepare_count» из 8 бит
2. CLN_CNT_HS_ZERO_TIM_UI_CNT как «clk_zero_count» из 8 бит
3. DLN_CNT_HS_TRAIL_UI_CNT и CLN_CNT_HS_TRAIL_UI_CNT унифицированы до одного значения как «Trail_count» из 8 бит
4. DLN_CNT_HS_EXIT_UI_CNT and CLN_CNT_HS_EXIT_UI_CNT унифицированы до одного значения как «Exit_zero count» из 8 бит
5. CLN_CNT_PLL_UI_CNT как «cnt_pll» из 16 бит
6. CLN_CNT_LPX_UI_CNT и DLN_CNT_LPX_UI_CNT унифицированы до одного значения как «lpx_count» из 8 бит
7. DLN_RX_CNT_UI_CNT и DLN_SYNC_CNT_UI_CNT унифицированы до одного значения как «receiver count» из 8 бит

Примечание. Все остальные тайминги не нужно изменять при изменении частоты DDR.

23. МНОГОФУНКЦИОНАЛЬНЫЙ БУФЕРИЗИРОВАННЫЙ ПОСЛЕДОВАТЕЛЬНЫЙ ПОРТ (MFBSPP)

23.1 Особенности MFBSPP

Многофункциональный буферизированный последовательный порт (MFBSPP) позволяет вести обмен параллельно-последовательным кодом с другими микросхемами по линковому интерфейсу (LPORT), либо обмениваться аудиоданными и управляющей информацией с внешними устройствами по последовательным интерфейсам в дуплексном режиме, с возможностью независимой настройки приёмника и передатчика. Гибкость последовательного порта позволяет организовывать передачу с широким спектром внешних устройств. Дополнительно порт позволяет организовывать обмен данными с внешними устройствами, используя входы-выходы общего назначения. На Рисунок 23.1 изображен MFBSPP с двумя каналами DMA (на приём и передачу) в составе микропроцессора. По каналу DMA направления передачи осуществляется передача данных внешнему устройству, подключенному к микропроцессору через MFBSPP. По каналу DMA направления приёма осуществляется приём данных из внешнего устройства, подключенного к микропроцессору через MFBSPP.

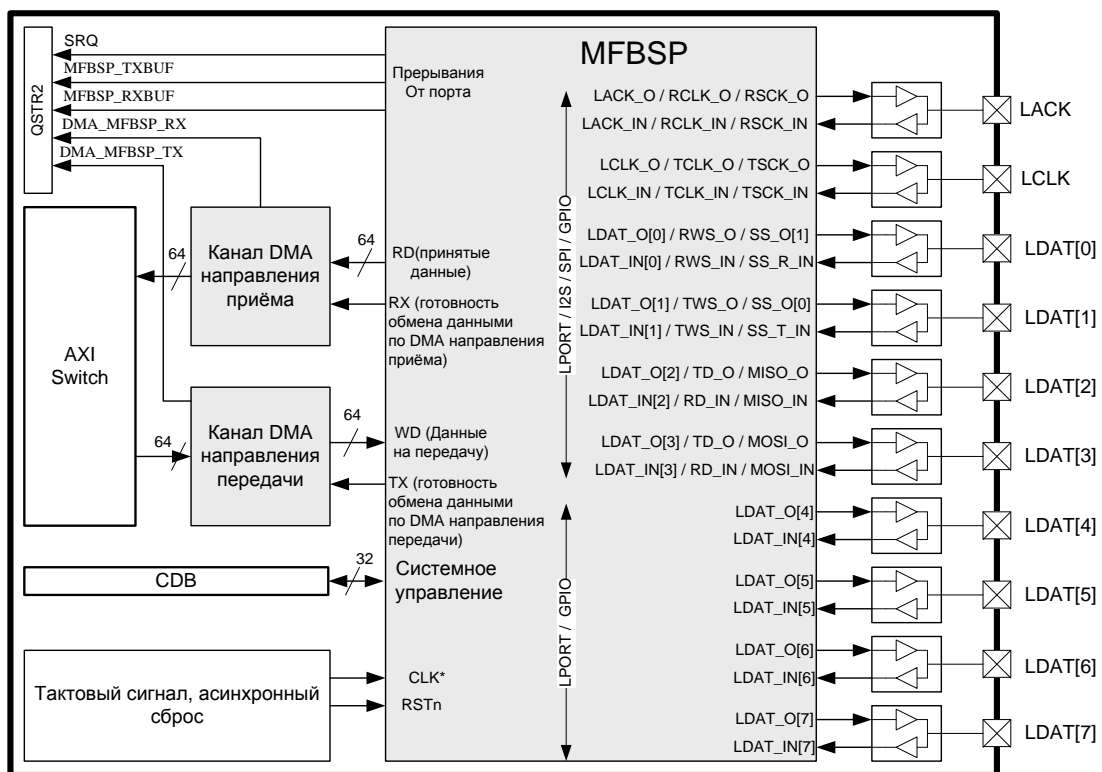


Рисунок 23.1. MFBSPP в составе микропроцессора

*На порт MFBSPP со стороны системы подается тактовая частота MFBSPP_x_ACLK=L3_PCLK, далее по тексту CLK.

23.1.1 Основные характеристики MFBSР в режиме I2S

В режиме I2S порт позволяет вести дуплексный обмен последовательными данными с внешними устройствами, используя следующие форматы передачи данных: Left-Justified, Right-Justified (при программной предобработке данных), DSP, I2S, FSB (Fast Serial Bus используемый в микросхеме CMX981).

Ограничение использования формата I2S: приемник MFBSР, в текущей версии порта, в режиме ведомого устройства не позволяет принимать слова от передатчика, если число тактов между фронтами сигнала выбора канала меньше чем $RWORDLEN+1$ (разрядность передаваемых слов меньше, чем установленная разрядность принимаемых передатчиком слов).

Приёмник и передатчик:

- поддерживается независимая настройка передатчика и приёмника, что позволяет организовать одновременно передачу и прием последовательных данных по разным последовательным интерфейсам и на различных частотах;
- возможен перевод приёмника в зависимый от передатчика режим (когда приемник использует тактовый и контрольный сигналы передатчика), что позволяет задействовать меньшее количество выводов;
- направление любого вывода задается программно, что заметно повышает гибкость при использовании порта;
- тактовые и управляющие сигналы как приемника, так и передатчика можно формировать аппаратными средствами порта MFBSР, либо принимать их от внешнего устройства.

Темп передачи данных:

- передача данных в режиме I2S может вестись на частотах от $CLK/2$ до $CLK/(2*2^{10})$ (где CLK – тактовая частота, подаваемая на порт со стороны системы);
- частоту контрольного сигнала (TWS/RWS) можно задавать в пределах от $ICLK/2$ до $ICLK/(2*2^{16})$, где ICLK – рабочая частота интерфейса (TCLK для передатчика и RCLK для приемника).

Приём и передача данных:

- порт позволяет принимать и передавать слова длиной от 2-х до 32-х бит, как младшим, так и старшим битом вперед;

- в режиме I2S поддерживается режим паковки/распаковки 32-х разрядного слова в два 16-ти разрядных с автоматическим определением левого/правого канала;
- специальная логика обмена позволяет обнулять или дополнять старшим разрядом избыточные биты при чтении принятых слов длиной меньше 32 в обычном режиме и длиной меньше 16 в режиме паковки;
- порт поддерживает приём и передачу данных фреймами с синхронизацией начала каждого фрейма. Число слов в одном фрейме может быть выбрано в пределах от 1 до 64.

Буферы приёма и передачи:

- используется буферизация в направлении передачи на 18 32-разрядных слов;
- используется буферизация в направлении приёма на 18 32-разрядных слов;
- доступ к буферам приёма и передачи возможен как в 32-х разрядном режиме (обмен данными непосредственно с CPU), так и в 64-х разрядном режиме с использованием каналов DMA;
- степень заполнения буфера передачи, при которой инициируется загрузка данных в порт с помощью DMA, регулируется программно;
- для каждого порта MFBSF предусмотрено два независимых канала DMA на приём и на передачу.

23.1.2 Основные характеристики MFBSF в режиме SPI

В режиме SPI порт позволяет вести дуплексный обмен последовательными данными с внешними устройствами, порт поддерживает 4 формата передачи SPI (для всех сочетаний CPOL и CPHA по спецификации Motorola), при этом возможна передача данных как по стандарту Microwire (SDO, SDI), так и по стандарту Motorola (MOSI, MISO), а также по интерфейсу C-BUS (аналог SPI).

Приёмник и передатчик:

- поддерживается независимая настройка передатчика и приёмника, что позволяет организовать одновременные передачу и прием последовательных данных по разным последовательным интерфейсам и на различных частотах;
- возможен перевод приёмника в зависимый от передатчика режим (когда приемник использует тактовый и контрольный сигналы передатчика), что позволяет задействовать меньшее количество выводов;

- направление любого вывода задается программно, что заметно повышает гибкость при использовании порта.

Шина выбора ведомых устройств:

- тактовые сигналы и сигналы шины выбора ведомых устройств можно формировать аппаратными средствами порта MFBSPP, программно управлять шиной выбора ведомых устройств, либо принимать тактовые сигналы и сигнал выбора ведомого от внешнего устройства;
- в режиме ведущего устройства портом используется двухразрядная шина выбора ведомых устройств, что позволяет параллельно подключать до двух ведомых SPI устройств;
- в режиме ведомого устройства возможен независимый выбор внешним устройством приёмника и передатчика MFBSPP.

Темп передачи данных:

- передача данных в режиме SPI может вестись на частотах от $CLK/2$ до $CLK/(2 \cdot 2^{10})$ (где CLK – тактовая частота, подаваемая на порт со стороны системы).

Приём и передача данных:

- порт позволяет принимать и передавать слова длиной от 2-х до 32-х бит, как младшим, так и старшим битом вперед;
- специальная логика обмена позволяет обнулять или дополнять старшим разрядом избыточные биты при чтении принятых слов длиной меньше 32 бит;
- порт позволяет вести обмен данными в режиме автоматического формирования сигналов выбора ведомого, с возможностью передачи от 1 до 64 слов без изменения уровня сигнала выбора ведомого.

Буферы приёма и передачи:

- используется буферизация в направлении передачи на 18 32-разрядных слов;
- используется буферизация в направлении приёма на 18 32-разрядных слов;
- доступ к буферам приёма и передачи возможен как в 32-х разрядном режиме (обмен данными непосредственно с CPU), так и в 64-х разрядном режиме с использованием каналов DMA;

- степень заполнения буфера передачи, при которой инициируется закачка данных в порт с помощью DMA, регулируется программно;
- для каждого порта MFBSP предусмотрено два независимых канала DMA на приём и на передачу;
- в данной реализации порта существует ограничение на выбор направления выводов в режиме SPI: тактовый и управляющий сигналы в режиме SPI должны быть либо оба заданы как вход, либо оба заданы как выход.

В данной реализации порта не предусмотрена возможность соединения нескольких микропроцессоров по цепочке с использованием SPI интерфейса. Микропроцессор может только управлять загрузкой последовательных данных в другие ведомые устройства, соединенные по цепочке.

23.1.3 Основные характеристики MFBSP в режиме LPORT

В режиме LPORT порт позволяет вести обмен с внешними устройствами по линковому интерфейсу (совместимому с ADSP21160 LINK PORT).

Приёмник и передатчик:

- В режиме LPORT MFBSP может работать либо только как передатчик, либо только как приёмник (передача данных в одном направлении);

Темп передачи данных:

- Передача данных по интерфейсу LPORT может вестись на частотах от $CLK/32$ до $CLK/2$ (где CLK – тактовая частота, подаваемая на порт со стороны системы);

Приём и передача данных:

- По параллельно-последовательному интерфейсу LPORT возможна передача данных как тетрадами, так и байтами;

Буферы приёма и передачи:

- используется буферизация в направлении передачи на 16 32-разрядных слов;
- используется буферизация в направлении приёма на 18 32-разрядных слов;
- доступ к буферам приёма и передачи возможен как в 32-х разрядном режиме (обмен данными непосредственно с CPU), так и в 64-х разрядном режиме с использованием каналов DMA;

- степень заполнения буфера передачи, при которой инициируется загрузка данных в порт с помощью DMA, регулируется программно.

В зависимости от выбранного направления порта используется либо канал DMA направления приёма, либо канал DMA направления передачи.

23.1.4 Основные характеристики MFBSP в режиме порта ввода-вывода общего назначения

В режиме порта ввода-вывода общего назначения все 10 выводов порта могут использоваться как входы выводов общего назначения.

Направление каждого вывода задаётся программно.

В режиме последовательного порта (режимы SPI или I2S) 4 незадействованных в передаче последовательных данных выводов MFBSP (LDAT[7:4]) могут быть использованы в качестве вводов-выводов общего назначения.

23.2 Общие сведения об MFBSP

23.2.1 Режимы работы MFBSP

Многофункциональный порт MFBSP может быть использован как порт ввода-вывода общего назначения, как линковый порт (LPORT), либо как последовательный порт. В случае если MFBSP используется как последовательный порт, приёмник и передатчик могут настраиваться независимо. Как приёмник, так и передатчик MFBSP могут работать в режиме SPI либо в режиме I2S. Таким образом, для MFBSP существует 6 различных режимов работы, которые задаются битами LEN и SPI_I2S_EN регистра CSR_MFBSP, битом TMODE регистра TCTR и битом RMODE регистра RCTR. Режимы работы MFBSP и задающие их сочетания значений управляющих бит приведены в Таблица 23.1.

Таблица 23.1. Режимы работы MFBSP

Значение битов, задающих режим					Режим работы MFBSP
№	LEN	SPI I2S EN	TMODE	RMODE	
1	0	0	x	x	Порт ввода-вывода общего назначения
2	1	0	x	x	Линковый порт(LPORT)
3	0	1	0	0	Последовательный порт Передатчик – I2S Приёмник – I2S
4	0	1	0	1	Последовательный порт Передатчик – I2S Приёмник – SPI
5	0	1	1	0	Последовательный порт Передатчик – SPI Приёмник – I2S

Значение битов, задающих режим					Режим работы MFBSP
6	0	1	1	1	Последовательный порт Передатчик – SPI Приёмник – SPI

Более подробное описание функциональных особенностей порта для режима I2S приведено в параграфе 23.3.

Более подробное описание функциональных особенностей порта для режима SPI приведено в параграфе 23.4.

Более подробное описание функциональных особенностей порта для режима LPORT приведено в параграфе 23.5.

Более подробное описание функциональных особенностей порта для режима порта ввода-вывода общего назначения приведено в параграфе 23.6.

23.2.2 Структурная схема многофункционального буферизированного последовательного порта

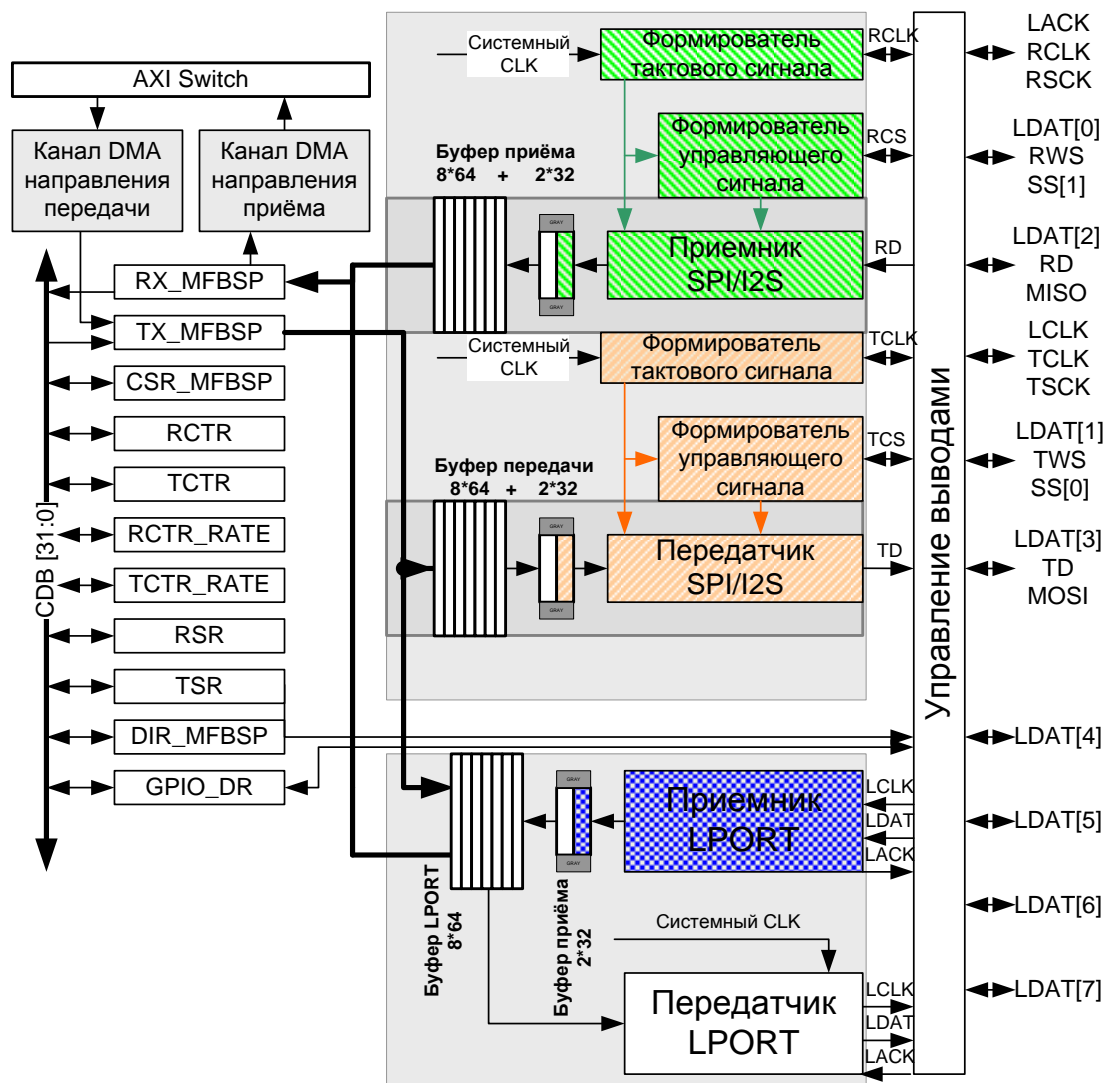


Рисунок 23.2. Структурная схема MFBSP (Защищена патентом РФ №2360282 от 27 июня 2009 года)

На Рисунок 23.1 показан MFBSP в составе микропроцессора. Порт поддерживает дуплексный обмен последовательными данными, поэтому для каждого MFBSP предусмотрено два канала DMA – один на приём и один на передачу. Каждый из внешних выводов порта двунаправленный, направление каждого вывода задается независимо.

На Рисунок 23.2 представлена более подробная структурная схема MFBSP.

В состав совмещенного контроллера входят два основных блока: *контроллер LPORT* и *контроллер SPI/I2S*. Включение *контроллера LPORT* производится установкой бита LEN, регистра CSR_MFBSP в 1, включение *контроллера SPI_I2S* производится установкой бита SPI_I2S_EN, регистра CSR_MFBSP в 1 (Таблица 23.1). Одновременная работа блоков LPORT и SPI/I2S и соответственно установка бит LEN и SPI_I2S_EN в 1 не допускается.

В состав *контроллера SPI/I2S* входят приёмник, передатчик, буфер приёма и буфер передачи. Приёмник и передатчик могут работать одновременно и независимо. Приёмник осуществляет синхронный приём последовательного кода с внешнего вывода схемы и запись принятых данных в буфер приёма. Передатчик осуществляет чтение данных из буфера передачи и синхронную выдачу их последовательным кодом на внешний вывод схемы. Запись передаваемых данных в буфер передачи осуществляется при записи по адресу псевдорегистра TX_MFBSP (доступ со стороны CPU или DMA направления передачи), чтение принятых данных из буфера приёма осуществляется при чтении по адресу псевдорегистра RX_MFBSP (доступ со стороны CPU или DMA направления приёма).

Последовательным портом при обмене данными используется только 6 выводов LCLK, LACK, LDAT[3:0]. Если порт работает в режиме SPI/I2S, выходы LDAT[4:7] могут использоваться как входы-выводы общего назначения.

В состав *контроллера LPORT* входят приёмник, передатчик и буфер LPORT. В зависимости от направления обмена данными работает либо приёмник, либо передатчик. В зависимости от направления обмена данными буфер LPORT выполняет функции либо буфера приёма, либо буфера передачи. Приёмник осуществляет синхронный приём параллельно-последовательного кода с внешних выводов схемы и запись принятых данных в буфер LPORT. Передатчик осуществляет чтение данных из буфера LPORT и синхронную выдачу их параллельно последовательным кодом на внешние выводы схемы. Запись передаваемых данных в буфер LPORT осуществляется при записи по адресу псевдорегистра TX_MFBSP (доступ со стороны CPU или DMA направления передачи), чтение принятых данных из буфера LPORT осуществляется при чтении по адресу псевдорегистра RX_MFBSP (доступ со стороны CPU или DMA направления приёма).

LPORT при обмене данными использует выходы LCLK, LACK, LDAT[7:0].

При отключенной частоте MFBSP чтение и запись в регистры MFBSP0, MFBSP1 не допускается.

23.2.3 Назначение выводов порта в различных режимах

Таблица 23.2 содержит наименования выводов порта для каждого из режимов – LPORT, SPI, I2S.

Таблица 23.3 содержит информацию о назначении каждого вывода в различных режимах.

Таблица 23.2. Обозначение выводов порта для различных режимов работы

LPORT	I2S	SPI
LDAT[7]	-	-
LDAT[6]	-	-
LDAT[5]	-	-

LPORТ	I2S	SPI
LDAT[4]	-	-
LDAT[3]	TD	MOSI
LDAT[2]	RD	MISO
LDAT[1]	TWS	SS[0]
LDAT[0]	RWS	SS[1]
LCLK	TCLK	TSCK
LACK	RCLK	RSCK

Таблица 23.3. Назначение выводов порта в различных режимах

Наименование вывода	Режим работы порта	Направление вывода	Назначение вывода
LDAT[7:0]	LPORТ	IO	Внешняя шина данных LPORТ.
LCLK	LPORТ	IO	Тактовый сигнал LPORТ
LACK	LPORТ	IO	Подтверждение готовности приема
TD	I2S	IO	Передаваемые последовательные данные
RD	I2S	IO	Принимаемые последовательные данные
TCLK	I2S	IO	Тактовый сигнал передатчика I2S
RCLK	I2S	IO	Тактовый сигнал приемника I2S
TWS	I2S	IO	Сигнал выбора канала для передаваемых данных
RWS	I2S	IO	Сигнал выбора канала для принимаемых данных
MOSI	SPI	IO	Вывод последовательных данных. Направление вывода определяется программно
MISO	SPI	IO	Вывод последовательных данных. Направление вывода определяется программно
TSCK	SPI	IO	Тактовый сигнал передатчика SPI
RSCK	SPI	IO	Тактовый сигнал приемника SPI
SS [0]	SPI	IO	В режиме ведущего: Сигнал выбора устройства 0. В режиме ведомого: сигнал выбора ведомого. Низкий уровень на входе SS[0] обозначает, что передатчику MFBSP необходимо выдавать последовательные данные (если приёмник MFBSP находится в зависимом от передатчика режиме, то активизируется и приёмник).
SS [1]	SPI	IO	В режиме ведущего: Если приёмник в зависимом от передатчика режиме - сигнал выбора устройства 1. Если передатчик в независимом от приёмника режиме – сигнал выбора приёмником устройства 0. В режиме ведомого: Сигнал выбора ведомого. Только в случае когда приёмник в независимом от передатчика режиме. Низкий уровень на входе SS[1] обозначает, что приёмнику MFBSP необходимо принимать последовательные данные.

23.2.4 Перечень регистров MFBSР

Таблица 23.4 содержит перечень регистров многофункционального порта.

Таблица 23.4. Перечень регистров многофункционального буферизированного порта

Условное обозначение регистра	Смещение	Доступ	Название регистра
TX_MFBSP	0x0	W	Буфер передачи данных
RX_MFBSP	0x0	R	Буфер приёма данных
CSR_MFBSP	0x4	R/W	Регистр управления и состояния
DIR_MFBSP	0x8	R/W	Регистр управления направлением выводов порта ввода-вывода
GPIO_DR	0xC	R/W	Регистр данных порта ввода-вывода
TCTR	0x10	R/W	Регистр управления передатчиком
RCTR	0x14	R/W	Регистр управления приёмником
TSR	0x18	R/W	Регистр состояния передатчика
RSR	0x1C	R/W	Регистр состояния приёмника
TCTR_RATE	0x20	R/W	Регистр управления темпом передачи данных
RCTR_RATE	0x24	R/W	Регистр управления темпом приёма данных
TSTART	0x28	R/W	псевдорегистр ten – запуск/останов передатчика без изменения настроек передатчика
RSTART	0x2C	R/W	псевдорегистр gen – запуск/останов приемника без изменения настроек приемника
EMERG_MFBSP	0x30	R/W	Регистр аварийного управления портом
IMASK_MFBSP	0x34	R/W	Регистр маски прерываний от порта

23.2.5 Каналы DMA многофункциональных портов MFBSР

Для каждого порта предусмотрено два канала DMA – один для приема данных, другой для передачи данных.

По каналу DMA направления передачи осуществляется передача данных внешнему устройству, подключенному к микропроцессору через MFBSР. По каналу DMA направления приёма осуществляется приём данных из внешнего устройства, подключенного к микропроцессору через MFBSР.

При обмене данными через MFBSР с использованием DMA максимальный размер пачки составляет 8 64-разрядных слов. Если значение бит WN в контрольном регистре DMA превосходит максимальный размер пачки, то WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

По умолчанию при работе передатчика с DMA заполнение буфера передачи происходит до тех пор, пока буфер в состоянии принять очередную пачку, размером WN. Однако имеется возможность программно регулировать степень заполнения буфера передачи, путем установки бит TBES, регистра TSR. В этом случае значение выражения TBES+1 – задает эффективный размер буфера передачи. Передача очередной пачки происходит только в случае, если при записи этой пачки в буфер передачи число 64 разрядных слов в буфере передачи не превысит TBES+1. При попытке передать пачку со значением WN >

TBES, значение WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

По умолчанию при работе приёмника с DMA, считывание данных из буфера приёма происходит, если в буфере чтения содержится число слов большее, либо равно размеру пачки (WN). Степень заполнения буфера приёма, при которой начинается откачка данных с помощью DMA, регулируется установкой значения WN соответствующего канала DMA.

23.2.6 Прерывания от каналов DMA MFBSР

Бит DMA_MFBSР_RX, регистра QSTR2, устанавливается, если есть прерывание от соответствующего порту канала DMA направления приёма.

Бит DMA_MFBSР_TX, регистра QSTR2, устанавливается, если есть прерывание от соответствующего порту канала DMA направления передачи.

Если соответствующий канал DMA разрешен, то прерывания от канала DMA формируются по завершению передачи или приема всего блока данных.

23.2.7 Прерывания от MFBSР

Бит MFBSР_TXBUF, регистра QSTR2, устанавливается в случае, если число 64-х разрядных слов, находящихся в буфере передачи, меньше, либо равно пороговому значению TLEV, задаваемому в регистре TSR (Рисунок 23.3). Для установки бита MFBSР_TXBUF также необходимо, чтобы линковый порт был включен на передачу (LEN=1 и LTRAN=1) либо включен передатчик SPI/I2S (SPI_I2S_EN=1, TEN=1) и разрешена установка прерывания MFBSР_TXBUF по условию превышения порога (TX_LEV_IRQ_EN). MFBSР_TXBUF также устанавливается в случае, если имела место ошибка передачи TERR и разрешена установка прерывания MFBSР_TXBUF при ошибке передачи (чтение из пустого буфера передачи) : TX_ERR_IRQ_EN.

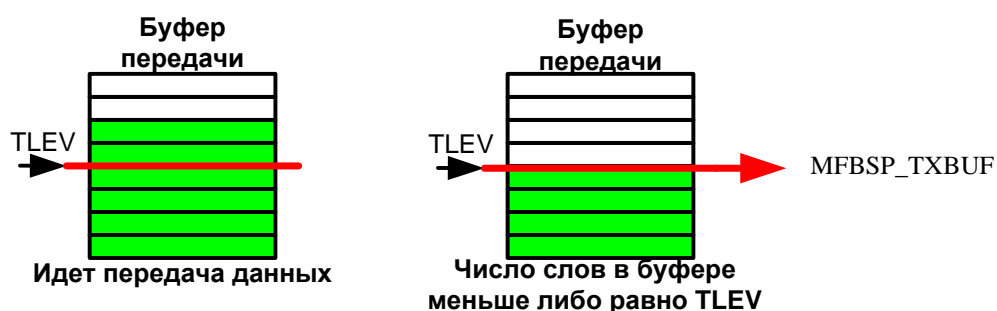


Рисунок 23.3. Назначение бит TLEV, регистра TSR

MFBSР_TXBUF может формироваться в двух режимах: с автоматическим сбросом при чтении регистра TSR и без автоматического сброса при чтении TSR. Данный режим определяется состоянием бита TXBUF_R_EN, регистра IMASK_MFBSР.

В случае если выбран режим без автоматического сброса, прерывание установлено всегда, когда имеет место превышение уровня TLEV. В случае если установлен режим с автоматическим сбросом, управление битом MFBSP_TXBUF осуществляется следующим образом: прерывание MFBSP_TXBUF автоматически сбрасывается, если число 64-х разрядных слов, находящихся в буфере передачи, становится больше порогового значения TLEV и при этом во время передачи не возникло ошибки (TERR = 0). Даже если описанное условие не выполнено, прерывание можно программно сбросить, прочитав регистр TSR. В этом случае прерывание сбросится и запомнится текущее значение слов в буфере передачи. Если число слов в буфере передачи начнет уменьшаться или произойдет ошибка передачи, то прерывание снова установится. Увеличение числа слов в буфере передачи не приведет к установке прерывания, даже, если число слов в буфере ниже порога TLEV (Рисунок 23.4).

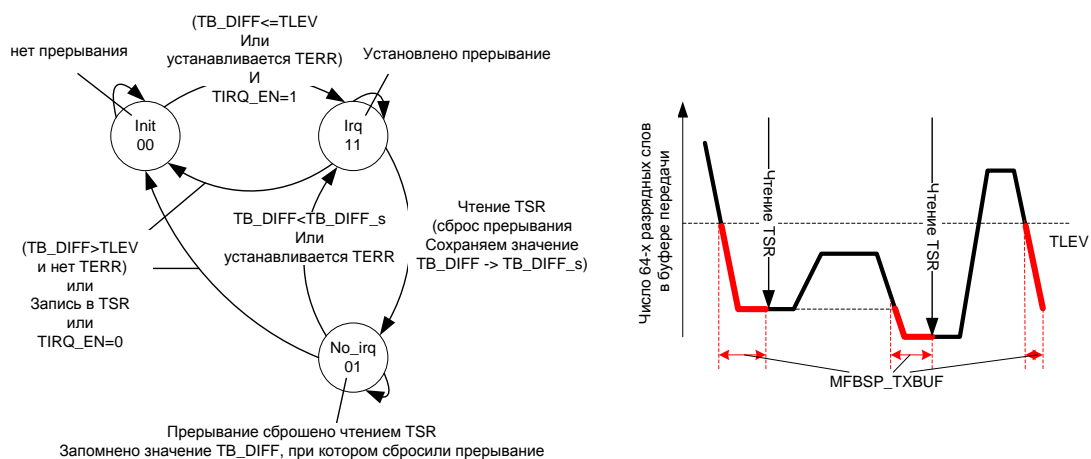


Рисунок 23.4. Механизм установки и сброса прерывания MFBSP_TXBUF. На рисунке $TIRQ_EN = (LEN \& LTRAN \parallel TEN \& SPI_I2S_EN)$

Бит MFBSP_RXBUF, регистра QSTR2, устанавливается в случае, если число 64-х разрядных слов в буфере приёма больше чем пороговое значение RLEV, задаваемое в регистре RSR (Рисунок 23.5). Для установки бита MFBSP_RXBUF также необходимо, чтобы линковый порт был включен на приём (LEN=1 и LTRAN=0) либо включен приёмник SPI/I2S (SPI_I2S_EN=1, REN=1) и разрешена установка прерывания MFBSP_RXBUF по условию превышения порога прерывания (TX_LEV_IRQ_EN). MFBSP_RXBUF также устанавливается в случае, если имела место ошибка приема RERR и разрешена установка прерывания MFBSP_RXBUF при ошибке передачи (запись в полный буфер приема) : RX_ERR_IRQ_EN.

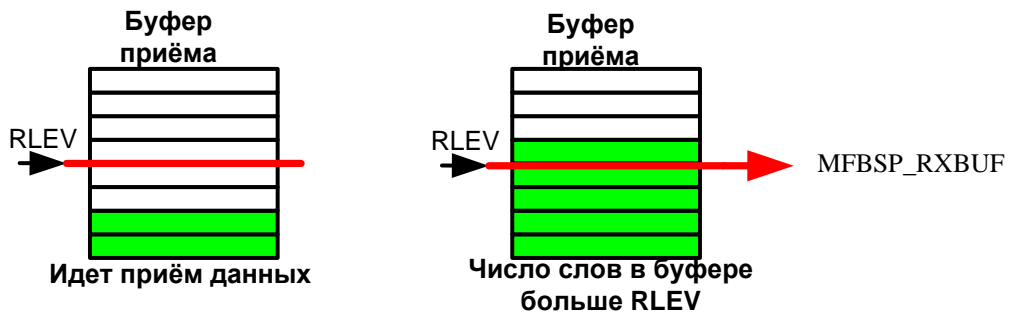


Рисунок 23.5. Назначение бит RLEV, регистра RSR

MFBSP_RXBUF может формироваться в двух режимах: с автоматическим сбросом при чтении регистра RSR и без автоматического сброса при чтении RSR. Данный режим определяется состоянием бита RXBUF_R_EN, регистра IMASK_MFBSP.

В случае если выбран режим без автоматического сброса, прерывание установлено всегда, когда имеет место превышение уровня RLEV. В случае если установлен режим с автоматическим сбросом, управление битом MFBSP_RXBUF осуществляется следующим образом: прерывание MFBSP_RXBUF автоматически сбрасывается, если число 64-х разрядных слов, находящихся в буфере приёма, становится меньше порогового значения RLEV и при этом во время приёма не возникало ошибки (RERR = 0). Даже если описанное условие не выполнено, прерывание можно программно сбросить, прочитав регистр RSR. В этом случае прерывание сбросится и запомнится текущее значение слов в буфере чтения. Если число слов в буфере чтения начнет увеличиваться, то прерывание снова установится. Уменьшение числа слов в буфере чтения не приведет к установке прерывания, даже, если превышен порог RLEV (Рисунок 23.6).

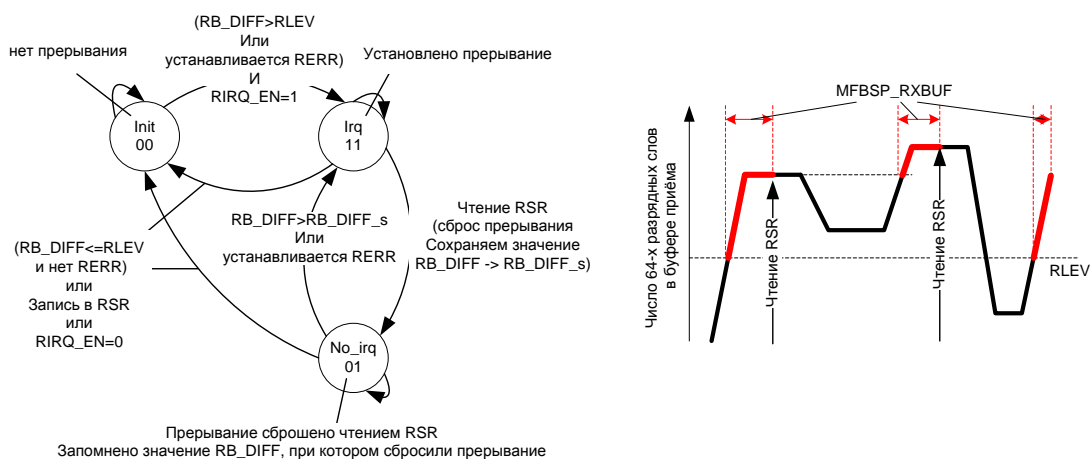


Рисунок 23.6. Механизм установки и сброса прерывания MFBSP_RXBUF. На рисунке $RIRQ_EN = (LEN \& !LTRAN \parallel REN \& SPI_I2S_EN)$

Бит SRQ, регистра QSTR2, формируется при запросе на обслуживание, если порт MFBSP выключен ($LEN=0$, $SPI_I2S_EN=0$) и на выводах LACK или LCLK высокий уровень, при условии, что разрешено прерывание по запросу на обслуживание ($LPT_IRQ_EN=1$).

23.3 Работа MFBSР в режиме I2S

23.3.1 Назначение MFBSР в режиме I2S

Режим I2S буферизированного последовательного порта предназначен для организации дуплексного обмена аудиоданными с внешними устройствами последовательным кодом.

Порт в режиме I2S позволяет одновременно передавать и принимать последовательные данные. Приемник и передатчик контроллера настраиваются независимо, при этом возможен перевод приёмника в зависимое от передатчика состояние.

Порт поддерживает передачу аудиоданных в формате I2S, с поочередной передачей левого и правого каналов, а также передачу данных фреймами от 1 до 64 слов в каждом фрейме.

Поддерживается независимое задание направления каждого из выводов порта, осуществляемое установкой соответствующих бит регистра DIR_MFBSР.

Ограничение использования формата I2S: приемник MFBSР, в текущей версии порта, в режиме ведомого устройства не позволяет принимать слова от передатчика, если число тактов между фронтами сигнала выбора канала меньше чем RWORDLEN+1 (разрядность передаваемых слов меньше, чем установленная разрядность принимаемых передатчиком слов).

23.3.2 Регистр управления и состояния CSR_MFBSР (режим I2S)

Регистр CSR_MFBSР (Таблица 23.5) используется для включения режима последовательного порта и разрешения прерываний от MFBSР.

Таблица 23.5. Назначение разрядов регистра CSR_MFBSР в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:15	-	Резерв	-	0
14:11	-	В режиме I2S не используется	-	0
10	-	Резерв	-	0
9	SPI_I2S_EN	Включение режима SPI/I2S: 0 – Работа в режиме LPORT 1 – Работа в режиме SPI/I2S	RW	0
8:5	-	В режиме I2S не используется	-	0
4:3	LSTAT	Состояние буфера: При LTRAN = 0 показывает состояние буфера приёма При LTRAN = 1 показывает состояние буфера передачи 00 – буфер пуст; 10 – буфер не пуст; 11 – буфер полон.	R	0
2	-	В режиме I2S не используется	-	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
1	LTRAN	Назначение бит LSTAT: 0 - LSTAT отображает состояние буфера приёма 1 - LSTAT отображает состояние буфера передачи	RW	0
0	LEN	В режиме I2S должен быть установлен в 0	RW	0

23.3.3 Регистр управления направлением выводов DIR_MFBSP (режим I2S)

Регистр управления направлением выводов DIR_MFBSP (Таблица 23.6) предназначен для индивидуальной настройки направления каждого вывода последовательного порта.

Таблица 23.6. Назначение разрядов регистра DIR_MFBSP в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
9:6	LDAT_DIR[7:4]	Направление выводов LDAT[7:4]	RW	0
5	TD_DIR	Направление вывода TD: 0 – TD – вход (при RD_DIR = 1 последовательные данные принимаются со входа TD) 1 – TD – выход (TD – является выходом для передачи последовательных данных)	RW	0
4	RD_DIR	Направление вывода RD: 0 – RD – вход (последовательные данные принимаются со входа RD) 1 – RD – выход (RD – является выходом для передачи последовательных данных)	RW	0
3	TCS_DIR	Направление вывода TWS: 0 – TWS – вход (Сигнал выбора слова TWS принимается от внешнего источника) 1 – TWS – выход (Сигнал выбора слова TWS формируется передатчиком)	RW	0
2	RCS_DIR	Направление вывода RWS: 0 – RWS – вход (Сигнал выбора слова RWS принимается от внешнего источника) 1 – RWS – выход (Сигнал выбора слова RWS формируется приёмником)	RW	0
1	TCLK_DIR	Направление вывода TCLK: 0 – TCLK – вход (тактовый сигнал TCLK принимается от внешнего источника) 1 – TCLK – выход (тактовый сигнал TCLK формируется передатчиком)	RW	0
0	RCLK_DIR	Направление вывода RCLK: 0 – RCLK – вход (тактовый сигнал RCLK принимается от внешнего источника) 1 – RCLK – выход (тактовый сигнал RCLK формируется приёмником)	RW	0

Примечания

1. При RD_DIR = 0 и TD_DIR = 0 данные снимаются с RD.
2. При RD_DIR = 1 и TD_DIR = 1 на TD и RD выдаются одинаковые данные с передатчика.

23.3.4 Регистр управления приёмником RCTR (режим I2S)

Таблица 23.7. Назначение разрядов регистра RCTR в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	Резерв	-	0
29	RCS_CONT	Включение непрерывного формирования сигнала RWS: 0 – RWS – Формируется если буфер приёма не полон. По заполнении буфера приёма формирование сигнала RWS прекращается. 1 – RWS – формируется непрерывно, если установлен бит REN	RW	0
28	RCLK_CONT	Включение непрерывного формирования сигнала RCLK: 0 – RCLK – формируется только во время приема (пока буфер приёма не полон). Если буфер приёма полон – сигнал не формируется 1 – RCLK – формируется непрерывно, если установлен бит REN	RW	0
27	RSWAP	Порядок упаковки в 32 разрядное слово, перед записью в буфер приёма: 0 – левый канал пишется в старшие 16 разрядов 1 – левый канал пишется в младшие 16 разрядов (Используется в режиме с включенным паковщиком)	RW	0
26	RSIGN	Значение заполнителя: Если длина принимаемого слова меньше 32 при отключенном паковщике или меньше 16 при включенном паковщике, то неиспользуемые биты принятого слова заполняются При RSIGN = 0 нулями При RSIGN = 1 значением старшего разряда в принятом слове	RW	0
25	RPACK	Включение режима паковки: 0 – режим паковки выключен. Данные, принятые по каждому из каналов пишутся отдельным 32-разрядным словом в буфер приёма 1 – режим паковки включен. Данные, принятые по левому и правому каналу пакуются в 32-х разрядное слово. При этом разрядность принимаемых слов не должна превышать 16.	RW	0
24:20	RWORDLEN	Длина принимаемого слова: Число бит в принимаемом слове равно RWORDLEN + 1. RWORDLEN должно быть больше 0.	RW	5'b0
19	RMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW RW	1
18	RCSNEG	Полярность управляющего сигнала приёмника: При RDSPMODE=0: RCSNEG = 0 – левый канал принимается при высоком уровне RWS RCSNEG = 1 – левый канал принимается при низком уровне RWS каждый фронт контрольного сигнала является активным и инициирует приём нового слова. При RDSPMODE=1: задаёт полярность активного фронта: RCSNEG = 0 - передний фронт активный; RCSNEG = 1 - задний фронт активный;	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
17:12	RWORDCNT	Число слов во фрейме: Определяет число принимаемых в течении одного фрейма слов. Число принимаемых слов равно RWORDCNT + 1. Число бит, принимаемых в пределах одного фрейма, равно (RWORDCNT + 1)*(RWORDLEN+1) При RPACK = 1 обязательно RWORDCNT = 0	RW	0
11	RDEL	Задержка начала приёма данных на такт: 0 – захват бит принимаемого слова начинается по первому после активного фронта управляющего сигнала RWS фронту приёма такового сигнала RCLK (используется для передачи в форматах Left-Justified и Right-Justified) 1 – захват бит принимаемого слова начинается по второму после активного фронта управляющего сигнала RWS фронту приёма такового сигнала RCLK (используется для передачи в формате I2S)	RW	0
10	RNEG	Полярность тактового сигнала приёмника: Задаёт исходное состояние вывода RCLK и фронт, по которому осуществляется захват данных приёмником (фронт приёма) 0 – захват данных по заднему фронту RCLK. 1 – захват данных по переднему фронту RCLK. Исходное состояние RCLK = RNEG.	RW	0
9	RDSPMODE	Формат передачи данных: 0 – передача в формате I2S 1 – передача в формате DSP	RW	0
8:4	-	Резерв	-	0
3	RCS_CP	Дублирование сигнала TWS: 0 – выводы TWS и RWS независимы 1 – сигнал RWS, идущий на блок приёмника, дублирует TWS	RW	0
2	RCLK_CP	Дублирование TCLK: 0 – выводы TCLK и RCLK независимы 1 – сигнал RCLK, идущий на блок приёмника, дублирует TCLK	RW	0
1	RMODE	Режим работы приёмника: 0 – режим I2S 1 – режим SPI	RW	0
0	REN	Разрешение работы приёмника: 0 – приемник выключен 1 – приемник включен	RW	0

23.3.5 Регистр управления передатчиком TCTR (режим I2S)

Таблица 23.8. Назначение разрядов регистра TCTR в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	В режиме I2S не используется	-	0
29	TCS_CONT	Включение непрерывного формирования сигнала TWS: 0 – TWS – формируется только если буфер передачи не пуст. После передачи последнего слова из буфера передачи формирование сигнала TWS прекращается 1 – TWS – формируется непрерывно, если установлен бит TEN	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
28	TCLK_CONT	Включение непрерывного формирования сигнала TCLK: 0 – TCLK – формируется только во время передачи. Если буфер передачи пуст – сигнал не формируется 1 – TCLK – формируется непрерывно, если установлен бит TEN	RW	0
27	TSWAP	Порядок распаковки 32-х разрядного слова: Определяет порядок распаковки из 32 разрядного слова 0 – в левый канал передаются старшие 16 разрядов 1 – в левый канал передаются младшие 16 разрядов (Используется в режиме с включенным распаковщиком)	RW	0
26	-	Резерв	-	0
25	TPACK	Включение режима распаковки: 0 – режим распаковки выключен. Каждое слово из буфера передачи используется для одной передачи по одному каналу 1 – режим распаковки включен. Слово из буфера передачи передается двумя посылками (по левому и правому каналу). При этом разрядность передаваемых слов не должна превышать 16 бит	RW	0
24:20	TWORDLEN	Длина передаваемого слова: Число бит в передаваемом слове равно TWORDLEN + 1. TWORDLEN должно быть больше 0.	RW	5'b0
19	TMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW	1
18	TCSNEG	Полярность управляющего сигнала передатчика: При TDSPMODE=0: TCSNEG = 0 – Левый канал передаётся с высоким уровнем TWS TCSNEG = 1 – Левый канал передаётся с низким уровнем TWS каждый фронт контрольного сигнала является активным и инициирует передачу нового слова. При TDSPMODE=1: задаёт полярность активного фронта: TCSNEG = 0 –передний фронт активный; TCSNEG = 1 –задний фронт активный;	RW	0
17:12	TWORDCNT	Число слов во фрейме: Определяет число передаваемых в течении одного фрейма слов. Число передаваемых слов равно TWORDCNT + 1. Число бит, передаваемых в пределах одного фрейма, равно (TWORDCNT + 1)*(TWORDLEN+1) При TPACK=1 обязательно TWORDCNT=0	RW	0
11	TDEL	Задержка начала передачи данных на такт: 0 – выдача первого бита передаваемого слова начинается по первому после активного фронта управляющего сигнала TWS фронту выдачи такового сигнала TCLK (используется для передачи в форматах Left-Justified и Right-Justified) 1 – выдача первого бита передаваемого слова начинается по второму после активного фронта управляющего сигнала TWS фронту выдачи такового сигнала TCLK (используется для передачи в формате I2S)	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
10	TNEG	Полярность тактового сигнала передатчика: Задаёт исходное состояние вывода TCLK и фронт, по которому осуществляется выдача данных передатчиком (фронт выдачи) 0 – выдача данных по переднему фронту TCLK. 1 – выдача данных по заднему фронту TCLK. Исходное состояние TCLK = TNEG.	RW	0
9	TDSPMODE	Формат передачи данных: 0 – передача в формате I2S 1 – передача в формате DSP	RW	0
8:4	-	Резерв	-	0
3	-	В режиме I2S не используется	-	0
2	TD_ZER_EN	Обнуление избыточных бит передаваемого слова: 0 – Если длина слова меньше размеров окна, отведенного под передачу слова, после передачи всех бит слова на внешней шине данных остаётся значение нулевого бита передаваемого слова. 1 – Если длина слова меньше размеров окна, отведенного под передачу слова, после передачи всех бит слова на внешнюю шину данных подаётся 0, вплоть до начала передачи следующего слова. ВНИМАНИЕ! Режим с включенным обнулением избыточных бит при передаче слова корректно функционирует только при условии, что частота последовательного порта TCLK \leq CLK/4, где CLK – рабочая частота, подаваемая на порт, со стороны системы.	RW	0
1	TMODE	Режим работы передатчика: 0 – режим I2S 1 – режим SPI	RW	0
0	TEN	Разрешение работы передатчика: 0 – передатчик выключен 1 – передатчик включен	RW	0

23.3.6 Регистр состояния приёмника RSR (режим I2S)

Таблица 23.9. Назначение разрядов регистра RSR в режиме I2S

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	RB_DIFF	Количество принятых 64-разрядных слов в буфере приёма (max 8).	R	0
23:19	-	Резерв	-	0
18:16	RLEV	Порог прерывания от буфера приёма: Прерывание формируется если число принятых 64-х разрядных слов больше RLEV	RW	7
15:11	-	Резерв	-	0
10	RXBUF	Результирующее прерывание MFBSP_RXBUF	R	0
9	RXBUF_D	Прерывание MFBSP_RXBUF без механизма автоматического сброса при чтении RSR	R	0
8	RXBUF_R	Прерывание MFBSP_RXBUF с механизмом автоматического сброса при чтении RSR	R	0
7	RRUN	Идёт приём: 0 – приёмник в состоянии ожидания 1 – идёт приём очередного слова	R	0

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
6	RERR	Ошибка передачи: 0 – приём проходил в штатном режиме 1 - была запись в полный буфер приёма (потеря данных). Флаг сбрасывается записью 0 в 6-й разряд регистра RSR.	RW	0
5	RSBF	Буфер пересинхронизации в направлении приёма полон: 0 – буфер пересинхронизации в направлении приёма не полон 1 – буфер пересинхронизации в направлении приёма полон	R	0
4	RSBE	Буфер пересинхронизации в направлении приёма пуст: 0 – буфер пересинхронизации в направлении приёма не пуст 1 – буфер пересинхронизации в направлении приёма пуст	R	1
3	RBHL	Достигнут порог прерывания в буфере приёма: 1 – число 64-х разрядных слов в буфере приёма больше чем задано в RLEV 0 – число 64-х разрядных слов в буфере приёма меньше либо равно RLEV	R	0
2	RBHF	Буфер приёма полон на половину или более: 1 – буфер приёма заполнен на половину или больше (из буфера приёма можно считать как минимум 4 слова) 0 – буфер приёма заполнен меньше, чем наполовину	R	0
1	RBF	Буфер приёма полон: 0 – буфер приёма не полон 1 – буфер приёма полон	R	0
0	RBE	Буфер приёма пуст: 0 – буфер приёма не пуст 1 – буфер приёма пуст	R	1

23.3.7 Регистр состояния передатчика TSR (режим I2S)

Таблица 23.10. Назначение разрядов регистра TSR в режиме I2S

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	TB_DIFF	Количество свободных 64-разрядных позиций в буфере передачи (в буфер передачи можно записать еще TB_DIFF 64-разрядных слов).	R	8
23	-	Резерв	-	0
22:20	TBES	Эффективный размер буфера передачи Актуален только для режима работы с DMA. Значение TBES+1 – определяет максимальный объем буфера передачи. Т.е. в режиме работы с DMA буфер передачи не может быть заполнен больше, чем на TBES+1 64 разрядных слов.	RW	7
19	-	Резерв	-	0
18:16	TLEV	Порог прерывания от буфера передачи: Прерывание формируется если число 64-х разрядных слов в буфере передачи меньше либо равно TLEV. В режиме передачи данных с использованием DMA определяет степень заполнения буфера передачи, при которой происходит запись в буфер очередной пачки данных	RW	0
15:11	-	Резерв	-	0

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
10	TXBUF	Результирующее прерывание MFBSР_TXBUF	R	0
9	TXBUF_D	Прерывание MFBSР_TXBUF без механизма автоматического сброса при чтении TSR	R	0
8	TXBUF_R	Прерывание MFBSР_TXBUF с механизмом автоматического сброса при чтении TSR	R	0
7	TRUN	Идёт передача: 0 – передатчик в состоянии ожидания 1 – идёт передача очередного слова	R	0
6	TERR	Ошибка передачи: 0 – передача проходила в штатном режиме 1 – было чтение из пустого буфера передачи (передача некорректных данных). Флаг сбрасывается записью 0 в 6-й разряд регистра TSR.	RW	0
5	TSBF	Буфер пересинхронизации в направлении передачи полон: 0 – буфер пересинхронизации в направлении передачи не полон 1 – буфер пересинхронизации в направлении передачи полон	R	0
4	TSBE	Буфер пересинхронизации в направлении передачи пуст: 0 – буфер пересинхронизации в направлении передачи не пуст 1 – буфер пересинхронизации в направлении передачи пуст	R	1
3	TBLL	Достигнут порог прерывания в буфере передачи: 1 – число 64-х разрядных слов в буфере передачи меньше либо равно TLEV 0 – число 64-х разрядных слов в буфере передачи больше TLEV	R	1
2	TBHF	Буфер передачи заполнен на половину или более: 1 – буфер передачи заполнен на половину или больше 0 – буфер передачи заполнен меньше чем на половину (в буфер передачи можно записать еще как минимум 4 слова)	R	0
1	TBF	Буфер передачи полон: 0 – буфер передачи не полон 1 – буфер передачи полон	R	0
0	TBE	Буфер передачи пуст: 0 – буфер передачи не пуст 1 – буфер передачи пуст	R	1

23.3.8 Регистр управления темпом приёма RCTR_RATE (режим I2S)

Таблица 23.11. Назначение разрядов регистра RCTR_RATE в режиме I2S

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
31:16	RCS_RATE	Делитель частоты управляющего сигнала приёмника: Задаёт частоту управляющего сигнала приёмника, определяемую, как $RCLK/((RCS_RATE+1)*2)$, где RCLK – частота тактового сигнала приёмника RCS_RATE обязательно должно быть больше либо равно $(RWORDLEN+1)*(RWORDCNT+1)-1$	RW	0
15:12	-	В режиме I2S не используется	-	0
11:10	-	Резерв	-	0

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
9:0	RCLK_RATE	Делитель частоты приёмника: В случае, если частота формируется самим приёмником, определяет частоту приёмника $RCLK = CLK / ((RCLK_RATE + 1) * 2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0

23.3.9 Регистр управления темпом передачи TCTR_RATE (режим I2S)

Таблица 23.12. Назначение разрядов регистра TCTR_RATE в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	TCS_RATE	Делитель частоты управляющего сигнала передатчика: Задаёт частоту управляющего сигнала передатчика, определяемую как $TCLK / ((RCS_RATE + 1) * 2)$, где TCLK – частота тактового сигнала передатчика. TCS_RATE обязательно должно быть больше либо равно $(TWORDLEN + 1) * (TWORDCNT + 1) - 1$	RW	0
15:12	-	В режиме I2S не используется	-	0
11:10	-	Резерв	-	0
9:0	TCLK_RATE	Делитель частоты передатчика: В случае, если частота формируется самим передатчиком, определяет частоту передатчика $TCLK = CLK / ((TCLK_RATE + 1) * 2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0

23.3.10 Псевдорегистр TSTART (режим I2S)

Таблица 23.13. Назначение разрядов регистра TSTART в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Резерв	-	0
0	TEN	Разрешение работы передатчика: 0 – передатчик выключен 1 – передатчик включен Доступ к полю TEN регистра TCTR без изменения настроек TCTR	RW	0

23.3.11 Псевдорегистр RSTART (режим I2S)

Таблица 23.14. Назначение разрядов регистра RSTART в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Резерв	-	0
0	REN	Разрешение работы передатчика: 0 – приемник выключен 1 – приемник включен Доступ к полю REN регистра RCTR без изменения настроек RCTR	RW	0

23.3.12 Регистр аварийного управления портом EMERG_MFBSP (режим I2S)

Таблица 23.15. Назначение разрядов регистра EMERG_MFBSP в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Резерв	-	0
5	RX_DBG	Включение аварийной прокачки данных канала DMA направления приема. 0 – работа в обычном режиме 1 – сигнал готовности передачи данных по DMA каналу направления приема постоянно удерживается в 1 (по DMA принимаются невалидные данные)	RW	0
4	TX_DBG	Включение аварийной прокачки данных канала DMA направления передачи. 0 – работа в обычном режиме 1 – сигнал готовности передачи данных по DMA каналу направления передачи постоянно удерживается в 1 (данные передаваемые DMA теряются)	RW	0
3	-	Резерв	-	0
2	RST_RXBUF	Сброс буфера приема последовательного порта и буфера пересинхронизации направления приема. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
1	RST_TXBUF	Сброс буфера передачи последовательного порта и буфера пересинхронизации направления передачи. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
0	RST_LPTBUF	Сброс буфера линкового порта и буфера пересинхронизации направления приёма. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0

23.3.13 Регистр маски прерываний от порта IMASK (режим I2S)

Таблица 23.16. Назначение разрядов регистра IMASK в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:15	-	Резерв	-	0
14	RXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSP_RXBUF 0 – прерывание не сбрасывается при чтении RSR 1 – прерывание сбрасывается при чтении RSR	RW	1
13	RX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера приема 0 – прерывание MFBSP_RXBUF не будет устанавливаться при превышении порога RLEV 1 - прерывание MFBSP_RXBUF будет устанавливаться при превышении порога RLEV	RW	1
12	RX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSP_RXBUF не будет устанавливаться при переполнении буфера приема 1 - прерывание MFBSP_RXBUF будет устанавливаться при переполнении буфера приема	RW	1
11:7	-	Резерв	-	0
6	TXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSP_TXBUF 0 – прерывание не сбрасывается при чтении TSR 1 – прерывание сбрасывается при чтении TSR	RW	1
5	TX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера передачи 0 – прерывание MFBSP_TXBUF не будет устанавливаться, если число слов в буфере передачи меньше порога TLEV 1 - прерывание MFBSP_TXBUF будет устанавливаться, если число слов в буфере передачи меньше порога TLEV	RW	1
4	TX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSP_TXBUF не будет устанавливаться при чтении из пустого буфера передачи 1 - прерывание MFBSP_TXBUF будет устанавливаться при чтении из пустого буфера передачи	RW	1
3:1	-	Резерв	-	0
0	LPT_IRQ_EN	Разрешение прерывания по запросу на обслуживание 0 – SRQ запрещено 1 – SRQ разрешено	RW	1

23.3.14 Структурная схема MFBSB для режима I2S

На Рисунок 23.7 представлена структурная схема MFBSB для режима I2S.

Включение режима I2S производится установкой бит $LEN=0$, $SPI_I2S_EN=1$, регистра CSR_MFBSB и $TMODE = 0$ регистра $TCTR$ для передатчика, $RMODE = 0$ регистра $RCTR$ для приёмника.

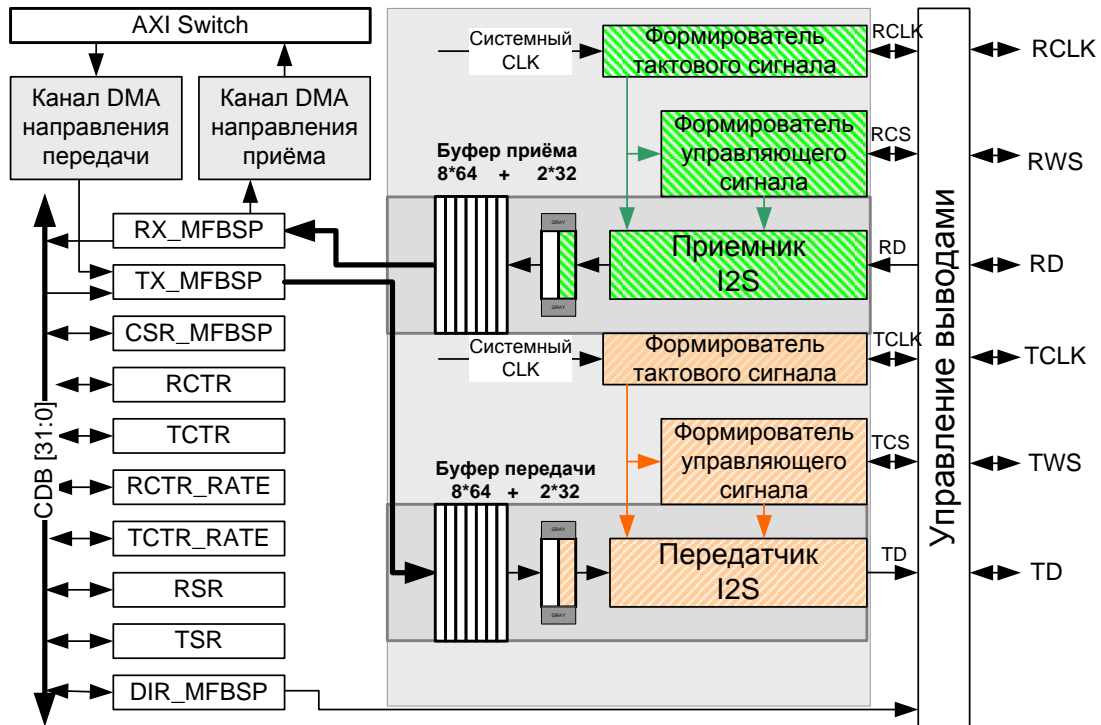


Рисунок 23.7. Структурная схема MFBSB для режима I2S

23.3.15 Варианты соединения порта с внешними устройствами

Программно управляя направлением выводов последовательного порта (см. описание регистра DIR_MFBSP) можно организовать множество вариантов соединения схемы с внешними устройствами через MFBSP (Рисунок 23.8, Рисунок 23.9, Рисунок 23.10).

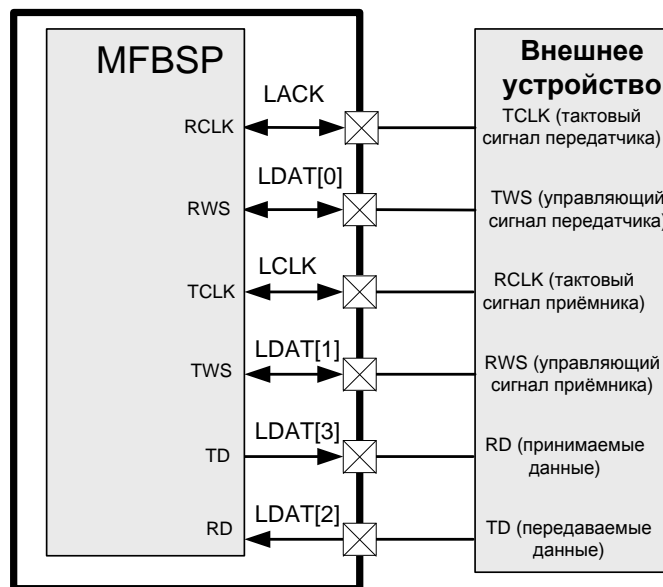


Рисунок 23.8. Соединение двух устройств по интерфейсу I2S в дуплексном режиме. Приёмник и передатчик независимы (задействовано 6 внешних выводов). Направление выводов TCLK, TWS, RCLK и RWS может быть произвольным в зависимости от требований внешнего устройства (режим №3 по Таблица 23.1)

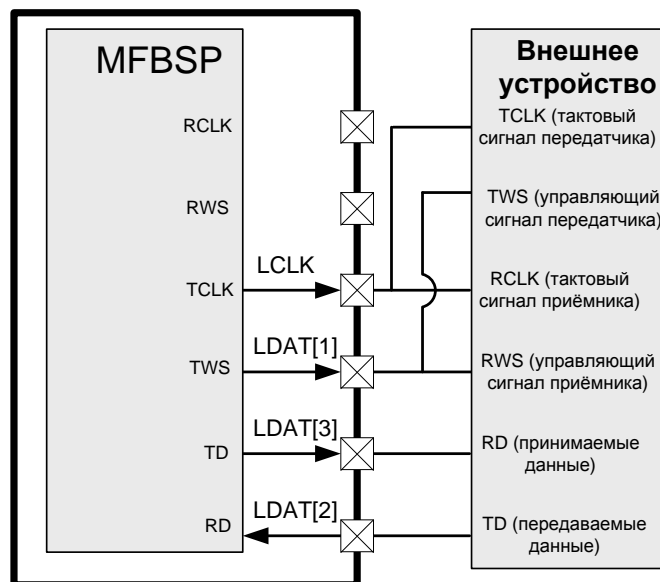


Рисунок 23.9. Соединение двух устройств по интерфейсу I2S в дуплексном режиме. Приёмник в зависимом от передатчика режиме (задействовано 4 внешних вывода) (режим №3 по Таблица 23.1)

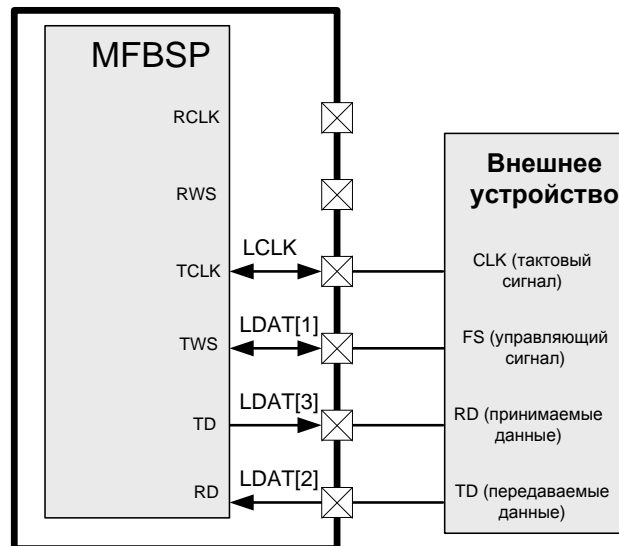


Рисунок 23.10. Соединение двух устройств по интерфейсу I2S в дуплексном режиме. Приёмник в зависимом от передатчика режиме (задействовано 4 внешних вывода).
Как приёмником, так и передатчиком используются тактовый и управляющий сигналы с выводов TCLK и TWS. Направление выводов TCLK и TWS может быть произвольным в зависимости от требований внешнего устройства (режим №3 по Таблица 23.1)

23.3.16 Передача данных в режиме I2S

В режиме I2S возможна передача аудио данных с использованием сигнала выбора канала (бит (T/R)DSPMODE = 0). При этом программно задаётся полярность тактового сигнала, полярность управляющего сигнала и наличие задержки выдачи данных относительно фронта управляющего сигнала (см. описание регистров TCTR и RCTR). На Рисунок 23.11 представлены временные диаграммы для данного режима.

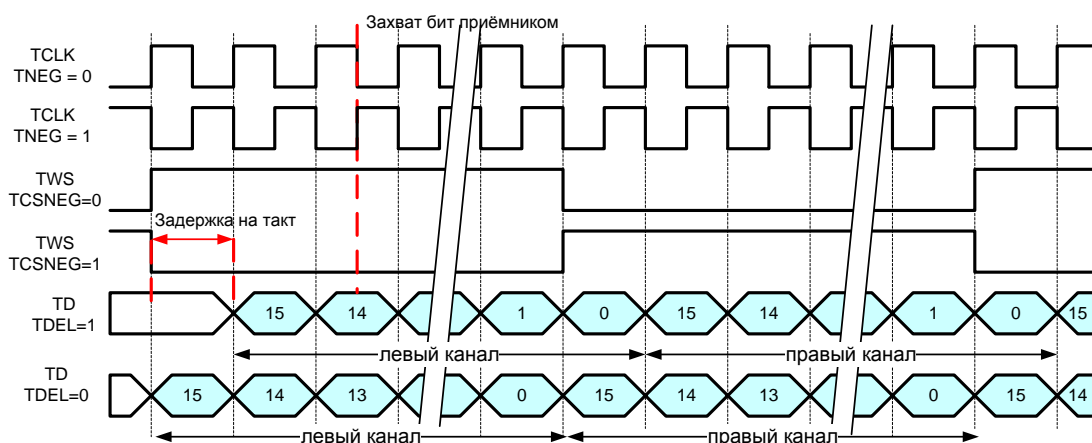


Рисунок 23.11. Передача в режиме I2S (формат I2S) TMODE = 0, TDSPMODE=0, TMBF = 1, TCS_RATE = TWORDLEN = 15 диаграммы тактового сигнала TCLK представлены для различных значений TNEG, диаграммы управляющего сигнала TWS представлены для различных значений TCSNEG, диаграммы для последовательных данных представлены для различных значений TDEL

В режиме I2S (бит (T/R)MODE = 0) также возможна передача последовательных слов с использованием сигнала синхронизации фрейма (бит (T/R)DSPMODE = 1). При этом программно задаётся полярность тактового сигнала, полярность активного фронта управляющего сигнала и наличие задержки выдачи данных относительно фронта управляющего сигнала (Рисунок 23.12).

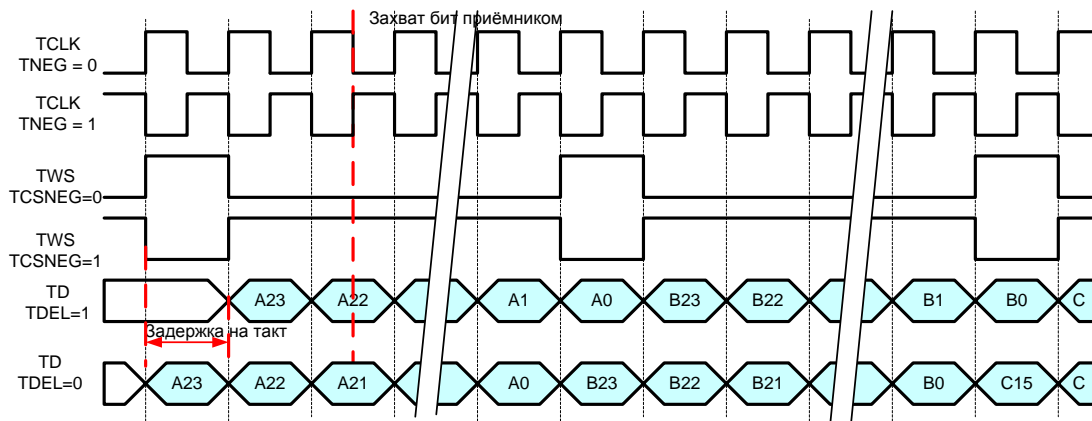


Рисунок 23.12. Передача в режиме I2S (формат DSP) TMODE = 0, TDSPMODE=1, TMBF = 1, TCS_RATE = TWORDLEN = 23 диаграммы тактового сигнала TCLK представлены для различных значений TNEG, диаграммы управляющего сигнала TWS представлены для различных значений TCSNEG, диаграммы для последовательных данных представлены для различных значений TDEL

Если управляющий сигнал формируется логикой MFBS (вывод (T/R)WS – сконфигурирован как выход), то частота управляющего сигнала (либо частота импульсов синхронизации в формате DSP) может задаваться программно от $ICLK/2$ до $ICLK/(2*2^{16})$, где ICLK – рабочая частота интерфейса TCLK для передатчика и RCLK для приемника (см. описание регистров TCTR_RATE и RCTR_RATE). Временные диаграммы для данного случая представлены на Рисунок 23.13.

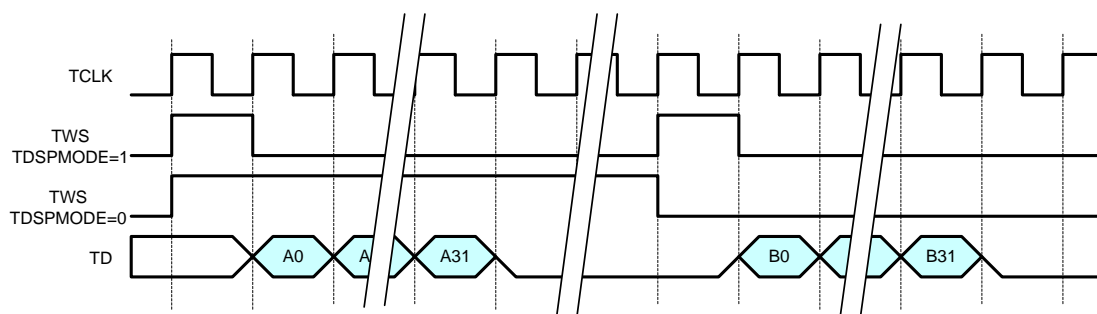


Рисунок 23.13. Передача в режиме I2S TMODE = 0, TMBF = 0, TWORDLEN = 31, TCS_RATE > TWORDLEN, TNEG = 0, TCSNEG=0, TDEL = 1. Диаграммы управляющего сигнала TWS представлены для различных значений TDSPMODE

MFBS позволяет передавать от 1 до 64 слов в пределах одного фрейма (Рисунок 23.15). В этом случае с приходом сигнала синхронизации фрейма начинается передача первого слова, с передачей последнего бита первого слова из буфера передачи сразу считывается

следующее слово и в следующем такте начинают передаваться биты очередного слова и так до тех пор, пока не будет передано число слов равное $TWORDCNT+1$. По окончании передачи последнего слова фрейма, порт ожидает очередного сигнала синхронизации фрейма. Сигнал синхронизации пришедший в момент, когда передача слов фрейма еще не закончилась игнорируется. Буфер передачи может вместить максимум 18 32-х разрядных слов, если в пределах фрейма передается больше 18 слов необходимо следить за тем, что бы буфер передачи был не пуст (при включенном канале DMA это происходит автоматически). Приемник MFBSР аналогичным образом может принимать от 1 до 64-х слов в пределах одного фрейма.

В режиме I2S, при $(T/R)MODE = 0$, $(T/R)DSPMODE = 0$) выполняется автоматическая синхронизация принимаемых и передаваемых данных таким образом, что первое слово переданное передатчиком будет передано в левый канал, а первое слово принятое приемником будет принято из левого канала (Рисунок 23.14).

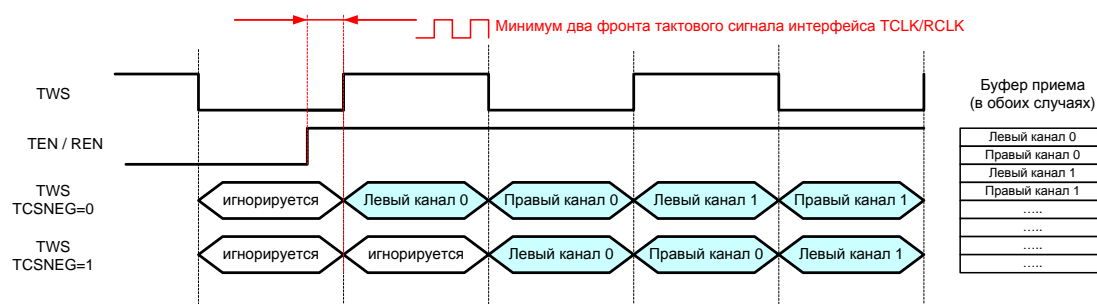


Рисунок 23.14. Синхронизация передаваемых и принимаемых данных по каналам (левый/правый) в режиме I2S после включения приемника или передатчика для различных значений TCSNEG

При работе порта в режиме I2S ($(T/R)MODE = 0$), в случае если используется управляющий сигнал, формируемый внешним устройством (порт в режиме ведомого), то, как для передатчика, так и для приемника после первого включения порта ($TEN/REN=1$), перед первым фронтом сигнала выбора слова / фрейм селекта (TWS) необходима подача как минимум двух импульсов тактового сигнала, необходимых для целей синхронизации. В противном случае первый импульс управляющего сигнала может быть проигнорирован (передача начнется со следующего активного фронта управляющего сигнала).

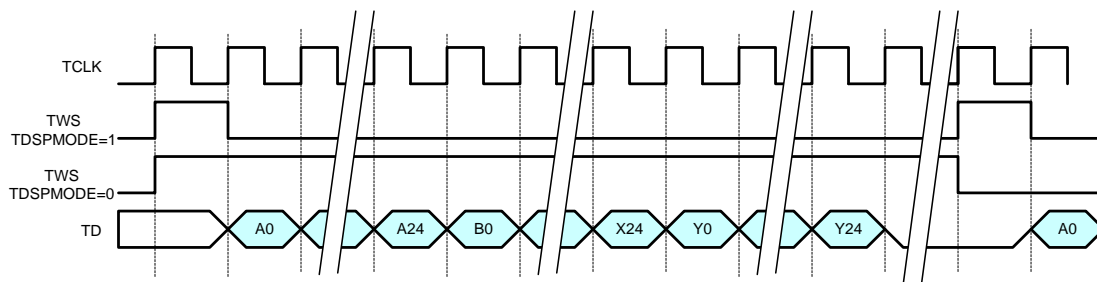


Рисунок 23.15. Передача в режиме I2S TMODE = 0, TMBF = 0, TWORDLEN = 24, TWORDCNT=Y-1, TCS_RATE+1>(TWORDLEN+1)*(TWORDCNT+1), TNEG = 0, TCSNEG=0, TDEL = 1. Диаграммы управляющего сигнала TWS представлены для различных значений TDSPPMODE

В режиме I2S (только в формате I2S (T/R)DSPMODE=0) предусмотрен режим паковщика / распаковщика. В этом режиме 32 разрядные слова из буфера передачи автоматически разбиваются на 2 16-ти разрядных слова и передаются по разным каналам. Соответственно для приёмника два принятых по разным каналам слова группируются в одно 32-х разрядное слово, которое записывается в буфер приёма. В данном режиме длина передаваемого или принимаемого слова может быть в пределах от 2 до 16 бит. Порядок выдачи разбитого слова и порядок сборки определяется битами TCSNEG, TSWAP, RCSNEG, RSWAP. Данный режим возможен только при передаче одного слова во фрейме (TWORDCNT=RWORDCNT=0).

Пример настроек для передачи по интерфейсу FSB (CMX981): TMODE = RMODE = 0, TDSPMODE = RDSPMODE = 1, TMBF = RMBF = 1, TNEG = RNEG = 1, TDEL = RDEL = 1, TCSNEG = RCSNEG = 0, TCS_RATE >= TWORDLEN, RCS_RATE >= RWORDLEN. Приемник при этом должен быть независим от передатчика, т.е. RCS_CP = 0. Если шиной используется один тактовый сигнал для приема и передачи необходимо установить RCLK_CP в 1, в этом случае приемником будет использоваться тактовый сигнал передатчика.

23.3.17 Формирование тактовых сигналов приёмника (RCLK) и передатчика (TCLK)

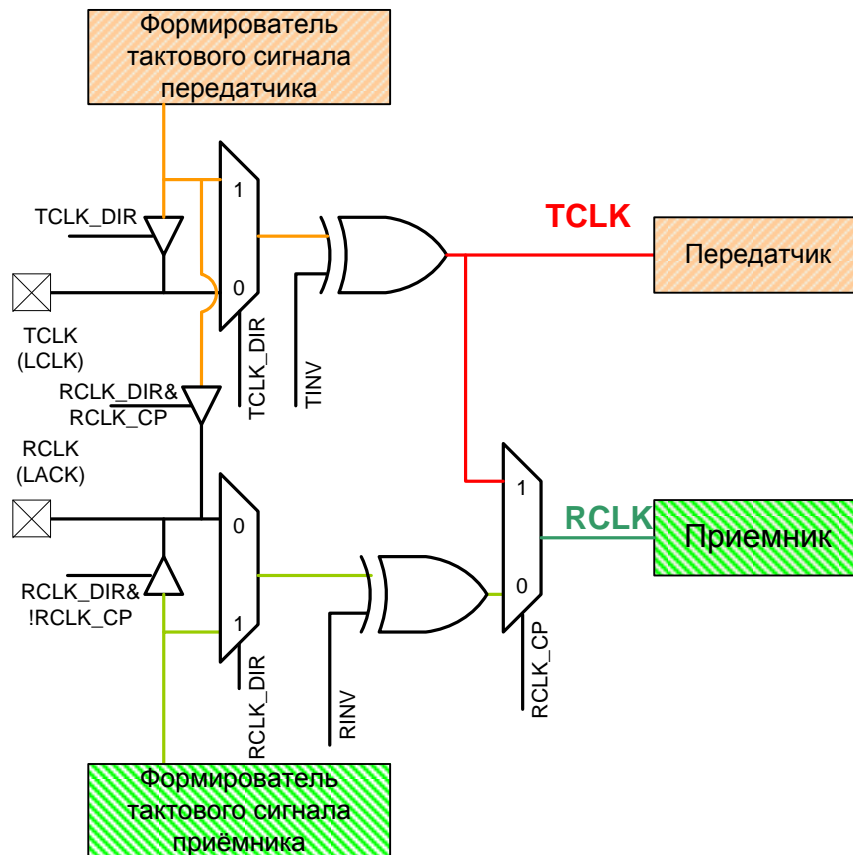


Рисунок 23.16. Схема формирования тактовых сигналов приёмника и передатчика в режиме I2S

На Рисунок 23.16 представлена схема формирования тактовых сигналов приёмника и передатчика в режиме I2S.

В зависимости от значения бита TCLK_DIR, тактовый сигнал передатчика TCLK может как формироваться самим передатчиком, так приниматься с внешнего вывода. В зависимости от значений бит TMODE, TNEG и TDEL тактовый сигнал либо передается передатчику без изменений, либо инвертируется.

В зависимости от значения бита RCLK_DIR, тактовый сигнал приёмника RCLK может как формироваться самим приёмником, так приниматься с внешнего вывода. В зависимости от значений бит RMODE, RNEG и RDEL тактовый сигнал либо передается приёмнику без изменений, либо инвертируется.

Если бит RCLK_CP установлен в 1, то тактовый сигнал приёмника копирует тактовый сигнал передатчика. Для корректной работы устройства в этом случае настройки полярности тактового сигнала приёмника и передатчика должны совпадать (TNEG=RNEG, TDEL=RDEL).

При $RCLK_CP = 1$ тактовый сигнал передатчика передаётся на внешний вывод приёмника, только если передатчик сам формирует тактовый сигнал и вывод тактового сигнала приёмника сконфигурирован как выход ($TCLK_DIR=1, RCLK_DIR=1$).

Если биты $RCLK_CONT=1$ и $RCLK_DIR=1$ то $RCLK$ формируется непрерывно, пока установлен бит REN . Если $RCLK_CONT=0$ и $RCLK_DIR=1$ то $RCLK$ формируется только до момента заполнения буфера приёма. Если $RCLK_DIR=0$, то $RCLK$ принимается с внешнего вывода схемы.

Если биты $TCLK_CONT=1$ и $TCLK_DIR=1$ то $TCLK$ формируется непрерывно, пока установлен бит TEN . Если $TCLK_CONT=0$ и $TCLK_DIR=1$ то $TCLK$ формируется только в процессе передачи очередного слова. Если $TCLK_DIR=0$, то $TCLK$ принимается с внешнего вывода схемы.

23.3.18 Формирование управляющих сигналов приёмника и передатчика в режиме I2S

На Рисунок 23.17 представлена схема формирования управляющих сигналов в режиме I2S.

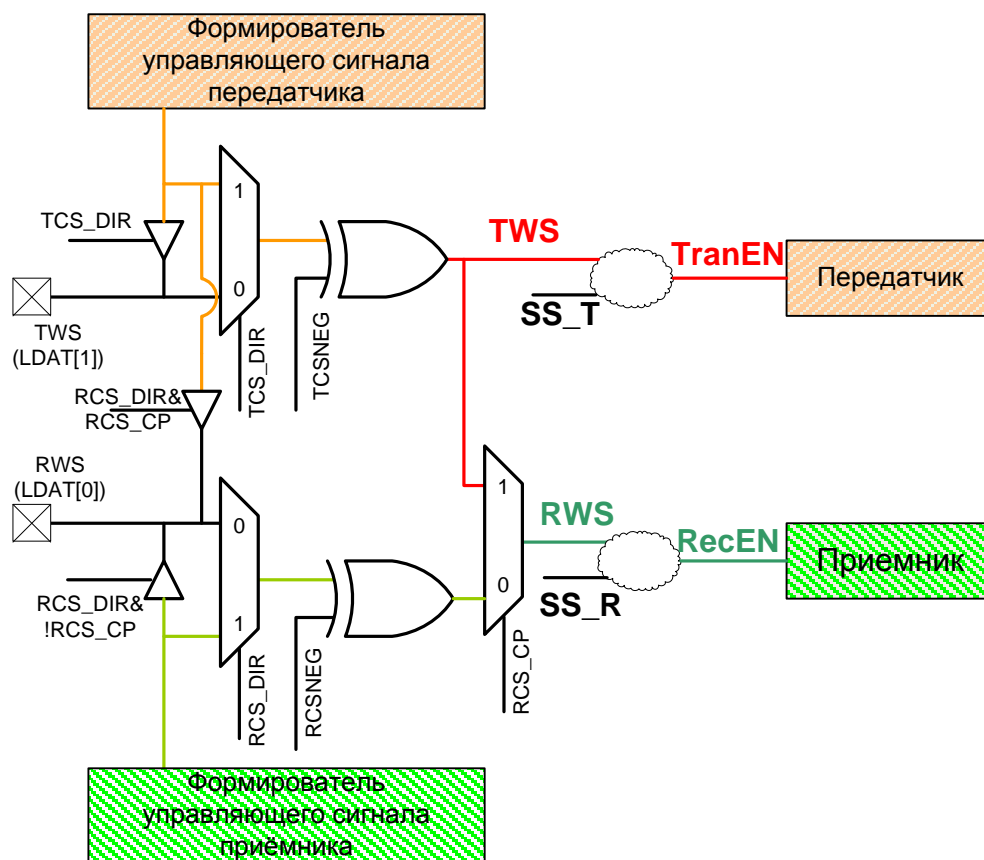


Рисунок 23.17. Схема формирования управляющих сигналов в режиме I2S

В зависимости от значения бита TCS_DIR, задающего направление вывода TWS, управляющий сигнал передатчика TWS может как формироваться самим передатчиком, так приниматься с внешнего вывода. В зависимости от значения бита TCSNEG управляющий сигнал либо передаётся передатчику без изменений, либо инвертируется.

В зависимости от значения бита RCS_DIR, задающего направление вывода RWS, управляющий сигнал приёмника RCLK может как формироваться самим приёмником, так приниматься с внешнего вывода. В зависимости от значения бита RCSNEG управляющий сигнал либо передаётся приёмнику без изменений, либо инвертируется.

Если бит RCS_CP установлен в 1, то управляющий сигнал приёмника копирует управляющий сигнал передатчика. Для корректной работы устройства в этом случае настройки полярности управляющего сигнала приёмника и передатчика должны совпадать (TCSNEG=RCSNEG).

При RCS_CP = 1 управляющий сигнал передатчика передаётся на внешний вывод приёмника, только если передатчик сам формирует управляющий сигнал и вывод управляющего сигнала приёмника сконфигурирован как выход (TCS_DIR=1, RCS_DIR=1).

Если направление вывода RWS задано как выход и RCS_CONT=0, то управляющий сигнал RWS формируется до тех пор, пока не заполнится буфер приёма, если RCS_CONT=1 то, RWS формируется непрерывно, пока установлен бит REN. Если направление вывода задано как вход, управляющий сигнал RWS принимается от внешнего устройства. Если установлен бит RCS_CP, RWS копирует TWS, независимо от направления вывода.

Если направление вывода TWS задано как выход и TCS_CONT=0, то управляющий сигнал TWS формируется только во время передачи очередного слова, если TCS_CONT=1 TWS формируется непрерывно, пока установлен бит TEN. Если направление вывода задано как вход, управляющий сигнал TWS принимается от внешнего устройства.

23.3.19 Тракт передачи данных

На Рисунок 23.18 представлен тракт передачи данных для режима I2S.

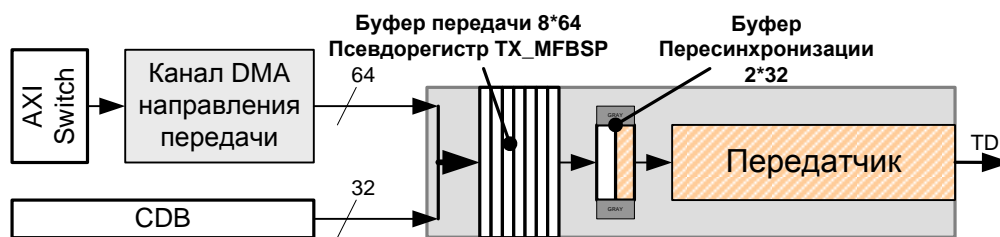


Рисунок 23.18. Тракт передачи данных для режима I2S

Что бы инициировать передачу данных по последовательному порту необходимо включить последовательный порт ($SPI_I2S_EN=1$) и передатчик ($TEN=1$), после чего либо начать производить запись передаваемых 32-х разрядных слов в буфер передачи по адресу псевдорегистра TX_MFBSP, либо включить канал DMA в направления передачи для соответствующего порта (в этом случае обмен данными с портом будет вестись 64-х разрядными словами).

Данные записанные в буфер передачи автоматически перемещаются в буфер пересинхронизации направления передачи, если он не полон. Запись в буфер пересинхронизации направления передачи осуществляется на системной частоте CLK, чтение из буфера пересинхронизации осуществляется на частоте передатчика TCLK. Как только в буфере пересинхронизации оказалось хотя бы одно слово, передатчиком инициируется передача. Передатчиком производится последовательная выдача бит очередного 32-х разрядного слова до тех пор, пока число переданных бит не достигнет $TWORDLEN+1$, после чего производится считывание очередного слова из буфера пересинхронизации. По мере передачи слов в освобождающийся буфер пересинхронизации перемещается слово из буфера передачи. После выборки последнего слова из буфера передачи (буфер передачи пуст) в буфере пересинхронизации остаётся еще два слова. Фактическое окончание передачи можно идентифицировать по состоянию буфера пересинхронизации, либо считав бит TRUN регистра TSR.

Если управляющий сигнал формируется передатчиком, то при считывании последнего слова из буфера пересинхронизации передача останавливается. Передача продолжится только после того как в буфер пересинхронизации снова начнут поступать данные.

Если передатчик использует внешнюю частоту и внешний управляющий сигнал, в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота передатчика, однако ее должно быть достаточно для того, что бы успеть переместить очередное слово в буфер пересинхронизации (за время передачи одного слова должно быть хотя бы три импульса системной частоты CLK). Если внешний управляющий сигнал инициировал передачу слова при пустом буфере пересинхронизации устанавливается флаг ошибки передачи (TERR), в этом случае передаётся ошибочное

слово. Если управляющий сигнал формируется самим передатчиком, системная частота может быть много меньше частоты передатчика, однако это скажется на скорости передачи данных.

Установка бита TERR в процессе передачи говорит о том, что порт произвел попытку чтения из пустого буфера передачи. Это значит, что передатчиком было передано некорректное слово.

В направлении передачи порт обладает буферизацией на 18 32-х разрядных слов. В случае передачи данных посредством DMA запись блоков данных в буфер передачи происходит до тех пор, пока буфер готов принять очередной блок, размер которого определяется битами WN, регистра CSR соответствующего канала DMA.

Степень заполнения буфера можно программно регулировать, используя биты TBES. В этом случае значение выражения $TBES+1$ – задает эффективный размер буфера передачи. Передача очередной пачки происходит только в случае, если при записи этой пачки в буфер передачи число 64 разрядных слов в буфере передачи не превысит $TBES+1$. При попытке передать пачку со значением $WN > TBES$, значение WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

Так, при $WN=0$ и $TBES=0$ очередное 64-х разрядное слово будет подкачиваться в буфер передачи только если он пуст. В этом случае по окончании работы DMA в момент прерывания от соответствующего канала передатчику останется передать ещё 4 32-х разрядных слова (два 32-х разрядных слова в буфере пересинхронизации и одно 64-х разрядное слово в буфере передачи).

Установка бита SPI_I2S_EN в 0 приведет к программному сбросу передатчика, и все данные находящиеся в буфере передачи будут утеряны.

23.3.20 Тракт приёма данных

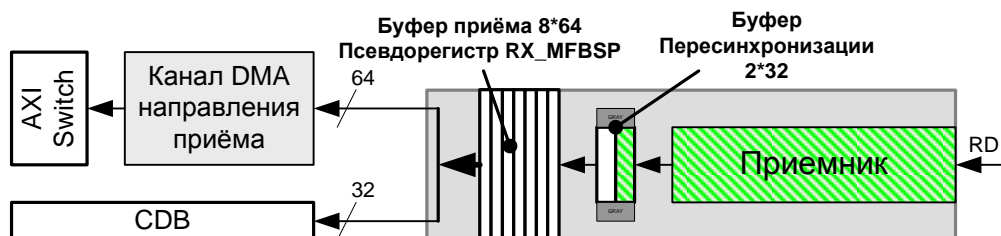


Рисунок 23.19. Тракт приёма данных в режиме I2S

На Рисунок 23.19 представлен тракт передачи данных для режима I2S.

Что бы перевести приёмник в режим готовности необходимо включить последовательный порт ($SPI_I2S_EN=1$) и приёмник ($REN=1$), после чего либо начать ожидание появления

прочитанных данных в буфере приёма, либо включить канал DMA в направления приёма для соответствующего порта.

Приёмник принимает последовательные биты, поступающие с внешнего вывода до тех пор, пока число принятых бит не достигнет значения $RWORDLEN+1$. После этого принятое 32-х разрядное слово (если $RWORDLEN < 31$ незадействованные биты обнуляются) перемещается в буфер пересинхронизации. Запись в буфер пересинхронизации направления приёма осуществляется на частоте приёмника RCLK, чтение из буфера пересинхронизации осуществляется на системной частоте CLK. Из буфера пересинхронизации принятое слово автоматически перемещается в буфер приёма, если он не полон. Если в буфере приёма есть хотя бы одно 32-х разрядное слово, то принятые 32-х разрядные слова можно считывать, обращаясь по адресу псевдорегистра RX_MFBSP. Принимать данные можно также включив соответствующий порту канал DMA направления приёма (в этом случае обмен данными с портом осуществляется 64-х разрядными словами).

Если приёмник использует внешнюю частоту, то в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота приёмника, однако ее должно быть достаточно для того, что бы успеть переместить очередное слово из буфера пересинхронизации (за время приёма одного слова должно быть хотя бы три импульса системной частоты CLK). Если при заполненном буфере пересинхронизации приёмником был произведен приём очередного слова и инициирована попытка записи в буфер пересинхронизации, устанавливается флаг ошибки приёма (RERR), а последнее принятое слово теряется.

Установка бита RERR в процессе передачи говорит о том, что порт произвел попытку записи в полный буфер приёма. Это значит, что принятое слово было потеряно.

В направлении приёма порт обладает буферизацией на 18 32-х разрядных слов. В случае приёма данных посредством DMA чтение блоков данных из буфера приёма происходит до тех пор, пока в буфере приёма достаточно слов для чтения очередного блока, размер которого определяется битами WN, регистра CSR соответствующего канала DMA. DMA обмены возможны только 64 разрядными словами, таким образом, если было принято нечетное количество 32-х разрядных слов, после окончания работы DMA необходимо прочитать оставшееся слово, обратившись к псевдорегистру RX_MFBSP.

Установка бита SPI_I2S_EN в 0 приведет к программному сбросу приёмника и все данные находящиеся в буфере приёма будут утеряны.

23.3.21 Прерывания от последовательного порта

Прерывание MFBSP_RXBUF устанавливается, в случае если включен приемник (I2S_SPI_EN=1, REN = 1) и в буфер приёма записано количество слов большее, чем установлено уровнем прерывания RLEV, либо произошла ошибка приема (RERR = 1).

Прерывание MFBSP_TXBUF устанавливается, в случае если включен передатчик (I2S_SPI_EN=1, REN = 1) и в буфере передачи осталось количество слов меньшее, либо равное чем установлено уровнем прерывания TLEV, либо произошла ошибка передачи (TERR = 1).

23.4 Работа MFBSP в режиме SPI

23.4.1 Назначение последовательного порта в режиме SPI

Режим SPI буферизированного последовательного порта предназначен для организации дуплексного обмена последовательными данными с внешними устройствами.

Порт в режиме SPI позволяет одновременно передавать и принимать последовательные данные. Приемник и передатчик контроллера могут настраиваются независимо, при этом возможен перевод приёмника в зависимое от передатчика состояние.

Поддерживается независимое задание направления каждого из выводов порта, осуществляемое установкой соответствующих бит регистра DIR_MFBSP. Однако для режима SPI имеется ограничение: направление выводов тактового сигнала и сигнала выбора ведомого должно совпадать.

В режиме ведущего устройства к MFBSP параллельно может быть подключено до двух ведомых SPI устройств.

Формирование сигнала выбора ведомого возможно как в автоматическом, так и в программном режиме. В автоматическом режиме после передачи каждой группы слов (число слов в группе может принимать значения от 1 до 64) сигнал выбора ведомого возвращается в высокое состояние. При программном управлении сигналами выбора ведомого данные сигналы изменяются посредством записи в контрольный регистр передатчика.

В данной реализации порта существует ограничение на выбор направления выводов в режиме SPI: тактовый и управляющий сигналы в режиме SPI должны быть либо оба заданы как вход, либо оба заданы как выход;

В данной реализации порта не предусмотрена возможность соединения нескольких микропроцессоров по цепочке с использованием SPI интерфейса. Микропроцессор может

только управлять загрузкой последовательных данных в другие ведомые устройства, соединенные по цепочке.

В данной реализации порта в режиме ведомого устройства сигнал выбора ведомого предварительно пересинхронизируется на внутреннюю частоту порта, поэтому для устойчивой работы порта в режиме ведомого SPI устройства уровень сигнала SS, если необходима его установка в 1 между передачами, должен удерживаться как минимум два периода внутренней частоты CLK. Поэтому, если приемник работает в зависимом от передатчика режиме (RCS_CP=1, RCLK_CP=1), передатчик работает на максимальной частоте (TCLK_RATE=0) и формирует сигнал SS в автоматическом режиме (SS_DO=0, TCS_DIR=1), необходимо установить значение TSS_RATE>=1 чтобы удерживать сигнал SS в высоком уровне как минимум два периода внутренней частоты CLK.

23.4.2 Регистр управления и состояния CSR_MFBSP (режим SPI)

Регистр CSR_MFBSP (Таблица 23.17) используется для включения режима последовательного порта и разрешения прерываний от MFBSP.

Таблица 23.17. Назначение разрядов регистра CSR_MFBSP в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:15	-	Резерв	-	0
14:11	-	В режиме SPI не используется	-	0
10	-	Резерв	-	0
9	SPI_I2S_EN	Включение режима SPI/I2S: 0 – Работа в режиме LPORT 1 – Работа в режиме SPI/I2S	RW	0
8:5	-	В режиме I2S не используется	-	0
4:3	LSTAT	Состояние буфера: При LTRAN = 0 показывает состояние буфера приёма При LTRAN = 1 показывает состояние буфера передачи 00 – буфер пуст; 10 – буфер не пуст; 11 – буфер полон.	R	0
2	-	В режиме I2S не используется	-	0
1	LTRAN	Назначение бит LSTAT: 0 - LSTAT отображает состояние буфера приёма 1 - LSTAT отображает состояние буфера передачи	RW	0
0	LEN	В режиме SPI должен быть установлен в 0	RW	0

23.4.3 Регистр управления направлением выводов DIR_MFBSP (режим SPI)

Регистр управления направлением выводов DIR_MFBSP (Таблица 23.18) предназначен для индивидуальной настройки направления каждого вывода последовательного порта.

Таблица 23.18. Назначение разрядов регистра DIR_MFBSP в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
9:6	LDAT_DIR[7:4]	Направление выводов LDAT[7:4]	RW	0
5	TD_DIR	Направление вывода MOSI: 0 – MOSI – вход (при RD_DIR = 1 последовательные данные принимаются со входа MOSI - эквивалент SDI) 1 – MOSI - выход (MOSI – является выходом для передачи последовательных данных и является эквивалентом SDO)	RW	0
4	RD_DIR	Направление вывода MISO: 0 – MISO – вход (последовательные данные принимаются со входа MISO - эквивалент SDI) 1 – MISO - выход (MISO – является выходом для передачи последовательных данных и является эквивалентом SDO)	RW	0
3	TCS_DIR	Направление вывода SS[0]: 0 – SS[0] – вход (управляющий сигнал для передатчика снимается с вывода SS[0]) 1 – SS[0] - выход, управляющий сигнал формируется передатчиком	RW	0
2	RCS_DIR	Направление вывода SS[1]: 0 – SS[1] – вход (управляющий сигнал для приёмника снимается с вывода SS[1]) 1 – SS[1] - выход, в этом случае на SS[1] в зависимости от состояния бита RCS_CP подаются управляющие сигналы, формируемые либо приёмником, либо передатчиком	RW	0
1	TCLK_DIR	Направление вывода TSCK: 0 – TSCK – вход (тактовый сигнал TSCK принимается от внешнего источника) 1 – TSCK – выход (тактовый сигнал TSCK формируется передатчиком)	RW	0
0	RCLK_DIR	Направление вывода RSCK: 0 – RSCK – вход (тактовый сигнал RSCK принимается от внешнего источника) 1 – RSCK – выход (тактовый сигнал RSCK формируется приёмником)	RW	0

Примечание. При RD_DIR = 0 и TD_DIR = 0 данные снимаются с MISO, при RD_DIR = 1 и TD_DIR = 1 на MOSI и MISO выдаются одинаковые данные с передатчика.

23.4.4 Регистр управления приёмником RCTR (режим SPI)

Таблица 23.19. Назначение разрядов регистра RCTR в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	Резерв	-	0
29	-	В режиме SPI не используется	-	0
28	-	В режиме SPI не используется	-	0
27	-	В режиме SPI не используется	-	0
26	RSIGN	Значение заполнителя: Если длина принимаемого слова меньше 32 при отключенном паковщике или меньше 16 при включенном паковщике, то неиспользуемые биты принятого слова заполняются При RSIGN = 0 нулями При RSIGN = 1 значением старшего разряда в принятом слове	RW	0
25	RPACK	В режиме SPI обязательно RPACK=0.	RW	0
24:20	RWORDLEN	Длина принимаемого слова: Число бит в принимаемом слове равно RWORDLEN + 1. RWORDLEN должно быть больше 0.	RW	5'b0
19	RMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW RW	1
18	-	В режиме SPI не используется	-	0
17:12	RWORDCNT	Число слов во фрейме: Определяет число принимаемых в течении одного фрейма слов. Число принимаемых слов равно RWORDCNT + 1. Число бит, принимаемых в пределах одного фрейма, равно (RWORDCNT + 1)*(RWORDLEN+1) Во время приёма фрейма состояние сигнала выбора ведомого не меняется.	RW	0
11	RDEL	Задержка начала приёма данных на пол такта: (Эквивалентно CPHA в спецификации Motorola). Задаёт фронт, по которому производится захват данных приёмником (фронт приёма). Ниже приведено соответствие полярности фронта приёма значениям бит RNEG, RDEL: RNEG = 0, RDEL = 0 – захват по переднему фронту RSCK RNEG = 0, RDEL = 1 – захват по заднему фронту RSCK RNEG = 1, RDEL = 0 – захват по заднему фронту RSCK RNEG = 1, RDEL = 1 – захват по переднему фронту RSCK	RW	0
10	RNEG	Полярность тактового сигнала приёмника: (эквивалентно CPOL в спецификации Motorola). Задаёт исходное состояние вывода RSCK и фронт, по которому производится захват данных приёмником (фронт приёма). Ниже приведено соответствие полярности фронта приёма значениям бит RNEG, RDEL: RNEG = 0, RDEL = 0 – захват по переднему фронту RSCK RNEG = 0, RDEL = 1 – захват по заднему фронту RSCK RNEG = 1, RDEL = 0 – захват по заднему фронту RSCK RNEG = 1, RDEL = 1 – захват по переднему фронту RSCK Исходное состояние RSCK = RNEG.	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
9	-	В режиме SPI не используется	-	0
8:4	-	резерв	-	0
3	RCS_CP	Управление сигналом выбора ведомого приёмника: 0 – сигнал SS[1] принимается приёмником с внешнего вывода или формируется самим приёмником. 1 - сигнал SS[1] формируется передатчиком и является сигналом выбора ведомого устройства 1. Приёмник осуществляет приём данных синхронно с передатчиком. (в этом случае RCLK_CP должно быть так же в 1).	RW	0
2	RCLK_CP	Дублирование сигнала RSCK: 0 – RSCK формируется или принимается независимо от передатчика 1 – RSCK приёмника дублирует TSCK передатчика (в этом случае RCS_CP должно быть так же в 1).	RW	0
1	RMODE	Режим работы приёмника: 0 – режим I2S 1 – режим SPI	RW	0
0	REN	Разрешение работы приёмника: 0 – приемник выключен 1 – приемник включен	RW	0

23.4.5 Регистр управления передатчиком TCTR (режим SPI)

Таблица 23.20. Назначение разрядов регистра TCTR в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	SS[1]	биты управления шиной Slave Select: Позволяют выбрать одно из двух подключенных ведомых устройств. При SS_DO = 0 установка соответствующего бита SS в 1 означает выбор ведомого устройства, с которым будет производиться обмен данными При SS_DO = 1 значения бит SS передаются на выводы SS напрямую	RW	0
30	SS[0]		RW	0
29	-	В режиме SPI не используется	-	0
28	-	В режиме SPI не используется	-	0
27	-	В режиме SPI не используется	-	0
26	-	Резерв	-	0
25	TPACK	В режиме SPI обязательно TPACK=0.	RW	0
24:20	TWORDLEN	Длина передаваемого слова: Число бит в передаваемом слове равно TWORDLEN + 1. TWORDLEN должно быть больше 0.	RW	5'b0
19	TMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW	1
18	-	В режиме SPI не используется	-	0
17:12	TWORDCNT	Число слов во фрейме: Определяет число передаваемых в течении одного фрейма слов. Число передаваемых слов равно TWORDCNT + 1. Число бит, передаваемых в пределах одного фрейма, равно (TWORDCNT + 1)*(TWORDLEN+1) Во время передачи фрейма состояние сигнала выбора ведомого не меняется.	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
11	TDEL	Задержка начала передачи данных на пол такта: (Эквивалентно CPHA в спецификации Motorola). Задаёт фронт, по которому производится выдача данных передатчиком (фронт выдачи). Ниже приведено соответствие полярности фронта выдачи значениям бит TNEG, TDEL: TNEG = 0, TDEL = 0 – выдача по заднему фронту TSCK TNEG = 0, TDEL = 1 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 0 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 1 – выдача по заднему фронту TSCK	RW	0
10	TNEG	Полярность тактового сигнала передатчика: (эквивалентно CPOL в спецификации Motorola). Задаёт исходное состояние вывода TSCK и фронт, по которому производится выдача данных передатчиком (фронт выдачи). Ниже приведено соответствие полярности фронта выдачи значениям бит TNEG, TDEL: TNEG = 0, TDEL = 0 – выдача по заднему фронту TSCK TNEG = 0, TDEL = 1 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 0 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 1 – выдача по заднему фронту TSCK Исходное состояние TSCK = TNEG.	RW	0
9	-	В режиме SPI не используется	-	0
8:4	-	резерв	-	0
3	SS_DO	управление выводами SS: 0 – управление выводами SS производится в автоматическом режиме. С началом передачи вывод SS, для которого соответствующий бит SS, регистра TCRT установлен в 1, переводится в низкое состояние, с окончанием передачи вывод SS переводится в высокое состояние. Если соответствующий выводу бит SS установлен в 0, вывод SS всегда находится в высоком состоянии. 1 – значения бит SS напрямую передаются на внешние выводы. В этом случае необходимо программное управление шиной SS в процессе передачи	RW	0
2	-	В режиме SPI не используется	-	0
1	TMODE	Режим работы передатчика: 0 – режим I2S 1 – режим SPI	RW	0
0	TEN	Разрешение работы передатчика: 0 – приемник выключен 1 – приемник включен	RW	0

23.4.6 Регистр состояния приёмника RSR (режим SPI)

Таблица 23.21. Назначение разрядов регистра RSR в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	RB_DIFF	Количество принятых 64-разрядных слов в буфере приёма (max 8).	R	0
23:19	-	Резерв	-	0
18:16	RLEV	Порог прерывания от буфера приёма: Прерывание формируется если число принятых 64-х разрядных слов больше RLEV	RW	7
15:11	-	Резерв	-	0
10	RXBUF	Результирующее прерывание MFBSP_RXBUF	R	0
9	RXBUF_D	Прерывание MFBSP_RXBUF без механизма автоматического сброса при чтении RSR	R	0
8	RXBUF_R	Прерывание MFBSP_RXBUF с механизмом автоматического сброса при чтении RSR	R	0
7	RRUN	Идёт приём: 0 – приёмник в состоянии ожидания 1 – идёт приём очередного слова	R	0
6	RERR	Ошибка передачи: 0 – приём проходил в штатном режиме 1 - была запись в полный буфер приёма (потеря данных). Флаг сбрасывается записью 0 в 6-й разряд регистра RSR.	RW	0
5	RSBF	Буфер пересинхронизации в направлении приёма полон: 0 – буфер пересинхронизации в направлении приёма не полон 1 – буфер пересинхронизации в направлении приёма полон	R	0
4	RSBE	Буфер пересинхронизации в направлении приёма пуст: 0 – буфер пересинхронизации в направлении приёма не пуст 1 – буфер пересинхронизации в направлении приёма пуст	R	1
3	RBHL	Достигнут порог прерывания в буфере приёма: 1 – число 64-х разрядных слов в буфере приёма больше чем задано в RLEV 0 – число 64-х разрядных слов в буфере приёма меньше либо равно RLEV	R	0
2	RBHF	Буфер приёма полон на половину или более: 1 – буфер приёма заполнен на половину или больше (из буфера приёма можно считать как минимум 4 слова) 0 – буфер приёма заполнен меньше, чем наполовину	R	0
1	RBF	Буфер приёма полон: 0 – буфер приёма не полон 1 – буфер приёма полон	R	0
0	RBE	Буфер приёма пуст: 0 – буфер приёма не пуст 1 – буфер приёма пуст	R	1

23.4.7 Регистр состояния передатчика TSR (режим SPI)

Таблица 23.22. Назначение разрядов регистра TSR в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	TB_DIFF	Количество свободных 64-разрядных позиций в буфере передачи (в буфер передачи можно записать еще TB_DIFF 64-разрядных слов).	R	8
23	-	Резерв	-	0
22:20	TBES	Эффективный размер буфера передачи Актуален только для режима работы с DMA. Значение TBES+1 – определяет максимальный объем буфера передачи. Т.е. в режиме работы с DMA буфер передачи не может быть заполнен больше, чем на TBES+1 64 разрядных слов.	RW	7
19	-	Резерв	-	0
18:16	TLEV	Порог прерывания от буфера передачи: Прерывание формируется если число 64-х разрядных слов в буфере передачи меньше либо равно TLEV. В режиме передачи данных с использованием DMA определяет степень заполнения буфера передачи, при которой происходит запись в буфер очередной пачки данных	RW	0
15:11	-	Резерв	-	0
10	TXBUF	Результирующее прерывание MFBSP_TXBUF	R	0
9	TXBUF_D	Прерывание MFBSP_TXBUF без механизма автоматического сброса при чтении TSR	R	0
8	TXBUF_R	Прерывание MFBSP_TXBUF с механизмом автоматического сброса при чтении TSR	R	0
7	TRUN	Идёт передача: 0 – передатчик в состоянии ожидания 1 – идёт передача очередного слова	R	0
6	TERR	Ошибка передачи: 0 – передача проходила в штатном режиме 1 - было чтение из пустого буфера передачи (передача некорректных данных). Флаг сбрасывается записью 0 в 6-й разряд регистра TSR.	RW	0
5	TSBF	Буфер пересинхронизации в направлении передачи полон: 0 – буфер пересинхронизации в направлении передачи не полон 1 – буфер пересинхронизации в направлении передачи полон	R	0
4	TSBE	Буфер пересинхронизации в направлении передачи пуст: 0 – буфер пересинхронизации в направлении передачи не пуст 1 – буфер пересинхронизации в направлении передачи пуст	R	1
3	TBLL	Достигнут порог прерывания в буфере передачи: 1 – число 64-х разрядных слов в буфере передачи меньше либо равно TLEV 0 – число 64-х разрядных слов в буфере передачи больше TLEV	R	1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
2	TBNF	Буфер передачи заполнен на половину или более: 1 – буфер передачи заполнен на половину или больше 0 – буфер передачи заполнен меньше чем на половину (в буфер передачи можно записать еще как минимум 4 слова)	R	0
1	TBF	Буфер передачи полон: 0 – буфер передачи не полон 1 – буфер передачи полон	R	0
0	TBE	Буфер передачи пуст: 0 – буфер передачи не пуст 1 – буфер передачи пуст	R	1

23.4.8 Регистр управления темпом приёма RCTR_RATE (режим SPI)

Таблица 23.23. Назначение разрядов регистра RCTR_RATE в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	-	В режиме SPI не используется	-	0
15:12	RSS_RATE	Если сигнал SS формируется приёмником, то задает время удержания сигнала SS в высоком уровне между передачами слов. Время удержания SS определяется как $TRCLK/2*(RSS_RATE+1)$, где TRCLK период тактового сигнала RCLK	RW	0
11:10	-	Резерв	-	0
9:0	RCLK_RATE	Делитель частоты приёмника: В случае, если частота формируется самим приёмником, определяет частоту приёмника $RSCK = CLK/((RCLK_RATE+1)*2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0

23.4.9 Регистр управления темпом передачи TCTR_RATE (режим SPI)

Таблица 23.24. Назначение разрядов регистра TCTR_RATE в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	-	В режиме SPI не используется	-	0
15:12	TSS_RATE	Если сигнал SS формируется передатчиком, то задает время удержания сигнала SS в высоком уровне между передачами слов. Время удержания SS определяется как $TTCLK/2*(TSS_RATE+1)$, где TTCLK период тактового сигнала TCLK	RW	0
11:10	-	Резерв	-	0
9:0	TCLK_RATE	Делитель частоты передатчика: В случае, если частота формируется самим передатчиком, определяет частоту передатчика $TSCK = CLK/((TCLK_RATE+1)*2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0

23.4.10 Псевдорегистр TSTART (режим SPI)

Таблица 23.25. Назначение разрядов регистра TSTART в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Резерв	-	0
0	TEN	Разрешение работы передатчика: 0 – передатчик выключен 1 – передатчик включен Доступ к полю TEN регистра TCTR без изменения настроек TCTR	RW	0

23.4.11 Псевдорегистр RSTART (режим SPI)

Таблица 23.26. Назначение разрядов регистра RSTART в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Резерв	-	0
0	REN	Разрешение работы передатчика: 0 – приемник выключен 1 – приемник включен Доступ к полю REN регистра RCTR без изменения настроек RCTR	RW	0

23.4.12 Регистр аварийного управления портом EMERG_MFBSP (режим SPI)

Таблица 23.27. Назначение разрядов регистра EMERG_MFBSP в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Резерв	-	0
5	RX_DBG	Включение аварийной прокачки данных канала DMA направления приема. 0 – работа в обычном режиме 1 – сигнал готовности передачи данных по DMA каналу направления приема постоянно удерживается в 1 (по DMA принимаются невалидные данные)	RW	0
4	TX_DBG	Включение аварийной прокачки данных канала DMA направления передачи. 0 – работа в обычном режиме 1 – сигнал готовности передачи данных по DMA каналу направления передачи постоянно удерживается в 1 (данные передаваемые DMA теряются)	RW	0
3	-	Резерв	-	0
2	RST_RXBUF	Сброс буфера приема последовательного порта и буфера пересинхронизации направления приема. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
1	RST_TXBUF	Сброс буфера передачи последовательного порта и буфера пересинхронизации направления передачи. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
0	RST_LPTBUF	Сброс буфера линкового порта и буфера пересинхронизации направления приёма. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0

23.4.13 Регистр маски прерываний от порта IMASK (режим SPI)

Таблица 23.28. Назначение разрядов регистра IMASK в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:15	-	Резерв	-	0
14	RXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSR_RXBUF 0 – прерывание не сбрасывается при чтении RSR 1 – прерывание сбрасывается при чтении RSR	RW	1
13	RX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера приема 0 – прерывание MFBSR_RXBUF не будет устанавливаться при превышении порога RLEV 1 - прерывание MFBSR_RXBUF будет устанавливаться при превышении порога RLEV	RW	1
12	RX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSR_RXBUF не будет устанавливаться при переполнении буфера приема 1 - прерывание MFBSR_RXBUF будет устанавливаться при переполнении буфера приема	RW	1
11:7	-	Резерв	-	0
6	TXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSR_TXBUF 0 – прерывание не сбрасывается при чтении TSR 1 – прерывание сбрасывается при чтении TSR	RW	1
5	TX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера передачи 0 – прерывание MFBSR_TXBUF не будет устанавливаться, если число слов в буфере передачи меньше порога TLEV 1 - прерывание MFBSR_TXBUF будет устанавливаться, если число слов в буфере передачи меньше порога TLEV	RW	1
4	TX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSR_TXBUF не будет устанавливаться при чтении из пустого буфера передачи 1 - прерывание MFBSR_TXBUF будет устанавливаться при чтении из пустого буфера передачи	RW	1
3:1	-	Резерв	-	0
0	LPT_IRQ_EN	Разрешение прерывания по запросу на обслуживание 0 – SRQ запрещено 1 – SRQ разрешено	RW	1

23.4.14 Структурная схема MFBSB для режима SPI

На Рисунок 23.20 представлена структурная схема MFBSB для режима SPI.

Включение режима SPI производится установкой бит $LEN=0$, $SPI_I2S_EN=1$, $TMODE = 1$ (для передатчика), $RMODE = 1$ (для приёмника).

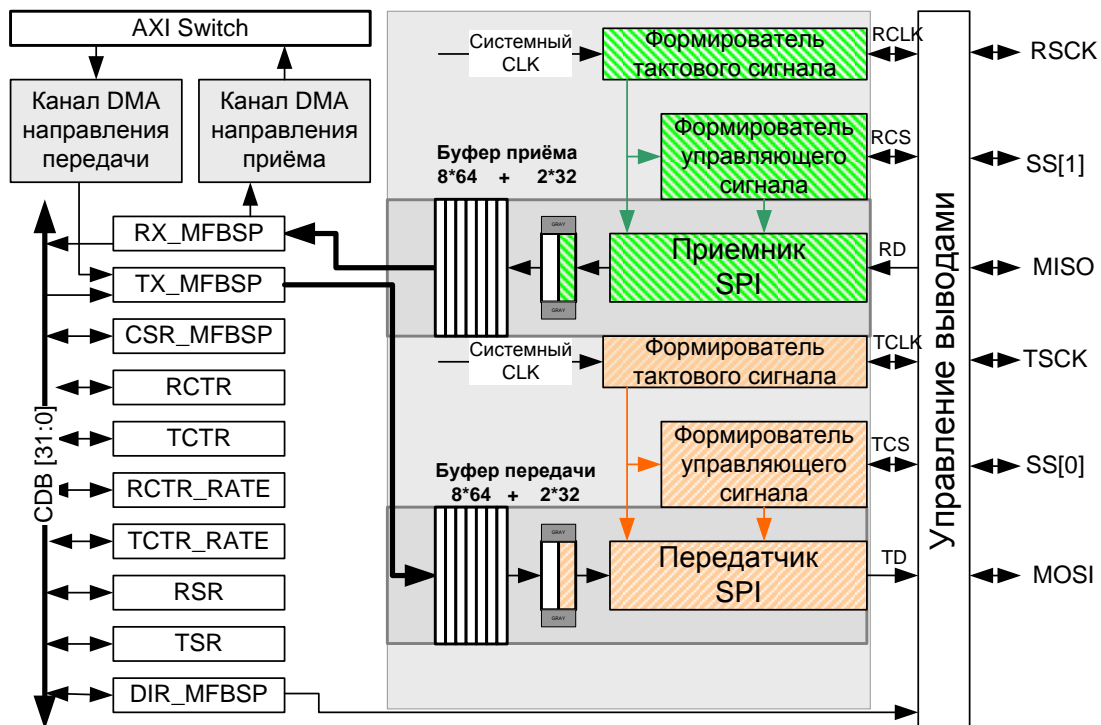


Рисунок 23.20. Структурная схема MFBSB для режима SPI

23.4.15 Варианты соединения порта с внешними устройствами

Программно управляя направлением выводов последовательного порта (см. описание регистра DIR_MFBSB) можно организовать множество вариантов соединения схемы с внешними устройствами через MFBSB (Рисунок 23.21,

Рисунок 23.22, Рисунок 23.23).

MFBSB позволяет подключить два ведомых SPI устройства. Выбор ведомого устройства с которым будет производиться обмен осуществляется битами SS , регистра $TCTR$. Если настройки двух устройств совпадают (для обоих ведомых значения $TNEG$, $TDEL$, $TWORDLEN$ одинаковы) тогда перед для смены ведомого устройства достаточно изменить значение бит SS . Если настройки двух ведомых различаются, то для смены ведомого необходимо сначала выключить MFBSB ($spi_i2s_en=0$, $len=0$), и только после этого записать новые настройки в регистры $TCTR$ и $RCTR$.

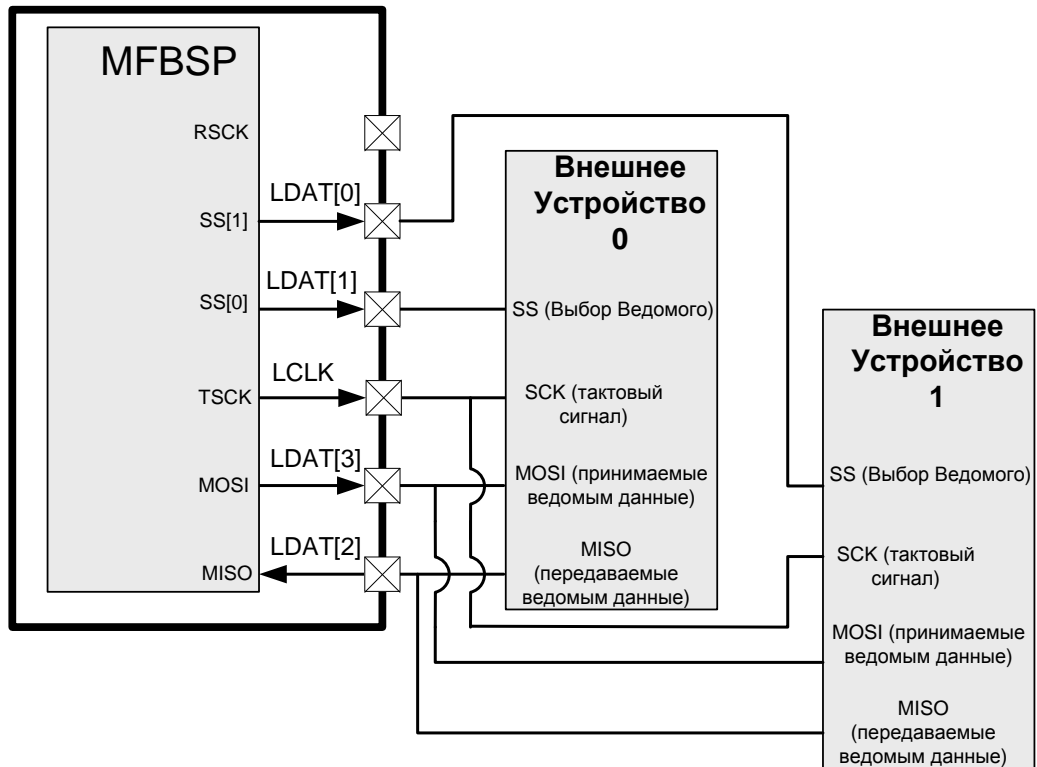


Рисунок 23.21. Подключение к MFBSPI двух ведомых устройств по интерфейсу SPI. Приёмник в зависимом от передатчика режиме (режим №6 по Таблица 23.1)

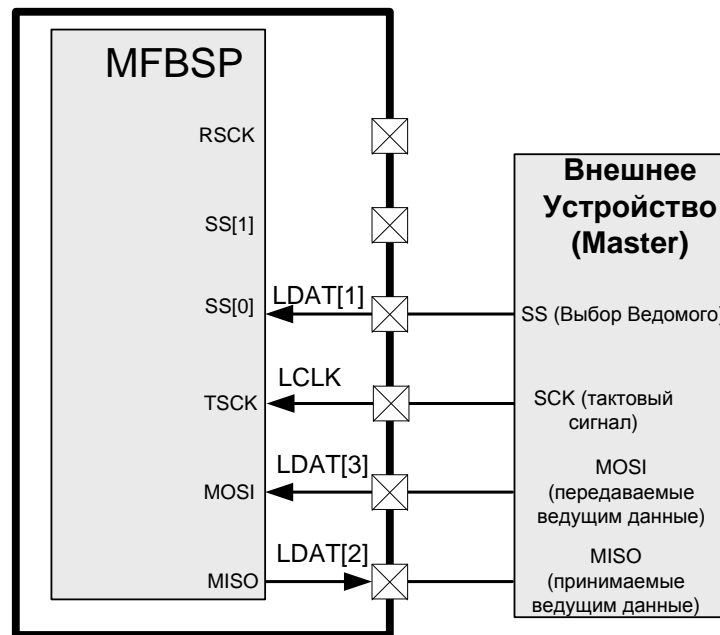


Рисунок 23.22. Подключение MFBSPI по интерфейсу SPI к внешнему ведущему устройству. Приёмник в зависимом от передатчика режиме (режим №6 по Таблица 23.1)

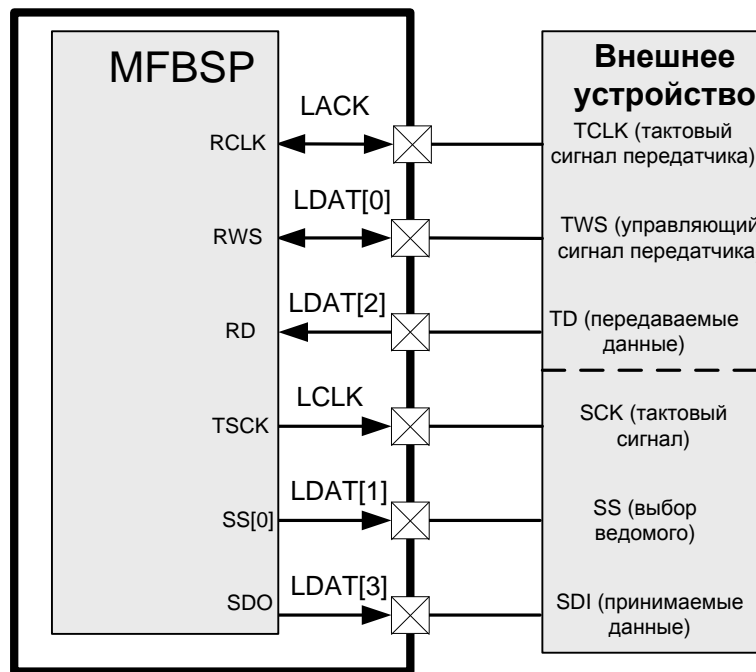


Рисунок 23.23. Организация передачи управляющих данных по интерфейсу SPI и приёма аудиоданных по интерфейсу I2S (режим №5 по Таблица 23.1)

23.4.16 Передача данных в режиме SPI

В режиме SPI возможна передача данных при четырёх сочетаниях бит TDEL и TNEG (Рисунок 23.24, Рисунок 23.25). При этом TNEG – задает начальное состояние вывода TCLK и полярность фронта, по которому производится чтение. TDEL задает смещение передаваемых данных на пол фазы. Значения RNEG и RDEL приёмника должны соответствовать TNEG и TDEL передатчика. После аппаратного сброса SS_DO=0, в этом случае управление сигналом выбора ведомого производится в автоматическом режиме.

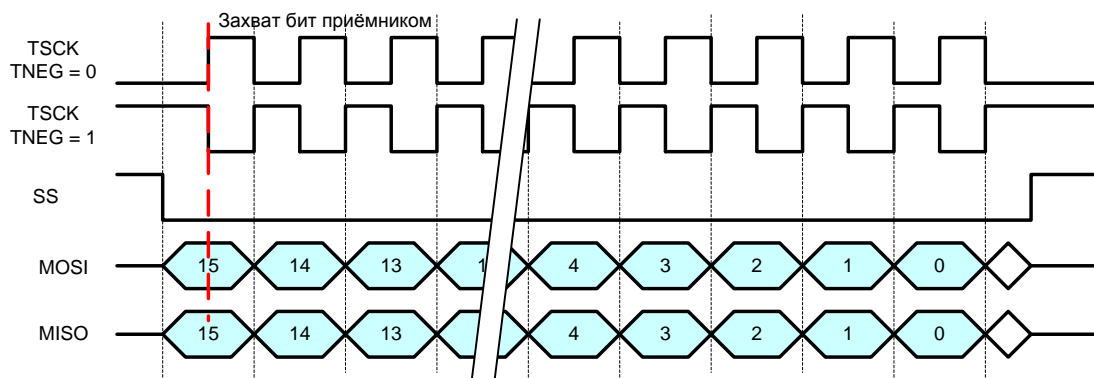


Рисунок 23.24. Передача одного слова в режиме SPI с автоматической генерацией управляющего сигнала TMODE = 1, TMBF = 1, TDEL = 0, SS_DO = 0. Диаграммы тактового сигнала TSCK представлены для различных значений TNEG

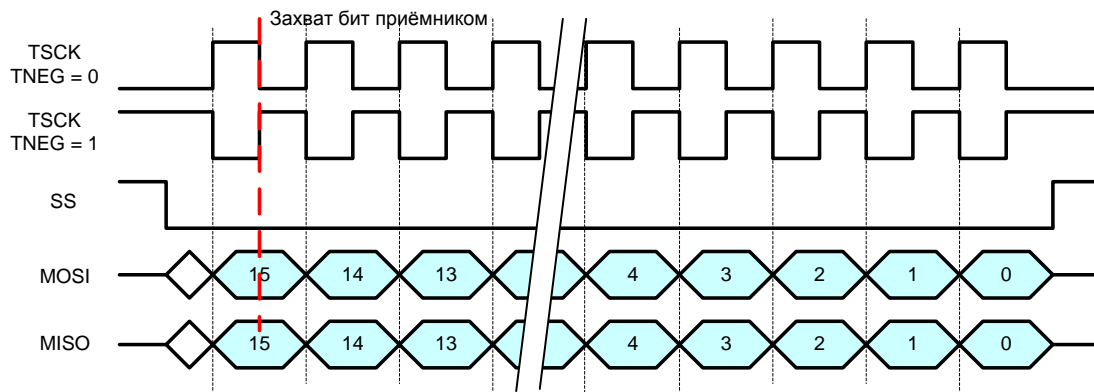


Рисунок 23.25. Передача одного слова в режиме SPI с автоматической генерацией управляющего сигнала $TMODE = 1$, $TMBF = 1$, $TDEL = 1$, $SS_DO = 0$. Диаграммы тактового сигнала TSCCK представлены для различных значений TNEG

Чтобы передать несколько слов без изменения уровня на внешнем выводе SS, можно использовать программное управление внешним выводом SS, в этом случае SS_DO необходимо установить в 1, программно установить вывод SS в 0, записать передаваемые данные в буфер передачи (или включить канал DMA на передачу), дождаться фактического окончания передачи (бит TRUN регистра TSR сбрасывается в 0), после чего программно установить вывод SS в 1 (Рисунок 23.26).

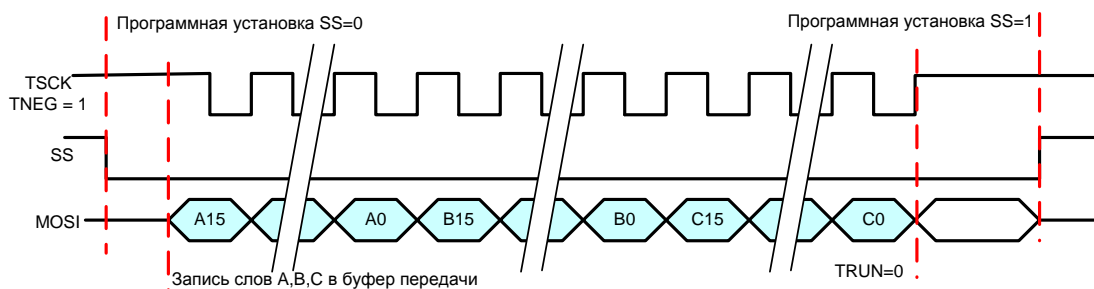


Рисунок 23.26. Передача трёх слов в режиме SPI с программным управлением сигналом SS, $TMODE = 1$, $TMBF = 1$, $TDEL = 0$, $TNEG = 0$, $SS_DO = 1$

В режиме SPI также имеется возможность программно регулировать количество слов, которое будет передано без изменения уровня сигнала SS (Рисунок 23.27). Количество слов может быть задано в пределах от 1 до 64 и определятся битом $TWORDCNT$. Буфер передачи может вместить максимум 18 32-х разрядных слов, если в пределах фрейма передаётся больше 18 слов необходимо следить за тем, что бы буфер передачи был не пуст (при включенном канале DMA это происходит автоматически).

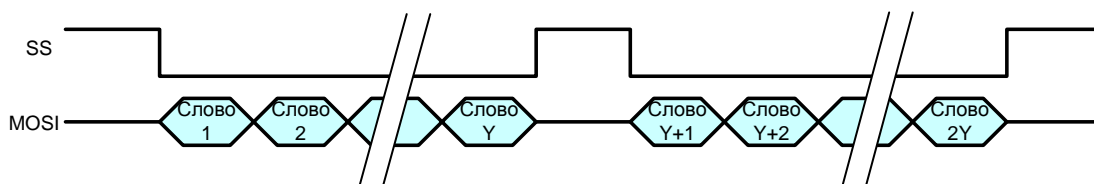


Рисунок 23.27. Передача в режиме SPI, $TWORDCNT=Y-1$

В режиме ведомого устройства сигнал выбора ведомого предварительно пересинхронизируется на внутреннюю частоту порта, поэтому для устойчивой работы порта в режиме ведомого SPI устройства уровень сигнала SS, если необходима его установка в 1 между передачами, должен удерживаться как минимум два периода внутренней частоты CLK.

Непосредственно к тактовому сигналу TSCK данное ограничение не применяется, т.е. частота TSCK может быть больше CLK.

Когда MFBSР работает в режиме ведущего SPI устройства, время удержания сигнала SS при автоматическом формировании данного сигнала может регулироваться программно. В этом случае время между последним фронтом тактового сигнала для последней пересылки и установкой сигнала SS в 1 равно времени между установкой и сбросом сигнала SS и равно времени между сбросом сигнала SS первым фронтом тактового сигнала для новой пересылки. Это время определяется как $TSS = (TSS_RATE+1)*TTCLK/2$, где TTCLK – период тактового сигнала, генерируемого портом для последовательной передачи данных. Если необходимо формировать сигнал SS средствами приёмника – то для этих целей используется поле RSS_RATE (Рисунок 23.28).

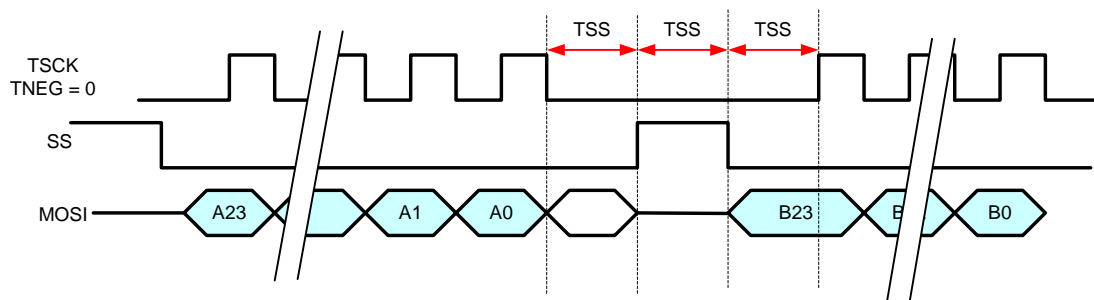


Рисунок 23.28. Управление временем удержания сигнала SS в высоком уровне между передачами, на картинке TNEG = 0, TDEL = 0, TMBF = 1, TWORDLEN = 23, TSS_RATE = 1

23.4.17 Пример чтения 8-разрядного слова по заданному адресу из ведомого устройства с интерфейсом C-BUS

Для чтения слова по указанному адресу по интерфейсу C-BUS необходима передача двух 8ми битных слов.

Для организации такого чтения необходимо записать соответствующий ведомому устройству бит SS, регистра TCTR, 1;

Перевести порт в режим SPI (LEN = 0, SPI_I2S_EN = 1, RMODE = 1, TMODE = 1);

Настроить приемник и передатчик: TDEL = RDEL = 0; TNEG = RNEG = 0; TWORDLEN = RWORDLEN = 5'h0F; RCLK_CP = 1; RCS_CP = 1, SS_DO = 0;

Включить приемник и передатчик $REN = 1$, $TEN = 1$;

Записать в регистр TX_MFBSP 32-х разрядное слово, содержащее во втором байте 7ми разрядный адрес и бит WR , значение младшего байта не важно.

Ожидаем до тех пор, пока в буфер приёма не будет записано принятое слово ($RSR[0]$ сбрасывается в 0)

В прочитанном по адресу RX_MFBSP 32-х разрядном слове, младшие 8 бит – слово, прочитанное из ведомого устройства.

На Рисунок 23.29 представлены временные диаграммы для передачи по интерфейсу CBUS.

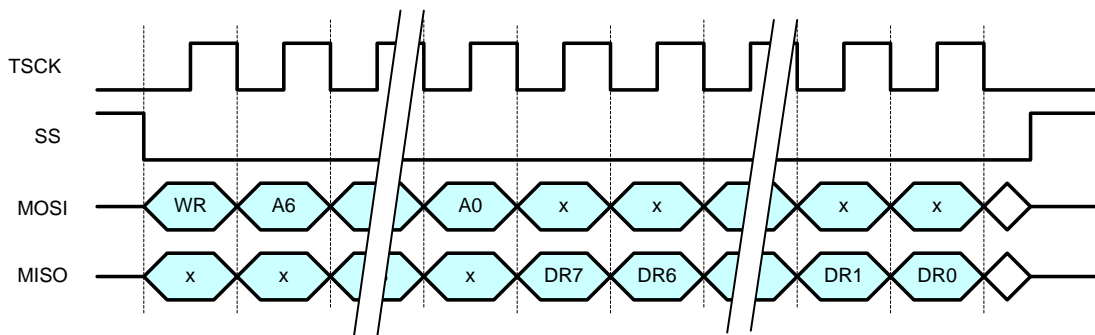


Рисунок 23.29. Пример чтения 8-ми разрядного слова из ведомого устройства (интерфейс C-BUS)

23.4.18 Формирование тактовых сигналов приёмника (RSCK) и передатчика (TSCK)

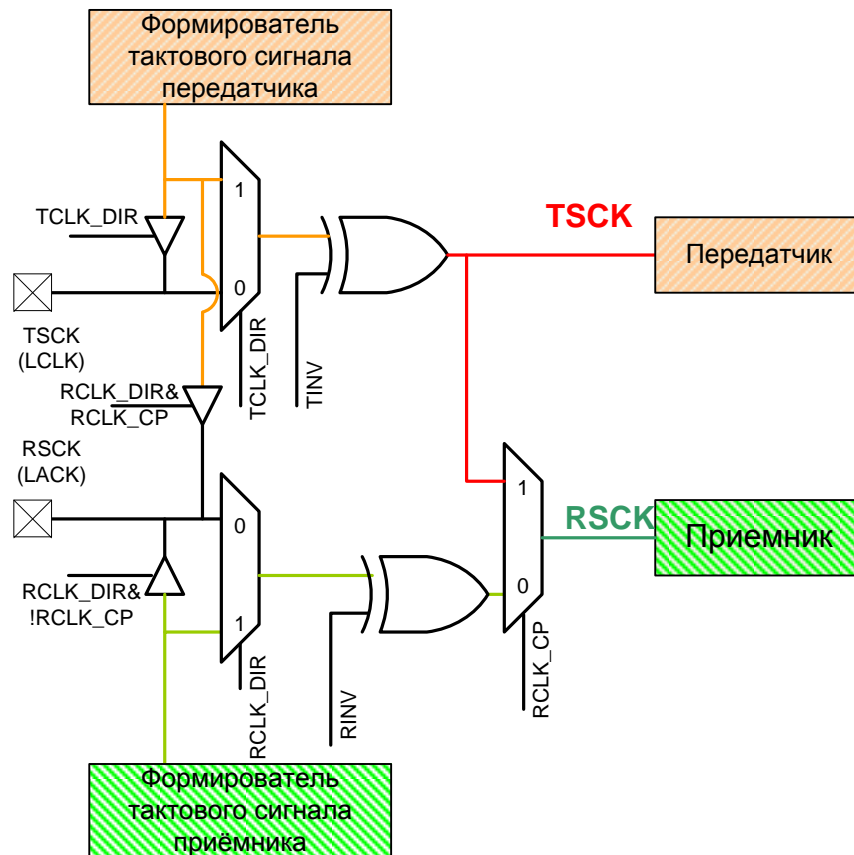


Рисунок 23.30. Схема формирования тактовых сигналов приёмника и передатчика в режиме SPI

На Рисунок 23.30 представлена схема формирования тактовых сигналов приёмника и передатчика в режиме SPI.

В зависимости от значения бита TCLK_DIR, тактовый сигнал передатчика TSCK может как формироваться самим передатчиком, так приниматься с внешнего вывода. В зависимости от значений бит TMODE, TNEG и TDEL тактовый сигнал либо передается передатчику без изменений, либо инвертируется.

В зависимости от значения бита RCLK_DIR, тактовый сигнал приёмника RSCK может как формироваться самим приёмником, так приниматься с внешнего вывода. В зависимости от значений бит RMODE, RNEG и RDEL тактовый сигнал либо передается приёмнику без изменений, либо инвертируется.

Если бит RCLK_CP установлен в 1, то тактовый сигнал приёмника копирует тактовый сигнал передатчика. Для корректной работы устройства в этом случае настройки полярности тактового сигнала приёмника и передатчика должны совпадать (TNEG=RNEG, TDEL=RDEL).

При $RCLK_CP = 1$ тактовый сигнал передатчика передаётся на внешний вывод приёмника, только если передатчик сам формирует тактовый сигнал и вывод тактового сигнала приёмника сконфигурирован как выход ($TCLK_DIR=1$, $RCLK_DIR=1$).

23.4.19 Формирование управляющих сигналов приёмника и передатчика в режиме SPI

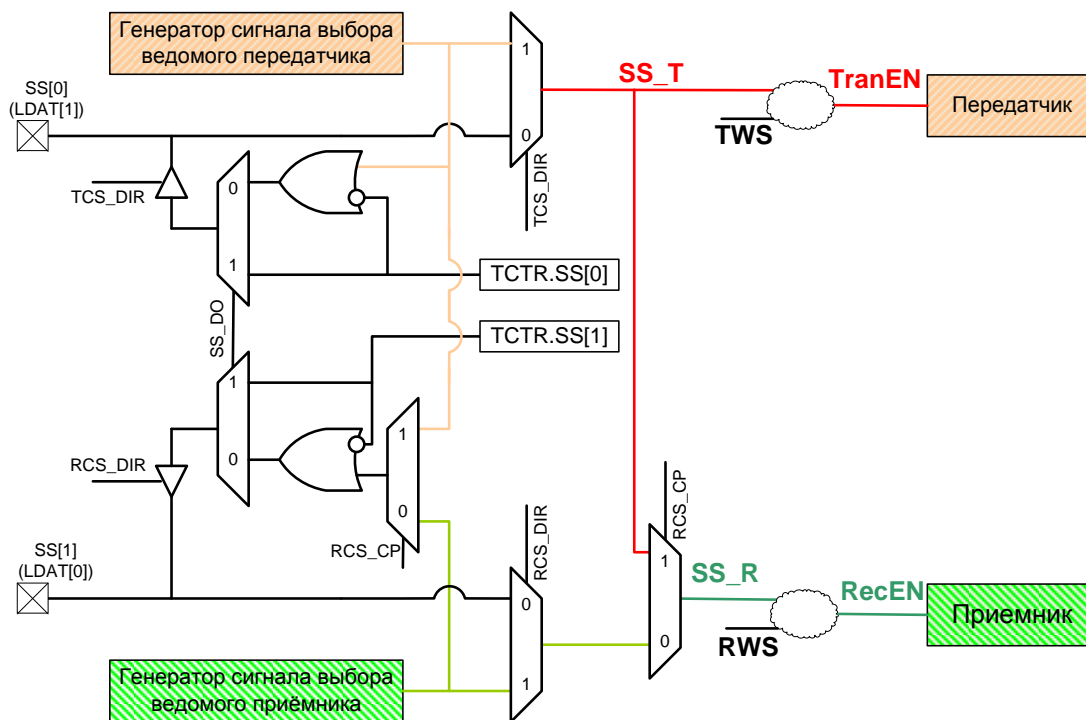


Рисунок 23.31. Схема формирования управляющих сигналов в режиме SPI

На Рисунок 23.31 представлена схема формирования управляющих сигналов в режиме SPI.

SS – шина выбора ведомого устройства. Низкий уровень сигнала SS, поданный на ведомое устройство означает, что данное устройство выбрано и с приходом тактового сигнала SCK должно начать обмен данными с ведущим устройством.

MFBSP с зависимым от передатчика приёмником в режиме ведущего позволяет параллельно подключать до двух ведомых устройств по шине SPI и формировать сигналы выбора ведомого устройства как в автоматическом режиме, так и программно.

MFBSP с зависимым от передатчика приёмником может работать как ведомое SPI устройство, управляемое внешним сигналом SS[0] и внешней тактовой частотой TSCK, обеспечивая обмен данными в дуплексном режиме.

MFBSP позволяет организовать независимый приём и передачу данных по интерфейсу SPI. В этом случае SS[0] – управляющий сигнал передатчика, SS[1] – управляющий сигнал приёмника.

При $TCS_DIR = 1$ передатчик SPI формирует сигнал выбора ведомого, $SS[0]$ - выход. В автоматическом ($SS_DO=0$) режиме формирования управляющего сигнала перед началом передачи очередного слова сигнал выбора ведомого переводится в низкий уровень, а по окончании передачи слова сигнал выбора ведомого снова переводится в высокий уровень. Изменение уровня на выводе $SS[0]$ происходит только в случае, если соответствующий бит $SS[0]$ регистра $TCTR$ установлен в 1. Если приёмник в зависимом от передатчика режиме ($RCS_CP = 1$) и $SS[1]$ сконфигурирован как выход ($RCS_DIR=1$), то вывод $SS[1]$ используется как сигнал выбора дополнительного ведомого устройства. Изменение уровня на выводе $SS[1]$ происходит только, в случае, если соответствующий бит $SS[1]$ регистра $TCTR$ установлен в 1. В случае программного управления шиной SS ($SS_DO = 1$) значения бит $SS[1:0]$ контрольного регистра $TCTR$ передаются непосредственно на выходы $SS[1:0]$.

Если приёмник в зависимом от передатчика режиме ($RCS_CP=1$) и вывод $SS[0]$ сконфигурирован как вход ($TCS_DIR = 0$), тогда $MFBS$ работает в режиме дуплексного ведомого SPI устройства. Сигнал выбора ведомого принимается с внешнего вывода $SS[0]$ и используется как приёмником, так и передатчиком.

Если приёмник работает в независимом от передатчика режиме ($RCS_CP=0$), то в режиме ведущего, когда вывод $SS[1]$ сконфигурирован как выход ($RCS_DIR=1$) формируемый приёмником сигнал выбора ведомого направляется на вывод $SS[1]$. При автоматическом формировании управляющего сигнала ($SS_DO = 0$) перед началом приёма очередного слова сигнал $SS[1]$ автоматически переводится в низкий уровень и переводится в высокий уровень по окончании приёма каждого слова. В режиме ведущего устройства приём слов приёмником ведётся до заполнения буфера приёма. В режиме ведомого устройства, когда вывод $SS[1]$ сконфигурирован как вход ($RCS_DIR=0$) независимый приёмник ($RCS_CP=0$) принимает сигнал выбора ведомого с вывода $SS[1]$.

В режиме SPI направление выводов тактового сигнала и управляющего сигнала должно строго совпадать. Т.е. $TCLK_DIR=TCS_DIR$. В случае если приёмник работает независимо от передатчика, то $RCLK_DIR=RCS_DIR$.

23.4.20 Тракт передачи данных

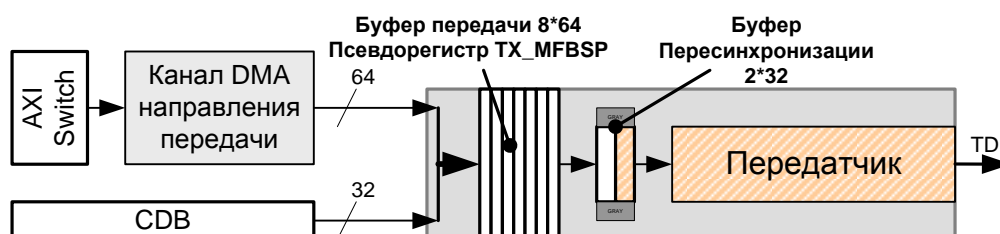


Рисунок 23.32. Тракт передачи данных в режиме SPI

На Рисунок 23.32 представлен тракт передачи данных в режиме SPI.

Чтобы инициировать передачу данных по последовательному порту, необходимо включить последовательный порт ($SPI_I2S_EN=1$) и передатчик ($TEN=1$), после чего либо начать производить запись передаваемых 32-х разрядных слов в буфер передачи по адресу псевдорегистра TX_MFBSR , либо включить канал DMA в направлении передачи для соответствующего порта (в этом случае обмен данными с портом будет вестись 64-х разрядными словами).

Данные записанные в буфер передачи автоматически перемещаются в буфер пересинхронизации направления передачи, если он не полон. Запись в буфер пересинхронизации направления передачи осуществляется на системной частоте CLK , чтение из буфера пересинхронизации осуществляется на частоте передатчика $TCLK$. Как только в буфере пересинхронизации оказалось хотя бы одно слово передатчиком инициируется передача. Передатчиком производится последовательная выдача бит очередного 32-х разрядного слова до тех пор, пока число переданных бит не достигнет $TWORDLEN+1$, после чего производится считывание очередного слова из буфера пересинхронизации. По мере передачи слов в освобождающийся буфер пересинхронизации перемещается слово из буфера передачи. После выборки последнего слова из буфера передачи (буфер передачи пуст) в буфере пересинхронизации остаётся еще два слова. Фактическое окончание передачи можно идентифицировать по состоянию буфера пересинхронизации, либо считав бит $TRUN$ регистра TSR .

Если управляющий сигнал формируется передатчиком, то при считывании последнего слова из буфера пересинхронизации передача останавливается. Передача продолжится только после того как в буфер пересинхронизации снова начнут поступать данные.

Если передатчик использует внешнюю частоту и внешний управляющий сигнал, в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота передатчика, однако ее должно быть достаточно для того, что бы успеть переместить очередное слово в буфер пересинхронизации (за время передачи одного слова должно быть хотя бы три импульса системной частоты CLK). Если внешний управляющий сигнал инициировал передачу слова при пустом буфере пересинхронизации, устанавливается флаг ошибки передачи ($TERR$), в этом случае передаётся ошибочное слово. Если управляющий сигнал формируется самим передатчиком, системная частота может быть много меньше частоты передатчика, однако это скажется на скорости передачи данных.

Установка бита $TERR$ в процессе передачи говорит о том, что порт произвел попытку чтения из пустого буфера передачи. Это значит, что передатчиком было передано некорректное слово.

В направлении передачи порт обладает буферизацией на 18 32-х разрядных слов. В случае передачи данных посредством DMA запись блоков данных в буфер передачи происходит

до тех пор, пока буфер готов принять очередной блок, размер которого определяется битами WN, регистра CSR соответствующего канала DMA.

Степень заполнения буфера можно программно регулировать, используя биты TBES. В этом случае значение выражения $TBES+1$ – задает эффективный размер буфера передачи. Передача очередной пачки происходит только в случае, если при записи этой пачки в буфер передачи число 64 разрядных слов в буфере передачи не превысит $TBES+1$. При попытке передать пачку со значением $WN > TBES$, значение WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

Так, при $WN=0$ и $TBES=0$ очередное 64-х разрядное слово будет подкачиваться в буфер передачи только если он пуст. В этом случае по окончании работы DMA в момент прерывания от соответствующего канала передатчику останется передать ещё 4 32-х разрядных слова (два 32-х разрядных слова в буфере пересинхронизации и одно 64-х разрядное слово в буфере передачи).

Установка бита SPI_I2S_EN в 0 приведет к программному сбросу передатчика, и все данные находящиеся в буфере передачи будут утеряны.

23.4.21 Тракт приёма данных

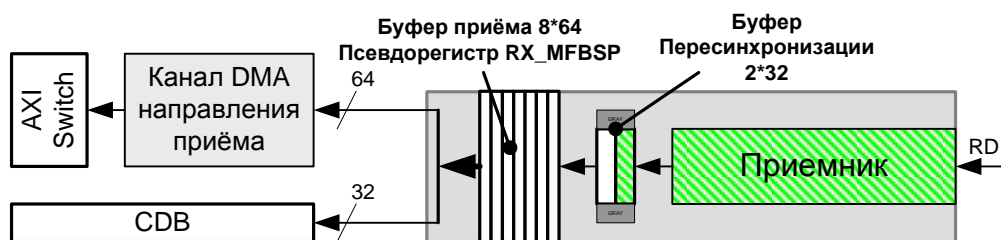


Рисунок 23.33. Тракт приёма данных в режиме SPI

На Рисунок 23.33 представлен тракт приёма данных в режиме SPI.

Что бы перевести приёмник в режим готовности необходимо включить последовательный порт ($SPI_I2S_EN=1$) и приёмник ($REN=1$), после чего либо начать ожидание появления прочитанных данных в буфере приёма, либо включить канал DMA в направления приёма для соответствующего порта.

Приёмник принимает последовательные биты, поступающие с внешнего вывода до тех пор, пока число принятых бит не достигнет значения $RWORDLEN+1$. После этого принятое 32-х разрядное слово (если $RWORDLEN < 31$ незадействованные биты обнуляются) перемещается в буфер пересинхронизации. Запись в буфер пересинхронизации направления приёма осуществляется на частоте приёмника RCLK, чтение из буфера пересинхронизации осуществляется на системной частоте CLK. Из буфера пересинхронизации принятое слово автоматически перемещается в буфер приёма,

если он не полон. Если в буфере приёма есть хотя бы одно 32-х разрядное слово, то принятые 32-х разрядные слова можно считывать, обращаясь по адресу псевдорегистра RX_MFBSP. Принимать данные можно также включив соответствующий порту канал DMA направления приёма (в этом случае обмен данными с портом осуществляется 64-х разрядными словами).

Если приёмник использует внешнюю частоту, то в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота приёмника, однако ее должно быть достаточно для того, что бы успеть переместить очередное слово из буфера пересинхронизации (за время приёма одного слова должно быть хотя бы три импульса системной частоты CLK). Если при заполненном буфере пересинхронизации приёмником был произведен приём очередного слова и инициирована попытка записи в буфер пересинхронизации, устанавливается флаг ошибки приёма (RERR), а последнее принятое слово теряется.

Установка бита RERR в процессе передачи говорит о том, что порт произвел попытку записи в полный буфер приёма. Это значит, что принятое слово было потеряно.

В направлении приёма порт обладает буферизацией на 18 32-х разрядных слов. В случае приёма данных посредством DMA чтение блоков данных из буфера приёма происходит до тех пор, пока в буфере приёма достаточно слов для чтения очередного блока, размер которого определяется битами WN, регистра CSR соответствующего канала DMA. DMA обмена возможны только 64 разрядными словами, таким образом, если было принято нечетное количество 32-х разрядных слов, после окончания работы DMA необходимо прочитать оставшееся слово, обратившись к псевдорегистру RX_MFBSP.

Установка бита SPI_I2S_EN в 0 приведет к программному сбросу приёмника и все данные находящиеся в буфере приёма будут утеряны.

23.4.22 Прерывания от последовательного порта

Прерывание MFBSP_RXBUF устанавливается, в случае если включен приемник (I2S_SPI_EN=1, REN = 1) и в буфер приёма записано количество слов большее, чем установлено уровнем прерывания RLEV, либо произошла ошибка приема (RERR = 1).

Прерывание MFBSP_TXBUF устанавливается, в случае если включен передатчик (I2S_SPI_EN=1, REN = 1) и в буфере передачи осталось количество слов меньшее, либо равное чем установлено уровнем прерывания TLEV, либо произошла ошибка передачи (TERR = 1).

23.5 Работа MFBSР в режиме линкового порта (LPORT)

23.5.1 Назначение линкового порта

Линковый порт предназначен для обмена данными между различными микросхемами последовательно-параллельным кодом.

Порт может передавать 32-х разрядные слова частями по 4 бита за 8 пересылок, либо частями по 8 бит за 4 пересылки, выбор одного из этих режимов осуществляется установкой бита LDW, регистра CSR_MFBSР.

23.5.2 Регистр управления и состояния CSR_MFBSР (режим LPORT)

Таблица 23.29. Назначение разрядов регистра CSR_MFBSР в режиме LPORT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:17	-	Резерв	RW	0
16	-	Резерв	RW	0
15	-	Резерв	RW	0
14:11	LCLK_RATE [4:1]	Делитель частоты LPORT: $LCLK = CLK / (2 * (LCLK_RATE + 1))$	RW	0
10	-	Резерв	RW	0
9	SPI_I2S_EN	В режиме LPORT должен быть установлен в 0	RW	0
8	SRQ_RX	Признак запроса обслуживания на прием данных	R	0
7	SRQ_TX	Признак запроса обслуживания на передачу данных	R	0
6	LDW	Разрядность внешней шины данных: 0 - 4-разряда (32-разрядное слово передается за 8 посылок); 1 - 8-разряда (32-разрядное слово передается за 4 посылки).	RW	0
5	LRERR	Ошибка приема данных: 0 – приняты все биты данных; 1 – приняты не все биты данных.	R	0
4:3	LSTAT	Состояние буфера: При LTRAN = 0 показывает состояние буфера приёма При LTRAN = 1 показывает состояние буфера передачи 00 – буфер пуст; 10 – буфер не пуст; 11 – буфер полон.	R	0
2	LCLK_RATE[0]	Делитель частоты LPORT: $LCLK = CLK / (2 * (LCLK_RATE + 1))$	RW	0
1	LTRAN	Режим работы порта: 0 – приемник; 1 – передатчик.	RW	0
0	LEN	Разрешение работы порта: 0 – все выводы порта находятся в высокоимпедансном состоянии; 1 – порт работает в соответствии с состоянием бита LTRAN.	RW	0

Биты LSTAT, LRERR сбрасываются при LEN=0.

23.5.3 Регистр состояния приёмника RSR (режим LPORT)

Таблица 23.30. Назначение разрядов регистра RSR в режиме LPORT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	RB_DIFF	Количество принятых 64-разрядных слов в буфере приёма (мах 8).	R	0
23:19	-	Резерв	-	0
18:16	RLEV	Порог прерывания от буфера приёма: Прерывание формируется если число принятых 64-х разрядных слов больше RLEV	RW	7
15:11	-	Резерв	-	0
10	RXBUF	Результирующее прерывание MFBSP_RXBUF	R	0
9	RXBUF_D	Прерывание MFBSP_RXBUF без механизма автоматического сброса при чтении RSR	R	0
8	RXBUF_R	Прерывание MFBSP_RXBUF с механизмом автоматического сброса при чтении RSR	R	0
7	-	В режиме LPORT не используется	R	0
6	-	В режиме LPORT не используется	R	0
5	RSBF	Буфер пересинхронизации в направлении приёма полон: 0 – буфер пересинхронизации в направлении приёма не полон 1 – буфер пересинхронизации в направлении приёма полон	R	0
4	RSBE	Буфер пересинхронизации в направлении приёма пуст: 0 – буфер пересинхронизации в направлении приёма не пуст 1 – буфер пересинхронизации в направлении приёма пуст	R	1
3	RBHL	Достигнут порог прерывания в буфере приёма: 1 – число 64-х разрядных слов в буфере приёма больше чем задано в RLEV 0 – число 64-х разрядных слов в буфере приёма меньше либо равно RLEV	R	0
2	RBHF	Буфер приёма полон на половину или более: 1 – буфер приёма заполнен на половину или больше (из буфера приёма можно считать как минимум 4 слова) 0 – буфер приёма заполнен меньше, чем наполовину	R	0
1	RBF	Буфер приёма полон: 0 – буфер приёма не полон 1 – буфер приёма полон	R	0
0	RBE	Буфер приёма пуст: 0 – буфер приёма не пуст 1 – буфер приёма пуст	R	1

23.5.4 Регистр состояния передатчика TSR (режим LPORT)

Таблица 23.31. Назначение разрядов регистра TSR в режиме LPORT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	TB_DIFF	Количество свободных 64-разрядных позиций в буфере передачи (в буфер передачи можно записать еще TB_DIFF 64-разрядных слов).	R	8
23	-	Резерв	-	0
22:20	TBES	Эффективный размер буфера передачи Актуален только для режима работы с DMA. Значение TBES+1 – определяет максимальный объем буфера передачи. Т.е. в режиме работы с DMA буфер передачи не может быть заполнен больше, чем на TBES+1 64 разрядных слов.	RW	7
19	-	Резерв	-	0
18:16	TLEV	Порог прерывания от буфера передачи: Прерывание формируется если число 64-х разрядных слов в буфере передачи меньше либо равно TLEV. В режиме передачи данных с использованием DMA определяет степень заполнения буфера передачи, при которой происходит запись в буфер очередной пачки данных	RW	0
15:11	-	Резерв	-	0
10	TXBUF	Результирующее прерывание MFBSP_TXBUF	R	0
9	TXBUF_D	Прерывание MFBSP_TXBUF без механизма автоматического сброса при чтении TSR	R	0
8	TXBUF_R	Прерывание MFBSP_TXBUF с механизмом автоматического сброса при чтении TSR	R	0
7	-	В режиме LPORT не используется	R	0
6	-	В режиме LPORT не используется	RW	0
5	-	В режиме LPORT не используется	R	0
4	-	В режиме LPORT не используется	R	0
3	TBLL	Достигнут порог прерывания в буфере передачи: 1 – число 64-х разрядных слов в буфере передачи меньше либо равно TLEV 0 – число 64-х разрядных слов в буфере передачи больше TLEV	R	1
2	TBNF	Буфер передачи заполнен на половину или более: 1 – буфер передачи заполнен на половину или больше 0 – буфер передачи заполнен меньше чем на половину (в буфер передачи можно записать еще как минимум 4 слова)	R	0
1	TBF	Буфер передачи полон: 0 – буфер передачи не полон 1 – буфер передачи полон	R	0
0	TBE	Буфер передачи пуст: 0 – буфер передачи не пуст 1 – буфер передачи пуст	R	1
31:15	-	Резерв	-	0
14	RXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSP_RXBUF 0 – прерывание не сбрасывается при чтении RSR 1 – прерывание сбрасывается при чтении RSR	RW	1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
13	RX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера приема 0 – прерывание MFBSP_RXBUF не будет устанавливаться при превышении порога RLEV 1 - прерывание MFBSP_RXBUF будет устанавливаться при превышении порога RLEV	RW	1
12	RX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSP_RXBUF не будет устанавливаться при переполнении буфера приема 1 - прерывание MFBSP_RXBUF будет устанавливаться при переполнении буфера приема	RW	1
11:7	-	Резерв	-	0
6	TXBUF_REN	Разрешение автоматического сброса прерывания MFBSP_TXBUF 0 – прерывание не сбрасывается при чтении TSR 1 – прерывание сбрасывается при чтении TSR	RW	1
5	TX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера передачи 0 – прерывание MFBSP_TXBUF не будет устанавливаться, если число слов в буфере передачи меньше порога TLEV 1 - прерывание MFBSP_TXBUF будет устанавливаться, если число слов в буфере передачи меньше порога TLEV	RW	1
4	TX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSP_TXBUF не будет устанавливаться при чтении из пустого буфера передачи 1 - прерывание MFBSP_TXBUF будет устанавливаться при чтении из пустого буфера передачи	RW	1
3:1	-	Резерв	-	0
0	LPT_IRQ_EN	Разрешение прерывания по запросу на обслуживание 0 – SRQ запрещено 1 – SRQ разрешено	RW	1

23.5.5 Регистр аварийного управления портом EMERG_MFBSP (режим LPORT)

Таблица 23.32. Назначение разрядов регистра EMERG_MFBSP в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Резерв	-	0
5	RX_DBG	Включение аварийной проочки данных канала DMA направления приема. 0 – работа в обычном режиме 1 – сигнал готовности передачи данных по DMA каналу направления приема постоянно удерживается в 1 (по DMA принимаются невалидные данные)	RW	0
4	TX_DBG	Включение аварийной проочки данных канала DMA направления передачи. 0 – работа в обычном режиме 1 – сигнал готовности передачи данных по DMA каналу направления передачи постоянно удерживается в 1 (данные передаваемые DMA теряются)	RW	0
3	-	Резерв	-	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
2	RST_RXBUF	Сброс буфера приема последовательного порта и буфера пересинхронизации направления приема. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
1	RST_TXBUF	Сброс буфера передачи последовательного порта и буфера пересинхронизации направления передачи. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
0	RST_LPTBUF	Сброс буфера линкового порта и буфера пересинхронизации направления приёма. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0

23.5.6 Регистр маски прерываний от порта IMASK (режим LPорт)

Таблица 23.33. Назначение разрядов регистра IMASK в режиме SPI

23.5.7 Структурная схема MFBSР для режима линкового порта

На Рисунок 23.34 представлена структурная схема MFBSР для режима линкового порта.

Включение линкового порта происходит при установке бита LEN в 1 и бита SPI_I2S_EN в 0.

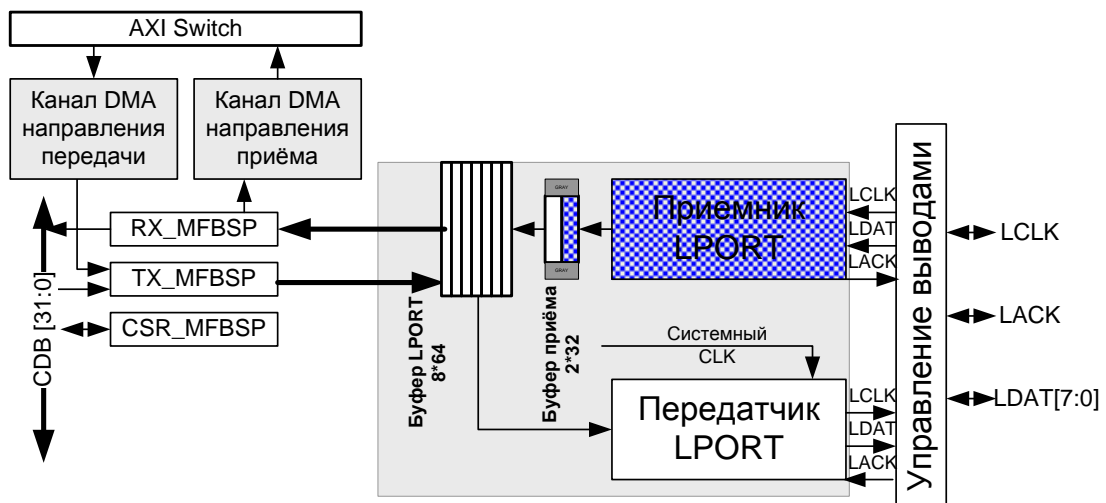


Рисунок 23.34. Структурная схема MFBSР для режима LPорт

23.5.8 Соединение с внешними устройствами

На Рисунок 23.35 и Рисунок 23.36 представлены варианты соединения MFBSB с внешними устройствами в режиме линкового порта.

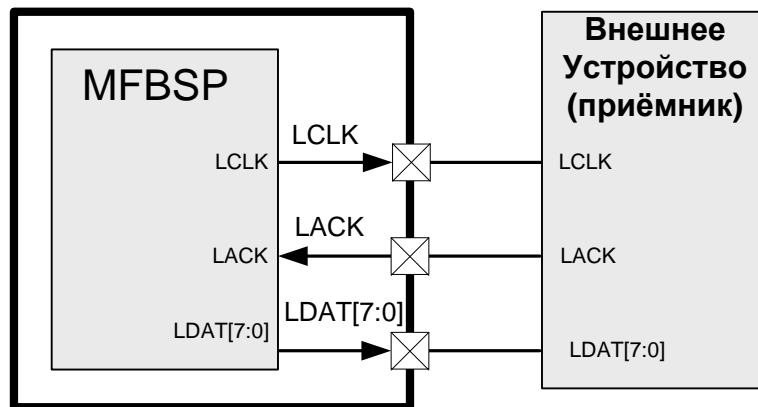


Рисунок 23.35. MFBSB в режиме передатчика LPORT (LCLK, LDAT-выходы, LACK - вход) (режим №2 по Таблица 23.1)

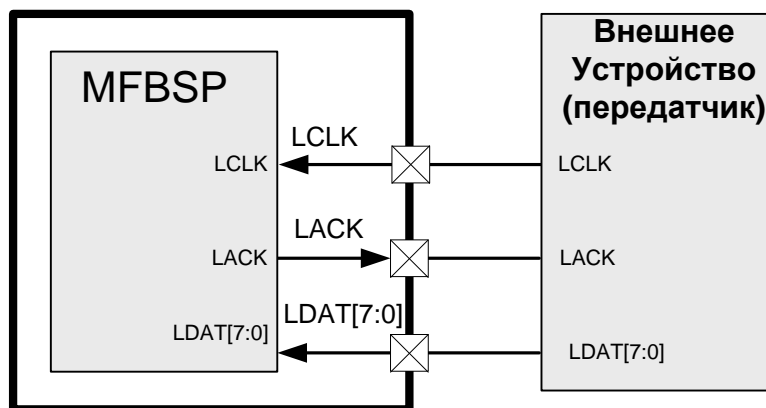


Рисунок 23.36. MFBSB в режиме приёмника LPORT (LCLK, LDAT-входы, LACK - выход) (режим №2 по Таблица 23.1)

23.5.9 Передача данных по линковому порту

По линковому порту передача данных происходит в одном направлении (либо передача данных, либо приём данных).

Для смены направления обмена данными по линковому порту необходимо сначала выключить порт (установить бит LEN, регистра CSR_MFBSB в 0), затем включить порт, установив требуемое значение направления передачи данных (бит LTRAN, регистра CSR_MFBSB)

Передача данных по линковому порту возможна для любых сочетаний частот приёмника и передатчика, скорость передачи данных будет определяться самым медленным устройством.

Для корректной передачи данных необходимо, чтобы значение бита LDW у приёмника и у передатчика совпадало.

Если для передатчика LDW=1, а для приёмника LDW=0 приёмник будет упаковывать два 32-х разрядных слова в одно 32-х разрядное слово, выкидывая из каждого байта старшие 4 бита.

Установка значений LDW для передатчика LDW=0, а для приёмника LDW=1 не допускается.

Временная диаграмма работы линкового порта приведена на

Рисунок 23.37.

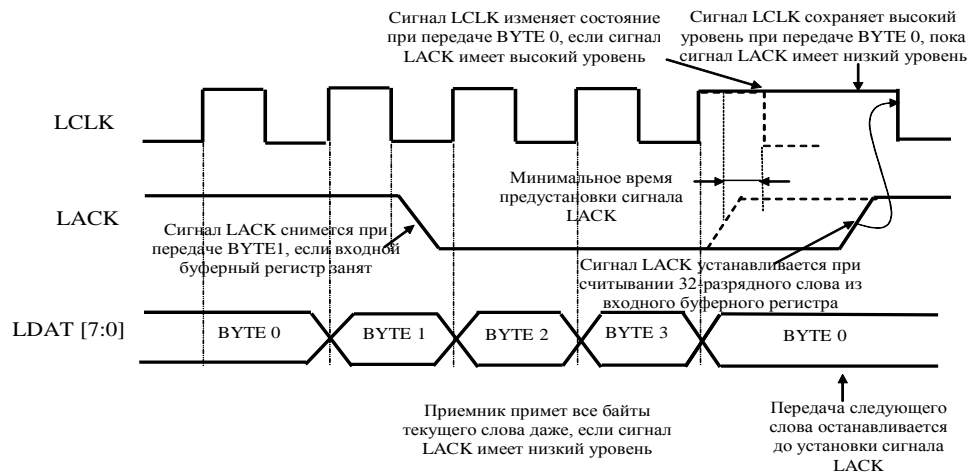


Рисунок 23.37. Временная диаграмма работы линкового порта (LDW=1)

При LDW=0 передача 32-разрядного слова выполняется за 8 посылок, а при LDW=1 - за 4 посылки. Передатчик изменяет данные LDAT по положительному фронту LCLK, а приемник защелкивает данные в буфере приёма по отрицательному фронту.

Исходное состояние сигнала LACK – высокий уровень. Сигнал LACK снимется приемником по заднему фронту LCLK при передаче BYTE1, если в буфере приёма осталось место для приёма всего одного слова. При этом приемник примет все байты текущего 32-разрядного слова даже, если сигнал LACK имеет низкий уровень. Сигнал LACK устанавливается при считывании 32-разрядного слова из входного буферного регистра.

Передатчик после выставления BYTE0 анализирует состояние сигнала LACK. Если LACK=1, то LCLK продолжает изменять свое состояние и после BYTE 0 передается BYTE 1 и так далее. Если LACK=0, то LCLK сохраняет высокий уровень при передаче BYTE 0, пока сигнал LACK имеет низкий уровень.

Если линковый порт деактивизирован ($LEN=0$) сигналы LDAT, LCLK LACK являются входами. Поэтому эти сигналы необходимо привязывать к земле через резисторы 10 кОм. Если порт настроен как передатчик, LDAT и LCLK становятся выходами, а LACK – входом. Если порт настроен как приемник, LDAT и LCLK становятся входами, а LACK – выходом.

LPORT может выполнять либо только приём, либо только передачу данных. Поэтому LPORT снабжен одним буфером на 8 64-х разрядных слов, используемом как в направлении приёма, так и в направлении передачи. В направлении приёма дополнительно встроен буфер на 2 32-х разрядных слова, используемый для пересинхронизации с внешней частоты LCLK на внутреннюю системную частоту.

Таким образом, LPORT обладает буферизацией в направлении передачи на 8 64-разрядных слов (16 32-разрядных слов) и буферизацией в направлении приёма на 9 64-разрядных слов (18 32-разрядных слов).

В случае передачи данных посредством DMA запись блоков данных в буфер передачи происходит до тех пор, пока буфер готов принять очередной блок, размер которого определяется битами WN, регистра CSR соответствующего канала DMA.

Степень заполнения буфера можно программно регулировать, используя биты TBES. В этом случае значение выражения $TBES+1$ – задает эффективный размер буфера передачи. Передача очередной пачки происходит только в случае, если при записи этой пачки в буфер передачи число 64 разрядных слов в буфере передачи не превысит $TBES+1$. При попытке передать пачку со значением $WN > TBES$, значение WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

Так, при $WN=0$ и $TBES=0$ очередное 64-х разрядное слово будет подкачиваться в буфер передачи только если он пуст. В этом случае по окончании работы DMA в момент прерывания от соответствующего канала передатчику останется передать ещё 4 32-х разрядных слова (два 32-х разрядных слова в буфере пересинхронизации и одно 64-х разрядное слово в буфере передачи).

Принимаемые портом данные сначала помещаются в буфер пересинхронизации и только через два такта перемещаются в буфер LPORT. При опросе контрольных регистров порта доступно состояние только буфера LPORT без учёта буфера пересинхронизации. Таким образом, после заполнения основного буфера LPORT могут быть приняты ещё два 32-х разрядных слова, которые будут перемещаться из буфера пересинхронизации в общий буфер LPORT по мере освобождения буфера LPORT.

Запись данных в буфер пересинхронизации LPORT осуществляется по внешней частоте LCLK, а перемещение данных из буфера пересинхронизации в буфер LPORT осуществляется по внутренней системной частоте CLK. Если внутренняя системная

частота более чем в 4 раза меньше внешней частоты LCLK, скорости перемещения данных между двумя буферами может быть недостаточно, что будет приводить к периодическому заполнению буфера пересинхронизации. К потере данных это не приведет, поскольку в LPORT предусмотрен механизм останова передачи по заполнению буфера приёма, однако это приведёт к замедлению обмена данными по линковым портам.

23.5.10 Прерывания от линковых портов

Если линковый порт не активизирован ($LEN=0$, $SPI_I2S_EN=0$), он формирует прерывание по запросу обслуживания, если:

- на внешней шине выставлены данные на прием (активное состояние сигнала LCLK);
- из внешней шины поступил запрос на выдачу данных (активное состояние сигнала LACK).

Данное прерывание сбрасывается после установки $LEN=1$.

Если MFBSF используется в режиме линкового порта, то чтобы избежать ложной установки прерывания SRQ в случае, когда порт выключен и на выводах LACK или LCLK установлено высокоимпедансное состояние, необходимо к выводам LACK и LCLK подключить pull-down резисторы.

При $LPT_IRQ_EN=0$ данное прерывание маскируется

Если включен линковый порт ($LEN=1$), прерывания от MFBSF формируются, в случае если в буфер приёма записано количество слов большее, чем установлено уровнем прерывания RLEV (MFBSF_RXBUF), либо если при включенном передатчике в буфере передачи осталось количество слов меньшее, либо равное чем установлено уровнем прерывания TLEV (MFBSF_TXBUF).

23.6 Работа MFBSF в режиме порта ввода-вывода общего назначения

Если многофункциональный порт выключен ($LEN=0$, $SPI_I2S_EN=0$), внешние линии LDAT[7:0], LCLK, LACK можно использовать как 10-разрядный двунаправленный порт ввода-вывода.

Если включен режим последовательного порта ($SPI_I2S_EN=1$), незадействованные в организации последовательной передачи данных выводы LDAT[7:4] могут быть использованы в качестве вводов-выводов общего назначения. Единственным ограничением в данной ситуации является то, что для определения режима работы последовательного порта используются биты GPIO_DR[5:0], которые не должны меняться

в процессе передачи данных по последовательному порту. Поэтому при управлении выводами общего назначения LDAT[7:4] (управляются битами DIR_MFBSP [9:6]) запись в регистр DIR_MFBSP необходимо проводить таким образом, что бы текущие значения бит DIR_MFBSP [5:0] не менялись.

При работе в режиме выводов общего назначения данные с внешних выводов порта защелкиваются по положительному фронту тактового сигнала. Поэтому следует учитывать, что чтение данных с внешних выводов порта будет происходить с задержкой в 1 такт.

23.6.1 Регистр данных порта ввода вывода GPIO_DR

10-разрядный регистр данных порта ввода-вывода (GPIO_DR) предназначен для реализации гибкого интерфейса с внешними устройствами. Внешние выводы порта ввода-вывода совмещены с внешними выводами линкового порта.

Соответствие разрядов регистра GPIO_DR и внешних линий линкового порта приведено в Таблица 23.34.

Таблица 23.34. Назначение разрядов регистра GPIO_DR

Номер разряда Регистра GPIO_DR	Внешние выводы MFBSP	Значение после сброса
9:2	LDAT[7:0]	0
1	LCLK	0
0	LACK	0

23.6.2 Регистр управления направлением выводов DIR_MFBSP

Настройка направления выводов порта ввода-вывода осуществляется программно при помощи 10-разрядного регистра DIR_MFBSP. Если DIR_MFBSP установлен в 0, то соответствующий разряд порта ввода-вывода является входом, если же разряд DIR_MFBSP установлен в 1, то соответствующий разряд порта ввода-вывода является выходом.

Таблица 23.35. Назначение разрядов регистра GPIO_DR

Номер разряда Регистра DIR_MFBSP	Внешние выводы MFBSP	Значение после сброса
9:2	Направление выводов LDAT[7:0]	0
1	Направление вывода LCLK	0
0	Направление вывода LACK	0

23.7 Рекомендации по аварийному выключению передатчика

В режимах SPI и I2S при TDEL = 1 выключение порта путем записи 0 в TEN, без сброса бита SPI_I2S_EN может привести к сбою в буфере передачи, и после очередного включения передатчика (TEN=1) данные будут передаваться некорректно.

Решения

Если передатчик был выключен при TDEL=1 перед его очередным включением, необходимо сбросить записью 1 в бит RST_TXBUF

В режиме мастер выключать передатчик (если есть необходимость в дальнейшем использовать порт) вообще нет необходимости – отсутствие данных в буфере передачи автоматически останавливает дальнейшую передачу.

24. КОНТРОЛЛЕР ИНТЕРФЕЙСА SPACEWIRE (SWIC)

24.1 Общие положения

Контроллер интерфейса SpaceWire (далее по тексту SWIC – SpaceWire Interface Controller) предназначен для обеспечения аппаратной поддержки функций внутрисистемных коммуникаций с использованием протокола SpaceWire.

В микропроцессоре имеется два контроллера SWIC: SWIC0 и SWIC1.

Основные особенности контроллера:

1. Контроллер соответствует международному стандарту ECSS-E-50-12C, но не имеет режима работы со скоростью передачи данных 10 Мбит/с. Для установки соединения необходимо устанавливать скорость передачи данных, равную 4.8 Мбит/с.
2. Обеспечивает функционирование одного дуплексного канала связи со скоростью от 2,4 до 408 Мбит/с в каждую сторону.
3. Реализация контроллера охватывает уровни стека протоколов SpaceWire, от сигнального до сетевого (частично) уровня.
4. Аппаратное детектирование ошибок связи: рассоединение, ошибки четности.
5. Встроенные LVDS-приемопередатчики в соответствии со стандартом стандарта ANSI/TIA/EIA-644(LVDS).
6. Встроенные в приемник LVDS резисторы-терминаторы.
7. Четыре канала DMA (два канала данных и два канала дескрипторов пакетов).
8. Обмен данными через DMA с памятью словами по 64 бита.

24.2 Блок-схема

Структура контроллера коммуникационного канала по стандарту SpaceWire приведена на Рисунок 24.1. Основой контроллера является Link Interface (см. Figure 8-1 стандарта ECSS-E-50-12C), реализующий функции кодера/декодера SpaceWire. Кодер/декодер SpaceWire через драйверы LVDS подключен к физическим линиям связи.

Контроллер канала SW взаимодействует с центральным процессором через шину АНВ L1_COMM (работа с программно-доступными регистрами контроллера) и FIFO-подобный интерфейс с DMA (прием/передача пакетов данных). Для взаимодействия с внутренней памятью использованы блоки DMA, поддерживающие интерфейс буферов. На шине L1_COMM SWIC представлен интерфейсом ведомого устройства.

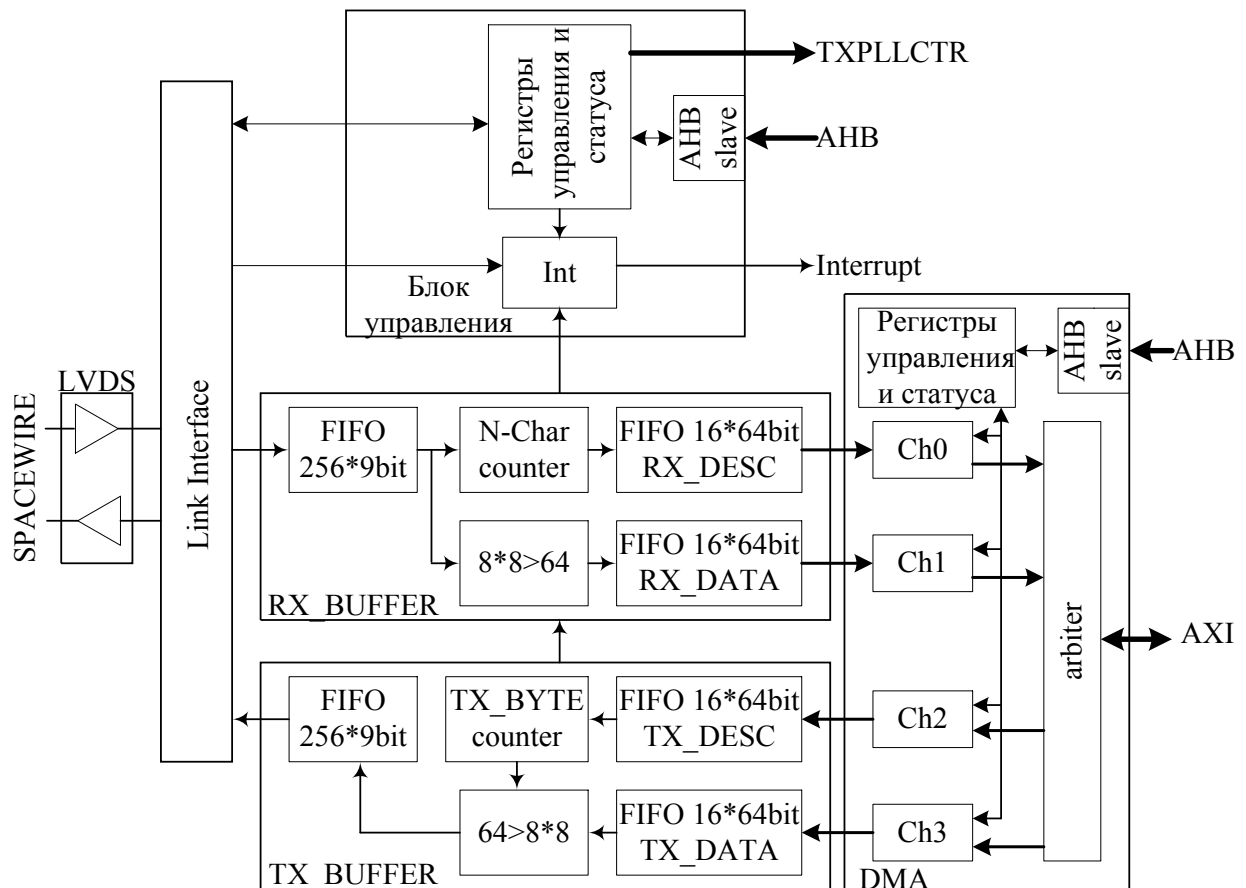


Рисунок 24.1. Структурная схема SWIC

Блок управления по командам центрального процессора задает режимы работы приемопередатчика SpaceWire (Link Interface). В этом блоке содержатся программно управляемый регистр, содержащий коэффициент скорости передачи данных, и доступный программному обеспечению на чтение регистр, в который записывается коэффициент скорости приема данных. Передача управляющих кодов; контроль состояние последнего полученного извне маркера времени, кода распределенного прерывания и кода подтверждения производится через соответствующие регистры блока управления.

Блок формирования прерываний INT формирует необходимые прерывания по состоянию Link Interface.

Буфер приема RX_BUFFER имеет конвейерную организацию и состоит из двух ступеней. Сначала в FIFO_256*9bit буферизируются восьмиразрядные данные, принимаемые от Link Interface. Девятый служебный разряд несет информацию о признаке символа данных N-Char или символе конца пакета EOP. Затем в блоке преобразования формируются 64-разрядные слова данных и поступают в FIFO RX_DATA. Дескриптор пакета формируется в счетчике N-Char_counter. При поступлении символа данных N-Char счетчик увеличивается на 1, при поступлении символа конца пакета значение счетчика переписывается в выходной буфер RX_DESC, а сам счетчик сбрасывается в 0.

В буфер передачи TX_BUFFER с помощью канала передаваемых данных DMA записываются 64-разрядные слова данных. Содержимое пакетов и их дескрипторы буферизируются в двух FIFO TX_DATA и TX_DESC соответственно. Данные из буфера передачи в Link Interface поступают побайтно через FIFO 256*9bit. Преобразование 64-х разрядных слов в байты осуществляется в блоке преобразования под управлением счетчика TX_BYTE counter. В счетчик заносится размер пакета из дескриптора передаваемого пакета. После передачи каждого байта этот счетчик уменьшается на 1. По достижении счетчиком значения 0, в поток передаваемых данных вставляется символ конца пакета EOP, а в счетчик заносится размер следующего передаваемого пакета из следующего дескриптора.

Буферы приема-передачи предназначены для согласования скоростей передачи данных между коммутатором AXI Switch и каналом SpaceWire.

24.3 Прерывания

Контроллер SWIC формирует три прерывания, описание которых сведено в Таблица 24.1.

Таблица 24.1. Источники прерываний в SWIC

Условное обозначение	Причина	Примечание
LINK	Соединение установлено	В регистре STATUS указана причина прерывания - CONNECTED
ERR	Обнаружена ошибка в канале связи	В регистре STATUS указана причина прерывания: DC_ERR; P_ERR; ESC_ERR; CREDIT_ERR
TIME	Получен управляющий код	В регистре STATUS указана причина прерывания: принят маркер времени (GOT_TIME); принят код распределенного прерывания (GOT_INT); принят код подтверждения (GOT_ACK); принят управляющий код C[7..6]=01 (при включенном режиме 5-и разрядных распределенных прерываний), (CC_01); принят управляющий код C[7..6]=11 (CC_11); истекло время ожидания таймаута приема кода распределенного прерывания (регистр ISR_tout)

24.4 Перечень регистров SWIC

24.4.1 Общие положения

Перечень программно-доступных регистров контроллера SWIC приведен в Таблица 24.2.

Таблица 24.2. Перечень регистров блока SWIC

Условное обозначение	Описание	Тип доступа	Адрес
HW_VER	Номер версии контроллера	RD	0x00
STATUS	Регистр состояния	WR/RD	0x04
RX_CODE	Регистр управляющего символа, принятого из сети (маркера времени, кода распределенного прерывания, кода подтверждения распределенного прерывания или кода CC11)	RD	0x08
MODE_CR	Регистр режима работы	WR	0x0C
TX_SPEED	Регистр коэффициента скорости передачи	WR	0x10
TX_CODE	Регистр управляющего символа (маркера времени, кода распределенного прерывания, кода подтверждения, кода CC11) для передачи в сеть	WR	0x14
RX_SPEED	Регистр скорости приема данных в канале SpaceWire	RD	0x18
	Не используется		
CNT_RX_PACK	Регистр счетчика принятых пакетов ненулевой длины	RD/WR	0x20
ISR_L	Младшие разряды регистра ISR	RD/WR	0x24
ISR_H	Старшие разряды регистра ISR	RD/WR	0x28
TRUE_TIME	Регистр, содержащий значение последнего правильного маркера времени и последнего принятого из сети маркера времени	RD	0x2C
TOUT_CODE	Регистр размера таймаутов	RD/WR	0x30
ISR_tout_L	Младшие разряды регистра флагов таймаутов ISR	RD/WR	0x34
ISR_tout_H	Старшие разряды регистра флагов таймаутов ISR	RD/WR	0x38
LOG_ADDR	Регистр логического адреса	RD/WR	0x3C
ack_nonack_regime	Регистр управления режимом распределенных прерываний (с подтверждениями или без подтверждений)	RD/WR	0x40
isr_touts2	Регистр таймаутов кодов распределенных прерываний 2	RD/WR	0x44
ISR_handler_TERM_FUNC T	Регистр флагов функций терминального узла –обработчика	RD/WR	0x48
ISR_SPEC	Регистр рассылки управляющих кодов в специальный набор портов	RD/WR	0x4C
ISR_1101	Регистр флагов приема управляющих кодов, назначение которых не определено в текущей версии стандарта	RD/WR	0x50
ISR_MACK_1101	Регистр маски портов, из которых не должны приниматься управляющие коды, назначение которых не определено в текущей версии стандарта	RD/WR	0x54
INT_RESET	Регистр параметров команды внешнего сброса	WR/RD	0x58
STATUS2	Регистр состояния		0x5C
MODE_CR2	Регистр режима работы 2		0x60
Int_H_mack	Старшая половина регистра маски распределенных прерываний	WR/RD	0x64
Int_L_mack	Младшая половина регистра маски распределенных прерываний	WR/RD	0x68
Ack_H_mack	Старшая половина регистра маски кодов подтверждения	WR/RD	0x6C
AckL_L_mack	Младшая половина регистра маски кодов подтверждения	WR/RD	0x70
AUTO_SPEED_MANAGE	Регистр параметров автоматической установки скорости передачи	WR/RD	0x74
ISR_source_TERM_FUNC T	Регистр флагов функций терминального узла –источника		0x78

Условное обозначение	Описание	Тип доступа	Адрес
ISR_spec_term_funct	Регистр признака специальной функции для терминального узла – обработчика		0x7C
ISR L reset	Младшая половина регистра глобального сброса ISR		0x80
ISR H reset	Старшая половина регистра глобального сброса ISR		0x84

24.5 Описание регистров SWIC

24.5.1 Регистр HW_VER

Регистр номера версии SWIC. При чтении этого регистра выводится номер версии аппаратной реализации SWIC. Значение регистра 0x05.

Таблица 24.3. Назначение разрядов регистра HW_VER

Номер разряда	Условное обозначение	Описание
31:0	HW_VER	Номер версии SWIC

24.5.2 Регистр STATUS

Регистр состояния блока SWIC предназначен для оперативного контроля состояния фаз работы контроллера. Регистр доступен как на чтение, так и на запись. Заполнение регистра выполняется побитно по сигналам от Link Interface, блока приема данных из канала SpaceWire, блока передачи данных в канал SpaceWire. Назначение разрядов регистра приведено в Таблица 24.4.

Таблица 24.4. Назначение разрядов регистра STATUS

Номер разряда	Условное обозначение	Описание
0	DC_ERR	Признак ошибки разъединения (DisconnectError): «1» – Ошибка произошла «0» – Нет ошибки (после сигнала сброса) Запись «1» в этот разряд сбрасывает этот разряд в «0». Используется для сброса прерывания ERR посредством записи 1 в этот разряд. Исходное состояние «0».
1	P_ERR	Признак ошибки четности: «1» – Ошибка произошла «0» – Нет ошибки (после сигнала сброса) Запись «1» в этот разряд сбрасывает этот разряд в «0». Используется для сброса прерывания ERR посредством записи 1 в этот разряд. Исходное состояние «0».
2	ESC_ERR	Признак ошибки в ESC последовательности: «1» – Ошибка произошла «0» – Нет ошибки (после сигнала сброса) Запись «1» в этот разряд сбрасывает этот разряд в «0». Используется для сброса прерывания ERR посредством записи 1 в этот разряд. Исходное состояние «0».

Номер разряда	Условное обозначение	Описание
3	CREDIT_ERR	Признак ошибки кредитования: «1» – Ошибка произошла «0» – Нет ошибки (после сигнала сброса) Запись «1» в этот разряд сбрасывает этот разряд в «0». Используется для сброса прерывания ERR посредством записи 1 в этот разряд. Исходное состояние «0».
4	-	Не используется
5:7	LINK_STATE	Состояние блока Link interface (см. Figure. 8-2 стандарта ECSS-E-50-12C): 000 - Error Reset (исходное состояние); 001 - Error Wait; 010 – Ready; 011 – Started; 100 – Connecting; 101 – Run. Исходное состояние «000».
8	RX_BUF_FULL	Состояние буфера приема: «1» – буфер полон; «0» – в буфере есть свободное место (после сигнала сброса). Исходное состояние - «0»
9	RX_BUF_EMPTY	Буфер приема пуст «1» – Пуст (после сигнала сброса) «0» – В буфере есть данные. Исходное состояние «1».
10	TX_BUF_FULL	Состояние буфера передачи: «1» – буфер полон; «0» – в буфере есть свободное место (после сигнала сброса). Исходное состояние - «0»
11	TX_BUF_EMPTY	Буфер передачи пуст «1» – Пуст (после сигнала сброса) «0» – В буфере есть данные. Исходное состояние «1».
12	GOT_FIRST_BIT	Состояние принятого первого бита из канала «1» – бит принят «0» – приемный канал не активен (не было изменений фронтов din/sin после последнего сброса макроячейки по сбросу или в связи с ошибкой) Запись «1» в этот бит сбрасывает прерывание INT_LINK, если оно было установлено, но не изменяет состояние GOT_FIRST_BIT. Исходное состояние «0».
13	CONNECTED	Соединение установлено (LINK_STATE=5). Исходное состояние «0».
14	GOT_TIME	Принят маркер времени из сети «1» – Принят маркер времени «0» – Марке времени не принят (после сигнала сброса) Запись «1» в этот разряд сбрасывает этот разряд в «0». Используется для сброса прерывания TIME посредством записи 1 в этот разряд. Исходное состояние «0».
15	GOT_INT	Принят код распределенного прерывания из сети «1» – Принят код распределенного прерывания времени «0» – Код распределенного прерывания не принят (после сигнала сброса) Запись «1» в этот разряд сбрасывает этот разряд в «0». Используется для сброса прерывания TIME посредством записи 1 в этот разряд. Исходное состояние «0».
16	GOT_ACK	Принят код подтверждения из сети «1» – Принят код подтверждения «0» – код подтверждения не принят (после сигнала сброса) Запись «1» в этот разряд сбрасывает этот разряд в «0». Используется для сброса прерывания TIME посредством записи 1 в этот разряд. Исходное состояние «0».

Номер разряда	Условное обозначение	Описание
17	FL_CONTROL	Если данный флаг сброшен в 0, SWIC готов к отправке управляющего кода (маркера времени, кода распределенного прерывания, кода подтверждения). Если управляющий код записывается в SWIC при установленном флаге, его передача в сеть не гарантируется. Исходное состояние «0».
18	LINK	Признак прерывания LINK (соединение установлено). Устанавливается, если оно не замаскировано в регистре режима. Сбрасывается при сбросе соответствующего прерывания. Исходное состояние «0».
19	ERR	Признак прерывания ERR (обнаружена ошибка в канале). Устанавливается, если оно не замаскировано в регистре режима. Сбрасывается при сбросе соответствующего прерывания. Исходное состояние «0».
20	TIME	Признак прерывания TIME (получен управляющий код). Устанавливается, если оно не замаскировано в регистре режима. Сбрасывается при сбросе соответствующего прерывания. Исходное состояние «0».
21	CC_11	Признак принятия управляющего кода C[7..6]=11 «1» – Принят упр. код «0» – Упр. код не принят (после сигнала сброса) Запись «1» в этот разряд сбрасывает этот разряд в «0». Исходное состояние «0».
22	CC_01	Признак принятия управляющего кода C[7..6]=01 «1» – Принят упр. код «0» – Упр. код не принят (после сигнала сброса) Запись «1» в этот разряд сбрасывает этот разряд в «0». Исходное состояние «0».
23:29	-	Резерв
30	S_LVDS_RX	Значение линии LVDS Sin при MODE_CR[29]=1.
31	D_LVDS_RX	Значение линии LVDS Din при MODE_CR[29]=1

24.5.3 Регистр RX_CODE

Регистр принятого из сети управляющего кода. Назначение разрядов регистра приведено в Таблица 24.5. Исходное состояние регистра не определено.

Таблица 24.5. Назначение разрядов регистра RX_CODE

Номер разряда	Условное обозначение	Описание
7:0	TIME_CODE	Значение маркера времени, принятого из сети последним
15:8	INT_CODE	Значение кода распределенного прерывания, принятого из сети последним
23:16	ACK_CODE	Значение кода подтверждения, принятого из сети последним
31:24	CC_11	Значение кода C[7..6]=11 принятого из сети последним

24.5.4 Регистр MODE_CR

Регистр режима работы. Назначение разрядов регистра приведено в Таблица 24.6.

Таблица 24.6. Назначение разрядов регистра MODE_CR

Номер разряда	Условное обозначение	Назначение
0	LinkDisabled	Установка LinkDisabled для блока Link Interface
1	AutoStart	Установка Autostart для блока Link Interface
2	LinkStart	Установка LinkStart для блока Link Interface
3	-	Не используется
4	-	Не используется
5	-	Не используется
6	LINK_RESET	Режим формирования признака готовности обмена данными с DMA SWIC: 0 – штатный режим работы. Признак готовности SWIC формирует аппаратно; 1 – признак готовности установлен в 1. Используется для приведения DMA SWIC в исходное состояние, если: произошло разъединение; необходимо программно остановить SWIC и его DMA. Сбрасывает контроллер полностью, включая сброс приемных и передающих FIFO
7	-	Не используется
8	WORK_TYPE	Должен быть установлен в ноль
9	-	Не используется
10	-	Не используется
11	-	Не используется
12	-	Не используется
13	-	Не используется
14	COEFF_10_wt	Разрешение модификации регистра коэффициента для подсчета таймаутов
15	-	Не используется. Должен быть установлен в 0
16	dIRQ_regime	Режим передачи/приема кодов распределенных прерываний. Если этот бит установлен в 0, то используются 6-и битные коды распределенных прерываний, если в 1 – то используются 5-и битные коды распределенных прерываний
17	-	Не используется
18	LINK_MASK	Маска прерывания LINK: 1 - значение прерывания LINK отображается в регистрах STATUS и контроллерах прерываний CPU и DSP; 0 – не отображается
19	ERR_MASK	Маска прерывания ERR: 1 - значение прерывания LINK отображается в регистрах STATUS и контроллерах прерываний CPU и DSP; 0 – не отображается
20	TIME_MASK	Маска прерывания TIME: 1 - значение прерывания LINK отображается в регистрах STATUS и контроллерах прерываний CPU и DSP; 0 – не отображается
21	CTR	Если этот бит установлен в 1, то установка соединения выполняется без ожидания таймаутов (используется в отладочном режиме)
22	TCode_mask	Маска формирования прерывания TIME при получении тайм-кода (маркера времени): 0 – прерывание не устанавливается; 1 – прерывание устанавливается

Номер разряда	Условное обозначение	Назначение
23	INT_mask	Маска формирования прерывания TIME при получении кода распределенного прерывания или кода подтверждения: 0 – прерывание не устанавливается; 1 – прерывание устанавливается
24	CC_11_mask	Маска формирования прерывания TIME управляющего кода C[7..6]=11: 0 – прерывание не устанавливается; 1 – прерывание устанавливается
25	CC_01_mask	Маска формирования прерывания TIME при получении управляющего кода C[7..6]=01 (DIRQ_regime=1): 0 – прерывание не устанавливается; 1 – прерывание устанавливается
26	INT_tout_mask	Маска формирования прерывания TIME по факту таймаута получения кода подтверждения: 0 – прерывание не устанавливается; 1 – прерывание устанавливается
28:27	INT_tout_allow	Разрешение контроля таймаутов получения кодов подтверждения: 00 – контроль таймаутов запрещен 01 – выполняется контроль таймаутов и установка флагов истечения таймаутов 10 – выполняется контроль таймаутов, установка флагов истечения таймаутов и отправка кода подтверждения в сеть
29	LVDS_mode	Режим LVDS – если этот бит установлен в 0 – штатный режим работы, на выходные драйверы LVDS подаются сигналы от передатчика, разряды регистра STATUS[31:30] равны «0»; 1 – тестовый режим работы, на Sout, Dout LVDS подаются значения из разрядов 30, 31 регистра MODE_CR, в регистр STATUS[31:30] отображаются входные линии Sin и Din LVDS.
30	S LVDS TX	Значение для передачи на линию Sout LVDS
31	D LVDS TX	Значение для передачи на линию Dout LVDS

После того, как в результате разрешения AutoStart или LinkStart блок Link Interface установил соединение (при LinkDisabled= «0»), буфер передачи в сеть начинает принимать данные из DMA. Если DMA передал все данные, то далее в сеть передаются символы NULL. Соединение при этом не прекращается. Соединение прекращается, если процессор осуществляет запись единицы в бит LinkDisabled.

24.5.5 Регистр TX_SPEED

Регистр коэффициентов скорости передачи. В разряды [9:0] записывается коэффициент, который передается на SWxPLL.

В разряды [28:20] этого регистра записывается значение коэффициента для подсчета таймаутов установки соединения (6,4 мкс и 12,8 мкс). Значение данного коэффициента зависит от тактовой частоты работы SWIC_ACLK, на которой осуществляется подсчет таймаутов. Значение после сброса для этого регистра – 0x0A, что соответствует тактовой частоте SWIC_ACLK 96 МГц.

Запись нового значения в это поле регистра возможно только, если бит COEFF_10_wr (14) регистра MODE_CR (режима) установлен в 1.

Таблица 24.7. Назначение разрядов регистра TX_SPEED

Номер разряда	Условное обозначение	Назначение
7:0	TX_SPEED	Определяет скорость передачи данных (в режиме авто установки скорости используется как базовое значение после установки соединения), Мбит/с: 0x00 – 4.8; 0x01 – 72; 0x02 – 120; 0x03 – 168; 0x04 – 216; 0x05 – 264; 0x06 – 312; 0x07 – 360; 0x08 – 408; 0xFF – 2.4;
8	PLL_TX_EN	Управление работой PLL_TX_SWIC: 1 – работа разрешена; 0 – работа запрещена. PLL_TX_SWIC находится в режиме пониженного энергопотребления
9	LVDS_EN	Управление работой приемопередатчиков LVDS SWIC: 1 – работа разрешена; 0 – работа запрещена. LVDS SWIC находятся в режиме пониженного энергопотребления
17:10	-	Не используется
18	-	Не используется
19	-	Не используется
28:20	COEFF_10	Значение коэффициента для подсчета таймаутов установки соединения. Содержимое этого поля должно быть целым с округлением от деления тактовой частоты работы SWIC_ACLK на 10: 0x05 - при SWIC_ACLK = 48 МГц; 0x0A - при SWIC_ACLK = 96 МГц; ... 0x14 – при SWIC_ACLK = 192 МГц и т.д.
31:29	-	Резерв

24.5.6 Регистр RX_SPEED

Назначение разрядов регистра RX_SPEED приведено в Таблица 24.8.

Таблица 24.8. Назначение разрядов регистра RX_SPEED

Номер разряда	Условное обозначение	Назначение
31:8	-	Не используется
7:0	RX_SPEED	Скорость приема данных из канала связи SpaceWire равна $(RX_SPEED * SWIC_ACLK / 100)$ Мбит/с. Например, если $RX_SPEED=125$ (десятичное), а $SWIC_ACLK = 96$ МГц, то скорость приема данных равна 120 Мбит/с

Исходное состояние регистра – нули.

24.5.7 Регистр TX_CODE

Регистр управляющего кода для передачи в канал. Сразу же после записи в этот регистр начинается передача управляющего символа в Link Interface и далее в канал.

Таблица 24.9. Назначение разрядов регистра TX_CODE

Номер разряда	Условное обозначение	Описание
5:0	CODE_VAL	Значение управляющего кода для отправки в сеть
7:6	CODE_TYPE	Тип управляющего кода для отправки в сеть: 00 – код времени; 01 – код прерывания; 10 – код подтверждения прерывания.
31:8	-	Резерв

24.5.8 Регистр CNT_RX_PACK

Регистр счетчика принятых пакетов. Значение регистра увеличивается на 1 каждый раз, когда из DS макроячейки прочитывается символ конца пакета, если ему предшествовал один или более символ данных. Исходное состояние регистра «0».

При записи, значение регистра обнуляется. Процессор может обнулить содержимое этого регистра для того, чтобы начать счет пакетов заново. Рекомендуется выполнять сброс регистра каждый раз при выполнении новой настройки DMA для передачи данных в сеть.

Таблица 24.10. Назначение разрядов регистра CNT_RX_PACK

Номер разряда	Условное обозначение	Описание
31:0	CNT	Число принятых пакетов

24.5.9 Регистр ISR_L

В этот регистр отображается младшая (31..0) часть регистра ISR. Регистр ISR содержит информацию о принятых и отправленных кодах распределенных прерываний и подтверждения. Если из сети получено распределенное прерывание, то бит регистра ISR, соответствующий номеру распределенного прерывания устанавливается в 1 (если он уже не был установлен в 1). Аналогично, если в регистр TX_CODE осуществляется запись кода распределенного прерывания, соответствующий бит регистра ISR устанавливается в 1.

Если из сети получен код подтверждения, то бит регистра ISR, соответствующий номеру кода подтверждения устанавливается в 0 (если он уже не был установлен в 0). Аналогично, если в регистр TX_CODE осуществляется запись кода подтверждения, соответствующий бит регистра ISR устанавливается в 0.

Необходимость данного регистра связана с тем, что коды распределенных прерываний и коды подтверждения могут приходиться из сети очень часто, быстрее, чем процессор может

среагировать на очередное прерывание и прочесть код. Если даже в регистре RX_CODE код распределенного прерывания или код подтверждения будет перезаписан следующим, информация о нем не будет утрачена – она сохранится в регистре ISR.

Существует возможность программного сброса отдельных битов ISR. Для этого необходимо записать в соответствующие биты 1. (Если в бит записывается значение 0, то его значение не меняется)

Таблица 24.11. Назначение разрядов регистра ISR_L

Номер разряда	Условное обозначение	Описание
31:0	ISR_L	Младшая часть регистра ISR

24.5.10 Регистр ISR_H

В этот регистр отображается старшая ([63:32]) часть регистра ISR.

Таблица 24.12. Назначение разрядов регистра ISR_H

Номер разряда	Условное обозначение	Описание
31:0	ISR_H	Старшая часть регистра ISR

24.5.11 Регистр TRUE_TIME

В этот регистр записывается значение последнего правильного маркера времени, в отличие от разрядов [5:0] регистра RX_CODE, в котором регистрируются все принятые маркеры времени. Назначение разрядов регистра приведено в Таблица 24.13. Исходное состояние регистра «0».

Таблица 24.13. Назначение разрядов регистра TRUE_TIME

Номер разряда	Условное обозначение	Описание
5:0	TRUE_TIME	Значение последнего правильного маркера времени
31:6	Не используется	

24.5.12 Регистр TOUT_CODE

В этот регистр записываются значение периода для глобального счетчика таймаутов (в количестве тактов локальной частоты) и максимальные значения локальных счетчиков таймаутов ожидания кодов подтверждения распределенных прерываний. Отдельный локальный счетчик таймаутов соответствует каждому разряду ISR. Если в SWIC поступает код распределенного прерывания, то запускается соответствующий ему счетчик локальных таймаутов. Он декрементируется каждый раз при завершении очередного периода счета глобального счетчика таймаутов.

Таблица 24.14. Назначение разрядов регистра TOUT_CODE

Номер разряда	Условное обозначение	Описание
15:0	GLOB_COU	Значение периода глобального счетчика (задается в тактах локальной частоты)
20:16	LOC_COU1	Значение таймаута ожидания кода подтверждения (на код прерывания, отправленный процессором через SWIC)
25:21	LOC_COU2	Значение таймаута ожидания кода подтверждения (на код прерывания, принятый из сети)
31:26	Не используется	

24.5.13 Регистр ISR_tout_L

В этот регистр отображается младшая ([31:0]) часть регистра флагов ISR_tout. Если в регистре ISR регистрируется код распределенного прерывания, то для него запускается счет таймаута (каждому разряду ISR соответствует отдельный счетчик). В зависимости от того, был ли код распределенного прерывания принят из сети или отправлен процессором, начальное значение счетчика устанавливается в LOC_TOUT1 или LOC_TOUT2. (значение счетчика декрементируется каждый раз, когда глобальный счетчик досчитывает до определенного для него максимального значения). Если за время счета из сети не поступает соответствующий код подтверждения, то соответствующий разряд регистра ISR_tout устанавливается в 1. Для того чтобы его сбросить, необходимо записать в этот разряд регистра ISR_tout 1. (При записи в бит значения 0, его значение не меняется).

Таблица 24.15. Назначение разрядов регистра ISR_tout_L

Номер разряда	Условное обозначение	Описание
31:0	ISR_tout_L	Младшая часть регистра ISR_tout

24.5.14 Регистр ISR_tout_H

В этот регистр отображается старшая ([63:32]) часть регистра ISR_tout.

Таблица 24.16. Назначение разрядов регистра ISR_tout_H

Номер разряда	Условное обозначение	Описание
31:0	ISR_tout_H	Старшая часть регистра ISR_tout

После сброса содержимое регистров «0».

24.5.15 Регистр LOG_ADDR

В этом регистре хранится значение логического адреса, добавляемого к пакету по умолчанию, если установлен соответствующий режим. Длина логического адреса может быть от одного до 4 байтов, она определяется значением дескриптора пакета.

Таблица 24.17. Назначение разрядов регистра LOG_ADDR

Номер разряда	Условное обозначение	Описание
31:0	LOG_ADDR	Значение логического адреса.

24.5.16 Регистр ACK_NONACK_REGIME

Регистр ACK_NONACK_REGIME доступен процессору по чтению и по записи.

В данном регистре содержатся значения флагов режима для каждого кода распределенного прерывания (прерывания с номерами 0 - 31). Если флаг режима установлен в 0 – это соответствует режиму с подтверждением, если в 1 – то режиму без подтверждений. Значение по умолчанию - 0

Таблица 24.18. Назначение разрядов регистра ACK_NONACK_REGIME

Номер разряда	Условное обозначение	Описание
31:0	Regime flags	Значения флагов режима

24.5.17 Регистр ISR_TOUTS2

Регистр ISR_TOUTS2 доступен процессору по чтению и по записи.

В данном регистре содержатся значения таймаутов (подсчет осуществляется на базе глобального счетчика таймаутов, задаваемого в регистре ISR_TOUTS).

Таблица 24.19. Назначение разрядов регистра ISR_TOUTS2

Номер разряда	Условное обозначение	Описание
3:0	LOC_Reset_SW_nack	Значение локального счетчика таймаутов сброса ISR в режиме коммутатора в режиме без кодов подтверждений
7:4	LOC_RESET_T1_nack	Значение локального счетчика таймаутов сброса ISR в режиме терминального узла в режиме без кодов подтверждений
11:8	LOC_TG	Значение локального счетчика таймаутов TG (в режиме терминального узла используется только в режиме с подтверждениями)
15:12	LOC_TH	Значение локального счетчика таймаутов TH (в режиме терминального узла используется только в режиме с подтверждениями)
19:16	LOC_ISR_CHANGE	Значение локального счетчика таймаутов TISR_change (используется одно и то же значение и в режиме коммутатора и в режиме терминального узла)

24.5.18 Регистр ISR_handler_term_funct

Регистр ISR_handler_term_funct доступен процессору по чтению и записи. Он предназначен для индикации того, выполняет ли данный узел функции обработчика кодов прерываний.

В соответствии со значением разряда 29 регистра `ISR_spec` через этот регистр можно работать с регистром `ISR_term_func_L` или `ISR_term_func_H`. Запись 1 в соответствующий разряд регистра указывает, что для данного кода распределенного прерывания SWIC будет обработчиком.

Начальное значение всех разрядов регистра после выхода SWIC из состояния сброса – «0».

24.5.19 Регистр специальных кодов `ISR_spec`

Регистр специальных кодов (управляющих символов, назначение которых не определено в текущей версии спецификации стандарта SpaceWire) доступен процессору по чтению и записи. Данный регистр предназначен для получения информации о принятых из сети кодах, для которых не определена специальная интерпретация (коды 01xxxxxx для портов, работающих в режиме 5-и разрядных кодов распределенных прерываний и коды 11xxxxxx).

Для данных кодов используется следующая схема регистрации. Для каждого типа кодов существует регистр `ISR` – `ISR_11` и `ISR_01` соответственно (данные регистры, однако, явным образом не являются программно доступными, работа с ними осуществляется через регистры `ISR_1101` и `ISR_spec`). При приеме из сети управляющего кода 11xxxxxx соответствующий его номеру разряд регистра `ISR_11` устанавливается в 1 и регистрируется номер порта, из которого он поступил. Если происходит повторное поступление кода с тем же номером из другого порта, номер порта перезаписывается. Разряды `ISR_11` могут программно сбрасываться через `ISR_1101`.

Аналогичная схема поведения определена для кодов 01xxxxxx, поступающих из портов, для которых задан режим 5-и разрядных кодов распределенных прерываний. Они регистрируются в регистре `ISR_01`.

В `code_TYPE` `ISR_spec` записывается идентификатор кода (значение разрядов 7:6 кодов, информацию о которых планируется получить). (Если, например, планируется получение информации о кодах 11xxxxxx, то в эти разряды необходимо записать 11) в соответствии со значением этих разрядов выполняется логическое связывание программно доступного регистра `ISR_1101` с регистром `ISR_11` или `ISR_01` и логическое связывание программно доступного регистра `ISR_mask_1101` с регистром `ISR_mask_11` или `ISR_mask_01`.

В поле `code_HL` записывается признак 0 или 1, указывающий какая половина регистра `ISR_xx` будет отображаться в регистр `ISR_1101` (0 соответствует младшей половине, 1 – старшей половине), а так же какая половина регистра `ISR_mask_xx` будет отображаться в регистр `ISR_mask_1101` (0 соответствует младшей половине, 1 – старшей половине), какая половина регистра `ISR_term_func` будет отображаться в соответствующий регистр

В поле CODE_NUM ISR_спес записывается номер кода, для которого необходимо прочитать номер порта из которого этот код поступил в последний раз (если соответствующий разряд ISR_хх установлен в 0, то считается, что код не поступал)

После того, как разряды [31:23] установлены в нужные значения, из разрядов 4..0 этого регистра можно прочитать номер порта, из которого он поступил (если не поступал, то будет прочитано значение 0)

Формат регистра ISR_SPEC показан в Таблица 24.20.

Таблица 24.20. Назначение разрядов регистра ISR_SPEC

Номер разряда	Условное обозначение	Описание
4..0	LAST_PORT	Номер порта, из которого управляющий символ поступил в последний раз
22:5		Не используется
28:23	CODE_NUM	Номер символа, о котором нужно получить информацию
29	Code_HL	Указывает, со старшей или младшей половиной регистра ISR_11, ISR_01, ISR_mask_11, ISR_mask_01, ISR_term_funct будет осуществляться работа
31:30	Code_TYPE	Указывает тип кода: 11 или 01 (будет выполняться обращение к ISR_11 или ISR_01 при обращении к ISR_1101; будет выполняться обращение к ISR_mask_11 или ISR_mask_01 при обращении к ISR-mask_1101;)

Начальное значение всех полей регистра после выхода SWIC из состояния сброса – «0».

24.5.20 Регистр ISR_1101

Регистр ISR_1101 доступен процессору по чтению и записи. Данный регистр предназначен для получения доступа к регистрам ISR_11 и ISR_01

В соответствии со значением разрядов [31:29] регистра ISR_спес через этот регистр можно работать с регистром ISR_11 или ISR_01. если необходимо сбросить разряд ISR_хх, то в соответствующий разряд необходимо записать 1.

Начальное значение всех разрядов регистра после выхода SWIC из состояния сброса – «0».

24.5.21 Регистр ISR_mask_1101

Регистр ISR_mask_1101 доступен процессору по чтению и записи. Данный регистр предназначен для получения доступа к регистрам ISR_mask_11 и ISR_mask_01

Начальное значение всех разрядов регистра после выхода SWIC из состояния сброса – «0».

24.5.22 Регистр INT_RESET

Регистр INT_RESET доступен процессору по чтению и записи. В данном регистре хранятся параметры для формирования сигнала сброса устройства по команде от удаленного администратора сети SpaceWire. Данная команда представляет собой последовательность из пяти кодов: распределенное прерывание 0, код подтверждения 0, распределенное прерывание 0, код подтверждения 0, распределенное прерывание 0. Эта последовательность кодов должна поступить в течении времени таймаута, задаваемого полем L_RESET_COU. Данное время таймаута подсчитывается в периодах, задаваемых полем G_RESET_INT. Период подсчитывается в мкс (основной режим) или в тактах локальной частоты Slave контроллера (отладочный режим). Режим задается полем R_MODE.

В поле W_INT задается интервал времени между обнаружением команды сброса и сбросом устройства. Данный интервал задается в тактах локальной частоты.

Формат регистра INT_RESET показан в Таблица 24.21.

Таблица 24.21. Назначение разрядов регистра INT_RESET

Номер разряда	Условное обозначение	Описание
15:0	G_RESET_INT	Значение глобального периода подсчета интервала времени
21:16	L_RESET_COU	Значение таймаута, в течении которого должно поступить 3 распределенных прерывания 0 для того, чтобы они были интерпретированы как команда сброса Slave контроллера
22	R_MODE	Режим подсчета интервала времени. Если этот разряд установлен в 0, то подсчет выполняется в тактах, если этот разряд установлен в 1, то подсчет выполняется в мкс
31:23	W_INT	Интервал времени между получением команды сброса и выполнением сброса slave контроллера.

Начальное значение всех разрядов регистра после выхода Slave контроллера из состояния сброса – «0».

24.5.23 Регистр STATUS2

Регистр STATUS2 доступен хосту по чтению и записи.

Таблица 24.22. Назначение разрядов регистра STATUS2

Номер разряда	Условное обозначение	Описание
0	irq_credit_error_extr a_fct	Принят «лишний» FCT
1	irq_credit_error_extr a_nchar	Принят «лишний» NChar (сверх выданного кредита)
31:2	-	Не используется

24.5.24 Регистр MODE_CR2

Регистр MODE_CR2 доступен хосту по чтению и записи.

Таблица 24.23. Назначение разрядов регистра MODE_CR2

Номер разряда	Условное обозначение	Описание
0	-	Не используется
1	-	Не используется
2	Ccode_send_mask	Маска отправки кодов распределенных прерываний и подтверждений в сеть. Если данный разряд установлен в 1, то отправка запрещена
3	Ccode_res_mask	Маска приема кодов распределенных прерываний и подтверждений из сети. Если данный разряд установлен в 1, то прием запрещен
4	Int_send_mask	Маска отправки кодов распределенных прерываний в сеть. Если данный разряд установлен в 1, то отправка запрещена
5	Int_res_mask	Маска приема кодов распределенных прерываний из сети. Если данный разряд установлен в 1, то прием запрещен
6	Ack_send_mask	Маска отправки кодов подтверждений в сеть. Если данный разряд установлен в 1, то отправка запрещена
7	Ack_res_mask	Маска приема кодов подтверждений из сети. Если данный разряд установлен в 1, то прием запрещен
10..8	Host_int_code	Кодировка для интерпретации кода распределенного прерывания, записываемого в регистр TX_CODE (в режиме 5-и битных кодов)
13:11	Host_ack_code	Кодировка для интерпретации кода подтверждения, записываемого в регистр TX_CODE (в режиме 5-и битных кодов)
14	sdIRQ_regime	Режим для внешнего порта – если данный разряд установлен в 0, то отправка осуществляется в кодировке для 6-и битных кодов, если данный разряд установлен в 1, то отправка осуществляется в кодировке для 5-и битных кодов
17:15	Spw_int_code	Кодировка для интерпретации кода распределенного прерывания, приходящего из сети (в режиме 5-и битных кодов)
20:18	SpW_ack_code	Кодировка для интерпретации кода подтверждения, приходящего из сети (в режиме 5-и битных кодов)
21	Time_send_mask	Маска отправки маркеров времени в сеть. Если данный разряд установлен в 1, то отправка запрещена
22	Time_res_mask	Маска приема маркеров времени из сети. Если данный разряд установлен в 1, то прием запрещен
23	Add_res_mask	Маска приема кодов, назначение которых не определено стандартом, сеть. Если данный разряд установлен в 1, то прием запрещен
24	err_regime	Если данный разряд имеет значение 1, то при переходе DS-макроячейки в состояние RUN автоматически сбрасываются разряды ошибок в регистре статуса и сбрасывается прерывание IRQ_1(ERR) для процессора. Если данный разряд установлен в 1, то данные действия автоматически не выполняются. Значение по умолчанию - 0

24.5.25 Регистр маски распределенных прерываний – Int_H, L_mask

Регистры Int_H_mask[31:0], Int_L_mask[31:0] реализованы с доступом по чтению и записи. Данные регистры предназначены для определения маски распределенных прерываний (определяют, при получении каких распределенных прерываний будет установлено прерывание IRQ_int для встроенного процессора). Если в *i* разряде «0» – прерывание при приходе кода подтверждения с номером *i* разрешено, если «1» – запрещено.

После выхода из состояния сброса значение всех разрядов этого регистра – «0».

24.5.26 Регистр маски ack кодов – Ack_H, L_mask

Регистры Ack_H_mask[31:0], Ack_L_mask[31:0] реализованы с доступом по чтению и записи. Данные регистры предназначены для определения маски кодов подтверждения (определяют, при получении каких кодов подтверждения будет установлено прерывание IRQ_ack для внутреннего процессора). Если в *i* разряде «0» – прерывание при приходе кода подтверждения с номером *i* разрешено, если «1» – запрещено.

После выхода из состояния сброса значение всех разрядов этого регистра – «0».

24.5.27 Регистр AUTO_SPEED_MANAGE

Регистр AUTO_SPEED_MANAGE доступен процессору по чтению и записи. В данном регистре хранятся параметры для режима автоматической установки соединения

В поле AUTO_COU задается максимальное количество неудачных переходов на заданную базовую скорость при использовании режима автоматической установки соединения. Переход считается неудачным, если соединение разорвалось до истечения таймута установки соединения, заданного в поле Control_time данного регистра.

В поле AUTO_COU_FLS отображаются признаки того, что количество неудачных переходов для портов исчерпано (разряд 16 соответствует 1 порту). После установки признака автомат установки соединения не прекращает попыток перейти на базовую скорость.

Для того, чтобы перезапустить автомат, необходимо записать 1 в соответствующий разряд AUTO_COU_FLS. В результате счетчик неудачных переходов на заданную базовую скорость будет сброшен и попытки перехода возобновлены.

Формат регистра AUTO_SPEED_MANAGE показан в Таблица 24.24.

Таблица 24.24. Назначение разрядов регистра AUTO_SPEED_MANAGE

Номер разряда	Условное обозначение	Описание
4:0	AUTO_COU	Количество неудачных переходов на заданную базовую скорость, после которого при очередном соединении переход на базовую скорость не выполняется
15:5	Control_time	Таймаут установки соединения, отсчитывается с момента перехода порта Spacewire в состояние run («101») в тактах, если бит Control_regime установлен в 0 и микросекундах, если в 1
17:16	AUTO_COU_FLS	Признаки того, что количество неудачных переходов для портов исчерпано
30:18		В данной версии SWIC не используется
31	Control_regime	Режим подсчета таймута установки соединения, 0 – в тактах, 1 – в мкс

Начальное значение регистра 0

24.5.28 Регистр `ISR_source_term_func`

Регистр `ISR_source_term_func` доступен процессору по чтению и записи. Он предназначен для индикации того, выполняет ли данный SWIC функции источника по отношению к каждому из кодов распределенных прерываний.

В соответствии со значением разряда 29 регистра `ISR_spec` через этот регистр можно работать с регистром `ISR_source_term_func_L` или `ISR_source_term_func_H`. Запись 1 в соответствующий разряд регистра указывает, что для данного кода распределенного прерывания Slave контроллера будет выполняться функции источника. Детальное описание механизма обработки кодов распределенных прерываний приведено в разделе 24.6.2.2.

Начальное значение всех разрядов регистра после выхода SWIC из состояния сброса – «0».

24.5.29 Регистр `ISR_spec_term_func`

Регистр `ISR_spec_term_func` доступен процессору по чтению и записи. Он предназначен для разрешения автоматической отсылки в сеть кода подтверждения по истечении таймаута T_h , если данный узел является обработчиком соответствующего кода распределенного прерывания по отношению к каждому из кодов распределенных прерываний.

В соответствии со значением разряда 29 регистра `ISR_spec` через этот регистр можно работать с регистром `ISR_spec_term_func_L` или `ISR_spec_term_func_H`. Запись 1 в соответствующий разряд регистра в сочетании с установленным в 1 разряда `ISR_handler_term_func` указывает, что для данного кода распределенного прерывания Slave контроллера будет выполняться автоматическая отсылка кода подтверждения. Начальное значение всех разрядов регистра после выхода SWIC из состояния сброса – «0».

24.5.30 Регистр `ISR_L_reset`

Регистр `ISR_L_reset` доступен процессору по чтению и записи. Он предназначен для поразрядного сброса младшей половины регистра `ISR` (`ISR_L`), а так же для сброса всех флагов и счетчиков, связанных со сбрасываемыми разрядами. Сбрасываются разряды, в которые осуществляется запись 1.

Детальное описание механизма обработки кодов распределенных прерываний приведено в разделе 24.6.2.2.

Начальное значение всех разрядов регистра после выхода Slave контроллера из состояния сброса – «0».

24.5.31 Регистр ISR_H_reset

Регистр ISR_H_reset доступен процессору по чтению и записи. Он предназначен для поразрядного сброса старшей половины регистра ISR (ISR_H), а так же для сброса всех флагов и счетчиков, связанных со сбрасываемыми разрядами. Сбрасываются разряды, в которые осуществляется запись 1.

Детальное описание механизма обработки кодов распределенных прерываний приведено в разделе 24.6.2.2.

Начальное значение всех разрядов регистра после выхода Slave контроллера из состояния сброса – «0».

24.6 Рекомендации по программированию

24.6.1 Пакеты данных, дескрипторы пакетов

В этой главе описывается формирование пакетов данных в памяти микросхемы для передачи в канал, формат пакетов данных, дескрипторов, передача данных из памяти микросхемы в канал SpaceWire, прием данных из канала SpaceWire в память, интерпретирование принятых данных, системные сообщения.

24.6.1.1 Формат дескриптора пакета

Дескриптор пакета имеет следующую структуру:

Таблица 24.25

Номер разряда	Описание
24:0	Размер пакета в байтах
28:25	Не используется (должно быть равно нулю)
30:29	Тип конца пакета 00 – передавать данные пакета из регистра LOG_ADDR и не вставлять конец пакета; 01 – EOP; 10 – EEP; 11 – передавать данные пакета из памяти и не вставлять конец пакета (тестовый режим, не рекомендуется использовать).
31	Признак заполнения дескриптора действительными данными. Бит учитывается только при приёме пакетов (позволяет процессору идентифицировать конец очереди дескрипторов в памяти). Требуется выставить в «1» на передачу. Канал DMA дескрипторов передаваемых данных дескриптор из памяти вычитает, но блоком передачи SWIC этот дескриптор будет обработан особым образом - отправится в сеть только признак конца пакета. Данные выбраны из DMA не будут. До запуска приёма, все 31-е биты дескрипторов области приёма должны быть обнулены программно; DMA не обнуляет 31 е биты не принятых дескрипторов, DMA только записывает «1» в 31-е биты принятых дескрипторов.

Номер разряда	Описание
63:32	При передаче не используются. При приеме могут содержать случайные значения.

Тип конца пакета 00 рекомендуется использовать для того, чтобы формировать заголовки пакетов, используемые для маршрутизации при передаче пакетов через сеть, отдельно от собственно передаваемых данных. Заголовок пакета может включать в себя от 1 до 4 байт. Оформление такого заголовка как отдельного пакета позволяет избежать выравнивания собственно передаваемых данных при длине заголовка не кратной размеру слова. В дальнейшем будем называть заголовок пакета, оформленный как отдельный пакет, коммуникационным пакетом.

Тип конца пакета 11 рекомендуется использовать для того, чтобы формировать заголовки пакетов большего, чем 4 байта, размера или непрерывные потоки данных (пакеты неограниченной длины). В дальнейшем будем называть такой пакет, оформленный как отдельный пакет без маркера конца пакета, коммуникационным пакетом.

24.6.1.2 Расположение данных в памяти

Рассмотрим пример (см. Рисунок 24.2) представления данных в системной памяти, если для данных выделен один сегмент памяти. Пусть в системную память из канала SpaceWire было записано 3 пакета. Первый пакет имеет размер 10 байт и заканчивается символом EOP. Второй пакет имеет размер 8 байт и заканчивается символом EEP. Третий пакет имеет размер 11 байт и заканчивается символом EOP. Собственно пакеты хранятся в сегменте памяти, выделенном процессором для записи данных. Первый и третий пакет дополнены двумя и одним байтом соответственно, для выравнивания по границам 32-х разрядных слов (см. Рисунок 24.2). Первый и третий пакет дополнены шестью и пятью байтами соответственно, для выравнивания по границам 64-разрядных слов (см. Рисунок 24.3).

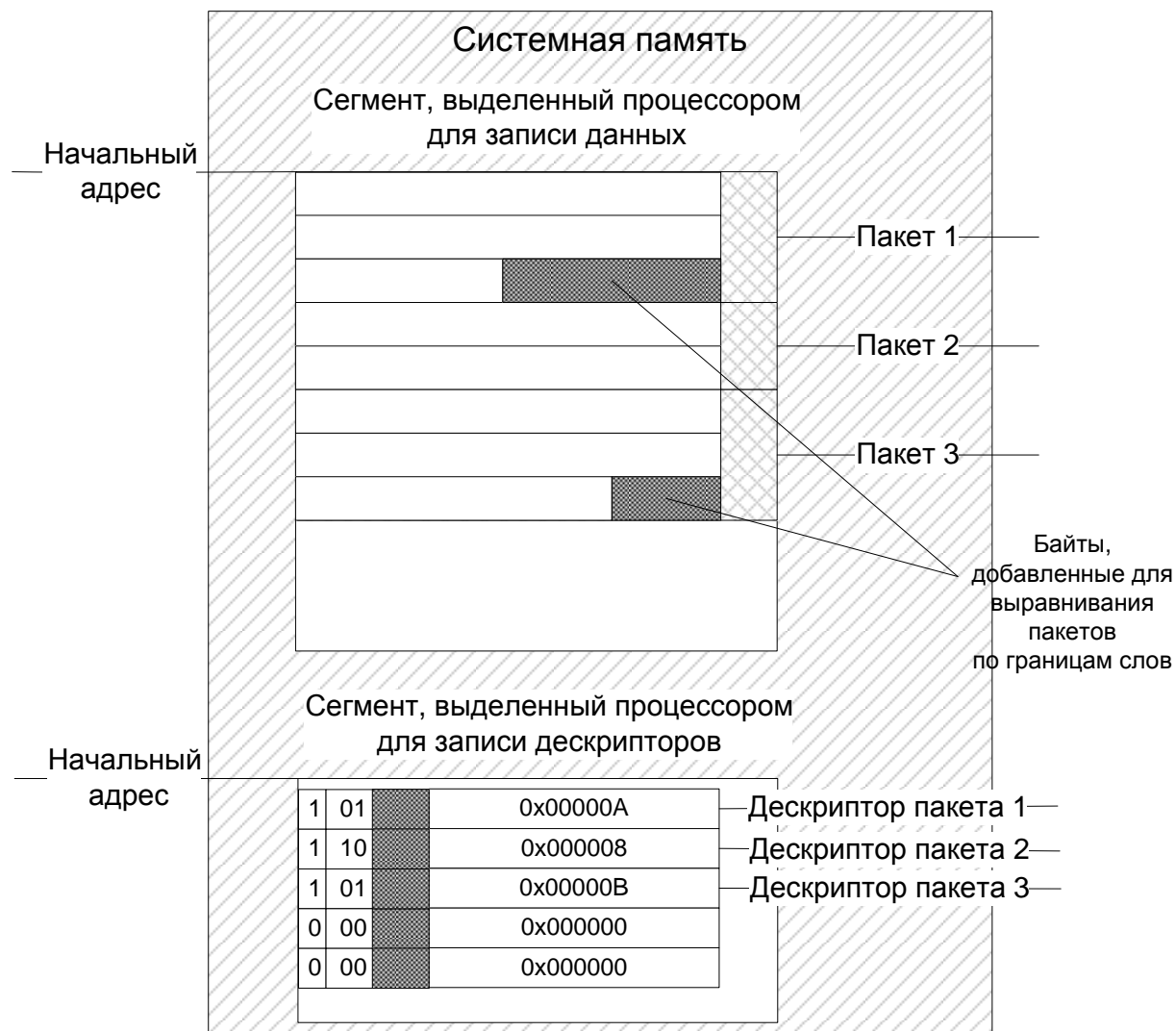


Рисунок 24.2. Представление данных в 32-разрядной памяти (пример)

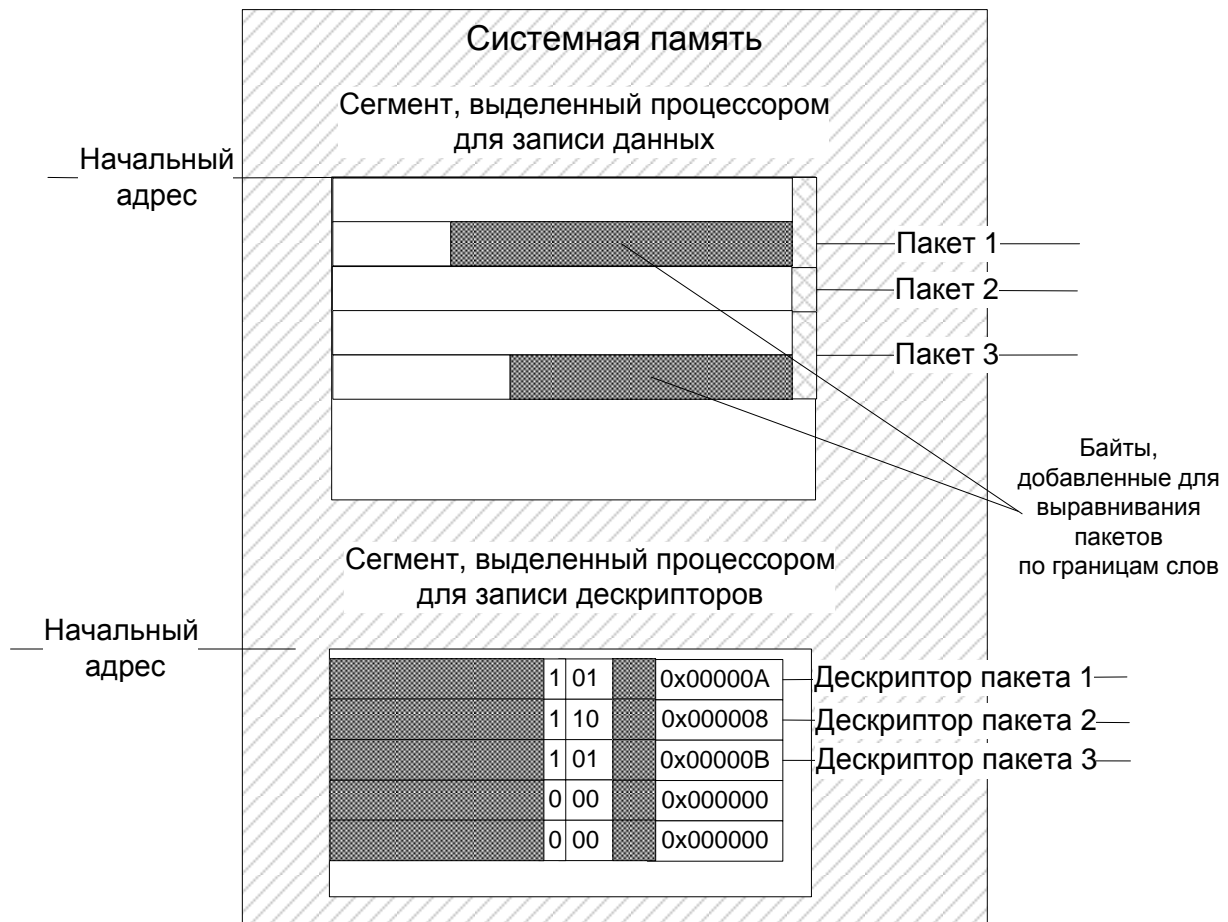


Рисунок 24.3. Представление данных в 64-разрядной памяти (пример)

Дескрипторы хранятся в сегменте памяти, выделенном процессором для записи дескрипторов. В дескрипторе указаны размеры пакетов в байтах – 0Ah, 08h и 0Bh соответственно. В дескрипторах хранится так же информация о типе конца пакета. В разряд 31 дескриптора записывается 1, что указывает процессору на то, что дескриптор заполнен действительными данными.

24.6.1.3 Схема обработки данных процессором

В данном примере пакеты могут быть обработаны процессором в соответствии со следующей схемой. Процессор прочитывает первое слово из блока, выделенного для дескрипторов – первый дескриптор. По дескриптору он определяет тип конца пакета, в соответствии с этим решает, как его обрабатывать. По дескриптору он определяет действительный размер пакета и извлекает данные, относящиеся к пакету 1. Для того чтобы вычислить начальный адрес второго пакета к начальному адресу блока данных добавляется размер первого пакета и выполняется округление до границы ближайшего слова. После того, как первый пакет полностью обработан, процессор прочитывает дескриптор второго пакета. Обработка остальных пакетов выполняется аналогично. Процесс обработки очереди пакетов заканчивается, когда 31 разряд очередного дескриптора равен 0.

24.6.1.4 Прием данных из канала SpaceWire

Маршрут принимаемых данных и схема их обработки приведены на Рисунок 24.4 Рисунок 24.4.

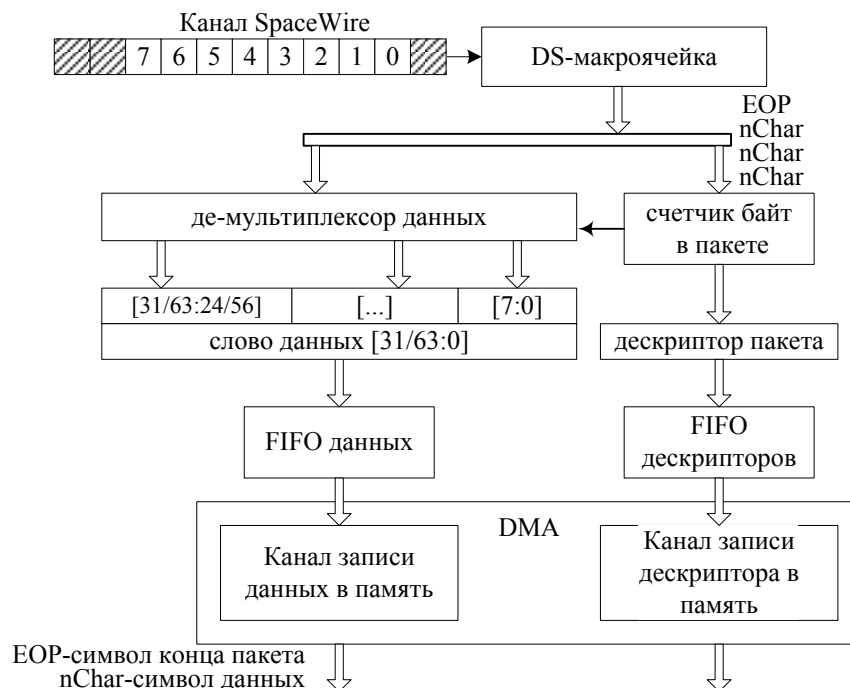


Рисунок 24.4. Схема приема данных из канала SpaceWire (пример)

Из канала SpaceWire в DS-макросейку символы данных поступают последовательно (побитно). DS-макросейка выделяет из последовательности приходящих символов символы данных и символы концов пакетов и передает их в блок приема. По каналу SpaceWire байты данных передаются младшими разрядами вперед.

Передача всех разрядов символа (9 разрядов, из них 8 используется для представления собственно байта данных, девятый бит является дополнительным и указывает, является ли этот байт символом данных nChar или символом конца пакета EOP) от DS-макросейки в блок приема осуществляется в параллельном коде.

Подсчет числа символов nChar и формирование дескриптора при приеме символа конца пакета осуществляется в счетчике байт в пакете.

В блоке приема из байтов данных формируются слова разрядности 32/64. При формировании слов первый поступивший байт размещается в разрядах [7:0], второй – в разрядах [15:8], третий – в разрядах [23:16], четвертый – в разрядах [31:24]. Распределение символов данных по разрядам слова данных производится по счетчику байт.

Для того чтобы сократить загрузку процессора в ходе последующей обработки пакетов данных, в этом блоке выполняется выравнивание границ пакетов по границам слов и

формирование дескрипторов пакетов, позволяющих процессору распознать границы отдельных пакетов.

Собственно пакеты данных и дескрипторы пакетов могут храниться в различных областях памяти. Местоположение этих областей в памяти определяется процессором при настройке каналов DMA. Дескрипторы пакетов записываются в память друг за другом и логически организованы в очередь.

Слова данных из буфера приема передаются в канал DMA записи данных в память. Дескрипторы из блока приема передаются в канал DMA записи дескриптора в память. Блок DMA записывает данные и дескрипторы в системную память в соответствии с настройками, выполненными процессором (через регистры SWIC).

Процессор для канала записи дескрипторов в память определяет начальный адрес блока памяти и размер блока памяти. Для записи собственно пакетов данных в память может быть задан один блок памяти (так же, как и для канала записи дескриптора в память) или последовательность блоков памяти, физически расположенных в разных местах памяти.

24.6.1.5 Передача данных в канал SpaceWire

Процесс передачи пакетов данных из системной памяти в канал через контроллер, а также преобразование форматов данных показаны на Рисунок 24.5.

Пакеты данных загружаются из системной памяти в буфер передачи через каналы DMA чтения данных из памяти и чтения дескриптора из памяти.

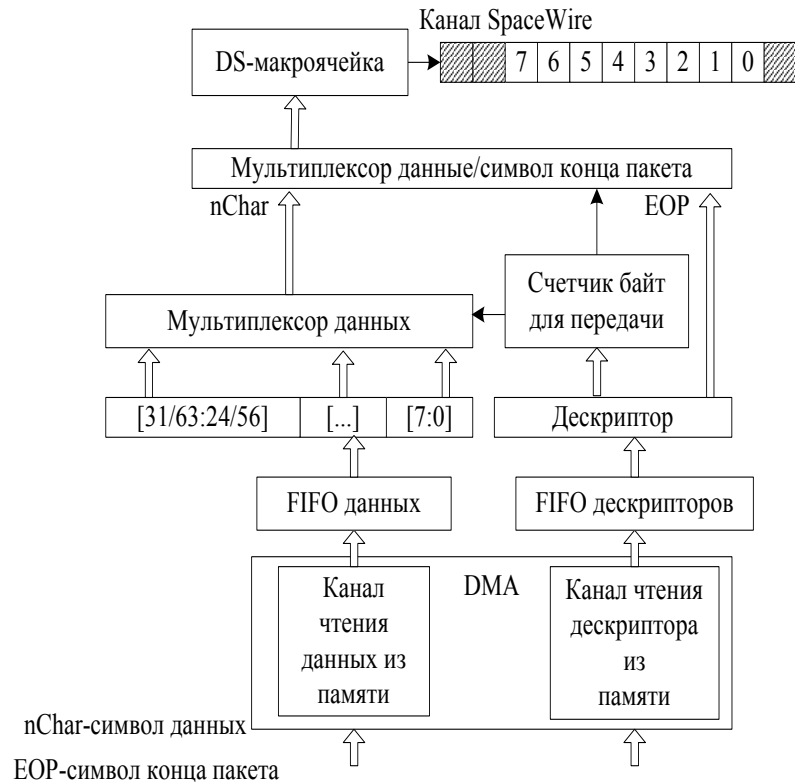


Рисунок 24.5. Передача данных из системной памяти в канал SpaceWire

Блок передачи разбивает слова на отдельные байты. При этом из последовательности байтов в соответствии с информацией, содержащейся в дескрипторе, удаляются «лишние» байты – байты, добавленные для выравнивания пакетов по границам слов, и вставляются символы концов пакетов EOP или EEP. Если в канал SpaceWire передаются пакеты, сгенерированные в данном узле, то предполагается, что они всегда должны заканчиваться символом EOP. Однако пакеты могут проходить через данный процессорный модуль транзитом. В этом случае они могут заканчиваться символом EEP. Коды маркеров EOP или EEP формируются контроллером аппаратно, на основании кодов дескриптора пакета на передачу (разряды 29:30 дескриптора пакета). Сами дескрипторы пакетов на передачу в сеть из основной памяти формируются программно.

Распаковка 32/64-разрядного слова в последовательность из 4/8 байт при передаче из контроллера выполняется по правилу, согласованному с правилом упаковки байтов при приеме данных из канала в контроллер.

Блок передачи вначале передает в DS-макроячейку байт данных, находящийся в разрядах [7:0] слова, затем байт, находящийся в разрядах [15:8], затем байт, находящийся в разрядах [23:15], затем байт из разрядов [31:24] и т.д. 32/64-разрядного слова.

Символы данных и концов пакетов передаются блоком передачи в блок DS-макроячейки. DS-макроячейка преобразует полученные символы в соответствии с алгоритмом DS

кодирования и передает их в канал. Символы передаются в канал SpaceWire младшими разрядами вперед.

24.6.1.6 Возможность передачи коммуникационного пакета

Дескриптор пакета в битах [30:29] содержит информацию о типе передаваемого пакета. Пакет может иметь нормальное окончание (EOP, код 01), ошибочное окончание (EER, код 10), конец пакета может отсутствовать (11), и пакет может иметь тип *коммуникационного пакета* LOG_ADDR (00).

Если конец пакета отсутствует (код 11), то после передачи всех байт данных пакета, соответствующего дескриптору с битами [30:29]=11, конец пакета SpaceWire не посылается в канал. Эта возможность используется, чтобы слить два пакета в один. Например, первый пакет может иметь статус коммуникационного, второй - содержать передаваемые данные. Дескриптор первого пакета в этом случае должен содержать длину коммуникационного пакета. Второй, замыкающий, пакет (пакет данных) должен содержать действительное значение числа байт в основном блоке данных, и тип пакета 01 или 10 (т.е. так же как при стандартной передаче данных). Описанная возможность позволяет отдельно формировать данные для коммуникационного пакета и данные основного пакета. При этом оба пакета располагаются друг за другом, каждому соответствует свой дескриптор, и данные пакетов выровнены по длине 32/64-разрядных слов.

Для тех случаев, когда программист предпочитает иметь заранее сформированный коммуникационный пакет, который бы вставлялся перед передаваемым пакетом данных из памяти, предусмотрен режим передачи коммуникационного пакета из регистра LOG_ADDR. В этом случае нет необходимости формировать коммуникационный пакет для каждого пакета данных. Программисту следует записать в регистр LOG_ADDR данные коммуникационного пакета (максимум - 4 байта) и сформировать для него дескриптор по описанной выше схеме (в области дескрипторов на передачу, перед дескрипторами данных, для которых требуется вставка коммуникационного пакета LOG_ADDR). Всегда, встречая дескриптор с кодом 00, SWIC передает число байт, указанное в этом дескрипторе, из регистра LOG_ADDR, а не из памяти. После передачи данных из этого регистра в канал не высылается конца пакета, таким образом, пакет из регистра сольется с данными следующего пакета.

В обоих случаях (при передаче пакета с дескриптором 11 или 00) при слиянии пакетов на приемной стороне будет принят пакет длиной, равной сумме длин переданных пакетов, первому из которых соответствовал дескриптор 11 или 00.

Передача подряд нескольких пакетов с дескрипторами 11 и 00 допустима, при этом все переданные пакеты с этими дескрипторами - сольются в один пакет на приемной стороне.

24.6.2 Работа с управляющими кодами

24.6.2.1 Маркеры времени

Маркеры времени – системная функция стандарта SpaceWire. Они предназначены для синхронизации системных часов взаимодействующих систем.

При передаче данных маркеры времени имеют наивысший приоритет. Маркер времени записывается в регистр TX_CODE (этот же регистр используется и для передачи в сеть кодов распределенных прерываний, кодов подтверждения прерываний и кодов CC11). После записи выполняется проверка корректности маркера времени – его значение сравнивается со значением поля текущего маркера времени внутреннего регистра контроллера, отображаемого в программно-доступный регистр маркера времени (TRUE_TIME.CUR_TIME). Если значение, записанное в TX_CODE, на 1 больше (циклически) значения TRUE_TIME.CUR_TIME, то маркер времени считается корректным, в противном случае маркер времени считается не корректным. Если маркер времени признан корректным, он передается в сеть и записывается в поле последнего правильного маркера времени TRUE_TIME.TRUE_TIME. В противном случае он записывается в TRUE_TIME.CUR_TIME и более никаких действий не выполняется.

Если маркер времени признан корректным, то DS-макроячейка дожидается окончания передачи символа данных или служебного символа и начинает передачу маркера времени, после окончания передачи маркера времени продолжается передача потока данных.

В канале приема маркер времени выделяется из потока данных и при безошибочном приеме заносится в регистр RX_CODE (разряды 7 - 0) с выставлением соответствующего прерывания, если маркер времени является корректным. Корректным признается маркер времени на 1 больше, чем предыдущий (значение которого отображается в регистр в TRUE_TIME.CUR_TIME), если предыдущий маркер времени имел значение меньше 63. Если предыдущий маркер времени имел значение 63, то следующий корректный маркер времени должен иметь значение 0. Если маркер времени признан корректным, то его значение заносится в TRUE_TIME.CUR_TIME и TRUE_TIME.TRUE_TIME

Если маркер времени не является корректным, то его значение так же заносится в TRUE_TIME.CUR_TIME и соответствующие разряды регистра RX_CODE, однако, прерывание для процессора в данном случае не устанавливается и в TRUE_TIME.TRUE_TIME он не записывается. В начале работы устройства или после сброса маркер времени со значением 1 рассматривается как корректный.

Значение последнего корректного маркера времени хранится в регистре TRUE_TIME.TRUE_TIME.

Значение текущего маркера времени отображается в регистре TRUE_TIME.CUR_TIME.

24.6.2.2 Коды распределенных прерываний и подтверждений

Коды распределенных прерываний и подтверждений являются расширением стандарта SpaceWire.

В данной версии IP-блока SWIC поддерживается два режима работы с кодами распределенных прерываний – режим 5-и разрядных кодов и режим 6-и разрядных кодов. В режиме 5-и разрядных кодов распределенных прерываний используются следующие кодировки:

100xxxxx – коды распределенных прерываний

101xxxxx – коды подтверждений

Младшие 5 разрядов кода – номер распределенного прерывания или подтверждения

В режиме 6-и разрядных кодов распределенных прерываний используются следующие кодировки:

01xxxxxx – коды распределенных прерываний

10xxxxxx – коды подтверждений

Младшие 6 разрядов кода – номер распределенного прерывания или подтверждения

При передаче коды распределенных прерываний и подтверждений имеют приоритет, следующий после маркеров времени.

Для управления режимами обработки распределенных прерываний и подтверждений используются следующие регистры:

ISR_H,L; Int_H,L_mask; Ack_H,L_mask, ISR_TOUT_H,L; TOUT_CODE; ISR_TOUTS2;
ISR_handler_term_funct; ISR_source_term_funct; ISR_spec_term_funct,
ACK_NON_ACK_REGIME, ISR_H,L_reset; MODE_cr2;

Поля `MODE_CR2.Ccode_send_mask` `MODE_CR2.Ccode_res_mask` позволяют замаскировать отправку и прием из сети кодов распределенных прерываний и подтверждений, поля `MODE_CR2.Int_res_mask`, `MODE_CR2.Int_send_mask`, `MODE_CR2.Ack_res_mask`, `MODE_CR2.ack_send_mask` – позволяют замаскировать отправку и прием из сети отдельно кодов распределенных прерываний и отдельно кодов подтверждений. По умолчанию прием и отправка кодов расмаскированы.

Регистры `Int_H,L_mask`; `Ack_H,L_mask` позволяют замаскировать установку прерывания для процессора по факту приема из сети кодов распределенных прерываний и подтверждений. На сам прием и обработку кодов эта настройка никак не влияет.

Регистр `ACK_NON_ACK_regime` позволяет задать режим обработки кодов прерываний – с подтверждениями или без подтверждений. По умолчанию установлен режим с подтверждениями. Если в режиме без подтверждений приходит из сети или отправляется процессором код подтверждения, то он отбрасывается без какой-либо дальнейшей обработки.

Регистр `ISR_source_term_func` позволяет задать, для каких кодов распределенных прерываний данный терминальный узел будет источником. Если задано ненулевое значение таймаута T_g , то узел сможет отправлять в сеть только коды подтверждений, соответствующие прерываниям, для которых он является источником. Если значение $T_g=0$ то узел сможет отправлять в сеть любые коды прерываний, не зависимо от значения этого регистра.

Регистр `ISR_handler_term_func` позволяет задать, для каких кодов распределенных прерываний данный терминальный узел будет обработчиком. Если задано ненулевое значение таймаута T_h , то узел сможет отправлять в сеть только коды подтверждений, соответствующие прерываниям, для которых он является обработчиком. Если значение $T_h=0$ то узел сможет отправлять в сеть любые коды подтверждений, не зависимо от значения этого регистра.

Регистр `ISR_spec_term_func` позволяет задать возможность автоматической отправки в сеть кодов подтверждений на прерывания, для которых данный узел является обработчиком. Если `ISR_handler_term_func(i) = 1` и `ISR_spec_term_func(i) = 1`, то после приема кода распределенного прерывания `INTRi` по истечении таймаута T_h в сеть автоматически будет отправлен код подтверждения `INTAi`.

Регистры `TOUT_CODE` и `ISR_TOUTS2` позволяют задать значения таймаутов для кодов распределенных прерываний и подтверждений. Для того, чтобы осуществлялся подсчет таймаута (любого) необходимо в регистре `TOUT_CODE.GLOB_COU` задать ненулевое значение глобального периода подсчета таймаутов. Все значения таймаутов считаются в периодах глобального счетчика.

При приеме кода распределенного прерывания/подтверждения из сети выполняются следующие действия.

Проверяется, не замаскирован ли прием кодов данного типа из сети. Если прием замаскирован, то код отбрасывается без каких-либо дальнейших действий.

Если прием кода не замаскирован, то начинается его обработка.

При приеме кода распределенного прерывания `INTRi` проверяется значение регистра `ISR`. Если `ISR(i)=1`, то код отбрасывается без каких-либо дальнейших действий. Если `ISR(i)=0` и используется режим с подтверждениями, то проверяется состояние счетчика таймаутов изменения значения для этого разряда `ISR` (`ISR_TOUTS2.LOC_ISR_CHANGE`). Если

данный таймаут не задан, уже истек, или если $INTR_i$ принимается первый раз после сброса, то данный $INTR_i$ считается корректным, $ISR(i)$ устанавливается в значение 1 и данный код записывается в регистр RX_CODE . В противном случае данный код считается не корректным, он отбрасывается без каких-либо дальнейших действий.

Если $ISR(i)=0$ и используется режим без подтверждений, то данный код считается корректным, $ISR(i)$ устанавливается в значение 1 и данный код записывается в регистр RX_CODE .

Если для принятого корректного кода $INTR_i$ используется режим с подтверждениями и $ISR_TOUTS2.LOC_ISR_CHANGE$ не равен 0, то запускается счет таймаута изменения значения ISR . Если для принятого корректного кода $INTR_i$ используется режим с подтверждениями и задано значение $Th \neq 0$ ($ISR_TOUTS2.LOC_TH$) и узел является обработчиком этого прерывания ($ISR_handler_term_funct(i)=1$), то запускается счет таймаута Th .

Если принятый корректный код обрабатывается в режиме с подтверждениями $ACK_NON_ACK_regime(i)=0$, обрабатывается в режиме терминального узла ($ISR_handler_term_funct(i)=1$ или $ISR_source_term_funct(i)=1$) и для него задан таймаут ожидания подтверждения $TOUT_CODE.LOC_Reset_T1_ack$, то запускается счет этого таймаута.

Если принятый корректный код обрабатывается в режиме с подтверждениями $ACK_NON_ACK_regime(i)=0$, обрабатывается в режиме коммутатора ($ISR_handler_term_funct(i)=0$ и $ISR_source_term_funct(i)=0$) и для него задан таймаут ожидания подтверждения $TOUT_CODE.LOC_Reset_SW_ack$, то запускается счет этого таймаута.

Если принятый корректный код обрабатывается в режиме без подтверждений $ACK_NON_ACK_regime(i)=1$, обрабатывается в режиме терминального узла ($ISR_handler_term_funct(i)=1$ или $ISR_source_term_funct(i)=1$) и для него задан таймаут ожидания подтверждения $ISR_TOUTS2.LOC_RESET_T1_nack$ (который в этом случае должен быть задан обязательно), то запускается счет этого таймаута.

Если принятый корректный код обрабатывается в режиме без подтверждений $ACK_NON_ACK_regime(i)=1$, обрабатывается в режиме коммутатора ($ISR_handler_term_funct(i)=0$ и $ISR_source_term_funct(i)=0$) и для него задан таймаут ожидания подтверждения $ISR_TOUTS2.LOC_Reset_SW_nack$ (который в этом случае должен быть задан обязательно), то запускается счет этого таймаута.

Если был запущен счет одного из таймаутов ожидания подтверждения, и до истечения таймаута подтверждение не поступило, то соответствующий разряд $ISR(i)$ будет сброшен автоматически.

Если был запущен счет таймаута T_h и $ISR_spec_term_funct(i)=1$, то по истечении этого таймаута в сеть автоматически отправляется код $INTA_i$, разряд $ISR(i)$ сбрасывается и счет всех таймаутов сбрасывается, а так же запускается счет таймаута $ISR_TOUTS2.LOC_ISR_CHANGE$ (если он задан)

Если код распределенного прерывания отправляется в сеть встроенным RISC ядром (через регистр TX_CODE), то выполняется следующая последовательность действий.

Проверяется значение регистра ISR . Если $ISR(i)=1$, то код отбрасывается без каких-либо дальнейших действий. Если $ISR(i)=0$ и используется режим с подтверждениями, то проверяется состояние счетчика таймаутов изменения значения для этого разряда ISR ($ISR_TOUTS2.LOC_ISR_CHANGE$). Если данный таймаут не задан, уже истек, или если $INTR_i$ отправляется первый раз после сброса, то проверяется значение таймаута T_g ($ISR_TOUTS2.LOC_TG$). Если данный таймаут не задан, уже истек или если $INTR_i$ отправляется первый раз после сброса, то данный $INTR_i$ считается корректным, $ISR(i)$ устанавливается в значение 1 и данный код отправляется в сеть SpaceWire (в порт SpaceWire). В противном случае данный код считается не корректным, он отбрасывается без каких-либо дальнейших действий.

Если $ISR(i)=0$ и используется режим без подтверждений, то данный код считается корректным, $ISR(i)$ устанавливается в значение 1 и данный код отправляется в сеть SpaceWire (в порт SpaceWire).

Если для данного корректного кода $INTR_i$ используется режим с подтверждениями и $ISR_TOUTS2.LOC_ISR_CHANGE$ не равен 0, то запускается счет таймаута изменения значения ISR .

Если данный корректный код обрабатывается в режиме с подтверждениями $ACK_NON_ACK_regime(i)=0$, обрабатывается в режиме терминального узла ($ISR_handler_term_funct(i)=1$ или $ISR_source_term_funct(i)=1$) и для него задан таймаут ожидания подтверждения $TOUT_CODE.LOC_Reset_T1_ack$, то запускается счет этого таймаута.

Если данный корректный код обрабатывается в режиме с подтверждениями $ACK_NON_ACK_regime(i)=0$, обрабатывается в режиме коммутатора ($ISR_handler_term_funct(i)=0$ и $ISR_source_term_funct(i)=0$) и для него задан таймаут ожидания подтверждения $TOUT_CODE.LOC_Reset_SW_ack$, то запускается счет этого таймаута. (!!! Надо отметить, что данная ситуация является некорректной с точки зрения настроек сети, однако при ненастроенном T_g , она не блокируется)

Если данный корректный код обрабатывается в режиме без подтверждений $ACK_NON_ACK_regime(i)=1$, обрабатывается в режиме терминального узла ($ISR_handler_term_funct(i)=1$ или $ISR_source_term_funct(i)=1$) и для него задан таймаут

ожидания подтверждения `ISR_TOUTS2.LOC_RESET_T1_nack` (который в этом случае должен быть задан обязательно), то запускается счет этого таймаута.

Если данный корректный код обрабатывается в режиме без подтверждений `ACK_NON_ACK_regime(i)=1`, обрабатывается в режиме коммутатора (`ISR_handler_term_funct(i)=0` и `ISR_source_term_funct(i)=0`) и для него задан таймаут ожидания подтверждения `ISR_TOUTS2.LOC_Reset_SW_nack` (который в этом случае должен быть задан обязательно), то запускается счет этого таймаута. (!!! Надо отметить, что данная ситуация является некорректной с точки зрения настроек сети, однако при ненастроенном `Tg`, она не блокируется)

Если был запущен счет одного из таймаутов ожидания подтверждения, и до истечения таймаута подтверждение не поступило, то соответствующий разряд `ISR(i)` будет сброшен автоматически.

При приеме кода распределенного прерывания/подтверждения из сети выполняются следующие действия.

Проверяется, не замаскирован ли прием кодов данного типа из сети. Если прием замаскирован, то код отбрасывается без каких-либо дальнейших действий.

Если прием кода не замаскирован, то начинается его обработка.

При приеме кода подтверждения `INTAi` проверяется значение регистра `ISR`. Если `ISR(i)=0`, то код отбрасывается без каких-либо дальнейших действий. Если `ISR(i)=0` и используется режим с подтверждениями, то проверяется состояние счетчика таймаутов изменения значения для этого разряда `ISR` (`ISR_TOUTS2.LOC_ISR_CHANGE`). Если данный таймаут не задан, уже истек, или если `INTAi` принимается первый раз после сброса, то данный `INTAi` считается корректным, `ISR(i)` устанавливается в значение 1 и данный код записывается в регистр `RX_CODE`. В противном случае данный код считается не корректным, он отбрасывается без каких-либо дальнейших действий.

Если используется режим без подтверждений, то данный код считается не корректным и отбрасывается без каких либо действий

Если для принятого корректного кода `INTAi` `ISR_TOUTS2.LOC_ISR_CHANGE` не равен 0, то запускается счет таймаута изменения значения `ISR`. Если для принятого корректного кода `INTAi` используется режим с подтверждениями и задано значение `Tg/=0` (`ISR_TOUTS2.LOC_TG`) и узел является источником этого прерывания (`ISR_source_term_funct(i)=1`), то запускается счет таймаута `Th`.

Если код подтверждения отправляется в сеть встроенным RISC ядром (через регистр `TX_CODE`), то выполняется следующая последовательность действий.

Проверяется значение регистра ISR. Если $ISR(i)=0$, то код отбрасывается без каких-либо дальнейших действий. Если $ISR(i)=0$ и используется режим с подтверждениями, то проверяется состояние счетчика таймаутов изменения значения для этого разряда ISR (`ISR_TOUTS2.LOC_ISR_CHANGE`). Если данный таймаут не задан, уже истек, или если $INTR_i$ отправляется первый раз после сброса, то проверяется значение таймаута Th (`ISR_TOUTS2.LOC_TH`). Если данный таймаут не задан, уже истек или если $INTA_i$ отправляется первый раз после сброса, то данный $INTA_i$ считается корректным, $ISR(i)$ устанавливается в значение 1 и данный код отправляется в сеть SpaceWire (в порт SpaceWire). В противном случае данный код считается не корректным, он отбрасывается без каких-либо дальнейших действий.

Если $ISR(i)=0$ и используется режим без подтверждений, то данный код отбрасывается автоматически без каких-либо действий.

Если для данного корректного кода $INTA_i$ `ISR_TOUTS2.LOC_ISR_CHANGE` не равен 0, то запускается счет таймаута изменения значения ISR.

В регистре `ISR_tout_L`, `ISR_tout_H` разряды, соответствующие распределенным прерываниям, для которых истек таймаут ожидания, устанавливаются в 1. Для того, чтобы сбросить значение разряда, в него необходимо записать 1.

Регистр `ISR_H,L_reset` используется для сброса разрядов регистра ISR_i всех связанных с ними служебных флагов и счетчиков. Для сброса i разряда и связанных с ним флагов и счетчиков в i разряд данного регистра необходимо записать 1.

Данный регистр рекомендуется использовать при администрировании сети, если в результате изменения конфигурации сети (либо по каким-то другим причинам) необходимо изменить размеры таймаутов, роли терминальных узлов (переназначить терминальные узлы, которые будут являться источниками и обработчиками прерываний).

24.6.2.3 Управляющие коды, назначение которых не определено стандартом

К управляющим кодам, назначение которых на данный момент не определено стандартом, относятся коды $C11$ ($C[7..6]=11$) и при использовании 5-и битных кодов распределенных прерываний коды $C01$ ($C[7..6]=01$).

Для того, чтобы отправить такой код в сеть, необходимо записать его значение в регистр `TX_CODE`. Процесс отправки данного управляющего кода аналогичен процессу отправки маркера времени.

При приеме такого кода из сети он регистрируется в регистре `RX_CODE` (код $C11$ записывается в поле `C11_CODE`, код $C01$ записывается в поле `C01_CODE`). По факту приема управляющего кода может быть установлено прерывание `IRQ_2` (`CCODE`)

24.6.3 Управление установкой соединения и скоростью передачи данных

24.6.3.1 Установка скорости передачи данных

Управление скоростью передачи осуществляется посредством регистра TX_SPEED. Установка скорости передачи осуществляется путем записи коэффициента скорости в разряды [9:0] регистра TX_SPEED. Этот коэффициент напрямую передается в SWxPLL. До установки соединения в эти разряды должен быть записан коэффициент, соответствующий скорости установки соединения. После установки соединения в эти разряды регистра могут быть записаны другие значения (соответствующие требуемой скорости передачи). Если происходит разрыв соединения, то в этот регистр снова необходимо записать коэффициент, соответствующий скорости установки соединения.

24.6.3.2 Установка соединения

Для разрешения процесса установки соединения необходимо записать лог. «0» в разряд LinkDisabled и «1» в разряд LinkStart регистра режима работы MODE_CR – для запуска канала, WORK_TYPE = «0».

Критерием успешного установления соединения является: либо прохождение прерывания INT_LINK и отсутствие прерывания INT_ERR либо нахождение DS-макроячейки в состоянии Run (в регистре STATUS поле LINK_STATE=5).

После обнаружения прерывания INT_LINK, необходимо считать регистр STATUS и проверить биты DC_ERR, P_ERR, ESC_ERR, CREDIT_ERR на равенство «0». Бит CONNECTED должен быть равен «1». При выполнении этих условий - соединение с удаленной системой установлено.

Для активации функции пассивной установки соединения необходимо записать лог «0» в разряды LinkDisabled и LinkStart, и «1» в разряд AutoStart. В этом случае DS-макроячейка будет ждать приёма первого NULL-маркера. После приёма первого NULL-маркера будет начата процедура установки соединения.

Повторное соединение на скорости выше 10 Мбит/с не предусмотрено стандартом SpaceWire, вследствие этого при переустановке соединения необходимо снова установить скорость установки соединения.

24.6.3.3 Разрыв соединения

Возможны два случая разрыва соединения – по ошибке в канале или по принудительному рассоединению.

Для завершения соединения (принудительная остановка канала) необходимо записать лог «1» в разряд LinkDisabled режима работы MODE_CR.

В обоих случаях канал SpaceWire перестает работать. При принудительной остановке канала на другой стороне возникнет прерывание INT_1 (ERR) в связи с наличием ошибки рассоединения.

При остановке работы канала может наблюдаться разрыв передаваемого пакета. Если в момент разрыва соединения передатчиком передавался пакет, то остаток пакета, который не передан, будет отброшен до конца пакета.

При остановке работы канала может наблюдаться разрыв принимаемого пакета. Если в момент разрыва соединения приемник принимал пакет, то пакет завершается принудительно вставкой символа EEP в месте разрыва.

24.6.3.4 Определение скорости приема

Оценка скорости приема выполняется при разрешенной работе канала и установленном соединении. Коэффициент скорости приема отображается в регистре RX_SPEED[9:0].

24.6.4 Работа с прерываниями

24.6.4.1 IRQ_0 (LINK)

Данное прерывание устанавливается в том случае, если происходит установка соединения SpaceWire – порт переходит в состояние Run.

При выходе контроллера из состояния сброса данное прерывание замаскировано. Для того, чтобы его размаскировать, необходимо поле IRQ_0_mask в регистре MODE_CR установить в значение 1.

Для того чтобы сбросить данное прерывание, необходимо записать 1 в поле GOT_FIRST_BIT регистра STATUS.

24.6.4.2 IRQ_1 (ERR)

Данное прерывание устанавливается в том случае, если происходит разрыв соединения или ошибка канала – порт выходит из состояния Run.

При выходе контроллера из состояния сброса данное прерывание замаскировано. Для того, чтобы его размаскировать, необходимо поле IRQ_1_mask в регистре MODE_CR установить в значение 1.

В режиме по умолчанию (MODE_cr2.err_regime=0) для того, чтобы его сбросить, необходимо в регистре STATUS сбросить поля DC_ERR, P_ERR, ESC_ERR, CREDIT_ERR (для сброса соответствующего поля необходимо записать в него значение 1).

При установке `MODE_cr2.ert_regime=1` включается режим, в котором сброс прерывания выполняется автоматически при переходе DS-макроячейки в состояние RUN

24.6.4.3 IRQ_2 (CCODE)

Данное прерывание может быть установлено в следующих случаях

- из сети принят корректный маркер времени;
- из сети принят корректный код распределенного прерывания или подтверждения;
- из сети принят управляющий код, назначение которого не определено стандартом;
- истек таймаут ожидания кода подтверждения.

При выходе контроллера из состояния сброса данное прерывание замаскировано. Для того, чтобы его размаскировать, необходимо поле `IRQ_2_mask` в регистре `MODE_CR` установить в значение 1.

Возможно маскирование установки прерывания по каждой из вызывающих его причин в отдельности. Для того, чтобы замаскировать установку прерывания при приеме корректного маркера времени, необходимо поле `TCode_mask` регистра `MODE_CR` установить в 0. Для того, чтобы замаскировать установку прерывания по факту принятия корректного кода распределенного прерывания или подтверждения, необходимо поле `INT_mask` регистра `MODE_CR` установить в 0. Для того, чтобы замаскировать прерывание по факту приема управляющего кода, назначение которого не определено стандартом, необходимо поле `CC_11_mask` (для кодов `C_11`) и поле `CC_01_mask` (для кодов `C_01`) регистра `MODE_CR` установить в 0.

Для того, чтобы замаскировать прерывание по факту истечения таймаута ожидания кода подтверждения, необходимо установить в 0 поле `INT_tout_mask` регистра `MODE_CR`.

Для того, чтобы сбросить данное прерывание, если оно установилось по факту приема корректного маркера времени, необходимо в поле `GOT_TIME` регистра `STATUS` записать значение 1.

Для того, чтобы сбросить данное прерывание, если оно установилось по факту приема корректного кода распределенного прерывания, необходимо в поле `GOT_INT` регистра `STATUS` записать значение 1.

Для того, чтобы сбросить данное прерывание, если оно установилось по факту приема корректного кода подтверждения, необходимо в поле `GOT_ACK` регистра `STATUS` записать значение 1.

Для того, чтобы сбросить данное прерывание, если оно установилось по факту приема кода, назначение которого не определено стандартом, необходимо в поле `CC_11` или `CC_01` регистра `STATUS` записать значение 1.

Для того, чтобы сбросить данное прерывание, если оно установилось по факту истечения таймаута необходимо сбросить в 0 разряды ISR_tout_L, ISR_tout_H, установленные в 1 (для этого записать в них значение 1).

24.6.5 Тестирование LVDS

Режим тестирования LVDS предназначен для тестирования аналоговых блоков LVDS. Для того чтобы включить режим тестирования LVDS необходимо в регистре MODE_CR поле LVDS_regime установить в 1 (поле LinkDisabled при этом должно быть установлено в 0). И необходимо разрешить работу LVDS – для этого в разряды [9:8] поля TX_SPEED регистра TX_SPEED необходимо записать значение 2'b11.

После этого значение, записываемое в поле S_LVDS_TX регистра MODE_CR, будет передаваться напрямую на S_LVDS_TX и значение, записываемое в поле D_LVDS_TX регистра MODE_CR, будет передаваться напрямую на D_LVDS_TX.

В этом режиме значения, принимаемые на S_LVDS_RX и D_LVDS_RX будут напрямую записываться в поля S_LVDS_RX и D_LVDS_RX регистра STATUS.

24.6.6 Работа с портами, неподключенными к кабелю

Если к порту SWIC не подключен кабель, то соединение по порту должно быть запрещено, все каналы DMA этого порта должны быть остановлены, все прерывания по порту (от SWIC, от DMA и др.) должны быть замаскированы.

24.7 Подключение каналов SpaceWire

Каналы SpaceWire, согласно стандарту, на физическом уровне соответствуют стандарту LVDS. В процессорах серии «Мультикор» (а также в интерфейсных микросхемах SpaceWire) приемопередатчики LVDS для каналов SpaceWire реализованы в составе микросхемы. Таким образом, выводы SpaceWire микросхем необходимо подключать напрямую к разъемам на плате.

В составе приемников LVDS уже предусмотрены резисторы номиналом 100 Ом между сигналами SINN-SINP и DINN-DINP. Установка внешних резисторов между линиями приемников не требуется. Также рекомендуется установка failsafe-резисторов согласно схеме на Рисунок 24.6.

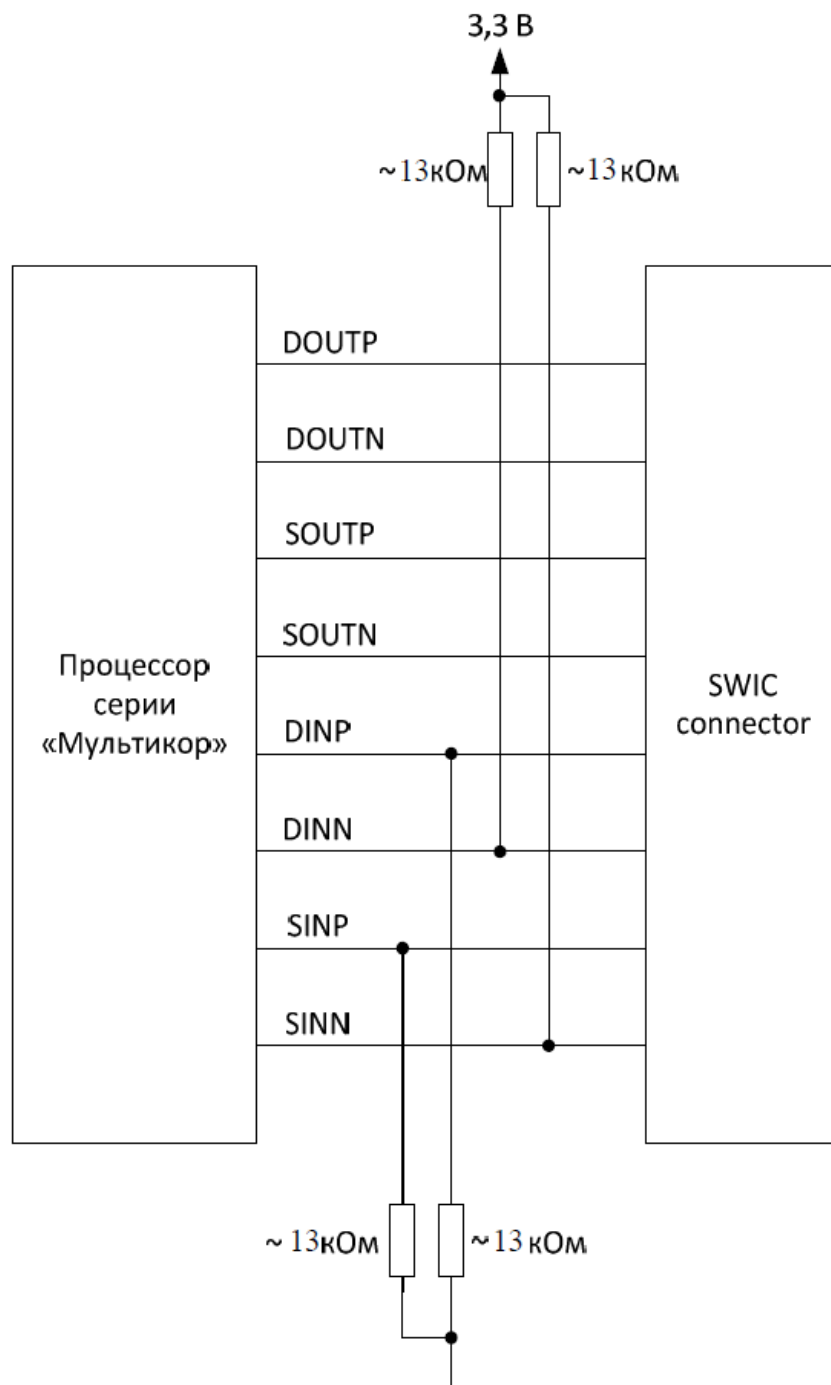


Рисунок 24.6

25. ВСТРОЕННЫЕ DMA ПОРТОВ MFBSP И SWIC

25.1 Каналы DMA периферийных портов

Для обслуживания портов MFBSP0, MFBSP1, SWIC0, SWIC1 в их составе введены каналы DMA. Каналы DMA конкретного порта являются его неотъемлемой составной частью, и тактируются той же частотой, что и сам порт.

Перечень каналов: MFBSP_TX_CH1, MFBSP_RX_CH1, MFBSP_TX_CH0, MFBSP_RX_CH0, SWIC_TX_DES_CH0, SWIC_TX_DAT_CH0, SWIC_RX_DES_CH0, SWIC_RX_DAT_CH0, SWIC_TX_DES_CH1, SWIC_TX_DAT_CH1, SWIC_RX_DES_CH1, SWIC_RX_DAT_CH1. Доступ к настройке каналов осуществляется по областям, показанным в таблицах 25.1 – 25.2.

Таблица 25.1. Смещения для областей настройки каналов MFBSP

Смещение	Описание
0x00	Настройка каналов MFBSP_TX
0x40	Настройка каналов MFBSP_RX

Таблица 25.2. Смещения для областей настройки каналов SWIC

Смещение	Описание
0x00	Настройка каналов SWIC_RX_DES
0x40	Настройка каналов SWIC_RX_DAT
0x80	Настройка каналов SWIC_TX_DES
0xc0	Настройка каналов SWIC_TX_DAT

Для управления работой каналы DMA портов содержат следующие регистры:

- регистр управления и состояния (CSR);
- регистр индекса (физический адрес памяти) (IR);
- регистр начального адреса блока параметров DMA передачи для самоинициализации (CP);
- псевдорегистр управления состоянием бита RUN регистра CSR.

Доступ к этим регистрам осуществляется по адресам, показанным в Таблица 25.3.

Таблица 25.3. Регистры встроенных DMA портов SWIC и MFBSP

Смещение	Обозначение	Описание
0x00	CSR	Регистр управления и состояния (по чтению сброс битов «END» и «DONE»)
0x04	CP	Регистр указателя цепочки
0x08	IR	Регистр индекса
0x0c	RUN	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR На чтение: Регистр управления и состояния без сброса битов «END» и «DONE»

Исходное состояние регистров CSR: разряды 15:0 – нули, а состояние разрядов 31:16 не определено. Исходное состояние остальных регистров не определено.

Каналы DMA портов передают данные по коммутатору L_COMM 64-разрядными словами.

32-разрядный индексный регистр IR содержат физический адрес внутренней или внешней памяти. После передачи каждого слова данных к индексу IR прибавляется смещение на одно 64-х разрядное слово.

Формат регистров управления и состояния CSR каналов DMA этих портов приведен в Таблица 25.4.

Таблица 25.4. Формат регистра CSR управления и состояния DMA портов

Номер разряда	Условное обозначение	Назначение
0	RUN	Состояние работы канала DMA: 0 – состояние останова; 1 – состояние обмена данными. Устанавливается в 1 при записи 1 в этот разряд. Устанавливается в 0: при завершении передачи блока данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
1	-	Не используется
5:2	WN	Число слов данных (пачка), которое передается за одно предоставление прямого доступа: 0 – 1 слово, F – 16 слов. Посредством этого параметра можно плавно изменять приоритет каналов DMA относительно других устройств и относительно друг друга
11:6	-	Не используется
12	CHEN	Разрешение выполнения очередной процедуры самоинициализации: 0 – выполнение очередной процедуры самоинициализации запрещено; 1 – выполнение очередной процедуры самоинициализации разрешено. Используется только при обмене цепочкой блоков данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
13	IM	Маска разрешение установки признака END: 0 – установки признака запрещено; 1 – установки признака разрешено. Используется только при обмене цепочкой блоков данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
14	END	Признак завершения передачи блока данных. Устанавливается в 1 при завершении передачи блока данных (при IM=1). Устанавливается в 0 при чтении содержимого этого регистра.

Номер разряда	Условное обозначение	Назначение
15	DONE	Признак завершения передачи блока данных. Устанавливается в 1 при завершении передачи блока данных при CHEN=0 (CHEN=1 может быть только при использовании процедуры самоинициализации). Устанавливается в 0 при чтении содержимого этого регистра
31:16	WCX	Кроме EMAC_CN: число 64-разрядных слов данных, которые должен передать канал DMA (блок данных); количество передаваемых слов: WCX + 1; содержимое этого поля уменьшается на 1 после передачи каналом DMA очередного слова данных. Для EMAC_CN: число байт данных, которое должен передать канал DMA (блок данных); количество передаваемых байт: WCX + 1; содержимое этого поля уменьшается на число переданных байт данных. Исходное состояние поля не определено.

Все разряды регистра CSR доступны по записи и чтению.

Бит RUN может быть использован для остановки работы канала DMA портов. Для этого в любой момент времени в него необходимо записать 0. Эта процедура возможна, если длина массива данных, указанного в канале DMA порта, равна длине массива данных, который порт передаст (например, MFBSP). Для продолжения работы в бит RUN необходимо записать 1.

Если порт прекратил обмен данными по внешней причине, то длина массива данных, указанного в канале DMA порта, будет не равна длине массива данных, который порт действительно передаст. В этом случае для остановки работы порта и его канала DMA необходимо использовать следующие алгоритмы.

Алгоритм остановки MFBSP и его канала DMA:

1. Остановить MFBSP, для чего в регистр CSR_MFBSP необходимо записать 0.
2. Выполнить операцию записи 0 в бит RUN регистра CSR соответствующего канала DMA MFBSP (при этом, бит RUN может в 0 не установиться).
3. Установить в 1 бит RX_DBG (TX_DBG) регистра EMERG_MFBSP.
4. Дождаться установки в 0 бита RUN регистра CSR соответствующего канала DMA MFBSP.
5. Установить в 0 бит RX_DBG (TX_DBG) регистра EMERG_MFBSP.

Алгоритм остановки SWIC и его каналов DMA:

1. Выполнить операцию записи 0 в биты RUN регистров CSR каналов DMA SWIC (канал записи в память дескрипторов принимаемых пакетов, канал записи в память

принимаемых слов данных, канал чтения из памяти дескрипторов передаваемых пакетов, канал чтения из памяти передаваемых слов данных).

2. Установить в регистре MODE_CR SWIC в 1 биты Link_disable (остановка работы SWIC) и LINK_RESET.
3. Дождаться установки в 0 битов RUN регистров CSR каналов DMA SWIC.
4. Установить в регистре MODE_CR SWIC в 0 бит LINK_RESET.

Следует отметить, что при выполнении этого алгоритма «хвост» передаваемых данных из порта теряется, а в «хвосте» приемного буфера данные будут недостоверны.

Состоянием разряда 0 регистра CSR можно управлять, используя адрес псевдорегистра RUN. При этом остальные разряды этого регистра не изменяются. Эта процедура может быть использована для временной приостановки канала DMA. При чтении по адресу псевдорегистра RUN считывается содержимое регистра CSR без сброса битов END и DONE.

25.2 Процедура самоинициализации

Все каналы DMA могут выполнять процедуру самоинициализации (выполнение цепочки передач DMA).

Для выполнения самоинициализации в каналах DMA имеется 32-разрядный регистр CP, в котором хранится физический начальный адрес блока параметров очередного DMA обмена. Младшие три разряда регистра CP игнорируются (адреса выровнены по границе 64-разрядного слова). Младший (нулевой разряд) регистра CP используется для старта режима самоинициализации. Эти параметры при самоинициализации аппаратно загружаются в 64-разрядном формате в соответствующие регистры канала DMA. Процедура этой загрузки ничем не отличается от обычного DMA обмена. Блок параметров может размещаться в любой памяти микросхемы.

Если необходимо продолжить цепочку команд, то необходимо указать CHEN=1. В режиме самоинициализации при записи параметров в регистр CSR биты END и DONE недоступны.

Для запуска работы канала DMA в режиме с самоинициализацией необходимо в регистр CP записать адрес первого блока параметров DMA передачи. При этом 0 разряд записываемых данных должен содержать 1 (признак пуска самоинициализации). В результате этого, соответствующий канал загрузит в свои регистры параметры DMA передачи и начнет обмен данными.

После окончания передачи блока данных бит END в регистре CSR устанавливается в единичное состояние, если бит IM = 1 - выдается прерывание. По окончании передачи блока данных также проверяется состояние бита CHEN. Если он равен 1, то будет загружен следующий блок параметров DMA передачи и т.д. В противном случае цепочка

DMA обменов закончится и в регистре CSR бит DONE установится в единичное состояние и выдается прерывание.

Параметры для самоинициализации каналов DMA портов размещаются в памяти в двух последовательных 64-разрядных словах, следующим образом (в порядке возрастания адресов):

$$63 \text{-----} 0 \\ \{IR_{32}, -32\}; \\ \{CSR_{32}, CP_{32}\}.$$

При необходимости каналы DMA могут инициализироваться программно. Для этого CPU должен загрузить все необходимые регистры индекса и смещения, а затем регистр CSR. При загрузке регистра CSR бит RUN необходимо установить в единичное состояние. Следует отметить, что бит RUN может быть использован для приостановки канала DMA. Для этого в любой момент времени в него необходимо записать 0. Для продолжения работы соответственно в бит RUN необходимо записать 1. Бит RUN может быть использован также для приостановки выполнения цепочки, если при загрузке очередных параметров он будет равен 0. Для продолжения выполнения цепочки в бит RUN необходимо записать 1. Для удобства организации обмена только с битом RUN имеется специальный регистр.

26. ШИРОТНО-ИМПУЛЬСНЫЙ МОДУЛЯТОР (PWM)

26.1 Введение

Широтно-импульсный модулятор PWM (Pulse Width Modulator) генерирует выходные импульсы сложной формы при минимальном участии CPU. Блок отличается высокой гибкостью работы и простотой программирования.

Блок PWM состоит из 2-х каналов PWM_CN.

Каждый канал PWM_CN имеет следующие особенности:

- 32-битный специализированный счетчик с возможностью контроля периода, частоты и направления счета;
- два независимых выхода сформированных сигналов OUTA и OUTB;
- асинхронный программный контроль выходных сигналов;
- программное управление сдвигом фазы выходных сигналов относительно фазы выходных сигналов других каналов PWM;
- синхронизация относительно других каналов во время пуска и во время работы;
- возможность генерация запретной зоны от различных фронтов с различным периодом;
- контроль выходных сигналов по внешним входам TU;
- возможность наложения высокочастотного сигнала на выходы OUTA и OUTB;
- управление формированием запроса на прерывание CPU.

26.2 Функциональное описание

Структурная схема PWM представлена на Рисунок 26.1

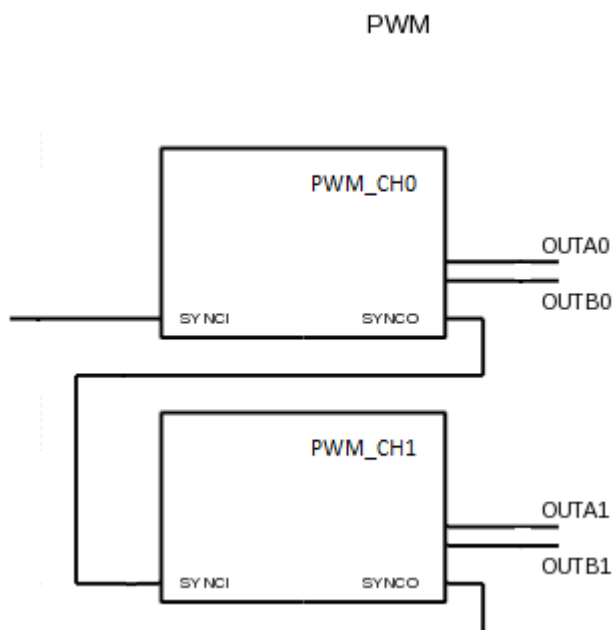


Рисунок 26.1. Структурная схема PWM

PWM_CH состоит из 8 блоков (Рисунок 26.2)

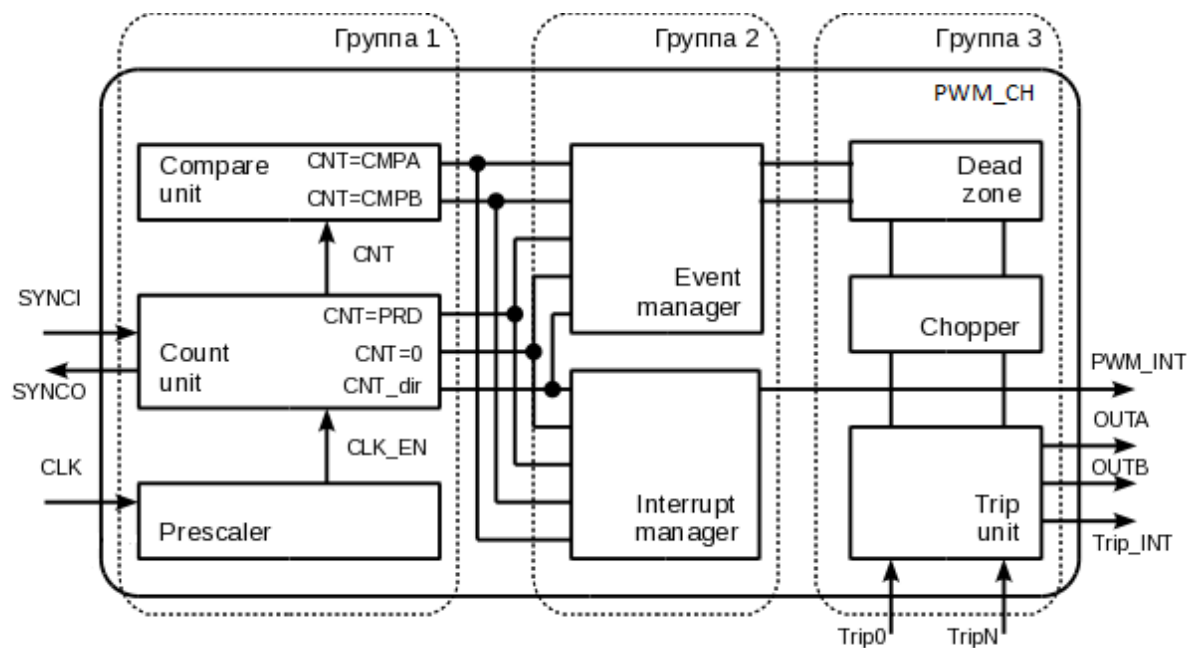


Рисунок 26.2. Структурная схема PWM_CH

Условно их можно разделить на три группы:

Группа 1 — основные функциональные блоки (предделитель, счетчик, компаратор). Основная функция данной группы — формирование ряда периодических событий, на основе которых осуществляется функционирование всего канала.

Группа 2 — блоки определяющие реакцию на события, поступающие из первой группы блоков и формирующие основные сигналы PWM_CH OUTA, OUTB, PWM_INT. Для широтно-импульсной модуляции достаточно задействовать первые две группы блоков.

Группа 3 — блоки, осуществляющие дополнительное форматирование сформированных на предыдущих стадиях сигналов. Данная группа блоков может использоваться по отдельности, все вместе, так и не использоваться вообще, в этом случае сигналы проходят на выход без изменения.

Для большей функциональной гибкости используется структура из двух независимых PWM_CH устройств с возможностью одновременного пуска.

26.2.1 Предделитель частоты (prescaler)

На Рисунок 26.3 представлена функциональная схема предделителя частоты.

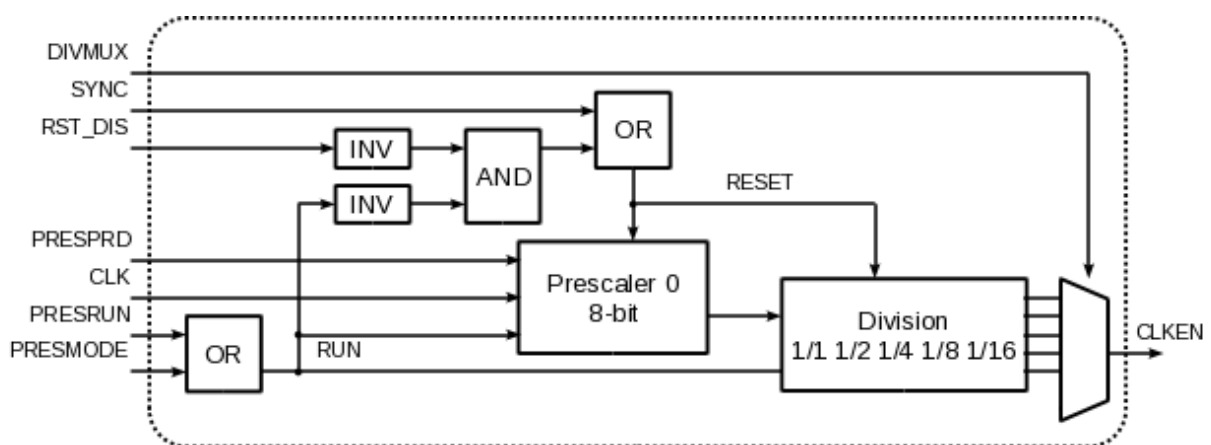


Рисунок 26.3. Функциональная схема предделителя частоты

Задача предделителя — подготовить тактовый сигнал нужного периода (CLKEN). Генерация данного сигнала может осуществляться постоянно (в режиме PRESMODE == 1) или только при включении PWM_CH (PRESMODE == 0 & PRESRUN = 1, где PRESRUN — признак включения PWM_CH).

Во время остановки таймера предделитель переходит в исходное состояние (при RST_DIS == 0) или сохраняет текущее (при RST_DIS == 1)

Данная система пуска и останова позволяет при наращивании количества каналов PWM_CH в системе реализовать их синхронную работу.

Перевод предделителя в исходное состояние возможен также при возникновении внешнего сигнала SYNCI (или его программной эмуляции).

Для формирования рабочей частоты используются два уровня деления. На первом уровне (prescaler) реализован 8-разрядный счетчик-предделитель способный уменьшить частоту в 256 раз (в соответствии со значением регистра $CLKCTL[PRESPRD]$), на втором уровне частота делится в соотношении 1/1, 1/2, 1/4, 1/8, 1/16.

Для управления пуском предделителей каналов PWM Рисунок 26.4 используется единый регистр CTRRUN позволяющий синхронизировать работу таймеров в момент пуска и останова.

В PWM реализовано 2 независимых канала, каждый из которых может работать как асинхронно друг относительно друга, так и синхронно.

Настройка периода частоты синхронизации таймера осуществляется программированием регистра CLKCTL полей PRESPRD и DIVMUX.

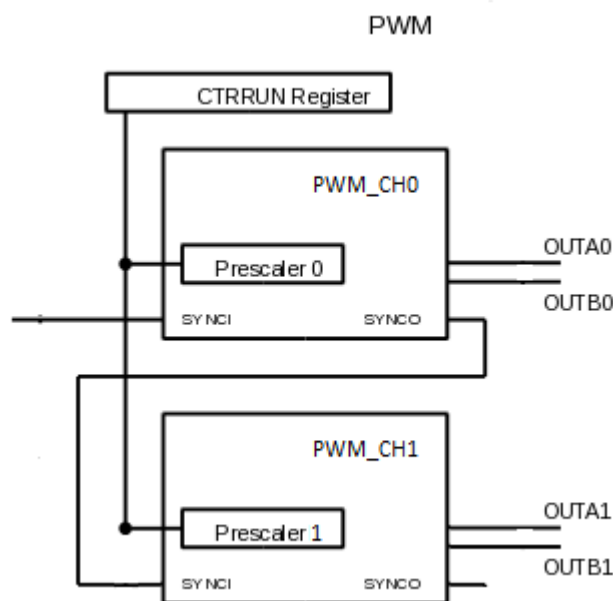


Рисунок 26.4. Управление пуском предделителей каналов PWM

Период полученного сигнала CLKEN_x можно определить по формуле:

$$T_{CLKEN} = T_{CLK} * (CLKCTL[PRESPRD] + 1) * 2^{CLKCTL[DIVMUX]}$$

26.2.2 Основной счетчик (Count unit)

Функции:

- организует счет в трех режимах:

- up;
- down;
- up-down;
- генерирует события:
 - равенство счетчика нулю (CTRCNT=0);
 - равенство счетчика периоду (CTRCNT=CTRPRD);
- синхронизация фазы с другими счетчиками.

Вычисление периода и частоты PWM_CH (Рисунок 26.5)

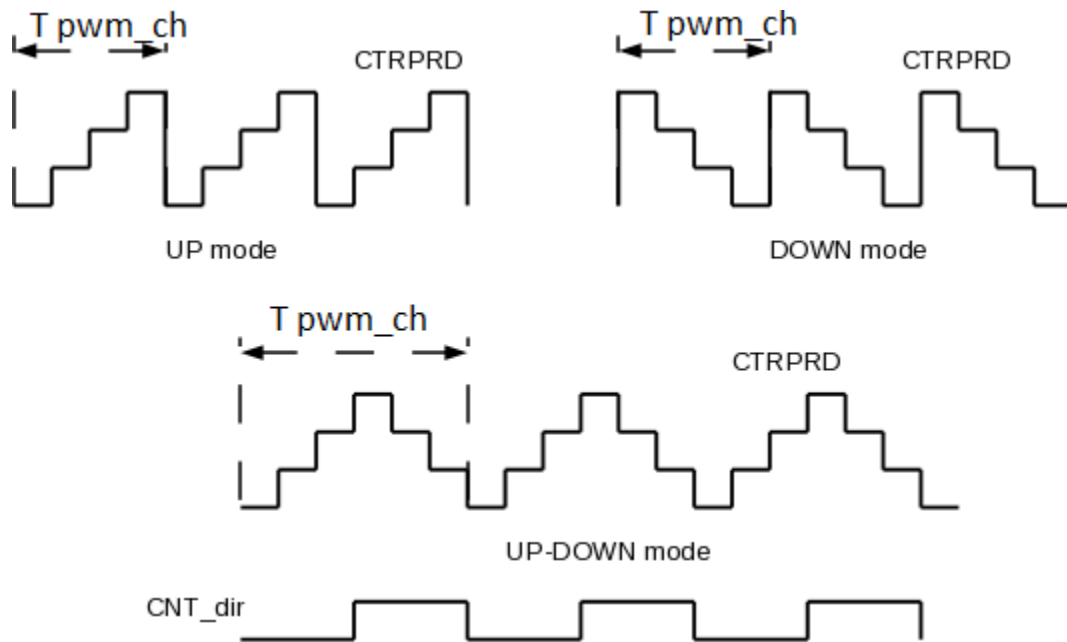


Рисунок 26.5. Вычисление периода и частоты PWM_CH

Таким образом период PWM_CH определяем по формуле $T_{PWM_CH} = (CTRPRD + 1) * T_{CLKEN}$ - в режимах UP и DOWN, $T_{PWM_CH} = 2 * (CTRPRD + 1) * T_{CLKEN}$ - режиме UP-DOWN.

Теневой (буферный) регистр периода CTRPRD

Регистр периода CTRPRD имеет двойника, который используется для аппаратной синхронизации записи нового значения периода. Фактически имеется два регистра:

- активный регистр — регистр непосредственно участвующий в работе счетчика;
- теневой регистр — регистр предназначенный для временного хранения данных предназначенных для активного регистра.

Адрес у этих регистров один и тот же, а с каким из них работает программист в данный момент определяет бит CLKCTL[LOADPRD]:

- режим работы с участием теневого регистра CLKCTL[LOADPRD]=0. Данные записанные программистом в регистр периода хранятся в теневом регистре до тех

пор, пока счетчик не будет равен нулю ($CTR\text{CNT}=0$). Когда счетчик обнулится данные из теневого регистра перепишутся в активный;

- режим работы без участия теневого регистра $CLKCTL[LOADPRD]=1$. Доступ к активному регистру осуществляется напрямую. Данный режим установлен по умолчанию.

Синхронизация каналов PWM при помощи сигналов SYNCI/O (Рисунок 26.6)

Под синхронизацией понимается перевод счетчика $CTR\text{CNT}$ в значение, прописанное в регистре фазы синхронизации $CTR\text{PHS}$. Синхронизацию можно отключить при помощи бита $CLKCTL[SYNCPHSEN]$. Признаком к старту синхронизации может быть:

- импульс на входе SYNCI;
- программная синхронизация (запись бита $CLKCTL[SWFSYNC]$).

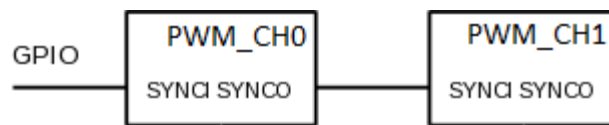


Рисунок 26.6. Синхронизация каналов

Примеры синхронизации.

Таймер работает в режиме UP-COUNT (Рисунок 26.7).

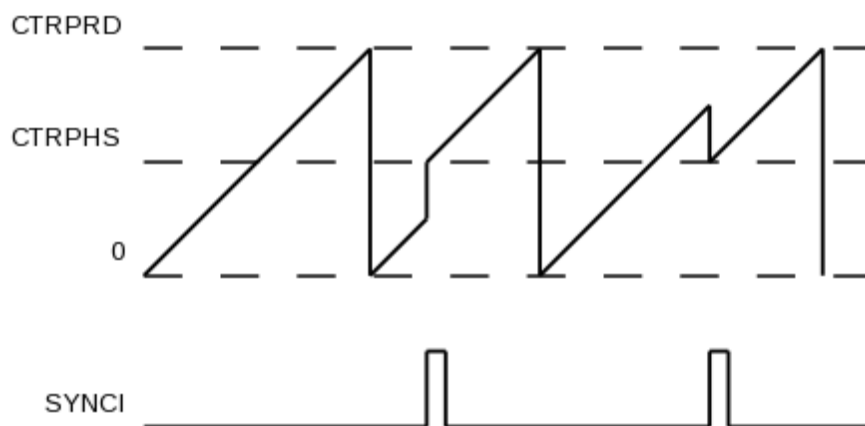


Рисунок 26.7. Синхронизация при работе в режиме UP_COUNT

Таймер работает в режиме DOWN-COUNT (Рисунок 26.8).

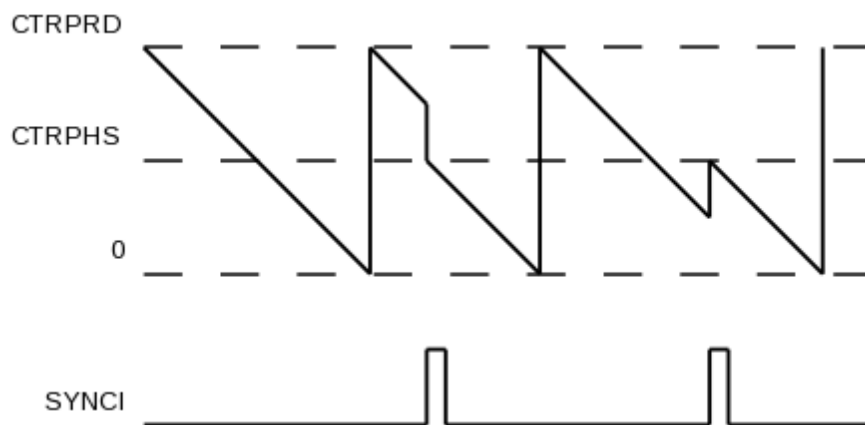


Рисунок 26.8. Синхронизация при работе в режиме DOWN_COUNT

Таймер работает в режиме UP-DOWN-COUNT ($CLKCTL[DIRSYNC]=0$ — после синхронизации счетчик декрементируется Рисунок 26.9).

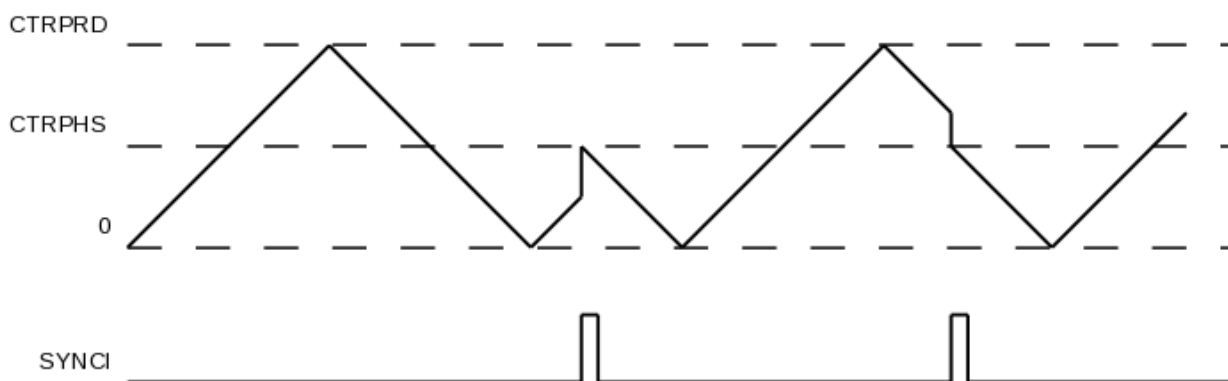


Рисунок 26.9. Синхронизация при работе в режиме UP-DOWN-COUNT

Таймер работает в режиме UP-DOWN-COUNT ($CLKCTL[DIRSYNC]=0$ — после синхронизации счетчик инкрементируется

Рисунок 26.10)

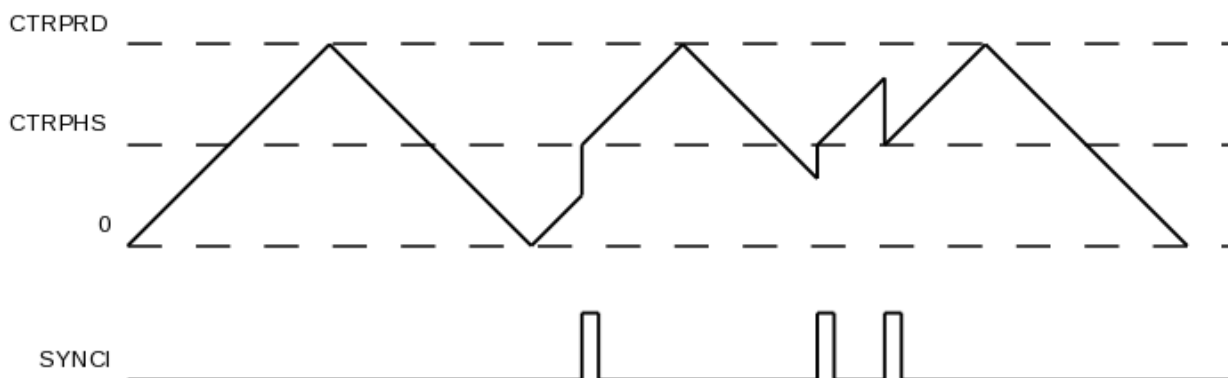


Рисунок 26.10. Синхронизация при работе в режиме UP-DOWN-COUNT

Пуск и остановка счетчиков осуществляется записью соответствующего значения в регистр CTRRUN[RUN*] (Рисунок 26.11). Для управления каналами PWM (PWM_CH0, PWM_CH1) в этом регистре выделены по 3 бита. Наличие основных управляющих сигналов в одном регистре позволяет синхронно управлять каналами.

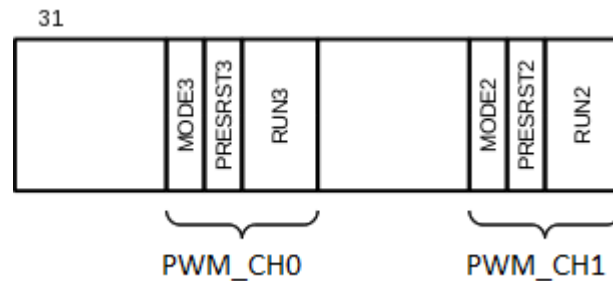


Рисунок 26.11. Распределение управляющих битов в регистре CTRRUN

При пуске таймера основной счетчик (CTRCNT) начинает счет с того состояния в котором он находится. В том случае, если счетчик запускается в режиме «DOWN-COUNT», а CTRCNT=0, то следующее значение CTRCNT=CTRPRD, при этом сформируется признак события равенства счетчика нулю ZERO_EVENT.

Для отображения направления счета используется статусный бит CTRSTS[DIR_STS].

При пуске канала в режиме «DOWN-COUNT» DIR_STS устанавливается в 0, в остальных случаях устанавливается в 1. При работе в режиме «UP-DOWN-COUNT» DIR_STS инвертируется при достижении счетчика нуля (CTRCNT=0) и периода счета (CTRCNT=CTRPRD).

Для удобства статусные биты от всех каналов PWM также сосредоточены в одном регистре CTRSTS (Рисунок 26.12).

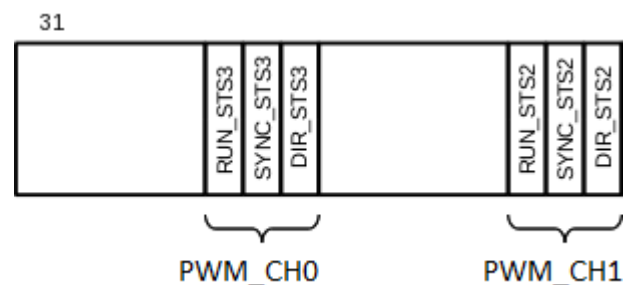


Рисунок 26.12. Распределение битов статуса в регистре CTRSTS

26.2.3 Блок сравнения Compare unit

Основная задача блока — сравнение значения записанного в регистрах CMPA и CMPB со значением счетчика CTCNT и формирование признаков равенства:

- $CTCNT = CMPA$;
- $CTCNT = CNTB$.

Регистры CMPA и CMPB имеют двойников (теневые регистры), и все операции чтения/записи по умолчанию осуществляются через них. Момент загрузки данных из теневых регистров в основные определяется в регистре управления CMPCTL[LDBMODE] для регистра CMPB и CMPCTL[LDAMODE] для регистра CMPA. Также в регистре управления присутствуют флаги определяющие были загружены данные из теневых регистров или нет (CMPCTL[SCMPBFULL] и CMPCTL[SCMPAFULL]). При необходимости теневые регистры можно отключить и работать напрямую с CMPA и CMPB.

Примеры формирования событий совпадения при работе счетчика в различных режимах.

Таймер работает в режиме UP-COUNT (Рисунок 26.13)

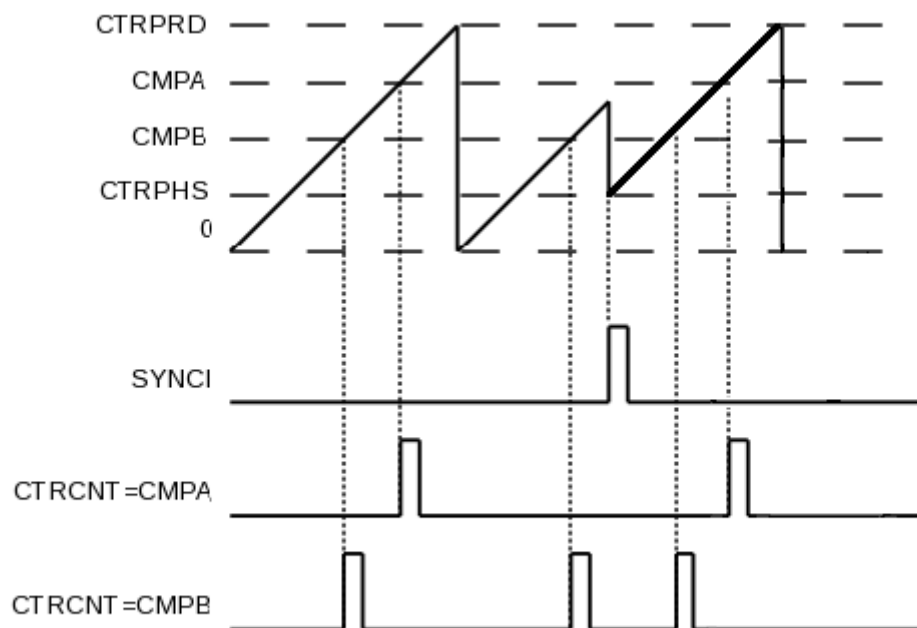


Рисунок 26.13. Формирование событий при работе в режиме UP-COUNT

Таймер работает в режиме DOWN-COUNT (Рисунок 26.14).

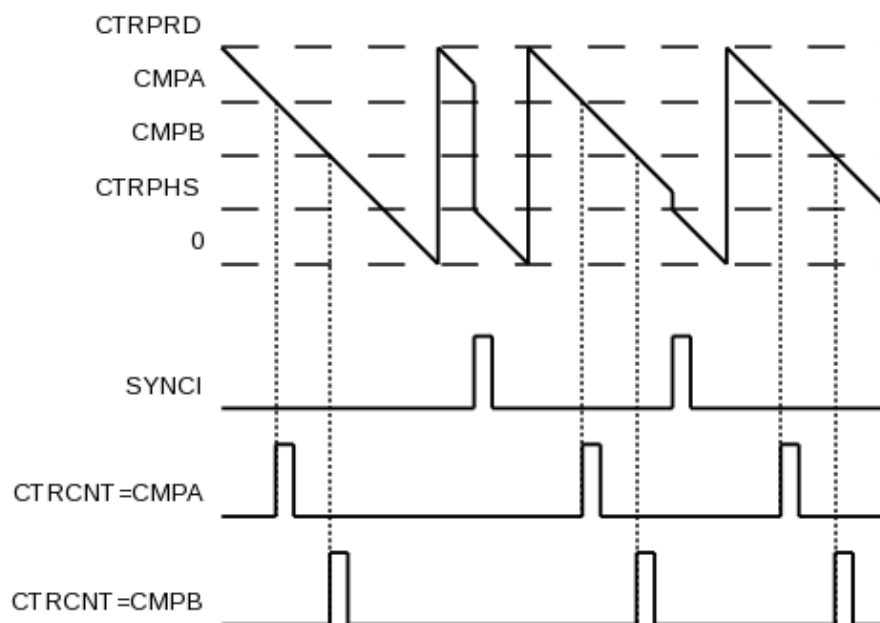


Рисунок 26.14. Формирование событий при работе в режиме DOWN-COUNT

Таймер работает в режиме UP-DOWN-COUNT ($CLKCTL[DIRSYNC]=0$) — после синхронизации счетчик декрементируется (Рисунок 26.15).

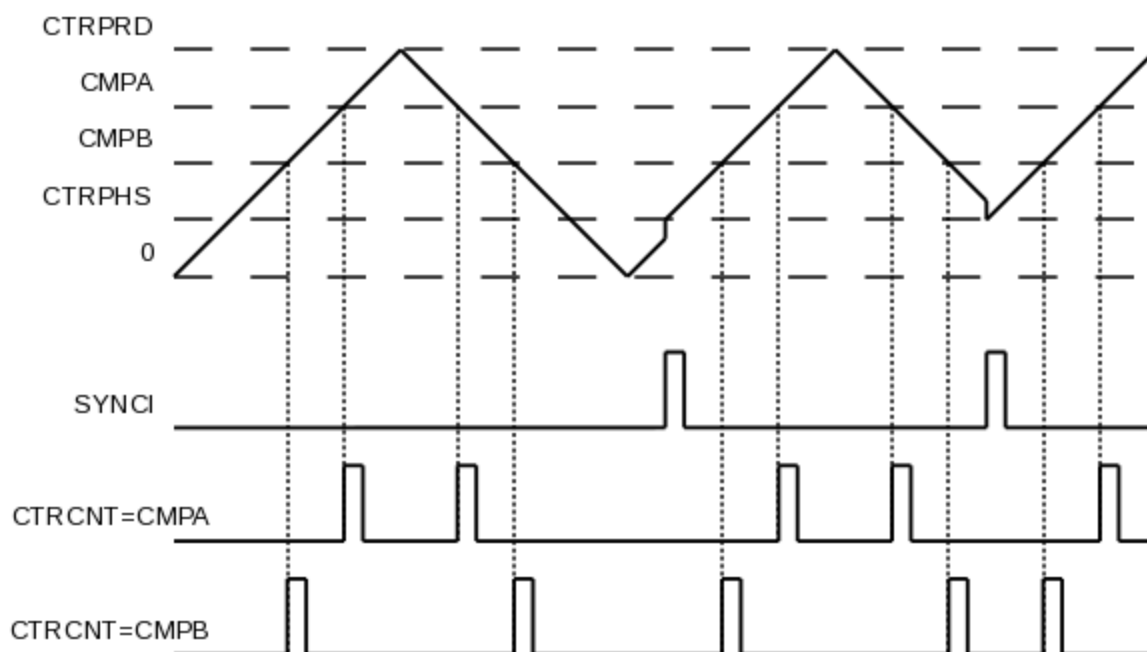


Рисунок 26.15. Формирование событий при работе в режиме UP-DOWN-COUNT

Таймер работает в режиме UP-DOWN-COUNT (CLKCTL[DIRSYNC]=0 — после синхронизации счетчик инкрементируется Рисунок 26.16).

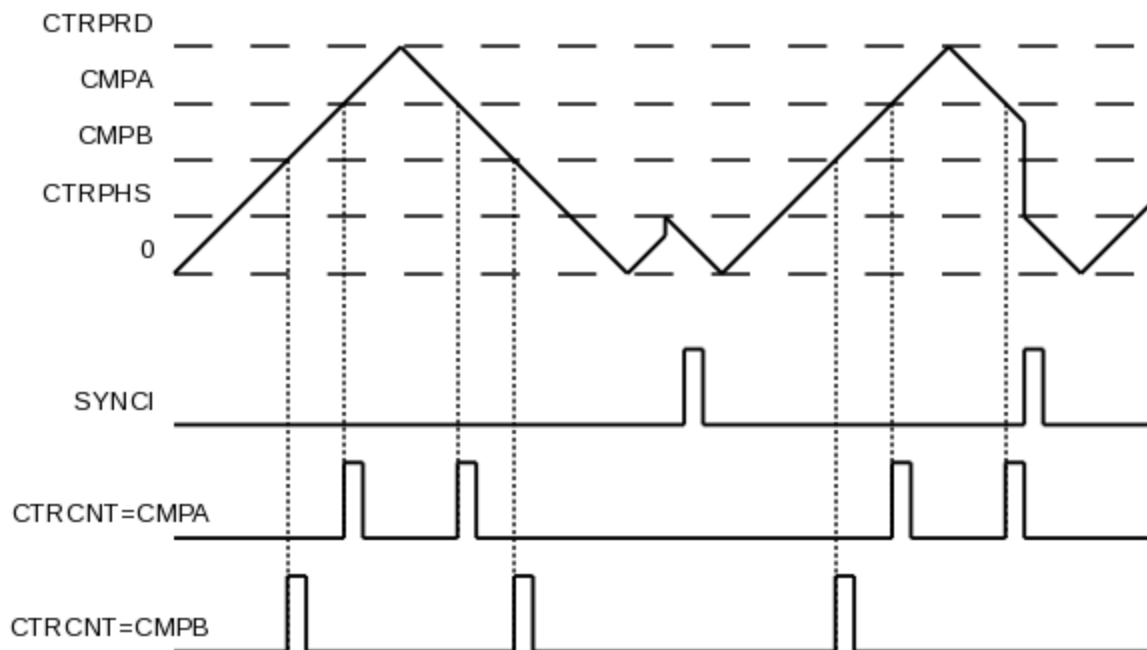


Рисунок 26.16. Формирование событий при работе в режиме UP-DOWN-COUNT

26.2.4 Блок реакции на событие Event manager

Задача данного блока — формирование выходных сигналов OUTA и OUTB на основе следующих событий:

- CTRCNT = PRD;
- CTRCNT = CMPA;
- CTRCNT = CMPB;
- CTRCNT = 0.
- программное переключение (SW forced)

При возникновении любого из этих событий возможна одна из следующих реакций:

- установить OUTA и/или OUTB в 1;
- установить OUTA и/или OUTB в 0;
- инвертировать OUTA и/или OUTB.
- OUTA и/или OUTB оставить без изменений.

Как реагировать на возникающие события определяется регистрами EMCTLA для OUTA и EMCTLB для OUTB.

Регистры EMSWFR и EMCSWFR определяют реакцию на программное переключение.

При одновременном возникновении событий обрабатывается событие с наивысшим приоритетом.

Для каждого из режимов работы счетчика определен порядок обработки событий.

Таймер работает в режиме UP-COUNT (перечислено в порядке убывания приоритета Таблица 26.1)

Таблица 26.1. Порядок обработки событий при работе в UP-COUNT режиме

1	SW forced
2	CTRCNT = PRD
3	CTRCNT = CMPB
4	CTRCNT = CMPA
5	CTRCNT = 0

Таймер работает в режиме DOWN-COUNT (Таблица 26.2).

Таблица 26.2. Порядок обработки событий при работе в DOWN-COUNT режиме

1	SW forced
2	CTRCNT = 0
3	CTRCNT = CMPB
4	CTRCNT = CMPA
5	CTRCNT = PRD

Таймер работает в режиме UP-DOWN-COUNT (Таблица 26.3).

Таблица 26.3. Порядок обработки событий при работе в UP-DOWN-COUNT режиме

	Счетчик инкрементируется	Счетчик декрементируется
1	SW forced	SW forced
2	CTRCNT = CMPB	CTRCNT = CMPB
3	CTRCNT = CMPA	CTRCNT = CMPA
4	CTRCNT = 0	CTRCNT = PRD

Пример формирования выходных сигналов OUTA и OUTB при работе счетчика в режиме UP-DOWN (Рисунок 26.17).

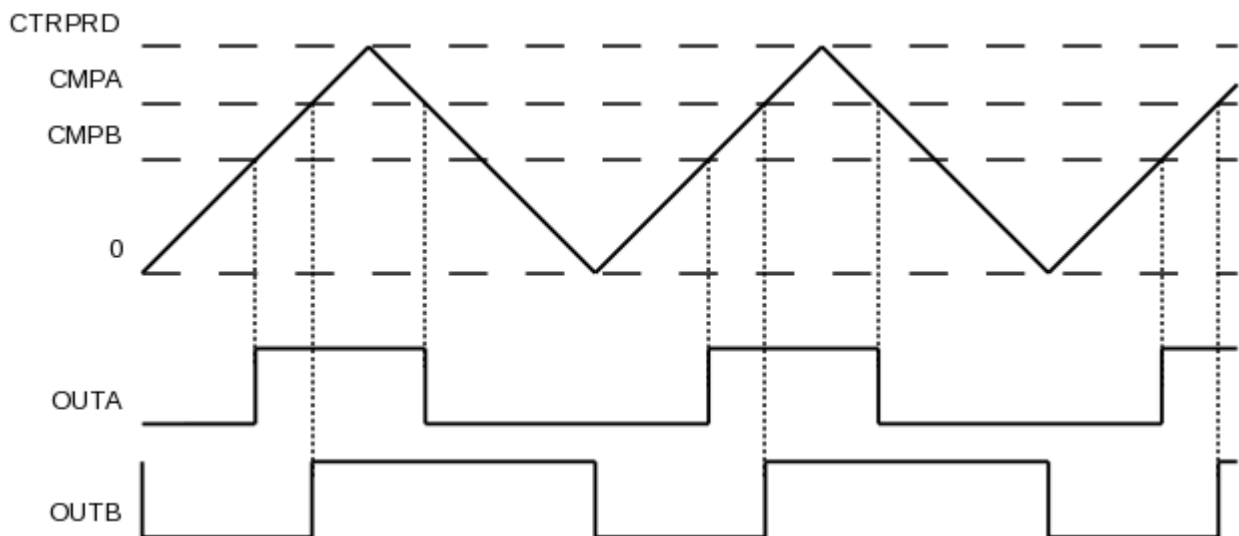


Рисунок 26.17. Пример формирования выходных сигналов OUTA и OUTB

26.2.5 Генератор запретной зоны (Dead zone)

Блок реакции на события позволяет достаточно гибко управлять формой выходного сигнала, но для формирования определенной задержки после фронта сигнала более удобно использовать генератор запретной зоны.

Функциональная схема блока представлении на Рисунок 26.18

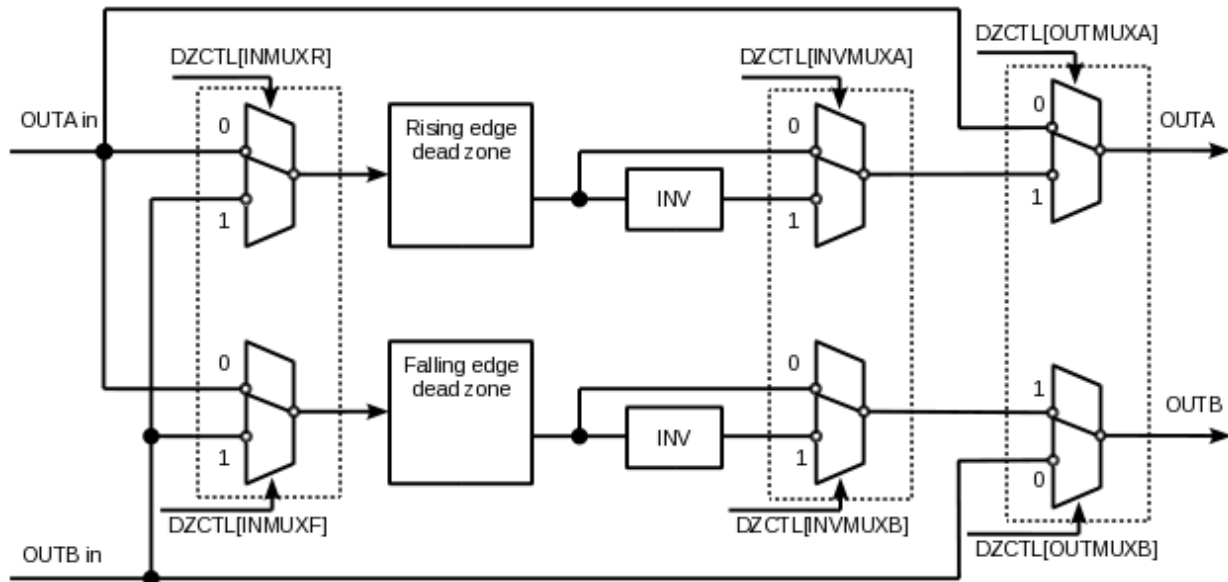


Рисунок 26.18. Функциональная схема блока генерации запретной зоны

Основная функция блока — формирование «мертвой» зоны (формирование выходного сигнала со сдвигом фронта относительно входного сигнала) после переднего, заднего или обоих фронтов.

Для управления режимом работы блока используется регистр DZCTL. Задержки после переднего и заднего фронтов задаются в регистрах DZRPER и DXFPER соответственно.

Пример генерации запретной зоны для сигнала «OUTA in» от переднего и заднего фронтов без выходной инверсии (Рисунок 26.19).

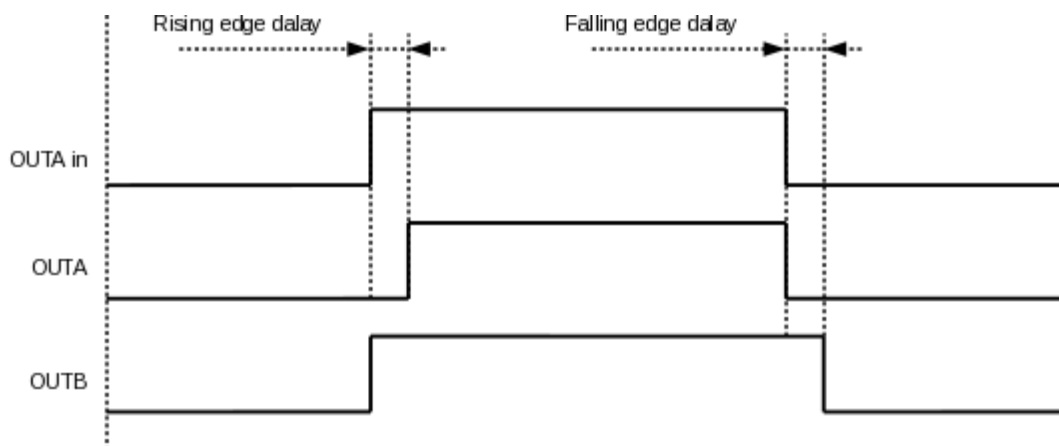


Рисунок 26.19. Пример генерации запретной зоны

Величину задержки после фронта можно определить по формуле:

$T_{CLKEN} * DZRPER$ — для переднего фронта (rising edge delay);

$T_{CLKEN} * DZFPER$ — для заднего фронта (falling edge delay)

26.2.6 Блок дробления выходного сигнала Chopper

Основная функция блока — наложение на выходной сигнал дробящей частоты.

Поддерживаются следующие возможности:

- управление длительностью первого импульса (CHCTL[FIRSTWTH]);
- управление периодом дробящей частоты (CHCTL[CHCLKDIV]);
- управление скважностью дробящей частоты (CHCTL[CHDUTY]);
- выключение данной функции.

Пример простого наложения дробящей частоты (Рисунок 26.20).

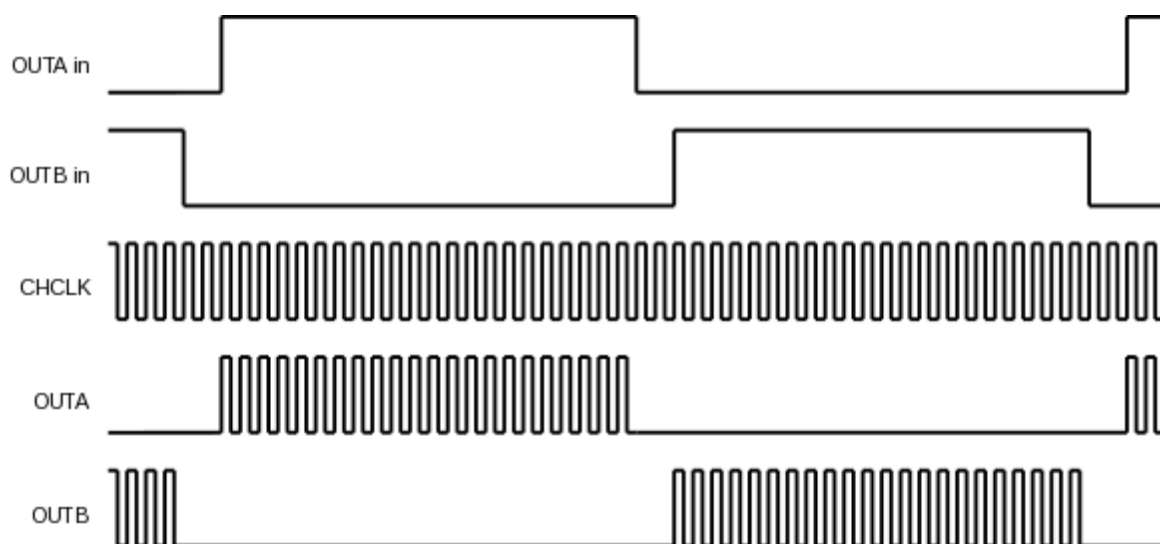


Рисунок 26.20. Пример наложения дробящей частоты

Пример наложения дробящей частоты и первого импульса (Рисунок 26.21).

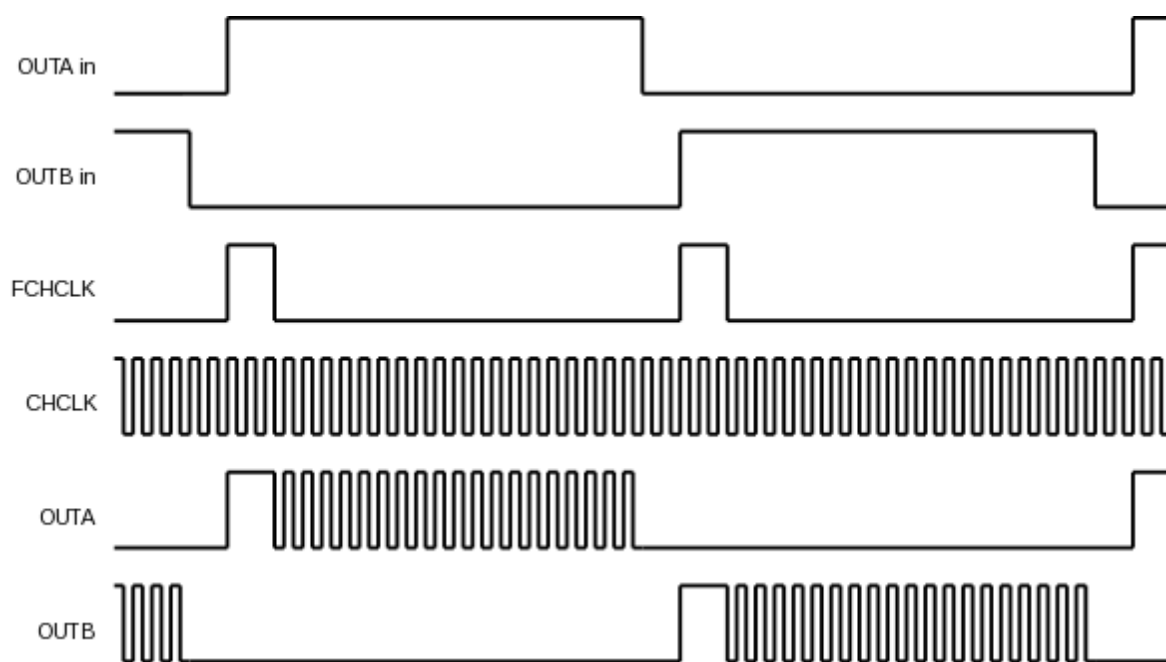


Рисунок 26.21. Пример наложения дробящей частоты и первого импульса

26.2.7 Блок реакции на внешнее воздействие Trip unit

В следующем разделе описываются возможные операции и конфигурационные параметры блока Trip unit.

Основная функция блока — анализ входных воздействий по линиям TU и реакция на них путем изменения сигналов OUTA и OUTB, а также формирование запроса на прерывание процессора по каналу PWM_TU_INT.

Входные сигналы TU0 — TU7 активны низким уровнем. При установке на одном из данных входов «0» блок выполняет определенное действие. Каждый канал PWM может быть индивидуально настроен на каждый из TU* сигналов. Какие линии TU будут использоваться конкретным каналом PWM, программируется в регистре TUSEL этого блока. TU сигнал может быть как синхронным, так и асинхронным относительно CLK.

TU* вход может быть индивидуально сконфигурирован, чтобы обеспечить как циклическую реакцию на данное событие, так и единичную. Конфигурация определяется битами TUSEL[ONE] и TUSEL[MULT].

Независимо от того в какой конфигурации мы работаем реакция на событие производится в соответствии с данными в регистре TUCTL (Таблица 26.4).

Таблица 26.4. Возможная реакция на внешнее воздействие

TUCTL[TUA] и/или TUCTL[TUB]	OUTA и/или OUTB
0h	High-impedance
1h	Подтянуть к 1
2h	Подтянуть к 0
3h	Нет действия

В режиме реакции на каждое событие (MULT) устанавливается флаг данного события TUSTS[MULT], а также генерируется прерывание PWM_TU_INT если оно разрешено в регистре TUINTM[MULT].

Данное состояние автоматически сбрасывается при достижении счетчика нулевого значения STRCNT=0 если на TU* к этому времени восстановилось единичное значение. Таким образом, в данном режиме событие сброса очищается каждый цикл счетчика PWM. TUSTS[MULT] также может быть сброшен записью 1 в TUCLR[MULT], при условии, что на TU* к этому времени восстановилось единичное значение. Если на входе TU присутствует 0, то очистить бит TUSTS[MULT] невозможно.

В режиме однократной реакции на событие (ONE) устанавливается флаг данного события TUSTS[ONE], а также генерируется прерывание PWM_TU_INT если оно разрешено в регистре TUINTM[ONE]. Реакция на данное событие может быть сброшена только вручную записью 1 в TUCLR[ONE].

Запись единичных значений в поля ONE и MULT регистра TUFRC позволяет имитировать возникновение событий ONE и MULT соответственно.

26.2.8 Блок формирования запроса прерывание процессора Interrupt control

Формирует сигнал прерывания PWN_INT при возникновении различных событий. При помощи регистра TUSEL можно выбрать, на какое из следующих событий реагировать:

- CTRCNT = 0;
- CTRCNT = CTRPRD;
- CTRCNT = CMPA при инкременте счетчика;
- CTRCNT = CMPA при декременте счетчика;
- CTRCNT = CMPB при инкременте счетчика;
- CTRCNT = CMPB при декременте счетчика.

В зависимости от периода прерывания записанного в регистре ICCTL[EVENTPRD] происходит реакция:

- на каждое событие;
- на каждое второе событие;
- на каждое третье событие.

При необходимости возможно программное формирование прерывания при помощи регистра ICFRC.

26.3 Описание регистров

26.3.1 Карта памяти

Базовый адрес индивидуальных регистров каналов PWM:

- PWM_CH0_OFFSET = 0x3809_0000;
- PWM_CH1_OFFSET = 0x3809_0100;

Базовый адрес индивидуальных регистров каналов PWM:

- PWM_GLOBAL_OFFSET = 0x3809_0X00;

26.3.2 Сводная таблица регистров

В Таблица 26.5 приведен список регистров, которыми обладает каждый канал PWM. Адрес индивидуального регистра вычисляется по формуле:

$$\text{ADDR_REG} = \text{PWM_CH*_OFFSET} + \text{REG_OFFSET}$$

Адрес глобального регистра вычисляется по формуле:

$$\text{ADDR_REG} = \text{PWM_GLOBAL_OFFSET} + \text{REG_OFFSET}$$

Таблица 26.5. Сводная таблица регистров

Смещение	Условное обозначение	Описание	Доступ	Исходное состояние
0x80	STRRUN*	Регистр управления пуском/остановом таймера	R/W	0x00000000
0x84	STRSTS*	Регистр статуса счетчика	R/W	0x01010101
0x08	CLKCTL	Регистр управления параметрами блока Count unit	R/W	0x0000003A
0x0C	STRPHS	Регистр фазы синхронизации блока Count unit	R/W	0x00000000
0x10	STRPRD	Регистр периода счета блока Count unit	R/W	0x00000000
0x14	STRCNT	Регистр счетчика блока Count unit	R/W	0x00000000
0x20	CMPTL	Регистр управления параметрами блока сравнения Compare unit	R/W	0x00000000
0x24	CMPA	Регистр сравнения CMPA блока сравнения Compare unit	R/W	0x00000000
0x28	CMPB	Регистр сравнения CMPB блока сравнения Compare unit	R/W	0x00000000
0x2C	EMCTLA	Управляющий регистр выхода OUTA блока Event manager	R/W	0x00000000
0x30	EMCTLB	Управляющий регистр выхода OUTB блока Event manager	R/W	0x00000000
0x34	EMSWFR	Регистр программного управления выходами OUTA/OUTB с однократным действием блока Event manager	R/W	0x00000000
0x38	EMCSWFR	Регистр программного управления выходами OUTA/OUTB с продолжительным действием блока Event manager	R/W	0x00000000
0x40	DZCTL	Регистр управления блока Dead zone	R/W	0x00000000
0x44	DZRPER	Регистр периода задержки после переднего фронта блока Dead zone	R/W	0x00000000
0x48	DXFPER	Регистр периода задержки после заднего фронта блока Dead zone	R/W	0x00000000
0x4C	CHCTL	Регистр управления блока Chopper	R/W	0x00000000
0x50	TUSEL	Регистр выбора принципа работы блока Trip unit	R/W	0x00000000
0x54	TUCTL	Регистр определения реакции на событие блока Trip unit	R/W	0x00000000
0x58	TUINTM	Регистр маски прерывания блока Trip unit	R/W	0x00000000
0x5C	TUSTS	Регистр статуса блока Trip unit	R	0x00000000
0x60	TUCLR	Регистр очистки битов статуса блока Trip unit	R/W	0x00000000
0x64	TUFRC	Регистр программного формирования событий блока Trip unit	R/W	0x00000000
0x68	ICSEL	Регистр выбора принципа работы блока Interrupt control	R/W	0x00000000
0x6C	ICCTL	Регистр определения реакции на событие блока Interrupt control	R/W	0x00000000
0x70	ICSTS	Регистр статуса блока Interrupt control	R	0x00000000
0x74	ICCLR	Регистр очистки битов статуса блока Interrupt control	R/W	0x00000000
0x78	ICFRC	Регистр программного формирования событий блока Interrupt control	R/W	0x00000000

«*» помечены глобальные регистры

26.3.3 Глобальные регистры

Особенностью глобальных регистров является то, что с их помощью осуществляется управление одновременно всеми каналами PWM.

26.3.3.1 Регистр управления пуском/остановом таймеров CRTRUN

Регистр CTRRUN (Таблица 26.6) используется для управления пуском/остановом таймера и режимом работы предделителя частоты всех каналов.

Таблица 26.6. Регистр CTRRUN

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:30]	-			
[29]	PRESMODE3	Управление режимом работы предделителя канала PWM_CH3 0 — предделитель формирует частоту только при включенном таймере (RUN3==2'b1x) 1 — предделитель формирует частоту не зависимо от RUN3. Генерация тактового сигнала начинается сразу после записи «1»	R/W	0
[28]	PRESRST3	Управление состоянием предделителя канала PWM_CH3 в момент простоя (PRESMODE3==0 и RUNSTS3==1'b0) 0 — счетчик предделителя сбрасывается в «0» 1 — счетчик предделителя сохраняет состояние на момент останова	R/W	0
[27:26]	-			
[25:24]	RUN3	Управление пуском/остановкой канала PWM_CH3 00b — остановка после следующего переключения счетчика CTCRNT 01b — остановка при совершении следующих событий: up-count режим: остановка при CTCRNT==CTRPRD down-count режим: остановка при CTCRNT==0 up-down-count режим: остановка при CTCRNT==0 1xb — пуск	R/W	0
[23:22]	-			
[21]	PRESMODE2	Управление режимом работы предделителя канала PWM_CH2 0 — предделитель формирует частоту только при включенном таймере (RUN2==2'b1x) 1 — предделитель формирует частоту не зависимо от RUN2. Генерация тактового сигнала начинается сразу после записи «1»	R/W	0
[20]	PRESRST2	Управление состоянием предделителя канала PWM_CH2 в момент простоя (PRESMODE2==0 и RUNSTS2==1'b0) 0 — счетчик предделителя сбрасывается в «0» 1 — счетчик предделителя сохраняет состояние на момент останова	R/W	0
[19:18]	-			
[17:16]	RUN2	Управление пуском/остановкой канала PWM_CH2 00b — остановка после следующего переключения счетчика CTCRNT 01b — остановка при совершении следующих событий: up-count режим: остановка при CTCRNT==CTRPRD down-count режим: остановка при CTCRNT==0 up-down-count режим: остановка при CTCRNT==0 1xb — пуск	R/W	0

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[15:14]	-			
[13]	PRESMODE1	Управление режимом работы предделителя канала PWM_CH1 0 — предделитель формирует частоту только при включенном таймере (RUN1==2'b1x) 1 — предделитель формирует частоту не зависимо от RUN1. Генерация тактового сигнала начинается сразу после записи «1»	R/W	0
[12]	PRESRST1	Управление состоянием предделителя канала PWM_CH1 в момент простоя (PRESMODE1==0 и RUNSTS1==1'b0) 0 — счетчик предделителя сбрасывается в «0» 1 — счетчик предделителя сохраняет состояние на момент останова	R/W	0
[11:10]	-			
[9:8]	RUN1	Управление пуском/остановкой канала PWM_CH1 00b — остановка после следующего переключения счетчика CTCRCNT 01b — остановка при совершении следующих событий: up-count режим: остановка при CTCRCNT==CTRPRD down-count режим: остановка при CTCRCNT==0 up-down-count режим: остановка при CTCRCNT==0 1xb — пуск	R/W	0
[7:6]	-			
[5]	PRESMODE0	Управление режимом работы предделителя канала PWM_CH0 0 — предделитель формирует частоту только при включенном таймере (RUN0==2'b1x) 1 — предделитель формирует частоту не зависимо от RUN0. Генерация тактового сигнала начинается сразу после записи «1»	R/W	0
[4]	PRESRST0	Управление состоянием предделителя канала PWM_CH0 в момент простоя (PRESMODE0==0 и RUNSTS0==1'b0) 0 — счетчик предделителя сбрасывается в «0» 1 — счетчик предделителя сохраняет состояние на момент останова	R/W	0
[3:2]	-			
[1:0]	RUN0	Управление пуском/остановкой канала PWM_CH0 00b — остановка после следующего переключения счетчика CTCRCNT 01b — остановка при совершении следующих событий: up-count режим: остановка при CTCRCNT==CTRPRD down-count режим: остановка при CTCRCNT==0 up-down-count режим: остановка при CTCRCNT==0 1xb — пуск	R/W	0

26.3.3.2 Регистр статуса счетчиков CTRSTS

Регистр CTRSTS (Таблица 26.7) отображает текущее состояние подсистемы Count.

Таблица 26.7. Регистр CTRSTS

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:11]	-			
[10]	RUN_STS1	Бит, отображающий состояние канала PWM_CH1 0 — счетчик остановлен 1 — счетчик работает	R	0
[9]	SYNC_STS1	Бит статуса входа синхронизации SYNC1 канала PWM_CH1 0 — запись нуля не имеет эффекта, чтение нуля говорит об отсутствии внешней синхронизации 1 — чтение единицы говорит о том, что произошла синхронизация, запись единицы очищает данный бит	R/W	0
[8]	DIR_STS1	Отображает текущее направление счета CTCNT канала PWM_CH1. Этот бит не несет никакой информации, пока таймер не запущен. 0 — счет осуществляется вниз 1 — счет осуществляется вверх	R	1
[7:3]	-			
[2]	RUN_STS0	Бит отображающий состояние канала PWM_CH0 0 — счетчик остановлен 1 — счетчик работает	R	0
[1]	SYNC_STS0	Бит статуса входа синхронизации SYNC1 канала PWM_CH0 0 — запись нуля не имеет эффекта, чтение нуля говорит об отсутствии внешней синхронизации 1 — чтение единицы говорит о том, что произошла синхронизация, запись единицы очищает данный бит	R/W	0
[0]	DIR_STS0	Отображает текущее направление счета CTCNT канала PWM_CH0. Этот бит не несет никакой информации, пока таймер не запущен. 0 — счет осуществляется вниз 1 — счет осуществляется вверх	R	1

26.3.4 Регистры блока Count unit

26.3.4.1 Регистр управления подсистемой синхронизации CLKCTL

Таблица 26.8. Регистр CLKCTL

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:20]	-			
[19:17]	DIVMUX	Управление мультиплексором делителя частоты 2: 0h — частота от предделителя делится на 1; 1h — частота от предделителя делится на 2; 2h — частота от предделителя делится на 4; 3h — частота от предделителя делится на 8; 4h — частота от предделителя делится на 16;	R/W	0

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[16]	SYNCRST	Бит разрешения сброса предделителя при возникновении событий SYNCI или SWFSYNC 0 — сброс запрещен 1 — сброс разрешен	R/W	0
[15:8]	PRESPRD	Значение предделителя частоты CLK	R/W	0
[7]	DIRSYNC	Направление счета после синхронизации. Этот бит используется, только когда счетчик работает в up-down режиме. 0 — после синхронизации счетчик декрементируется; 1 — после синхронизации счетчик инкрементируется	R/W	0
[6]	SWFSYNC	Программный импульс синхронизации. 0 — запись нуля не дает никакого эффекта, при чтении всегда возвращается 0; 1 — запись 1 провоцирует формирование импульса синхронизации, который по ИЛИ соединяется со входом SYNCI. SWFSYNC	R/W	0
[5:4]	SYNCOSEL	Выбор источника выходного сигнала SYNCO: 0h — SYNCI; 1h — счетчик равен нулю (CTRCNT==0); 2h — счетчик равен значению регистра сравнения В (CTRCNT==CMPB); 3h — SYNCO отключен	R/W	3h
[3]	LOADPRD	Управление моментом переписи данных из теневого регистра периода в активный 0 — регистр периода (CTRPRD) загружается из теневого регистра, когда счетчик (CTRCNT) равен нулю (запись или чтение CTRPRD осуществляется через теневой регистр); 1 — CTRPRD загружается напрямую без использования теневого регистра (запись или чтение CTRPRD осуществляется напрямую).	R/W	1h
[2]	SYNCPHSEN	Сигнал разрешения загрузки счетчика из регистра фазы 0 — загрузка CTRCNT из регистра фазы CTRPHS запрещена 1 — загрузка CTRCNT из регистра фазы CTRPHS во время синхронизации разрешена	R/W	0
[1:0]	CNTMODE	Режим работы счетчика CTRCNT. 0h — up-count режим; 1h — down-count режим; 2h — up-down-count режим; 3h — счет не осуществляется	R/W	2h

26.3.4.2 Регистр фазы синхронизации CTRPHS

Таблица 26.9. Регистр CTRPHS

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31-0]	CTRPHS	Содержит значение, в которое переключится счетчик CTRCNT во время синхронизации. Если CLKCTL[SYNCPHSEN]=0, то при возникновении события синхронизации счетчик CTRCNT не переходит в значение, прописанное в регистре CTRPHS. Если CLKCTL[SYNCPHSEN]=1, то при возникновении события синхронизации счетчик CTRCNT загружает значение регистра CTRPHS.	R/W	0

26.3.4.3 Регистр счетчика CTRCNT

Таблица 26.10. Регистр CTRCNT

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31-0]	CTRCNT	При чтении данный регистр отображает текущее значение счетчика CTRCNT. При записи прописывается новое значение счетчика CTRCNT без синхронизации с частотой работы счетчика и без использования теневого регистра.	R/W	0

26.3.4.4 Регистр периода счета CTRPRD

Таблица 26.11. Регистр CTRPRD

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31-0]	CTRPRD	Данное поле определяет период счетчика CTRCNT и, соответственно, устанавливает частоту PWM. Теневой регистр включается и выключается битом CLKCTL[LOADPRD]. Если CLKCTL[LOADPRD]=0, теневой регистр включен, и любая запись или чтение проходят через него. Активный регистр загружается из теневого в момент, когда CTRCNT=0 Если CLKCTL[LOADPRD]=1, теневой регистр выключен, и любая запись или чтение проходит напрямую без участия теневого регистра. Активный и теневой регистры имеют единый адрес.	R/W	0

26.3.5 Регистры блока Compare unit.

26.3.5.1 Регистр управления параметрами блока сравнения Compare unit CMPCTL

Таблица 26.12. Регистр CMPCTL

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:8]	-			
[7]	SCMPBFULL	Признак наличия данных в теневом регистре сравнения <i>СМРВ</i> не загруженных в активный регистр сравнения <i>СМРВ</i> . Бит сбрасывается во время загрузки данных в активный регистр. 0 — нет не загруженных данных 1 — есть не загруженные данные	R	0
[6]	SCMPAFULL	Признак наличия данных в теневом регистре сравнения <i>СМРА</i> не загруженных в активный регистр сравнения <i>СМРА</i> . Бит сбрасывается во время загрузки данных в активный регистр. 0 — нет не загруженных данных 1 — есть не загруженные данные	R	0
[5]	SCMPBMODE	Режим работы регистра <i>СМРВ</i> 0 — работа с теневым регистром, все запросы <i>CPU</i> проходят через теневой регистр; 1 — прямой режим, используется только активный регистр <i>СМРВ</i>	R/W	0
[4]	SCMPAMODE	Режим работы регистра <i>СМРА</i> 0 — работа с теневым регистром, все запросы <i>CPU</i> проходят через теневой регистр; 1 — прямой режим, используется только активный регистр <i>СМРА</i>	R/W	0
[3:2]	LDBMODE	Выбор режима загрузки данных из теневое регистра в активный <i>СМРВ</i> . Данное поле не имеет значения при работе в режиме прямой загрузки $CMPCTL[SCMPBMODE]=1$ 0h — загрузка при $CTRCNT=0$ 1h — загрузка при $CTRCNT=CTRPRD$ 2h — загрузка при $CTRCNT=0$ или $CTRCNT=CTRPRD$ 3h — загрузка не осуществляется	R/W	0
[1:0]	LDAMODE	Выбор режима загрузки данных из теневое регистра в активный <i>СМРА</i> . Данное поле не имеет значения при работе в режиме прямой загрузки $CMPCTL[SCMPAMODE]=1$ 0h — загрузка при $CTRCNT=0$ 1h — загрузка при $CTRCNT=CTRPRD$ 2h — загрузка при $CTRCNT=0$ или $CTRCNT=CTRPRD$ 3h — загрузка не осуществляется	R/W	0

26.3.5.2 Регистр сравнения СМРА

Таблица 26.13. Регистр СМРА

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31-0]	СМРА	<p>Содержимое активного регистра СМРА сравнивается со значением счетчика CRTCNT. Если значения равны, то блок сравнения генерирует событие «СМРА==CTRCNT». По этому событию менеджер событий (Event manager) совершает одно или более действие. Эти действия могут быть направлены на формирование выходных сигналов OUTA или OUTB в зависимости от конфигурации регистров EMCTLA и EMCTLB. Реакция на событие может быть следующая:</p> <ul style="list-style-type: none"> не производить никаких действий; зажать OUTA и/или OUTB в 0; зажать OUTA и/или OUTB в 1; инвертировать OUTA и/или OUTB <p>Теневой регистр включен по умолчанию и управляется битом SMPCTL[SCMPAMODE] Если SMPCTL[SCMPAMODE]=0, то теневой регистр включен, запись/чтение проходит через него. В этом случае SMPCTL[LDAMODE] определяет момент загрузки данных в активный регистр. Перед записью необходимо удостовериться, что в теневом регистре нет переданных в активный регистр данных проанализировав SMPCTL[SCMPAFULL] бит. Если SMPCTL[SCMPAMODE]=1, то теневой регистр не используется, запись/чтение осуществляется с активным регистром. В любом режиме работы активный и теневой регистры имеют один адрес.</p>	R/W	0

26.3.5.3 Регистр сравнения CMPB

Таблица 26.14. Регистр CMPB

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:0]	CMPB	<p>Содержимое активного регистра CMPB сравнивается со значением счетчика CRTCNT. Если значения равны, то блок сравнения генерирует событие «CMPB==CRTCNT». По этому событию менеджер событий (Event manager) совершает одно или более действие. Эти действия могут быть направлены на формирование выходных сигналов OUTA или OUTB в зависимости от конфигурации регистров EMCTLA и EMCTLB. Реакция на событие может быть следующая:</p> <ul style="list-style-type: none"> не производить никаких действий; зажать OUTA и/или OUTB в 0; зажать OUTA и/или OUTB в 1; инвертировать OUTA и/или OUTB <p>Теневой регистр включен по умолчанию и управляется битом CMPCTL[SCMPBMODE]. Если CMPCTL[SCMPBMODE]=0, то теневой регистр включен, запись/чтение проходит через него. В этом случае CMPCTL[LDBMODE] определяет момент загрузки данных в активный регистр.</p> <p>Перед записью необходимо удостовериться, что в теневом регистре нет переданных в активный регистр данных проанализировав CMPCTL[SCMPBFULL] бит.</p> <p>Если CMPCTL[SCMPBMODE]=1, то теневой регистр не используется, запись/чтение осуществляется с активным регистром.</p> <p>В любом режиме работы активный и теневой регистры имеют один адрес.</p>	R/W	0

26.3.6 Регистры блока Event manager.

26.3.6.1 Регистр управления выхода OUTA блока Event manager EMCTLA

Таблица 26.15. Регистр EMCTLA

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:12]	-			
[11:10]	ЕСMPBD	<p>Действие, которое нужно выполнить при декременте счетчика и CRTCNT=CMPB</p> <ul style="list-style-type: none"> 0h — не выполнять действий; 1h — clear: сбросить OUTA в 0 2h — set: установить OUTA в 1 3h — toggle: инвертировать OUTA 	R/W	0

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[9:8]	ЕСМРВІ	Действие, которое нужно выполнить при инкременте счетчика и СТРСNT=СМРВ 0h — не выполнять действий; 1h — clear: сбросить ОУТА в 0 2h — set: установить ОУТА в 1 3h — toggle: инвертировать ОУТА	R/W	0
[7:6]	ЕСМРАD	Действие, которое нужно выполнить при декременте счетчика и СТРСNT=СМРА 0h — не выполнять действий; 1h — clear: сбросить ОУТА в 0 2h — set: установить ОУТА в 1 3h — toggle: инвертировать ОУТА	R/W	0
[5:4]	ЕСМРАІ	Действие, которое нужно выполнить при инкременте счетчика и СТРСNT=СМРА 0h — не выполнять действий; 1h — clear: сбросить ОУТА в 0 2h — set: установить ОУТА в 1 3h — toggle: инвертировать ОУТА	R/W	0
[3:2]	ЕPRD	Действие, которое нужно выполнить при СТРСNT=СТРРD 0h — не выполнять действий; 1h — clear: сбросить ОУТА в 0 2h — set: установить ОУТА в 1 3h — toggle: инвертировать ОУТА	R/W	0
[1:0]	ЕZRO	Действие, которое нужно выполнить при СТРСNT=0 0h — не выполнять действий; 1h — clear: сбросить ОУТА в 0 2h — set: установить ОУТА в 1 3h — toggle: инвертировать ОУТА	R/W	0

26.3.6.2 Регистр управления выхода ОУТВ блока Event manager EMCTLB

Таблица 26.16. Регистр EMCTLB

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:12]	-			
[11:10]	ЕСМРBD	Действие, которое нужно выполнить при декременте счетчика и СТРСNT=СМРВ 0h — не выполнять действий; 1h — clear: сбросить ОУТВ в 0 2h — set: установить ОУТВ в 1 3h — toggle: инвертировать ОУТВ	R/W	0
[9:8]	ЕСМРВІ	Действие, которое нужно выполнить при инкременте счетчика и СТРСNT=СМРВ 0h — не выполнять действий; 1h — clear: сбросить ОУТВ в 0 2h — set: установить ОУТВ в 1 3h — toggle: инвертировать ОУТВ	R/W	0
[7:6]	ЕСМРАD	Действие, которое нужно выполнить при декременте счетчика и СТРСNT=СМРА 0h — не выполнять действий; 1h — clear: сбросить ОУТВ в 0 2h — set: установить ОУТВ в 1 3h — toggle: инвертировать ОУТВ	R/W	0

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[5:4]	ЕСМРАI	Действие, которое нужно выполнить при инкременте счетчика и СТРСNT=СМРА 0h — не выполнять действий; 1h — clear: сбросить ОУТВ в 0 2h — set: установить ОУТВ в 1 3h — toggle: инвертировать ОУТВ	R/W	0
[3:2]	ЕРРD	Действие, которое нужно выполнить при СТРСNT=СТРРD 0h — не выполнять действий; 1h — clear: сбросить ОУТВ в 0 2h — set: установить ОУТВ в 1 3h — toggle: инвертировать ОУТВ	R/W	0
[1:0]	ЕZRO	Действие, которое нужно выполнить при СТРСNT=0 0h — не выполнять действий; 1h — clear: сбросить ОУТВ в 0 2h — set: установить ОУТВ в 1 3h — toggle: инвертировать ОУТВ	R/W	0

26.3.6.3 Регистр программного управления выходами ОУТА/ОУТВ с однократным действием блока Event manager EMSWFR

Таблица 26.17. Регистр EMSWFR

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:8]	-			
[7:6]	LDCSWRF	Определяет механизм загрузки активного регистра EMCSWFR из теневого регистра 0h — загрузка при СТРСNT=0 1h — загрузка при СТРСNT=СТРРD 2h — загрузка при СТРСNT=0 или СТРСNT=СТРРD 3h — загружать напрямую при обращении CPU без использования теневого регистра.	R/W	0
[5]	ONESFB	Программный вызов единичного переключения для выхода ОУТВ 0 — запись 0 не вызывает эффекта, читается всегда 0 1 — запись 1 генерирует однократное переключение выхода ОУТВ, затем данный бит сбрасывается в 0	R/W	0
[4:3]	ACTSFB	Действие, которое нужно выполнить при программном вызове переключения ОУТВ 0h — не выполнять действий; 1h — clear: сбросить ОУТВ в 0 2h — set: установить ОУТВ в 1 3h — toggle: инвертировать ОУТВ	R/W	0
[2]	ONESFA	Программный вызов единичного переключения для выхода ОУТА 0 — запись 0 не вызывает эффекта, читается всегда 0 1 — запись 1 генерирует однократное переключение выхода ОУТА, затем данный бит сбрасывается в 0	R/W	0

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[1:0]	ACTSFA	Действие, которое нужно выполнить при программном вызове переключения OUTA 0h — не выполнять действий; 1h — clear: сбросить OUTA в 0 2h — set: установить OUTA в 1 3h — toggle: инвертировать OUTA	R/W	0

26.3.6.4 Регистр программного управления выходами OUTA/OUTB с продолжительным действием блока Event manager EMCSWFR

Таблица 26.18. Регистр EMCSWFR

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:4]	-			
[3:2]	LONGSFB	Продолжительное программное воздействие на OUTB При использовании теневого регистра эффект от воздействия продолжительного зажима выхода наступает на следующий такт CTCNT после загрузки данных в активный регистр Во время работы без теневого регистра эффект наступает на следующий такт CTCNT Управление режимом работы осуществляется при помощи бита EMSWFR[LDCSWRF] 0h — нет воздействия 1h — OUTB продолжительно зажимается в 0 2h — OUTB продолжительно зажимается в 1 3h — программное воздействие запрещено	R/W	0
[1:0]	LONGSFA	Продолжительное программное воздействие на OUTA При использовании теневого регистра эффект от воздействия продолжительного зажима выхода наступает на следующий такт CTCNT после загрузки данных в активный регистр Во время работы без теневого регистра эффект наступает на следующий такт CTCNT Управление режимом работы осуществляется при помощи бита EMSWFR[LDCSWRF] 0h — нет воздействия 1h — OUTA продолжительно зажимается в 0 2h — OUTA продолжительно зажимается в 1 3h — программное воздействие запрещено	R/W	0

26.3.7 Регистры блока Dead zone.

26.3.7.1 Регистр управления блока Dead zone DZCTL

Таблица 26.19. Регистр DZCTL

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:4]	-			
[5]	INMUXF	Выбор источника сигнала для генерации запрещенной зоны после заднего фронта 0 — подключен сигнал OUTA in 1 — подключен сигнал OUTB in	R/W	0
[4]	INMUXR	Выбор источника сигнала для генерации запрещенной зоны после переднего фронта 0 — подключен сигнал OUTA in 1 — подключен сигнал OUTB in	R/W	0
[3]	INVMUXB	Управление полярностью OUTB после генерации запрещенной зоны 0 — нет инверсии 1 — есть инверсия	R/W	0
[2]	INVMUXA	Управление полярностью OUTA после генерации запрещенной зоны 0 — нет инверсии 1 — есть инверсия	R/W	0
[1]	OUTMUXB	Выбор режима работы блока dead zone при формировании OUTB 0 — генератор запрещенной зоны после заднего фронта выключен, OUTB транслируется без изменений, поля регистра DZCTL[INMUXF] и DZCTL[INVMUXB] ни на что не влияют 1 - генератор запрещенной зоны после заднего фронта включен, входной сигнал для формирования OUTB определяется битом DZCTL[INMUXF]	R/W	0
[0]	OUTMUXA	Выбор режима работы блока dead zone при формировании OUTA 0 — генератор запрещенной зоны после переднего фронта выключен, OUTA транслируется без изменений, поля регистра DZCTL[INMUXR] и DZCTL[INVMUXA] ни на что не влияют 1 - генератор запрещенной зоны после заднего фронта включен, входной сигнал для формирования OUTA определяется битом DZCTL[INMUXR]	R/W	0

26.3.7.2 Регистр периода задержки после переднего фронта блока Dead zone DZRPER

Таблица 26.20. Регистр DZRPER

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:10]	-			
[9:0]	PER	Определяет длительность задержки для формирования запрещенной зоны после переднего фронта	R/W	0

26.3.7.3 Регистр периода задержки после заднего фронта блока Dead zone DZFPER

Таблица 26.21. Регистр DZFPER

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:10]	-			
[9:0]	PER	Определяет длительность задержки для формирования запрещенной зоны после заднего фронта	R/W	0

26.3.8 Регистры блока Chopper

26.3.8.1 Регистр управления блока Chopper CHCTL

Таблица 26.22. Регистр CHCTL

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:11]	-			
[10:8]	CHDUTY	Скважность дробящего сигнала 0h — 1/8 1h — 2/8 2h — 3/8 3h — 4/8 4h — 5/8 5h — 6/8 6h — 7/8 7h — не используется		
[7:5]	CHCLKDIV	Выбор частоты дробящего сигнала 0h — CLK/8 1h — CLK/16 2h — CLK/24 3h — CLK/32 4h — CLK/40 5h — CLK/48 6h — CLK/56 7h — CLK/64		

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[4:1]	FIRSTWTH	Ширина первого импульса 0h — 0xCLK/8 1h — 1xCLK/8 2h — 2xCLK/8 3h — 3xCLK/8 ... Fh — 15xCLK/8		
[0]	CHEN	Управление работой блока Chopper 0 — выключена функция дробления 1 — включена функция дробления		

26.3.9 Регистры блока Trip unit.

26.3.9.1 Регистр выбора принципа работы блока trip unit TUSEL

Таблица 26.23. Регистр TUSEL

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:16]	-			
[15:8]	ONE7 ... ONE0	Выбор используемых TU[7:0] сигналов для канала PWM работающих в режиме однократного срабатывания 0 — вход не используется 1 — вход используется в режиме однократного срабатывания	R/W	0
[7:0]	MULT7 ... MULT0	Выбор используемых TU[7:0] сигналов для канала PWM работающих в режиме многократного срабатывания 0 — вход не используется 1 — вход используется в режиме многократного срабатывания	R/W	0

26.3.9.2 Регистр определения реакции на событие блока trip unit TUCTL

Таблица 26.24. Регистр TUCTL

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:4]	-			
[3:2]	TUB	Когда происходит TRIP событие, к выходу OUTB могут быть применены следующие действия: 0h — OUTB переводится в high impedance state 1h — OUTB подтягивается к 1 2h — OUTB подтягивается к 0 3h — действий не производится	R/W	0

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[1:0]	TUA	Когда происходит TRIP событие, к выходу OUTA могут быть применены следующие действия: 0h — OUTA переводится в high impedance state 1h — OUTA подтягивается к 1 2h — OUTA подтягивается к 0 3h — действий не производится	R/W	0

26.3.9.3 Регистр маски прерывания блока trip unit TUINTM

Таблица 26.25. Регистр TUINTM

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:2]	-			
[1]	ONE	Разрешение прерывания при возникновении события ONE TRIP 0 — прерывание запрещено 1 — прерывание разрешено, генерируется прерывание PWM_TU_INT	R/W	0
[0]	MULT	Разрешение прерывания при возникновении события MULT TRIP 0 — прерывание запрещено 1 — прерывание разрешено, генерируется прерывание PWM_TU_INT	R/W	0

26.3.9.4 Регистр статуса блока trip unit TUSTS

Таблица 26.26. Регистр TUSTS

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:3]	-			
[2]	TUINT	Признак возникновения прерывания 0 — прерывания не было 1 — было сформировано прерывание PWM_TU_INT Дальнейшие прерывания генерироваться не будут до тех пор, пока данный флаг не будет очищен. Если флаг прерывания будет очищен, а события его вызвавшие все еще установлены, то сформируется еще одно прерывание. Чтобы избежать дальнейшей генерации прерывания нужно очистить все флаги статуса.	R	0
[1]	ONE	Статус события ONE 0 — событие не произошло 1 — событие произошло Сброс данного бита осуществляется только программно записью «1» в регистр TUCLR[ONE]	R	0

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[0]	MULT	Статус события MULT 0 — событие не произошло 1 — событие произошло Данный бит остается установленным до тех пор, пока не будет очищен. Очищается он программно (записью «1» в регистр TUCLR[MULT]) или при достижении основного счетчика нулевого значения (STRCNT=0), но только в том случае, если в момент очистки бита не будет присутствовать событие MULT на входах TU (&TU == 1). Если событие вызвавшее возникновение статуса все еще присутствует, то сбрасываемый бит вновь возводится в «1»	R	0

26.3.9.5 Регистр сброса статуса блока trip unit TUCLR

Таблица 26.27. Регистр TUCLR

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:2]	-			
[2]	TUINT	Бит сброса статуса глобального прерывания PWM_TU_INT 0 — нет эффекта, читается всегда как 0 1 — очищает флаг прерывания TUSTS[TUINT] Никакие дальнейшие прерывания PWM_TU_INT не будут формироваться, пока флаг не очищен. Если TUSTS[INT], бит очищен, а какой-либо из других флагов будет установлен, то будет сформирован еще один импульс прерывания. Очистка всех флагов предотвратит дальнейшее формирование запросов на прерывание.	R/W	0
[1]	ONE	Бит сброса статуса события ONE 0 — нет эффекта, читается всегда как 0 1 — очищает этот флаг	R/W	0
[0]	MULT	Бит сброса статуса события MULT 0 — нет эффекта, читается всегда как 0 1 — очищает этот флаг	R/W	0

26.3.9.6 Регистр программного формирования событий блока Trip unit TUFRC

Таблица 26.28. Регистр TUFRC

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:2]	-			
[1]	ONE	Программная эмуляция возникновения события ONE TRIP 0 — запись 0 игнорируется, читается всегда 0 1 — запись 1 имитирует возникновение события ONE TRIP и провоцирует установку бита TUSTS[ONE]	R/W	0
[0]	MULT	Программная эмуляция возникновения события MULT TRIP 0 — запись 0 игнорируется, читается всегда 0 1 — запись 1 имитирует возникновение события MULT TRIP и провоцирует установку бита TUSTS[MULT]	R/W	0

26.3.10 Регистры блока Interrupt control

26.3.10.1 Регистр выбора принципа работы блока Interrupt control ICSEL

Таблица 26.29. Регистр ICSEL

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:4]	-			
[3]	INTEN	Бит разрешения формирования прерывания PWM_INT 0 — прерывание PWM_INT запрещено 1 — прерывание PWM_INT разрешено	R/W	0
[2:0]	INTSEL	Выбор источника прерывания 0h — 1h — резерв 2h — признак равенства счетчика нулю CTCNT=0 3h — признак равенства счетчика периоду счета CTCNT=CTRPRD 4h — признак равенства счетчика регистру сравнения CMPA во время инкремента 5h — признак равенства счетчика регистру сравнения CMPA во время декремента 6h — признак равенства счетчика регистру сравнения CMPB во время инкремента 7h — признак равенства счетчика регистру сравнения CMPB во время декремента	R/W	0

26.3.10.2 Регистр выбора принципа работы блока Interrupt control ICCTL

Таблица 26.30. Регистр ICCTL

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:4]	-			
[3:2]	EVENTCNT	Счетчик событий вызывающих прерывание. Эти биты отображают количество произошедших событий выбранных регистром ICSEL[INTSEL]. Данный счетчик автоматически сбрасывается при формировании импульса прерывания. Если прерывание отключено ICSEL[INTEN]=0 или уже сформировано ICSTS[INT]=1, то подсчет событий не производится 0h — события не обнаружены 1h — обнаружено 1 событие 2h — обнаружено 2 события 3h — обнаружено 3 события	R	0
[1:0]	EVENTPRD	Выбор периода прерываний PWM_INT. Эти биты определяют, сколько необходимо зафиксировать событий, выбранных регистром ICSEL[INTSEL] для формирования прерывания. 0h — нет генерации прерывания 1h — генерация прерывания каждый раз при возникновении события 2h — генерация прерывания каждый второй раз при возникновении события 3h - генерация прерывания каждый третий раз при возникновении события	R/W	0

26.3.10.3 Регистр статуса блока Interrupt control ICSTS

Таблица 26.31. Регистр ICSTS

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:1]	-			
[0]	INT	Отображает состояние входа PWM_INT 0 — нет прерывания 1 — есть прерывание. Новые прерывания не формируются до тех пор, пока данный бит не будет очищен.	R	0

26.3.10.4 Регистр очистки битов статуса блока Interrupt control ICCLR

Таблица 26.32. Регистр ICCLR

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:1]	-			
[0]	INT	Бит сброса прерывания PWM_INT 0 — нет действия, читается всегда 0 1 — сброс прерывания PWM_INT и его статусного бита	R/W	0

26.3.10.5 Регистр программного формирования событий блока Interrupt control ICFRC

Таблица 26.33. Регистр ICFRC

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
[31:1]	-			
[0]	INT	Бит программного формирования прерывания 0 — нет действия, читается всегда 0 1 — запись 1 ведет к формированию прерывания PWM_INT и установке его статусного бита	R/W	0

27. МНОГОКАНАЛЬНЫЙ КОРРЕЛЯТОР (МСС)

В составе микросхемы использовано IP – ядро Многоканального коррелятора (МКК или англ. МСС) из IP – библиотеки платформы «МУЛЬТИКОР».

В качестве отличительных особенностей многоканального коррелятора можно назвать:

- 24 следящих каналов ГЛОНАСС/GPS/BeiDou повышенной точности, слежение за GPS L1, GLO L1, GLO L2 при помощи 6 подканалов, отстроенных друг от друга на определенное количество отсчетов данных; входные данные – две компоненты по 2 бита, накопленные на длительности от 1 до 16 мс, тактовая частота 15-40 МГц;
- 16 следящих каналов ГЛОНАСС/GPS/BeiDou, слежение за GPS L1, GLO L1, GLO L2 при помощи прямого и дифференциального подканалов, входные данные – две компоненты по 2 бита, накопление на длительности 1 мс, тактовая частота 15-40 МГц;
- 4 поисковых машины ГЛОНАСС/GPS/BeiDou, поиск в диапазонах GPS L1, GLO L1, GLO L2 при помощи свертки сигнала с ПСП на длительности 1 мс; входные данные – вещественная и мнимые компоненты по 2 бита. Накопление смешанного типа проходит в два этапа: сначала - когерентно на длительности от 1 до 16мс, далее – результаты учитываются в некогерентном накоплении, этот цикл повторяется заданное количество раз от 1 до 16. Тактовая частота 15-40 МГц, для работы требует дополнительно подачи повышенной частоты. Повышенная частота должна составлять не менее 66 МГц, что необходимо для обеспечения вычисления требуемого количества корреляций за длительность одного чипа ПСП;
- канал прямого чтения данных с RFFE, выполняющий перенос сигнала с ПЧ на нулевую, снятие доплеровской частоты (ПЧ от 0 до $F_s/2$), накопления на длительности от одного отсчета данных, результаты накоплений сохраняются в буфере типа FIFO глубиной 2048 отсчетов;
- модуль формирования временной шкалы 1мс с возможностью задания кода частоты;
- модуль формирования секундной метки с возможностью задания кода частоты, начальной фазы и длительности активного состояния секундного импульса;
- модуль интерфейса с АЦП, сэмплирующий отсчеты от АЦП по переднему либо заднему фронту частоты оцифровки, преобразующий входной сигнал различных кодировок во внутреннюю и подсчитывающий количество состояний АЦП для системы АРУ;

- устройство расчета ПСП, используемое ЦП для оперативного вычисления параметров настройки следящих каналов для заданного номера спутника и задержки ПСП;
- отладочный имитатор сигнала спутников ГНСС, предназначенный для проверки базовой функциональности МКК. Имитатор позволяет задавать ПСП спутника, коэффициент шума, смешиваемого с сигналом, а также доплеровское смещение сигнала.

Детальное описание МКК представляется отдельно от настоящего документа.

Примечание. Для работы с коррелятором для микросхемы АО НПЦ «ЭЛВИС» будет предоставлять ПО специальной навигационной библиотеки.

28. БЛОК УПРАВЛЕНИЯ GPIO (GPIO)

28.1 Назначение

Блок управления GPIO контролирует направление и поток данных через внешние выводы общего назначения.

У каждого вывода существует 2 источника данных, между которыми возможно динамическое переключение:

- программный (отображаемые в память регистры);
- аппаратный (вывод одного из блоков: SMC, VPIN, UART, I2C, I2S, SPI, TRACE см Таблица 1.26.).

Некоторые выводы могут воспринимать входные сигналы как прерывания.

28.2 Основные характеристики

Блок управления GPIO имеет следующие характеристики:

- блок управляет 128-ю внешними выводами;
- блок разделен на 4 независимых порта (A, B, C, D) по 32 вывода;
- для каждого вывода существует отдельный регистр данных и отдельный регистр направления потока данных;
- поддерживается выбор для программного или аппаратного источника данных для каждого вывода;
- порт A поддерживает режим прерываний;
- поддерживается логика устранения дребезга внешних прерываний.

28.3 Регистры блока управления GPIO

В Таблица 28.1 приведен перечень программно-доступных регистров блока управления GPIO.

Таблица 28.1. Перечень программно-доступных регистров блока управления GPIO.

Условное обозначение регистра	Название регистра	Тип доступа	Исходное Состояние	Смещение
gpio_swporta_dr	Регистр данных порта A.	W/R	0x0	0x00
gpio_swporta_ddr	Регистр направления потока данных через порт A.	W/R	0x0	0x04
gpio_swporta_ctl	Регистр источника данных порта A.	W/R	0x0	0x08
gpio_swportb_dr	Регистр данных порта B.	W/R	0x0	0x0C
gpio_swportb_ddr	Регистр направления потока данных через порт B.	W/R	0x0	0x10
gpio_swportb_ctl	Регистр источника данных порта B.	W/R	0xFFFF	0x14

Условное обозначение регистра	Название регистра	Тип доступа	Исходное Состояние	Смещение
gpio_swportc_dr	Регистр данных порта С.	W/R	0x0	0x18
gpio_swportc_dds	Регистр направления потока данных через порт С.	W/R	0x0	0x1C
gpio_swportc_ctl	Регистр источника данных порта С.	W/R	0x0	0x20
gpio_swportd_dr	Регистр данных порта D.	W/R	0x0	0x24
gpio_swportd_dds	Регистр направления потока данных через порт D.	W/R	0x0	0x28
gpio_swportd_ctl	Регистр источника данных порта D.	W/R	0x0	0x2C
gpio_inten	Регистр включения прерываний.	W/R	0x0	0x30
gpio_intmask	Регистр маскирования прерываний.	W/R	0x0	0x34
gpio_inttype_level	Регистр уровня прерываний.	W/R	0x0	0x38
gpio_int_polarity	Регистр полярности прерываний.	W/R	0x0	0x3C
gpio_intstatus	Регистр статуса прерываний	R	0x0	0x40
gpio_raw_intstatus	Регистр статуса немаскированных прерываний	R	0x0	0x44
gpio_debounce	Регистр включения фильтра дребезга.	W/R	0x0	0x48
gpio_porta_eoi	Регистр сброса прерываний.	W	0x0	0x4C
gpio_ext_porta	Внешний регистр порта А.	R	0x0	0x50
gpio_ext_portb	Внешний регистр порта В.	R	0x0	0x54
gpio_ext_portc	Внешний регистр порта С.	R	0x0	0x58
gpio_ext_portd	Внешний регистр порта D.	R	0x0	0x5C
gpio_ls_sync	Регистр включения синхронизации прерываний по уровню.	W/R	0x0	0x60

28.3.1 Регистр gpio_swporta_dr

Регистр данных порта А.

Формат регистра gpio_swporta_dr приведен в Таблица 28.2.

Таблица 28.2. Формат регистра gpio_swporta_dr

номер бита	Условное обозначение	Назначение
31:0	gpio_swporta_dr	Значение, записанное в этот регистр, передается через выходной сигнал порта А, если соответствующие биты регистра направления потока данных порта А (gpio_swporta_dds) установлены на режим выдачи данных, а соответствующие биты регистра источника данных порта А (gpio_swporta_dds) установлены на программный источник. Чтение данных из этого регистра возвращает последние записанные в этот регистр данные.

28.3.2 Регистр gpio_swporta_ddr

Регистр направления потока данных через порт А.

Формат регистра gpio_swporta_ddr приведен в Таблица 28.3.

Таблица 28.3. Формат регистра gpio_swporta_ddr

Номер бита	Условное обозначение	Назначение
31:0	gpio_swporta_ddr	Каждый бит этого регистра контролирует направление потока данных через соответствующий бит регистра данных порта А (gpio_swporta_dr). При этом: 0 - прием. 1 - выдача.

28.3.3 Регистр gpio_swporta_ctl

Регистр источника данных порта А.

Формат регистра gpio_swporta_ctl приведен в Таблица 28.4.

Таблица 28.4. Формат регистра gpio_swporta_ctl

Номер бита	Условное обозначение	Назначение
31:0	gpio_swporta_ctl	Каждый бит этого регистра выбирает источник данных для соответствующего сигнала порта А. Источник может быть программным (соответствующие биты регистра gpio_swporta_dr) или аппаратным: 0 - программный 1 - аппаратный. Соответствия аппаратных сигналов с программными представлены в Таблица 28.27.

28.3.4 Регистр gpio_swportb_dr

Регистр данных порта В.

Формат регистра gpio_swportb_dr приведен в Таблица 28.5.

Таблица 28.5. Формат регистра gpio_swportb_dr

номер бита	Условное обозначение	Назначение
31:0	gpio_swportb_dr	Значение, записанное в этот регистр, передается через выходной сигнал порта В, если соответствующие биты регистра направления потока данных порта В (gpio_swportb_ddr) установлены на режим выдачи данных, а соответствующие биты регистра источника данных порта В (gpio_swportb_dr) установлены на программный источник. Чтение данных из этого регистра возвращает последние записанные в этот регистр данные.

28.3.5 Регистр `gpio_swportb_dds`

Регистр направления потока данных через порт В.

Формат регистра `gpio_swportb_dds` приведен в Таблица 28.6.

Таблица 28.6. Формат регистра `gpio_swportb_dds`

Номер бита	Условное обозначение	Назначение
31:0	<code>gpio_swportb_dds</code>	Каждый бит этого регистра контролирует направление потока данных через соответствующий бит регистра данных порта В (<code>gpio_swportb_dr</code>). При этом: 0 - прием. 1 - выдача.

28.3.6 Регистр `gpio_swportb_ctl`

Регистр источника данных порта В.

Формат регистра `gpio_swportb_ctl` приведен в Таблица 28.7.

Таблица 28.7. Формат регистра `gpio_swportb_ctl`

Номер бита	Условное обозначение	Назначение
31:0	<code>gpio_swportb_ctl</code>	Каждый бит этого регистра выбирает источник данных для соответствующего сигнала порта В. Источник может быть программным (соответствующие биты регистра <code>gpio_swportb_dr</code>) или аппаратным: 0 - программный 1 - аппаратный. Соответствия аппаратных сигналов с программными представлены в Таблица 28.27.

28.3.7 Регистр `gpio_swportc_dr`

Регистр данных порта С.

Формат регистра `gpio_swportc_dr` приведен в Таблица 28.8.

Таблица 28.8. Формат регистра `gpio_swportc_dr`

номер бита	Условное обозначение	Назначение
31:0	<code>gpio_swportc_dr</code>	Значение, записанное в это регистр, передается через выходной сигнал порта С, если соответствующие биты регистра направления потока данных порта С (<code>gpio_swportc_dds</code>) установлены на режим выдачи данных, а соответствующие биты регистра источника данных порта С (<code>gpio_swportc_ctl</code>) установлены на программный источник. Чтение данных из этого регистра возвращает последние записанные в этот регистр данные.

28.3.8 Регистр gpio_swportc_ddr

Регистр направления потока данных через порт C.

Формат регистра gpio_swportc_ddr приведен в Таблица 28.9.

Таблица 28.9. Формат регистра gpio_swportc_ddr

Номер бита	Условное обозначение	Назначение
31:0	gpio_swportc_ddr	Каждый бит этого регистра контролирует направление потока данных через соответствующий бит регистра данных порта C (gpio_swportc_dr). При этом: 0 - прием. 1 - выдача.

28.3.9 Регистр gpio_swportc_ctl

Регистр источника данных порта C.

Формат регистра gpio_swportc_ctl приведен в Таблица 28.10.

Таблица 28.10. Формат регистра gpio_swportc_ctl

Номер бита	Условное обозначение	Назначение
31:0	gpio_swportc_ctl	Каждый бит этого регистра выбирает источник данных для соответствующего сигнала порта C. Источник может быть программным (соответствующие биты регистра gpio_swportc_dr) или аппаратным: 0 - программный 1 - аппаратный. Соответствия аппаратных сигналов с программными представлены в Таблица 28.27.

28.3.10 Регистр gpio_swportd_dr

Регистр данных порта D.

Формат регистра gpio_swportd_dr приведен в Таблица 28.11.

Таблица 28.11. Формат регистра gpio_swportd_dr

номер бита	Условное обозначение	Назначение
31:0	gpio_swportd_dr	Значение, записанное в это регистр, передается через выходной сигнал порта D, если соответствующие биты регистра направления потока данных порта D (gpio_swportd_ddr) установлены на режим выдачи данных, а соответствующие биты регистра источника данных порта D (gpio_swportd_dr) установлены на программный источник. Чтение данных из этого регистра возвращает последние записанные в этот регистр данные.

28.3.11 Регистр `gpio_swportd_dds`

Регистр направления потока данных через порт D.

Формат регистра `gpio_swportd_dds` приведен в Таблица 28.12.

Таблица 28.12. Формат регистра `gpio_swportd_dds`

Номер бита	Условное обозначение	Назначение
31:0	<code>gpio_swportd_dds</code>	Каждый бит этого регистра контролирует направление потока данных через соответствующий бит регистра данных порта D (<code>gpio_swportd_dr</code>). При этом: 0 - прием. 1 - выдача.

28.3.12 Регистр `gpio_swportd_ctl`

Регистр источника данных порта D.

Формат регистра `gpio_swportd_ctl` приведен в Таблица 28.13.

Таблица 28.13. Формат регистра `gpio_swportd_ctl`

Номер бита	Условное обозначение	Назначение
31:0	<code>gpio_swportd_ctl</code>	Каждый бит этого регистра выбирает источник данных для соответствующего сигнала порта D. Источник может быть программным (соответствующие биты регистра <code>gpio_swportd_dr</code>) или аппаратным: 0 - программный 1 - аппаратный. Соответствия аппаратных сигналов с программными представлены в Таблица 28.27.

28.3.13 Регистр `gpio_inten`

Регистр включения прерываний.

Формат регистра `gpio_inten` приведен в Таблица 28.14.

Таблица 28.14. Формат регистра `gpio_inten`

Номер бита	Условное обозначение	Назначение
31:0	<code>gpio_inten</code>	Запись 1 в любой бит этого регистра позволяет соответствующему биту порта A воспринимать входной сигнал как прерывание. Для этого также необходимо, чтобы этот бит порта A был настроен на прием данных (<code>gpio_sporta_dds[n] = 0</code>), а источник данных был программным (<code>gpio_swporta_ctl[n] = 0</code>).

28.3.14 Регистр `gpio_intmask`

Регистр маскирования прерываний.

Формат регистра `gpio_intmask` приведен в Таблица 28.15.

Таблица 28.15. Формат регистра `gpio_intmask`

Номер бита	Условное обозначение	Назначение
31:0	<code>gpio_intmask</code>	Каждый бит этого регистра маскирует прерывание от соответствующего бита порта A: 0: прерывание не маскировано. 1: прерывание маскировано.

28.3.15 Регистр `gpio_inttype_level`

Регистр типа прерываний.

Формат регистра `gpio_inttype_level` приведен в Таблица 28.16.

Таблица 28.16. Формат регистра `gpio_inttype_level`

Номер бита	Условное обозначение	Назначение
31:0	<code>gpio_inttype_level</code>	Каждый бит этого регистра определяет тип обрабатываемого прерывания для соответствующего бита порта A: 0: По уровню 1: По фронту

28.3.16 Регистр `gpio_int_polarity`

Регистр маскирования прерываний.

Формат регистра `gpio_int_polarity` приведен в Таблица 28.17.

Таблица 28.17. Формат регистра `gpio_int_polarity`

Номер бита	Условное обозначение	Назначение
31:0	<code>gpio_int_polarity</code>	Каждый бит этого регистр определяет полярность обрабатываемого прерывания для соответствующего бита порта A. В зависимости от типа обрабатываемого прерывания: 0: активный ноль или задний фронт. 1: активная единица или передний фронт.

28.3.17 Регистр `gpio_intstatus`

Регистр статуса прерываний.

Формат регистра `gpio_intstatus` приведен в Таблица 28.18.

Таблица 28.18. Формат регистра `gpio_intstatus`

Номер бита	Условное обозначение	Назначение
31:0	<code>gpio_intstatus</code>	Каждый бит этого регистра отображает статус прерывания для соответствующего бита порта A:

28.3.18 Регистр `gpio_raw_intstatus`

Регистр статуса немаскированных прерываний.

Формат регистра `gpio_raw_intstatus` приведен в Таблица 28.19.

Таблица 28.19. Формат регистра `gpio_raw_intstatus`

Номер бита	Условное обозначение	Назначение
31:0	<code>gpio_raw_intstatus</code>	Каждый бит этого регистра отображает статус немаскированного прерывания для соответствующего бита порта A.

28.3.19 Регистр `gpio_debounce`

Регистр фильтрации дребезга.

Формат регистра `gpio_debounce` приведен в Таблица 28.20.

Таблица 28.20. Формат регистра `gpio_debounce`

Номер бита	Условное обозначение	Назначение
31:0	<code>gpio_debounce</code>	Каждый бит этого регистра управляет фильтрующей логикой устранения дребезга входного сигнала для соответствующего бита порта A. При установке бита в 1, <code>gpio</code> сформирует прерывание, в случае если активный уровень входного сигнала длится 2 такта фильтрующей частоты. Фильтрующая частота – XTI_32K.

28.3.20 Регистр `gpio_porta_eoi`

Регистр сброса прерываний.

Формат регистра `gpio_porta_eoi` приведен в Таблица 28.21.

Таблица 28.21. Формат регистра gpio_porta_eoi

Номер бита	Условное обозначение	Назначение
31:0	gpio_porta_eoi	Запись 1 в любой бит этого регистра сбросит прерывание от соответствующего бита порта А.

28.3.21 Регистр gpio_ext_porta

Внешний регистр порта А.

Формат регистра gpio_ext_porta приведен в Таблица 28.22.

Таблица 28.22. Формат регистра gpio_ext_porta

Номер бита	Условное обозначение	Назначение
31:0	gpio_ext_porta	Если любой бит порта А настроен на прием данных (gpio_swporta_ddr[n] = 0), то чтение соответствующего бита регистра возвращает значение входного сигнала этого бита. Если бит порта А настроен на выдачу данных (gpio_swporta_ddr[n] = 1), то чтение этого бита значение возвращает значение бита gpio_swporta_dr[n].

28.3.22 Регистр gpio_ext_portb

Внешний регистр порта В.

Формат регистра gpio_ext_portb приведен в Таблица 28.23.

Таблица 28.23. Формат регистра gpio_ext_portb

Номер бита	Условное обозначение	Назначение
31:0	gpio_ext_portb	Если любой бит порта В настроен на прием данных (gpio_swportb_ddr[n] = 0), то чтение соответствующего бита регистра возвращает значение входного сигнала этого бита. Если бит порта В настроен на выдачу данных (gpio_swportb_ddr[n] = 1), то чтение этого бита значение возвращает значение бита gpio_swportb_dr[n].

28.3.23 Регистр gpio_ext_portc

Внешний регистр порта С.

Формат регистра gpio_ext_portc приведен в Таблица 28.24.

Таблица 28.24. Формат регистра gpio_ext_portc

Номер бита	Условное обозначение	Назначение
31:0	gpio_ext_portc	Если любой бит порта С настроен на прием данных (gpio_swportc_ddr[n] = 0), то чтение соответствующего бита регистра возвращает значение входного сигнала этого бита. Если бит порта С настроен на выдачу данных (gpio_swportc_ddr[n] = 1), то чтение этого бита значение возвращает значение бита gpio_swportc_dr[n].

28.3.24 Регистр `gpio_ext_portd`

Внешний регистр порта D.

Формат регистра `gpio_ext_portd` приведен в Таблица 28.25.

Таблица 28.25. Формат регистра `gpio_ext_portd`

Номер бита	Условное обозначение	Назначение
31:0	<code>gpio_ext_portd</code>	Если любой бит порта D настроен на прием данных (<code>gpio_swportd_ddr[n] = 0</code>), то чтение соответствующего бита регистра возвращает значение входного сигнала этого бита. Если бит порта D настроен на выдачу данных (<code>gpio_swportd_ddr[n] = 1</code>), то чтение этого бита значение возвращает значение бита <code>gpio_swportd_dr[n]</code> .

28.3.25 Регистр `gpio_ls_sync`

Регистр включения синхронизации прерываний по уровню.

Формат регистра `gpio_ls_sync` приведен в Таблица 1.25.

Таблица 28.26. Формат регистра `gpio_ls_sync`

Номер бита	Условное обозначение	Назначение
0	<code>gpio_ls_sync</code>	Запись 1 в этот регистр приводит к синхронизации с частотой L3_PCLK прерываний по уровню.

28.4 Функционирование блока управления GPIO

28.4.1 Программное и аппаратное управление

Когда какой-либо вывод настроен на программный источник данных (`gpio_swportx_ctl=0`), то направление потока данных регулируется через регистр `gpio_swportx_ddr` (0 - прием, 1 - выдача). Если вывод настроен на выдачу данных, то выходному сигналу передается значение регистра `gpio_swportx_dr`. В случае, если вывод настроен на прием данных, то значение принимаемого выводом сигнала отображается в регистр `gpio_ext_portx`.

Когда какой-либо вывод настроен на аппаратный источник данных (`gpio_swportx_ctl=1`), то назначение этого вывода определяется конфигурацией системы, см. Таблица 28.27.

Таблица 28.27. Программные и аппаратные источники

Port A		Port B		Port C		Port D	
S/W	H/W	S/W	H/W	S/W	H/W	S/W	H/W
A0	TRACE D0	B0	SMC_ADD8	C0	VPIN_VDI0	D0	UART1 SIN
A1	TRACE D1	B1	SMC_ADD9	C1	VPIN_VDI1	D1	UART1 SOUT
A2	TRACE D2	B2	SMC_ADD10	C2	VPIN_VDI2	D2	UART1 CTSN

Port_A		Port_B		Port_C		Port_D	
A3	TRACE_D3	B3	SMC_ADD11	C3	VPIN_VDI3	D3	UART1_RTSN
A4	TRACE_D4	B4	SMC_ADD12	C4	VPIN_VDI4	D4	UART2_SIN
A5	TRACE_D5	B5	SMC_ADD13	C5	VPIN_VDI5	D5	UART2_SOUT
A6	TRACE_D6	B6	SMC_ADD14	C6	VPIN_VDI6	D6	TIM1_TGL
A7	TRACE_D7	B7	SMC_ADD15	C7	VPIN_VDI7	D7	I2S_SCLKO
A8	TRACE_D8	B8	SMC_ADD16	C8	VPIN_VDI8	D8	I2S_SDI
A9	TRACE_D9	B9	SMC_ADD17	C9	VPIN_VDI9	D9	I2S_SDO0
A10	TRACE_D10	B10	SMC_ADD18	C10	VPIN_VDI10	D0	I2S_SDO1
A11	TRACE_D11	B11	SMC_ADD19	C11	VPIN_VDI11	D11	I2S_SDO2
A12	TRACE_D12	B12	SMC_ADD20	C12	VPIN_VDI12	D12	I2S_SDO3
A13	TRACE_D13	B13	SMC_ADD21	C13	VPIN_VDI13	D13	I2S_WS
A14	TRACE_D14	B14	SMC_ADD22	C14	VPIN_VDI14	D14	I2S_SCLK
A15	TRACE_D15	B15	SMC_ADD23	C15	VPIN_VDI15	D15	SPI0_SCLK
A16	TRACE_CTL	B16	SMC_DATA0	C16	VPIN_VDI16	D16	SPI0_TXD
A17	TRACE_CLK	B17	SMC_DATA1	C17	VPIN_VDI17	D17	SPI0_RXD
A18	UART0_SIN	B18	SMC_DATA2	C18	VPIN_VDI18	D18	SPI0_SSN0
A19	UART0_SOUT	B19	SMC_DATA3	C19	VPIN_VDI19	D19	SPI0_SSN1
A20	UART0_CTSn	B20	SMC_DATA4	C20	VPIN_VDI20	D20	SPI0_SSN2
A21	UART0_RTSn	B21	SMC_DATA5	C21	VPIN_VDI21	D21	SPI0_SSN3
A22	SPI1_SCLK	B22	SMC_DATA6	C22	VPIN_VDI22	D22	I2C1_SDA
A23	SPI1_TXD	B23	SMC_DATA7	C23	VPIN_VDI23	D23	I2C1_SCL
A24	SPI1_RXD	B24	SMC_DATA8	C24	VPIN_VDI24	D24	I2C2_SDA
A25	SPI1_SSN0	B25	SMC_DATA9	C25	VPIN_VDI25	D25	I2C2_SCL
A26	SPI1_SSN1	B26	SMC_DATA10	C26	VPIN_VDI26	D26	PWM_OUTA0
A27	SPI1_SSN2	B27	SMC_DATA11	C27	VPIN_VDI27	D27	PWM_OUTA1
A28	SPI1_SSN3	B28	SMC_DATA12	C28	VPIN_VDI28	D28	PWM_OUTB0
A29	I2C0_SDA	B29	SMC_DATA13	C29	VPIN_VDI29	D29	PWM_OUTB1
A30	I2C0_SCL	B30	SMC_DATA14	C30	VPIN_RSTO0	D30	PWM_TU0
A31	TIM2_TGL	B31	SMC_DATA15	C31	VPIN_RSTO1	D31	PWM_TU1

28.4.2 Прерывания

Любой бит порта А может воспринимать внешний сигнал как источник прерывания. Тип прерывания может быть следующим:

- активный высокий уровень;
- активный низкий уровень;
- передний фронт;
- задний фронт.

Прерывания могут быть маскированы через регистра `gpio_intmask`. Статус прерывания можно читать до маскирования через регистр `gpio_raw_intstatus` и после маскирования `gpio_intstatus`.

Чтобы настроить порт А на прерывания, необходимо установить в 1 регистр `gpio_inten`. Также необходимо, чтобы порт А был настроен на программный источник данных и на прием данных.

Для сброса прерывания по фронту необходимо записать 1 в соответствующий бит регистра `gpio_porta_eoi`. Это также сбросит значение соответствующего бита в регистре `gpio_intstatus` и `gpio_raw_intstatus`.

Для сброса прерывания по уровню необходимо устранить источник прерывания или мас-кировать его через регистр `gpio_intmask`.

Блок GPIO имеет функцию фильтрации дребезга входного сигнала, обрабатываемого как прерывание. При установке в 1 соответствующего бита регистра `gpio_debounce`, gpio сформирует прерывание, в случае если активный уровень входного сигнала длится 2 такта фильтрующей частоты. Фильтрующая частота – ХТІ_32К.

29. КОНТРОЛЛЕР ШИНЫ I²C (I2C)

29.1 Назначение

Контроллер I²C предназначен для обмена данными по последовательной шине I²C.

Шина I²C - это двухпроводной последовательный интерфейс, состоящий из линии данных (SDA) и линии тактовой частоты синхронизации (SCL), с помощью которых происходит обмен данными между устройствами, подключенными к шине. На шине различают master- и slave-устройства. В каждом обмене участвует одно master-устройство и одно slave-устройство. Master-устройство инициализирует и контролирует передачу данных, генерирует тактовый сигнал. Каждое slave-устройство имеет уникальный адрес, по которому происходит обращение master-устройства.

В зависимости от направления передачи каждое master- и slave-устройство может быть приемником либо передатчиком.

29.2 Основные характеристики

Контроллер I²C имеет следующие характеристики:

- имеет три скоростных режима передачи данных с программируемой скоростью передачи внутри режима:
 - Standard-speed (0-100 Кб/с);
 - Fast-speed (\leq 400 Кб/с);
 - High-speed (\leq 3.4 Мб/с);
- поддерживает Multi-master режим (синхронизация тактовых частот, процедура арбитража при передаче данных);
- поддерживает 7-и и 10-и битную адресацию и возможность динамического переключения между ними;
- имеет буферы приемника и передатчика;
- поддерживает режимы работы по прерыванию и по опросу;
- имеет аппаратный интерфейс взаимодействия с контроллером PDMA;
- имеет настраиваемые параметры фильтрации помех.

29.3 Регистры контроллера I²C

В Таблица 29.1 приведен перечень программно-доступных регистров контроллера I²C.

Таблица 29.1. Перечень программно-доступных регистров контроллера I²C

Условное обозначение регистра	Название регистра	Тип доступа	Исходное Состояние	Смещение
IC_CON	Регистр управления	W/R (R для 4-ого бита)	0x7F	0x0
IC_TAR	Регистр адреса абонента	W/R	0x1055	0x4
IC_SAR	Регистр slave-адреса.	W/R	0x55	0x8
IC_HS_MADD	Регистр кода адреса мастера для high speed режима.	W/R	0x1	0xC
IC_DATA_CMD	Регистр управления передачей.	W/R	0x0	0x10
IC_SS_SCL_HCNT	Старший регистр счетчика предделителя частоты для standard-speed режима.	W/R	0x190	0x14
IC_SS_SCL_LCNT	Младший регистр счетчика предделителя частоты для standard-speed режима.	W/R	0x1d6	0x18
IC_FS_SCL_HCNT	Старший регистр счетчика предделителя частоты для fast-speed режима.	W/R	0x3c	0x1C
IC_FS_SCL_LCNT	Младший регистр счетчика предделителя частоты для fast-speed режима.	W/R	0x82	0x20
IC_HS_SCL_HCNT	Старший регистр счетчика предделителя частоты для high-speed режима.	W/R	0x6	0x24
IC_HS_SCL_LCNT	Младший регистр счетчика предделителя частоты для high-speed режима.	W/R	0x10	0x28
IC_INTR_STAT	Регистр статуса прерывания.	R	0x0	0x2C
IC_INTR_MASK	Регистр маски прерывания	W/R	0x8ff	0x30
IC_RAW_INTR_STAT	Регистр статуса необработанного прерывания	R	0x0	0x34
IC_RX_TL	Регистр порога заполнения FIFO приемника.	W/R	0x0	0x38
IC_TX_TL	Регистр порога заполнения FIFO передатчика.	W/R	0x0	0x3C
IC_CLT_INTR	Регистр сброса прерываний.	R	0x0	0x40

Условное обозначение регистра	Название регистра	Тип доступа	Исходное Состояние	Смещение
IC_CLR_RX_UNDER	Регистр сброса прерывания RX_UNDER	R	0x0	0x44
IC_CLR_RX_OVER	Регистр сброса прерывания RX_OVER	R	0x0	0x48
IC_CLR_TX_OVER	Регистр сброса прерывания TX_OVER	R	0x0	0x4C
IC_CLR_RD_REQ	Регистр сброса прерывания RD_REQ	R	0x0	0x50
IC_CLR_TX_ABR	Регистр сброса прерывания TX_ABR	R	0x0	0x54
IC_CLR_RX_DONE	Регистр сброса прерывания RX_DONE	R	0x0	0x58
IC_CLR_ACTIVITY	Регистр сброса прерывания ACTIVITY	R	0x0	0x5C
IC_CLR_STOP_DET	Регистр сброса прерывания STOP_DET	R	0x0	0x60
IC_CLR_START_DET	Регистр сброса прерывания START_DET	R	0x0	0x64
IC_CLR_GEN_CALL	Регистр сброса прерывания GEN_CALL	R	0x0	0x68
IC_ENABLE	Регистр включения шины.	W/R	0x0	0x6C
IC_STATUS	Регистр статуса шины.	R	0x6	0x70
IC_TXFLR	Регистр уровня FIFO передатчика	R	0x0	0x74
IC_RXFLR	Регистр уровня FIFO приемника	R	0x0	0x78
IC_SDA_HOLD	Регистр времени удержания SDA.	W/R	0x1	0x7C
IC_TX_ABRT_SOURCE	Регистр статуса обрыва передачи.	R	0x0	0x80
IC_SLV_DATA_NACK_ONLY	Регистр генерирования SLV_DATA_NACK	W/R	0x0	0x84
IC_DMA_CR	Регистр контроля DMA интерфейса.	W/R	0x0	0x88
IC_DMA_TDLR	Регистр передачи данных через DMA интерфейс.	W/R	0x0	0x8C
IC_DMA_RDLR	Регистр приема данных через DMA интерфейс.	W/R	0x0	0x90
IC_SDA_SETUP	Регистр установки SDA	W/R	0x64	0x94
IC_ACK_GENERAL_CALL	Регистр вызова общего ACK	W/R	0x1	0x98
IC_ENABLE_STATUS	Регистр статуса включения	R	0x0	0x9C
IC_FS_SPKLEN	Регистр управления фильтрацией для standard-speed и fast-speed режимов	W/R	0x5	0xA0
IC_HS_SPKLEN	Регистр управления фильтрацией для high-speed режима.	W/R	0x1	0xA4

29.3.1 Регистр IC_CON

Регистр управления.

Этот регистр может быть доступен для записи, только при выключенном контроллере I²C (IC_ENABLE=0).

Формат регистра IC_CON приведен в Таблица 29.2.

Таблица 29.2. Формат регистра IC_CON

номер бита	Условное обозначение	Назначение
0	MASTER_MODE	Этот бит управляет включением режима master. 0: Режим master выключен. 1: Режим master включен. Перед установкой этого бита в 1, нужно убедиться, что бит 6 также установлен в 1.
1:2	SPEED	Режим скорости передачи данных. Настройка только для контроллера, работающего в режиме master. 1: Standard-speed (0 to 100 Кб/с) 2: Fast-speed (≤ 400 Кб/с) 3: High-speed (≤ 3.4 Мб/с)
3	IC_10BITADDR_SLAVE	Когда контроллер работает в режиме slave, этот бит выбирает тип адреса контроллера (7-и или 10-и битный адрес). 0: 7-и битный адрес. Контроллер игнорирует обращения по 10-и битным адресам, при этом учитываются только 7 младших битов регистра IC_SAR. 1: 10-и битный адрес. Контроллер отвечает только на 10-и битный адрес, который соответствует значению регистра IC_SAR.
4	IC_10BITADDR_MASTER_rd_only	Только для чтения. Бит отображает тип текущего адреса удаленного slave-устройства, к которому обращается контроллер, работающий в режиме master: 0: 7-и битный адрес 1: 10-и битный адрес Управление типом адреса производится битом IC_TAR(12).
5	IC_RESTART_EN	Бит определяет, может ли контроллер, работающий в режиме master, отправить последовательность RESTART. 0: не может отправить RESTART. 1: может отправить RESTART. Если IC_RESTART_EN=0, контроллер не может выполнять следующие функции: <ul style="list-style-type: none"> • Отправлять START-байт. • Выполнять любые обмены в режиме high-speed. • Изменять направление обмена в режиме комбинированного обмена. • Выполнять операции чтения с 10-и битным адресом. В этом случае, вместо последовательности RESTART, будут отправлены последовательности STOP - START, что приведет к обрыву комбинированной передачи. При этом установится бит TX_ABORT (бит 6 регистра IC_RAW_INTR_STAT)

номер бита	Условное обозначение	Назначение
6	IC_SLAVE_DISABLE	Этот бит управляет выключением режима slave для контроллера. Если этот бит установлен, контроллер функционирует только как master 0: slave включен 1: slave выключен Перед установкой этого бита в 0, нужно убедиться, что бит 0 также установлен в 0.
3:31	–	Резерв

29.3.2 Регистр IC_TAR

Регистр адреса удаленного slave-устройства.

Для того, чтобы регистр был доступен по записи, необходимо чтобы соблюдалось одно из следующих условий:

- контроллер выключен (IC_ENABLE=0);
- контроллер включен (IC_ENABLE =1), И контроллер не выполняет каких-либо операций в режиме master (IC_STATUS[5]=0), И включен режим мастера (IC_CON[0]=1), И FIFO передатчика не содержит данных (IC_STATUS[2]=1).

Формат регистра IC_TAR приведен в Таблица 29.3.

Таблица 29.3. Формат регистра IC_TAR

Номер бита	Условное обозначение	Назначение
0:9	IC_TAR	Адрес удаленного slave-устройства, для любых транзакций контроллера, работающего в режиме master. Когда происходит передача General Call, то содержимое этих битов игнорируется.
10	GC_OR_START	Если бит SPECIAL установлен в 1, то бит GC_OR_START выбирает между выполнением General Call или Start-байта. 0: General Call. После выполнения этой команды, из всех транзакций становится возможна только передача данных по адресу General Call. При попытке чтения с шины произойдет установка бита TX_ABRT (IC_RAW_INTR_STAT[6]). Контроллер будет выполнять передачи по адресу General Call, до тех пор пока не будет сброшен бит SPECIAL (IC_TAR[11]). 1: START-байт.
11	SPECIAL	Этот бит контролирует, будет ли происходить передача General Call, либо START-байт, или контроллер будет работать в обычном режиме. 0: Значение бита GC_OR_START игнорируется и контроллер будет в обычном режиме работать по адресу IC_TAR. 1: Будет выполнена специальная команда, в зависимости от значения бита GC_OR_START
12	IC_10BITADDR_MASTER	Этот бит контролирует тип адреса удаленного slave-устройства. 0: 7-и битный адрес. 1: 10-и битная адресация

Номер бита	Условное обозначение	Назначение
13:31	-	Резерв

29.3.3 Регистр IC_SAR

Регистр slave-адреса.

Формат регистра IC_SAR приведен в Таблица 29.4.

Таблица 29.4. Формат регистра IC_SAR

Номер бита	Условное обозначение	Назначение
0:9	IC_SAR	Регистр хранит адрес контроллера, работающего в режиме slave. Если установлен 7-и битный формат адреса (IC_CON=0), то используются только биты IC_SAR[6:0] Этот регистр доступен по записи только при выключенном контроллере (IC_ENABLE=0)
10:31	-	Резерв

29.3.4 Регистр IC_HS_MADDR

Регистр адреса master-код.

Формат регистра IC_HS_MADDR приведен в Таблица 29.5.

Таблица 29.5. Формат регистра IC_HS_MADDR

Номер бита	Условное обозначение	Назначение
0:2	IC_HS_MAR	Эти биты содержат значение master-кода для high-speed режима. Каждое master -устройство имеет уникальный master -код вида (00001xxx). На одной шине может располагаться до 8-и master -устройств. Этот регистр может быть доступен для записи, только когда контроллер выключен (IC_ENABLE=0).
3:31	-	Резерв

29.3.5 Регистр IC_DATA_CMD

Регистр управления данными.

Через этот регистр происходит запись из CPU в буфер передатчика (TX FIFO) и чтение в CPU из буфера приемника (RX FIFO).

Формат регистра IC_DATA_CMD приведен в Таблица 29.6.

Таблица 29.6. Формат регистра IC_DATA_CMD

Номер бита	Условное обозначение	Назначение
0:7	DAT	Поле данных. Это поле содержит передаваемые или принимаемые данные по шине I ² C.
8	CMD	Бит направления передачи. Когда порт находится в режиме master, этот бит контролирует направление передачи: 1: Чтение. 0: Запись. Попытка выполнить операция чтения после General Call приведет к прерыванию TX_ABRT. Запись «0» в этот бит после прерывания RD_REQ также приведет к прерыванию TX_ABRT.
9:31	-	Резерв

29.3.6 Регистр IC_SS_SCL_HCNT

Старший регистр счетчика предделителя частоты при работе модуля в standard-speed режиме.

Регистр доступен для записи только при выключенном контроллере (IC_ENABLE=0).

Формат регистра LC_SS_SCL_HCNT приведен в Таблица 29.7.

Таблица 29.7. Формат регистра IC_SS_SCL_HCNT

Номер бита	Условное обозначение	Назначение
0:15	IC_SS_SCL_HCNT	Регистр устанавливает значение счетчика предделителя для высокого уровня сигнала SCL в standard-speed режиме. Минимальное значение - 6, максимальное - 65525.
16:31	-	Резерв

29.3.7 Регистр IC_SS_SCL_LCNT

Младший регистр счетчика предделителя частоты при работе модуля в standard-speed режиме.

Регистр доступен для записи только при выключенном контроллере (IC_ENABLE=0).

Формат регистра LC_SS_SCL_LCNT приведен в Таблица 29.8.

Таблица 29.8. Формат регистра IC_SS_SCL_LCNT

Номер бита	Условное обозначение	Назначение
0:15	IC_SS_SCL_LCNT	Регистр устанавливает значение счетчика предделителя для низкого уровня сигнала SCL в standard-speed режиме. Минимальное значение - 8.
16:31	-	Резерв

29.3.8 Регистр IC_FS_SCL_HCNT

Старший регистр счетчика предделителя частоты при работе модуля в Fast-speed режиме.

Регистр доступен для записи только при выключенном контроллере (IC_ENABLE=0).

Формат регистра LC_FS_SCL_HCNT приведен в Таблица 29.9.

Таблица 29.9. Формат регистра IC_FS_SCL_HCNT

Номер бита	Условное обозначение	Назначение
0:15	IC_FS_SCL_HCNT	Регистр устанавливает значение счетчика предделителя для высокого уровня сигнала SCL в fast-speed режиме. Минимальное значение - 6.
16:31	-	Резерв

29.3.9 Регистр IC_FS_SCL_LCNT

Младший регистр счетчика предделителя частоты при работе модуля в Fast-speed режиме.

Регистр доступен для записи только при выключенном контроллере (IC_ENABLE=0).

Формат регистра LC_FS_SCL_LCNT приведен в Таблица 29.10.

Таблица 29.10. Формат регистра IC_FS_SCL_LCNT

Номер бита	Условное обозначение	Назначение
0:15	IC_FS_SCL_LCNT	Регистр устанавливает значение счетчика предделителя для низкого уровня сигнала SCL в fast-speed режиме. Минимальное значение - 8.
16:31	-	Резерв

29.3.10 Регистр IC_HS_SCL_HCNT

Старший регистр счетчика предделителя частоты при работе модуля в High-speed режиме.

Регистр доступен для записи только при выключенном контроллере (IC_ENABLE=0).

Формат регистра IC_HS_SCL_HCNT приведен в Таблица 29.11.

Таблица 29.11. Формат регистра IC_HS_SCL_HCNT

Номер бита	Условное обозначение	Назначение
0:15	IC_FS_SCL_HCNT	Регистр устанавливает значение счетчика предделителя для высокого уровня сигнала SCL в high-speed режиме. Минимальное значение - 6.
16:31	-	Резерв

29.3.11 Регистр IC_HS_SCL_LCNT

Младший регистр счетчика предделителя частоты при работе модуля в high-speed режиме.

Регистр доступен для записи только при выключенном контроллере (IC_ENABLE=0).

Формат регистра IC_HS_SCL_LCNT приведен в Таблица 29.12.

Таблица 29.12. Формат регистра IC_HS_SCL_LCNT

Номер бита	Условное обозначение	Назначение
0:15	IC_HS_SCL_LCNT	Регистр устанавливает значение счетчика предделителя для низкого уровня сигнала SCL в high-speed режиме. Минимальное значение - 8.
16:31	-	Резерв

29.3.12 Регистр IC_INTR_STAT

Регистр статуса прерываний.

Каждый бит этого регистра имеет соответствующий маскирующий бит в регистре IC_INTR_MASK. Значения битов прерывания до маскирования доступны в регистре IC_RAW_INTR_STAT.

Формат регистра IC_INTR_STAT приведен в Таблица 29.13.

Таблица 29.13. Формат регистра IC_INTR_STAT

Номер бита	Условное обозначение	Назначение
0	R_RX_UNDER	См. Регистр IC_RAW_INTR_STAT.
1	R_RX_OVER	
2	R_RX_FULL	
3	R_TX_OVER	
4	R_TX_EMPTY	
5	R_RD_REQ	
6	R_TX_ABRT	
7	R_RX_DONE	
8	R_ACTIVITY	
9	R_STOP_DET	
10	R_START_DET	
11	R_GEN_CALL	
12:31	-	Резерв

29.3.13 Регистр IC_INTR_MASK

Регистр маскирования прерываний.

Биты этого регистра маскируют соответствующие биты регистра статуса прерываний. Значение 0 - маскирует прерывание, значение 1 - не маскирует.

Формат регистра IC_INTR_MASK приведен в Таблица 29.14.

Таблица 29.14. Формат регистра IC_INTR_MASK

Номер бита	Условное обозначение	Назначение
0	R_RX_UNDER	Эти биты маскируют прерывания, соответствующие битам регистра IC_INTR_STAT.
1	R_RX_OVER	
2	R_RX_FULL	
3	R_TX_OVER	
4	R_TX_EMPTY	
5	R_RD_REQ	
6	R_TX_ABRT	
7	R_RX_DONE	
8	R_ACTIVITY	
9	R_STOP_DET	
10	R_START_DET	
11	R_GEN_CALL	
12:31	-	Резерв

29.3.14 Регистр IC_RAW_INTR_STAT

Регистр статуса немаскированных прерываний.

При выключении контроллера, биты регистра остаются активными до тех, пока контроллер не перейдет в состояние IDLE.

Формат регистра IC_RAW_CLR_INTR_STAT приведен в Таблица 29.15.

Таблица 29.15. Формат регистра IC_RAW_INTR_STAT

Номер бита	Условное обозначение	Назначение
0	RX_UNDER	Бит устанавливается в 1, когда пользователь пытается читать данные из пустого буфера приемника.
1	RX_OVER	Бит устанавливается в 1, если буфер приемника заполнен, но по шине приходит еще один байт данных. Контроллер выдаст сигнал подтверждения на шину, но все данные, полученные после заполнения FIFO приемника, будут потеряны.
2	RX_FULL	Бит устанавливается в 1, когда буфер заполняется до уровня, обозначенного в регистре IC_RX_TL. Он автоматически сбрасывается, как только кол-во данных в буфере становится меньше этого уровня.
3	TX_OVER	Бит устанавливается в 1, во время передачи, если процессор пытается записать данные в IC_DATA_CMD при заполненном FIFO передатчика.
4	TX_EMPTY	Бит устанавливается в 1, когда кол-во данных в FIFO передатчика снижается до уровня, обозначенного в IC_TX_TL.
5	RD_REQ	Бит устанавливается в 1, когда модуль работает в режиме slave, а текущий master шины запрашивает чтение данных из модуля. Контроллер удерживает состояние ожидания (SCL=0), пока прерывание обрабатывается. Процессор должен ответить на это прерывание и начать выдавать запрашиваемые данные в IC_DATA_CMD регистр. Этот бит установится в 0 после чтения регистра IC_CLR_RD_REQ.

Номер бита	Условное обозначение	Назначение
6	TX_ABRT	Этот бит устанавливается в 1, если модуль работает в режиме передатчика и не может произвести передачу. Когда этот бит устанавливается в 1, регистр IC_TX_ABRT_SOURCE отображает причину обрыва передачи.
7	RX_DONE	Когда контроллер работает в режиме slave-передатчика, этот бит устанавливается в 1, если мастер не подтверждает передачу байта.
8	ACTIVITY	Установка этого бита в 1 говорит о том, что контроллер проявил какую-либо активность. Сброс прерывания возможен одним из четырех способов: <ul style="list-style-type: none"> • Выключение контроллера I²C • Чтение регистра IC_CLR_ACTIVITY • Чтение регистра IC_CLR_INTR • Системный сброс.
9	STOP_DET	Этот бит устанавливается в 1, если на шине возникает состояние STOP, независимо от того работает ли контроллер в режиме slave или master.
10	START_DET	Этот бит устанавливается в 1, если на шине возникает START или RESTART состояние, независимо от того работает ли контроллер в режиме slave или master.
11	GEN_CALL	Этот бит устанавливается в 1, если получен General Call адрес и отправлено подтверждение. Сбрасывается в выключением контроллера или чтением регистра IC_CLR_GEN_CALL.
12:31	-	Резерв

29.3.15 Регистр IC_RX_TL

Регистр порога заполнения FIFO приемника.

Формат регистра IC_RX_TL приведен в Таблица 29.16.

Таблица 29.16. Формат регистра IC_RX_TL

Номер бита	Условное обозначение	Назначение
0:7	RX_TL	Содержит пороговое значение заполнения FIFO приемника. Контролирует число записей в буфере, по достижению которого, формируется прерывание RX_FULL (2-й бит регистра IC_RAW_INTR_STAT). Значение изменяется от 0 до 255.
8:31	-	Резерв

29.3.16 Регистр IC_TX_TL

Регистр порога заполнения FIFO передатчика.

Формат регистра IC_TX_TL приведен в Таблица 29.17.

Таблица 29.17. Формат регистра IC_TX_TL

Номер бита	Условное обозначение	Назначение
0:7	TX_TL	Содержит пороговое значение заполнения FIFO приемника. Контролирует число записей в буфере, по достижению которого, происходит прерывание TX_EMPTY (4-й бит регистра IC_RAW_INTR_STAT). Значение изменяется от 0 до 255.
8:31	-	Резерв

29.3.17 Регистр IC_CLR_INTR

Регистр сброса комбинированного и индивидуальных прерываний.

Формат регистра IC_CLR_INTR приведен в Таблица 29.18.

Таблица 29.18. Формат регистра IC_CLR_INTR

Номер бита	Условное обозначение	Назначение
0	CLR_INTR	Чтение этого регистра сбрасывает комбинированное прерывание, все индивидуальные прерывания, регистр IC_TX_ABORT_SOURCE.
1:31	-	Резерв

29.3.18 Регистр IC_CLR_RX_UNDER

Регистр сброса прерывания RX_UNDER.

Формат регистра IC_CLR_RX_UNDER приведен в Таблица 29.19.

Таблица 29.19. Формат регистра IC_CLR_RX_UNDER

Номер бита	Условное обозначение	Назначение
0	CLR_RX_UNDER	Чтение этого регистра сбрасывает прерывание RX_UNDER (бит 0 регистра IC_RAW_INTR_STAT)
1:31	-	Резерв

29.3.19 Регистр IC_CLR_RX_OVER

Регистр сброса прерывания RX_OVER.

Формат регистра IC_CLR_RX_OVER приведен в Таблица 29.20.

Таблица 29.20. Формат регистра IC_CLR_RX_OVER

Номер бита	Условное обозначение	Назначение
0	CLR_RX_OVER	Чтение этого регистра сбрасывает прерывание RX_OVER (бит 1 регистра IC_RAW_INTR_STAT)
1:31	-	Резерв

29.3.20 Регистр IC_CLR_TX_OVER

Регистр сброса прерывания TX_OVER.

Формат регистра TX_OVER приведен в Таблица 29.21.

Таблица 29.21. Формат регистра IC_CLR_TX_OVER

Номер бита	Условное обозначение	Назначение
0	CLR_TX_OVER	Чтение этого регистра сбрасывает прерывание TX_OVER (бит 3 регистра IC_RAW_INTR_STAT)
1:31	-	Резерв

29.3.21 Регистр IC_CLR_RD_REQ

Регистр сброса прерывания RD_REQ.

Формат регистра RD_REQ приведен в Таблица 29.22.

Таблица 29.22. Формат регистра IC_CLR_RD_REQ

Номер бита	Условное обозначение	Назначение
0	CLR_RD_REQ	Чтение этого регистра сбрасывает прерывание RX_UNDER (бит 5 регистра IC_RAW_INTR_STAT)
1:31	-	Резерв

29.3.22 Регистр IC_CLR_TX_ABRT

Регистр сброса прерывания TX_ABRT.

Формат регистра IC_CLR_TX_ABRT приведен в Таблица 29.23.

Таблица 29.23. Формат регистра IC_CLR_TX_ABRT

Номер бита	Условное обозначение	Назначение
0	CLR_RX_UNDER	Чтение этого регистра сбрасывает прерывание TX_ABRT (бит 6 регистра IC_RAW_INTR_STAT) и регистр IC_TX_ABRT_SOURCE.
1:31	-	Резерв

29.3.23 Регистр IC_CLR_RX_DONE

Регистр сброса прерывания RX_DONE.

Формат регистра IC_CLR_RX_DONE приведен в Таблица 29.24.

Таблица 29.24. Формат регистра IC_CLR_RX_DONE

Номер бита	Условное обозначение	Назначение
0	CLR_RX_DONE	Чтение этого регистра сбрасывает прерывание RX_DONE (бит 7 регистра IC_RAW_INTR_STAT)
1:31	-	Резерв

29.3.24 Регистр IC_CLR_ACTIVITY

Регистр сброса прерывания ACTIVITY.

Формат регистра IC_CLR_ACTIVITY приведен в Таблица 29.25.

Таблица 29.25. Формат регистра IC_CLR_ACTIVITY

Номер бита	Условное обозначение	Назначение
0	CLR_ACTIVITY	Чтение этого регистра сбрасывает прерывание ACTIVITY (бит 8 регистра IC_RAW_INTR_STAT), если контроллер I ² C не активен.
1:31	-	Резерв

29.3.25 Регистр IC_CLR_STOP_DET

Регистр сброса прерывания STOP_DET.

Формат регистра IC_STOP_DET приведен в Таблица 29.26.

Таблица 29.26. Формат регистра IC_STOP_DET

Номер бита	Условное обозначение	Назначение
0	CLR_STOP_DET	Чтение этого регистра сбрасывает прерывание STOP_DET (бит 9 регистра IC_RAW_INTR_STAT)
1:15	-	Резерв

29.3.26 Регистр IC_CLR_START_DET

Регистр сброса прерывания START_DET.

Формат регистра IC_CLR_START_DET приведен в Таблица 29.27.

Таблица 29.27. Формат регистра IC_CLR_START_DET

Номер бита	Условное обозначение	Назначение
0	CLR_START_DET	Чтение этого регистра сбрасывает прерывание START_DET (бит 10 регистра IC_RAW_INTR_STAT)
1:31	-	Резерв

29.3.27 Регистр IC_CLR_GEN_CALL

Регистр сброса прерывания GEN_CALL.

Формат регистра IC_CLR_GEN_CALL приведен в Таблица 29.28.

Таблица 29.28. Формат регистра IC_CLR_GEN_CALL

Номер бита	Условное обозначение	Назначение
0	CLR_GEN_CALL	Чтение этого регистра сбрасывает прерывание GEN_CALL (11 бит регистра IC_RAW_INTR_STAT)
1:31	-	Резерв

29.3.28 Регистр IC_ENABLE

Регистр включения контроллера I²C.

Формат регистра IC_ENABLE приведен в Таблица 29.29.

Таблица 29.29. Формат регистра IC_ENABLE

Номер бита	Условное обозначение	Назначение
0	ENABLE	<p>0: Контроллер выключен 1: Контроллер включен.</p> <p>При выключении контроллера, происходит следующее:</p> <ul style="list-style-type: none"> • Стирается содержимое FIFO приемника и FIFO передатчика. • Статус-биты регистра IC_INTR_STAT остаются активными до тех пока контроллер не перейдет в состояние IDLE. <p>Если контроллер функционировал как передатчик, он завершит текущую передачу и остановится из-за того, что буфер передатчика станет пуст. Если контроллер функционировал как приемник, то завершив текущую передачу, контроллер не подтвердит завершение передачи битом acknowledge.</p>
1:31	-	Резерв

29.3.29 Регистр IC_STATUS

Регистр статуса контроллера

Регистр доступен только по чтению, отображает статус текущей передачи и статус FIFO. Регистр статуса может быть прочтен в любое время. Когда происходит выключение контроллера записью 0 в 0-ой бит регистра IC_ENABLE, происходит следующее:

- биты 1 и 2 устанавливаются в 1;
- биты 3 и 4 устанавливаются в 0;

Когда контроллер переходит в состояние IDLE:

- биты 5 и 6 устанавливаются в 0

Формат регистра IC_STATUS приведен в Таблица 29.30.

Таблица 29.30. Формат регистра IC_STATUS

Номер бита	Условное обозначение	Назначение
0	ACTIVITY	Статус активности шины ACTIVITY = MST_ACTIVITY OR SLV_ACTIVITY
1	TFNF	FIFO передатчика не полон. 0 - Буфер передатчика полон 1 - Буфер передатчика не полон
2	TFE	FIFO передатчика абсолютно пуст. 0 - Буфер передатчика не пуст 1 - Буфер передатчика пуст
3	RFNE	FIFO приемника не пуст. 0 - Буфер приемника пуст 1 - Буфер приемника не пуст
4	RFF	Буфер приемника абсолютно полон. 0 - Буфер приемника не полон 1 - Буфер приемника полон
5	MST_ACTIVITY	Статус активности состояния master. 0: Состояние master контроллера не активно 1: Состояние master контроллера активно
6	SLV_ACTIVITY	Статус активности slave состояния. 0: Состояние slave контроллера не активно 1: Состояние slave контроллера активно
7:31	-	Резерв

29.3.30 Регистр IC_TXFLR

Регистр уровня FIFO передатчика.

Этот регистр содержит число строк данных в FIFO передатчика. Регистр сбрасывается в следующих случаях:

- происходит выключение контроллера;
- происходит обрыв передачи. Устанавливается бит TX_ABRT регистра IC_RAW_INTR_STAT.

Формат регистра IC_TXFLR приведен в Таблица 29.31.

Таблица 29.31. Формат регистра IC_TXFLR

Номер бита	Условное обозначение	Назначение
0:5	TXFLTR	Уровень FIFO передатчика. Содержит число доступных записей данных в FIFO передатчика.
6:31	-	Резерв

29.3.31 Регистр IC_RXFLR

Регистр уровня FIFO приемника.

Этот регистр содержит число строк данных в FIFO приемника. Регистр сбрасывается в следующих случаях:

- происходит выключение контроллера;
- происходит обрыв передачи по любой причине, описанной в регистре IC_TX_ABRT_SOURCE.

Формат регистра IC_RXFLR приведен в Таблица 29.32.

Таблица 29.32. Формат регистра IC_RXFLR

Номер бита	Условное обозначение	Назначение
0:5	RXFLR	Уровень FIFO приемника. Содержит число доступных записей данных в FIFO приемника.
6:31	-	Резерв.

29.3.32 Регистр IC_SDA_HOLD

Регистр времени удержания сигнала SDA.

Этот регистр контролирует время удержания (выраженное в числе тактов частоты L3_PCLK) сигнала SDA после заднего фронта сигнала SCL в обоих slave и master режимах работы контроллера. Значение этого регистра должно быть выше одного такта а для режима master и 7-и тактов для режима slave. Регистр доступен по записи только при IC_ENABLED[0]=0.

Причем $IC_SDA_HOLD \leq N_SCL_LOW - 2$, где N_SCL_LOW это продолжительность низкого уровня сигнала SCL в тактах L3_PCLK.

Формат регистра IC_SDA_HOLD приведен в Таблица 29.33.

Таблица 29.33. Формат регистра IC_SDA_HOLD

Номер бита	Условное обозначение	Назначение
0:15	IC_SDA_HOLD	Устанавливает требуемое значение времени удержания сигнала SDA в тактах L3_PCLK
16:31	-	Резерв

29.3.33 Регистр IC_TX_ABRT_SOURCE

Регистр причины обрыва передачи.

Этот регистр имеет 16 бит, которые отображают причину установки в «1» бита TX_ABRT. Регистр сбрасывается чтением регистра IC_CLR_TX_ABRT или IC_CLR_INTR (кроме

бита 9 - ABRT_SBYTE_NORSTRT). Для сброса девятого бита, сначала должны быть выполнены следующие условия.

- должна быть включена возможность отправки последовательности RESTART, IC_CON[5]=1;
- должен быть сброшен бит SPECAL (IC_TAR[11]) или бит GC_OR_START (IC_TAR[10]).

После выполнения этих условий бит ABRT_SBYTE_NORSTRT сбрасывается также как и остальные.

Формат регистра IC_TX_ABRT_SOURCE приведен в Таблица 29.34.

Таблица 29.34. Формат регистра IC_TX_ABRT_SOURCE

Номер бита	Условное обозначение	Назначение	Источник
0	ABRT_7B_ADDR_NOACK	1: Контроллер в режиме master с 7-и битной адресацией не получил сигнала подтверждения от slave после отправления адреса.	Master - передатчик или master - приемник.
1	ABRT_10ADDR1_NOACK	1: Контроллер в режиме master с 10-и битной адресацией не получил сигнала подтверждения от slave после отправления первого 10-и битного адреса	Master - передатчик или master - приемник.
2	ABRT_10ADDR2_NOACK	1: Контроллер в режиме master с 10-и битной адресацией не получил сигнала подтверждения от slave после отправления второго 10-и битного адреса	Master - передатчик или master - приемник.
3	ABRT_TXDATA_NOACK	1: Контроллер в режиме мастера получил сигнал подтверждения от slave после отправления адреса. Но после отправления байта(-ов) данных по этому адресу, он не получил сигнала подтверждения от slave -устройства.	Master - передатчик
4	ABRT_GCALL_NOACK	1: Контроллер в режиме мастера отправил General Call, и ни один slave на шине не отправил подтверждающего сигнала.	Master - передатчик
5	ABRT_GCALL_READ	1: Контроллер в режиме мастера отправил General Call, но пользователь объявил запрос на чтение (IC_DATA_CMD[8]=1)	Master - передатчик
6	ABRT_HS_ACKDET	1: Контроллер в режиме master и скоростном режиме high-speed получил подтверждение на high-speed master code.	Master
7	ABRT_SBYTE_ACKDET	1: Мастер отправил START-байт и получил сигнал подтверждения	Master
8	ABRT_HS_NORSTRT	1: Отключена возможность отправлять последовательности RESTART (IC_RESTART_EN(IC_CON[5]) = 0) и пользователь пытается в режиме high-speed master осуществить передачу данных.	Master - передатчик или master - приемник.
9	ABRT_SBYTE_NORSTRT	1: Отключена возможность отправлять последовательности RESTART (IC_RESTART_EN(IC_CON[5]) = 0) и пользователь пытается отправить START-байт.	Master

Номер бита	Условное обозначение	Назначение	Источник
10	ABRT_10B_RD_NORSTR	1: Отключена возможность отправлять последовательности RESTART (IC_RESTART_EN(IC_CON[5]) = 0) и master отправляет запрос на чтение в режиме 10-и битной адресации	Master - приемник
11	ABRT_MASTER_DIS	1: Пользователь пытается инициализировать master обмен при выключенном master -режиме.	Master - передатчик или master - приемник.
12	ARB_LOST	1: Master проиграл арбитраж, или (если IC_TX_ABRT_SOURCE[14] также установлен) slave -передатчик проигрывает арбитраж. (Контроллер может находиться в режиме master и в режиме slave одновременно)	Master - передатчик или master - приемник
13	ABRT_SLVFLUSH_TXFIFO	1: Slave получил команду на чтение и некоторые данные находятся в FIFO передатчика, поэтому slave запрашивает TX_ABRT прерывание для стирания старых данных из FIFO передатчика.	Slave- передатчик
14	ABRT_SLV_ARBLOST	1: Slave теряет шину во время передачи данных. В это же время устанавливается IC_TX_ABRT_SOURCE[12].	Slave - передатчик
15	ABRT_SLVRD_INTX	1: Процессор отвечает запросу от slave на передачу данных удаленному master -устройству, а пользователь пишет 1 в CMD (IC_DATA_CMD[8])	Slave - передатчик
16:31	-	Резерв	

29.3.34 Регистр IC_SLV_DATA_NACK_ONLY

Регистр генерации сигнала отсутствия подтверждения - NACK.

Сигнал генерируется контроллером, работающем в режиме Slave-приемника. Запись в этот регистр может осуществляться при следующих условиях:

- контроллер выключен. IC_ENABLE[0]=0;
- Slave-режим не активен. IC_STATUS[6]=0.

Формат регистра IC_SLV_DATA_NACK_ONLY приведен в Таблица 29.35.

Таблица 29.35. Формат регистра IC_SLV_DATA_NACK_ONLY

Номер бита	Условное обозначение	Назначение
0	NACK	1: Генерировать NACK после получения байта данных. 0: Генерировать NACK/ACK в зависимости от нормальных критериев.

29.3.35 Регистр IC_DMA_CR

Регистр управления аппаратным интерфейсом запросов к PDMA.

Этот регистр используется для включения интерфейса взаимодействия с контроллером DMA. Регистр имеет отдельные биты на прием и на передачу. Запись в этот регистр возможна при включенном контроллере.

Формат регистра IC_DMA_CR приведен в Таблица 29.36.

Таблица 29.36. Формат регистра IC_DMA_CR

Номер бита	Условное обозначение	Назначение
0	RDMAE	0: Выключение канала FIFO DMA приемника. 1: Выключение канала FIFO DMA приемника.
1	TDMAE	0: Выключение канала FIFO DMA передатчика. 1: Выключение канала FIFO DMA передатчика.
2:31	-	Резерв

29.3.36 Регистр IC_DMA_TDLR

Регистр уровня данных передатчика DMA.

Формат регистра IC_DMA_TDLR приведен в Таблица 29.37.

Таблица 29.37. Формат регистра IC_DMA_TDLR

Номер бита	Условное обозначение	Назначение
0:4	DMATDL	Контролирует уровень данных в буфере передатчика по достижении которого будет возникать запрос к PDMA на запись данных в FIFO передатчика.
5:31	-	Резерв

29.3.37 Регистр IC_DMA_RDLR

Регистр уровня данных приемника DMA.

Формат регистра IC_DMA_RDLR приведен в Таблица 29.38.

Таблица 29.38. Формат регистра IC_DMA_RDLR

Номер бита	Условное обозначение	Назначение
0:4	DMARDL	Контролирует уровень данных в буфере приемника по достижении которого будет возникать запрос к PDMA на чтение данных из FIFO приемника.
5:31	-	Резерв

29.3.38 Регистр IC_SDA_SETUP

Регистр продолжительности SDA.

Этот регистр контролирует продолжительность временной задержки (в тактах частоты L3_PCLK) введенной между передним фронтом сигнала SCL относительно изменения SDA

Формат регистра IC_SDA_SETUP приведен в Таблица 29.39.

Таблица 29.39. Формат регистра IC_SDA_SETUP

Номер бита	Условное обозначение	Назначение
0:7	SDA_SETUP	

29.3.39 Регистр IC_ACK_GENERAL_CALL

Регистр подтверждения General Call

Этот регистр контролирует, каким сигналом ACK или NACK, будет отвечать контроллер на General Call адрес.

Формат регистра IC_ACK_GENERAL_CALL приведен в Таблица 29.40.

Таблица 29.40. Формат регистра IC_ACK_GENERAL_CALL

Номер бита	Условное обозначение	Назначение
0	ACK_GEN_CALL	0: NACK 1: ACK
1:31	-	Резерв

29.3.40 Регистр IC_ENABLE_STATUS

Этот регистр используется для получения информации о статусе контроллера, когда регистр IC_ENABLE переключается из 1 в 0, т.е. когда происходит выключение контроллера.

Если IC_ENABLE установлен в 1, то биты 1:2 преобразуются в 0, а бит 0 в 1.

Если IC_ENABLE установлен в 0, то биты 1:2 будут действительны тогда, когда бит 0 будет читаться как 0.

Формат регистра IC_ENABLE_STATUS приведен в Таблица 29.41.

Таблица 29.41. Формат регистра IC_ENABLE_STATUS

Номер бита	Условное обозначение	Назначение
0	IC_EN	0: Контроллер выключен 1: Контроллер включен CPU может безопасно читать этот бит в любое время. Когда этот бит читается как 0, CPU может безопасно читать SLV_RX_DATA_LOST (бит 2) и SLV_DISABLED_WHILE_BUSY (бит 1).
1	SLV_DISABLED_WHILE_BUSY	Slave выключен когда занят (передача, прием) Этот бит отображает обрыв текущей операции контроллера, работающего в режиме slave из-за выключения контроллера (изменение состояния регистра IC_ENABLE из 1 в 0). Этот бит устанавливается, если CPU пишет 0 в регистр IC_ENABLE, когда: <ul style="list-style-type: none"> • Контроллер принимал байт адреса как slave-передатчик от удаленного master-устройства. • Контроллер принимал байты адреса и данных как slave-приемник от удаленного master-устройства. Контроллер выдает сигнал NACK по завершению текущей фазы обмена в любом случае. CPU может безопасно читать этот бит, когда IC_EN (бит 0) читается как 0.
2	SLV_RX_DATA_LOS	Slave потерял принимаемые данные. Этот бит устанавливается, если прерывается операция slave-приемника с потерей байта данных из-за выключения контроллера (изменения состояния регистра IC_ENABLE из 1 в 0) в момент приема байта данных. Когда это происходит, контроллер выдает сигнал NACK по завершению приема. CPU может безопасно читать этот бит, когда IC_EN (бит 0) читается как 0.
3:31	-	Резерв

29.3.41 Регистр IC_HS_SPKLEN

Регистр настройки параметров фильтрации помех для high-speed режима.

Этот регистр используется для хранения продолжительности (измеренной в кол-ве тактов L3_PCLK) наиболее длинной фильтруемой помехи.

Формат регистра IC_HS_SPKLEN приведен в Таблица 29.42.

Таблица 29.42. Формат регистра IC_HS_SPKLEN

Номер бита	Условное обозначение	Назначение
0:7	IC_HS_SPKLEN	Регистр доступен для записи только при выключенном контроллере (IC_ENABLE=0). Регистр устанавливает продолжительность наиболее длинной фильтруемой помехи в линиях SDA и SCL (измеренной в кол-ве тактов L3_PCLK).
8:31	-	Резерв

29.4 Функционирование контроллера I²C

29.4.1 Последовательности Start и Stop

Когда шина I²C неактивна (находится в состоянии IDLE), оба сигнала SCL и SDA идут высоким уровнем. Когда master-устройство инициализирует передачу, контроллер отправляет последовательность Start: изменение уровня сигнала SDA с 1 на 0, при высоком уровне сигнала SCL. Когда master-устройство завершает передачу, контроллер отправляет последовательность Stop: изменение уровня сигнала SDA с 0 на 1, при высоком уровне сигнала SCL. Во всех остальных случаях значение сигнала SDA остается неизменным при высоком уровне сигнала SCL. Последовательности Start и Stop представлены на Рисунок 29.1.

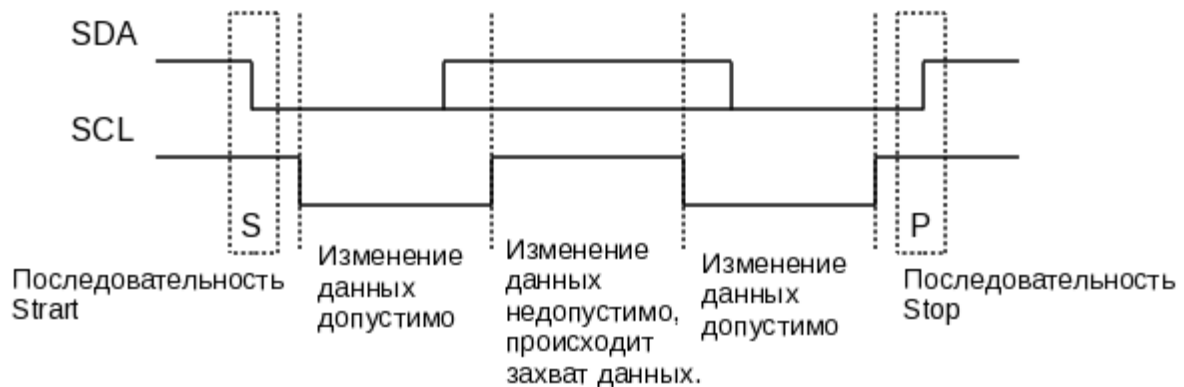


Рисунок 29.1. Последовательности Start и Stop

29.4.2 Протокол передачи и приема данных

Master-передатчик и slave-приемник. Данные передаются побайтово, число байтов в одной передаче не ограничено. После того, как master-устройство отправляет slave-устройству адрес с битом R/W или байт данных, slave-приемник должен выдать импульс подтверждения АСК в линию SDA. Если slave-приемник не отвечает импульсом АСК, master-устройство прерывает передачу и отправляет последовательность Stop. Структура обмена данными между Master-передатчиком и Slave-приемником представлена на Рисунок 29.2.

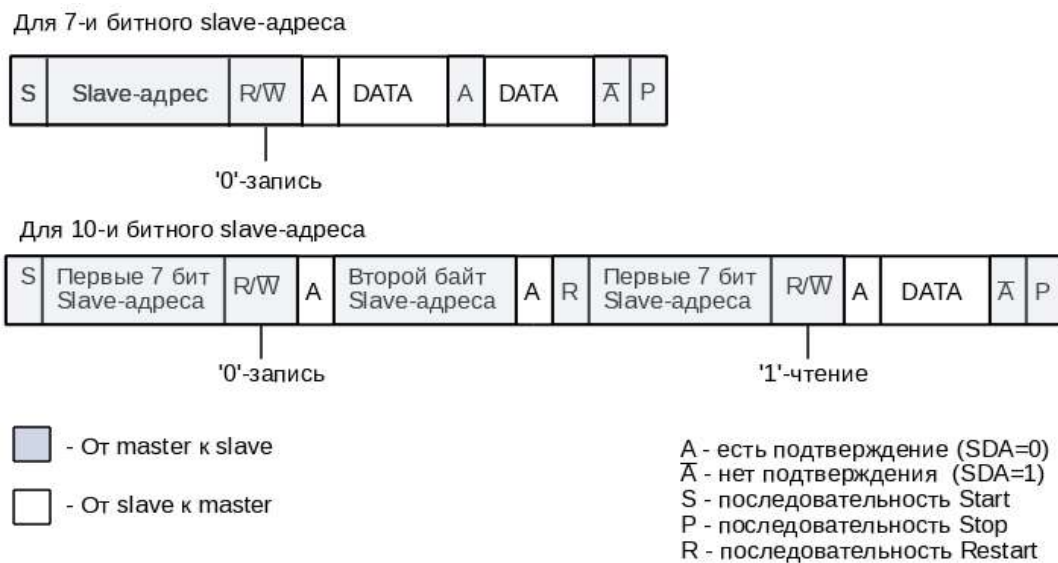


Рисунок 29.2. Обмен данными между Master-передатчиком и Slave-приемником

Master-приемник и slave-передатчик

Если master-устройство принимает данные, как показано на Рисунок 29.3, тогда оно подтверждает принятые от slave-устройства данные импульсом АСК и ожидает следующий байт. В случае, если master-приемник желает прекратить передачу, то по окончании приема текущего байта он выдает сигнал NACK в линию SDA а затем отправляет последовательность Stop. Структура обмена между Master-приемником и Slave-передатчиком представлена на Рисунок 29.3.

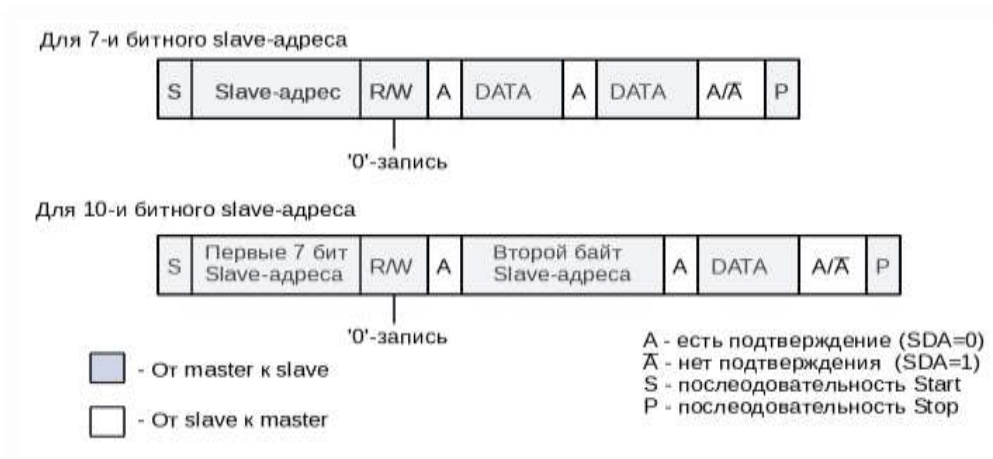


Рисунок 29.3. Обмен данными между Master-передатчиком и Slave-приемником

Отправляя последовательность Restart вместо последовательности Stop, контроллер, работающий в режиме master, меняет направление передачи данных без утраты контроля шины.

29.4.3 Протокол START BYTE

Протокол START BYTE нужен для взаимодействия контроллера I²C с устройствами, не имеющими аппаратного модуля I²C. Использование START BYTE протокола имеет смысл только тогда, когда контроллер работает в режиме master.

Протокол заключается в следующем: для инициализации обмена контроллер, отправив последовательность Start, отправляет START-байт «00000001». Это необходимо для того, чтобы устройство, не имеющее аппаратного модуля I²C, могло опрашивать шину с более низкой частотой до момента обнаружения одного из нулей START BYTE. Структура протокола START BYTE представлена на Рисунок 29.4.

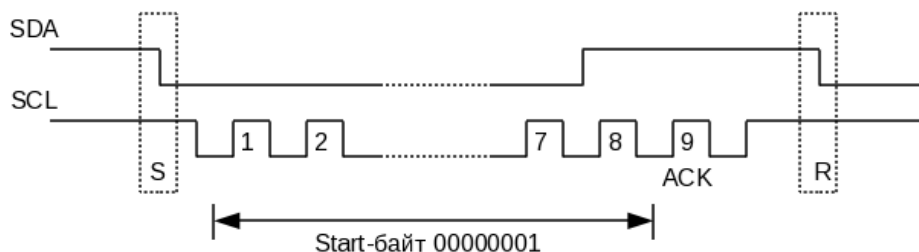


Рисунок 29.4. START BYTE

Полная последовательность действий контроллера:

1. Отправляет последовательность START.
2. Отправляет Start-байт («00000001»).

3. Отправляет импульс АСК.
4. Ни одно slave-устройство не отвечает импульсом АСК.
5. Отправляет последовательность RESTART.

Аппаратный приемник не отвечает импульсом АСК, поскольку Start-байт является зарезервированным адресом.

29.4.4 Multi-master арбитраж и синхронизация

Возможно подключение нескольких master-устройств к шине I²C. Но если одно master-устройство контролирует шину в конкретный момент времени, то никакое другое master-устройство не сможет получить контроль над шиной, до тех пор пока первое master-устройство не создаст на шине состояние IDLE, отправив последовательность Stop. При этом, возможна ситуация, при которой два или более master-устройств пытаются одновременно получить контроль над шиной в состоянии IDLE, генерируя последовательность Start. В этом случае, они подвергаются арбитражу, структура которого представлена на Рисунок 29.5.

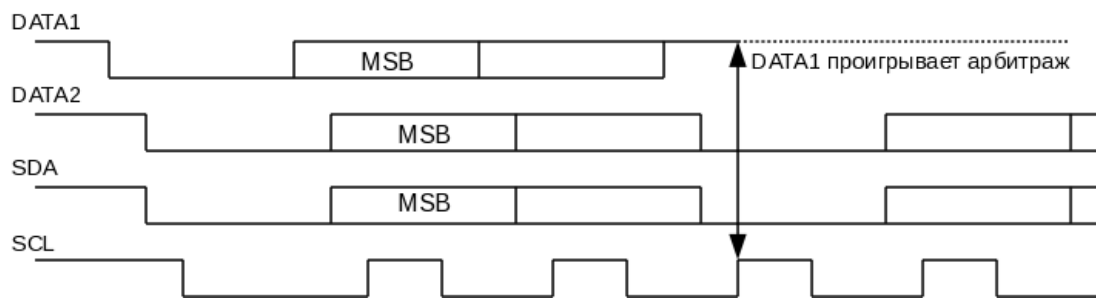


Рисунок 29.5. Арбитраж

Процедура арбитража начинается на линии SDA, когда линия SCL идет высоким уровнем. Master-устройство, которое отправляет 1, когда другое master-устройство отправляет «0», проигрывает арбитраж и прекращает передачу данных. Master-устройство, проигравшее арбитраж, продолжает генерировать тактовый сигнал до конца текущего байта. Если оба master-устройства адресовали передачу одному и тому же slave-устройству, то арбитраж продолжается в фазе передачи данных.

Синхронизация заключается в том, что во время арбитража тактовые сигналы master-устройств складываются по «И» до окончания байта, на котором был завершен арбитраж.

29.4.5 Фильтрация

Фильтрующая логика основана на счетчиках, которые отслеживают состояние входных сигналов (SDA и SCL). Запуск счетчика происходит, когда соответствующий ему сигнал меняет значение. Сигнал фиксируется контроллером, когда его длительность становится равна установленному в регистре IC*_SPLKEN числу тактов фильтрующего счетчика. Принцип работы механизма фильтрации представлен на Рисунок 29.6.

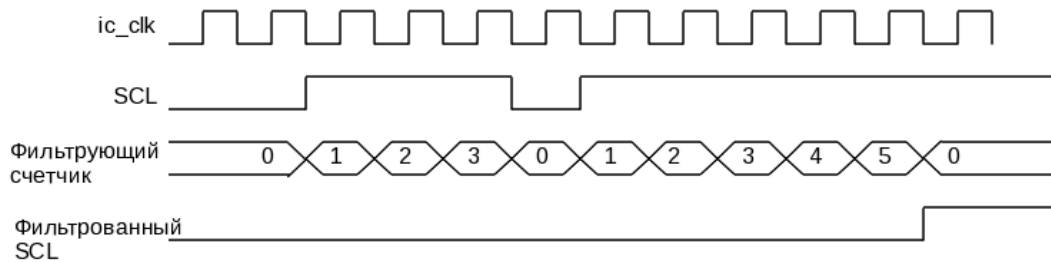


Рисунок 29.6. Фильтрация

29.4.6 Расчет частоты SCL и минимальные значения счетчиков делителя частоты

Когда контроллер работает в режиме master, должны выполняться следующие условия:

- значения регистров IC_SS_SCL_LCNT и IC_FS_SCL_LCNT должны быть больше чем IC_FS_SPKLEN+7;
- значения регистров IC_SS_SCL_HCNT и IC_FS_SCL_HCNT должны быть больше чем IC_FS_SPKLEN+5;
- значение регистра IC_HS_SCL_LCNT должно быть выше, чем IC_HS_SPKLEN+7.

Временные параметры обмена представлены на Рисунок 29.7.

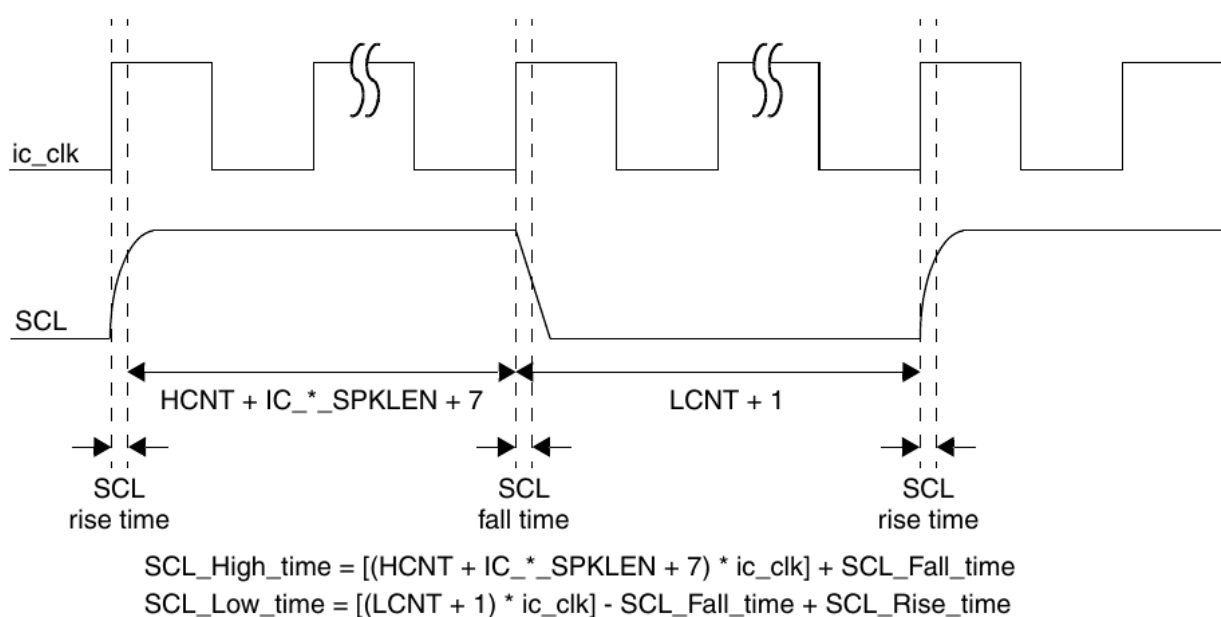


Рисунок 29.7. Временные параметры обмена

30. КОНТРОЛЛЕР ШИНЫ I²S (I2S)

30.1 Назначение

Контроллер I²S предназначен для обмена аудио-данными в стерео-формате по последовательной шине I²S.

Шина I²S состоит из 4-х линий:

- SDO: линия данных передатчика;
- SDI: линия данных приемника;
- WS: линия выбора слова (частота дискретизации);
- SCLK: линия синхронизации.

На шине различают master- и slave-устройства. Master-устройство генерирует сигналы SCLK и WS, как показано на рисунке ниже. Значение линии WS обозначает тип стерео данных, передаваемых в данный момент времени. При WS = 0 передается «левое» слово, а при WS=1 – «правое». Передача данных всегда начинается с наиболее значимого бита (MBS).

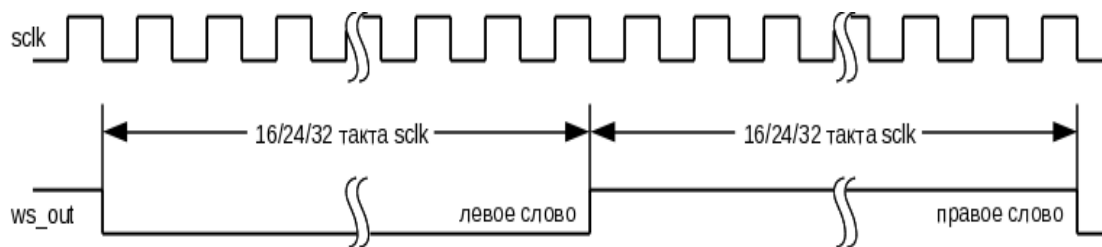


Рисунок 30.1. Генерация сигналов SCLK и WS_OUT master-устройством

Контроллер I²S – всегда master-устройство. Контроллер может обмениваться данными (передавать и принимать) со slave-устройством, как показано на рисунке 30.2 а), а может контролировать обмен данными между двумя slave-устройствами, как показано на рисунке 30.2 б).

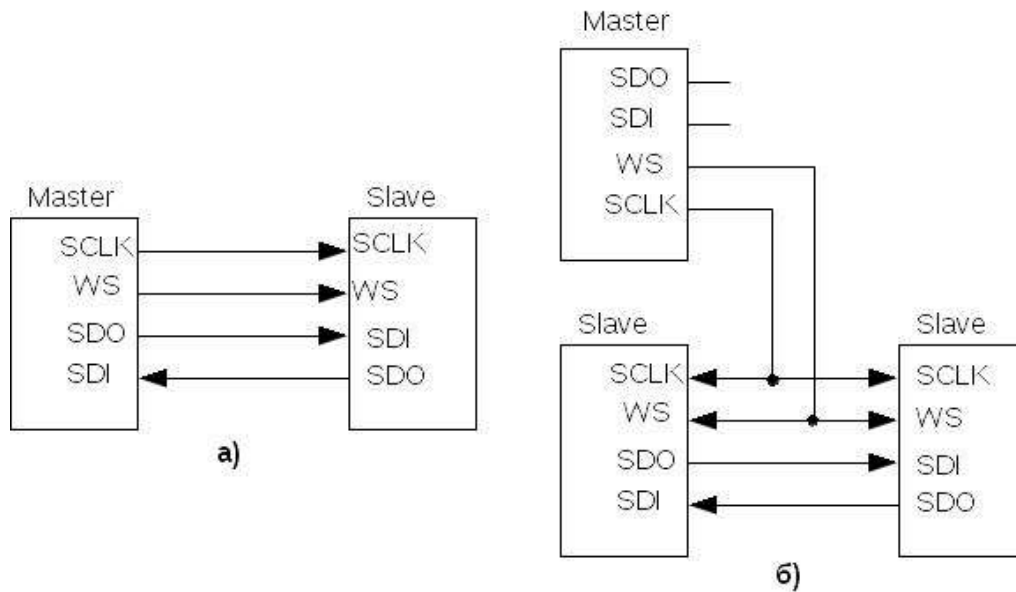


Рисунок 30.2. Способы подключения master-устройства

30.2 Основные характеристики

Контроллер I²S имеет следующие характеристики:

- имеет блок передачи, состоящий из четырех стерео передатчиков (нулевой, первый, второй и третий), и блок приема, состоящий из одного стерео приемника;
- поддерживает квантование аудио данных по 12, 16, 20, 24, 32 бита;
- имеет дополнительные внутренние сигналы управления выходной частотой SCLK,
- при этом сама частота SCLK не формируется контроллером и должна генерироваться внешним для микросхемы источником;
- имеет буферы приемника и передатчика на 16 слов данных.

30.3 Регистры контроллера I²S

В Таблица 30.1 приведен перечень программно-доступных регистров контроллера I²S.

Таблица 30.1. Перечень программно-доступных регистров контроллера I²S

Условное обозначение регистра	Название регистра	Тип доступа	Исходное Состояние	Смещение
IER	Регистр включения контроллера.	W/R	0x0	0x0
IRER	Регистр включения блока приема.	W/R	0x0	0x4
ITER	Регистр включения блока передачи.	W/R	0x0	0x8
CER	Регистр включения тактовой частоты.	W/R	0x0	0xC
CCR	Регистр конфигурации тактовой частоты.	W/R	0x10	0x10
RXFFR	Регистр сброса FIFO буферов блока приема.	W	0x0	0x14

Условное обозначение регистра	Название регистра	Тип доступа	Исходное Состояние	Смещение
TXFFR	Регистр сброса FIFO буферов блока передачи.	W	0x0	0x18
LRBR0	Регистр «левого» слова приемника.	R	0x0	0x20
LTHR0	Регистр «левого» слова нулевого передатчика.	W	0x0	0x20
RRBR0	Регистр «правого» слова приемника.	R	0x0	0x24
RTHR0	Регистр «правого» слова нулевого передатчика.	W	0x0	0x24
RER0	Регистр включения приемника.	W/R	0x1	0x28
TER0	Регистр включения нулевого передатчика.	W/R	0x1	0x2C
RCR0	Регистр конфигурации приемника.	W/R	0x5	0x30
TCR0	Регистр конфигурации нулевого передатчика.	W/R	0x5	0x34
ISR0	Регистр статуса прерывания нулевого канала.	R	0x10	0x38
IMR0	Регистр маски прерывания нулевого канала.	W/R	0x33	0x3C
ROR0	Регистр переполнения FIFO приемника.	R	0x0	0x40
TOR0	Регистр переполнения FIFO нулевого передатчика.	R	0x0	0x44
RFCR0	Регистр конфигурации FIFO приемника.	W/R	0x3	0x48
TFCR0	Регистр конфигурации FIFO нулевого передатчика.	W/R	0x3	0x4C
RFF0	Регистр сброса FIFO приемника.	W	0x0	0x50
TFF0	Регистр сброса FIFO нулевого передатчика.	W	0x0	0x54
LTHR1	Регистр «левого» слова первого передатчика.	W	0x0	0x60
RTHR1	Регистр «правого» слова первого передатчика.	W	0x0	0x64
TER1	Регистр включения первого передатчика	W/R	0x1	0x6C
TCR1	Регистр конфигурации первого передатчика.	W/R	0x5	0x74
ISR1	Регистр статуса прерывания первого канала.	R	0x10	0x78
IMR1	Регистр маски прерывания первого канала.	W/R	0x33	0x7C
TOR1	Регистр переполнения первого передатчика.	R	0x0	0x84

Условное обозначение регистра	Название регистра	Тип доступа	Исходное Состояние	Смещение
TFCR1	Регистр конфигурации FIFO первого передатчика.	W/R	0x3	0x8C
TFF1	Регистр сброса FIFO первого передатчика.	W	0x0	0x94
LTHR2	Регистр «левого» слова второго передатчика.	W	0x0	0xA0
RTHR2	Регистр «правого» слова второго передатчика.	W	0x0	0xA4
TER2	Регистр включения второго передатчика	W/R	0x1	0xAC
TCR2	Регистр конфигурации второго передатчика.	W/R	0x5	0xB4
ISR2	Регистр статуса прерывания второго канала.	R	0x10	0xB8
IMR2	Регистр маски прерывания второго канала.	W/R	0x33	0xBC
TOR2	Регистр переполнения второго передатчика.	R	0x0	0xC4
TFCR2	Регистр конфигурации FIFO второго передатчика.	W/R	0x3	0xCC
TFF2	Регистр сброса FIFO второго передатчика.	W	0x0	0xD4
LTHR3	Регистр «левого» слова третьего передатчика.	W	0x0	0xE0
RTHR3	Регистр «правого» слова третьего передатчика.	W	0x0	0xE4
TER3	Регистр включения третьего передатчика	W/R	0x1	0xEC
TCR3	Регистр конфигурации третьего передатчика.	W/R	0x5	0xF4
ISR3	Регистр статуса прерывания третьего канала.	R	0x10	0xF8
IMR3	Регистр маски прерывания третьего канала.	W/R	0x33	0xFC
TOR3	Регистр переполнения третьего передатчика.	R	0x0	0x104
TFCR3	Регистр конфигурации FIFO третьего передатчика.	W/R	0x3	0x10C
TFF3	Регистр сброса FIFO третьего передатчика.	W	0x0	0x114
RXDMA	Регистр DMA приема.	R	0x0	0x1C0
TXDMA	Регистр DMA передачи.	W	0x0	0x1C8
RTXDMA	Регистр сброса DMA передачи.	W	0x0	0x1CC
I2S_COMP_PARAM_2	Второй регистр параметров компонента.	R	0x48c	0x1F0

Условное обозначение регистра	Название регистра	Тип доступа	Исходное Состояние	Смещение
I2S_COMP_PARAM_1	Первый регистр параметров компонента.	R	0x24c067e	0x1F4
I2S_COMP_VERSION	Регистр ревизии компонента.	R	0x3130362a	0x1F8
I2S_COMP_TYPE	Регистр типа компонента.	R	0x445701a0	0x1FC

30.3.1 Регистр IER

Регистр включения контроллера I²S.

Формат регистра IER приведен в Таблица 30.2.

Таблица 30.2. Формат регистра IER

Номер бита	Условное обозначение	Назначение
0	IEN	Установка этого бита в 0 приводит к выключению всех каналов обмена и стиранию содержимого всех FIFO. 1: Контроллер I ² S включен. 0: Контроллер I ² S выключен.
1:31	-	Резерв

30.3.2 Регистр IREX

Регистр включения блока приема контроллера I²S.

Формат регистра IREX приведен в Таблица 30.3.

Таблица 30.3. Формат регистра IREX

Номер бита	Условное обозначение	Назначение
0	RXEN	1: Блок приема контроллера I ² S включен. 0: Блок приема контроллера I ² S выключен.
1:31	-	Резерв

30.3.3 Регистр ITER

Регистр включения блока передачи контроллера I²S.

Формат регистра ITER приведен в Таблица 30.4.

Таблица 30.4. Формат регистра ITER

Номер бита	Условное обозначение	Назначение
0	RXEN	1: Блок передачи контроллера I ² S включен. 0: Блок передачи контроллера I ² S выключен.
1:31	-	Резерв

30.3.4 Регистр CER

Регистр включения тактовых сигналов SCLK_EN, SCLK_GATE, WS_OUT.

Формат регистра CER приведен в Таблица 1.5.

Таблица 30.5. Формат регистра CER

Номер бита	Условное обозначение	Назначение
0	CLKEN	1: сигналы SCLK_EN, SCLK_GATE, WS_OUT генерируются. 0: тактовые сигналы SCLK_EN, SCLK_GATE, WS_OUT не генерируются (идут низким уровнем).
1:31	-	Резерв

30.3.5 Регистр CCR

Регистр конфигурации генерации тактовых сигналов.

Формат регистра CCR приведен в Таблица 30.6.

Таблица 30.6. Формат регистра CCR

Номер бита	Условное обозначение	Назначение
0:2	SCLKG	Это поле определяет момент перехода сигнала SCLK_GATE из 0 в 1. 0: SCLK_GATE=0 всегда. 1: Через 12 тактов SCLK. 2: Через 16 тактов SCLK. 3: Через 20 тактов SCLK. 4: Через 24 тактов SCLK. Перед изменением этого параметра необходимо выключить генерацию тактовых сигналов (CER[0]=0).
3:4	WSS	Это поле определяет продолжительность высокого и низкого уровней сигнала выбора слова WS_OUT: 0: 16 тактов SCLK. 1: 24 тактов SCLK. 2: 32 тактов SCLK. Перед изменением этого параметра необходимо выключить генерацию тактовых сигналов (CER[0]=0).
5:31	-	Резерв

30.3.6 Регистр RXFFR

Регистр сброса всех FIFO блока приема.

Формат регистра RXFFR приведен в Таблица 30.7.

Таблица 30.7. Формат регистра RXFFR

Номер бита	Условное обозначение	Назначение
0	RXFFR	Запись единицы в этот регистр приводит к стиранию данных во всех FIFO блока приема. Перед записью в этот регистр необходимо выключить блок приема (IRER[0]=0).
1:31	-	Резерв

30.3.7 Регистр TXFFR

Регистр сброса всех FIFO блока передачи.

Формат регистра TXFFR приведен в Таблица 30.8.

Таблица 30.8. Формат регистра TXFFR

Номер бита	Условное обозначение	Назначение
0	TXFFR	Запись единицы в этот регистр приводит к стиранию данных во всех FIFO блока передачи. Перед записью в этот регистр необходимо выключить блок передачи (ITER[0]=0).
1:31	-	Резерв

30.3.8 Регистр LRBR0

Регистр чтения «левого» слова из приемника.

Формат регистра LRBR0 приведен в Таблица 30.9.

Таблица 30.9. Формат регистра LRBR0

Номер бита	Условное обозначение	Назначение
0:31	LRBR0	Через этот регистр происходит чтение «левого» слова данных из FIFO приемника. Прежде чем повторить эту операцию необходимо прочесть «правое» слово данных из FIFO приемника через регистр RRBR0. Размер принимаемого слова описан в регистре RCR0.

30.3.9 Регистр LTHR_x

Регистр «левого» слова передатчика x , где $x = 0,1,2,3$.

Формат регистра LTHR_x приведен в Таблица 30.10.

Таблица 30.10. Формат регистра LTHR_x

Номер бита	Условное обозначение	Назначение
0:31	LTHR _x	Через этот регистр происходит запись «левого» слова данных в FIFO передатчика x . Прежде чем повторить эту операцию необходимо записать «правое» слово данных в FIFO передатчика x через регистр RTHR _x . Размер передаваемого слова описан в соответствующем регистре TCR _x .

30.3.10 Регистр RRBR0

Регистр чтения «правого» слова из приемника.

Формат регистра RRBR0 приведен в Таблица 30.11.

Таблица 30.11. Формат регистра RRBR0

Номер бита	Условное обозначение	Назначение
0:31	RRBR0	Через этот регистр происходит чтение «правого» слова данных из FIFO приемника. Этой операции должно предшествовать чтение «левого» слова данных из FIFO приемника через регистр LRBR0. Размер принимаемого слова описан в регистре RCR0.

30.3.11 Регистр RTHR_x

Регистр «правого» слова передатчика x . Где $x=0,1,2,3$.

Формат регистра RTHR_x приведен в Таблица 30.12.

Таблица 30.12. Формат регистра RTHR_x

Номер бита	Условное обозначение	Назначение
0:31	RTHR _x	Через этот регистр происходит запись «правого» слова данных в FIFO передатчика x . Этой операции должна предшествовать запись «левого» слова данных в FIFO передатчика x через регистр LTHR _x . Размер передаваемого слова описан в соответствующем регистре TCR _x .

30.3.12 Регистр RER0

Регистр включения приемника.

Формат регистра RER0 приведен в Таблица 30.13.

Таблица 30.13. Формат регистра RER0

Номер бита	Условное обозначение	Назначение
0	RXCHEN0	Бит включает приемник. При включении, прием данных начинается с «левого» слова. Глобальное выключение контроллера (RER[0]=0) или блока приема (IRER[0]=0) переписывает значение этого бита. 1: Приемник включен. 2: Приемник выключен.
1:31	-	Резерв

30.3.13 Регистр TERx

Регистр включения передатчика x . Где $x = 0,1,2,3$.

Формат регистра TERx приведен в Таблица 30.14.

Таблица 30.14. Формат регистра TERx

Номер бита	Условное обозначение	Назначение
0	TXCHENx	Бит включает передатчик x . При включении, передачанных начинается со следующего «левого» слова. Глобальное выключение контроллера (TER[0]=0) или блока передачи (ITER[0]=0) переписывает значение этого бита. 1: Передатчик x включен. 2: Передатчик x выключен.
1:31	-	Резерв

30.3.14 Регистр RCR0

Регистр конфигурации приемника.

Формат регистра RCR0 приведен в Таблица 30.15.

Таблица 30.15. Формат регистра RCR0

Номер бита	Условное обозначение	Назначение
0:2	WLEN	<p>Это поле используется для выбора длины принимаемого слова. Принимаемое слово всегда поступает в младшие биты регистра LRBR0 (или RRBR0). При этом, если реальная длина принимаемого слова больше установленного значения, то будут прочитаны только его старшие биты.</p> <p>Пример:</p> <p>Допустим, что установленная длина принимаемого слова – 16 бит. А по линии SDI поступает 32-х разрядное слово 0x12345678. В этом случае, через регистр LRBR0 (или RRBR0) будет прочитано слово 0x00001234.</p> <p>000: зарезервировано. 001: 12 бит. 010: 16 бит. 011: 20 бит. 100: 24 бита. 101: 32 бита.</p> <p>Приемник должен быть выключен перед любыми изменениями этого значения. (RER0 = 0).</p>
1:31	-	Резерв

30.3.15 Регистр TCRx

Регистр конфигурации передатчика x , где $x = 0,1,2,3$.

Формат регистра TCR x приведен в Таблица 30.16.

Таблица 30.16. Формат регистра TCRx

Номер бита	Условное обозначение	Назначение
0:2	WLEN	<p>Длина передаваемого слова. Для передачи всегда используются старшие биты 32-х разрядного регистра LTHRx (или RTHRx).</p> <p>000: зарезервировано 001: 12 бит. 010: 16 бит. 011: 20 бит. 100: 24 бита. 101: 32 бита.</p> <p>Передатчик x должен быть выключен перед любыми изменениями этого значения. (TERx = 0).</p>
1:31	-	Резерв

30.3.16 Регистр ISR_x

Регистр статуса прерываний канала x , где $x = 0,1,2,3$.

Формат регистра ISR_x приведен в Таблица 30.17.

Таблица 30.17. Формат регистра ISR_x

Номер бита	Условное обозначение	Назначение
0	RXDA	При $x = 0$, этот бит содержит статус прерывания по наличию данных в приемнике. 1: Превышен порог заполнения FIFO приемника 0: Не превышен порог заполнения FIFO приемника
1	RXFO	При $x = 0$, этот бит содержит статус прерывания по переполнению приемника. 0: Не произошло потери данных 1: Произошла потеря данных. В случае поступления данных по каналу SDIO, при заполненном буфере приемника, произойдет потеря этих данных. Данные в FIFO приемника не будут перезаписаны.
2:3	-	Резерв
4	TXFE	Статус прерывания по пустому FIFO передатчика x . 1: Число записей в FIFO передатчика меньше порога заполнения. 0: Число записей в FIFO передатчика не меньше порога заполнения.
5	TXFO	Статус прерывания по переполнению передатчика x . 0: Не произошло потери данных 1: Произошла потеря данных В случае поступления данных в FIFO передатчика x , при заполненном буфере передатчика, произойдет потеря этих данных. Данные в FIFO не будут перезаписаны
6:31	-	Резерв

30.3.17 Регистр IMR_x

Регистр маскирования прерываний в канале x , где $x = 0,1,2,3$.

Формат регистра IMR_x приведен в Таблица 30.18.

Таблица 30.18. Формат регистра IMR_x

Номер бита	Условное обозначение	Назначение
0	RXDAM	При $x = 0$, этот бит содержит маску прерывания по наличию данных в приемнике. 1: Прерывание маскировано 0: Прерывание не маскировано
1	RXFOM	При $x = 0$, этот бит содержит маску прерывания по переполнению приемника. 1: Прерывание маскировано 0: Прерывание не маскировано
2:3	-	Резерв

Номер бита	Условное обозначение	Назначение
4	TXFEM	Маска прерывания по пустому FIFO передатчика x . 1: Прерывание маскировано 0: Прерывание не маскировано
5	TXFOM	Маска прерывания по переполнению передатчика x . 1: Прерывание маскировано 0: Прерывание не маскировано
6:31	-	Резерв

30.3.18 Регистр ROR0

Регистр переполнения FIFO приемника.

Формат регистра ROR0 приведен в Таблица 30.19.

Таблица 30.19. Формат регистра ROR0

Номер бита	Условное обозначение	Назначение
0	RXCHO	Чтение этого бита сбрасывает прерывание по переполнению приемника. 0: Не произошло потери данных 1: Произошла потеря данных.
1:31	-	Резерв

30.3.19 Регистр TOR x

Регистр переполнения FIFO передатчика x , где $x = 0,1,2,3$.

Формат регистра TOR x приведен в Таблица 30.20.

Таблица 30.20. Формат регистра TOR x

Номер бита	Условное обозначение	Назначение
0	TXCHO	Чтение этого бита сбрасывает прерывание по переполнению передатчика x . 0: Не произошло потери данных 1: Произошла потеря данных.
1:31	-	Резерв

30.3.20 Регистр RFCR0

Регистр конфигурации FIFO приемника.

Формат регистра RFCR0 приведен в Таблица 30.21.

Таблица 30.21. Формат регистра RFCR0

Номер бита	Условное обозначение	Назначение
1:3	RXCHDT	Это поле содержит пороговое значение заполнения FIFO приемника, при достижении которого устанавливается прерывание по наличию данных в приемнике. Приемник должен быть выключен перед любыми изменениями этого значения. (RER0 = 0).
4:31	-	Резерв

30.3.21 Регистр TFCRx

Регистр конфигурации FIFO передатчика x , где $x = 0,1,2,3$.

Формат регистра TFCRx приведен в Таблица 30.22.

Таблица 30.22. Формат регистра TFCRx

Номер бита	Условное обозначение	Назначение
0:3	TXCHET	Это поле содержит пороговое значение заполнения FIFO передатчика x . Если число записей в FIFO передатчика x меньше этого значения, то устанавливается прерывание по пустому FIFO передатчика x . Передатчик должен быть выключен перед любыми изменениями этого значения. (TER x = 0).
4:31	-	Резерв

30.3.22 Регистр RFF0

Регистр сброса FIFO приемника.

Формат регистра RFF0 приведен в Таблица 30.23.

Таблица 30.23. Формат регистра RFF0

Номер бита	Условное обозначение	Назначение
0	RXCHFR	Запись единицы в этот регистр приводит к стиранию данных в FIFO приемника. Перед записью в этот регистр необходимо выключить приемник (RER0[0]=0) либо блок приема (IRER[0]=0).
1:31	-	Резерв

30.3.23 Регистр TFFx

Регистр сброса FIFO передатчика x . Где $x = 0,1,2,3$.

Формат регистра TFFx приведен в Таблица 30.24.

Таблица 30.24. Формат регистра TFFx

Номер бита	Условное обозначение	Назначение
0	TXCHFR	Запись единицы в этот регистр приводит к стиранию данных в FIFO передатчика x . Перед записью в этот регистр необходимо выключить передатчик x ($TERx[0] = 0$) либо блок передачи ($ITER[0]=0$).
1:31	-	Резерв

30.3.24 Регистр RXDMA

Регистр DMA приема.

Этот регистр позволяет цикличное чтение «левого» и «правого» слов данных из FIFO буфера приемника. После включения приемника, первое чтение этого регистра соответствует чтению регистра LRBR0, второе – RRBR0, третье – LRBR0, и т.д. Выключение приемника в момент, когда из FIFO приемника прочитано «левое» слово, но не прочитано «правое», невозможно.

Формат регистра RXDMA приведен в Таблица 30.25.

Таблица 30.25. Формат регистра RXDMA

Номер бита	Условное обозначение	Назначение
0:31	RXDMA	Регистр для цикличного чтения стерео пар данных из приемника.

30.3.25 Регистр TXDMA

Регистр DMA передачи.

Этот регистр позволяет цикличную запись «левого» и «правого» слов данных в FIFO буферы всех включенных передатчиков. Так например, если включены нулевой и второй передатчики, то первая запись в этот регистр соответствует записи в регистра LTHR0, вторая - RTHR0, третья - LTHR2, четвертая – RTHR2, пятая – опять LTHR0 и т.д. Передатчики могут включаться и выключаться в процессе цикла записи в регистр TXDMA, однако, выключение приемника в момент, когда в него записано «левое» слово, но не записано «правое», невозможно.

Формат регистра TXDMA приведен в Таблица 30.26.

Таблица 30.26. Формат регистра TXDMA

Номер бита	Условное обозначение	Назначение
0:31	RXDMA	Регистр для цикличной записи стерео пар данных в передатчики.

30.3.26 Регистр RTXDMA

Регистр сброса DMA передачи.

Этот регистр устанавливает в качестве текущего передатчика циклической DMA передачи включенный передатчик с младшим индексом (LTHR0, при TER0[0] = 1). При этом, запись в этот регистр не будет иметь эффекта в момент, когда в FIFO текущего передатчика записано «левое» слово, но не записано «правое».

Формат регистра TXDMA приведен в Таблица 30.27.

Таблица 30.27. Формат регистра RTXDMA

Номер бита	Условное обозначение	Назначение
0	RTXDMA	Запись единицы в этот бит установит в качестве текущего передатчика циклической DMA передачи включенный передатчик с младшим индексом.
1:31	-	Резерв

30.3.27 Регистр I2S_COMP_PARAM_2

Второй регистр параметров компонента.

Этот read-only регистр хранит информацию о конфигурации контроллера.

Формат регистра I2S_COMP_PARAM_2 приведен в Таблица 30.28.

Таблица 30.28. Формат регистра I2S_COMP_PARAM_2

Номер бита	Условное обозначение	Назначение	
0:2	I2S_RX_WORDSIZE_0	Максимальный размер принимаемого слова: 0x0 = 12 бит 0x1 = 16 бит 0x2 = 20 бит 0x3 = 24 бит 0x4 = 32 бит 0x5-0x7 = Резерв	
3:5	I2S_RX_WORDSIZE_1		
6	-		Резерв
7:9	I2S_RX_WORDSIZE_2		Максимальный размер принимаемого слова: 0x0 = 12 бит 0x1 = 16 бит 0x2 = 20 бит 0x3 = 24 бит 0x4 = 32 бит 0x5-0x7 = Резерв
10:12	I2S_RX_WORDSIZE_3		
13:31	-	Резерв	

30.3.28 Регистр I2S_COMP_PARAM_1

Первый регистр параметров компонента.

Этот read-only регистр хранит информацию о конфигурации контроллера.

Формат регистра I2S_COMP_PARAM_1 приведен в Таблица 30.29.

Таблица 30.29. Формат регистра I2S_COMP_PARAM_1

Номер бита	Условное обозначение	Назначение
0:1	APB_DATA_WIDTH	Требуемая ширина шины APB для подключения к контроллеру: 0x0 = 8 бит 0x1 = 16 бит 0x2 = 32 бита 0x3 = резерв
2:3	I2S_FIFO_DEPTH_GLOBAL	Глубина FIFO – буферов всех каналов прима и передачи: 0x0 = 2 слова 0x1 = 4 слова 0x2 = 8 слов 0x3 = 16 слов
4	I2S_MODE_EN	Режим работы контроллера: 0x0 = Контроллер работает как Slave 0x1 = Контроллер работает как Master
5	I2S_TRANSMITTER_BLOCK	Наличие блока передачи: 0x0 = Контроллер не имеет блока передачи 0x1 = Контроллер имеет блок передачи
6	I2S_RECEIVER_BLOCK	Наличие блока приема: 0x0 = Контроллер не имеет блока приема 0x1 = Контроллер имеет блок приема
7:8	I2S_RX_CHANNELS	Число каналов приема: 0x0 – 1 канал 0x1 – 2 канала 0x2 – 3 канала 0x3 – 4 канала
9:10	I2S_TX_CHANNELS	Число каналов передачи: 0x0 – 1 канал 0x1 – 2 канала 0x2 – 3 канала 0x3 – 4 канала
11:15	-	Резерв
16:18	I2S_TX_WORDSIZE_0	Максимальный размер передаваемого слова: 0x0 = 8 бит 0x1 = 16 бит 0x2 = 32 бита 0x3 = резерв
19:21	I2S_TX_WORDSIZE_1	
22:24	I2S_TX_WORDSIZE_2	
25:27	I2S_TX_WORDSIZE_3	
28:31	-	Резерв

30.3.29 Регистр I2S_COMP_VERSION

Регистр версии компонента.

Формат регистра I2S_COMP_VERSION приведен в Таблица 30.30.

Таблица 30.30. Формат регистра I2S_COMP_VERSION

Номер бита	Условное обозначение	Назначение
0:31	I2S_COMP_VERSION	Версия DesignWare компонента.

30.3.30 Регистр I2S_COMP_TYPE

Регистр типа компонента.

Формат регистра I2S_COMP_VERSION приведен в Таблица 30.31.

Таблица 30.31. Формат регистра I2S_COMP_TYPE

Номер бита	Условное обозначение	Назначение
0:31	I2S_COMP_TYPE	Тип DesignWare компонента.

30.4 Функционирование контроллера I2S

30.4.1 Включение и выключение контроллера I2S

Контроллер I²S должен быть включен перед любым обменом данными по шине I²S. Для включения контроллера необходимо записать 1 в бит IEN регистра IER. Для выключения контроллера необходимо записать 0 в бит IEN регистра IER.

После выключения контроллера произойдет следующее:

1. Все содержимое FIFO приемников и передатчика будет стерто.
2. Любые данные, находящиеся в процессе передачи или приема будут потеряны.
3. Будут выключены блоки приема и передачи.
4. Прекратится генерация внутренних сигналов управления выходной частотой SCLK_EN, SCLK_GATE и сигнала выбора слова WS_OUT.

Когда контроллер I²S включен, любой обмен данными всегда начинается с «левого» слова данных (WS=0). Завершение обмена всегда происходит на следующий такт после «правого» слова данных (WS=1).

Блок передачи I²S должен быть включен перед любой записью данных на шину I²S. Для включения блока передачи необходимо записать 1 в бит TXEN регистра ITER. Для выключения необходимо записать 0 в бит TXEN регистра ITER.

После выключения блока передачи произойдет следующее:

1. Будут выключены все передатчики блока передачи (все TER_x[0] = 0).

2. Данные, передаваемые в данный момент, будут потеряны, и линии SDO будут удерживать постоянный низкий уровень.
3. Все данные в FIFO каждого передатчика сохранятся, также возможно будет осуществлять дальнейшую запись данных в FIFO каждого передатчика.
4. Все предыдущие настройки параметров передатчиков (длина слова, пороговое значение заполнения FIFO и т.д.) сохранятся.
5. Когда блок передачи выключен, возможно выполнение следующих операций:
 - 5.1. Настройка параметров передатчиков.
 - 5.2. Стирание данных во всех FIFO блока передачи. Для этого необходимо записать 1 в бит TXFFR[0].
 - 5.3. Стирание данных в FIFO конкретного передатчика x . Для этого необходимо записать 1 в бит TFF x [0]. Эту операцию можно проводить и при включенном блоке передаче, но выключенном передатчике x .

Блок передачи включает в себя четыре независимых передатчика, каждый из которых может включаться и выключаться независимо от остальных. Включение и выключение передатчика x управляется через бит TXCHEN x регистра TER x при включенном блоке передачи (ITER[0]=1).

Блок приема контроллера I²S должен быть включен перед любым чтением данных с шины I²S. Для включения блока приема необходимо записать 1 в бит RXEN регистра IRER. Для выключения блока приема необходимо записать 0 в бит RXEN регистра IRER.

После выключения блока приема контроллера I²S произойдет следующее:

- приемник блока приема будет выключен (RER0[0]=0);
- данные, принимаемые в текущий момент, будут потеряны, и линия SDO будет удерживать постоянный низкий уровень;
- все данные в FIFO приемника сохранятся, также возможно будет осуществлять дальнейшее чтение данных из FIFO приемника;
- все предыдущие настройки параметров приемника (длина слова, пороговое значение заполнения FIFO и т.д.) сохранятся;
- когда блок приема выключен, возможно выполнение следующих операций:
 - настройка параметров приемника;
 - стирание данных из FIFO приемника. Для этого необходимо записать 1 в бит RXFFR[0], либо 1 в бит RFF0[0].

Блок приема состоит из одного приемника, который можно включать и выключать при включенном блоке приема.

30.4.2 Блок управления тактовым сигналом SCLK

Интерфейсный тактовый сигнал SCLK формируется на базе частоты, подаваемой с внешнего для микросхемы источника на вывод GPIO14. Контроллер имеет два сигнала управления этой частотой: SCLK_EN и SCLK_GATE, которые объединены с сигналом SCLK, как представлено на Рисунок 30.3.

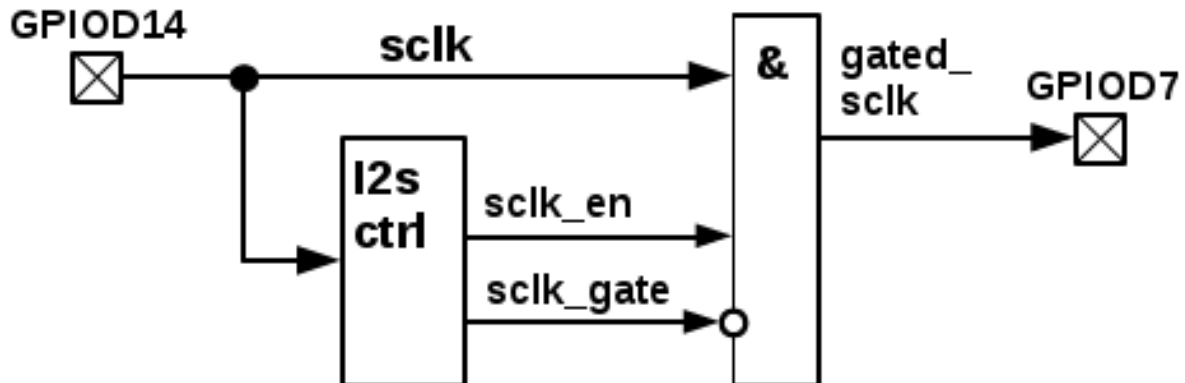


Рисунок 30.3. Управление интерфейсной частотой

Для генерации сигналов SCLK (GATED_SCLK – на Рисунок 30.3) и WS_OUT необходимо установить 1 в бит CLKEN регистра CER. Установка 0 в бит CLKEN регистра CER прекращает генерацию сигналов SCLKO и WS_OUT. Любые изменения параметров генерации сигналов GATED_SCLK и WS_OUT должны производиться при выключенной генерации. Сигнал SCLK_EN обеспечивает выключение генерации сигнала GATED_SCLK при выключении контроллера I²S.

Сигнал SCLK_GATE обеспечивает периодическое «запирание» выходного тактового сигнала, как показано на Рисунок 30.4.

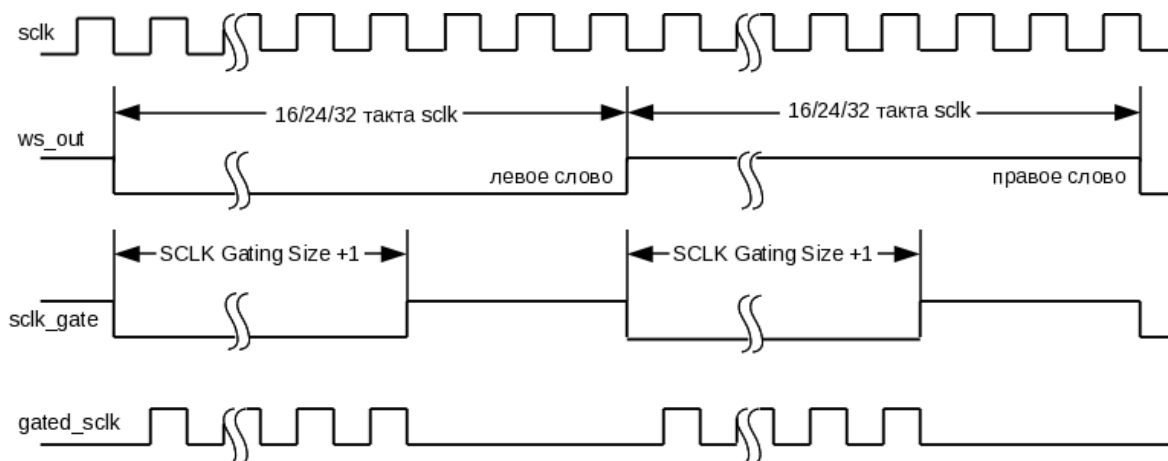


Рисунок 30.4. Формирование выходной частоты GATED_SCLK

31. ПОСЛЕДОВАТЕЛЬНЫЙ ПОРТ SSI/SPI (SPI)

31.1 Назначение

SSI (Synchronous Serial Interface) - это настраиваемый порт, который является дуплексным, последовательным, синхронным master - интерфейсом.

SSI предназначен для обмена данными по протоколам:

- Motorola Serial Peripheral Interface (SPI);
- National Semiconductor Microwire.

Motorola Serial Peripheral Interface (SPI) - это четырехпроводной, дуплексный последовательный протокол, разработанный компанией Motorola. Протокол имеет 4 режима работы в зависимости от комбинации исходного уровня сигнала синхронизации и его фазы. Интерфейс имеет 4 линии выбора slave-устройств (slave select). Эти линии идут высоким уровнем, если они не активны или интерфейс выключен.

National Semiconductor Microwire - это полудуплексный последовательный протокол, который использует контрольное слово, передаваемое от master-устройства slave-устройству.

31.2 Основные характеристики

Поддерживает следующие протоколы:

1. Motorola Serial Peripheral Interface (SPI).
2. National Semiconductor Microwire.

Имеет FIFO приемника и передатчика на 256 слов.

Скорость обмена настраивается делителем частоты.

Настраивается длина передаваемого слова (от 4 до 16 бит)

Имеет аппаратный интерфейс взаимодействия с PDMA контроллером.

31.3 Регистры порта SSI

В Таблица 31.1 приведен перечень программно-доступных регистров порта SSI.

Таблица 31.1. Перечень программно-доступных регистров контроллера SSI

Условное обозначение регистра	Название регистра	Тип доступа	Исходное Состояние	Смещение
CTRLR0	Первый регистр управления.	W/R	0x7	0x00
CTRLR1	Второй регистр управления.	W/R	0x0	0x04

Условное обозначение регистра	Название регистра	Тип доступа	Исходное Состояние	Смещение
SSIENR	Регистр включения контроллера SSI.	W/R	0x0	0x08
MWCR	Регистр управления Microwire.	W/R	0x0	0x04
SER	Регистр включения режима Slave.	W/R	0x0	0x10
BAUDR	Регистр скорости обмена.	W/R	0x0	0x14
TXFTLR	Регистр порогового значения FIFO передатчика.	W/R	0x0	0x18
RXFTLR	Регистр порогового значения FIFO приемника.	W/R	0x0	0x1C
TXFLR	Регистр уровня наполнения FIFO передатчика	R	0x0	0x20
RXFLR	Регистр уровня наполнения FIFO приемника.	R	0x0	0x24
IMR	Регистр маскирования прерывания.	W/R	0x1F	0x2C
ISR	Регистр статуса прерывания.	R	0x0	0x30
RISR	Регистр статуса необработанного прерывания.	R	0x0	0x34
TXOICR	Регистр сброса прерывания по переполнению FIFO передатчика.	R	0x0	0x38
RXOICR	Регистр сброса прерывания по переполнению FIFO приемника.	R	0x0	0x3C
RXUICR	Регистр сброса прерывания по пустому FIFO приемника.	R	0x0	0x40
DMACR	Регистр контроля DMA интерфейса.	W/R	0x0	0x4C
DMATDLR	Регистр передачи данных через DMA интерфейс.	W/R	0x0	0x50
DMARDLR	Регистр приема данных через DMA интерфейс.	W/R	0x0	0x54
ICR	Регистр сброса прерывания.	R	0x0	0x48
DR	Регистр данных	W/R	0x0	0x60 - 0xEC
RX_SAMPLE_DELAY	Регистр управления задержкой приемника	W/R	0x0	0xF0
TOGGLE	Регистр управления сигналом SS.	W/R	0x1	0xF4

31.3.1 Регистр CTRLR0

Первый регистр управления контроллера SSI.

Формат регистра CTRLR0 приведен в Таблица 31.2.

Таблица 31.2. Формат регистра CTRLR0

Номер бита	Условное обозначение	Назначение
0:3	DFS	<p>Размер кадра данных. Если настроенный размер кадра менее 16-и бит, то принимаемые и передаваемые данные обрезаются справа, и неиспользуемые биты в FIFO заполняются нулями.</p> <p>0000: резерв. 0001: резерв. 0010: резерв. 0011: 4 бита. 0100: 5 бит. 0101: 6 бит. 0110: 7 бит. 0111: 8 бит. 1000: 9 бит. 1001: 10 бит. 1010: 11 бит. 1011: 12 бит. 1100: 13 бит. 1101: 14 бит. 1110: 15 бит. 1111: 16 бит.</p>
4:5	FRF	<p>Формат кадра. Выбор протокола последовательного обмена.</p> <p>00 - Motorola SPI 01 – Reserved. 10 - National Semiconductors Microwire. 11 - Reserved.</p>
6	SCPH	<p>Фаза синхронизации. Бит используется, только когда контроллер работает по протоколу Motorola SPI. От этого параметра зависит, в какой последовательности выполняется установка и выборка данных.</p> <p>0: Выборка данных будет выполняться по переднему фронту в цикле синхронизации, а установка данных по заднему. 1: Установка данных будет выполняться по переднему фронту в цикле синхронизации, а выборка - по заднему.</p>
7	SCPOL	<p>Исходный уровень сигнала синхронизации. Бит используется, только когда контроллер работает по протоколу Motorola SPI.</p> <p>0: Линия синхронизации до начала цикла передачи и после его окончания имеет низкий уровень 1: Линия синхронизации до начала цикла передачи и после его окончания имеет высокий уровень.</p>
8:9	TOMD	<p>Режим обмена.</p> <p>00 - Передача и прием. 01 - Только передача. 10 - Только прием. 11 - Чтение EEPROM.</p>

Номер бита	Условное обозначение	Назначение
10	-	Резерв
11	SRL	Регистр включения тестового режима. 0: Тестовый режим выключен. 1: Тестовый режим включен.
12:15	CFS	Размер кадра контроля. Биты используются, только когда контроллер работает по протоколу Microwire. 0000: 1 бит. 0001: 2 бита. 0010: 3 бита. 0011: 4 бита. 0100: 5 бит. 0101: 6 бит. 0110: 7 бит. 0111: 8 бит. 1000: 9 бит. 1001: 10 бит. 1010: 11 бит. 1011: 12 бит. 1100: 13 бит. 1101: 14 бит. 1110: 15 бит. 1111: 16 бит.
16:31	-	Резерв

31.3.2 Регистр CTRLR1

Второй регистр управления контроллера SSI.

Формат регистра CTRLR1 приведен в Таблица 31.3.

Таблица 31.3. Формат регистра CTRLR1

Номер бита	Условное обозначение	Назначение
0:15	NDF	Число кадров данных. Контроллер продолжает прием последовательных данных, пока число слов данных не превысит на 1 значение этого регистра.
16:31	-	Резерв

31.3.3 Регистр SSIENR

Регистр включения контроллера SSI.

Формат регистра SSIENR приведен в Таблица 31.4.

Таблица 31.4. Формат регистра SSIENR

Номер бита	Условное обозначение	Назначение
0	SSI_EN	Бит включает и выключает контроллер SSI. При выключении контроллера, немедленно прекращается обмен данными и стирается содержимое FIFO приемника и передатчика. Невозможно запрограммировать некоторые регистры контроллера SSI, если он включен.
1:31	-	Резерв

31.3.4 Регистр MWCR

Регистр управления контроллера SSI, работающего по протоколу Microwire.

Формат регистра MWCR приведен в Таблица 31.5.

Таблица 31.5. Формат регистра MWCR

Номер бита	Условное обозначение	Назначение
0	MWMOD	Режим обмена по протоколу Microwire. 0: непоследовательный. 1: последовательный. При последовательном режиме только одно контрольное слово сопровождает блок слов данных. Когда выбран непоследовательный режим, каждое слово данных сопровождает контрольное слово.
1	MDD	Регистр контроля направления обмена по протоколу Microwire. Бит определяет направление последовательной передачи данных. 0: Прием данных. 1: Передача данных.
2	MHS	Регистр управления интерфейсом квитирования «busy/ready» в протоколе Microwire. 0: интерфейс выключен. 1: интерфейс включен.
3:31	-	Резерв

31.3.5 Регистр SER

Регистр управления линиями slave select.

Формат регистра SER приведен в Таблица 31.6.

Таблица 31.6. Формат регистра SER

Номер бита	Условное обозначение	Назначение
0:3	SER	Каждый бит этого регистра соответствует своей линии Slave-Select. Когда один из битов этого регистра устанавливается в 1, соответствующая линия Slave-Select становится активной и начинается последовательный обмен данными. После начала обмена - любые изменения в этом регистре не будут иметь эффекта.
4:31	-	Резерв

31.3.6 Регистр BAUDR

Регистр управления скоростью последовательного обмена.

Изменение значения этого регистра возможно только при выключенном контроллере (SSIENR[0] = 0).

Формат регистра BAUDR приведен в Таблица 31.7.

Таблица 31.7. Формат регистра BAUDR

Номер бита	Условное обозначение	Назначение
0:15	SCKDV	<p>Делитель тактового сигнала. Младший бит этого регистра всегда равен 0 без возможности записи. Если значение всего регистра равно 0, то на линии синхронизации SCLK удерживается постоянный низкий уровень.</p> <p>Частота выходного тактового сигнала рассчитывается по формуле:</p> $SCLK = L3_PCLK / SCKDV.$ <p>Регистр может принимать четные значения от 2 до 65534.</p>
16:31	-	Резерв

31.3.7 Регистр TXFTLR

Регистр порогового значения заполнения FIFO передатчика.

Изменение значения этого регистра возможно только при выключенном контроллере (SSIENR[0] = 0).

Формат регистра TXFLR приведен в Таблица 31.8.

Таблица 31.8. Фактор регистра TXFLR

Номер бита	Условное обозначение	Назначение
0:7	TFT	Если количество записей в FIFO передатчика не больше значения, записанного в этом регистре, то устанавливается прерывание по пустому FIFO передатчика.
5:31	-	Резерв

31.3.8 Регистр RXFTLR

Регистр порогового значения заполнения FIFO приемника.

Изменение значения этого регистра возможно только при выключенном контроллере (SSIENR[0] = 0).

Формат регистра RXFLR приведен в Таблица 31.9.

Таблица 31.9. Формат регистра RXFTLR

Номер бита	Условное обозначение	Назначение
0:7	RFT	Если количество записей в FIFO передатчика превышает значение, записанное в этом регистре, то устанавливается прерывание по наличию данных для чтения.
5:31	-	Резерв

31.3.9 Регистр TXFLR

Регистр уровня заполнения FIFO передатчика.

Формат регистра TXFLR приведен в Таблица 31.10.

Таблица 31.10. Формат регистра TXFLR

Номер бита	Условное обозначение	Назначение
0:7	TXTFL	Регистр содержит число слов данных, находящихся в FIFO передатчика.
5:31	-	Резерв

31.3.10 Регистр RXFLR

Регистр уровня заполнения FIFO приемника.

Формат регистра RXFLR приведен в Таблица 31.11.

Таблица 31.11. Формат регистра RXFLR

Номер бита	Условное обозначение	Назначение
0:7	RXTFL	Регистр содержит число слов данных, находящихся в FIFO приемника.
5:31	-	Резерв

31.3.11 Регистр IMR

Регистр маскирования прерываний.

Формат регистра IMR приведен в Таблица 31.12.

Таблица 31.12. Формат регистра IMR

Номер бита	Условное обозначение	Назначение
0	TXEIM	Маскирование прерывание по пустому FIFO передатчика. 0: Прерывание маскировано. 1: Прерывание не маскировано
1	TXOIM	Маскирование прерывания по переполнению FIFO передатчика. 0: Прерывание маскировано. 1: Прерывание не маскировано
2	RXUIM	Маскирование прерывания по пустому FIFO приемника. 0: Прерывание маскировано. 1: Прерывание не маскировано
3	RXOIM	Маскирование прерывания по переполнению FIFO приемника. 0: Прерывание маскировано. 1: Прерывание не маскировано
4	RXFIM	Маскирование прерывания по наличию данных для чтения. 0: Прерывание маскировано. 1: Прерывание не маскировано
5:31	-	Резерв

31.3.12 Регистр ISR

Регистр статуса прерываний.

Формат регистра ISR приведен в Таблица 31.13.

Таблица 31.13. Формат регистра ISR

Номер бита	Условное обозначение	Назначение
0	TXEIS	Статус прерывания по пустому FIFO передатчика. 1: Прерывание установлено после маскирования. 0: Прерывание не установлено после маскирования.
1	TXOIS	Статус прерывания по переполнению FIFO передатчика. 1: Прерывание установлено после маскирования. 0: Прерывание не установлено после маскирования.
2	RXUIS	Статус прерывания по пустому FIFO приемника. 1: Прерывание установлено после маскирования. 0: Прерывание не установлено после маскирования.
3	RXOIS	Статус прерывания по переполнению FIFO приемника. 1: Прерывание установлено после маскирования. 0: Прерывание не установлено после маскирования.
4	RXFIS	Статус прерывания по наличию данных для чтения. 1: Прерывание установлено после маскирования. 0: Прерывание не установлено после маскирования.
5:31	-	Резерв

31.3.13 Регистр RISR

Регистр статуса не маскированных прерываний.

Формат регистра RISR приведен в Таблица 31.14.

Таблица 31.14. Формат регистра RISR

Номер бита	Условное обозначение	Назначение
0	TXEIR	Статус прерывания по пустому FIFO передатчика. 1: Прерывание установлено до маскирования. 0: Прерывание не установлено до маскирования.
1	TXOIR	Статус прерывания по переполнению FIFO передатчика. 1: Прерывание установлено до маскирования. 0: Прерывание не установлено до маскирования.
2	RXUIR	Статус прерывания по пустому FIFO приемника. 1: Прерывание установлено до маскирования. 0: Прерывание не установлено до маскирования.
3	RXOIR	Статус прерывания по переполнению FIFO приемника. 1: Прерывание установлено до маскирования. 0: Прерывание не установлено до маскирования.
4	RXFIR	Статус прерывания по наличию данных для чтения. 1: Прерывание установлено до маскирования. 0: Прерывание не установлено до маскирования.
5:31	-	Резерв

31.3.14 Регистр TXOICR

Регистр сброса статуса прерывания по переполнению FIFO передатчика.

Формат регистра TXOICR приведен в Таблица 31.15.

Таблица 31.15. Формат регистра TXOICR

Номер бита	Условное обозначение	Назначение
0	TXOICR	Чтение этого регистра сбрасывает статус прерывания по переполнению FIFO передатчика.
1:31	-	Резерв

31.3.15 Регистр RXOICR

Регистр сброса статуса прерывания по переполнению FIFO приемника.

Формат регистра RXOICR приведен в Таблица 1.16.

Таблица 31.16. Формат регистра RXOICR

Номер бита	Условное обозначение	Назначение
0	RXOICR	Чтение этого регистра сбрасывает статус прерывания по переполнению FIFO приемника.
1:31	-	Резерв

31.3.16 Регистр RXUICR

Регистр сброса статуса прерывания по пустому FIFO приемника.

Формат регистра RXUICR приведен в Таблица 31.17.

Таблица 31.17. Формат регистра RXUICR

Номер бита	Условное обозначение	Назначение
0	RXUICR	Чтение этого регистра сбрасывает статус прерывания по пустому FIFO приемника.
1:31	-	Резерв

31.3.17 Регистр ICR

Формат регистра ICR приведен в Таблица 31.18.

Таблица 31.18. Формат регистра ICR

Номер бита	Условное обозначение	Назначение
0	ICR	Чтение этого регистра сбрасывает статус прерываний: <ul style="list-style-type: none"> • FIFO передатчика переполнен. • FIFO приемник переполнен. • FIFO приемника пуст.
1:31	-	Резерв

31.3.18 Регистр DMACR

Регистр управления аппаратным интерфейсом запросов к PDMA.

Этот регистр используется для включения интерфейса взаимодействия с контроллером PDMA. Запись в этот регистр возможна при включенном контроллере.

Формат регистра DMACR приведен в Таблица 31.19.

Таблица 31.19. Формат регистра DMACR

Номер бита	Условное обозначение	Назначение
0	RDMAE	0: Выключение канала FIFO - DMA приемника. 1: Включение канала FIFO - DMA приемника.
1	TDMAE	0: Выключение канала FIFO - DMA передатчика. 1: Включение канала FIFO - DMA передатчика.

Номер бита	Условное обозначение	Назначение
2:31	-	Резерв

31.3.19 Регистр DMATDLR

Регистр уровня данных передатчика DMA.

Формат регистра DMATDLR приведен в Таблица 31.20.

Таблица 31.20. Формат регистра DMATDLR

Номер бита	Условное обозначение	Назначение
0:7	DMATDL	Контролирует уровень данных в буфере передатчика по достижении которого будет возникать запрос к PDMA на запись данных в FIFO передатчика.
8:31	-	Резерв

31.3.20 Регистр DMARDLR

Регистр уровня данных приемника DMA.

Формат регистра DMARDLR приведен в Таблица 31.21.

Таблица 31.21. Формат регистра DMARDLR

Номер бита	Условное обозначение	Назначение
0:7	DMARDL	Контролирует уровень данных в буфере передатчика по достижении которого будет возникать запрос к PDMA на чтение данных из FIFO приемника.
8:31	-	Резерв

31.3.21 Регистр DR

Регистр данных.

При чтении из этого регистра, происходит чтение данных из FIFO приемника. При записи данных в этот регистр, происходит запись в FIFO передатчика.

Запись данных возможна только при включенном контроллере SSI. Для упрощения работы с PDMA, к этому регистру можно обратиться по любому из тридцати шести адресов.

Формат регистра DR приведен в Таблица 31.22.

Таблица 31.22. Формат регистра DR

Номер бита	Условное обозначение	Назначение
0:15	DR	Чтение из FIFO приемника. Запись в FIFO передатчика.
16:31	-	Резерв

31.3.22 Регистр RX_SAMPLE_DELAY

Регистр управления задержкой приемника.

Регистр управляет числом дополнительных тактов системной частоты L3_PCLK, на которые будет

сдвинут” сигнал линии приемника перед захватом на интерфейсной частоте SCLK. Регистр позволяет производить более тонкую настройку временных параметров последовательного интерфейса для корректной работы на высоких скоростях.

Регистр доступен для записи только при выключенном контроллере: SSIENT[0]==0.

Формат регистра RX_SAMPLE_DELAY приведен в Таблица 31.23.

Таблица 31.23. Формат регистра RX_SAMPLE_DELAY

Номер бита	Условное обозначение	Назначение
0:7	RSD	Поле принимает число тактов частоты pclk.
8:31	-	Резерв

31.3.23 Регистр TOGGLE

Регистр управления линиями Slave-Select.

Контроллер SSI не поддерживает пакетную передачу данных. По умолчанию, в конце каждого кадра обмена, контроллер «отпускает» линию Slave-Select. Это можно исправить, записав 0 в регистр TOGGLE. Но нужно иметь ввиду, что для должного эффекта CPU обязан записывать данные на выдачу быстрее, чем они выходят на шину SSI. Так как в случае, если буфер передатчика окажется пустым, контроллер все равно «отпустит» Slave-Select.

Формат регистра TOGGLE приведен в Таблица 31.24.

Таблица 31.24. Формат регистра TOGGLE

Номер бита	Условное обозначение	Назначение
0	TOGGLE	Запись нуля в регистр запрещает сигналам Slave-Select отпускать линию после каждого кадра обмена.
1:31	-	Резерв

31.4 Функционирование контроллера SSI

31.4.1 Режимы обмена

Выбор режима обмена происходит посредством битов TMOD регистра CTRLR0. В зависимости от значения этих битов, возможны следующие режимы обмена:

Прием и передача:

Когда TMOD = 0x0, возможны прием и передача данных. Обмен данными происходит по выбранному последовательному протоколу. Передача данных slave-устройству в линию TXD происходит через сдвиговый регистр, в который поступают данные из FIFO передатчика. От slave-устройства данные поступают по линии RXD в сдвиговый регистр, а затем в FIFO приемника.

- только передача:

Когда TMOD = 0x1, принимаемые от slave-устройства данные не поступают в FIFO приемника из сдвигового регистра. Передача данных происходит в обычном режиме по выбранному последовательному протоколу. При использовании этого режима необходимо маскировать прерывания от приемника.

- только прием:

Когда TMOD = 0x2, данные не записываются в FIFO передатчика. Прием данных происходит в обычном режиме по выбранному протоколу. При использовании этого режима необходимо маскировать прерывания от передатчика.

- чтение EEPROM:

Когда TMOD = 0x3, передача данных используется для передачи кода операции и/или адреса EEPROM-устройства. Обычно это занимает 3 кадра данных (8 бит - старший адрес, 8 бит - младший адрес, 8 бит - код операции). Во время передачи кода операции и адреса не происходит приема данных (игнорируются данные с линии RXD). Порт продолжает передачу данных до тех пор, пока FIFO передатчика не станет пустым. Поэтому перед началом передачи FIFO передатчика должно иметь только необходимые данные (адрес и код операции), иначе происходит потеря данных, читаемых из EEPROM-устройства. После того как FIFO передатчика станет пустым (будет отправлена вся контрольная информация), станет доступен прием данных с линии RXD. Последовательный обмен будет продолжаться до тех пор, пока число принятых слов данных не превысит на 1 значение бит NDF регистра CTRLR1.

31.4.2 Прерывания SSI

Контроллер SSI генерирует 5 типов прерываний:

1. TXE (Transmit FIFO Overflow Interrupt) – прерывание устанавливается, когда количество слов в FIFO передатчика не превышает значения, указанного в регистре TXFTLR. Прерывание сбрасывается при заполнении FIFO передатчика данными до порогового значения плюс одно слово.
2. TXO (Receive FIFO Full Interrupt) – прерывание устанавливается при APB-записи в заполненный FIFO передатчика. При этом произойдет потеря записываемых данных. Прерывание сбрасывается через регистр TXOICR.
3. RXF (Receive FIFO Full Interrupt) – прерывание устанавливается, когда количество слов в FIFO приемника равно или выше значения, указанного в регистре RXFLR. Прерывание сбрасывается после чтения данных из FIFO, когда количество записей становится ниже порогового значения.
4. RXO (Receive FIFO Overflow Interrupt) - прерывание устанавливается, когда по последовательному интерфейсу в заполненный FIFO приемника поступают данные. При этом произойдет потеря принимаемых данных. Прерывание сбрасывается через регистр RXOICR.
5. RXU (Receive FIFO Underflow Interrupt) – прерывание устанавливается при APB-чтении из пустого FIFO приемника. При этом будут прочитаны нули. Прерывание сбрасывается через регистр RXUICR

31.4.3 Подключение порта SSI к последовательной шине.

Возможно различное подключение порта SSI к последовательной шине, в зависимости от типа организации линий Slave-Select и наличия других master-устройств на шине.

Возможно программное и аппаратное управление выбором оконечного slave-устройства, как продемонстрировано на Рисунок 31.1.

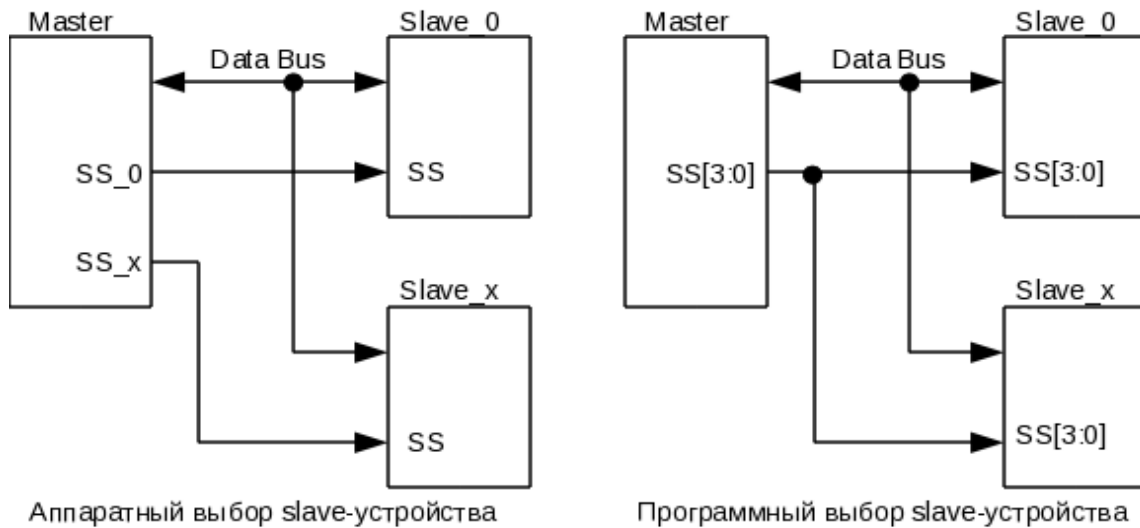


Рисунок 31.1. Программное и аппаратное управление выбором slave-устройства

Как видно из Рисунок 31.2, при подключении с программным управлением выбором slave-устройства, возможно подключить к шине 16 slave-устройств, а при подключении, реализующем аппаратное управление выбором slave-устройства, только 4-х slave-устройств.

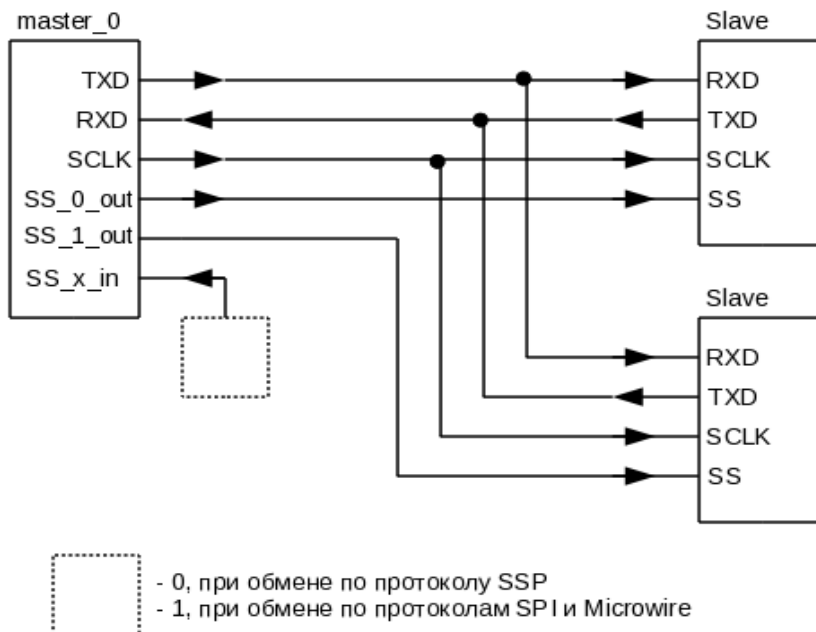


Рисунок 31.2. Подключение порта SSI к шине

31.4.4 Motorola Serial Peripheral Interface (SPI).

Протокол SPI имеет два определяющих параметра:

SCPOL - исходный уровень сигнала синхронизации. Если SCPOL=0, то линия синхронизации до начала цикла передачи и после его окончания имеет низкий уровень иначе, если SCPOL=1, - высокий.

SCPH - фаза синхронизации. От этого параметра зависит, в какой последовательности выполняется установка и выборка данных (если SCPH=0, то по переднему фронту в цикле синхронизации будет выполняться выборка данных, а затем, по заднему фронту, - установка данных; если же SCPH=1, то установка данных будет выполняться по переднему фронту в цикле синхронизации, а выборка - по заднему).

На Рисунок 31.3 продемонстрирован пример последовательного обмена с параметром SCPH = 0.

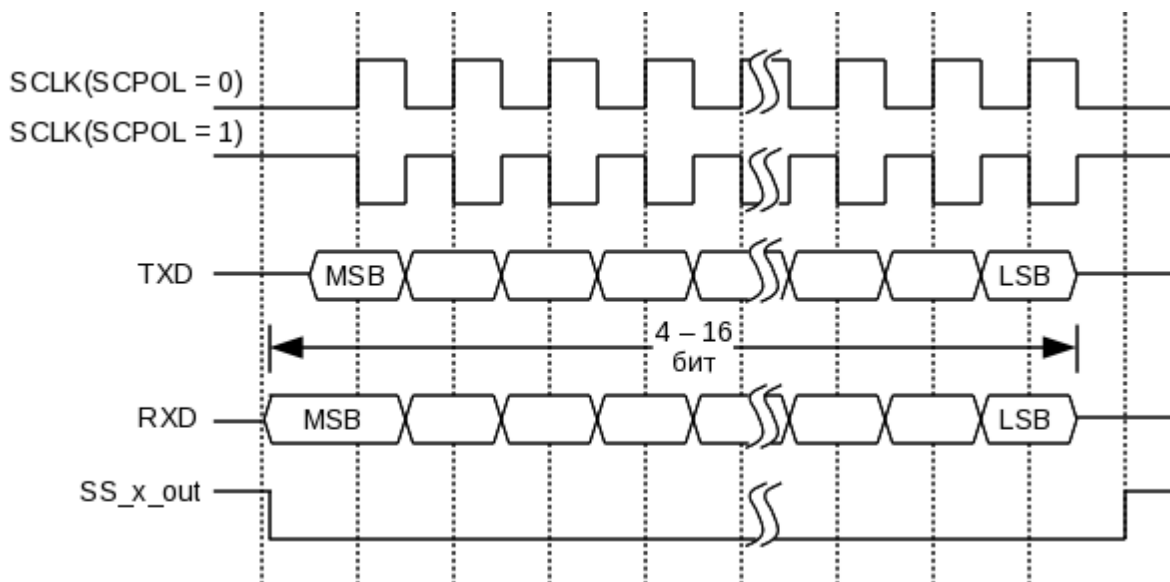


Рисунок 31.3. Пример последовательного обмена по протоколу SPI с параметром SCPH = 0

На Рисунок 31.4 продемонстрирован пример последовательного обмена с параметром SCPH = 1.

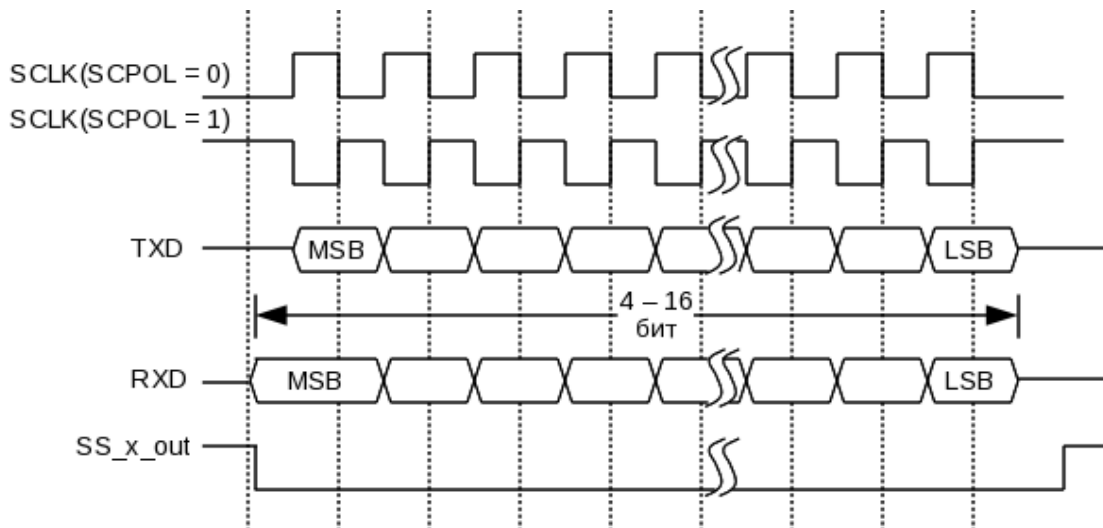


Рисунок 31.4. Пример последовательного обмена по протоколу SPI с параметром $SCPH = 1$

31.4.5 National Semiconductor Microwire.

Обмен данными по протоколу Microwire начинается по заднему фронту сигнала Slave-Select. Спустя половину периода отправляется первый бит контрольного слова в линию TXD. Длина контрольного слова может изменяться в диапазоне от 1 до 16 бит. Длина контрольного слова настраивается через биты CFS (CTRLR0[15:12]). Во время передачи контрольного слова линия RXD находится в высокоимпедансном состоянии.

Направление передачи слова данных контролируется битом MDD (MWCR[1]). Значение $MDD = 0$ указывает на то, что порт SSI принимает данные от slave-устройства; Значение $MDD = 1$, указывает на передачу данных slave-устройству. В случае приема данных, через такт после передачи LSB контрольного слова, slave-устройство выдает бит 0 в линию RXD, и после этого следует 4-16 бит слова данных. Данные устанавливаются по заднему фронту линии синхронизации, а выборка по переднему. В случае передачи данных, данные идут сразу за контрольным словом.

Сигнал Slave-Select остается активно-низким на протяжении всей передачи и переходит через полтакта после окончания передачи данных.

На Рисунок 31.5 продемонстрирован пример приема данных по протоколу Microwire.

На Рисунок 31.6 продемонстрирован пример передачи данных по протоколу Microwire.

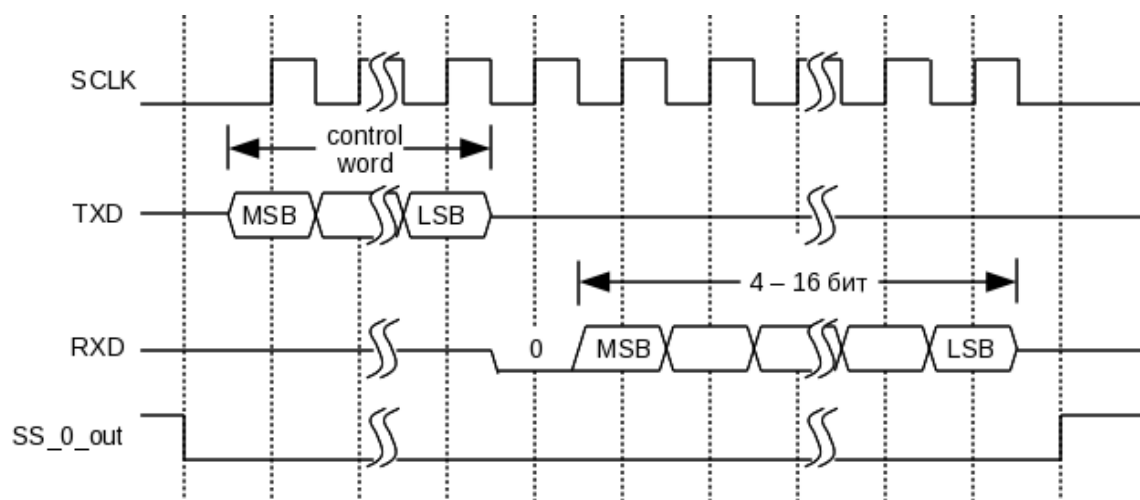


Рисунок 31.5. Пример последовательного приема данных по протоколу Microwire

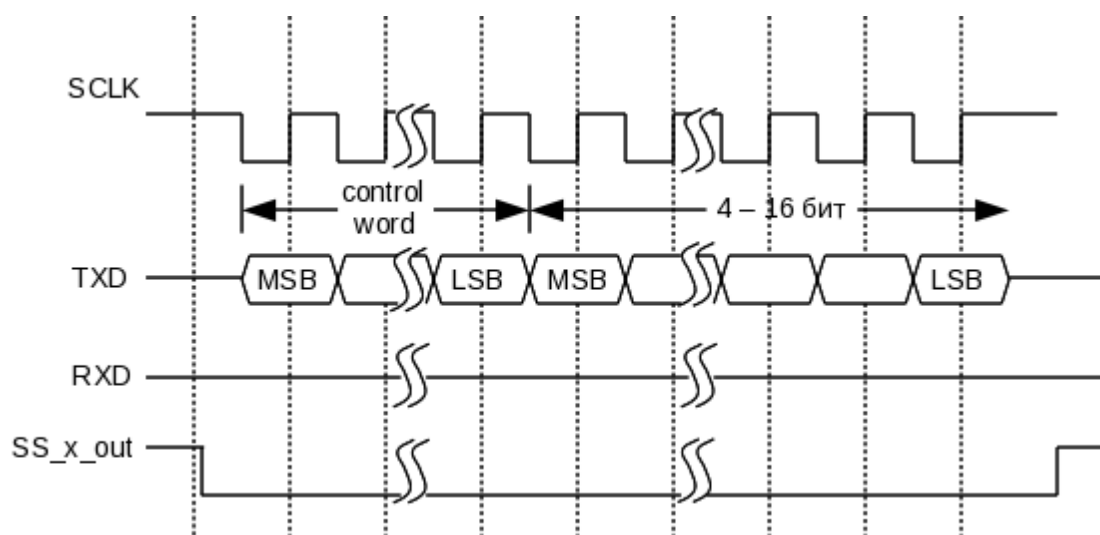


Рисунок 31.6. Пример последовательной передачи данных по протоколу Microwire

32. УНИВЕРСАЛЬНЫЙ АСИНХРОННЫЙ ПОРТ (UART)

32.1 Характеристики

Универсальный асинхронный порт (далее UART) имеет следующие характеристики:

1. FIFO для приема и передачи данных имеют объем по 128 байт.
2. Полностью программируемые параметры последовательного интерфейса: длина символа от 5 до 8 бит, генерация и обнаружение бита четности, генерация стопового сигнала длиной 1, 1.5 или 2 бита.
3. Диагностический режим.
4. Эмуляция символьных ошибок.
5. Аппаратный режим управления потоком данных.
6. Аппаратный интерфейс запросов PDMA.

В микросхеме присутствует 4 UART-порта.

Таблица 32.1 содержит внешние выводы UART.

Таблица 32.1. Внешние выводы UART

Название вывода	Тип вывода	Описание
SIN	I	Вход последовательных данных
SOUT	O	Выход последовательных данных
RTSN*	O	Запрос на передачу
CTSN*	I	Запрос на прекращение передачи

* в данной реализации выведены только для UART0 и UART1.

32.2 Регистры UART

Перечень регистров UART приведен в Таблица 32.2.

Таблица 32.2. Перечень программно-доступных регистров контроллера UART

Условное обозначение	Название регистра	Исходное состояние	Тип доступа	Смещение
RBR	Принимающий буферный регистр	0x0	R	0x00
THR	Передающий буферный регистр	0x0	W	0x00
DLL	Регистр делителя младший	0x0	W/R	0x00
DLH	Регистр делителя старший	0x0	W/R	0x04
IER	Регистр разрешения прерываний	0x0	W/R	0x04
IIR	Регистр идентификации прерывания	0x1	R	0x08
FCR	Регистр управления FIFO	0x0	W	0x08
LCR	Регистр управления линией	0x0	W/R	0x0C
MCR	Регистр управления модемом	0x0	W/R	0x10
LSR	Регистр состояния линии	0x60	R	0x14
MSR	Регистр состояния модема	0x0	W/R	0x18
SCR	Регистр общего назначения.	0x0	W/R	0x1C
SRBR	Дублирующий приемный буферный регистр.	0x0	R	0x30 - 0x6C

Условное обозначение	Название регистра	Исходное состояние	Тип доступа	Смещение
STHR	Дублирующий передающий буферный регистр.	0x0	W	0x30 - 0x6C
USR	Регистр статуса UART	0x6	R	0x7C
TFL	Регистр уровня FIFO передатчика	0x0	R	0x80
RFL	Регистр уровня FIFO приемника	0x0	R	0x84
SRR	Регистр программного сброса	0x0	W	0x88
SRTS	Регистр запроса на передачу.	0x0	W/R	0x8C
SBCR	Регистр формирования обрыва линии.	0x0	W/R	0x90
SFE	Регистр включения FIFO.	0x0	W/R	0x98
SRT	Регистр порогового значения заполнения FIFO приемника.	0x0	W/R	0x9C
STET	Регистр порогового значения заполнения FIFO передатчика.	0x0	W/R	0xA0
HTX	Регистр остановки приема	0x0	W/R	0xA4

32.2.1 Регистр RBR

Регистр буфера приемника.

Этот регистр может быть доступен только когда DLAB (LCR[7]) = 0.

Формат регистра RBR приведен в Таблица 32.3.

Таблица 32.3. Формат регистра RBR

Номер бита	Условное обозначение	Назначение
0:7	RBR	Регистр хранит данные, полученные из последовательного входного порта. Данные в этом регистре достоверны, только если DR(LSR[0]) = 1. При выключенном FIFO (FCR[0]=0) чтение данных из регистра RBR должно происходить до поступления следующего бита данных. При включенном FIFO (FCR[0]=1) через этот регистр происходит чтение по старшему адресу FIFO. Если FIFO приемника полон, и этот регистр не будет прочтен до поступления следующего символа данных, то данные в FIFO будут сохранены, но любые следующие входные данные будут потеряны.
8:31	-	Резерв

32.2.2 Регистр THR

Регистр буфера передатчика.

Этот регистр может быть доступен только когда бит DLAB (LCR[7]) = 0.

Формат регистра THR приведен в Таблица 32.4.

Таблица 32.4. Формат регистра THR

Номер бита	Условное обозначение	Назначение
0:7	THR	Регистр хранит данные для передачи по выходному порту SOUT. Данные должны быть записаны в регистр тогда, когда бит $THRE(LSR[5]) = 1$. Если FIFO выключен ($FCR[0]=0$) и установлен бит THRE, запись символа в регистр THR сбрасывает бит THRE. Если в регистр THR будут записаны данные до того как бит THRE будет вновь установлен, то произойдет перезапись данных в регистре THR. Если FIFO включен ($FCR[0]=1$) и бит THRE установлен, то 128 символов данных может быть записано в регистр THR до заполнения FIFO. Любая попытка записать данные при заполненном FIFO приведет к потере данных.
8:31	-	Резерв

32.2.3 Регистр DLH

Старший регистр делителя частоты.

Этот регистр может быть доступен только тогда, когда $DLAB(LCR[7]) = 1$, а сам модуль при этом не занят ($USR[0]=0$).

Формат регистра DLH приведен в Таблица 32.5.

Таблица 32.5. Формат регистра DLH

Номер бита	Условное обозначение	Назначение
0:7	DLH	Регистр содержит старшие 8 бит 16-и битного делителя скорости обмена (BAUD_RATE) UART. При этом $BAUD_RATE = L3_PCLK / (16 * \{DLH, DLL\})$, где $L3_PCLK$ – частота уровня L3-коммутатора.
8:31	-	Резерв

32.2.4 Регистр DLL

Младший регистр делителя частоты.

Этот регистр может быть доступен только тогда, когда $DLAB(LCR[7]) = 1$, а сам модуль при этом не занят ($USR[0]=0$).

Формат регистра DLL приведен в Таблица 32.6.

Таблица 32.6. Формат регистра DLL

Номер бита	Условное обозначение	Назначение
0:7	DLL	Регистр содержит младшие 8 бит 16-и битного делителя скорости обмена (BAUD_RATE) UART. При этом $BAUD_RATE = L3_PCLK / (16 * \{DLH, DLL\})$, где L3_PCLK – частота уровня L3-коммутатора.
8:31	-	Резерв

32.2.5 Регистр IER

Регистр разрешения прерываний.

Этот регистр может быть доступен только когда бит DLAB (LCR[7]) сброшен.

Формат регистра IER приведен в Таблица 32.7.

Таблица 32.7. Формат регистра IER

Номер бита	Условное обозначение	Назначение
0	ERBFI	Разрешение прерывания по наличию поступивших данных. Это прерывание второе по приоритету. 1 - разрешено 0 - запрещено
1	ETBEI	Включение прерывания по пустому регистру THR. Это прерывание третье по приоритету. 1 - разрешено 0 - запрещено
2	ELSI	Включение прерывания по статусу линии приемника. Это прерывание имеет высший приоритет. 1 - разрешено 0 - запрещено
3	EDSSI	Включение прерывания по статусу модема. Это прерывание четвертое по приоритету 1 - разрешено 0 - запрещено
4:6	-	Резерв
7	PTIME	Включение режима работы по THRE-прерыванию 1 - разрешено 0 - запрещено
8 :31	-	Резерв

32.2.6 Регистр IIR

Регистр идентификации прерывания.

Формат регистра IIR приведен в Таблица 32.8.

Таблица 32.8. Формат регистра IIR

Номер бита	Условное обозначение	Назначение
0:3	Interrupt ID	Биты отображают наиболее приоритетное прерывание: 0000 - статус модема 0001 - нет прерываний в очереди 0010 - регистр THR пуст 0100 - поступили данные на прием 0110 - статус линии приемника 1100 - символ таймаута.
4:5	-	Резерв
6:7	FIFO's Enabled	00 - буферы FIFO выключены 11 - буферы FIFO включены
8:31	-	Резерв

32.2.7 Регистр FCR

Регистр контроля FIFO.

Формат регистра FCR приведен в Таблица 32.9.

Таблица 32.9. Формат регистра FCR

Номер бита	Условное обозначение	Назначение
0	FEWO	Разрешение работы XMIT и RCVR FIFO: 0 – символьный режим 1 – режим FIFO При изменении состояния этого бита, данные из FIFO, не удаляются. Запись в биты RFR, TFR, RFTL выполняется, если FEWO=1.
1	RCVR	Установка RCVR FIFO в исходное состояние. Регистр RSR не обновляется. После записи 1 в этот бит он автоматически сбрасывается.
2	XFIFOR	Установка XMIT FIFO в исходное состояние. Регистр TSR не обнуляется. После записи 1 в этот бит он автоматически сбрасывается.
3	-	Резерв
4:5	TET	Порог заполнения FIFO передатчика, по которому устанавливается прерывание THRE при работе контроллера в режиме по этому прерыванию 00 - FIFO пуст. 01 - 2 символа в FIFO 10 - FIFO заполнен на 1/4 11 - FIFO заполнен на 1/2

Номер бита	Условное обозначение	Назначение
6:7	RFTL	Порог заполнения FIFO приемника, при котором формируется прерывание по наличию данных для чтения: 00 – 1 символ в FIFO 01 – FIFO заполнено на 1/4 10 – FIFO заполнено на 1/2 11 – FIFO содержит на 2 слова меньше, чем возможно.

32.2.8 Регистр LCR

Регистр управления линией.

Формат регистра LCR приведен в Таблица 32.10.

Таблица 32.10. Формат регистра LCR

Номер бита	Условное обозначение	Назначение
1:0	DLS	Количество бит данных в передаваемом символе: 00 - 5 бит, 01 - 6 бит, 10 - 7 бит, 11 - 8 бит.
2	STOP	Количество стоп-битов: 0 - 1 стоп-бит, 1 - 1.5 стоп-бита, если LCR[0:1]=0, иначе 2 стоп-бита. Приемник анализирует только первый стоп бит.
3	PEN	Разрешение генерации (передатчик) или проверки (приемник) контрольного бита: 1 – контрольный бит (паритет или постоянный) разрешен, 0 – запрещен.
4	EPS	Выбор типа контроля (при PEN=1): 0 – нечетность, 1 – четность.
5	STP	Принудительное формирование бита паритета: 0 – контрольный бит генерируется в соответствии с паритетом выводимого символа, 1 – постоянное значение контрольного бита: при EPS=1 - нулевое, при EPS=0 – единичное.
6	BC	Формирование обрыва линии: 0 – нормальная работа; 1 – на выходе SOUT устанавливается низкий уровень. Это влияет только на выход SOUT, а не на логику передачи символа.
7	DLAB	Управление доступом к регистрам: 0 – разрешен доступ к регистрам RBR, THR, IER; 1 – разрешен доступ к регистрам DLL, DLH

32.2.9 Регистр MCR

Регистр управления модемом.

Формат регистра MCR приведен в Таблица 32.11.

Таблица 32.11. Формат регистра MCR

Номер бита	Условное обозначение	Назначение
0	-	Резерв
1	RTS	Запрос на отправку данных. Этот бит используется для управления выводом RTS_N. Вывод RTS_N используется для информирования модема оконечного устройства о том, что UART готов к обмену данными. При выключенном режиме автоматического управления потоком (MCR[5] = 0), сигнал RTS_N переводится в низкий уровень записью 1 в бит RTS, и переводится в высокий уровень записью 0 в бит RTS. При включенном режиме автоматического управления потоком (MCR[5]=1), и включенных FIFO (FCR[0]=1), выходной сигнал RTS_N может управляться таким же способом, но он также меняет свое значение в зависимости от уровня заполнения FIFO приемника (становится равным 1, если кол-во записей в FIFO приемника превышает пороговое значение заполнения FIFO приемника, и переходит обратно в 0, когда кол-во записей в FIFO становится меньше этого значения).
2:4	-	Резерв
5	AFCE	Включение автоматического контроля управления потоком возможно только при включенных FIFO (FCR[0]=1). 0: Автоматическое управление потоком выключено. 1: Автоматическое управление потоком включено.
6:31	-	Резерв

32.2.10 Регистр LSR

Регистр статуса линии.

Формат регистра LSR приведен в Таблица 32.12.

Таблица 32.12. Формат регистра LSR

Номер бита	Условное обозначение	Назначение
0	RDR	Готовность данных. Устанавливается после приема символа данных и передачи его в регистр RBR или FIFO. Сбрасывается после чтения регистра RBR (в символьном режиме) или чтения всего содержимого RCVR FIFO (в режиме FIFO).

Номер бита	Условное обозначение	Назначение
1	OE	Ошибка переполнения. Устанавливается, если содержимое регистра RBR не было прочитано, в сдвигающий регистр принят следующий символ и начат прием очередного символа. При этом новый символ записывается в сдвигающий регистр вместо старого. В режиме FIFO устанавливается, если после перехода порогового уровня FIFO заполнено до конца, во входной сдвигающий регистр полностью принят следующий символ и начат прием очередного символа. При этом в FIFO ничего не передается. Бит сбрасывается при чтении содержимого регистра LSR.
2	PE	Ошибка контрольного бита (паритета или фиксированного). В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. Бит сбрасывается при чтении содержимого регистра LSR.
3	FE	Ошибка кадра. Устанавливается, если стоп-бит равен нулю. В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. После этой ошибки UART пере синхронизируется. Бит сбрасывается при чтении содержимого регистра LSR.
4	BI	Обрыв линии. Устанавливается, если вход приема данных находится в состоянии 0 не менее чем время передачи всего символа. В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. При возникновении этой ситуации, в FIFO загружается только один нулевой символ. Прием следующих символов разрешается после того, как вход приема данных перейдет в единицу и будет принят действительный стартовый б32.2.1 бит. Бит сбрасывается при чтении содержимого регистра LSR.
5	THRE	Передающий буферный регистр пуст. Показывает, что UART готов принять следующий символ для передачи. Устанавливается, когда содержимое регистра THR передается в передающий сдвигающий регистр. Одновременно с этим генерируется прерывание THREI, если оно разрешено. Бит сбрасывается при записи символа в регистр THR. В режиме FIFO этот бит устанавливается, когда XMIT FIFO пусто, и сбрасывается, если в XMIT FIFO записывается хотя бы один символ.
6	TEMT	Передачик пуст. Устанавливается, если регистры THR и TSR пусты. Имеет нулевое состояние, если хотя бы один из регистров THR и TSR не пуст. В режиме FIFO этот бит устанавливается, если нет символов ни в XMIT FIFO, ни в регистре TSR.
7	EIRF	Наличие хотя бы одного признака ошибки в FIFO. В символьном режиме этот бит всегда равен нулю. Бит сбрасывается при чтении содержимого регистра LSR, если в FIFO нет больше признаков ошибок.

Исходное состояние бит THRE, TEMT – 1, остальных – 0.

Установка бит OE, PE, FE, BI приводит к формированию прерыванию по состоянию входа приема данных (Receiver Line Status Interrupt), если это прерывание разрешено.

32.2.11 Регистр MSR

Регистр статуса модема.

Формат регистра MSR приведен в Таблица 32.13.

Таблица 32.13. Формат регистра MSR

Номер бита	Условное обозначение	Назначение
0	DCTS	Этот бит устанавливается в 1 если произошло изменение значения входного сигнала CTS_N с момента последнего чтение регистра MSR. Чтение регистра MSR сбрасывает значение этого бита в 0.
1:3	-	Резерв
4	CTS	Этот бит отображает текущее состояние входного CTS_N. 0: сигнал CTS_N не установлен. 1: сигнал CTS_N установлен.
5:31	-	Резерв

32.2.12 Регистр SCR

Регистр общего назначения.

Формат регистра SCR приведен в Таблица 32.14.

Таблица 32.14. Формат регистра SCR

Номер бита	Условное обозначение	Назначение
0:7	SCR	Этот регистр предназначен для временного хранения данных. Не имеет определенной цели в управлении контроллером.
8:31	-	Резерв

32.2.13 Регистр SRBR

Регистр буфера приемника.

Формат регистра SRBR приведен в Таблица 32.15.

Таблица 32.15. Формат регистра SRBR

Номер бита	Условное обозначение	Назначение
0:7	SRBR	Этот регистр дублирует регистр RBR. К нему можно обратиться по одному из 16-ти адресов.
8:31	-	Резерв

32.2.14 Регистр STHR

Регистр буфера передатчика.

Формат регистра STHR приведен в Таблица 32.16.

Таблица 32.16. Формат регистра STHR

Номер бита	Условное обозначение	Назначение
0:7	STHR	Этот регистр дублирует регистр THR. К нему можно обратиться по одному из 16-ти адресов.
8:31	-	Резерв

32.2.15 Регистр USR

Регистр статуса UART.

Формат регистра USR приведен в Таблица 32.17.

Таблица 32.17. Формат регистра USR

Номер бита	Условное обозначение	Назначение
0	BUSY	UART занят. Этот бит установлен в 1, в следующих случаях: 1. В настоящее время происходит передача данных по последовательному интерфейсу. 2. Регистр THR содержит данные на передачу, при не нулевом значении делителя частоты ($\{DLH, DLL\} \neq 0$) и $LCR.DLAB = 0$. 3. В настоящее время происходит прием данных по последовательному интерфейсу. 4. Регистр RBR содержит данные на прием.
1	TFNF	FIFO передатчика не полон. 0: FIFO передатчика полон. 1: FIFO передатчика не полон.
2	TFE	FIFO передатчика пуст. 0: FIFO передатчика не пуст. 1: FIFO передатчика пуст.
3	RFNE	FIFO приемника не пуст. 0: FIFO приемника пуст. 1: FIFO приемника не пуст.
4	RFF	FIFO приемника полон. 0: FIFO приемника не полон. 1: FIFO приемника полон.
5:31	-	Резерв

32.2.16 Регистр TFL

Уровень FIFO передатчика.

Формат регистра TFL приведен в Таблица 32.18.

Таблица 32.18. Формат регистра TFL

Номер бита	Условное обозначение	Назначение
0:7	TFL	Регистр содержит число слов данных в FIFO передатчика.
8:31	-	Резерв

32.2.17 Регистр RFL

Уровень FIFO приемника.

Формат регистра RFL приведен Таблица 32.19.

Таблица 32.19. Формат регистра RFL

Номер бита	Условное обозначение	Назначение
0:7	RFL	Регистр содержит число слов данных в FIFO приемника.
8:31	-	Резерв

32.2.18 Регистр SRR

Регистр программного сброса.

Формат регистра SRR приведен в Таблица 32.20.

Таблица 32.20. Формат регистра SRR

Номер бита	Условное обозначение	Назначение
0	UR	Программный сброс UART. Программный сброс занимает 2 такта частоты L3COMM_CLK. UART готов к работе сразу после.
1	RFR	Этот бит дублирует FCR[1].
2	XFR	Этот бит дублирует FCR[2].
3:31	-	Резерв

32.2.19 Регистр SRTS

Запрос отправления данных.

Формат регистра SRR приведен в Таблица 32.21.

Таблица 32.21. Формат регистра SRTS

Номер бита	Условное обозначение	Назначение
0	SRTS	Этот бит дублирует MCR[1].
1:31	-	Резерв

32.2.20 Регистр SBCR

Формирование обрыва линии.

Формат регистра SBCR приведен в Таблица 32.22.

Таблица 32.22. Формат регистра SBCR

Номер бита	Условное обозначение	Назначение
0	SBCR	Этот бит дублирует LCR[6].
1:31	-	Резерв

32.2.21 Регистр SFE

Включение FIFO.

Формат регистра SFE приведен в Таблица 32.23.

Таблица 32.23. Формат регистра SFE

Номер бита	Условное обозначение	Назначение
0	SFE	Этот бит дублирует FCR[0].
1:31	-	Резерв

32.2.22 Регистр SRT

Порог заполнения FIFO приемника.

Формат регистра SRT приведен в Таблица 32.24.

Таблица 32.24. Формат регистра SRT

Номер бита	Условное обозначение	Назначение
0:1	SRT	Эти биты дублируют FCR[6:7].
2:31	-	Резерв

32.2.23 Регистр STET

Порог заполнения FIFO передатчика.

Формат регистра STET приведен в Таблица 32.25.

Таблица 32.25. Формат регистра STET

Номер бита	Условное обозначение	Назначение
0:1	STET	Эти биты дублируют FCR[4:5].
2:31	-	Резерв

32.2.24 Регистр НТХ

Регистр прекращения передачи.

Формат регистра НТХ приведен в Таблица 32.26.

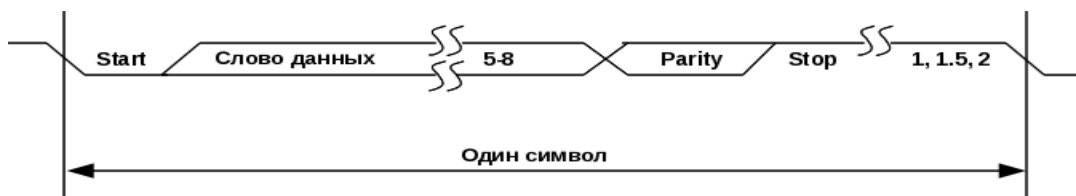
Таблица 32.26. Формат регистра НТХ

Номер бита	Условное обозначение	Назначение
0	НТХ	Этот регистр используется для прекращения передачи при тестировании UART, чтобы FIFO передатчика смог заполниться до конца. 0: передача не прекращена. 1: передача прекращена.
1 31	-	Резерв

32.3 Функционирование порта

32.3.1 Последовательный протокол (RS232).

Так как последовательный обмен между контроллером UART и оконечным устройством является асинхронным, то к последовательным данным добавляются дополнительные биты Start и Stop, обозначающие начало и конец передачи. Совокупность слова данных и битов Start и Stop называется символом. Структура символа данных отображена на Рисунок 32.1 Рисунок 32.1.

**Рисунок 32.1. RS232. Формат символа данных**

Также к символу может быть добавлен бит контроля четности (Parity).

Управление параметрами символа последовательного обмена происходит через регистр LCR.

32.3.2 Аппаратное управление потоком данных.

Порт UART имеет 2 дополнительных вывода RTS_N и CTS_N, через которые осуществляется автоматическое управление потоком между двумя портами UART. Чтобы включить режим автоматического управления потоком необходимо установить в 1 бит MCR[5]. Блок-схема автоматического управления потоком продемонстрирована на Рисунок 1.3.

Выходной сигнал RTS_N переходит в 1 в случае, когда число записей в приемнике FIFO превышает пороговое значение, записанное в битах FCR[6:7]. Когда вывод RTS_N соединен с выводом CTS_N другого порта UART, то другой UART будет вынужден приостановить передачу данных, до тех пор, пока FIFO приемника первого UART не станет пустым. После этого, сигнал RTS_N перейдет в 0 и передача будет продолжена.

32.3.3 Прерывания.

UART формирует следующие прерывания:

1. Ошибка приемника.
2. Приемник имеет данные для чтения.
3. Таймаут символа (в режиме FIFO).
4. Регистр передатчика пуст / Буфер передатчика ниже порогового значения (в режиме работы по прерыванию THRE).
5. Контроллер занят.

32.3.4 Аппаратный интерфейс запросов PDMA.

Контроллеры UART0, UART1, UART2 имеют аппаратный интерфейс запросов PDMA. Запросы формируются следующим образом.

Запрос к PDMA на запись в UART формируется:

1. При выключенном FIFO, когда регистр THR пуст.
2. При включенном FIFO но выключенном прерывании THRE, когда FIFO передатчика пуст.
3. При включенном FIFO и включенном прерывании THRE, когда кол-во слов данных в FIFO передатчика ниже установленного порогового значения, установленного в поле TET регистра FCR.

Запрос к PDMA на чтение из UART формируется:

1. При выключенном FIFO, когда в регистре RBR есть данные.

2. При включенном FIFO, когда кол-во слов данных в FIFO приемника равно или превышает пороговое значение, установленное в поле RFTL регистра FCR.

Размер всех пересылок UART-PDMA контролирует только PDMA.

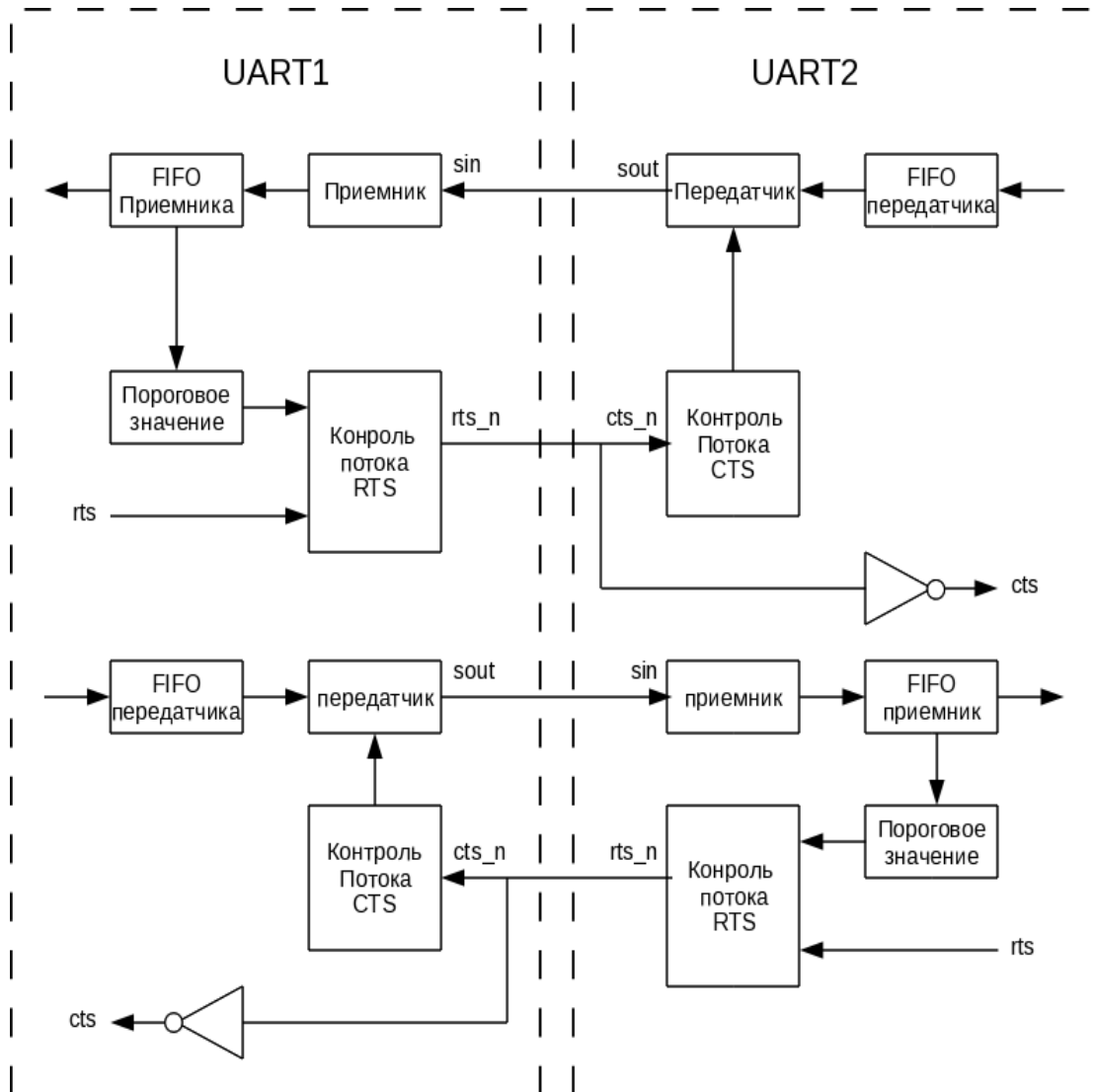


Рисунок 32.2. Блок-схема автоматического управления потоком.

32.3.5 Расчет делителя частоты для стандартных скоростей UART.

Ниже приведены таблицы, содержащие расчетные значения делителя частоты для стандартных скоростей UART при некоторых значениях частоты L3_PCLK (96 МГц в Таблица 32.27, 120 МГц в Таблица 32.28, 144 МГц в Таблица 32.29). При выборе коэффициента нужно учитывать, что суммарное отклонение скорости приемника и передатчика не должно превышать 3%. При работе с высокими скоростями рекомендуется использование контрольного бита и дополнительного стоп-бита.

Таблица 32.27. Расчет делителя частоты при L3_PCLK = 96 МГц

Требуемая скорость (бод)	Делитель	Расчетная скорость (бод)	Отклонение (%)
300	20000	300	0
600	10000	600	0
1200	5000	1200	0
2400	2500	2400	0
4800	1250	4800	0
9600	625	9600	0
19200	313	19169,33	-0,16
38400	156	38461,54	0,16
57600	104	57692,31	0,16
115200	52	115384,62	0,16
230400	26	230769,23	0,16
460800	13	461538,46	0,16
921600	7	857142,86	-6,994

Таблица 32.28. Расчет делителя частоты при L3_PCLK = 120 МГц

Требуемая скорость (бод)	Делитель	Расчетная скорость (бод)	Отклонение (%)
300	25000	300	0
600	12500	600	0
1200	6250	1200	0
2400	3125	2400	0
4800	1563	4798,46	-0,032
9600	781	9603,07	0,032
19200	391	19181,59	-0,096
38400	195	38461,54	0,16
57600	130	57692,31	0,16
115200	65	115384,62	0,16
230400	33	227272,73	-1,357
460800	16	468750	1,725
921600	8	937500	1,725

Таблица 32.29. Расчет делителя частоты при L3_PCLK = 144 МГц

Требуемая скорость (бод)	Делитель	Расчетная скорость (бод)	Отклонение (%)
300	30000	300	0
600	15000	600	0
1200	7500	1200	0
2400	3750	2400	0
4800	1875	4800	0
9600	938	9594,88	-0,053
19200	469	19189,77	-0,053
38400	234	38461,54	0,16
57600	156	57692,31	0,16
115200	78	115384,62	0,16
230400	39	230769,23	0,16
460800	20	450000	-2,344
921600	10	900000	-2,344

33. ОПИСАНИЕ ВНЕШНИХ ВЫВОДОВ

Параметры корпуса микросхемы:

- тип корпуса: HFQVGA;
- размер корпуса (габариты): 19 x 19 мм;
- шаг по выводам: 0,5 мм;
- матрица выводов: 36 x 36;
- общее число выводов: 1296.

Перечень сигналов микросхемы по группам, приведен в Таблица 33.1.

Таблица 33.1. Перечень сигналов по группам

Назначение	Число выводов
Порты внешней памяти DDRMC0, DDRMC1	160
Порт внешней памяти NANDMPORT	25
Порт внешней памяти NORMPORT	53
Порты внешней памяти SDMMC0, SDMMC1	24
Порт видео ввода VPIN	46
Порты видео вывода VPOUT	38
Порты MFBSP0, MFBSP1	20
Порт GPIO	96*
Порт GEMAC	26
Порт USBIC	6
Порты SWIC0, SWIC1	16
Порты I2C0, I2C1, I2C3	6
Порт I2S	8
Порты SPI0, SPI1	14
Порты UART0, UART1, UART2, UART3	12
Порт PWM	6
Интерфейс коррелятора MCC	14
Управление	21
JTAG	5
TRACE	18
Тестовые выводы	47
Итого	565

* Выводы порта GPIO мультиплексированы с другими выводами

Все неиспользуемые выводы типа «I», «IO» необходимо подключить к земле, если в этих таблицах не указано иное требование, или подтяжка этих выводов не обеспечивается самой микросхемой.

При сопряжении данной микросхемы с внешними устройствами, например памятью, в зависимости от параметров платы, необходимо устанавливать схемы последовательного или параллельного согласования. Необходимость их установки определяет разработчик аппаратуры самостоятельно.

33.1 Сигнальные выводы

Примечание. Для мультиплексированных с GPIO выводов в приведенных ниже таблицах исходное состояние указано в столбце «Функция 0».

Примечание. В поле Drive, приведенных ниже таблиц, указан максимально допустимый выходной ток для контактной площадки в мА.

Примечание. В поле Pull up/down, приведенных ниже таблиц, указано наличие внутреннего подтягивающего резистора контактной площадки. Номиналы резисторов указаны в разделе 34.

Примечание. Поле «Тип вывода» может иметь следующие значения:

I - вход

O - выход (только активное состояние)

I/O - вход/выход

NC - not connected

Таблица 33.2. Перечень сигнальных выводов. DDRMC0

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
DDR0_ADD0	AF34			Шина адреса	O	--	--	DDR0_VDDQ
DDR0_ADD1	AC36							
DDR0_ADD2	AB32							
DDR0_ADD3	AC35							
DDR0_ADD4	AF35							
DDR0_ADD5	AE32							
DDR0_ADD6	AE34							

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
DDR0_ADD7	AE35							
DDR0_ADD8	AE36							
DDR0_ADD9	AE33							
DDR0_ADD10	AB34							
DDR0_ADD11	AC32							
DDR0_ADD12	AC34							
DDR0_ADD13	AC33							
DDR0_ADD14	AD32							
DDR0_ADD15	AD33							
DDR0_DQ0	V33			Шина данных	I/O	--	кон. ^{a)}	DDR0_VDDQ
DDR0_DQ1	U34							
DDR0_DQ2	V34							
DDR0_DQ3	U33							
DDR0_DQ4	V36							
DDR0_DQ5	U35							
DDR0_DQ6	V35							
DDR0_DQ7	U36							
DDR0_DQ8	Y36							
DDR0_DQ9	W36							
DDR0_DQ10	Y35							
DDR0_DQ11	W35							
DDR0_DQ12	Y33							
DDR0_DQ13	W33							
DDR0_DQ14	Y34							
DDR0_DQ15	W34							
DDR0_DQ16	AJ33							
DDR0_DQ17	AH34							
DDR0_DQ18	AJ34							
DDR0_DQ19	AH33							
DDR0_DQ20	AJ36							
DDR0_DQ21	AH35							
DDR0_DQ22	AJ35							
DDR0_DQ23	AH36							

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
DDR0 DQ24	AL36							
DDR0 DQ25	AK36							
DDR0 DQ26	AL35							
DDR0 DQ27	AK35							
DDR0 DQ28	AL33							
DDR0 DQ29	AK33							
DDR0 DQ30	AL34							
DDR0 DQ31	AK34							
DDR0 CSN0	AG35			Разрешение выборки блоков внешней памяти	O	--	--	DDR0_VDDQ
DDR0 CSN1	AG36							
DDR0 RASN	AB33			Строб адреса строки	O	--	--	DDR0_VDDQ
DDR0 CASN	AF32			Строб адреса колонки	O	--	--	DDR0_VDDQ
DDR0 WEN	AB35			Разрешение записи	O	--	--	DDR0_VDDQ
DDR0 DQS0	T35			Дифференциальные сигналы строба данных	O	--	--	DDR0_VDDQ
DDR0 DQS1	T33							
DDR0 DQS2	AM35							
DDR0 DQS3	AM33							
DDR0 DQS B0	T36			Дифференциальные сигналы строба данных (инверсные)	O	--	--	DDR0_VDDQ
DDR0 DQS B1	T34							
DDR0 DQS B2	AM36							
DDR0 DQS B3	AM34							
DDR0 DM0	V32			Маска выбора байтов	O	--	--	DDR0_VDDQ
DDR0 DM1	W32							
DDR0 DM2	AJ32							
DDR0 DM3	AK32							
DDR0 CK	AD36			Дифференциальная тактовая частота	O	--	--	DDR0_VDDQ
DDR0 CKN	AD35							
DDR0 CKE0	AG32			Разрешение частоты	O	--	--	DDR0_VDDQ
DDR0 CKE1	AG34							
DDR0 BA0	AF36			Номер банка	O	--	--	DDR0_VDDQ
DDR0 BA1	AF33							
DDR0 BA2	AB36							

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
DDR0_VREF	AD34, AH32			Референсное напряжение	--	--	--	
DDR0_ODT0	AA34			Включение согласующей нагрузки (терминатора)	--	--	--	DDR0_VDDQ
DDR0_ODT1	AA33							
DDR0_RESET	AG33			Сигнал сброса (DDR3)	O	--	--	DDR0_VDDQ
DDR0_PZQ	Y32			Подключения резистора (240 Ом) для ZQ калибровки (DDR3)	I/O	--	--	DDR0_VDDQ
DDR0_ATO	AA32			Аналоговый вывод для тестирования DLL	O	--	--	DDR0_VDDQ
DDR0.DTO0	AA36			Цифровой вывод для тестирования DLL	O	--	--	DDR0_VDDQ
DDR0.DTO1	AA35			Цифровой вывод для тестирования DLL	O	--	--	DDR0_VDDQ

^{a)} Подтяжка выводов к земле или питанию выбирается на уровне контроллера DDRMC

Таблица 33.3. Перечень сигнальных выводов. DDRMC1

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
DDR1_ADD0	AP21			Шина адреса	O	--	--	DDR1_VDDQ
DDR1_ADD1	AT24							
DDR1_ADD2	AM25							
DDR1_ADD3	AR24							
DDR1_ADD4	AR21							
DDR1_ADD5	AM22							
DDR1_ADD6	AP22							
DDR1_ADD7	AR22							
DDR1_ADD8	AT22							
DDR1_ADD9	AN22							
DDR1_ADD10	AP25							
DDR1_ADD11	AM24							
DDR1_ADD12	AP24							
DDR1_ADD13	AN24							
DDR1_ADD14	AM23							
DDR1_ADD15	AN23							
DDR1_DQ0	AN29			Шина данных	I/O	--	кон. ^{a)}	DDR1_VDDQ
DDR1_DQ1	AP30							
DDR1_DQ2	AP29							
DDR1_DQ3	AN30							
DDR1_DQ4	AT29							
DDR1_DQ5	AR30							
DDR1_DQ6	AR29							
DDR1_DQ7	AT30							
DDR1_DQ8	AT27							
DDR1_DQ9	AT28							
DDR1_DQ10	AR27							
DDR1_DQ11	AR28							
DDR1_DQ12	AN27							
DDR1_DQ13	AN28							
DDR1_DQ14	AP27							
DDR1_DQ15	AP28							

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
DDR1_DQ16	AN18							
DDR1_DQ17	AP19							
DDR1_DQ18	AP18							
DDR1_DQ19	AN19							
DDR1_DQ20	AT18							
DDR1_DQ21	AR19							
DDR1_DQ22	AR18							
DDR1_DQ23	AT19							
DDR1_DQ24	AT16							
DDR1_DQ25	AT17							
DDR1_DQ26	AR16							
DDR1_DQ27	AR17							
DDR1_DQ28	AN16							
DDR1_DQ29	AN17							
DDR1_DQ30	AP16							
DDR1_DQ31	AP17							
DDR1_CSN0	AR20			Разрешение выборки блоков внешней памяти	O	--	--	DDR1_VDDQ
DDR1_CSN1	AT20							
DDR1_RASN	AN25			Строб адреса строки	O	--	--	DDR1_VDDQ
DDR1_CASN	AM21			Строб адреса колонки	O	--	--	DDR1_VDDQ
DDR1_WEN	AR25			Разрешение записи	O	--	--	DDR1_VDDQ
DDR1_DQS0	AR31			Дифференциальные сигналы сто́ба данных	O	--	--	DDR1_VDDQ
DDR1_DQS1	AN31							
DDR1_DQS2	AR15							
DDR1_DQS3	AN15							
DDR1_DQS_B0	AT31			Дифференциальные сигналы сто́ба данных (инверсные)	O	--	--	DDR1_VDDQ
DDR1_DQS_B1	AP31							
DDR1_DQS_B2	AT15							
DDR1_DQS_B3	AP15							
DDR1_DM0	AM29			Маска выбора байтов	O	--	--	DDR1_VDDQ
DDR1_DM1	AM28							
DDR1_DM2	AM18							
DDR1_DM3	AM17							
DDR1_CK	AT23			Дифференциальная тактовая частота	O	--	--	DDR1_VDDQ

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
DDR1_CKN	AR23							
DDR1_CKE0	AM20			Разрешение частоты	O	--	--	DDR1_VDDQ
DDR1_CKE1	AP20							
DDR1_BA0	AT21			Номер банка	O	--	--	DDR1_VDDQ
DDR1_BA1	AN21							
DDR1_BA2	AT25							
DDR1_VREF	AM19, AP23			Референсное напряжение	--	--	--	
DDR1_ODT0	AP26			Включение согласующей нагрузки (терминатора)	--	--	--	DDR1_VDDQ
DDR1_ODT1	AN26							
DDR1_RESET	AN20			Сигнал сброса (DDR3)	O	--	--	DDR1_VDDQ
DDR1_PZQ	AM27			Подключения резистора (240 Ом) для ZQ калибровки (DDR3)	I/O	--	--	DDR1_VDDQ
DDR1_ATO	AM26			Тестовый аналоговый вывод	O	--	--	DDR1_VDDQ
DDR1_DTO0	AT26			Тестовый цифровой вывод	O	--	--	DDR1_VDDQ
DDR1_DTO1	AR26			Тестовый цифровой вывод	O	--	--	DDR1_VDDQ

^{a)} Подтяжка выводов к земле или питанию выбирается на уровне контроллера DDRMC

Таблица 33.4. Перечень сигнальных выводов. NANDMPORT

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
NAND_DATA0	AL1			Шина данных	I/O	8	down	VDDPST
NAND_DATA1	AL2							
NAND_DATA2	AM1							
NAND_DATA3	AM2							
NAND_DATA4	AN1							
NAND_DATA5	AN2							
NAND_DATA6	AP1							
NAND_DATA7	AP2							
NAND_DATA8	AK3							
NAND_DATA9	AK4							
NAND_DATA10	AL3							
NAND_DATA11	AL4							
NAND_DATA12	AM3							
NAND_DATA13	AM4							
NAND_DATA14	AN3							
NAND_DATA15	AN4							
NAND_RBN0	AJ5			Готовность/занятость памяти	I	--	up	VDDPST
NAND_RBN1	AK5							
NAND_ALE	AK2			Разрешение защелкивания адреса	O	8	--	
NAND_CLE	AK1			Разрешение защелкивания команды	O	8	--	VDDPST
NAND_RDN	AN5			Чтение	O	8	--	VDDPST
NAND_WRN	AJ4			Запись	O	8	--	VDDPST
NAND_CSN0	AJ1			Разрешение выборки блоков внешней памяти	O	8	--	VDDPST
NAND_CSN1	AJ2							
NAND_DQS	AJ3			Сигнал stroba данных	I/O	8	--	VDDPST

Таблица 33.5. Перечень сигнальных выводов. NORMPORT

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
SMC_ADD0	T1			Шина адреса	O	8	--	VDDPST
SMC_ADD1	T2							
SMC_ADD2	R1							
SMC_ADD3	R2							
SMC_ADD4	P1							
SMC_ADD5	P2							
SMC_ADD6	N1							
SMC_ADD7	N2							
SMC_ADD8	M1	SMC_ADD8	GPIOB0 ^{a)}	I/O	8	down	VDDPST	
SMC_ADD9	M2	SMC_ADD9	GPIOB1 ^{a)}					
SMC_ADD10	L1	SMC_ADD10	GPIOB2 ^{a)}					
SMC_ADD11	L2	SMC_ADD11	GPIOB3 ^{a)}					
SMC_ADD12	K1	SMC_ADD12	GPIOB4 ^{a)}					
SMC_ADD13	K2	SMC_ADD13	GPIOB5 ^{a)}					
SMC_ADD14	J1	SMC_ADD14	GPIOB6 ^{a)}					
SMC_ADD15	J2	SMC_ADD15	GPIOB7 ^{a)}					
SMC_ADD16	M3	SMC_ADD16	GPIOB8 ^{a)}					
SMC_ADD17	M4	SMC_ADD17	GPIOB9 ^{a)}					
SMC_ADD18	L3	SMC_ADD18	GPIOB10 ^{a)}					
SMC_ADD19	L4	SMC_ADD19	GPIOB11 ^{a)}					
SMC_ADD20	K3	SMC_ADD20	GPIOB12 ^{a)}					
SMC_ADD21	K4	SMC_ADD21	GPIOB13 ^{a)}					
SMC_ADD22	J3	SMC_ADD22	GPIOB14 ^{a)}					
SMC_ADD23	J4	SMC_ADD23	GPIOB15 ^{a)}					
SMC_DATA0	H1	SMC_DATA0	GPIOB16 ^{a)}	Шина данных	I/O	8	up	VDDPST
SMC_DATA1	H2	SMC_DATA1	GPIOB17 ^{a)}					
SMC_DATA2	G1	SMC_DATA2	GPIOB18 ^{a)}					
SMC_DATA3	G2	SMC_DATA3	GPIOB19 ^{a)}					
SMC_DATA4	F1	SMC_DATA4	GPIOB20 ^{a)}					
SMC_DATA5	F2	SMC_DATA5	GPIOB21 ^{a)}					
SMC_DATA6	E1	SMC_DATA6	GPIOB22 ^{a)}					

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
SMC_DATA7	E2	SMC_DATA7	GPIOB23 ^{a)}					
SMC_DATA8	H3	SMC_DATA8	GPIOB24 ^{a)}					
SMC_DATA9	H4	SMC_DATA9	GPIOB25 ^{a)}					
SMC_DATA10	G3	SMC_DATA10	GPIOB26 ^{a)}					
SMC_DATA11	G4	SMC_DATA11	GPIOB27 ^{a)}					
SMC_DATA12	F3	SMC_DATA12	GPIOB28 ^{a)}					
SMC_DATA13	F4	SMC_DATA13	GPIOB29 ^{a)}					
SMC_DATA14	E3	SMC_DATA14	GPIOB30 ^{a)}					
SMC_DATA15	E4	SMC_DATA15	GPIOB31 ^{a)}					
SMC_BLSN0	N3			Строб выбора байта	O	8	--	VDDPST
SMC_BLSN1	N4			Строб записи адреса	O	8	--	VDDPST
SMC_ADV_N	N5			Сигнал разрешения чтения	O	8	--	VDDPST
SMC_OEN	R5			Разрешение выборки блоков внешней памяти	O	8	--	VDDPST
SMC_CSN0	R3							
SMC_CSN1	R4			Тактовая частота	O	8	--	VDDPST
SMC_CLKO0	T3							
SMC_CLKO1	T4			Перевод памяти в режим BAA (PSRAM)	O	8	--	VDDPST
SMC_BAA	P3			Запись в конфигурационный регистр (PSRAM)	O	8	--	VDDPST
SMC_CRE	P4			Сигнал неготовности данных при чтении в синхронном режиме	I	--	down	VDDPST
SMC_WAIT	M5			Частота приема данных	I	--	up	VDDPST
SMC_FBCLK	T5			Запись асинхронной памяти	O	8	--	VDDPST
SMC_WEN	P5							

^{a)} Вывод общего назначения порта GPIO B

Таблица 33.6. Перечень сигнальных выводов. SDMMC0 и SDMMC1

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
SDMMC0_CMD	AH2			Команда	O	--	кон. ^{a)}	SDMMC0_VDD
SDMMC0_DATA0	AF4			Шина данных	I/O	--	кон. ^{a)}	SDMMC0_VDD
SDMMC0_DATA1	AF3							
SDMMC0_DATA2	AF2							
SDMMC0_DATA3	AF1							
SDMMC0_DATA4	AG4							
SDMMC0_DATA5	AG3							
SDMMC0_DATA6	AG2							
SDMMC0_DATA7	AG1							
SDMMC0_CLK	AH3			Тактовая частота	O	--	кон. ^{a)}	SDMMC0_VDD
SDMMC0_DET_N	AH4			Определение наличия карты	I	--	up	VDDPST
SDMMC0_18EN	AH1			Выбор напряжения работы	O	4	кон. ^{a)}	VDDPST
SDMMC1_CMD	AE2			Команда	O	--	кон. ^{a)}	SDMMC1_VDD
SDMMC1_DATA0	AC4			Шина данных	I/O	--	кон. ^{a)}	SDMMC1_VDD
SDMMC1_DATA1	AC3							
SDMMC1_DATA2	AC2							
SDMMC1_DATA3	AC1							
SDMMC1_DATA4	AD4							
SDMMC1_DATA5	AD3							
SDMMC1_DATA6	AD2							
SDMMC1_DATA7	AD1							
SDMMC1_CLK	AE3			Тактовая частота	O	--	кон. ^{a)}	SDMMC1_VDD
SDMMC1_DET_N	AE4			Определения наличия карты	I	--	up	VDDPST
SDMMC1_18EN	AE1			Выбор напряжения работы	O	4	кон. ^{a)}	VDDPST

^{a)} Подтяжка выводов к земле или питанию выбирается на уровне контроллера SDMMC

Таблица 33.7. Перечень сигнальных выводов. GEMAC

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
GMII_MD	AB3			Данные по интерфейсу MD	I/O	8	down	VDDPST
GMII_MDC	AA3			Тактовая частота обмена данными по интерфейсу MD	O	8	--	VDDPST
GMII_TXCLK	AB2			Тактовая частота передачи данных по интерфейсу MII	I	--	up	VDDPST
GMII_RXCLK	AB5			Тактовая частота приема данных по интерфейсу MII	I	--	up	VDDPST
GMII_TXEN	AA1			Признак передачи данных по интерфейсу MII	O	8	--	VDDPST
GMII_TXD0	Y1			Шина передаваемых данных по интерфейсу MII	O	8	--	VDDPST
GMII_TXD1	Y2							
GMII_TXD2	W1							
GMII_TXD3	W2							
GMII_TXD4	V1							
GMII_TXD5	V2							
GMII_TXD6	U1							
GMII_TXD7	U2							
GMII_RXD0	Y3			Шина принимаемых данных по интерфейсу MII	I	--	up	VDDPST
GMII_RXD1	Y4							
GMII_RXD2	W3							
GMII_RXD3	W4							
GMII_RXD4	V3							
GMII_RXD5	V4							
GMII_RXD6	U3							
GMII_RXD7	U4							
GMII_COL	AA2			Сигнал обнаружения коллизии в среде передачи	I	--	up	VDDPST
GMII_CRS	AA5			Сигнал наличия несущей в среде передачи	I	--	up	VDDPST
GMII_RXER	AB1			Признак обнаружения ошибки в принимаемых данных	I	--	up	VDDPST
GMII_RXDV	AB4			Признак наличия данных для приема по интерфейсу MII	I	--	up	VDDPST
GMII_TXER	AA4			Признак обнаружения ошибки в передаваемых данных	O	8	--	VDDPST

Таблица 33.8. Перечень сигнальных выводов. USBIC

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
OTG_ID	AJ13			Тип соединителя (plug judge): 0 – mini-A plug (HOST); 1 – mini B plug (DEVICE).	I	--	--	
OTG_VBUS	AK13			Напряжение (VBUS) работы/заряда USB от внешнего источника номиналом 5В. Данное напряжение должно быть подключено к выводу, если контроллер используется в режиме Device или универсально как Host/Device.	I	--	--	
OTG_DP	AT12			Данные (прямой)	I/O	--	--	OTG_VDD25
OTG_DM	AR12			Данные (инверсный)	I/O	--	--	OTG_VDD25
OTG_TXR_RKL	AP12			Подключение калибровочного резистора (43.2 Ом±1%). Резистор подключается с вывода на землю OTG_GNDAC	--	--	--	
OTG_DRV_VBUS	AN12			Включение внешнего источника VBUS, данный вывод управляет внешним источником (схема заряда). Данный вывод используется только в режиме Host: 0 – отключить регулятор питания VBUS 1 - Включить регулятор питания VBUS Если контроллер переведен в режим Device, то OTG_DRV_VBUS=0	O	8	--	

Таблица 33.9. Перечень сигнальных выводов. SWIC0 и SWIC1.

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вы- вода	Drive	Pull up/do wn	Питание
SW0_DINP	C27			Вход данных положительный	I	--	--	SW0_VDD25
SW0_DINN	D27			Вход данных отрицательный	I	--	--	SW0_VDD25
SW0_SINP	C26			Вход строба положительный	I	--	--	SW0_VDD25
SW0_SINN	D26			Вход строба отрицательный	I	--	--	SW0_VDD25
SW0_DOUTP	C24			Выход данных положительный	O	--	--	SW0_VDD25
SW0_DOUTN	D24			Выход данных отрицательный	O	--	--	SW0_VDD25
SW0_SOUTP	C25			Выход строба положительный	O	--	--	SW0_VDD25
SW0_SOUTN	D25			Выход строба отрицательный	O	--	--	SW0_VDD25
SW1_DINP	A24			Вход данных положительный	I	--	--	SW1_VDD25
SW1_DINN	B24			Вход данных отрицательный	I	--	--	SW1_VDD25
SW1_SINP	A25			Вход строба положительный	I	--	--	SW1_VDD25
SW1_SINN	B25			Вход строба отрицательный	I	--	--	SW1_VDD25
SW1_DOUTP	A27			Выход данных положительный	O	--	--	SW1_VDD25
SW1_DOUTN	B27			Выход данных отрицательный	O	--	--	SW1_VDD25
SW1_SOUTP	A26			Выход строба положительный	O	--	--	SW1_VDD25
SW1_SOUTN	B26			Выход строба отрицательный	O	--	--	SW1_VDD25

Таблица 33.10. Перечень сигнальных выводов. VPOUT

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
VPOUT_VDO0	C29			Шина видеоданных	O	8	--	VDDPST
VPOUT_VDO1	D29							
VPOUT_VDO2	A29							
VPOUT_VDO3	B29							
VPOUT_VDO4	C30							
VPOUT_VDO5	D30							
VPOUT_VDO6	B30							
VPOUT_VDO7	A30							
VPOUT_VDO8	D31							
VPOUT_VDO9	C31							
VPOUT_VDO10	B31							
VPOUT_VDO11	A31							
VPOUT_VDO12	D32							
VPOUT_VDO13	C32							
VPOUT_VDO14	B32							
VPOUT_VDO15	A32							
VPOUT_VDO16	B33							
VPOUT_VDO17	A33							
VPOUT_VDO18	B34							
VPOUT_VDO19	A34							
VPOUT_VDO20	B35							
VPOUT_VDO21	A35							
VPOUT_VDO22	B36							
VPOUT_VDO23	A36							
VPOUT_VDEN	D28			Признак действительности видеоданных	I/O	8	up	VDDPST
VPOUT_VSYNC	B28			Кадровая синхронизация	I/O	8	up	VDDPST
VPOUT_HSYNC	C28			Строчная синхронизация	I/O	8	up	VDDPST
VPOUT_VCLK	A28			Синхронизация пикселей	I/O	8	up	VDDPST
DSI_DATAP0	C34	DSI_DATAP0	CSII_DATAP0	Данные (прямые)	I/O	--	--	DSI_VDDAC
DSI_DATAP1	D34	DSI_DATAP1	CSII_DATAP1					
DSI_DATAP2	E34	DSI_DATAP2	CSII_DATAP2					

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
DSI_DATAP3	F34	DSI_DATAP3	CSI1_DATAP3					
DSI_DATAN0	C33	DSI_DATAN0	CSI1_DATAN0	Данные (инверсные)	I/O	--	--	DSI_VDDAC
DSI_DATAN1	D33	DSI_DATAN1	CSI1_DATAN1					
DSI_DATAN2	E33	DSI_DATAN2	CSI1_DATAN2					
DSI_DATAN3	F33	DSI_DATAN3	CSI1_DATAN3					
DSI_CLKP	G33	DSI_CLKP	CSI1_CLKP	Синхронизация (прямая)	O	--	--	DSI_VDDAC
DSI_CLKN	G34	DSI_CLKN	CSI1_CLKN	Синхронизация (инверсная)	O	--	--	DSI_VDDAC

Таблица 33.11. Перечень сигнальных выводов. VPIN

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
GPIOC0	A12	GPIOC0 ^{a)}	VPIN_VDIN0	Шина видеоданных	I/O	8	up	VDDPST
GPIOC1	B12	GPIOC1 ^{a)}	VPIN_VDIN1					
GPIOC2	A13	GPIOC2 ^{a)}	VPIN_VDIN2					
GPIOC3	B13	GPIOC3 ^{a)}	VPIN_VDIN3					
GPIOC4	A14	GPIOC4 ^{a)}	VPIN_VDIN4					
GPIOC5	B14	GPIOC5 ^{a)}	VPIN_VDIN5					
GPIOC6	A15	GPIOC6 ^{a)}	VPIN_VDIN6					
GPIOC7	B15	GPIOC7 ^{a)}	VPIN_VDIN7					
GPIOC8	A16	GPIOC8 ^{a)}	VPIN_VDIN8					
GPIOC9	B16	GPIOC9 ^{a)}	VPIN_VDIN9					
GPIOC10	A17	GPIOC10 ^{a)}	VPIN_VDIN10					
GPIOC11	B17	GPIOC11 ^{a)}	VPIN_VDIN11					
GPIOC12	A18	GPIOC12 ^{a)}	VPIN_VDIN12					
GPIOC13	B18	GPIOC13 ^{a)}	VPIN_VDIN13					
GPIOC14	A19	GPIOC14 ^{a)}	VPIN_VDIN14					
GPIOC15	B19	GPIOC15 ^{a)}	VPIN_VDIN15					
GPIOC16	C17	GPIOC16 ^{a)}	VPIN_VDIN16					
GPIOC17	D17	GPIOC17 ^{a)}	VPIN_VDIN17					
GPIOC18	C18	GPIOC18 ^{a)}	VPIN_VDIN18					
GPIOC19	D18	GPIOC19 ^{a)}	VPIN_VDIN19					
GPIOC20	C19	GPIOC20 ^{a)}	VPIN_VDIN20					
GPIOC21	D19	GPIOC21 ^{a)}	VPIN_VDIN21					
GPIOC22	C20	GPIOC22 ^{a)}	VPIN_VDIN22					
GPIOC23	D20	GPIOC23 ^{a)}	VPIN_VDIN23					
GPIOC24	C21	GPIOC24 ^{a)}	VPIN_VDIN24					
GPIOC25	D21	GPIOC25 ^{a)}	VPIN_VDIN25					
GPIOC26	C22	GPIOC26 ^{a)}	VPIN_VDIN26					
GPIOC27	D22	GPIOC27 ^{a)}	VPIN_VDIN27					
GPIOC28	C23	GPIOC28 ^{a)}	VPIN_VDIN28					
GPIOC29	D23	GPIOC29 ^{a)}	VPIN_VDIN29					
GPIOC30	A21	GPIOC30 ^{a)}	VPIN_RST00	Сброс CMOS сенсора	I/O	8	up	VDDPST

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
GPIOC31	B21	GPIOC31 ^{a)}	VPIN_RST01					
VPIN_PIXCLK00	A23			Синхронизация пикселей	O	8	--	VDDPST
VPIN_PIXCLK01	B23							
VPIN_FSYNC0	A20			Кадровая синхронизация	O	8	--	VDDPST
VPIN_FSYNC1	B20							
CSI0_DATAP0	C36			Данные (прямые)	I/O	--	--	CSI_VDDAC
CSI0_DATAP1	D36							
CSI0_DATAP2	E36							
CSI0_DATAP3	F36							
CSI0_DATAN0	C35			Данные (инверсные)	I/O	--	--	CSI_VDDAC
CSI0_DATAN1	D35							
CSI0_DATAN2	E35							
CSI0_DATAN3	F35							
CSI0_CLKP	G35			Синхронизация (прямая)	O	--	--	CSI_VDDAC
CSI0_CLKN	G36			Синхронизация (инверсная)	O	--	--	CSI_VDDAC

^{a)} Вывод общего назначения порта GPIO C. Данные выводы могут также использоваться как тестовые (см. Таблица 33.15)

Таблица 33.12. Перечень сигнальных выводов. MFBSP0 и MFBSP1

Название вывода	Вы-вод на корпусе	Функция 0 ^{а)}	Функция 1 ^{а)}	Назначение	Тип вы-вода	Drive	Pull up/down	Питание
MFBSP0 LDAT0	M33			Шина данных	I/O	8	up	VDDPST
MFBSP0 LDAT1	N33				I/O	8	up	
MFBSP0 LDAT2	M32				I/O	8	up	
MFBSP0 LDAT3	N32				I/O	8	up	
MFBSP0 LDAT4	M36				I/O	8	up	
MFBSP0 LDAT5	N36				I/O	8	up	
MFBSP0 LDAT6	M35				I/O	8	up	
MFBSP0 LDAT7	N35				I/O	8	up	
MFBSP0 LCLK	N34			Синхронизация данных	I/O	8	up	VDDPST
MFBSP0 LACK	M34			Подтверждение приема данных	I/O	8	up	VDDPST
MFBSP1 LDAT0	K33			Шина данных	I/O	8	up	VDDPST
MFBSP1 LDAT1	L33				I/O	8	up	
MFBSP1 LDAT2	K32				I/O	8	up	
MFBSP1 LDAT3	L32				I/O	8	up	
MFBSP1 LDAT4	K36				I/O	8	up	
MFBSP1 LDAT5	L36				I/O	8	up	
MFBSP1 LDAT6	K35				I/O	8	up	
MFBSP1 LDAT7	L35				I/O	8	up	
MFBSP1 LCLK	L34			Синхронизация данных	I/O	8	up	VDDPST
MFBSP1 LACK	K34			Подтверждение приема данных	I/O	8	up	VDDPST

а) Все выводы MFBSP могут выполнять различные функции в зависимости от настроек портов MFBSP0 и MFBSP1. Подробнее см. Главу 23.2.3.

Таблица 33.13. Перечень сигнальных выводов. Периферийные порты и управление

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
GPIOA18	A5	GPIOA18 ^{a)}	UART0_SIN	Вход последовательных данных	I/O	8	up	VDDPST
GPIOA19	B5	GPIOA19 ^{a)}	UART0_SOUT	Выход последовательных данных	I/O	8	up	VDDPST
GPIOA20	B6	GPIOA20 ^{a)}	UART0_CTSN	Запрос на прекращение передачи	I/O	8	up	VDDPST
GPIOA21	A6	GPIOA21 ^{a)}	UART0_RTSN	Запрос на передачу	I/O	8	up	VDDPST
GPIOD0	C8	GPIOD0 ^{b)}	UART1_SIN	Вход последовательных данных	I/O	8	up	VDDPST
GPIOD1	D8	GPIOD1 ^{b)}	UART1_SOUT	Выход последовательных данных	I/O	8	up	VDDPST
GPIOD2	G11	GPIOD2 ^{b)}	UART1_CTSN	Запрос на прекращение передачи	I/O	8	up	VDDPST
GPIOD3	H11	GPIOD3 ^{b)}	UART1_RTSN	Запрос на передачу	I/O	8	up	VDDPST
GPIOD4	E9	GPIOD4 ^{b)}	UART2_SIN	Вход последовательных данных	I/O	8	up	VDDPST
GPIOD5	F9	GPIOD5 ^{b)}	UART2_SOUT	Выход последовательных данных	I/O	8	up	VDDPST
GPIOD6 ^{b)}	D9	GPIOD6 ^{b)}	TIM1_TGL	ШИМ вывод таймера	O	16	up	VDDPST
GPIOD7	C9	GPIOD7 ^{b)}	I2S_SCLKO	Выходная частота	I/O	8	down	VDDPST
GPIOD8	B9	GPIOD8 ^{b)}	I2S_SDI	Входные данные	I/O	8	down	VDDPST
GPIOD9	A9	GPIOD9 ^{b)}	I2S_SDO0	Выходные данные	I/O	8	down	VDDPST
GPIOD10	F10	GPIOD10 ^{b)}	I2S_SDO1		I/O	8	down	
GPIOD11	G12	GPIOD11 ^{b)}	I2S_SDO2		I/O	8	down	
GPIOD12	H12	GPIOD12 ^{b)}	I2S_SDO3		I/O	8	down	
GPIOD13	E10	GPIOD13 ^{b)}	I2S_WS	Частота дискретизации	I/O	8	down	VDDPST
GPIOD14	D10	GPIOD14 ^{b)}	I2S_SCLK	Входная частота	I/O	8	down	VDDPST
GPIOD15	C10	GPIOD15 ^{b)}	SPI0_SCLK	Выходная частота	I/O	8	down	VDDPST
GPIOD16	B10	GPIOD16 ^{b)}	SPI0_TXD	Данные передачи	I/O	8	down	VDDPST
GPIOD17	A10	GPIOD17 ^{b)}	SPI0_RXD	Данные приема	I/O	8	down	VDDPST
GPIOD18	F13	GPIOD18 ^{b)}	SPI0_SSN0	Выбор устройства	I/O	8	down	VDDPST
GPIOD19	E13	GPIOD19 ^{b)}	SPI0_SSN1		I/O	8	down	
GPIOD20	F11	GPIOD20 ^{b)}	SPI0_SSN2		I/O	8	down	
GPIOD21	E11	GPIOD21 ^{b)}	SPI0_SSN3		I/O	8	down	
GPIOA22	C6	GPIOA22 ^{a)}	SPI1_SCLK	Выходная частота	I/O	8	down	VDDPST
GPIOA23	A7	GPIOA23 ^{a)}	SPI1_TXD	Данные передачи	I/O	8	down	VDDPST
GPIOA24	B7	GPIOA24 ^{a)}	SPI1_RXD	Данные приема	I/O	8	down	VDDPST
GPIOA25	C7	GPIOA25 ^{a)}	SPI1_SSN0	Выбор устройства	I/O	8	down	VDDPST
GPIOA26	D7	GPIOA26 ^{a)}	SPI1_SSN1		I/O	8	down	

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
GPIOA27	E8	GPIOA27 ^{a)}	SPI1_SSN2		I/O	8	down	
GPIOA28	F8	GPIOA28 ^{a)}	SPI1_SSN3		I/O	8	down	
GPIOA29	G10	GPIOA29 ^{a)}	I2C0_SDA	Линия данных	I/O	8	up	VDDPST
GPIOA30	H10	GPIOA30 ^{a)}	I2C0_SCL	Линия синхронизации	I/O	8	up	VDDPST
GPIOA31	E7	GPIOA31 ^{a)}	TIM2_TGL	ШИМ вывод таймера	I/O	16	up	VDDPST
GPIOD22	D11	GPIOD22 ^{b)}	I2C1_SDA	Линия данных	I/O	8	up	VDDPST
GPIOD23	C11	GPIOD23 ^{b)}	I2C1_SCL	Линия синхронизации	I/O	8	up	VDDPST
GPIOD24	B11	GPIOD24 ^{b)}	I2C2_SDA	Линия данных	I/O	8	up	VDDPST
GPIOD25	A11	GPIOD25 ^{b)}	I2C2_SCL	Линия синхронизации	I/O	8	up	VDDPST
GPIOA0	A1	GPIOA0 ^{a)}	TRACE_D0	Шина данных трассы	I/O	8	up	VDDPST
GPIOA1	B1	GPIOA1 ^{a)}	TRACE_D1		I/O	8	up	
GPIOA2	A2	GPIOA2 ^{a)}	TRACE_D2		I/O	8	up	
GPIOA3	B2	GPIOA3 ^{a)}	TRACE_D3		I/O	8	up	
GPIOA4	A3	GPIOA4 ^{a)}	TRACE_D4		I/O	8	up	
GPIOA5	B3	GPIOA5 ^{a)}	TRACE_D5		I/O	8	up	
GPIOA6	A4	GPIOA6 ^{a)}	TRACE_D6		I/O	8	up	
GPIOA7	B4	GPIOA7 ^{a)}	TRACE_D7		I/O	8	up	
GPIOA8	C1	GPIOA8 ^{a)}	TRACE_D8		I/O	8	up	
GPIOA9	D1	GPIOA9 ^{a)}	TRACE_D9		I/O	8	up	
GPIOA10	C2	GPIOA10 ^{a)}	TRACE_D10		I/O	8	up	
GPIOA11	D2	GPIOA11 ^{a)}	TRACE_D11		I/O	8	up	
GPIOA12	C3	GPIOA12 ^{a)}	TRACE_D12		I/O	8	up	
GPIOA13	D3	GPIOA13 ^{a)}	TRACE_D13		I/O	8	up	
GPIOA14	C4	GPIOA14 ^{a)}	TRACE_D14		I/O	8	up	
GPIOA15	D4	GPIOA15 ^{a)}	TRACE_D15		I/O	8	up	
GPIOA16	C5	GPIOA16 ^{a)}	TRACE_CTL	Управляющий сигнал трассы	I/O	8	down	VDDPST
GPIOA17	D5	GPIOA17 ^{a)}	TRACE_CLK	Синхронизация трассы	I/O	8	down	VDDPST
XTI_24M	AM5			Вход осциллятора 24МГц	I	--	--	ALIVE_VDD PST
XTO_24M	AL5			Выход осциллятора 24МГц	O	--	--	ALIVE_VDD PST
NRST_WARM	AT3			Сигнал «теплого» сброса микросхемы	I/O	8	up	ALIVE_VDD PST

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
NRST_PON	AR4			Установка исходного состояния	I	--	up	ALIVE_VDD PST
BOOT0	AR3			Источник данных при начальной загрузке программы микропроцессора после снятия сигнала сброса	I	--	down	ALIVE_VDD PST
BOOT1	AT2				I	--	down	
BOOT2	AR2				I	--	down	
NVMODE0	AR5			Выводы, которые можно использовать для управления внешним источником питания ядра, задавая нужный уровень напряжения через регистр NVMODE	O	8	--	ALIVE_VDD PST
NVMODE1	AT4				O	8	--	
CLKOUT	AT6			Универсальный вывод синхросигнала	O	8	--	VDDPST
WIRQ0	AT1			Wakeup прерывания	I	--	down	ALIVE_VDD PST
WIRQ1	AR1				I	--	down	
JMODE0	AT5			Выбор режима JTAG: 0x0 – Отладка через DAP CSSYS 0x1 – BIST тестирование памятей микросхемы 0x2 – BSR тестирование выводов микросхемы 0x3 – зарезервировано	I	--	down	VDDPST VDDPST
JMODE1	AR7				I	--	down	
NSYSTEM_OFF	AP5			Признак перехода системы в экономный режим	O	8	up	ALIVE_VDD PST
TDO	AR6			Выход данных теста (JTAG)	O	8	--	VDDPST
TCK	AM10			Тестовый тактовый сигнал (JTAG)	I	--	up	VDDPST
TRSTN	AK10			Установка исходного состояния (JTAG)	I	--	up	VDDPST
TDI	AP6			Вход данных теста (JTAG)	I	--	up	VDDPST
TMS	AN6			Выбор режима теста (JTAG)	I	--	up	VDDPST
XTI_32K	AT13			Вход осциллятора 32 КГц	OSCI	--	--	RTC_VDD
XTO_32K	AR13			Выход осциллятора 32 КГц	OSCO	--	--	RTC_VDD
RTC_WAKEUP	AK16			Запрос на выход из экономного режима от RTC таймера	O	8	down	RTC_VDDPST
RTC_ISO	AL16			Изоляция при работе в режиме глубокого сна	I	-	down	RTC_VDDPST
GLN1_I0	C15			Сигналы с RF (радиочастотный приемник) канала	I	--	up	VDDPST

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
GLN1_I1	D16			1 ГЛОНАСС	I	--	up	
GLN1_Q0	C16				I	--	up	
GLN1_Q1	F17				I	--	up	
GLN2_I0	E17			Сигналы с RF (радиочастотный приемник) канала 2 ГЛОНАСС	I	--	up	VDDPST
GLN2_I1	F18				I	--	up	
GLN2_Q0	E18				I	--	up	
GLN2_Q1	F19				I	--	up	
GPS1_I0	C13			Сигналы с RF (радиочастотный приемник) канала GPS	I	--	up	VDDPST
GPS1_I1	D14				I	--	up	
GPS1_Q0	C14				I	--	up	
GPS1_Q1	D15				I	--	up	
MCC_PPS	D13			Секундная метка	O	8	--	VDDPST
MCC_CLKIN	E19			Частота от 12 до 44 МГц с RF	I	--	up	VDDPST
GPIOD26	E14	GPIOD26 ⁶⁾	PWM_OUTA0	ШИМ каналы	I/O	16	up	VDDPST
GPIOD27	F14	GPIOD27 ⁶⁾	PWM_OUTA1		I/O	16	up	
GPIOD28	E12	GPIOD28 ⁶⁾	PWM_OUTB0		I/O	16	up	
GPIOD29	F12	GPIOD29 ⁶⁾	PWM_OUTB1		I/O	16	up	
GPIOD30	C12	GPIOD30 ⁶⁾	PWM_TU0	Размерность рабочего хода (Trip Unit) для ШИМ, подключены ко входам TU0 и TU1 контроллера.	I/O	8	up	VDDPST
GPIOD31	D12	GPIOD31	PWM_TU1		I/O	8	up	
UART3_SIN	A8			Вход последовательных данных	I	--	up	VDDPST
UART3_SOUT	B8			Выход последовательных данных	O	8	--	VDDPST

⁴⁾ Вывод общего назначения порта GPIO A. Данные выводы могут также использоваться как тестовые (см. Таблица 33.15).

⁶⁾ Вывод общего назначения порта GPIO D.

⁸⁾ Так как загрузчик BOOTROM может выводить сигнал на GPIOD6, то вывод не может быть использован как входной.

Таблица 33.14. Тестовые выводы

Название выводов	Вывод на корпусе	Назначение	Тип вывода	Привязка ^{а)}
TESTCLK	AL10	Тестовый клок	I	0
TESTMODE	AT11	Сигнал выбора режима для ATPG	I	0
TESTMODE_SC	AR11	Сигнал выбора режима компрессии для ATPG	I	0
TEST_MODE_PLL	AL9	Сигнал выбора режима тестирования на частоте PLL для ATPG	I	0
TESTSE	AM9	Сигнал разрешения сдвига цепочек для ATPG	I	0
TESTSE_PLL	AN11	Сигнал разрешения сдвига цепочек для регистров PLL для ATPG	I	0
TESTRST	AP11	Сигнал сброса для ATPG	I	0
TESTSI_PLL	AN10	Вход скан цепочки для регистров PLL	I	0
TESTSO_PLL	AP10	Выход скан цепочки для регистров PLL	O	--
DFTRAMBYP	AL6	Сигнал управления обходом кэша первого уровня (в режиме ATPG=1, в остальных случаях 0)	I	0
DFTTESTMODE	AT10	Сигнал выбора режима ATPG для ARM	I	0
DFTATSPEEDENABLE	AP8	Сигнал выбора режима ATPG для ARM с использование контроллера, действующего PLL для формирования тактового сигнала	I	0
DFTCLKBYPASS	AN7	Сигнал переключения клона на TESTCLK для ARM	I	0
DFTWINTEST	AL7	Сигнал выбора INTEST режима для ARM	I	0
DFTWEXTTEST	AL8	Сигнал выбора EXTEST режима для ARM	I	0
DFTMAXCOMPmode	AN8	Сигнал выбора режима компрессии для ARM	I	0
DFTSE	AR10	Сигнал разрешения сдвига цепочек для ARM	I	0
DFTWSE	AT9	Сигнал разрешения сдвига периферийных цепочек для ARM	I	0
DFTCPURSTDISABLE	AM6	Сигнал отключения внутренней подсинхронизации сигналов сброса в CPU для ARM	I	0
DFTRSTDISABLE	AP7	Сигнал отключения внутренней подсинхронизации сигналов сброса периферии для ARM	I	0
DFTCOMPBYPASS	AM7	Не используется	I	0
DFTSCANMODE	AP9	Не используется	I	0
DFTWRPCLK	AN9	Не используется	I	0
DFTATEATCLK	AR9	Тестовый клок трассы(ATB) для тестирования основного домена для ARM	I	0
DFTATEATCLKVSOC	AM8	Тестовый клок трассы(ATB) для тестирования домена VSOC для ARM	I	0
DFTATECLK	AR8	Тестовый клок для тестирования основного домена для ARM	I	0
DFTATEPCLKVSOC	AT8	Тестовый отладочный тактовый сигнал для тестирования домена VSOC для ARM	I	0
TESTEN	AJ10	Сигнал разрешения MBIST в ARM (L1MBISTENABLE)	I	0
NBISTRESET	AT7	Сигнал сброса MBIST в ARM	I	0
SIGRES0	AG10	Сигнал завершения теста MBIST (L1MBISTRESULT[0])	O	--
SIGRES1	AK9	Сигнал ошибки теста MBIST L1MBISTRESULT[1]	O	--

Название выводов	Вывод на корпусе	Назначение	Тип вывода	Привязка ^{а)}
SIGRES2	AJ9	Сигнал передачи инструкций и данных логов для CPU0 (L1MBISTRESULT[2])	O	--
SIGRES3	AH10	Сигнал передачи инструкций и данных логов для CPU1 (L1MBISTRESULT[3])	O	--
SIGRES4	AH9	Сигнал сдвига данных лога (L1MBISTDSHIFT)	I	0
SIGRES5	AK8	Сигнал сдвига инструкций (L1MBISTSHIFT)	I	0
SIGRES6	AJ8	Сигнал запуска проверки MBIST (L1MBISTRUN)	I	0
SIGRES7	AH8	Последовательный вход данных для MBIST (L1MBISTDATAIN)	I	0
SIGRES8	AF7	Свободный вывод	NC	--
SIGRES9	AK7	Свободный вывод	NC	--
SIGRES10	AF6	Свободный вывод	NC	--
SIGRES11	AJ6	Свободный вывод	NC	--
SIGRES12	AJ7	Свободный вывод	NC	--
SIGRES13	AK6	Свободный вывод	NC	--
SIGRES14	AG7	Свободный вывод	NC	--
SIGRES15	AG6	Свободный вывод	NC	--
SIGRES16	AH7	Свободный вывод	NC	--
SIGRES17	AH6	Свободный вывод	NC	--

^{а)} В функциональном режиме работы микросхемы выводы необходимо установить в приведенное значение

Таблица 33.15. Использование портов GPIOA и GPIOC в качестве тестовых выводов

Название выводов	Вывод на корпусе	Назначение	Тип вывода
GPIOA0	A1	Вход сканирующей цепочки 1 (mpu_DFTMAXSI[1])	I
GPIOA1	B1	Вход сканирующей цепочки 2 (mpu_DFTMAXSI[2])	I
GPIOA2	A2	Вход сканирующей цепочки 3 (mpu_DFTMAXSI[3])	I
GPIOA3	B2	Вход сканирующей цепочки 4 (mpu_DFTMAXSI[4])	I
GPIOA4	A3	Вход сканирующей цепочки 5 (mpu_DFTMAXSI[5])	I
GPIOA5	B3	Вход сканирующей цепочки 6 (mpu_DFTMAXSI[6])	I
GPIOA6	A4	Вход сканирующей цепочки 7 (mpu_DFTMAXSI[7])	I
GPIOA7	B4	Вход сканирующей цепочки 8 (mpu_DFTMAXSI[8])	I
GPIOA8	C1	Вход сканирующей цепочки 9 (mpu_DFTMAXSI[9])	I
GPIOA9	D1	Вход сканирующей цепочки 10 (mpu_DFTMAXSI[10])	I
GPIOA10	C2	Вход сканирующей цепочки 11 (mpu_DFTMAXSI[11])	I
GPIOA11	D2	Вход сканирующей цепочки 12 (mpu_DFTMAXSI[12])	I
GPIOA12	C3	Вход сканирующей цепочки 13 (mpu_DFTMAXSI[13])	I
GPIOA13	D3	Вход сканирующей цепочки 14 (mpu_DFTMAXSI[14])	I
GPIOA14	C4	Вход сканирующей цепочки 15 (mpu_DFTMAXSI[15])	I
GPIOA15	D4	Вход сканирующей цепочки 16 (mpu_DFTMAXSI[16])	I
GPIOA16	C5	Вход сканирующей цепочки 17 (mpu_DFTMAXSI[17])	I
GPIOA17	D5	Вход сканирующей цепочки 18 (mpu_DFTMAXSI[18])	I
GPIOA18	A5	Вход сканирующей цепочки 19 (mpu_DFTMAXSI[19])	I
GPIOA19	B5	Вход сканирующей цепочки 20 (mpu_DFTMAXSI[20])	I
GPIOA20	B6	Вход сканирующей цепочки 21 (mpu_DFTMAXSI[21])	I
GPIOA21	A6	Вход сканирующей цепочки 22 (mpu_DFTMAXSI[22])	I
GPIOA22	C6	Вход сканирующей цепочки 23 (mpu_DFTMAXSI[23])	I
GPIOA23	A7	Вход сканирующей цепочки 24 (mpu_DFTMAXSI[24])	I
GPIOA24	B7	Вход сканирующей цепочки 25 (mpu_DFTMAXSI[25])	I
GPIOA25	C7	Вход сканирующей цепочки 26 (mpu_DFTMAXSI[26])	I
GPIOA26	D7	Вход сканирующей цепочки 27 (mpu_DFTMAXSI[27])	I
GPIOA27	E8	Вход сканирующей цепочки 28 (mpu_DFTMAXSI[28])	I
GPIOA28	F8	Вход сканирующей цепочки 29 (mpu_DFTMAXSI[29])	I
GPIOA29	G10	Вход сканирующей цепочки 30 (mpu_DFTMAXSI[30])	I
GPIOA30	H10	Вход сканирующей цепочки 31 (mpu_DFTMAXSI[31])	I
GPIOA31	E7	Вход сканирующей цепочки 32 (mpu_DFTMAXSI[32])	I
GPIOC0	A12	Выход сканирующей цепочки 1 (mpu_DFTMAXSO[1])	O

Название выводов	Вывод на корпусе	Назначение	Тип вывода
GPIOC1	B12	Выход сканирующей цепочки 2 (mpu_DFTMAXSO[2])	O
GPIOC2	A13	Выход сканирующей цепочки 3 (mpu_DFTMAXSO[3])	O
GPIOC3	B13	Выход сканирующей цепочки 4 (mpu_DFTMAXSO[4])	O
GPIOC4	A14	Выход сканирующей цепочки 5 (mpu_DFTMAXSO[5])	O
GPIOC5	B14	Выход сканирующей цепочки 6 (mpu_DFTMAXSO[6])	O
GPIOC6	A15	Выход сканирующей цепочки 7 (mpu_DFTMAXSO[7])	O
GPIOC7	B15	Выход сканирующей цепочки 8 (mpu_DFTMAXSO[8])	O
GPIOC8	A16	Выход сканирующей цепочки 9 (mpu_DFTMAXSO[9])	O
GPIOC9	B16	Выход сканирующей цепочки 10 (mpu_DFTMAXSO[10])	O
GPIOC10	A17	Выход сканирующей цепочки 11 (mpu_DFTMAXSO[11])	O
GPIOC11	B17	Выход сканирующей цепочки 1 (mpu_DFTMAXSO[12])	O
GPIOC12	A18	Выход сканирующей цепочки 2 (mpu_DFTMAXSO[13])	O
GPIOC13	B18	Выход сканирующей цепочки 4 (mpu_DFTMAXSO[14])	O
GPIOC14	A19	Выход сканирующей цепочки 5 (mpu_DFTMAXSO[15])	O
GPIOC15	B19	Выход сканирующей цепочки 6 (mpu_DFTMAXSO[16])	O
GPIOC16	C17	Выход сканирующей цепочки 7 (mpu_DFTMAXSO[17])	O
GPIOC17	D17	Выход сканирующей цепочки 8 (mpu_DFTMAXSO[18])	O
GPIOC18	C18	Выход сканирующей цепочки 9 (mpu_DFTMAXSO[19])	O
GPIOC19	D18	Выход сканирующей цепочки 10 (mpu_DFTMAXSO[20])	O
GPIOC20	C19	Выход сканирующей цепочки 11 (mpu_DFTMAXSO[21])	O
GPIOC21	D19	Выход сканирующей цепочки 2 (mpu_DFTMAXSO[22])	O
GPIOC22	C20	Выход сканирующей цепочки 3 (mpu_DFTMAXSO[23])	O
GPIOC23	D20	Выход сканирующей цепочки 4 (mpu_DFTMAXSO[24])	O
GPIOC24	C21	Выход сканирующей цепочки 5 (mpu_DFTMAXSO[25])	O
GPIOC25	D21	Выход сканирующей цепочки 6 (mpu_DFTMAXSO[26])	O
GPIOC26	C22	Выход сканирующей цепочки 7 (mpu_DFTMAXSO[27])	O
GPIOC27	D22	Выход сканирующей цепочки 8 (mpu_DFTMAXSO[28])	O
GPIOC28	C23	Выход сканирующей цепочки 9 (mpu_DFTMAXSO[29])	O
GPIOC29	D23	Выход сканирующей цепочки 10 (mpu_DFTMAXSO[30])	O
GPIOC30	A21	Выход сканирующей цепочки 11 (mpu_DFTMAXSO[31])	O
GPIOC31	B21	Выход сканирующей цепочки 9 (mpu_DFTMAXSO[32])	O

33.2 Выводы питания

Таблица 33.16. Электропитание

Название выводов	Назначение	Напряжение, В	Число выводов
DDR0_VDDQ, DDR1_VDDQ	Напряжение электропитания входных и выходных драйверов DDRMC0 и DDRMC1	1.2, 1.35, 1.5, 1.8	32
DDR0_GNDQ, DDR1_GNDQ	Земля входных и выходных драйверов DDRMC0 и DDRMC1		42
CSI_VDDAC	Напряжение электропитания входных и выходных драйверов MIPI CSI порта VPIN	1.1	4
CSI_GNDAC	Земля входных и выходных драйверов MIPI CSI порта VPIN		4
DSI_VDDAC	Напряжение электропитания входных и выходных драйверов MIPI DSI порта VPOUT	1.1	4
DSI_GNDAC	Земля входных и выходных драйверов MIPI DSI порта VPOUT		4
SDMMC0_VDD, SDMMC1_VDD	Напряжение электропитания входных и выходных драйверов SDMMC0 и SDMMC1	1.8, 3.3	2
SDMMC0_GND, SDMMC1_GND	Земля входных и выходных драйверов SDMMC0 и SDMMC1		4
SW0_VDD11, SW1_VDD11	Напряжение электропитания цифровой части портов SWIC0 и SWIC1	1.1	4
SW0_GND11, SW1_GND11	Земля цифровой части портов SWIC0 и SWIC1		4
SW0_VDD25, SW1_VDD25	Напряжение электропитания входных и выходных драйверов SWIC0 и SWIC1	2.5	4
SW0_GND25, SW1_GND25	Земля входных и выходных драйверов SWIC0 и SWIC1		4
OTG_VDD25	Выходное аналоговое напряжение 2.5 В с внутреннего регулятора PHY порта USBIC. Вывод должен быть подключен через конденсатор емкостью 0.1мкФ на OTG_GNDAC	2.5	1
OTG_GNDAC	Земля для внутренней PHY контроллера USBIC		1
OTG_VDD33	Входное аналоговое напряжение 3.3 В PHY порта USBIC	3.3	4
OTG_GNDA	Земля входного напряжения для USBIC		2
ALIVE_VDD	Напряжение электропитания ядра домена ALIVE микросхемы (объединено с VDD)	1.1	4
ALIVE_VDDPST	Напряжение электропитания входных и выходных драйверов домена ALIVE микросхемы (объединено с VDDPST)	1.8, 2.5, 3.3	2
RTC_VDD	Напряжение электропитания ядра домена RTC микросхемы	1.1	2
RTC_VDDPST	Напряжение электропитания входных и выходных драйверов домена RTC микросхемы	1.8, 2.5, 3.3	2
RTC_VDDAC	Напряжение электропитания входных и выходных драйверов осциллятора XT1_32K/XTO_32K микросхемы	1.1	1
RTC_GNDAC	Земля входных и выходных драйверов осциллятора XT1_32K/XTO_32K микросхемы		1
efuse_VDDA	Напряжение прожига eFuse. Данный вывод необходимо привязать к земле.	-	1

Название выводов	Назначение	Напряжение, В	Число выводов
CPLL_VDDAC, APLL_VDDAC, SPLL_VDDAC, SW1PLL_VDDAC, SW0PLL_VDDAC, DPLL_VDDAC, VPLL_VDDAC, UPLL_VDDAC	Напряжения электропитаний блоков PLL микросхемы	1.1	8
CPLL_GNDAC, APLL_GNDAC, SPLL_GNDAC, SW1PLL_GNDAC, SW0PLL_GNDAC, DPLL_GNDAC, VPLL_GNDAC, UPLL_GNDAC	Земли блоков PLL микросхемы		8
VDDPST	Напряжение электропитания входных и выходных драйверов цифровых выводов микросхемы	1.8, 2.5, 3.3	33
VDD	Напряжение электропитания ядра микросхемы	1.1	147
GND	Земля ядра и входных и выходных драйверов цифровых выводов микросхемы		396
	Итого		731

33.3 Расположение выводов на корпусе

Расположение выводов микросхемы в корпусе HFCBGA-1296 приведена на рисунках: Рисунок 33.1, Рисунок 33.2, Рисунок 33.3, Рисунок 33.4.

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
A	GPIOA0/ TRACE_D0	GPIOA2/ TRACE_D2	GPIOA4/ TRACE_D4	GPIOA6/ TRACE_D6	GPIOA18/ UART0_SIN	GPIOA21/ UART0_RTSN	GPIOA23/ SPI1_TXD	UART3_SIN	GPIOD9/ I2S_SDO0	GPIOD17/ SPI0_RXD	GPIOD25/ I2C2_SCL	GPIOC0/ VPIN_VDI N0	GPIOC2/ VPIN_VDI N2	GPIOC4/ VPIN_VDI N4	GPIOC6/ VPIN_VDI N6	GPIOC8/ VPIN_VDI N8	GPIOC10/ VPIN_VDI N10	GPIOC12/ VPIN_VDI N12
B	GPIOA1/ TRACE_D1	GPIOA3/ TRACE_D3	GPIOA5/ TRACE_D5	GPIOA7/ TRACE_D7	GPIOA19/ UART0_SOUT	GPIOA20/ UART0_CTSN	GPIOA24/ SPI1_RXD	UART3_SOUT	GPIOD8/ I2S_SDI	GPIOD16/ SPI0_TXD	GPIOD24/ I2C2_SDA	GPIOC1/ VPIN_VDI N1	GPIOC3/ VPIN_VDI N3	GPIOC5/ VPIN_VDI N5	GPIOC7/ VPIN_VDI N7	GPIOC9/ VPIN_VDI N9	GPIOC11/ VPIN_VDI N11	GPIOC13/ VPIN_VDI N13
C	GPIOA8/ TRACE_D8	GPIOA10/ TRACE_D10	GPIOA12/ TRACE_D12	GPIOA14/ TRACE_D14	GPIOA16/ TRACE_CTL	GPIOA22/ SPI1_SCLK	GPIOA25/ SPI1_SSN0	GPIOD0/ UART1_SIN	GPIOD7/ I2S_SCLK O	GPIOD15/ SPI0_SCLK K	GPIOD23/ I2C1_SCL	GPIOD30/ PWM_TU0	GPS1_I0	GPS1_Q0	GLN1_I0	GLN1_Q0	GPIOC16/ VPIN_VDI N16	GPIOC18/ VPIN_VDI N18
D	GPIOA9/ TRACE_D9	GPIOA11/ TRACE_D11	GPIOA13/ TRACE_D13	GPIOA15/ TRACE_D15	GPIOA17/ TRACE_C LK	GND	GPIOA26/ SPI1_SSN1	GPIOD1/ UART1_SOUT	GPIOD6/ TIM1_TGL	GPIOD14/ I2S_SCLK	GPIOD22/ I2C1_SDA	GPIOD31/ PWM_TU1	MCC_PPS	GPS1_I1	GPS1_Q1	GLN1_I1	GPIOC17/ VPIN_VDI N17	GPIOC19/ VPIN_VDI N19
E	SMC_DAT A6/ GPIOB22	SMC_DAT A7/ GPIOB23	SMC_DAT A14/ GPIOB30	SMC_DAT A15/ GPIOB31	GND	GND	GPIOA31/ TIM2_TGL	GPIOA27/ SPI1_SSN2	GPIOD4/ UART2_SIN	GPIOD13/ I2S_WS	GPIOD21/ SPI0_SSN3	GPIOD28/ PWM_OUTB0	GPIOD19/ SPI0_SSN1	GPIOD26/ PWM_OUTA0	VDDPST	VDDPST	GLN2_I0	GLN2_Q0
F	SMC_DAT A4/ GPIOB20	SMC_DAT A5/ GPIOB21	SMC_DAT A12/ GPIOB28	SMC_DAT A13/ GPIOB29	GND	GND	GND	GPIOA28/ SPI1_SSN3	GPIOD5/ UART2_SOUT	GPIOD10/ I2S_SDO1	GPIOD20/ SPI0_SSN2	GPIOD29/ PWM_OUTB1	GPIOD18/ SPI0_SSN0	GPIOD27/ PWM_OUTA1	VDDPST	VDDPST	GLN1_Q1	GLN2_I1
G	SMC_DAT A2/ GPIOB18	SMC_DAT A3/ GPIOB19	SMC_DAT A10/ GPIOB26	SMC_DAT A11/ GPIOB27	GND	GND	GND	GND	GND	GPIOA29/ I2C0_SDA	GPIOD2/ UART1_CTSN	GPIOD11/ I2S_SDO2	GND	GND	VDDPST	VDDPST	GND	GND
H	SMC_DAT A0/ GPIOB16	SMC_DAT A1/ GPIOB17	SMC_DAT A8/ GPIOB24	SMC_DAT A9/ GPIOB25	GND	GND	GND	GND	GND	GPIOA30/ I2C0_SCL	GPIOD3/ UART1_RTSN	GPIOD12/ I2S_SDO3	GND	GND	GND	GND	GND	GND
J	SMC_ADD 14/ GPIOB6	SMC_ADD 9/ GPIOB7	SMC_ADD 22/ GPIOB14	SMC_ADD 23/ GPIOB15	VDDPST	VDDPST	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND
K	SMC_ADD 12/ GPIOB4	SMC_ADD 13/ GPIOB5	SMC_ADD 20/ GPIOB12	SMC_ADD 21/ GPIOB13	VDDPST	VDDPST	GND	GND	GND	GND	GND	GND	GND	GND	GND	VDD	VDD	GND
L	SMC_ADD 10/ GPIOB2	SMC_ADD 11/ GPIOB3	SMC_ADD 18/ GPIOB10	SMC_ADD 19/ GPIOB11	VDDPST	VDDPST	GND	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	VDD
M	SMC_ADD 8/ GPIOB0	SMC_ADD 9/ GPIOB1	SMC_ADD 16/ GPIOB8	SMC_ADD 17/ GPIOB9	SMC_WAIT	VDDPST	GND	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	VDD
N	SMC_ADD 6	SMC_ADD 7	SMC_BLS N0	SMC_BLS N1	SMC_ADV N	VDDPST	GND	GND	GND	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND
P	SMC_ADD 4	SMC_ADD 5	SMC_BAA	SMC_CRE	SMC_WEN	VDDPST	GND	GND	GND	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND
R	SMC_ADD 2	SMC_ADD 3	SMC_CSN0	SMC_CSN1	SMC_OEN	VDDPST	GND	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	VDD
T	SMC_ADD 0	SMC_ADD 1	SMC_CLK00	SMC_CLK01	SMC_FBC LK	GND	GND	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	VDD
U	GMII_TX D6	GMII_TX D7	GMII_RX D6	GMII_RX D7	GND	GND	GND	GND	GND	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND

Рисунок 33.1. Расположение выводов на корпусе (левый верхний угол)

V	GMI1_TX D4	GMI1_TX D5	GMI1_RX D4	GMI1_RX D5	GND	GND	GND	GND	GND	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND
W	GMI1_TX D2	GMI1_TX D3	GMI1_RX D2	GMI1_RX D3	GND	GND	GND	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	VDD
Y	GMI1_TX D0	GMI1_TX D1	GMI1_RX D0	GMI1_RX D1	GND	GND	GND	CPLL_VD DAC	CPLL_GN DAC	VDD	VDD	GND	GND	VDD	VDD	GND	GND	VDD
AA	GMI1_TXE N	GMI1_COL	GMI1_MD C	GMI1_TXE R	GMI1_CRS	GND	GND	APLL_VD DAC	APLL_GN DAC	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND
AB	GMI1_RXE R	GMI1_TXC LK	GMI1_MD	GMI1_RX DV	GMI1_RX CLK	GND	GND	SPLL_VD DAC	SPLL_GN DAC	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND
AC	SDMMC1_ DATA3	SDMMC1_ DATA2	SDMMC1_ DATA1	SDMMC1_ DATA0	SDMMC1_ VDD	ALIVE_V DDPST	ALIVE_V DDPST	SWIPLL_ VDDAC	SWIPLL_ GNDAC	VDD	VDD	GND	GND	VDD	VDD	GND	GND	VDD
AD	SDMMC1_ DATA7	SDMMC1_ DATA6	SDMMC1_ DATA5	SDMMC1_ DATA4	SDMMC1_ GND	ALIVE_V DD	ALIVE_V DD	SWOPLL_ VDDAC	SWOPLL_ GNDAC	VDD	VDD	GND	GND	VDD	VDD	GND	GND	VDD
AE	SDMMC1_ 18EN	SDMMC1_ CMD	SDMMC1_ CLK	SDMMC1_ DETN	SDMMC1_ GND	ALIVE_V DD	ALIVE_V DD	DPLL_VD DAC	DPLL_GN DAC	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND
AF	SDMMC0_ DATA3	SDMMC0_ DATA2	SDMMC0_ DATA1	SDMMC0_ DATA0	SDMMC0_ VDD	SIGRES10	SIGRES8	VPLL_VD DAC	VPLL_GN DAC	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND
AG	SDMMC0_ DATA7	SDMMC0_ DATA6	SDMMC0_ DATA5	SDMMC0_ DATA4	SDMMC0_ GND	SIGRES15	SIGRES14	UPLL_VD DAC	UPLL_GN DAC	SIGRES0	VDDPST	VDDPST	VDD	GND	GND	GND	GND	DDR1_VD DQ
AH	SDMMC0_ 18EN	SDMMC0_ CMD	SDMMC0_ CLK	SDMMC0_ DETN	SDMMC0_ GND	SIGRES17	SIGRES16	SIGRES7	SIGRES4	SIGRES3	VDDPST	VDDPST	VDDPST	VDDPST	VDDPST	GND	GND	DDR1_VD DQ
AJ	NAND_CS N0	NAND_CS N1	NAND_D QS	NAND_W RN	NAND_RB N0	SIGRES11	SIGRES12	SIGRES6	SIGRES2	TESTEN	OTG_VDD 33	OTG_VDD 33	OTG_ID	RTC_VDD PST	GND	GND	GND	GND
AK	NAND_CL E	NAND_AL E	NAND_D ATA8	NAND_D ATA9	NAND_RB N1	SIGRES13	SIGRES9	SIGRES5	SIGRES1	TRSTN	OTG_VDD 33	OTG_VDD 33	OTG_VBUS	RTC_VDD PST	RTC_VDD	RTC_WA KEUP	GND	GND
AL	NAND_D ATA0	NAND_D ATA1	NAND_D ATA10	NAND_D ATA11	XTO_24M	DFTRAM BYP	DFTWINT EST	DFTWEXT EST	TESTMOD E_PLL	TESTCLK	OTG_GND AC	OTG_GND A	RTC_GND AC	RTC_VDD AC	RTC_VDD	RTC_ISO	GND	GND
AM	NAND_D ATA2	NAND_D ATA3	NAND_D ATA12	NAND_D ATA13	XTL_24M	DFTCPUR STDISABL E	DFTCOMP BYPASS	DFTATEA TCLKVSO C	TESTSE	TCK	OTG_VDD 25	OTG_GND A	DDR1_GN DQ	DDR1_GN DQ	DDR1_GN DQ	DDR1_GN DQ	DDR1_DM 3	DDR1_DM 2
AN	NAND_D ATA4	NAND_D ATA5	NAND_D ATA14	NAND_D ATA15	NAND_RD N	TMS	DFTCLKB YPASS	DFTMAX COMPMO DE	DFTWRPC LK	TESTSLP LL	TESTSE_P LL	OTG_DRV _VBUS	DDR1_GN DQ	DDR1_GN DQ	DDR1_DQ S3	DDR1_DQ 28	DDR1_DQ 29	DDR1_DQ 16
AP	NAND_D ATA6	NAND_D ATA7	efuse_VDD A	GND	NSYSTEM _OFF	TDI	DFTRSTDI SABLE	DFTATS P EEDENAB LE	DFTSCAN MODE	TESTSO_P LL	TESTRST	OTG_TXR _RKL	DDR1_GN DQ	DDR1_GN DQ	DDR1_DQ S_B3	DDR1_DQ 30	DDR1_DQ 31	DDR1_DQ 18
AR	WIRQ1	BOOT2	BOOT0	NRST_PO N	NVMODE 0	TDO	JMODE1	DFTATEC LK	DFTATEA TCLK	DFTSE	TESTMOD E_SC	OTG_DM	XTO_32K	DDR1_GN DQ	DDR1_DQ S2	DDR1_DQ 26	DDR1_DQ 27	DDR1_DQ 22
AT	WIRQ0	BOOT1	NRST_WA RM	NVMODE 1	JMODE0	CLKOUT	NBISTRES ET	DFTATEP CLKVSO C	DFTWSE	DFTTEST MODE	TESTMOD E	OTG_DP	XTI_32K	DDR1_GN DQ	DDR1_DQ S_B2	DDR1_DQ 24	DDR1_DQ 25	DDR1_DQ 20
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18

Рисунок 33.2. Расположение выводов на корпусе (левый нижний угол)

19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36		
GPIOC14/ VPIN_VDI N14	VPIN_FSY NC0	GPIOC30/ VPIN_RST O0	GND	VPIN_PIX CLKO0	SW1_DIN P	SW1_SINP	SW1_SOU TP	SW1_DOU TP	VPOUT_V CLK	VPOUT_V DO2	VPOUT_V DO7	VPOUT_V DO11	VPOUT_V VDO15	VPOUT_V DO17	VPOUT_V DO19	VPOUT_V DO21	VPOUT_V DO23	A	
GPIOC15/ VPIN_VDI N15	VPIN_FSY NC1	GPIOC31/ VPIN_RST O1	GND	VPIN_PIX CLKO1	SW1_DIN N	SW1_SIN N	SW1_SOU TN	SW1_DOU TN	VPOUT_V SYNC	VPOUT_V DO3	VPOUT_V DO6	VPOUT_V DO10	VPOUT_V VDO14	VPOUT_V DO16	VPOUT_V DO18	VPOUT_V DO20	VPOUT_V DO22	B	
GPIOC20/ VPIN_VDI N20	GPIOC22/ VPIN_VDI N22	GPIOC24/ VPIN_VDI N24	GPIOC26/ VPIN_VDI N26	GPIOC28/ VPIN_VDI N28	SW0_DOU TP	SW0_SOU TP	SW0_SINP	SW0_DIN P	VPOUT_H SYNC	VPOUT_V DO0	VPOUT_V DO4	VPOUT_V DO9	VPOUT_V VDO13	DSL_DATA N0/ CSI1_DAT AN0	DSL_DATA P0/ CSI1_DAT AP0	CSI0_DAT AN0	CSI0_DAT AP0	C	
GPIOC21/ VPIN_VDI N21	GPIOC23/ VPIN_VDI N23	GPIOC25/ VPIN_VDI N25	GPIOC27/ VPIN_VDI N27	GPIOC29/ VPIN_VDI N29	SW0_DOU TN	SW0_SOU TN	SW0_SIN N	SW0_DIN N	VPOUT_V DEN	VPOUT_V DO1	VPOUT_V DO5	VPOUT_V DO8	VPOUT_V VDO12	DSL_DATA N1/ CSI1_DAT AN1	DSL_DATA P1/ CSI1_DAT AP1	CSI0_DAT AN1	CSI0_DAT AP1	D	
MCC_CLK IN	SW0_VDD 25	SW0_ GND25	SW0_ VDD11	SW0_ GND11	SW1_ VDD25	SW1_ GND25	SW1_ VDD11	SW1_ GND11	VDDPST	VDDPST	DSL_GND AC	DSL_GND AC	DSL_VDD AC	DSL_DATA N2/ CSI1_DAT AN2	DSL_DATA P2/ CSI1_DAT AP2	CSI0_DAT AN2	CSI0_DAT AP2	E	
GLN2_Q1	SW0_ VDD25	SW0_ GND25	SW0_ VDD11	SW0_ GND11	SW1_ VDD25	SW1_ GND25	SW1_ VDD11	SW1_ GND11	VDDPST	VDDPST	DSL_GND AC	DSL_GND AC	DSL_VDD AC	DSL_DATA N3/ CSI1_DAT AN3	DSL_DATA P3/ CSI1_DAT AP3	CSI0_DAT AN3	CSI0_DAT AP3	F	
GND	GND	GND	GND	GND	GND	GND	VDDPST	VDDPST	VDDPST	VDDPST	GND	GND	DSL_VDD AC	DSL_CLKP/ CSI1_CLK P	DSL_CLKN / CSI1_CLK N	CSI0_CLK P	CSI0_CLK N	G	
GND	GND	GND	GND	GND	GND	GND	GND	VDDPST	VDDPST	GND	GND	GND	DSL_VDD AC	CSI_GNDA C	CSI_GNDA C	CSI_VDD AC	CSI_VDD AC	H	
GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	CSI_GNDA C	CSI_GNDA C	CSI_VDD AC	CSI_VDD AC	J	
GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	GND	GND	GND	GND	GND	MFBSPP1_ LDAT2	MFBSPP1_L DAT0	MFBSPP1_L ACK	MFBSPP1_ LDAT6	MFBSPP1_ LDAT4	K
VDD	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	GND	GND	GND	MFBSPP1_ LDAT3	MFBSPP1_L DAT1	MFBSPP1_L CLK	MFBSPP1_ LDAT7	MFBSPP1_ LDAT5	L
VDD	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	GND	GND	GND	MFBSPP0_ LDAT2	MFBSPP0_L DAT0	MFBSPP0_L ACK	MFBSPP0_ LDAT6	MFBSPP0_ LDAT4	M
GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	GND	GND	GND	GND	GND	MFBSPP0_ LDAT3	MFBSPP0_L DAT1	MFBSPP0_L CLK	MFBSPP0_ LDAT7	MFBSPP0_ LDAT5	N
GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	GND	GND	GND	GND	GND	DDR0_G NDQ	DDR0_GN DQ	DDR0_GN DQ	DDR0_GN DQ	DDR0_GN DQ	P
VDD	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	GND	GND	GND	DDR0_G NDQ	DDR0_GN DQ	DDR0_GN DQ	DDR0_GN DQ	DDR0_GN DQ	R
VDD	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	GND	GND	GND	DDR0_G NDQ	DDR0_DQ S1	DDR0_DQ S_B1	DDR0_DQ S0	DDR0_DQ S_B0	T
GND	VDD	VDD	GND	GND	VDD	VDD	GND	DDR0_VD DQ	DDR0_VD DQ	GND	GND	GND	GND	DDR0_G NDQ	DDR0_DQ3	DDR0_DQ1	DDR0_DQ 5	DDR0_DQ 7	U

Рисунок 33.3. Расположение выводов на корпусе (правый верхний угол)

GND	VDD	VDD	GND	GND	VDD	VDD	GND	DDR0_VD DQ	DDR0_VD DQ	GND	GND	GND	DDR0_DM 0	DDR0_DQ 0	DDR0_DQ 2	DDR0_DQ 6	DDR0_DQ 4	V
VDD	GND	GND	VDD	VDD	GND	GND	VDD	DDR0_VD DQ	DDR0_VD DQ	GND	GND	GND	DDR0_DM 1	DDR0_DQ 13	DDR0_DQ 15	DDR0_DQ 11	DDR0_DQ 9	W
VDD	GND	GND	VDD	VDD	GND	GND	VDD	DDR0_VD DQ	DDR0_VD DQ	GND	GND	GND	DDR0_PZ Q	DDR0_DQ 12	DDR0_DQ 14	DDR0_DQ 10	DDR0_DQ 8	Y
GND	VDD	VDD	GND	GND	VDD	VDD	GND	DDR0_VD DQ	DDR0_VD DQ	GND	GND	GND	DDR0_AT 0	DDR0_OD T1	DDR0_OD T0	DDR0_DT 01	DDR0_DT 00	AA
GND	VDD	VDD	GND	GND	VDD	VDD	GND	DDR0_VD DQ	DDR0_VD DQ	GND	GND	GND	DDR0_AD D2	DDR0_RA SN	DDR0_AD D10	DDR0_WE N	DDR0_BA 2	AB
VDD	GND	GND	VDD	VDD	GND	GND	VDD	DDR0_VD DQ	DDR0_VD DQ	GND	GND	GND	DDR0_AD D11	DDR0_AD D13	DDR0_AD D12	DDR0_AD D3	DDR0_AD D1	AC
VDD	GND	GND	VDD	VDD	GND	GND	VDD	DDR0_VD DQ	DDR0_VD DQ	GND	GND	GND	DDR0_AD D14	DDR0_AD D15	DDR0_VR EF	DDR0_CK N	DDR0_CK AD	AD
GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	GND	GND	GND	GND	DDR0_AD D5	DDR0_AD D9	DDR0_AD D6	DDR0_AD D7	DDR0_AD D8	AE
GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	GND	GND	GND	GND	DDR0_CA SN	DDR0_BA 1	DDR0_AD D0	DDR0_AD D4	DDR0_BA 0	AF
DDR1_VD DQ	DDR1_VD DQ	DDR1_VD DQ	DDR1_VD DQ	DDR1_VD DQ	DDR1_VD DQ	DDR1_VD DQ	GND	GND	GND	GND	GND	GND	DDR0_CK E0	DDR0_RE SET	DDR0_CK E1	DDR0_CS N0	DDR0_CS N1	AG
DDR1_VD DQ	DDR1_VD DQ	DDR1_VD DQ	DDR1_VD DQ	DDR1_VD DQ	DDR1_VD DQ	DDR1_VD DQ	GND	GND	GND	GND	GND	GND	DDR0_VR EF	DDR0_DQ 19	DDR0_DQ 17	DDR0_DQ 21	DDR0_DQ 23	AH
GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	DDR0_DM 2	DDR0_DQ 16	DDR0_DQ 18	DDR0_DQ 22	DDR0_DQ 20	AJ
GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	DDR0_DM 3	DDR0_DQ 29	DDR0_DQ 31	DDR0_DQ 27	DDR0_DQ 25	AK
GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	DDR0_GN DQ	DDR0_DQ 28	DDR0_DQ 30	DDR0_DQ 26	DDR0_DQ 24	AL
DDR1_VR EF	DDR1_CK E0	DDR1_CA SN	DDR1_AD D5	DDR1_AD D14	DDR1_AD D11	DDR1_AD D2	DDR1_AT 0	DDR1_PZ Q	DDR1_DM 1	DDR1_DM 0	DDR1_GN DQ	DDR1_GN DQ	DDR1_GN DQ	DDR1_DQ S3	DDR0_DQ S_B3	DDR0_DQ S2	DDR0_DQ S_B2	AM
DDR1_DQ 19	DDR1_RE SET	DDR1_BA 1	DDR1_AD D9	DDR1_AD D15	DDR1_AD D13	DDR1_RA SN	DDR1_OD T1	DDR1_DQ 12	DDR1_DQ 13	DDR1_DQ 0	DDR1_DQ 3	DDR1_DQ S1	DDR1_GN DQ	DDR0_GN DQ	DDR0_GN DQ	DDR0_GN DQ	DDR0_GN DQ	AN
DDR1_DQ 17	DDR1_CK E1	DDR1_AD D0	DDR1_AD D6	DDR1_VR EF	DDR1_AD D12	DDR1_AD D10	DDR1_OD T0	DDR1_DQ 14	DDR1_DQ 15	DDR1_DQ 2	DDR1_DQ 1	DDR1_DQ S_B1	DDR1_GN DQ	DDR0_GN DQ	DDR0_GN DQ	DDR0_GN DQ	DDR0_GN DQ	AP
DDR1_DQ 21	DDR1_CS N0	DDR1_AD D4	DDR1_AD D7	DDR1_CK N	DDR1_AD D3	DDR1_WE N	DDR1_DT 01	DDR1_DQ 10	DDR1_DQ 11	DDR1_DQ 6	DDR1_DQ 5	DDR1_DQ S0	DDR1_GN DQ	DDR1_GN DQ	DDR1_GN DQ	DDR1_GN DQ	DDR1_GN DQ	AR
DDR1_DQ 23	DDR1_CS N1	DDR1_BA 0	DDR1_AD D8	DDR1_CK N	DDR1_AD D1	DDR1_BA 2	DDR1_DT 00	DDR1_DQ 8	DDR1_DQ 9	DDR1_DQ 4	DDR1_DQ 7	DDR1_DQ S_B0	DDR1_GN DQ	DDR1_GN DQ	DDR1_GN DQ	DDR1_GN DQ	DDR1_GN DQ	AT
19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	

Рисунок 33.4. Расположение выводов на корпусе (правый нижний угол)

34. СПРАВОЧНАЯ ИНФОРМАЦИЯ

34.1 Электрические характеристики

Таблица 34.1. Рабочие характеристики электропитания

Имя	Описание	Мин.	Ном.	Макс.	Макс. пик-пик шум, мВ	Примечание
VDD	Напряжение питания ядра, В	1.045	1.1	1.155	50	Линии питания от VDD и ALIVE_VDD объединены на кристалле, их следует рассматривать как одно питание.
ALIVE_VDD	Напряжение питания ядра домена ALIVE, В	1.045	1.1	1.155		
APLL_VDDAC	Напряжение питания блоков PLL, В	1.1	1.1	1.2		
CPLL_VDDAC						
DPLL_VDDAC						
SPLL_VDDAC						
SW0PLL_VDDAC						
SW1PLL_VDDAC						
VPLL_VDDAC						
UPLL_VDDAC						
RTC_VDD					Напряжение питания ядра домена RTC, В	1.045
RTC_VDDAC	Напряжение питания драйверов осциллятора 32.768кГц, В	1.045	1.1	1.155		
RTC_VDDPST	Напряжение питания драйверов домена RTC, В	1.62 - 2.25 - 3.0	1.8 - 2.5 - 3.3	1.98 - 2.75 - 3.6		
ALIVE_VDDPST	Напряжение питания драйверов домена ALIVE, В	1.62 - 2.38	1.8 - 2.5	1.98 - 2.63		
VDDPST	Напряжение питания драйверов, В	- 3.0	- 3.3	- 3.6		
DDR0_VDDQ	Напряжение питания драйверов DDRMC0, В	1.7 - 1.425	1.8 - 1.5	1.9 - 1.575	Допускает неподачу питания	
DDR1_VDDQ	Напряжение питания драйверов DDRMC1, В	- 1.283 - 1.14	- 1.35 - 1.2	- 1.425 - 1.30		
OTG_VDD25	Напряжение питания драйверов USBIC, В	2.25	2.5	2.75		
OTG_VDD33		3.0	3.3	3.6		
SW0_VDD11	Напряжение питания цифровой части порта SWIC0, В	1.05	1.1	1.16	Допускает неподачу питания	
SW1_VDD11	Напряжение питания цифровой части порта SWIC1, В					
SW0_VDD25	Напряжение питания драйверов SWIC0, В	2.25	2.5	2.75	Допускает неподачу питания	
SW1_VDD25	Напряжение питания драйверов SWIC1, В					

Имя	Описание	Мин.	Ном.	Макс.	Макс. пик-пик шум, мВ	Примечание
CSI_VDDAC	Напряжение питания драйверов MIPI CSI порта VPIN, В	1.05	1.1	1.16		Допускает неподачу питания
DSI_VDDAC	Напряжение питания драйверов MIPI DSI порта VPOUT, В					
SDMMC0_VDD	Напряжение питания драйверов SDMMC0, В	1.71	1.8	1.89		Допускает неподачу питания
SDMMC1_VDD	Напряжение питания драйверов SDMMC1, В	-	-	-		
		3.0	3.3	3.6		

Таблица 34.2. Электрические характеристики резонатора 24 МГц (ХТІ_24М, ХТО_24М)

Имя	Описание	Мин.	Ном.	Макс.	Примечание
f	Фундаментальная частота, МГц	-	24	-	
	Стабильность частоты, ppm	50			
C _L *	Емкость Cload, пФ		8	12	
Rf	Сопротивление параллельного резистора, МОм		1		Данный резистор, рекомендуется в параллель с кристаллом осцилятора
ESR	Эквивалентное последовательное сопротивление резонатора, Ом	-	-	40	

$$*C_L = (C_{C1} * C_{C2}) / (C_{C1} + C_{C2}) + C_{SHUNT}$$

Таблица 34.3. Электрические характеристики генератора 24 МГц (ХТІ_24М)

Имя	Описание	Мин.	Ном.	Макс.	Примечание
f	Частота, МГц	-	24	-	
	Стабильность частоты, ppm	50			
f _{DC}	Duty цикл, %	н.д.			
f _{JPP}	Джитер пик-пик, %	-	-	2	
t _R	Длительность переднего фронта, нс	-	-	5	
t _F	Длительность заднего фронта, нс	-	-	5	

Таблица 34.4. Электрические характеристики резонатора 32.768 кГц (ХТІ_32К, ХТО_32К)

Имя	Описание	Мин.	Ном.	Макс.	Примечание
f	Фундаментальная частота, МГц	-	32.768	-	
	Стабильность частоты, ppm	200			
C _{C1}	Емкость C1, пФ	10	-	30	
C _{C2}	Емкость C2, пФ	10	-	30	
C _{SHUNT}	Шунтирующая емкость, пФ (C _{0 crystal} +C _{PKG} +C _{PCB})	-			
ESR	Эквивалентное последовательное сопротивление резонатора, Ом	-	50кОм	100кОм	

Таблица 34.5. Электрические характеристики корпуса микросхемы по выводам формирования частоты

Вывод	R(МОм)	L(нГн)	C(пФ)
XTI_24M	647	5.6	0.88
XTO_24M	559	3.7	0.9
XTI_32K	709	6.7	0.98
XTO_32K	673	6.8	0.95

Таблица 34.6. Электрические характеристики драйверов ввода-вывода NANDMPORT, NORMPORT, GEMAC, VPOUT, VPIN, MFBSP0, MFBSP1, GPIO и прочих*

Имя	Описание	Условия	Мин.	Ном.	Макс.
V _{IH}	Входное напряжение высокого уровня, В	U _{CC} = 1,1В±5%, U _{CCP} = 3,3В±10%	2	-	3.6
		U _{CC} = 1,1В±5%, U _{CCP} = 2,5В±10%	1.7	-	
		U _{CC} = 1,1В±5%, U _{CCP} = 1,8В±10%	1.17	-	
V _{IL}	Входное напряжение низкого уровня, В	U _{CC} = 1,1В±5%, U _{CCP} = 3,3В±10%	- 0.3	-	0.8
		U _{CC} = 1,1В±5%, U _{CCP} = 2,5В±10%	-	-	0.7
		U _{CC} = 1,1В±5%, U _{CCP} = 1,8В±10%	-	-	0.63
V _{OH}	Выходное напряжение высокого уровня, В	I _{OH} = - 4 мА, U _{CC} = 1,1В±5%, U _{CCP} = 3,3В±10%	2.4	-	-
		I _{OH} = - 4 мА, U _{CC} = 1,1В±5%, U _{CCP} = 2,5В±10%	1.7	-	-
		I _{OH} = - 4 мА, U _{CC} = 1,1В±5%, U _{CCP} = 1,8В±10%	1.35	-	-
V _{OL}	Выходное напряжение низкого уровня, В	I _{OL} = 4 мА, U _{CC} = 1,1В±5%, U _{CCP} = 3,3В±10%	-	-	0.4
		I _{OL} = 4 мА, U _{CC} = 1,1В±5%, U _{CCP} = 2,5В±10%	-	-	0.7
		I _{OL} = 4 мА, U _{CC} = 1,1В±5%, U _{CCP} = 1,8В±10%	-	-	0.3
I _{LKG}	Ток утечки, мкА	при V _I = 3.3В или 2.5 или 1.8В или 0В	-	-	50
R _{pull-up}	Сопrotивление резистора подтяжки, КОм	при V _I = 3.3В	68	86	132
		при V _I = 2.5В	76	119	195
		при V _I = 1.8В	117	194	331
R _{pull-down}	Сопrotивление резистора подтяжки, КОм	при V _I = 3.3В	52	78	128
		при V _I = 2.5В	63	101	178
		при V _I = 1.8В	91	159	291

* из табл. 33.13

Таблица 34.7. Электрические характеристики драйверов ввода-вывода SDMMC0, SDMMC1

Имя	Описание	Условия	Мин.	Ном.	Макс.
V _{IH}	Входное напряжение высокого уровня, В	U _{CC} = 1,1В±5%, U _{CCP} = 3,3В±10%	2	-	3.6
		U _{CC} = 1,1В±5%, U _{CCP} = 1,8В±10%	1.17	-	
V _{IL}	Входное напряжение низкого уровня, В	U _{CC} = 1,1В±5%, U _{CCP} = 3,3В±10%	- 0.3	-	0.8
		U _{CC} = 1,1В±5%, U _{CCP} = 1,8В±10%	-	-	0.63
V _{OH}	Выходное напряжение высокого уровня, В	I _{OH} = - 4 мА, U _{CC} = 1,1В±5%, U _{CCP} = 3,3В±10%	2.4	-	-
		I _{OH} = - 4 мА, U _{CC} = 1,1В±5%, U _{CCP} = 1,8В±10%	1.35	-	-
V _{OL}	Выходное напряжение низкого уровня, В	I _{OL} = 4 мА, U _{CC} = 1,1В±5%, U _{CCP} = 3,3В±10%	-	-	0.4
		I _{OL} = 4 мА, U _{CC} = 1,1В±5%, U _{CCP} = 1,8В±10%	-	-	0.45
I _{LKG}	Ток утечки, мкА	при V _I = 3.3В или 2.5 или 1.8В или 0В	-	-	10

Имя	Описание	Условия	Мин.	Ном.	Макс.
Rpull-up	Сопротивление резистора подтяжки, КОм	-	43	55	67
Rpulldown	Сопротивление резистора подтяжки, КОм	-	43	54	66

Примечание. Электрические характеристики драйверов ввода-вывода DDRMC0, DDRMC1, USBIC, SWIC0, SWIC1 предварительно соответствуют стандартам JEDEC DDR3, USB 2.0 и SPACEWIRE.

34.2 Энергопотребление

Таблица 34.8. Пиковые токи по цепям питания ⁰⁾

Питание	Пиковый ток, мА
VDD ¹⁾	4500 ⁴⁾
VDDPST ²⁾	Расчетный
DDR0_VDDQ, DDR1_VDDQ	н.д. ³⁾
CSI_VDDAC	н.д. ³⁾
DSI_VDDAC	н.д. ³⁾
SDMMC0_VDD, SDMMC1_VDD	н.д. ³⁾
OTG_VDD33	н.д. ³⁾
RTC_VDD	н.д. ³⁾

0. Приведенные в таблице данные являются справочными и получены в результате измерений на единичных тестовых образцах микросхемы.

1. По факту объединяет питания по выводам VDD, ALIVE_VDD, CPLL_VDDAC, APLL_VDDAC, SPLL_VDDAC, SWIPLL_VDDAC, SW0PLL_VDDAC, DPLL_VDDAC, VPLL_VDDAC, UPLL_VDDAC.

2. По факту объединяет питания по выводам VDDPST, ALIVE_VDDPST.

3. Ток будет определен по результатам дальнейшего тестирования.

4. Предварительно.

Таблица 34.9. Потребление микросхемы по ядру в различных режимах ⁰⁾

Состояние	1.2В по ядру	1.1В по ядру	0.9В по ядру
	Ток по ядру, мА	Ток по ядру, мА	Ток по ядру, мА
По состоянию на момент включения после сброса	н.д.	350	н.д.
Режим простоя ¹⁾	145	116	70
Работа бенчмарка «Whetstone» на двух ядрах CPU	1080 (984 МГц)	900 (840 МГц)	н.д.

0. Приведенные в таблице данные являются справочными и получены в результате измерений на единичных тестовых образцах микросхемы.

1. Режим простоя для микросхемы определяется следующими условиями:

- выключены все частоты микросхемы, кроме частоты CPU (24МГц) и частоты коммутаторов L1_COMM, L3_COMM (АНВ и АРВ шины на 24 МГц);
- отключены домены питания CPU1, DSP, VPU;
- CPU0 в режиме ожидания (инструкция WFI – фактически отключена частота);

- DDR память на плате находится в режиме self-refresh и хранит контекст для быстрого выхода в нормальный режим.

Таблица 34.10. Потребление микросхемы в спящем режиме⁰⁾

Питание	Ток, мкА
RTC_VDD и RTC_VDDAC суммарно	60
RTC_VDDPST	3

0. Приведенные в таблице данные являются справочными и получены в результате измерений на единичных тестовых образцах микросхемы.

Таблица 34.11. Динамическое потребление процессорных ядер микросхемы⁰⁾

Напряжение питания ядра – 1.1 В	
Потребление MPU, в зависимости от задачи, на ядро, мВт/МГц	0,3 ÷ 0,5
Потребление DSP, в зависимости от задачи, на ядро, мВт/МГц	0,5 ÷ 0,8

0. Приведенные в таблице данные являются справочными и получены в результате измерений на единичных тестовых образцах микросхемы.

Таблица 34.12. Статический ток по ядру микросхемы, при напряжении 1.1 В⁰⁾

Температура, С	мин., мА	сред., мА	макс., мА
-60	11	17	28
25	111	137	207
85	546	662	969
125	1175	1708	2508

0. Приведенные в таблице данные являются справочными и получены в результате измерений на единичных тестовых образцах микросхемы.

Таблица 34.13. Доля отключаемых доменов питания в статическом потреблении микросхемы⁰⁾

Домен питания	Доля, %
DSP	14
VPU	7
CPU0	3
CPU1	3
Остальное	73

0. Приведенные в таблице данные являются справочными и получены в результате измерений на единичных тестовых образцах микросхемы.

34.3 Корпус

Механические данные корпуса приведены в документе РАЯЖ.431282.014ГЧ.

Примечание. Необходимость пассивного охлаждения корпуса микросхемы определяется разработчиком РЭА исходя из условий работы микросхемы и конструктива корпуса прибора. Отладочные платы с микросхемой имеют в комплекте опциональный радиатор пассивного охлаждения.

34.4 Скорости работы интерфейсов микросхемы

34.4.1 MFBSР

Таблица 34.14. Максимальная внешняя частота LCLK интерфейса MFBSР ^{0) 1)}

Режим работы MFBSР	Частота LCLK, МГц	Частота MFBSР_ACLK, МГц
LPORT, VDDPST = 1.8В	36	72
LPORT, VDDPST = 2.5В	72	144
LPORT, VDDPST = 3.3В	108	216
SPI (half duplex), VDDPST = 1.8В	48	96
SPI (half duplex), VDDPST = 2.5В	72	144
SPI (half duplex), VDDPST = 3.3В	108	216

0. Приведенные в таблице данные являются справочными и получены в результате измерений на единичных тестовых образцах микросхемы.

1. При емкостной нагрузке на выводах MFBSР 100пФ.

Таблица 34.15 иллюстрирует гарантируемые скорости работы MFBSР (при емкостной нагрузке на выводах MFBSР 50 пФ).

Таблица 34.15

Режим работы MFBSР	Напряжение питания контактных площадок VDDPST	Частота, LCLK, МГц
LPORT tx	1,8 В	48
	2,5 В	72
	3,3 В	108
LPORT rx	1,8 В	48
	2,5 В	72
	3,3 В	108
SPI полудуплекс	1,8 В	48
	2,5 В	72
	3,3 В	108

34.4.2 SWIC

Таблица 34.16. Максимальная скорость передачи данных по SWIC между микросхемами 1892ВМ14Я и 1892ВМ15Ф ⁰⁾

Соединение	Установленная максимальная скорость передачи, Мбит/с	Реальная максимальная скорость передачи, Мбит/с
1892ВМ14Я и 1892ВМ15Ф	504	510
1892ВМ14Я и 1892ВМ14Я	888	884

0. Приведенные в таблице данные являются справочными и получены в результате измерений на единичных тестовых образцах микросхемы.

35. ИСТОРИЯ ИЗМЕНЕНИЙ

35.1 Версия от 03.11.2015

- добавлены содержания глав VPOUT, USBIC, Справочная информация;
- различные уточнения и дополнения по всему объему текста.

35.2 Версия от 08.12.2015

- различные уточнения и дополнения по всему объему текста;
- добавлено содержание главы 15.

35.3 Версия от 25.12.2015

- различные уточнения и дополнения по всему объему текста.

35.4 Версия от 12.02.2016

- в главе 31(SPI) исправлено описание регистра BAUDR;
- в главе 33(Выводы) уточнены описания выводов OTG_DRV_VBUS и XTI_32K;
- из главы 15(DDRMС) убрано некорректное упоминание о поддержке LPDDR3 и разводке в формате flyby;
- различные уточнения и дополнения по всему объему текста.

35.5 Версия от 16.03.2016

- в главе 21 (VPIN) добавлены названия к рисункам 21.20, 21.26, 21.39 и таблицам 21.12, 21.13, 21.18;
- в главе 22 (VPOUT) скорректированы перекрестные ссылки на рисунки 22.2, 22.3;
- маркированные и нумерованные списки приведены к единому стилю.

35.6 Версия от 03.08.2016

- глава 2:
 - уточнен размер загружаемого блока памяти в режиме загрузки из NAND-флэш;
 - добавлен адрес регистра MUX_CLKOUT;
 - добавлены временные диаграммы входа в режим глубокого сна и выхода из него;
 - добавлено уточнение о режиме ECC в режиме загрузки из NAND-флэш;
 - уточнена информация по частотам NAND_SCLK и NOR_SCLK;
- глава 3:
 - уточнен список регистров контроллера кэш-памяти;
- глава 4:
 - уточнена таблица с адресами регистров XBUF;
 - уточнено описание регистров IRQR и DSTART;
- глава 6:
 - удалено описание несуществующих регистров ядра VELcore-01;

- уточнено описание регистров A0I и AICUR;
- уточнены адреса регистров VDMA;
- уточнена карта памяти ядра VELcore-01 в части адресов памяти VRAM;
- глава 15:
 - добавлено описание части регистров порта DDR PHY;
- глава 17:
 - уточнены названия частот NFC_SLCK, NFC_HLCK;
 - уточнены значения регистров для различных режимов работы с флэш-памятью;
- глава 20:
 - уточнен максимальный адресуемый объем носителя, подключаемого к порту SDMMC;
- глава 21:
 - исправлены формулы расчета scaling;
 - добавлены диапазоны значений матриц;
- глава 24:
 - описание контроллера SpaceWire изменено на корректное;
- глава 33:
 - уточнено исходное состояние мультиплексируемых выводов микросхемы после ресета;
 - добавлен допустимый номинал 1.8В для DDR VDDQ;
- глава 34:
 - добавлен допустимый номинал 1.8В для DDR VDDQ.

35.7 Версия от 02.08.2017

- удалено слово «Предварительно» (rf#3439);
- изменено название организации на АО НПЦ «ЭЛВИС»;
- глава 1:
 - скорректированы названия ядер ELcore-30M, VELcore-01, DELcore-30M (rf#1315, rf#6082);
 - скорректировано количество каналов PWM (rf#2512);
 - удалено упоминание о работе с 16-разрядной NAND-флэш (#3072);
 - скорректирован рисунок 1.1 (rf#3082, rf#4851);
 - уточнены параметры портов SpaceWire (rf#4829);
- глава 2:
 - исправлена формула расчета скорости обмена в разделе 2.8.3 (rf#2235);
 - исправлен размер копируемых данных в режиме загрузки из NAND-флэш (rf#1654);
 - в раздел 2.1 добавлено указание о возможности доступа во внутреннюю память только по адресам, выровненным по границе слова (rf#3211);
 - удалено упоминание регистра SYS_PWR_DOWN из раздела 2.4.4.2, т.к. функционал данного регистра не реализован (rf#3459);
 - удалены упоминания регистров WKP_ICLR, WKP_ISTAT, WKP_IRSTAT, WKP_IMASK, т.к. функционал данных регистров не реализован (rf#3458);
 - убрано описание регистра ACP_CTR и режима когерентности DMA (rf#3356);
 - удалено упоминание события «wakeur», так как оно не реализовано (rf#2857);

- скорректировано размещение стека BootROM на диаграмме размещения образа в памяти RAM (rf#3911);
- добавлены ограничения на образ U-Boot, загружаемый загрузчиком BootROM в режиме SPI, а также ограничения команды commitspiflash (rf#3636);
- добавлена информация об использовании вывода GPIO6 загрузчиком BootROM при возникновении критической ошибки во время загрузки (rf#3511, rf#1354, rf#3927);
- указан источник частоты для блоков MFBS (rf#2942);
- исправлен раздел RAM на рисунке с доменами питания микросхемы (rf#3341);
- глава 3:
 - добавлено описание частоты PERIPHCLK (rf#1819);
 - добавлены рекомендуемые значения задержек памяти тегов и памяти данных кэш-памяти L2 (rf#2031);
- глава 6:
 - скорректировано описание регистра CS (rf#3771);
- глава 8:
 - добавлены примечания об отсутствии реализации интерфейса запросов SDMA (rf#2747);
- глава 9:
 - скорректировано описание организации пересылок DMA (rf#2490);
- глава 12:
 - исправлено название частоты (упоминаемая SPLCLK – на L3_PCLK) (rf#2578);
- глава 13:
 - исправлено значение регистра RRTC_ID (rf#3215);
- глава 14:
 - исправлено название частоты (упоминаемая SPLCLK – на L3_PCLK) (rf#2578);
- глава 15:
 - исправлено описание регистра DRAMTMG8 (rf#3055);
 - исправлена опечатка – «Master/Slave PLL» заменено на «Master/Slave DLL» (rf#3088);
 - дополнено описание режима округления при расчете таймингов в таблицах 15.13 и 15.72 (rf#2884);
- глава 16:
 - расширено описание преобразования адресов в NORMPORT;
 - добавлено явное указание о поддержке только 16-разрядного режима работы (rf#3599);
 - уточнено описание полей регистров, задающих ширину шины данных (rf#3602);
- глава 17:
 - удалены упоминания о поддержке 16-разрядной NAND-флэш (rf#3072);
 - уточнены названия режимов коррекции ошибок (HAM/BCH вместо ранее использовавшихся SLC/MLC) (rf#3350);
 - добавлена формула расчета ecc_addr (rf#3349);
 - добавлен раздел «Чтение стертых страниц с ECC (rf#3347)»;

- добавлены допустимые схемы подключения NAND-флэш (rf#1566);
- уточнена размерность пакета данных в разделе 17.7.1.2 (rf#4450);
- глава 20:
 - исправлено название DMA в таблице 20.7 (rf#2400);
 - указана спецификация JEDEC eMMC, которой соответствует блок SD/MMC (rf#3374);
- глава 22:
 - добавлено описание ряда регистров DSI, алгоритма инициализации DSI, схема частот и ресетов, описание PLL DPHY, пример расчета DPI-таймингов, примеры значений параметров DPHY для разных частот, описание регистров Trim в части управления PLL DPHY, допустимые значения таймингов DPHY (rf#2804);
- глава 23:
 - удалено упоминание об отсутствующем регистре CLK_EN (rf#5066);
- глава 24:
 - уточнено несоответствие стандарту ECSS-E-50-12C в части скорости, на которой устанавливается соединение, а также уточнен диапазон поддерживаемых скоростей обмена (rf#4829);
 - добавлена рекомендация по подключению fail-safe-резисторов (rf#1006);
- глава 25:
 - указан источник тактовой частоты для блока DMA MFBSP (rf#2943);
- глава 26:
 - удалено упоминание бита PRESCEN регистра CLKCTL, так как он не реализован (rf#2709);
 - удалено упоминание о возможности использовать альтернативную входную частоту блока, так как такая возможность не реализована (rf#5228);
 - уточнено описание задержки фазы (rf#3487);
 - исправлена опечатка в названии бита DIVMUX регистра CLKCTL (rf#2708);
 - исправлена опечатка в названии регистра CTRSTS (rf#2707);
 - скорректировано название частоты, тактирующей блок PWM (rf#5228);
 - уточнена используемая терминология (модуль, подмодуль, блок) (rf#5356);
- глава 28:
 - исправлено название частоты (упоминаемая SPLLCCLK – на L3_PCLK) (rf#2578);
 - в описании вывода GPIOD26 добавлен режим PWM (rf#5210);
- глава 29:
 - исправлено название частоты (упоминаемая SPLLCCLK – на L3_PCLK) (rf#2578);
- глава 30:
 - исправлено название частоты (упоминаемая SPLLCCLK – на L3_PCLK) (rf#2578);
 - скорректировано описание регистров RRBR0, TCR, RCR (rf#2811, rf#2813);
 - добавлено описание регистров I2S_COMP_PARAM_1, I2S_COMP_PARAM_2, I2S_COMP_TYPE, I2S_COMP_VERSION (rf#2752);
- глава 31:

- исправлено название частоты (упоминаемая SPLLCCLK – на L3_PCLK) (rf#2578);
- глава 33:
 - добавлено описание работы выводов PWM_TU0 и PWM_TU1 (rf#2540);
 - добавлено описание выводов DTO, АТО (rf#2439);
 - уточнено описание вывода GPIO6 (rf#3511, rf#1354);
- глава 34:
 - добавлена информация о подключении кварцевого резонатора (rf#2941);
 - указаны номиналы встроенных pull-up-резисторов блока SD/MMC (rf#3888);
 - скорректированы допустимые номиналы питающих напряжений (rf#2061);
 - добавлена информация о максимальной частоте передачи данных по MFBS (rf#1126).

35.8 Версия от 02.10.2017

- глава 1:
 - скорректированы названия ядер ELcore-30M, VELcore-01, DELcore-30M (rf#1315, rf#6082);
 - скорректировано оформление рисунка 1.1. (rf#1315, rf#6082);
- глава 2:
 - добавлено описание начального загрузчика Bootrom для 1892BM14Я;
 - уточнена логика работы сброса и процедуры BOOT (rf#2858);
 - уточнены обозначения регистров контроллера управления питанием;
 - удалено упоминание о загрузке по USB, так как такая возможность не реализована (rf#5536);
- глава 4:
 - скорректированы названия ядер ELcore-30M, VELcore-01, DELcore-30M (rf#1315, rf#6082);
 - дополнено описание аппаратного JPEG-ускорителя (rf#4979);
- глава 15:
 - добавлена программная модель DDR PHY;
- глава 17:
 - скорректированы алгоритмы работы с контроллером NAND (rf#6595);
- глава 18:
 - добавлено описание регистра PCGCCTL;
 - удалено упоминание о возможности обращения к FIFO USBIC, так как такая возможность не реализована (rf#6405);

35.9 Версия от 01.08.2019

- глава 1:
 - скорректирован пункт 1.2.1 (rf#9565);
- глава 2:
 - в табл. 2.22 в скобках добавлено наименование частот по AENB.431280.032TY (rf#9560);
 - таблица 2.38: поправлено название - MIPIDSYPLLCLK->MIPIDSICLK (rf#10936);
 - 2.8.8.4 - исправлена ссылка (rf#7378);
 - 2.4.4.14 - исправлено название регистра на NVMODE (rf#9823);
 - таблица 2.82, исправлена неточность в описании заголовка Simple Header (rf#10263);
 - 2.8.6 – скорректировано название раздела (убрано первое слово «Приложение А» и обновлены ссылки на него, аналогично переименованы разделы главы, начинающиеся со слова «Приложение...» и обновлены ссылки на них (rf#6928);
 - скорректирована таблица 2.22 (rf#9560);
 - 2.8.4.1 – удалены команды WRITE DISABLE (0x04), BULK ERASE (0xC7), слово «карт» заменено на «памятей» (rf#1258);
- глава 3:
 - приведены в соответствие названия технологий и синонимов (rf#10628);
 - исправлена таблица 3.9 (rf#11277);
 - исправлено наименование регистра ICCIDR на ICCIIDR (rf#11791);
- глава 4:
 - исправлено количество DSP-ядер (rf#9920);
 - в таблицу 4.22 и в разделы 4.10.15, 4.10.16 введен регистр QMASKR3 с адресом BASE+0x017C (rf#9958);
 - исключены регистры запросов прерываний QSTR0, QSTR1, QSTR2 (rf#9958);
 - изменено название и существенно сокращен текст п.4.3.2 (rf#11502);
 - исключены рис.4.4 и рис.4.5, в результате изменились номера рисунков и ссылок на них по всей главе 4 (rf#11502);
 - из табл.4.6 исключен параметр PMCONFIG (rf#11502);
- глава 6:
 - исправлены таблицы 6.57, 6.61 в части описания поля cbs_len (rf#10949);
 - скорректирована таблица 6.14 (rf#1232);
 - исправлены орфографические ошибки (rf#10721);
 - в 6.3.3 добавлено дополнение о приоритетности аппаратно формируемых флагов (rf#11257);
 - в 6.4.7.5.2, 6.4.7.6.2 добавлены изменения касательно описания результатов выполнения заданий кодирования блока EC (rf#10929);
 - таблица 6.27: исправлен адрес регистра DMA_MODE, добавлена строка с адресом регистра DMA_IMEM_RDY (rf#10962);
 - уточнена формулировка п.6.1.2(6) (rf#1049);
 - в 6.4.3 добавлены сведения о наличии зависимости регистров потоков VPU и регистров ECD; добавлен раздел 6.4.7.17, подробно описывающий эти зависимости (rf#10928);
 - добавлены рисунки 6.11 и 6.12 (rf#1233);
 - скорректирована таблица 6.70 (rf#1233);

- глава 14:
 - исправлено название столбцов таблицы 14.1 (rf#10121);
- глава 16:
 - исправлено название таблицы 16.1;
 - исправлено значение состояния по сбросу регистра SMC_SRAM_CYCLES_0 (rf#9374);
- глава 17:
 - скорректирована таблица 17.32 (rf#11534);
- глава 18:
 - исправлены названия таблиц 18.14 и 18.15 (rf#9687);
 - исправлены таблицы 18.1, 18.10-18.13, 18.70, удалено описание регистров, GPVNDCTL, GGPIO, GLPMCFG, GPWRDN, DPTXFSIZn, DTKNQR1, DTKNQR2, DTKNQR3 (rf#10264);
 - таблица 18.3: скорректировано описание бита 27 (резерв) (rf#9687);
- глава 19:
 - удален раздел 19.5.10 в связи с отсутствием данного функционала, удалены описания полей MAC_Global_Control_Register[Unicast_Wakeup_Mode] и MAC_Global_Control_Register[Magic_Packet_Wakeup_Mode], см. п. 19.3.1.17 MAC Global Control Register (rf#11284);
 - исправлена опечатка в разделе 19.5.8.1 (rf#11091);
 - исправлен раздел 19.1.3 в части глубины FIFO (rf#10995);
 - раздел 19.5: исправлена поддерживаемая длина Jumbo пакетов до 4096 байт (rf#11140);
 - раздел 19.5.7: исправлено значение увеличения поля MaxFrameLen (rf#10975);
 - исправлен адрес регистра DMA Stop Flush Counter Register;
 - таблица 19.66: исправлено значение исходного состояния регистра (rf#11142);
 - таблица 19.4: исправлено назначение бита Transmit Descriptor Unavailable IRQ (rf#11178);
 - исправлен раздел 19.2.2 в части глубины FIFO EMAC_RXFIFO и EMAC_TXFIFO (rf#11140);
 - удалено упоминание «Управление питанием через Magic Packet и Wake-Up фрейм» (rf#11284);
- глава 20:
 - уточнено название столбца таблицы 20.54 (rf#11148);
 - добавлены рисунки 20.3, 20.4, внесены уточнения в описания RxClk Delay Module, TxClk Delay Module (rf#10988);
 - скорректирована нумерация рисунка в разделе 2.6.8;
- глава 21:
 - добавлены разделы 21.10, 21.11, 21.12, по главе 21 обновлены на них ссылки (rf#6928);
 - исправлено форматирование таблицы 21.127, удален суффикс «Н» в написании шестнадцатиразрядных чисел; «Регистр готовности прибора» переименован в «Регистр готовности»; заголовок главы 21.9 и Таблица 21.127 упразднены. (rf#8212);
- глава 22:
 - исправлены неточности в описании регистров (rf#2166);

- исправлена таблица 22.1 – начальные адреса памяти аппаратного курсора и память палитры (rf#8962);
- раздел 22.2 – пояснены понятия и термины (rf#10526);
- скорректирована таблица 22.1 в части HWC_MEM, PAL_MEM (#rf8962);
- в разделе 22.2.9.2 – удален последний абзац, добавлено название рисунка 22.7 (rf#10526);
- глава 24:
 - в таблице 24.23 скорректировано назначение битов регистра MOCE_CR2 (rf#9080);
 - таблица 24.6: изменено название бита 6 регистра MODE_CR и скорректировано его описание (#11209);
- глава 28:
 - исправлена таблица 28.26 (rf#8976);
- глава 29:
 - исправлено назначение битов записи-чтения в таблице 29.6 (rf#6169);
 - таблица 29.1 – исправлено название регистра IC_TX_ABRT_SOURCE, названия таблиц 29.30, 29.34; скорректирована таблица 29.34 в части бита 5 (rf#11564);
- глава 30:
 - таблицах 30.15, 30.16 скорректировано назначение значения «000» (rf#2814);
- глава 31:
 - удалено описание работы контроллера SSI в режиме SSP (rf#7863);
- глава 32:
 - в таблицах 32.15 и 32.16 скорректировано количество адресов обращения (rf#10942);
 - в таблице 32.17 скорректировано значение TFNF (rf#8065);
 - добавлено пояснение в таблице 32.20 (rf#8067);
 - таблица 32.17: скорректировано назначение бита RFNE регистра USR (rf#12037);
 - таблица 32.1: добавлены выводы RTSN/CTSN (rf#12036);
 - таблицы 32.16, 32.23, 32.24, 32.25 – скорректированы условные обозначения (rf#12033, rf#12034);
 - таблица 32.8 скорректирована (rf#12032);
- глава 33:
 - в Таблице 33.13 скорректировано назначение выводов «ГЛОНАСС» (rf#11048);
- глава 34:
 - уточнена таблица 34.2 (rf#9564);
 - данные в таблицах 34.1, 34.6, 34.7, 34.8 приведены в соответствие с таблицами 2.1 и 2.2 ТУ (rf#9563, #9561);
 - уточнена таблица 34.15: в третьем столбце дана частота LCLK (rf#1126).

35.10 Версия от 01.12.2019

- глава 1:
 - введено единое название «GEMAC» (rf#9292);
 - рисунок 1.1 скорректирован в части названия DSP-кластера (rf#12529);
 - удалено упоминание об «экономном режиме» (rf#5328);
 - скорректированы максимальные тактовые частоты в соответствии с ТУ;
- глава 2:
 - раздел 2.4.3.3 – режим «экономный» переименован в режим «глубокого сна» (rf#5328);
 - раздел 2.8.8 перемещен в документ «Микросхема интегральная 1892ВМ14Я. Перечень ограничений» (rf#11731);
 - скорректированы названия таблиц 2.63 и 2.64 (rf#11618);
 - таблица 2.32, скорректирован размер полей (rf#11590);
 - введено единое название «GEMAC» (rf#9292);
 - таблица 2.22 скорректирована в части максимальных значений частот для SDMMC0_HCLK и SDMMC1_HCLK (rf#11158), скорректировано наименование сигнала (rf#12535);
 - таблица 2.34, удалено упоминание сигнала L2_ACLK (rf#12534);
 - таблица 2.77 скорректирована в части источника и модуля прерывания MPU_IRQS67 от UART3 (rf#12508);
 - таблица 2.6.2 скорректировано назначение битов NVMODE (rf#9824);
 - таблица 2.36, скорректировано описание бита PWM_EN (rf#12856);
- глава 3:
 - раздел 3.7.1.1 Тактовая частота контроллера прерываний удален (rf#12416);
- глава 4:
 - раздел 4.1 – скорректировано название DSP-кластера (rf#12529), скорректирована пиковая суммарная производительность DSP-кластера;
 - скорректировано название DSP-ядра (rf#12529);
- глава 6:
 - добавлены дополнительные сведения в раздел 6.4.7.16 (PARSER) (rf#123359);
 - таблица 6.10, внесены уточнения в описания флагов EV22, EV23 (rf#12359);
 - таблица 6.11, внесены уточнения в описания флагов EV30, EV31 (rf#12359);
 - таблица 6.16, внесены уточнения в описания битов управления M6EOF, M7EOF регистра TASK. Бит управления M7POS исключен (rf#12359);
 - исправлены неточности описания блока ECD (rf#10929);
- глава 8:
 - удалены описания команд DMAFLUSHP, DMALDP, DMASTP, DMAWFP, так как интерфейс запросов не используется (rf#2747);
 - скорректировано количество разрядов регистров INTEN (табл. 8.4), INT_EVENT_RIS (табл. 8.5), INTMIS (табл. 8.6), INTCLR (табл. 8.7) (rf#10010);
- глава 15:
 - скорректирована таблица 15.76 – удален регистра ADDRMAP8 в связи с неиспользуемостью (rf#4522);
 - скорректирована таблица 15.130 - исправлено наименование поля разрядов 17:12 регистра DRAMTMG3 (rf#12394);
 - таблицы 15.127, 15.128 – скорректированы разряды (rf#4522);

- исправлены поля регистров DRAMTMG0, DRAMTMG5, DFITMG1, ADDRMAP1, ODTCFG. Удален регистр DRAMTMG12 как недействительный (rf#4522);
- глава 16:
 - скорректирована таблица 16.20 (поменяны местами описания разрядов 2 и 3) (rf#11628);
- глава 17:
 - раздел 17.5, скорректировано наименование сигнала (rf#12535);
- глава 19:
 - таблица 19.64: в поле «Transmit Packet Start Threshold» добавлена фраза «Записывать значения выше 1518 запрещается.» (rf#12302);
- глава 21:
 - в раздел 21.4.1.2.1 внесено соответствие сигналов DP_DATA0/DN_DATA0, DP_DATA1/DN_DATA1, DP_DATA2/DN_DATA2, DP_DATA3/DN_DATA3 внешним выводам (rf#12218);
 - внешние сигналы VPIN переименованы из PVI в VPIN_VDIN (rf#12146);
 - скорректированы ссылки (rf#12048);
- глава 21:
 - скорректировано количество каналов PWM (rf#2541);
- глава 22:
 - раздел 22.1.4.3, таблица 22.4: описание скорректировано в соответствии со стандартом VESA DMT, уточнено описание бита PINV (rf#6377)
- глава 25:
 - бит RDY_MODE переименован в LINK_RESET (rf#12561);
- глава 26:
 - скорректированы рисунки 26. 1 и 26.4, 26.6, 26.11, 26.12 и количество каналов по тексту, в таблице 26.7 (rf#2541);
- глава 28:
 - таблица 28.26 скорректирована (rf#9362);
- глава 29:
 - таблица 29.38: скорректировано назначение бита DMARDL (rf#12776);
- глава 30:
 - таблица 30.8: скорректировано условное обозначение регистра (rf#12684);
 - таблица 30.299: скорректировано назначение регистра (rf#12685);
- глава 31:
 - таблица 31.1: скорректировано название регистра (rf#12505);
 - таблица 31.5: добавлено описание битов (31-3) (rf#12505);
 - таблицы 31.8-31.11, 31.19: уточнен размер полей (rf#12505);
- глава 32:
 - исправлена опечатка в разделе 32.2.11 (неверное наименование регистра) (rf#12372);
- глава 33:
 - таблица 33.8: скорректировано описание вывода OTG_VBUS (rf#1120);
 - введено единое название «GEMAC» (rf#9292);
 - внешние сигналы VPIN переименованы из VPIN_VDI в VPIN_VDIN (rf#12146);

- таблица 33.16: в соответствии с АЕНВ.431280.032ТУ удалено значение напряжения «1.2» для сигналов ALIVE_VDD, RTC_VDD, RTC_VDDAC, CSI_VDDAC, DSI_VDDAC, SW0_VDD11, SW1_VDD11, CPLL_VDDAC, APLL_VDDAC, SPLL_VDDAC, SW1PLL_VDDAC, SW0PLL_VDDAC, DPLL_VDDAC, VPLL_VDDAC, UPLL_VDDAC, VDD (rf#12214);
- глава 34:
 - добавлена ссылка на документ РАЯЖ.431282.014ГЧ (rf#10176);
 - введено единое название «GEMAC» (rf#9292);
 - таблица 34.1: в соответствии с АЕНВ.431280.032ТУ удалено значение напряжения «1.2» для сигналов SW0_VDD11, SW1_VDD11, CSI_VDDAC (rf#12214).

35.11 Версия от 15.05.2020

- глава 1:
 - удалено упоминание о функции реконфигурации памяти и данных (rf#13270);
 - скорректирован рисунок 2.3 (rf#12532);
- глава 2:
 - добавлены примечания к разделу 2.8.4.1 (rf#13170);
 - раздел 2.8.4: удален список производителей памятей (rf#13088);
 - скорректирован рисунок 2.3 (rf#12532,12533);
 - таблица 2.35 – скорректировано наименование частоты (rf#12833);
- глава 3:
 - скорректировано название раздела 3.8 (rf#13267);
 - скорректировано примечание к рисункам 3.40 и 3.41 (rf#12787);
- глава 16:
 - раздел 16.2.14: скорректирована ссылка (rf#13261);
- глава 22:
 - скорректирована таблица 22.58 в части названия параметра THS-EXIT (rf#12891);
- глава 23:
 - добавлено примечание под рисунком 23.1 (rf#13594);
 - разделы 23.1.1, 23.1.2 – добавлен пропущенный знак степени (rf#13639);
 - раздел 23.2.2 – скорректирован текст (rf#13638);
- глава 26:
 - заменен рисунок 26.13 (rf#12852);
- глава 30:
 - скорректировано описание регистра ITER (rf#12682);
 - скорректировано название таблицы 30.7 (rf#12683);
- глава 32:
 - скорректировано название таблицы 32.7 (rf#13268);
- глава 33:
 - скорректирована таблица 33.6 (rf#13641).