

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ 1892ВМ15Ф, 1892ВМ15АФ

РУКОВОДСТВО ПОЛЬЗОВАТЕЛЯ

РАЯЖ.431282.016Д17

ОГЛАВЛЕНИЕ

1. ВВЕДЕНИЕ.....	11
1.1 Назначение.....	11
1.2 Функциональные параметры и возможности.....	12
1.3 Структурная схема.....	17
1.4 Инструментальное программное обеспечение	19
1.5 Операционная система для микросхемы 1892ВМ15Ф.....	19
2. СИСТЕМНАЯ ОРГАНИЗАЦИЯ МИКРОСХЕМЫ	20
2.1 Карта памяти микросхемы	20
2.1.1 Карта доступа CPU, DSP, DMA к памяти и регистрам периферии.....	44
2.2 Система синхронизации	45
2.2.1 Входы синхронизации и умножители частоты	45
2.2.2 Управление работой PLL.....	47
2.2.3 Отключение и включение тактовой частоты.....	49
2.3 Контроллер прерываний.....	52
2.4 Системные регистры.....	57
2.5 Процедура начальной загрузки	58
2.6 Логика взаимодействия CPU и DSP	58
2.6.1 Функции CPU	58
2.6.2 Функции DSP	59
3. ЦЕНТРАЛЬНЫЙ ПРОЦЕССОР.....	60
3.1 Основные характеристики CPU.....	60
3.2 Блок-схема	60
3.3 Составляющие логические блоки.....	61
3.3.1 Устройство исполнения.....	61
3.3.2 Устройство умножения/деления (MDU).....	62
3.3.3 Системный управляющий сопроцессор.....	62
3.3.4 Сопроцессор арифметики в формате с плавающей точкой (FPU)	62
3.3.5 Устройство управления памятью (MMU).....	62
3.3.6 Контроллер кэш.....	62
3.3.7 Устройство шинного интерфейса (BIU – Bus Interface Unit).....	63
3.3.8 OnCD контроллер.....	63
3.4 Конвейер	63
3.4.1 Стадии конвейера	63
3.4.2 Операции умножения и деления.....	65
3.4.3 Задержка выполнения команд перехода (Jump, Branch)	65
3.4.4 Обходные пути передачи данных (Data bypass).....	66
3.4.5 Задержка загрузки данных	68
3.5 Сопроцессор арифметики в формате с плавающей точкой (FPU).....	69
3.5.1 Введение.....	69
3.5.2 Регистры FPU.....	69
3.5.3 Исключения FPU	78
3.5.4 Время выполнения команд FPU.....	83
3.6 Устройство управления памятью (MMU)	83
3.6.1 Введение.....	83
3.6.2 Режимы работы.....	84
3.6.3 Буфер быстрого преобразования адреса (TLB).....	91

3.6.4	Преобразование виртуального адреса в физический в режиме TLB	94
3.7	Исключения	100
3.7.1	Условия исключений	100
3.7.2	Приоритеты исключений.....	101
3.7.3	Расположение векторов исключений	101
3.7.4	Обработка общих исключений	102
3.7.5	Исключения	104
3.7.6	Алгоритмы обработки исключений.....	112
3.8	Регистры CP0.....	115
3.8.1	Назначение	115
3.8.2	Обзор регистров CP0.....	116
3.8.3	Регистры CP0	117
3.9	Кэш.....	134
4.	ЦИФРОВОЙ СИГНАЛЬНЫЙ ПРОЦЕССОР	136
4.1	Введение	136
4.2	Основные технические характеристики DSP-кластера DELcore-30МН	136
4.3	Структурная схема.....	137
4.3.1	Внешний интерфейс DSP-кластера DELcore-30МН.....	139
4.3.2	Организация работы DSP-кластера DELcore-30МН.....	139
4.4	Организация памяти	140
4.4.1	Карта памяти.....	141
4.4.2	Дисциплина отработки одновременных обращений к общему полю памяти данных со стороны DSP-ядер (арбитраж).....	143
4.4.3	Доступ DSP кластера к ресурсам процессора	143
4.4.4	Контроллеры Хэмминга памяти DSP	146
4.5	Регистры управления и состояния DELcore-30МН	152
4.5.1	Регистр маски прерываний (MASKR_DSP)	152
4.5.2	Регистр запросов прерываний (QSTR_DSP)	153
4.5.3	Регистр управления и состояния (CSR_DSP).....	153
4.5.1	Счетчик тактов (TOTAL_CLK_CNTR).....	154
4.5.2	Счетчик тактов в состоянии RUN (TOTAL_RUN_CNTR).....	154
4.5.3	Регистр запросов прерываний (QSTR_HEM_DSP).....	155
4.6	Буфер обмена XBUF	155
4.6.1	Регистр флагов обмена EFR	156
4.6.2	Режимы обменов с XBUF	156
4.7	Структурная схема DSP-ядра ELcore-30М.....	157
4.8	Программная модель DSP-ядра ELcore-30М.....	157
4.9	Вычислительная секция (ALU).....	160
4.9.1	Операционные блоки (MS/SH, FMU, AU/LU, FASU).	160
4.9.2	Регистровый файл	160
4.9.3	Регистры-аккумуляторы	162
4.9.4	Регистр PDNR.....	163
4.9.5	Регистр CCR.....	163
4.10	Устройства генерации адресов памяти данных (AGU,AGU-Y).....	165
4.10.1	Архитектура AGU.....	165
4.10.2	Программная модель AGU.....	167
4.10.3	Архитектура AGU-Y.....	168
4.10.4	Программная модель AGU-Y	169
4.10.5	Назначение регистров адресных генераторов.....	169
4.10.6	Типы адресной арифметики.....	170

4.10.7	Особенности X- и Y- указателей	172
4.10.8	Разрядность адресной арифметики	173
4.10.9	Регистр адреса вектора прерывания IVAR.....	173
4.11	Устройство программного управления (PCU)	173
4.11.1	Архитектура PCU.....	173
4.11.2	Назначение и состав PCU.....	174
4.11.3	Регистр управления и состояния DCSR.....	176
4.11.4	Программный счетчик PC	176
4.11.5	Регистр состояния SR	176
4.11.6	Регистр-идентификатор IDR.....	178
4.11.7	Регистр адреса окончания цикла LA.....	178
4.11.8	Регистр счетчика циклов LC	178
4.11.9	Стеки SS, CSL, CSH.....	178
4.11.10	Регистр указателей стека SP	179
4.11.11	Регистры адреса останова SAR, SAR1-SAR7.....	179
4.11.12	Счетчик команд CNTR	179
4.11.13	Регистры управления прерываниями и DMA-обменами	180
4.11.14	Механизм обработки прерываний	180
4.11.15	Регистр запросов на прерывание DSP (IRQR)	181
4.11.16	Регистры масок запросов на прерывание DSP (IMASKR, QMASKR0, QMASKR1, QMASKR2, QMASKR3).....	182
4.11.17	Регистр запуска DMA со стороны DSP (DSTART)	182
4.11.18	Регистр таймера (TMR)	183
4.11.19	Регистр управления локальным арбитром (ARBR).....	183
4.11.20	Регистр спецфункций (SFR).....	186
4.11.21	Отладочные регистры.....	187
4.11.22	Регистр dbDCSR.....	188
4.11.23	Регистры dbSAR, dbSAR1-dbSAR7	189
4.11.24	Регистр dbCNTR.....	189
4.11.25	Регистр Cnt_RUN	189
4.12	Программный конвейер DSP-ядра ELcore-30M.....	190
4.13	Перечень адресуемых регистров DSP-кластера.....	192
5.	БЛОК АППАРАТНЫХ УСКОРИТЕЛЕЙ (ACC).....	198
5.1	Состав и структурная схема.....	198
5.1.1	Регистры схемы управления ACC_ctr	198
5.1.2	Регистры ускорителя FFT	204
5.1.3	Регистры ускорителя JPEG_Encoder	209
5.2	Ускоритель FFT.....	214
5.2.1	Назначение ускорителя FFT	214
5.2.2	Функциональные возможности ускорителя FFT	214
5.2.3	Особенности реализации ускорителя FFT	214
5.2.4	Основная операция ускорителя FFT	216
5.2.5	Сопутствующие операции ускорителя FFT.....	216
5.2.6	Быстродействие ускорителя FFT	219
5.3	Ускоритель JPEG	220
5.3.1	Назначение кодера JPEG	220
5.3.2	Функциональные возможности ускорителя JPEG	220
5.3.3	Функциональное описание ускорителя JPEG	220
6.	ИНТЕРВАЛЬНЫЙ ТАЙМЕР	225

6.1	Назначение.....	225
6.2	Структурная схема ИТ	225
6.3	Описание регистров интервального таймера	226
6.4	Программирование ИТ	228
7.	СТОРОЖЕВОЙ ТАЙМЕР	229
7.1	Назначение.....	229
7.2	Структурная схема.....	230
7.3	Описание регистров WDT.....	231
7.4	Программирование WDT	233
8.	КОНТРОЛЛЕР ПРЯМОГО ДОСТУПА В ПАМЯТЬ (DMA)	236
8.1	Перечень каналов DMA.....	236
8.2	Каналы DMA типа память - память	237
8.3	Каналы DMA периферийных портов.....	244
8.3.1	Особенности DMA порта Ethernet MAC.....	247
8.4	Процедура самоинициализации	248
8.5	Прерывания DMA	249
9.	ПОРТ ВНЕШНЕЙ ПАМЯТИ.....	250
9.1	Введение	250
9.2	Регистры порта внешней памяти.....	250
9.2.1	Регистр конфигурации CSCON0.....	251
9.2.2	Регистр конфигурации CSCON1.....	253
9.2.3	Регистр конфигурации CSCON2.....	254
9.2.4	Регистр конфигурации CSCON3.....	255
9.2.5	Регистр конфигурации CSCON4.....	256
9.2.6	Регистр FLY_WS	257
9.2.7	Регистр конфигурации SDRCON.....	258
9.2.8	Регистр параметров SDR TMR.....	261
9.2.9	Регистр управления и состояния SDRCSR	262
9.2.10	Регистр CSR_EXT	265
9.2.11	Регистр AERROR_EXT	266
9.3	Временные диаграммы обмена данными	267
9.3.1	Общие положения	267
9.3.2	Обмен данными с асинхронной памятью	268
9.3.3	Обмен данными с синхронной динамической памятью.....	272
9.3.4	Обмен данными в режиме Flyby	276
9.4	Рекомендации по подключению внешней памяти.....	280
9.4.1	Память типа SDRAM	280
9.4.2	Память типа Flash.....	280
10.	ПОРТ ВНЕШНЕЙ ПАМЯТИ ТИПА DDR SDRAM	282
10.1	Общие положения.....	282
10.2	Регистры DDR_PORT.....	283
10.2.1	Регистр базового адреса DDR_BAR.....	283
10.2.2	Регистр конфигурации DDR_CON.....	284
10.2.3	Регистр параметров DDR_TMR	286
10.2.4	Регистр состояний и управления DDR_CSR.....	287
10.2.5	Регистр режимов DDR_MOD	290
10.2.6	Регистр DDR_EXT	291

10.2.7	Регистр DDR_ERR.....	292
11.	УНИВЕРСАЛЬНЫЙ АСИНХРОННЫЙ ПОРТ (UART)	293
11.1	Общие положения.....	293
11.2	Регистры UART.....	294
11.2.1	Общие положения.....	294
11.2.2	Регистр LCR	295
11.2.3	Регистр FCR.....	296
11.2.4	Регистр LSR.....	296
11.2.5	Регистр IER.....	298
11.2.6	Регистр IIR.....	298
11.2.7	Регистр MCR	299
11.2.8	Программируемый генератор скорости обмена	299
11.3	Работа с FIFO по прерыванию	300
11.4	Работа с FIFO по опросу	301
12.	КОНТРОЛЛЕР ETHERNET MAC 10/100.....	302
12.1	Введение	302
12.1.1	Назначение.....	302
12.1.2	Основные характеристики	302
12.1.3	Особенности использования	303
12.2	Функциональное описание.....	303
12.2.1	Структурная схема.....	303
12.3	Программная модель	306
12.3.1	Программирование контроллера Ethernet MAC 10/100	306
12.3.2	Регистры контроллера Ethernet MAC 10/100	337
13.	УНИВЕРСАЛЬНЫЙ ПОРТ SPACEFIBRE/GIGASPACEWIRE-RUS (SPFMIC)	352
13.1	Структурная схема.....	352
13.2	Перечень регистров SPFMIC	355
13.2.1	Общие положения.....	355
13.3	Описание регистров SPFMIC.....	356
13.3.1	Регистр HW_VER.....	356
13.3.2	Регистр STATUS	356
13.3.3	Регистр RX_CODE.....	359
13.3.4	Регистр MODE_CR	359
13.3.5	Регистр TX_CONTROL	361
13.3.6	Регистр TX_CODE	362
13.3.7	Регистр CNT_RX_PACK	362
13.3.8	Регистр ISR.....	363
13.3.9	Регистр TRUE_TIME	364
13.3.10	Регистр TOUT_CODE.....	364
13.3.11	Регистр ISR_tout.....	365
13.3.12	Регистр LOG_ADDR.....	365
13.3.13	Регистр PMA_STATE	366
13.3.14	Регистр PMA_MODE.....	367
13.3.15	Регистр PMA_TX_LB	368
13.3.16	Регистр PMA_RX_LB	368
13.4	Рекомендации по программированию	369
13.4.1	Пакеты данных, дескрипторы пакетов	369

13.4.2	Работа с управляющими кодами	374
13.4.3	Установка соединения	376
13.4.4	Разрыв соединения.....	377
14.	КОММУТАТОР GIGASPWR	378
14.1	Основные характеристики	378
14.2	Таблица маршрутизации	378
14.3	Программно-доступные регистры GigaSpWR	379
14.4	Описание программно-доступных регистров GigaSpWR.....	383
14.4.1	Регистр ID_SWITCH.....	383
14.4.2	Регистр ID_NET	383
14.4.3	Регистр MODE_R.....	384
14.4.4	Регистр MODE_R1	386
14.4.5	Регистр STATE_R	387
14.4.6	Регистр RISC_IRQ_MASK.....	388
14.4.7	Регистр AUTO_COU.....	390
14.4.8	Регистр CONTROL_CONNECTION	391
14.4.9	Регистр STATE_CONNECTION.....	393
14.4.10	Регистр SW_DAT_TOUTS	394
14.4.11	Регистр SW_DAT_TOUTS2	395
14.4.12	Регистр SW_DAT_TOUTS3	397
14.4.13	Регистр CCODE_OUT	397
14.4.14	Регистр CUR_TIME	399
14.4.15	Регистр ISR_L.....	399
14.4.16	Регистр ISR_H.....	399
14.4.17	Регистр CCODES_MASK1	400
14.4.18	Регистр CCODES_MASK2	401
14.4.19	Регистр DIST_INTS_TOUTS1.....	402
14.4.20	Регистр DIST_INTS_TOUTS2.....	403
14.4.21	Регистр ACK_NON_ACK_REGIME	403
14.4.22	Регистр CCODES_SPEC_REGIME.....	404
14.4.23	Регистр SPEC_ISR_REGIME	405
14.4.24	Регистр INTER_HANDLER_TERM_FUNCT	406
14.4.25	Регистр ISR_SOURCE_TERM_FUNCT	406
14.4.26	Регистр ISR_TOUTS_FLS_L.....	407
14.4.27	Регистр ISR_TOUTS_FLS_H	407
14.4.28	Регистр ISR_1101	408
14.4.29	Регистр EXTERNAL_RESET_PARAMETERS	409
14.4.30	Регистр SPW_STATUS.....	410
14.4.31	Регистр SPW_MODE	411
14.4.32	SPW_TX_SPEED.....	412
14.4.33	Регистр SPW_RX_SPEED	414
14.4.34	Регистр ADG.....	414
14.5	Прерывания, формируемые коммутатором.....	415
14.6	Рекомендации по использованию таймаутов	418
14.6.1	Таймаут арбитража	419
14.6.2	Таймаут приема очередного символа пакета	419
14.6.3	Таймаут передачи очередного символа пакета (3)	420
14.7	Работа с портами SpaceWire и GigaSpaceWire.....	420
14.7.1	Настройки DMA для приема данных из канала SpaceWire	421
14.7.2	Настройки DMA для передачи данных в канал SpaceWire	422

14.7.3	Схема расположения пакетов в памяти, выравнивание границ пакетов по границам слов	423
14.7.4	Формат дескриптора пакета	425
14.7.5	Маркеры времени	426
14.7.6	Коды распределенных прерываний	426
14.7.7	Коды подтверждения распределенных прерываний	427
14.7.8	Установка скорости передачи данных по портам SpaceWire	427
14.7.9	Установка соединения по портам SpaceWire	428
14.7.10	Разрыв соединения по портам SpaceWire	429
14.7.11	Определение скорости приема данных по портам SpaceWire	429
14.7.12	Настройка блока маршрутизирующего коммутатора	429
14.8	Инициализация GigaSpWR	430
14.8.1	Описание алгоритма инициализации	430
14.8.2	Описание инициализации служебных регистров	430
14.8.3	Код программы инициализации служебных регистров	432
14.8.4	Состояние регистров коммутатора до инициализации портов SpW	434
14.8.5	Состояние регистров коммутатора после инициализации портов SpW ..	436
15.	МНОГОФУНКЦИОНАЛЬНЫЙ БУФЕРИЗИРОВАННЫЙ ПОСЛЕДОВАТЕЛЬНЫЙ ПОРТ (MFBSP)	438
15.1	Особенности MFBSP	438
15.1.1	Основные характеристики MFBSP в режиме I2S	439
15.1.2	Основные характеристики MFBSP в режиме SPI	440
15.1.3	Основные характеристики MFBSP в режиме LPORT	441
15.1.4	Основные характеристики MFBSP в режиме порта ввода-вывода общего назначения	442
15.2	Общие сведения об MFBSP	442
15.2.1	Режимы работы MFBSP	442
15.2.2	Структурная схема многофункционального буферизированного последовательного порта	443
15.2.3	Назначение выводов порта в различных режимах	445
15.2.4	Перечень регистров MFBSP	447
15.2.5	Каналы DMA многофункциональных портов MFBSP	447
15.2.6	Прерывания от каналов DMA MFBSP	448
15.2.7	Прерывания от MFBSP	448
15.3	Работа MFBSP в режиме I2S	450
15.3.1	Назначение MFBSP в режиме I2S	450
15.3.2	Регистр управления и состояния CSR_MFBSP (режим I2S)	451
15.3.3	Регистр управления направлением выводов DIR_MFBSP (режим I2S) ..	453
15.3.4	Регистр управления приёмником RCTR (режим I2S)	454
15.3.5	Регистр управления передатчиком TCTR (режим I2S)	456
15.3.6	Регистр состояния приёмника RSR (режим I2S)	459
15.3.7	Регистр состояния передатчика TSR (режим I2S)	460
15.3.8	Структурная схема MFBSP для режима I2S	461
15.3.9	Варианты соединения порта с внешними устройствами	462
15.3.10	Передача данных в режиме I2S	463
15.3.11	Формирование тактовых сигналов приёмника (RCLK) и передатчика (TCLK) 465	
15.3.12	Формирование управляющих сигналов приёмника и передатчика в режиме I2S 467	
15.3.13	Тракт передачи данных	468

15.3.14	Тракт приёма данных.....	470
15.3.15	Прерывания от последовательного порта.....	471
15.4	Работа MFBSР в режиме SPI	471
15.4.1	Назначение последовательного порта в режиме SPI.....	471
15.4.2	Регистр управления и состояния CSR_MFBSР (режим SPI)	473
15.4.3	Регистр управления направлением выводов DIR_MFBSР (режим SPI)..	475
15.4.4	Регистр управления приёмником RCTR (режим SPI)	476
15.4.5	Регистр управления передатчиком TCTR (режим SPI).....	478
15.4.6	Регистр состояния приёмника RSR (режим SPI)	480
15.4.7	Регистр состояния передатчика TSR (режим SPI).....	481
15.4.8	Структурная схема MFBSР для режима SPI	482
15.4.9	Варианты соединения порта с внешними устройствами	483
15.4.10	Передача данных в режиме SPI	485
15.4.11	Пример чтения 8 разрядного слова по заданному адресу из ведомого устройства с интерфейсом С-BUS	487
15.4.12	Формирование тактовых сигналов приёмника (RSCK) и передатчика (TSCK)	488
15.4.13	Формирование управляющих сигналов приёмника и передатчика в режиме SPI	489
15.4.14	Тракт передачи данных	490
15.4.15	Тракт приёма данных.....	492
15.4.16	Прерывания от последовательного порта.....	493
15.5	Работа MFBSР в режиме линкового порта (LPORT)	493
15.5.1	Назначение линкового порта	493
15.5.2	Регистр управления и состояния CSR_MFBSР (режим LPORT)	494
15.5.3	Структурная схема MFBSР для режима линкового порта.....	495
15.5.4	Соединение с внешними устройствами	496
15.5.5	Передача данных по линковому порту	497
15.5.6	Прерывания от линковых портов	499
15.6	Работа MFBSР в режиме порта ввода-вывода общего назначения.....	499
15.6.1	Регистр данных порта ввода вывода GPIO_DR	500
15.6.2	Регистр управления направлением выводов DIR_MFBSР	500
16.	КОНТРОЛЛЕР SPI	501
17.	КОНТРОЛЛЕР ИНТЕРФЕЙСА USB.....	502
17.1	Общие положения.....	502
17.2	Структурная схема.....	502
17.3	Регистры USBIC	503
17.3.1	Регистр управления и состояния USBIC	504
17.3.2	Регистры управления и статуса EndPoint	506
17.3.3	Регистры массива конфигурации	507
17.3.4	Регистр идентификации	509
18.	ПРИНЦИПЫ КОРРЕКЦИИ ОШИБОК.....	510
19.	ПОРТ JTAG И ВСТРОЕННЫЕ СРЕДСТВА ОТЛАДКИ ПРОГРАММ.....	514
20.	ЭЛЕКТРИЧЕСКИЕ И ВРЕМЕННЫЕ ПАРАМЕТРЫ	515
20.1	Электропитание.....	515
20.2	Электрические параметры	516
20.3	Динамическая потребляемая мощность	517

20.4	Временные параметры.....	519
21.	ОПИСАНИЕ ВНЕШНИХ ВЫВОДОВ.....	520
22.	ИСТОРИЯ ИЗМЕНЕНИЙ.....	532
22.1	28 августа 2014 г.....	532
22.2	19 ноября 2014 г.....	532
22.3	16 марта 2015 г.....	532
22.4	24 марта 2015 г.....	532
22.5	03 апреля 2015 г.....	532
22.6	29 сентября 2015 г.....	532
22.7	2 октября 2015 г.....	532
22.8	18 июля 2016 г.....	532
22.9	12 июля 2017 г.....	533
22.10	11 августа 2017 г.....	533
22.11	27 марта 2019 г.....	533
22.12	25 октября 2019 г.....	533
22.13	10 мая 2020 г.....	533
22.14	26 мая 2021 г.....	533
22.15	4 августа 2021 г.....	533
22.16	13 марта 2023 г.....	534

1. ВВЕДЕНИЕ

1.1 Назначение

Микросхема интегральная сигнального микропроцессора 1892ВМ15Ф (МС-30SF6) спроектирована как однокристалльная пятипроцессорная «система на кристалле» на базе IP-ядерной (IP-intellectual property) платформы «МУЛЬТИКОР», разработанной в АО НПЦ «ЭЛВИС».

Микросхема 1892ВМ15Ф содержит 32-разрядный центральный процессор (CPU – Central Processing Unit) и 2-ядерный DSP-кластер «DELcore-30M» (Dual ELVEESs Core) для цифровой обработки сигналов (DSP – Digital Signal Processing) с плавающей/фиксированной точкой, обеспечивающий обработку информации с переменными форматами данных от битовых форматов, до стандартных форматов данных с плавающей точкой в формате IEEE754.

Все три процессора работают независимо друг от друга (каждый по своей собственной программе) и вследствие этого представляют систему на кристалле MIMD – архитектуры (MIMD – Multiple Instructions Multiple Data).

Микросхема 1892ВМ15Ф сочетает в себе лучшие качества двух классов приборов: микроконтроллеров и цифровых процессоров обработки сигналов, что особенно важно для микроминиатюрных встраиваемых применений, когда приходится решать в рамках ограниченных габаритов одновременно обе задачи: управления и высокоточной обработки информации, включая сигналы и изображение.

Для разработчика системы обеспечивается уникальная возможность применения новых алгоритмов принятия решений в CPU на основе параллельно выполняемых процедур адаптивного анализа и обработки сигналов в DSP, что реализуется в пределах одной и той же микросхемы.

Для этих целей разработаны методы применения RLS/LNS алгоритмов на базе микросхем серий «МУЛЬТИКОР», в частности для адаптивных антенных решеток.

Микросхема 1892ВМ15Ф обеспечивает работу под операционной системой Linux.

Микросхема в исполнении 1892ВМ15АФ поставляется без проверки гигабитных каналов. Других отличий между исполнениями нет.

Микросхема 1892ВМ15Ф предназначена для применения в следующих приложениях:

- радиолокационные и гидроакустические системы;
- графические ускорители;
- телекоммуникации и мультимедиа: базовые станции, DVB – приемники и т.д;
- сигнальная обработка: БПФ, фильтрация, корреляция, быстрая свертка;
- управление объектами с использованием высокоточных адаптивных методов;
- системы промышленного контроля;
- высокоточная обработка сигналов и данных.

1.2 Функциональные параметры и возможности

Микросхема 1892ВМ15Ф имеет следующие функциональные параметры и возможности:

- Центральный процессор (CPU):
 - Архитектура – MIPS32;
 - 32-х битные шины передачи адреса и данных;
 - Кэш команд объемом 32 Кбайт;
 - Кэш данных объемом 32 Кбайт;
 - Архитектура привилегированных ресурсов в стиле ядра R4000:
 - Регистры Count/Compare для прерываний реального времени;
 - Отдельный вектор обработки исключений по прерываниям;
 - Программируемое устройство управления памятью:
 - Два режима работы – с TLB (Translation Lookaside Buffer) и FM (Fixed Mapped);
 - 16 строк в режиме TLB.
 - Устройство умножения и деления;
 - Сопроцессор арифметики в формате с плавающей точкой;
 - JTAG IEEE 1149.1, встроенные средства отладки программ
 - Оперативная память центрального процессора (CRAM) объемом 128 Кбайт;
 - 5 внешних запросов прерывания, в том числе немаскируемое прерывание (NMI).
 - Регистровый файл реализован с защитой кодом Хэмминга: исправление однократных ошибок и обнаружение двукратных ошибок;
 - Обеспечено тройное модульное резервирование (TMR - triple modular redundancy) для всех триггеров регистров процессора с целью повышения его сбоеустойчивости.

- Цифровой сигнальный процессор (DSP):
 - 2-ядерный DSP-кластер DELcore-30M - симметричный мультипроцессор (СМП), состоящий из 2-х DSP-ядер ELcore-30M - DSP0 и DSP1, работающих на общем поле памяти данных, имеющих набор общих регистров управления/состояния, а также буфера обмена XBUF;
 - MIMD (Multiple Instruction Multiple Data) организация потоков команд и данных;
 - Каждое из двух DSP-ядер ELcore-30M имеет гарвардскую архитектуру с внутренним параллелизмом по потокам обрабатываемых данных и предназначено для обработки информации в форматах с фиксированной и с плавающей точкой;
 - Система инструкций, реализующих параллельно несколько вычислительных операций и пересылок;
 - 7-фазный программный конвейер и гибкие адресные режимы позволяют реализовать алгоритмы сигнальной обработки с высокой производительностью.
 - Расширенные возможности по динамическому диапазону обрабатываемых данных, позволяют обрабатывать данные в 8/16/32-разрядных форматах с фиксированной точкой, либо в одном из форматов с плавающей точкой – 24E8 (стандарт IEEE 754) или 32E16 (расширенный формат). Обеспечение при этом компромиссного выбора между точностью и производительностью. Аппаратные меры повышения точности и динамического диапазона (блочная плавающая точка; режим насыщения; инструкции преобразования форматов);
 - Аппаратная поддержка программных циклов;
 - Каждое из DSP-ядер имеет свою программную память (PRAM) объемом 32 Кбайт и общую для всех память данных XYRAM объемом 128 Кбайт;
 - Суммарная пиковая производительность DSP-кластера:
 - в формате одинарной плавающей точки (24e8, стандарт IEEE754) - 16 операций за 1 такт;
 - в формате фиксированной точки (int32) – 16 операций за 1 такт;
 - в формате фиксированной точки (int16) – 64 операций за 1 такт;
 - в формате фиксированной точки (int8) – 96 операций за 1 такт.

- Блок аппаратных ускорителей АСС:
 - Состав – ускоритель быстрого преобразования Фурье (FFT) и ускоритель сжатия по стандарту JPEG (JPEG_Encoder). Размер памяти блока аппаратных ускорителей – 8 К 64-разрядных слов;
 - Ускоритель быстрого преобразования Фурье:
 - Ввод/вывод выполняются в реальном времени, параллельно с обработкой;
 - Входные/выходные данные для пользователя располагаются в прямом порядке;
 - Для расчетов и хранения данных в прямом порядке дополнительная память не требуется;
 - Форматы действительных/мнимых компонент входных и выходных данных: 32-разрядная плавающая точка (стандарт IEEE-754), 32-разрядное целое число (дополнительный код), 16-разрядное целое число (дополнительный код). Формат вычислений: 32-разрядная плавающая точка;
 - Максимальный размер непосредственно выполняемого преобразования – 8192, минимальный – 16. Предельный размер наращиваемого преобразования – 256К;
 - Производительность: за один такт выполняются 40 арифметических операций с плавающей точкой (24 сложения/вычитания и 16 умножений).
 - Ускоритель сжатия по стандарту JPEG:
 - Ввод/вывод выполняются в реальном времени, параллельно с обработкой;
 - Осуществляется автоматическая склейка данных, полученных после кодирования Хаффмана, а также вставка технической информации (Byte Stuff);
 - Настраиваемое расположение входных данных в памяти ускорителя;
 - Настраиваемая конфигурация MCU;
 - Настраиваемое качество сжатия с помощью задания коэффициентов квантования;
 - Производительность ускорителя:

одна компонента (Y, Cb или Cr) с размером блока 8x8 пикселей обрабатывается со скоростью 2,46 пикселя за такт. При частоте 160 МГц производительность сжатия равна 393 Мпикселей/с;

при трех компонентах такого же размера формата YCbCr 4:4:4 производительность сжатия равна 131 Мпиксель/с или 60 fps FullHD;
при трех компонентах такого же размера формата YCbCr 4:2:0 производительность сжатия равна 262 Мпиксель/с или 130 fps FullHD.

- Порт внешней памяти (MPORT):
 - Шина данных – 64 разряда, шина адреса – 26 разрядов;
 - Встроенный контроллер управления статической асинхронной памятью типа SRAM, FLASH, ROM, синхронной динамической памятью типа SDRAM;
 - Программное конфигурирование типа блоков памяти и их объема;
 - Программное задание циклов ожидания при обмене со статической асинхронной памятью;
 - Формирование сигналов выборки 5 блоков внешней памяти;
 - Перевод SDRAM в режим энергосбережения.
- Два порта внешней памяти типа DDR SDRAM (DDR_PORT):
 - Шина данных – 32 разряда;
 - Пиковая пропускная способность – 1600 Мбайт/с;
 - Программное конфигурирование типа блоков памяти и их объема;
 - Перевод DDR SDRAM в режим энергосбережения.
- Периферийные устройства:
 - Коммутатор GigaSpWR с DMA (4 порта по стандарту GigaSpaceWire (SpaceWire-RUS) с пропускной способностью 1,25 Гбит/с каждый, 2 порта по стандарту ECSS-E-50-12C (SpaceWire) с пропускной способностью от 2 до 300 Мбит/с каждый);
 - Два универсальных порта SpaceFibre/GigaSpaceWire (SpaceWire-RUS) с DMA с пропускной способностью 1,25 Гбит/с каждый (SPFMIC0, SPFMIC1);
 - Контроллер шины SPI;
 - Контроллер интерфейса USB 1.1;
 - Четыре многофункциональных буферизированных последовательных порта MFBSP (Multifunctional Buffered Serial Port). Режимы работы - SPI, I2S, LPORT, GPIO;
 - Контроллер Ethernet 10/100 МГц;
 - Два 8-канальных контроллера прямого доступа (DMA) типа память-память. Поддержка 2-мерной и разрядно-инверсной адресации. Восемь внешних запросов прямого доступа. Возможность передачи данных в режиме Flyby (подобный режиму, реализованному в ADSP-TS201) между внешними устройствами и внешней памятью;
 - Контроллер прерываний;
 - Два универсальных асинхронных порта (UART) типа 16550;
 - два универсальных 32-разрядных таймера (IT0, IT1), интервальные/реального времени с тремя источниками входной частоты: CLK, XTI, RTCXTI;
 - 32-разрядный сторожевой таймер (WDT).

- Дополнительные возможности и особенности:
 - Умножители/делители входной частоты на основе узлов фазовой автоподстройки частоты (PLL);
 - Коррекция ошибок внутренней и внешней памяти: исправление однократных ошибок и обнаружение двукратных ошибок при помощи модифицированного кода Хэмминга;
 - Встроенные средства отладки программ (OnCD) с портом JTAG в соответствии со стандартом IEEE 1149.1;
 - Режимы энергосбережения;
 - Поддержка операционной системы Linux;
 - Керамический корпус типа CPGA-720.

1.3 Структурная схема

Структурная схема микросхемы 1892ВМ15Ф приведена на Рисунок 1.1.

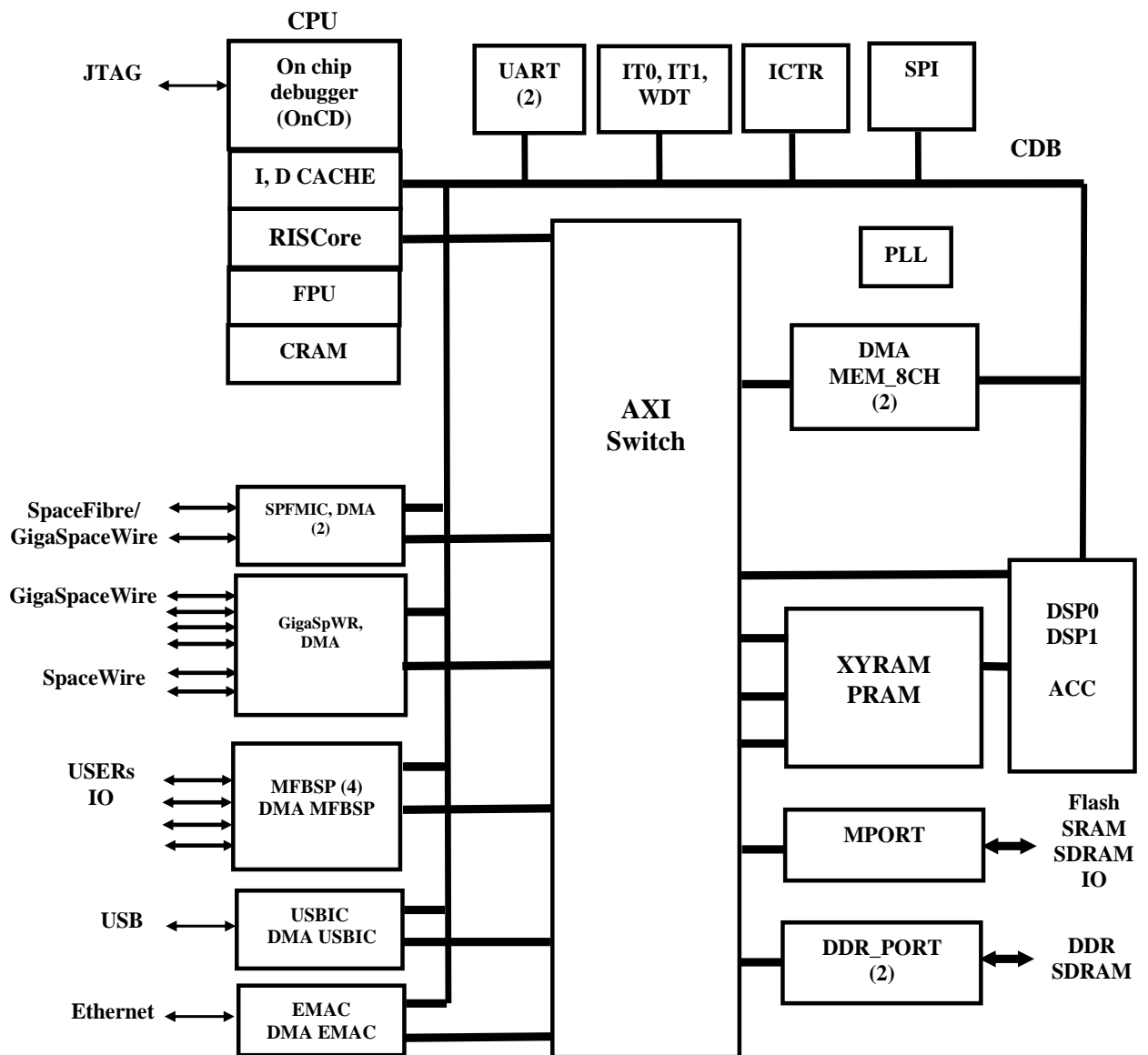


Рисунок 1.1. Структурная схема сигнального микропроцессора 1892ВМ15Ф

В состав микросхемы 1892BM15Ф входят следующие основные узлы:

- CPU – центральный процессор на основе RISC-ядра и сопроцессора с плавающей точкой (FPU);
- I, D CACHE – кэш команд и кэш данных CPU;
- DSP – цифровой сигнальный процессор;
- ACC – блок аппаратных ускорителей (FFT и JPEG_ENCODER);
- XRAM, YRAM, PRAM – память DSP;
- CRAM – оперативная память центрального процессора;
- AXI Switch - коммутатор;
- MPORT – 64-разрядный порт внешней памяти общего назначения;
- DMA MEM_CH – 2 8-канальных контроллеров прямого доступа типа память-память;
- DMA MFBSP, DMA USB, DMA EMAC – контроллеры прямого доступа в память соответствующих портов и контроллеров;
- DDR_PORT – 2 32-разрядных порта внешней памяти типа DDR SDRAM;
- UART – два асинхронных последовательных порта типа 16550;
- CDB – (Control Data Bus) – шина управления;
- SPFMIC (2 штуки) – универсальный порт SpaceFibre/GigaSpaceWire (SpaceWire-RUS) с DMA;
- GigaSpWR – коммутатор с DMA (4 порта GigaSpaceWire (SpaceWire-RUS), 2 порта по стандарту ECSS-E-50-12C (SpaceWire));
- MFBSP – четыре многофункциональных буферизированных последовательных порта (SPI, I2S, LPORT, GPIO);
- USBIC – контроллер интерфейса USB 1.1;
- EMAC – контроллер Ethernet MAC 10/100 МГц;
- SPI – контроллер шины SPI;
- ICTR – контроллер прерываний;
- PLL – программируемые умножители частоты на основе PLL;
- IT0, IT1 – универсальные интервальные/реального времени таймеры;
- WDT – сторожевой таймер;
- OnCD – встроенные средства отладки программ с портом JTAG.

Коммутатор обеспечивает передачу данных между любым исполнительным устройством (Slave) и любым задатчиком (Master). При этом процесс передачи данных между любыми парами Slave ↔ Master выполняется параллельно и без конфликтов.

Исполнительными устройствами являются блоки внутренней памяти, (CRAM, память DSP) или любая внешняя память, доступная через MPORT и DDR_PORT. Задатчиками могут быть CPU, DSP, каналы DMA MFBSP, EMAC, USB, SPFMIC4, GigaSpWR, каналы DMA типа память-память.

1.4 Инструментальное программное обеспечение

Для данной микросхемы разработана интегрированная среда проектирования программного обеспечения MCStudio, которая обеспечивает полный цикл разработки и отладки программ. Эта среда функционирует на инструментальной машине IBM PC.

Интегрированная среда проектирования включает в себя:

- среду разработки программ для CPU- и DSP-ядер;
- среду отладки программ в исходных текстах, исполняемых на программном симуляторе, и отладчик для работы с платой отладочного модуля для данной микросхемы или целевым устройством. Целевое устройство подключается к персональному компьютеру через эмулятор JTAG для процессоров серии «Мультикор»;
- средства программного моделирования;
- возможность доступа пользователю ко всем инструментам через один интерфейс.

1.5 Операционная система для микросхемы 1892ВМ15Ф

Linux - свободно распространяемое ядро Unix-подобной операционной системы. Linux обладает всеми свойствами современной Unix-системы, включая полноценную многозадачность, развитую подсистему управления памятью и сетевую подсистему.

Ядро Linux, поставляемое вместе со свободно распространяемыми прикладными и системными программами образует полнофункциональную универсальную операционную систему. Большую часть базовых системных компонент Linux унаследовал от проекта GNU, целью которого является создание свободной микроядерной операционной системы с лицом Unix.

2. СИСТЕМНАЯ ОРГАНИЗАЦИЯ МИКРОСХЕМЫ

2.1 Карта памяти микросхемы

Карта физической памяти микросхемы 1892ВМ15Ф приведена в Таблица 2.1. Здесь и далее, если это не оговорено специально, коды адреса и данных указаны в шестнадцатеричной системе счисления.

Таблица 2.1. Карта физической памяти 1892ВМ15Ф

Диапазон адресов	Название области	Объем области, Мбайт
FFFF_FFFC 2000_0000	Внешняя память	3584
1FFF_FFFC 1C00_0000	Внешняя память (ПЗУ)	64
1BFF_FFFC 1800_0000	Внутренняя память	64
17FF_FFFC 0000_0000	Внешняя память	384

Внешняя память доступна через порты MPORT, DDR_PORT. Память CRAM, а также внешняя память, могут адресоваться с точностью до байта. Программный доступ к резервным областям запрещен, это может привести к непредсказуемым последствиям.

Для указания разрядности блока внешней памяти в регистрах CSCON0:CSCON3 порта внешней памяти MPORT имеется бит W64: 0 – блок 32-разрядный, 1 – блок 64-разрядный. Данные в 64-разрядном сегменте располагаются следующим образом.

Таблица 2.2

Номер 64-разрядного слова	Адрес старшей 32-разрядной части (H)	Адрес младшей 32-разрядной части (L)
0	0x0000_0004	0x0000_0000
1	0x0000_000C	0x0000_0008
2	0x0000_0014	0x0000_0010
3	0x0000_001C	0x0000_0018

Адресом 64-разрядного слова является адрес его младшей части. Для программ CPU разрядность блоков внешней памяти неразличима.

Карта внутренней памяти микросхемы 1892BM15Ф приведена в Таблица 2.3.

Таблица 2.3. Карта внутренней памяти

Диапазон адресов	Название области
1BFF_FFFF	Резерв
1880_0000	
187F_FFFF	Память и регистры DSP
1840_0000	
183F_FFFF	Резерв
1830_0000	
182F_FFFF	Регистры устройств
182F_0000	
182E_FFFF	Резерв
1802_0000	
1801_FFFF	Память SRAM
1800_0000	

Перечень программно доступных регистров для CPU и DSP приведен в Таблица 2.4.

Таблица 2.4. Перечень программно доступных регистров для CPU и DSP

Условное обозначение регистра	Название регистра	Адрес регистра
Регистры DMA MEM_CH0		
CSR_MEM_CH00	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0000
CP_MEM_CH00	Регистр указателя цепочки	182F_0004
IR0_MEM_CH00	Регистр индекса 0	182F_0008
IR1_MEM_CH00	Регистр индекса 1	182F_000C
OR_MEM_CH00	Регистр смещений	182F_0010
Y_MEM_CH00	Регистр параметров направления Y при двухмерной адресации	182F_0014
RUN_MEM_CH00	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH00 На чтение: Регистр управления и состояния канала MEM_CH0 без сброса битов "END" и "DONE"	182F_0018

Условное обозначение регистра	Название регистра	Адрес регистра
CSR_MEM_CH01	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0080
CP_MEM_CH01	Регистр указателя цепочки	182F_0084
IR0_MEM_CH01	Регистр индекса 0	182F_0088
IR1_MEM_CH01	Регистр индекса 1	182F_008C
OR_MEM_CH01	Регистр смещений	182F_0090
Y_MEM_CH01	Регистр параметров направления Y при двухмерной адресации канала	182F_0094
RUN_MEM_CH01	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH01 На чтение: Регистр управления и состояния канала MEM_CH1 без сброса битов "END" и "DONE"	182F_0098
CSR_MEM_CH02	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0100
CP_MEM_CH02	Регистр указателя цепочки	182F_0104
IR0_MEM_CH02	Регистр индекса 0	182F_0108
IR1_MEM_CH02	Регистр индекса 1	182F_010C
OR_MEM_CH02	Регистр смещений канала MEM_CH2	182F_0110
Y_MEM_CH02	Регистр параметров направления Y при двухмерной адресации канала MEM_CH2	182F_0114
RUN_MEM_CH02	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH02 На чтение: Регистр управления и состояния канала MEM_CH2 без сброса битов "END" и "DONE"	182F_0118
CSR_MEM_CH03	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0180
CP_MEM_CH03	Регистр указателя цепочки	182F_0184
IR0_MEM_CH03	Регистр индекса 0	182F_0188
IR1_MEM_CH03	Регистр индекса 1	182F_018C
OR_MEM_CH03	Регистр смещений	182F_0190
Y_MEM_CH03	Регистр параметров направления Y при двухмерной адресации	182F_0194

Условное обозначение регистра	Название регистра	Адрес регистра
RUN_MEM_CH03	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH03 На чтение: Регистр управления и состояния канала MEM_CH3 без сброса битов "END" и "DONE"	182F_0198
CSR_MEM_CH04	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0200
CP_MEM_CH04	Регистр указателя цепочки	182F_0204
IR0_MEM_CH04	Регистр индекса 0	182F_0208
IR1_MEM_CH04	Регистр индекса 1	182F_020C
OR_MEM_CH04	Регистр смещений	182F_0210
Y_MEM_CH04	Регистр параметров направления Y при двухмерной адресации	182F_0214
RUN_MEM_CH04	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH00 На чтение: Регистр управления и состояния канала MEM_CH0 без сброса битов "END" и "DONE"	182F_0218
CSR_MEM_CH05	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0280
CP_MEM_CH05	Регистр указателя цепочки	182F_0284
IR0_MEM_CH05	Регистр индекса 0	182F_0288
IR1_MEM_CH05	Регистр индекса 1	182F_028C
OR_MEM_CH05	Регистр смещений	182F_0290
Y_MEM_CH05	Регистр параметров направления Y при двухмерной адресации канала	182F_0294
RUN_MEM_CH05	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH01 На чтение: Регистр управления и состояния канала MEM_CH1 без сброса битов "END" и "DONE"	182F_0298
CSR_MEM_CH06	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0300
CP_MEM_CH06	Регистр указателя цепочки	182F_0304
IR0_MEM_CH06	Регистр индекса 0	182F_0308
IR1_MEM_CH06	Регистр индекса 1	182F_030C

Условное обозначение регистра	Название регистра	Адрес регистра
OR_MEM_CH06	Регистр смещений канала MEM_CH2	182F_0310
Y_MEM_CH06	Регистр параметров направления Y при двухмерной адресации канала MEM_CH2	182F_0314
RUN_MEM_CH06	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH02 На чтение: Регистр управления и состояния канала MEM_CH2 без сброса битов "END" и "DONE"	182F_0318
CSR_MEM_CH07	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0380
CP_MEM_CH07	Регистр указателя цепочки	182F_0384
IR0_MEM_CH07	Регистр индекса 0	182F_0388
IR1_MEM_CH07	Регистр индекса 1	182F_038C
OR_MEM_CH07	Регистр смещений	182F_0390
Y_MEM_CH07	Регистр параметров направления Y при двухмерной адресации	182F_0394
RUN_MEM_CH07	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH03 На чтение: Регистр управления и состояния канала MEM_CH3 без сброса битов "END" и "DONE"	182F_0398
Регистры DMA MEM_CH1		
CSR_MEM_CH10	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0400
CP_MEM_CH0	Регистр указателя цепочки	182F_0404
IR0_MEM_CH10	Регистр индекса 0	182F_0408
IR1_MEM_CH10	Регистр индекса 1	182F_040C
OR_MEM_CH10	Регистр смещений	182F_0410
Y_MEM_CH10	Регистр параметров направления Y при двухмерной адресации	182F_0414
RUN_MEM_CH10	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH10 На чтение: Регистр управления и состояния канала MEM_CH0 без сброса битов "END" и "DONE"	182F_0418

Условное обозначение регистра	Название регистра	Адрес регистра
CSR_MEM_CH11	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0480
CP_MEM_CH11	Регистр указателя цепочки	182F_0484
IR0_MEM_CH11	Регистр индекса 0	182F_0488
IR1_MEM_CH11	Регистр индекса 1	182F_048C
OR_MEM_CH11	Регистр смещений	182F_0490
Y_MEM_CH11	Регистр параметров направления Y при двухмерной адресации канала	182F_0494
RUN_MEM_CH11	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH11 На чтение: Регистр управления и состояния канала MEM_CH1 без сброса битов "END" и "DONE"	182F_0498
CSR_MEM_CH12	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0500
CP_MEM_CH12	Регистр указателя цепочки	182F_0504
IR0_MEM_CH12	Регистр индекса 0	182F_0508
IR1_MEM_CH12	Регистр индекса 1	182F_050C
OR_MEM_CH12	Регистр смещений канала MEM_CH2	182F_0510
Y_MEM_CH12	Регистр параметров направления Y при двухмерной адресации канала MEM_CH2	182F_0514
RUN_MEM_CH12	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH12 На чтение: Регистр управления и состояния канала MEM_CH2 без сброса битов "END" и "DONE"	182F_0518
CSR_MEM_CH13	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0580
CP_MEM_CH13	Регистр указателя цепочки	182F_0584
IR0_MEM_CH13	Регистр индекса 0	182F_0588
IR1_MEM_CH13	Регистр индекса 1	182F_058C
OR_MEM_CH13	Регистр смещений	182F_0590
Y_MEM_CH13	Регистр параметров направления Y при двухмерной адресации	182F_0594

Условное обозначение регистра	Название регистра	Адрес регистра
RUN_MEM_CH13	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH13 На чтение: Регистр управления и состояния канала MEM_CH3 без сброса битов "END" и "DONE"	182F_0598
CSR_MEM_CH14	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0600
CP_MEM_CH14	Регистр указателя цепочки	182F_0604
IR0_MEM_CH14	Регистр индекса 0	182F_0608
IR1_MEM_CH14	Регистр индекса 1	182F_060C
OR_MEM_CH14	Регистр смещений	182F_0610
Y_MEM_CH14	Регистр параметров направления Y при двухмерной адресации	182F_0614
RUN_MEM_CH14	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH10 На чтение: Регистр управления и состояния канала MEM_CH0 без сброса битов "END" и "DONE"	182F_0618
CSR_MEM_CH15	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0680
CP_MEM_CH15	Регистр указателя цепочки	182F_0684
IR0_MEM_CH15	Регистр индекса 0	182F_0688
IR1_MEM_CH15	Регистр индекса 1	182F_068C
OR_MEM_CH15	Регистр смещений	182F_0690
Y_MEM_CH15	Регистр параметров направления Y при двухмерной адресации канала	182F_0694
RUN_MEM_CH15	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH11 На чтение: Регистр управления и состояния канала MEM_CH1 без сброса битов "END" и "DONE"	182F_0698
CSR_MEM_CH16	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0700
CP_MEM_CH16	Регистр указателя цепочки	182F_0704
IR0_MEM_CH16	Регистр индекса 0	182F_0708

Условное обозначение регистра	Название регистра	Адрес регистра
IR1_MEM_CH16	Регистр индекса 1	182F_070C
OR_MEM_CH16	Регистр смещений канала MEM_CH2	182F_0710
Y_MEM_CH16	Регистр параметров направления Y при двухмерной адресации канала MEM_CH2	182F_0714
RUN_MEM_CH16	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH12 На чтение: Регистр управления и состояния канала MEM_CH2 без сброса битов "END" и "DONE"	182F_0718
CSR_MEM_CH17	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_0780
CP_MEM_CH17	Регистр указателя цепочки	182F_0784
IR0_MEM_CH17	Регистр индекса 0	182F_0788
IR1_MEM_CH17	Регистр индекса 1	182F_078C
OR_MEM_CH17	Регистр смещений	182F_0790
Y_MEM_CH17	Регистр параметров направления Y при двухмерной адресации	182F_0794
RUN_MEM_CH17	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH13 На чтение: Регистр управления и состояния канала MEM_CH3 без сброса битов "END" и "DONE"	182F_0798
Регистры контроллера SPI		
TX_SPI	Буфер передачи данных	182F_6000
RX_SPI	Буфер приёма данных	182F_6000
CSR_SPI	Регистр управления и состояния	182F_6004
DIR_SPI	Регистр управления направлением выводов порта ввода-вывода	182F_6008
TCTR	Регистр управления передатчиком	182F_6010
RCTR	Регистр управления приёмником	182F_6014
TSR	Регистр состояния передатчика	182F_6018
RSR	Регистр состояния приёмника	182F_601C
Регистры DMA EMAC_RX_CH		
CSR_EMAC_RX	Регистр управления и состояния. При чтении: сброс битов END и DONE	182F_E800

Условное обозначение регистра	Название регистра	Адрес регистра
CP_EMAC_RX	Регистр указателя цепочки	182F_E804
IR_EMAC_RX	Регистр индекса	182F_E808
RUN_EMAC_RX	При записи: псевдорегистр управления состоянием бита RUN регистра CSR. При чтении: регистр управления и состояния CSR без сброса битов "END" и "DONE"	182F_E80C
Регистры DMA EMAC_TX_CH		
CSR_EMAC_TX	Регистр управления и состояния. При чтении: сброс битов END и DONE	182F_E840
CP_EMAC_TX	Регистр указателя цепочки	182F_E844
IR_EMAC_TX	Регистр индекса	182F_E848
RUN_EMAC_TX	При записи: псевдорегистр управления состоянием бита RUN регистра CSR. При чтении: регистр управления и состояния CSR без сброса битов "END" и "DONE"	182F_E84C
Регистры DMA MFBSP		
CSR_MFBSP_CH0	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_7800
CP_MFBSP_CH0	Регистр указателя цепочки	182F_7804
IR_MFBSP_CH0	Регистр индекса	182F_7808
RUN_MFBSP_CH0	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR0 На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_780C
CSR_MFBSP_CH1	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_7840
CP_MFBSP_CH1	Регистр указателя цепочки	182F_7844
IR_MFBSP_CH1	Регистр индекса	182F_7848
RUN_MFBSP_CH1	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR1 На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_784C
CSR_MFBSP_CH2	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_7880
CP_MFBSP_CH2	Регистр указателя цепочки	182F_7884
IR_MFBSP_CH2	Регистр индекса	182F_7888

Условное обозначение регистра	Название регистра	Адрес регистра
RUN_MFBSP_CH2	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR2 На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_788C
CSR_MFBSP_CH3	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_78C0
CP_MFBSP_CH3	Регистр указателя цепочки	182F_78C4
IR_MFBSP_CH3	Регистр индекса	182F_78C8
RUN_MFBSP_CH3	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR3 На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_78CC
Регистры USBIC		
CSR_USB	Регистр управления и статуса контроллера	182F_2000
INT_CSR	Регистр управления и статуса прерываний	182F_2004
VENDOR_DATA	Данные для передачи по Vendor-каналу	182F_200C
VENDOR_INDEX	Указатель на данные по Vendor-каналу	182F_2010
VENDOR_VALUE	Принятые данные по Vendor-каналу	182F_2014
CFG_ADDR	Регистр адреса массива конфигурации	182F_2018
CFG_DATA	Регистр данных массива конфигурации	182F_201C
REVISION	Номер ревизии	182F_2020
CSR_EP1	Регистр управления и статуса EP1	182F_2044
CSR_EP2	Регистр управления и статуса EP2	182F_204C
CSR_EP3	Регистр управления и статуса EP3	182F_2054
CSR_EP4	Регистр управления и статуса EP4	182F_205C
Регистры DMA USBIC		
CSR_USB_EP1_RX	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_2800
CP_USB_EP1_RX	Регистр указателя цепочки	182F_2804
IR_USB_EP1_RX	Регистр индекса	182F_2808
RUN_USB_EP1_RX	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_280C

Условное обозначение регистра	Название регистра	Адрес регистра
CSR_USB_EP2_TX	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_2840
CP_USB_EP2_TX	Регистр указателя цепочки	182F_2844
IR_USB_EP2_TX	Регистр индекса	182F_2848
RUN_USB_EP2_TX	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_284C
CSR_USB_EP3_RX	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_2880
CP_USB_EP3_RX	Регистр указателя цепочки	182F_2884
IR_USB_EP3_RX	Регистр индекса	182F_2888
RUN_USB_EP3_RX	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_288C
CSR_USB_EP4_TX	Регистр управления и состояния (по чтению сброс битов "END" и "DONE")	182F_28C0
CP_USB_EP4_TX	Регистр указателя цепочки	182F_28C4
IR_USB_EP4_TX	Регистр индекса	182F_28C8
RUN_USB_EP4_TX	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов "END" и "DONE"	182F_28CC
Регистры контроллера SPFMIC0		
HW_VER	Номер версии контроллера	182F_C000
STATUS	Регистр состояния	182F_C004
RX_CODE	Регистр управляющего символа, принятого из сети (маркера времени, кода распределенного прерывания, кода подтверждения распределенного прерывания или кода CC11 – управляющего кода SpaceWire, назначение которого в текущей версии стандарта не определено)	182F_C008
MODE_CR	Регистр режима работы	182F_C00C
TX_CONTROL	Регистр управления параметрами передачи	182F_C010

Условное обозначение регистра	Название регистра	Адрес регистра
TX_CODE	Регистр управляющего символа (маркера времени, кода распределенного прерывания, кода подтверждения, кода CC11) для передачи в сеть	182F_C014
CNT_RX_PACK	Регистр счетчика принятых пакетов ненулевой длины	182F_C020
ISR_L	Младшие разряды регистра ISR (Interrupt Status Register)	182F_C024
ISR_H	Старшие разряды регистра ISR (Interrupt Status Register)	182F_C028
TRUE_TIME	Регистр, содержащий значение последнего правильного маркера времени	182F_C02C
TOUT_CODE	Регистр размера таймаутов	182F_C030
ISR_tout_L	Младшие разряды регистра флагов таймаутов ISR	182F_C034
ISR_tout_H	Старшие разряды регистра флагов таймаутов ISR	182F_C038
LOG_ADDR	Регистр логического адреса	182F_C03C
PMA_STATUS	Регистр состояния PMA	182F_C040
PMA_MODE	Регистр режима PMA	182F_C044
PMA_TX_LB	Регистр режима LOOPBACK PMA_TX	182F_C080
PMA_RX_LB	Регистр режима LOOPBACK PMA_RX	182F_C084
Регистры контроллера SPFMIC1		
HW_VER	Номер версии контроллера	182F_D000
STATUS	Регистр состояния	182F_D004
RX_CODE	Регистр управляющего символа, принятого из сети (маркера времени, кода распределенного прерывания, кода подтверждения распределенного прерывания или кода CC11 – управляющего кода SpaceWire, назначение которого в текущей версии стандарта не определено)	182F_D008
MODE_CR	Регистр режима работы	182F_D00C
TX_CONTROL	Регистр управления параметрами передачи	182F_D010
TX_CODE	Регистр управляющего символа (маркера времени, кода распределенного прерывания, кода подтверждения, кода CC11) для передачи в сеть	182F_D014
CNT_RX_PACK	Регистр счетчика принятых пакетов ненулевой длины	182F_D020
ISR_L	Младшие разряды регистра ISR (Interrupt Status Register)	182F_D024

Условное обозначение регистра	Название регистра	Адрес регистра
ISR_H	Старшие разряды регистра ISR (Interrupt Status Register)	182F_D028
TRUE_TIME	Регистр, содержащий значение последнего правильного маркера времени	182F_D02C
TOUT_CODE	Регистр размера таймаутов	182F_D030
ISR_tout_L	Младшие разряды регистра флагов таймаутов ISR	182F_D034
ISR_tout_H	Старшие разряды регистра флагов таймаутов ISR	182F_D038
LOG_ADDR	Регистр логического адреса	182F_D03C
PMA_STATUS	Регистр состояния PMA	182F_D040
PMA_MODE	Регистр режима PMA	182F_D044
PMA_TX_LB	Регистр режима LOOPBACK PMA_TX	182F_D080
PMA_RX_LB	Регистр режима LOOPBACK PMA_RX	182F_D084
Регистры DMA контроллера SPFMIC0		
Канал записи в память дескрипторов принимаемых пакетов		
CSR	Регистр управления и состояния канала	182F_C800
CP	Регистр указателя цепочки канала	182F_C804
IR	Индексный регистр внешней памяти канала	182F_C808
RUN	Псевдорегистр управления состоянием бита RUN регистра CSR	182F_C80C
Канал записи в память принимаемых слов данных		
CSR	Регистр управления и состояния канала	182F_C840
CP	Регистр указателя цепочки канала	182F_C844
IR	Индексный регистр внешней памяти канала	182F_C848
RUN	Псевдорегистр управления состоянием бита RUN регистра CSR	182F_C84C
Канал чтения из памяти дескрипторов передаваемых пакетов		
CSR	Регистр управления и состояния канала	182F_C880
CP	Регистр указателя цепочки канала	182F_C884
IR	Индексный регистр внешней памяти канала	182F_C888
RUN	Псевдорегистр управления состоянием бита RUN регистра CSR	182F_C88C
Канал чтения из памяти передаваемых слов данных		

Условное обозначение регистра	Название регистра	Адрес регистра
CSR	Регистр управления и состояния канала	182F_C8C0
CP	Регистр указателя цепочки канала	182F_C8C4
IR	Индексный регистр внешней памяти канала	182F_C8C8
RUN	Псевдорегистр управления состоянием бита RUN регистра CSR	182F_C8CC
Регистры DMA контроллера SPFMIC1		
Канал записи в память дескрипторов принимаемых пакетов		
CSR	Регистр управления и состояния канала	182F_D800
CP	Регистр указателя цепочки канала	182F_D804
IR	Индексный регистр внешней памяти канала	182F_D808
RUN	Псевдорегистр управления состоянием бита RUN регистра CSR	182F_D80C
Канал записи в память принимаемых слов данных		
CSR	Регистр управления и состояния канала	182F_D840
CP	Регистр указателя цепочки канала	182F_D844
IR	Индексный регистр внешней памяти канала	182F_D848
RUN	Псевдорегистр управления состоянием бита RUN регистра CSR	182F_D84C
Канал чтения из памяти дескрипторов передаваемых пакетов		
CSR	Регистр управления и состояния канала	182F_D880
CP	Регистр указателя цепочки канала	182F_D884
IR	Индексный регистр внешней памяти канала	182F_D888
RUN	Псевдорегистр управления состоянием бита RUN регистра CSR	182F_D894
Канал чтения из памяти передаваемых слов данных		
CSR	Регистр управления и состояния канала	182F_D8C0
CP	Регистр указателя цепочки канала	182F_D8C4
IR	Индексный регистр внешней памяти канала	182F_D8C8
RUN	Псевдорегистр управления состоянием бита RUN регистра CSR	182F_D8CC

Условное обозначение регистра	Название регистра	Адрес регистра
Регистры DMA коммутатора GigaSpWR		
Канал записи в память дескрипторов принимаемых пакетов		
CSR	Регистр управления и состояния канала	182F_A800
CP	Регистр указателя цепочки канала	182F_A804
IR	Индексный регистр внешней памяти канала	182F_A808
RUN	Псевдорегистр управления состоянием бита RUN регистра CSR	182F_A80C
Канал записи в память принимаемых слов данных		
CSR	Регистр управления и состояния канала	182F_A840
CP	Регистр указателя цепочки канала	182F_A844
IR	Индексный регистр внешней памяти канала	182F_A848
RUN	Псевдорегистр управления состоянием бита RUN регистра CSR	182F_A84C
Канал чтения из памяти дескрипторов передаваемых пакетов		
CSR	Регистр управления и состояния канала	182F_A880
CP	Регистр указателя цепочки канала	182F_A884
IR	Индексный регистр внешней памяти канала	182F_A888
RUN	Псевдорегистр управления состоянием бита RUN регистра CSR	182F_A88C
Канал чтения из памяти передаваемых слов данных		
CSR	Регистр управления и состояния канала	182F_A8C0
CP	Регистр указателя цепочки канала	182F_A8C4
IR	Индексный регистр внешней памяти канала	182F_A8C8
RUN	Псевдорегистр управления состоянием бита RUN регистра CSR	182F_A8CC
Регистры DDR_PORT0		
DDR_BAR	Регистр базового адреса	182F_1210
DDR_CON	Регистр конфигурации DDR	182F_1214
DDR_TMR	Регистр параметров DDR	182F_1218
DDR_CSR	Регистр управления и состояния	182F_121C
DDR_MOD	Регистр режимов	182F_1220

Условное обозначение регистра	Название регистра	Адрес регистра
DDR_EXT	Регистр управления режимами контроля памяти	182F_1224
DDR_ERR	Регистр ошибок памяти	182F_1228
Регистры DDR_PORT1		
DDR_BAR	Регистр базового адреса	182F_1310
DDR_CON	Регистр конфигурации DDR	182F_1314
DDR_TMR	Регистр параметров DDR	182F_1318
DDR_CSR	Регистр управления и состояния	182F_131C
DDR_MOD	Регистр режимов	182F_1320
DDR_EXT	Регистр управления режимами контроля памяти	182F_1324
DDR_ERR	Регистр ошибок памяти	182F_1328
Регистры Ethernet MAC		
MAC_CONTROL[11:0]	Регистр управления MAC	182F_E000
MAC_ADDR_L[31:0]	Регистр младшей части исходного адреса MAC	182F_E004
MAC_ADDR_H[15:0]	Регистр старшей части исходного адреса MAC	182F_E008
DADDR_L[31:0]	Регистр младшей части адреса назначения	182F_E00C
DADDR_H[15:0]	Регистр старшей части адреса назначения	182F_E010
FCS_CLIENT[31:0]	Регистр контрольной суммы кадра	182F_E014
TYPE[15:0]	Регистр типа кадра	182F_E018
IFS_COLL_MODE[23:0]	Регистр IFS и режима обработки коллизии	182F_E01C
TX_FRAME_CONTROL[16:0]	Регистр управления передачи кадра	182F_E020
STATUS_TX[26:0]	Регистр статуса передачи кадра	182F_E024
UCADDR_L[31:0]	Регистр младшей части уникального адреса MAC	182F_E028
UCADDR_H[15:0]	Регистр старшей части уникального адреса MAC	182F_E02C
MCADDR_L[31:0]	Регистр младшей части группового адреса	182F_E030
MCADDR_H[15:0]	Регистр старшей части группового адреса	182F_E034
MCADDR_MASK_L[31:0]	Регистр младшей части маски группового адреса	182F_E038
MCADDR_MASK_H[15:0]	Регистр старшей части маски группового адреса	182F_E03C

Условное обозначение регистра	Название регистра	Адрес регистра
HASHT_L[31:0]	Регистр младшей части хэш-таблицы	182F_E040
HASHT_H[31:0]	Регистр старшей части хэш-таблицы	182F_E044
RX_FRAME_CONTROL[9:0]	Регистр управления приема кадра	182F_E048
RX_FR_MaxSize[11:0]	Регистр максимального размера принимаемого кадра	182F_E04C
STATUS_RX[29:0]	Регистр статуса приема кадра	182F_E050
RX_FRAME_STATUS_FIFO [26:0]	FIFO статусов принятых кадров	182F_E054
MD_CONTROL[31:0]	Регистр управления порта MD	182F_E058
MD_STATUS[31:0]	Регистр статуса порта MD	182F_E05C
MD_MODE[8:0]	Регистр режима работы порта MD	182F_E060
TX_TEST_CSR[14:0]	Регистр управления и состояния режима тестирования TX_FIFO	182F_E064
TX_FIFO[31:0]	Передающее TX_FIFO	182F_E068
RX_TEST_CSR[14:0]	Регистр управления и состояния режима тестирования RX_FIFO	182F_E06C
RX_FIFO[31:0]	Принимающее RX_FIFO	182F_E070
Регистры MFBSP0		
TX_MFBSP0	Буфер передачи данных	182F_7000
RX_MFBSP0	Буфер приема данных	182F_7000
CSR_MFBSP0	Регистр управления и состояния	182F_7004
DIR_MFBSP0	Регистр управления направлением выводов порта ввода-вывода	182F_7008
GPIO_DR0	Регистр данных порта ввода-вывода	182F_700C
TCTR0	Регистр управления передатчиком	182F_7010
RCTR0	Регистр управления приёмником	182F_7014
TSR0	Регистр состояния передатчика	182F_7018
RSR0	Регистр состояния приёмника	182F_701C
Регистры MFBSP1		
TX_MFBSP1	Буфер передачи данных	182F_7100
RX_MFBSP1	Буфер приема данных	182F_7100
CSR_MFBSP1	Регистр управления и состояния	182F_7104
DIR_MFBSP1	Регистр управления направлением выводов порта ввода-вывода	182F_7108

Условное обозначение регистра	Название регистра	Адрес регистра
GPIO_DR1	Регистр данных порта ввода-вывода	182F_710C
TCTR1	Регистр управления передатчиком	182F_7110
RCTR1	Регистр управления приёмником	182F_7114
TSR1	Регистр состояния передатчика	182F_7118
RSR1	Регистр состояния приёмника	182F_711C
Регистры MFBSP2		
TX_MFBSP2	Буфер передачи данных	182F_7200
RX_MFBSP2	Буфер приема данных	182F_7200
CSR_MFBSP2	Регистр управления и состояния	182F_7204
DIR_MFBSP2	Регистр управления направлением выводов порта ввода-вывода	182F_7208
GPIO_DR2	Регистр данных порта ввода-вывода	182F_720C
TCTR2	Регистр управления передатчиком	182F_7210
RCTR2	Регистр управления приёмником	182F_7214
TSR2	Регистр состояния передатчика	182F_7218
RSR2	Регистр состояния приёмника	182F_721C
Регистры MFBSP3		
TX_MFBSP3	Буфер передачи данных	182F_7300
RX_MFBSP3	Буфер приема данных	182F_7300
CSR_MFBSP3	Регистр управления и состояния	182F_7304
DIR_MFBSP3	Регистр управления направлением выводов порта ввода-вывода	182F_7308
GPIO_DR3	Регистр данных порта ввода-вывода	182F_730C
TCTR3	Регистр управления передатчиком	182F_7310
RCTR3	Регистр управления приёмником	182F_7314
TSR3	Регистр состояния передатчика	182F_7318
RSR3	Регистр состояния приёмника	182F_731C
Регистры UART0		
RBR	Приемный буферный регистр	182F_3000
THR	Передающий буферный регистр	182F_3000

Условное обозначение регистра	Название регистра	Адрес регистра
IER	Регистр разрешения прерываний	182F_3004
IIR	Регистр идентификации прерывания	182F_3008
FCR	Регистр управления FIFO	182F_3008
LCR	Регистр управления линией	182F_300C
MCR	Регистр управления	182F_3010
LSR	Регистр состояния линии	182F_3014
SPR	Регистр Scratch Pad	182F_301C
DLL	Регистр делителя младший	182F_3000
DLM	Регистр делителя старший	182F_3004
SCLR	Регистр предделителя (scaler)	182F_3014
Регистры UART1		
RBR	Приемный буферный регистр	182F_3400
THR	Передающий буферный регистр	182F_3400
IER	Регистр разрешения прерываний	182F_3404
IIR	Регистр идентификации прерывания	182F_3408
FCR	Регистр управления FIFO	182F_3408
LCR	Регистр управления линией	182F_340C
MCR	Регистр управления	182F_3410
LSR	Регистр состояния линии	182F_3014
SPR	Регистр Scratch Pad	182F_341C
DLL	Регистр делителя младший	182F_3400
DLM	Регистр делителя старший	182F_3404
SCLR	Регистр предделителя (scaler)	182F_3414
Регистры IT0		
ITCSR	Регистр управления	182F_5020
ITPERIOD	Регистр периода работы таймера	182F_5024
ITCOUNT	Регистр счетчика	182F_5028
ITSCALE	Регистр предделителя	182F_502C
Регистры WDT		

Условное обозначение регистра	Название регистра	Адрес регистра
WTCSR	Регистр управления	182F_5010
WTPERIOD	Регистр периода работы таймера	182F_5014
WTCOUNT	Регистр счетчика	182F_5018
WTSCALE	Регистр предделителя	182F_501C
Регистры IT1		
ITCSR	Регистр управления	182F_5000
ITPERIOD	Регистр периода работы таймера	182F_5004
ITCOUNT	Регистр счетчика	182F_5008
ITSCALE	Регистр предделителя	182F_500C
Регистры MPORT		
CSCON0	Регистр конфигурации блока внешней памяти, подключаемого к выводу nCS[0]	182F_1000
CSCON1	Регистр конфигурации блока внешней памяти, подключаемого к выводу nCS[1]	182F_1004
CSCON2	Регистр конфигурации блока внешней памяти, подключаемого к выводу nCS[2]	182F_1008
CSCON3	Регистр конфигурации блока внешней памяти, подключаемого к выводу nCS[3]	182F_100C
CSCON4	Регистр конфигурации внешней памяти, не вошедшей в блоки памяти, определяемые регистрами CSCON3 - CSCON0	182F_1010
SDRCON	Регистр конфигурации типа SDRAM	182F_1014
SDRTMR	Регистр временных параметров памяти типа SDRAM	182F_1018
SDRCSR	Регистр управления режимами памяти типа SDRAM	182F_101C
FLY_WS	Регистр определяет количество дополнительных тактов ожидания в обменах внешних устройств с асинхронной памятью (режим FLYBY)	182F_1020
CSR_EXT	Регистр управления режимами контроля внешней памяти	182F_1024
AERROR_EXT	Регистр ошибок внешней памяти	182F_1028
Системные регистры		
CR_PLL0	Регистр 0 управления работой PLL	182F_4000
CR_PLL1	Регистр 1 управления работой PLL	182F_407C
CLK_EN	Регистр управления отключением частоты от устройств	182F_4004
CSR	Регистр управления и состояния	182F_4008

Условное обозначение регистра	Название регистра	Адрес регистра
MASKR0	Регистр маски прерываний из регистра QSTR0	182F_4010
QSTR0	Регистр запросов прерываний QSTR0	182F_4014
MASKR1	Регистр маски прерываний из регистра QSTR1	182F_4018
QSTR1	Регистр запросов прерываний QSTR1	182F_401C
MASKR2	Регистр маски прерываний из регистра QSTR2	182F_4020
QSTR2	Регистр запросов прерываний QSTR	182F_4024
MASKR3	Регистр маски прерываний из регистра QSTR3	182F_4028
QSTR3	Регистр запросов прерываний QSTR3	182F_402C
IRQM	Регистр управления режимом приема внешних прерываний nIRQ[3:0]	182F_4030
Регистры контроля по коду Хэмминга внутренней памяти		
CSR_CRAM0A	Регистр управления и состояния CRAM0A	182F_4400
AERROR_CRAM0A	FIFO ошибочных адресов CRAM0A	182F_4404
CSR_CRAM0B	Регистр управления и состояния CRAM0B	182F_4408
AERROR_CRAM0B	FIFO ошибочных адресов CRAM0B	182F_440C
CSR_CRAM1A	Регистр управления и состояния CRAM1A	182F_4410
AERROR_CRAM1A	FIFO ошибочных адресов CRAM1A	182F_4414
CSR_CRAM1B	Регистр управления и состояния CRAM1B	182F_4418
AERROR_CRAM1B	FIFO ошибочных адресов CRAM1B	182F_441C
CSR_CRAM2A	Регистр управления и состояния CRAM2A	182F_4420
AERROR_CRAM2A	FIFO ошибочных адресов CRAM2A	182F_4424
CSR_CRAM2B	Регистр управления и состояния CRAM2B	182F_4428
AERROR_CRAM2B	FIFO ошибочных адресов CRAM2B	182F_442C
CSR_CRAM3A	Регистр управления и состояния CRAM3A	182F_4430
AERROR_CRAM3A	FIFO ошибочных адресов CRAM3A	182F_4434
CSR_CRAM3B	Регистр управления и состояния CRAM3B	182F_4438
AERROR_CRAM3B	FIFO ошибочных адресов CRAM3B	182F_443C
CSR_ICACHE	Регистр управления и состояния ICACHE	182F_4800
AERROR_ICACHE	FIFO ошибочных адресов ICACHE	182F_4804

Условное обозначение регистра	Название регистра	Адрес регистра
CSR_DCACHE	Регистр управления и состояния DCACHE	182F_4C00
AERROR_DCACHE	FIFO ошибочных адресов DCACHE	182F_4C04
Регистры блока аппаратных ускорителей ACC		
Регистры схемы управления ACC_ctr		
CONF0	Регистр конфигурации	1848_2000
IRQM	Регистр маски прерываний	1848_2004
IRQ	Регистр прерываний	1848_2008
HEM_M0	Регистр управления блока Хэмминга 0. Блок Хэмминга 0 отслеживает обращения со стороны ACC к первому 64-разрядному слову памяти BUFFER0	1848_200C
HEM_E0	Регистр FIFO адреса ошибки блока Хэмминга 0.	1848_2010
HEM_M1	Регистр управления блока Хэмминга 1. Блок Хэмминга 1 отслеживает обращения со стороны ACC к второму 64-разрядному слову памяти BUFFER0	1848_2014
HEM_E1	Регистр FIFO адреса ошибки блока Хэмминга 1.	1848_2018
HEM_M2	Регистр управления блока Хэмминга 2. Блок Хэмминга 2 отслеживает обращения со стороны ACC к третьему 64-разрядному слову памяти BUFFER0	1848_201C
HEM_E2	Регистр FIFO адреса ошибки блока Хэмминга 2.	1848_2020
HEM_M3	Регистр управления блока Хэмминга 3. Блок Хэмминга 3 отслеживает обращения со стороны ACC к четвертому 64-разрядному слову памяти BUFFER0	1848_2024
HEM_E3	Регистр FIFO адреса ошибки блока Хэмминга 3.	1848_2028
HEM_M4	Регистр управления блока Хэмминга 4. Блок Хэмминга 4 отслеживает обращения со стороны ACC к первому 64-разрядному слову памяти BUFFER1	1848_202C
HEM_E4	Регистр FIFO адреса ошибки блока Хэмминга 4.	1848_2030
HEM_M5	Регистр управления блока Хэмминга 5. Блок Хэмминга 5 отслеживает обращения со стороны ACC к второму 64-разрядному слову памяти BUFFER1	1848_2034
HEM_E5	Регистр FIFO адреса ошибки блока Хэмминга 5.	1848_2038

Условное обозначение регистра	Название регистра	Адрес регистра
HEM_M6	Регистр управления блока Хэмминга 6. Блок Хэмминга 6 отслеживает обращения со стороны АСС к третьему 64-разрядному слову памяти BUFFER1	1848_203C
HEM_E6	Регистр FIFO адреса ошибки блока Хэмминга 6.	1848_2040
HEM_M7	Регистр управления блока Хэмминга 7. Блок Хэмминга 7 отслеживает обращения со стороны АСС к четвертому 64-разрядному слову памяти BUFFER1	1848_2044
HEM_E7	Регистр FIFO адреса ошибки блока Хэмминга 7.	1848_2048
Регистры блока аппаратных ускорителей АСС		
Регистры схемы управления АСС_ctr		
HEM_M8	Регистр управления блока Хэмминга 8. Блок Хэмминга 8 отслеживает обращения со стороны АСС и AXI к первому 64-разрядному слову памяти BUFFER0	1848_204C
HEM_E8	Регистр FIFO адреса ошибки блока Хэмминга 8.	1848_2050
HEM_M9	Регистр управления блока Хэмминга 9. Блок Хэмминга 9 отслеживает обращения со стороны АСС и AXI к второму 64-разрядному слову памяти BUFFER0	1848_2054
HEM_E9	Регистр FIFO адреса ошибки блока Хэмминга 9.	1848_2058
HEM_M10	Регистр управления блока Хэмминга 10. Блок Хэмминга 10 отслеживает обращения со стороны АСС и AXI к третьему 64-разрядному слову памяти BUFFER0	1848_205C
HEM_E10	Регистр FIFO адреса ошибки блока Хэмминга 10.	1848_2060
HEM_M11	Регистр управления блока Хэмминга 11. Блок Хэмминга 11 отслеживает обращения со стороны АСС и AXI к четвертому 64-разрядному слову памяти BUFFER0	1848_2064
HEM_E11	Регистр FIFO адреса ошибки блока Хэмминга 11.	1848_2068
HEM_M12	Регистр управления блока Хэмминга 12. Блок Хэмминга 12 отслеживает обращения со стороны АСС и AXI к первому 64-разрядному слову памяти BUFFER1	1848_206C
HEM_E12	Регистр FIFO адреса ошибки блока Хэмминга 12.	1848_2070
HEM_M13	Регистр управления блока Хэмминга 13. Блок Хэмминга 13 отслеживает обращения со стороны АСС и AXI к второму 64-разрядному слову памяти BUFFER1	1848_2074

Условное обозначение регистра	Название регистра	Адрес регистра
HEM_E13	Регистр FIFO адреса ошибки блока Хэмминга 13.	1848_2078
HEM_M14	Регистр управления блока Хэмминга 14. Блок Хэмминга 14 отслеживает обращения со стороны АСС и АХІ к третьему 64-разрядному слову памяти BUFFER1	1848_207С
HEM_E14	Регистр FIFO адреса ошибки блока Хэмминга 14.	1848_2080
HEM_M15	Регистр управления блока Хэмминга 15. Блок Хэмминга 15 отслеживает обращения со стороны АСС и АХІ к четвертому 64-разрядному слову памяти BUFFER1	1848_2084
HEM_E15	Регистр FIFO адреса ошибки блока Хэмминга 15	1848_2088
Регистры блока аппаратных ускорителей АСС		
Регистры ускорителя FFT		
CR	Регистр управления	1848_2100
SR	Регистр статуса	1848_2104
CONF0	Регистр конфигурации 0	1848_2108
CONF1	Регистр конфигурации 1	1848_210С
ADDRB	Регистр адреса входных данных массива 0	1848_2110
ADDRH	Регистр адреса входных данных массива 1	1848_2114
NORC	Регистр значения нормализации результата	1848_2118
IRQM	Регистр маски прерываний	1848_211С
IRQ	Регистр прерываний	1848_2120
ACC0	Регистр значения действительной части аккумулятора	1848_2124
ACC1	Регистр значения мнимой части аккумулятора	1848_2128
Регистры ускорителя JPEG_Encoder		
CR	Регистр управления JPEG ускорителем	1848_2200
SR	Регистр состояния JPEG ускорителя	1848_2204
CONF0	Конфигурационный регистр 0	1848_2208
CONF1	Конфигурационный регистр 1	1848_220С
ADDRy	Регистр адреса данных Y компоненты в памяти ускорителя	1848_2210
ADDRcb	Регистр адрес Cb компоненты в памяти ускорителя	1848_2214

Условное обозначение регистра	Название регистра	Адрес регистра
ADDRcr	Регистр адреса Сг компоненты в памяти ускорителя	1848_2218
ADDRo	Регистр адреса выходного массива данных в памяти ускорителя	1848_221С
COEFa	Регистр адреса коэффициентов квантования	1848_2220
COEFd	Регистр данных коэффициентов квантования	1848_2224
LEN	Регистр длины выходного массива (в битах)	1848_2228
IRQM	Регистр маски прерываний	1848_222С
IRQ	Регистр прерываний	1848_2230
Регистры коммутатора GigaSpWR		
-	Базовый адрес	182F_A000
Таблица маршрутизации		
-	Базовый адрес	182F_A400

2.1.1 Карта доступа CPU, DSP, DMA к памяти и регистрам периферии

Возможные варианты доступа отображены в Таблица 2.5.

Таблица 2.5. Карта доступа CPU, DSP, DMA к памяти и регистрам периферии

	CPU	DSP	DMA
CRAM	+	+	+
PRAM	+	+	+
XYRAM	+	+	+
Регистры ACC	+	-	-
Буферы ACC	+	-	+

	CPU	DSP	DMA
Регистры периферийных устройств	+	+	-
Внешняя память	+	+	+

2.2 Система синхронизации

2.2.1 Входы синхронизации и умножители частоты

Микросхема 1892BM15Ф имеет следующие входы синхронизации:

- XTI - частота 10 МГц для синхронизации всех умножителей частоты микросхемы;
- RTC_XTI - частота таймера реального времени 32 КГц;
- XTI125 - частоты 125 МГц для работы портов по стандартам SpaceFibre и GigaSpaceWire-RUS;
- XTI48 - частота 48 МГц для работы контроллера USB.

Для синхронизации работы узлов микросхемы 1892BM15Ф используются умножители частоты на основе схемы фазовой автоподстройки частоты (PLL). Имеются следующие умножители частоты:

- PLL_CORE – формирует тактовую частоту работы CPU, UART, IT, WDT, SPI, коммутатора AXI, системной части всех устройств микросхемы;
- PLL_DSP – формирует тактовую частоту работы основной части DSP0, DSP1;
- PLL_ACC - формирует тактовую частоту работы блока аппаратных ускорителей ACC;
- PLL_DDR – формирует тактовую частоту для работы портов DDR_PORT. Далее, эта частота делится на 2 и выдается на выводы микросхемы CK[2:0]/CKn[2:0] для тактирования памяти DDR, подключенной к портам DDR_PORT. Частота для тактирования памяти DDR выведена на 3 пары выводов для увеличения нагрузочной способности;
- PLL_MPORT – формирует выходную тактовую частоту SCLK для работы памяти типа SDRAM, подключенной к MPORT;
- PLL_TX_SW0, PLL_TX_SW1 – формирует тактовую частоту для передачи последовательного кода из портов SpaceWire в одноименную сеть.

Частота, поступающая на вход, XTI делится на 2 и далее поступает на входы всех PLL.

2.2.2 Управление работой PLL

Управление работой PLL осуществляется при помощи регистров CR_PLL0, CR_PLL1 форматы которых приведены в Таблица 2.6, Таблица 2.7.

Таблица 2.6. Формат регистра CR_PLL0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	PLL_DDR_EN	Выбор источника тактовой частоты для работы портов DDR_PORT и формирования частот СК[2:0]/СКn[2:0] (после делителя на 2): 1 – PLL_DDR; 0 – вход ХТИ. Частота на выходе DDR_PLL (задаваемая множителем CR_PLL[30:24]) делится на два и выдается на выходы СК/СКn. СК/СКn0, СК/СКn1, СК/СКn2 - одна и та же частота, на три выхода она разделена для повышения нагрузочной способности.	R/W	0
30:24	CLK_SEL_DDR[6:0]	Коэффициент умножения/деления входной частоты PLL_DDR (частота ХТИ, деленная на 2): 00 – 1/16; 01 – 1 02 – 2; 03 – 3; ... 7E – 126; 7F – 127.	R/W	1
23	PLL_DSP_EN	Выбор источника тактовой частоты для работы ядер DSP: 1 – PLL_DSP; 0 – вход ХТИ.	R/W	0
22:16	CLK_SEL_DSP[6:0]	Коэффициент умножения/деления входной частоты PLL_DSP (частота ХТИ, деленная на 2): 00 – 1/16; 01 – 1 02 – 2; 03 – 3; ... 7F – 127.	R/W	1
15	PLL_MPORT_EN	Выбор источника тактовой частоты для работы MPORT: 1 – PLL_MPORT; 0 – вход ХТИ.	R/W	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
14:8	CLK_SEL_MPORT[6:0]	Коэффициент умножения/деления входной частоты PLL_MPORT (частота ХТИ, деленная на 2): 00 – 1/16; 01 – 1 02 – 2; 03 – 3; ... 7F – 127.	R/W	1
7	PLL_CORE_EN	Выбор источника тактовой частоты для работы CPU, UART, IT, WDT, SPI, коммутатора AXI, системной части всех устройств микросхемы: 1 – PLL_CORE; 0 – вход ХТИ.	R/W	0
6:0	CLK_SEL_CORE[6:0]	Коэффициент умножения/деления входной частоты PLL_CORE (частота ХТИ, деленная на 2): 00 – 1/16; 01 – 1 02 – 2; 03 – 3; ... 7F – 127.	R/W	1

Таблица 2.7. Формат регистра CR_PLL1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	-	Не используется	-	0
23	PLL_ACC_EN	Выбор источника тактовой частоты для работы ACC: 1 – PLL_ACC; 0 – частота с входа ХТИ, деленная на 2	R/W	0
22:16	CLK_SEL_ACC[6:0]	Коэффициент умножения/деления входной частоты PLL_ACC (частота ХТИ, деленная на 2): 00 – 1/16; 01 – 1 02 – 2; 03 – 3; ... 7E – 126; 7F – 127.	R/W	1
15:0	-	Не используется	-	0

Нумерация разрядов всех регистров соответствует нумерации разрядов памяти CPU. Если разряды регистров доступны только по записи или не используются (резерв), то при чтении из них считываются нули. Если разряды регистров доступны только по чтению или не используются, то при записи в них необходимо указывать нули.

2.2.3 Отключение и включение тактовой частоты

В данной микросхеме имеется два режима энергосбережения:

- уменьшение тактовой частоты работы устройств;
- отключение тактовой частоты работы устройств.

Уменьшение тактовой частоты устройств выполняется при записи необходимого кода в поле CLK_SEL регистра CR_PLL. При этом значение тактовой частоты изменится через время не более чем 2 мс.

Отключение тактовой частоты от устройств выполняется при помощи регистра CLK_EN, формат которого приведен в Таблица 2.8.

Таблица 2.8. Формат регистра CLK_EN

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:29	-	Не используется	-	0
28	CLKEN_GigaSpWR	Управление включением тактовых частот коммутатора GigaSpWR, поступающих от PLL_CORE и входа микросхемы XTI125: 1 – частота включена; 0 – частота выключена	R/W	0
27:26	CLKEN_SPFMIC [1:0]	Управление включением тактовых частот контроллеров SpFmIC4-1,0, поступающих от PLL_CORE и входа микросхемы XTI125: 1 – частота включена; 0 – частота выключена	R/W	0
25:23	-	Резерв	-	0
22	CLKEN_USB	Управление включением тактовой частоты USB, поступающей от PLL_CORE: 1 – частота включена; 0 – частота выключена	R/W	0
21	CLKEN_ACC	Управление включением тактовой частоты ACC, поступающей от PLL_ACC соответственно: 1 – частота включена; 0 – частота выключена. При выключении частоты ACC его регистры становятся недоступны для CPU.	R/W	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
20	CLKEN_EMAC	Управление включением тактовой частоты EMAC, поступающей от PLL_CORE: 1 – частота включена; 0 – частота выключена	R/W	0
19:14	-	Резерв	-	0
13:12	CLKEN_DMA[1:0]	Управление включением тактовой частоты DMA MEM_CH поступающей от PLL_CORE: 1 – частота включена; 0 – частота выключена.	R/W	0
11:9	-	Не используется	-	0
8	CLKEN_MFBSP [3:1]	Управление включением тактовой частоты MFBSP3 – MFBSP1 и их DMA, поступающей от PLL_CORE: 1 – частота включена; 0 – частота выключена	R/W	0
7:6	CLKEN_DDR[1:0]	Управление включением тактовой частоты портов DDR_PORT1 и DDR_PORT0, поступающей от PLL_DDR соответственно: 1 – частота включена; 0 – частота выключена. При выключении частоты соответствующего DDR_PORT его регистры доступны для CPU. Для всех каналов DMA, соответствующий порт DDR_PORT становится не доступным, и все передачи данных переадресуются в MPORT	R/W	0
5:4	CLKEN_DSP[1:0]	Управление включением тактовой частоты DSP1, DSP0, поступающей от PLL_DSP соответственно: 1 – частота включена; 0 – частота выключена. При выключении частоты соответствующего DSP его регистры становятся недоступны для CPU	R/W	0
3	-	Не используется	-	0
2	CLKEN_CPU2	Управление включением тактовой частоты CPU CLK2: 1 – частота включена; 0 – частота выключена. Если содержимое поля CPU_MODE регистра CSR равно 0x2 или 0x3, то включается по внешним прерываниям nIRQ[3:0], NMI и немаскируемому прерыванию от таймера WDT	R/W	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
1	CLKEN_CPU1	Управление включением тактовой частоты CPU CLK1: 1 – частота включена; 0 – частота выключена. Если содержимое поля CPU_MODE регистра CSR равно 0x1 или 0x3, то включается по внешним прерываниям nIRQ[3:0], NMI и немаскируемому прерыванию от таймера WDT	R/W	0
0	CLKEN_CPU0	Управление включением тактовой частоты CPU CLK0: 1 – частота включена; 0 – частота выключена. Если содержимое поля CPU_MODE регистра CSR равно 0x0 или 0x3, то включается по внешним прерываниям nIRQ[3:0], NMI и немаскируемому прерыванию от таймера WDT	R/W	1

Частоты CLK0, CLK1, CLK2 используются для тактирования трех резервных каналов CPU.

Если хотя бы одна из частот CLK0, CLK1, CLK2 включена, то частота от PLL_CORE (при PLL_CORE_EN = 1) всегда поступает на ядро микросхемы: UART, IT0, IT1, WDT, SPI, коммутатор AXI и системную часть всех устройств микросхемы.

Если хотя бы одна из частот CLK0, CLK1, CLK2 включена, то частота от PLL_CORE (при PLL_CORE_EN = 1), поступающая на DMA, MFBSP, EMAC, SPFMIC, GigaSpWR может быть отключена при помощи соответствующего разряда регистра CLK_EN.

Частота от PLL_DDR (при PLL_DDR_EN = 1), поступающая на порты DDR_PORT и на делитель на 2 для формирования частот СК[2:0]/СКn[2:0], может быть отключена при помощи регистра CLK_EN.

Частота от PLL_DSP (при PLL_DSP_EN = 1), поступающая на основную часть ядер DSP[1:0], может быть отключена при помощи регистра CLK_EN.

Устройство, входная частота которого отключается, должно быть в неактивном состоянии. Все передачи данных, выполняемые им, должны быть завершены.

Отключение внутренней тактовой частоты ядра микросхемы, должно выполняться следующим образом:

- программа CPU должна выполняться из кэш программ или из внутренней памяти CRAM;
- DMA, все контроллеры и порты переводятся в неактивное состояние. Все передачи данных должны быть завершены;
- записать 1 в разряд SREF регистра SDRCSR MPORT. По данной операции SDRAM переводится в режим саморегенерации;
- произвести запись 0 в разряды 2:0 регистра CLK_EN. По этой операции внутренняя тактовая частота ядра микросхемы отключается. За этой командой должна стоять команда NOP.

Включение внутренней тактовой частоты осуществляется по любому внешнему прерыванию nIRQ[3:0] или NMI. Обработка исключения по данным прерываниям в этом случае должна выполняться следующим образом:

- записать 1 в разряд EXIT регистра SDRCSR MPORT. По данной операции SDRAM выводится из режима саморегенерации;
- выполнить 10 команд NOP.

2.3 Контроллер прерываний

Все сигналы внутренних и внешних прерываний поступают на входы псевдорегистров. Эти регистры не имеют элементов памяти и доступны только по чтению.

Каждый разряд регистров QSTR содержит запрос прерывания от внутренних узлов микросхемы и от внешних сигналов прерывания nIRQ[3:0] в не зависимости от состояния соответствующих разрядов регистров MASKR:

- 0 – нет запроса;
- 1 – есть запрос.

Сигналы внутренних прерываний формируются в соответствующих устройствах при выполнении определенных условий. В процессе обслуживания прерывания необходимо проанализировать состояние устройства для определения причины его возникновения. Сброс прерывания осуществляется в момент исключения причины возникновения данного прерывания. Например, прерывание от LPORT сбрасывается при записи данных в буфер LTx или при чтении данных из буфера LRx.

Все незамаскированные прерывания объединяются по «или» и поступают в поле IP[7:2] регистр Cause CPU.

Исходное состояние регистров QSTR – нули.

Каждое прерывание можно замаскировать. Для этого имеются 4 регистра маски MASKR0, MASK1, MASK2 и MASK3 форматы которых аналогичны форматам соответствующих регистров QSTR0, QSTR1, QSTR2 и QSTR3. Исходное состояние регистров маски – нули (все прерывания запрещены). Регистры маски доступны по записи и чтению.

Форматы регистров QSTR приведены в Таблица 2.9 – Таблица 2.12.

Таблица 2.9. Формат регистра QSTR0

Номер разряда	Условное обозначение прерывания	Название прерывания
31:24	SpWR[7:0]	Прерывания от GigaSpWR
23	-	Не используется
22	IRT1	Прерывание от таймера IRT1
21	IRT0	Прерывание от таймера IRT0
20	WDT	Прерывание от таймера WDT
19	SpWR_TX_DAT_CH	Прерывание от канала DMA GigaSpWR_TX_DAT_CH
18	SpWR_TX_DES_CH	Прерывание от канала DMA GigaSpWR_TX_DES_CH
17	SpWR_RX_DAT_CH	Прерывание от канала DMA GigaSpWR_RX_DAT_CH
16	SpWR_RX_DES_CH	Прерывание от канала DMA GigaSpWR_RX_DES_CH
15	EMAC_DMA_TX	Прерывание от DMA контроллера Ethernet по завершению передачи данных
14	EMAC_DMA_RX	Прерывание от DMA контроллера Ethernet по завершению приема данных
13	EMAC_TX_FRAME	Прерывание от контроллера Ethernet по завершению попытки передачи пакета
12	EMAC_RX_FRAME	Прерывание от контроллера Ethernet по приему кадра или по переполнению входного FIFO
11	USB_EP4	Прерывание от End Point 4 контроллера USBIC (передача данных в шину USB).
10	USB_EP3	Прерывание от End Point 3 контроллера USBIC (прием данных из шины USB).
9	USB_EP2	Прерывание от End Point 2 контроллера USBIC (передача данных в шину USB).
8	USB_EP1	Прерывание от End Point 1 контроллера USBIC (прием данных из шины USB).
7	USB	Прерывание от USB
6	SPI	Прерывание от контроллера шины SPI
5	UART1	Прерывание от UART1
4	UART0	Прерывание от UART0
3	IRQ3	Внешнее прерывание nIRQ[3]
2	IRQ2	Внешнее прерывание nIRQ[2]
1	IRQ1	Внешнее прерывание nIRQ[1]
0	IRQ0	Внешнее прерывание nIRQ[0]

Таблица 2.10. Формат регистра QSTR1

Номер разряда	Условное обозначение прерывания	Название прерывания
31:16	-	Не используется
15	MEM_CH17	Прерывание от канала DMA MEM_CH17
		...
8	MEM_CH10	Прерывание от канала DMA MEM_CH10
7	MEM_CH07	Прерывание от канала DMA MEM_CH07
		...
0	MEM_CH00	Прерывание от канала DMA MEM_CH00

Таблица 2.11. Формат регистра QSTR2

Номер разряда	Условное обозначение прерывания	Название прерывания
31	SPFMIC_TX_DAT_CH1	Прерывание от канала DMA SPFMIC_TX_DAT_CH1
30	SPFMIC_TX_DES_CH1	Прерывание от канала DMA SPFMIC_TX_DES_CH1
29	SPFMIC_RX_DAT_CH1	Прерывание от канала DMA SPFMIC_RX_DAT_CH1
28	SPFMIC_RX_DES_CH1	Прерывание от канала DMA SPFMIC_RX_DES_CH1
27	-	Не используется
26:24	SPFMIC1[2:0]	Прерывания от контроллера SPFMIC1
23	SPFMIC_TX_DAT_CH0	Прерывание от канала DMA SPFMIC_TX_DAT_CH0
22	SPFMIC_TX_DES_CH0	Прерывание от канала DMA SPFMIC_TX_DES_CH0
21	SPFMIC_RX_DAT_CH0	Прерывание от канала DMA SPFMIC_RX_DAT_CH0
20	SPFMIC_RX_DES_CH0	Прерывание от канала DMA SPFMIC_RX_DES_CH0
19	-	Не используется
18:16	SPFMIC0[2:0]	Прерывания от контроллера SPFMIC0
15	DMA_MFBSP3	Прерывание от DMA MFBSP3
14	MFBSP_TXBUF3	Формируется, если порт MFBSP3 включен на передачу данных (в одном из режимов), а число 64-х разрядных слов, находящихся в буфере передачи меньше, либо равно TLEV (TLEV устанавливается в регистре состояния передатчика TSR)
13	MFBSP_RXBUF3	Формируется, если порт MFBSP3 включен на прием данных (в одном из режимов), а число 64-х разрядных слов в буфере приёма больше чем RLEV (RLEV устанавливается в регистре состояния приёмника RSR)
12	SRQ3	Запрос обслуживания от порта MFBSP3. Формируется, если порт выключен (LEN=0, SPI_I2S_EN=0), а на выводах LACK или LCLK присутствует сигнал высокого уровня
11	DMA_MFBSP2	Прерывание от DMA MFBSP2

Номер разряда	Условное обозначение прерывания	Название прерывания
10	МFBSP_TXBUF2	Формируется, если порт МFBSP2 включен на передачу данных (в одном из режимов), а число 64-х разрядных слов, находящихся в буфере передачи меньше, либо равно TLEV (TLEV устанавливается в регистре состояния передатчика TSR)
9	МFBSP_RXBUF2	Формируется, если порт МFBSP2 включен на прием данных (в одном из режимов), а число 64-х разрядных слов в буфере приёма больше чем RLEV (RLEV устанавливается в регистре состояния приёмника RSR)
8	SRQ2	Запрос обслуживания от порта МFBSP2. Формируется, если порт выключен (LEN=0, SPI_I2S_EN=0), а на выводах LACK или LCLK присутствует сигнал высокого уровня
7	DMA_MFBSP1	Прерывание от DMA МFBSP1
6	МFBSP_TXBUF1	Формируется, если порт МFBSP1 включен на передачу данных (в одном из режимов), а число 64-х разрядных слов, находящихся в буфере передачи меньше, либо равно TLEV (TLEV устанавливается в регистре состояния передатчика TSR)
5	МFBSP_RXBUF1	Формируется, если порт МFBSP1 включен на прием данных (в одном из режимов), а число 64-х разрядных слов в буфере приёма больше чем RLEV (RLEV устанавливается в регистре состояния приёмника RSR)
4	SRQ1	Запрос обслуживания от порта МFBSP1. Формируется, если порт выключен (LEN=0, SPI_I2S_EN=0), а на выводах LACK или LCLK присутствует сигнал высокого уровня
3	DMA_MFBSP0	Прерывание от DMA МFBSP0
2	МFBSP_TXBUF0	Формируется, если порт МFBSP0 включен на передачу данных (в одном из режимов), а число 64-х разрядных слов, находящихся в буфере передачи меньше, либо равно TLEV (TLEV устанавливается в регистре состояния передатчика TSR)
1	МFBSP_RXBUF0	Формируется, если порт МFBSP0 включен на прием данных (в одном из режимов), а число 64-х разрядных слов в буфере приёма больше чем RLEV (RLEV устанавливается в регистре состояния приёмника RSR)
0	SRQ0	Запрос обслуживания от порта МFBSP0. Формируется, если порт выключен (LEN=0, SPI_I2S_EN=0), а на выводах LACK или LCLK присутствует сигнал высокого уровня

Таблица 2.12. Формат регистра QSTR3

Номер разряда	Условное обозначение прерывания	Название прерывания
31	INT_HmACC	Прерывание по контролю кода Хэмминга от ACC
30:14	-	Не используется
13	INT_HmDDR1	Прерывание по контролю кода Хэмминга от DDR_PORT1
12	INT_HmDDR0	Прерывание по контролю кода Хэмминга от DDR_PORT0
11:10	-	Не используется
9	INT_HmDSP1	Прерывание по контролю кода Хэмминга от DSP1
8	INT_HmDSP0	Прерывание по контролю кода Хэмминга от DSP0
7	INT_HmMPORT	Прерывание по контролю кода Хэмминга от MPORT
6	-	Не используется
5	INT_HmDCACHE	Прерывание по контролю кода Хэмминга от DCACHE
4	INT_HmICACHE	Прерывание по контролю кода Хэмминга от ICACHE
3:0	INT_HmCRAM[3:0]	Прерывание по контролю кода Хэмминга от CRAM(3:0)

Регистры запросов прерывания от DSP и их регистры маски находятся в адресном пространстве DSP.

Для управления режимом приема внешних прерываний nIRQ[3:0] имеется регистр IRQM, формат которого приведен в Таблица 2.13.

Таблица 2.13. Формат регистра IRQM

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:12	-	Резерв	-	0
11:8	IRQ_MODE	Режим приема внешних прерываний nIRQ[3:0]: 0 – потенциальные сигналы, активный низкий уровень; 1 – прерывание формируется при переходе состояния входного сигнала с высокого уровня на низкий уровень. Прерывание запоминается на регистре. Регистр обнуляется при помощи разрядов IRQ_NULL	R/W	0
7:4	-	Резерв	-	0
3:0	IRQ_NULL	Обнуление запомненных прерываний при IRQ_MODE = 1. Прерывания nIRQ[3:0] обнуляются при записи 1 в разряды [3:0] соответственно.	RW1C	0

2.4 Системные регистры

Формат регистра управления и состояния CSR приведен в Таблица 2.14.

Таблица 2.14

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:26	-	Не используется	-	0
25	SpWR_MOD E	Режим тактирования GigaSpWR: 0 – GigaSpWR тактируется частотой от PLL_CORE и внешней частотой XT1125; 1 – GigaSpWR тактируется только частотой от PLL_CORE. В этом случае порты GigaSpaceWire-RUS не работают	RW	0
24:15	-	Не используется	-	0
14	FLUSH_D	При записи 1 в данный разряд кэш данных CPU останавливается в исходное состояние, то есть ее содержимое девалидируется. Эта процедура может использоваться для обеспечения когерентности кэш при работе DMA.	W	0
13	-	Не используется	-	0
12	FLUSH_I	При записи 1 в данный разряд кэш команд CPU останавливается в исходное состояние, то есть ее содержимое девалидируется. Эта процедура может использоваться для обеспечения когерентности кэш при работе DMA.	W	0
11	TST_CACHE	Режим работы кэш программ и кэш данных: 0 – нормальный режим; 1 – режим тестирования. Используется только при технологическом тестировании кэш программ. Пользователям устанавливать этот режим запрещено	R/W	0
10	-	Не используется	-	0
9:8	CPU_MODE	Режим работы CPU: 0 – работа от частоты CLK0; 1 – работа от частоты CLK1; 2 – работа от частоты CLK2; 3 – работа от частот CLK0, CLK1, CLK2. Режим TMR	RW	0
7:2	-	Не используется	-	0
1	TR_CRAM	Режим размещения векторов прерываний при BEV = 0 (регистр Status CPU): 0 – вектора прерываний размещаются во внешней памяти (базовый адрес 0x80000000); 1 – вектора прерываний размещаются во внутренней памяти CRAM (базовый адрес 0xB8000000)	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
0	FM	Режим преобразования виртуальных адресов CPU в физические адреса: 0 – с использованием TLB; 1 – Fixed Mapped (FM).	RW	1

2.5 Процедура начальной загрузки

По сигналу nRST (низкий уровень) все устройства микросхемы устанавливаются в исходное состояние. После его снятия (высокий уровень) в CPU возникает исключение, вектор которого расположен по физическому адресу 0x1FC0_0000 в блоке 3 (как правило, ПЗУ) внешней памяти;

В зависимости от состояния сигнала на выводе BYTE блок 3 внешней памяти может быть 8 – или 32 – разрядным.

В блоке 3 внешней памяти может находиться или только программа начальной загрузки или все программы микросхемы 1892BM15Ф. В первом случае основная программа может быть загружена, например, через MFBSР.

Программа начальной загрузки должна обеспечивать конфигурирование всех устройств микросхемы 1892BM15Ф.

2.6 Логика взаимодействия CPU и DSP

2.6.1 Функции CPU

CPU является ведущим. Он имеет свою операционную систему (планировщик или монитор) и выполняет основную программу.

CPU имеет доступ к следующим ресурсам DSP:

- памяти данных;
- памяти программ;
- архитектурным регистрам.

Обмен данными с этими ресурсами выполняется по командам Load, Store. Память DSP и его регистры для CPU являются словными, то есть состояние двух младших разрядов адреса является безразличным.

При штатной работе доступ к архитектурным регистрам DSP, как правило, не используется, а применяется только для его диагностики или для отладки программного обеспечения.

DSP выдает следующие прерывания в CPU, которые поступают на регистр QSTR:

- программное;
- по переполнению стека;
- при выполнении команды STOP;
- при достижении адреса останова при исполнении программы до адреса останова или завершении требуемого числа шагов при пошаговом исполнении программы.

CPU в DSP прерываний не формирует.

CPU управляет работой DSP посредством передачи ему задания (макрокоманды) и его запуска (перевод из режима STOP в режим RUN). Данная процедура выполняется в следующей последовательности:

- CPU передает в память DSP данные и параметры их обработки. Эта операция может отсутствовать;
- CPU передает в программную память DSP программный код, который должен быть выполнен. Эта операция может отсутствовать;
- CPU передает в DSP адрес первой выполняемой команды посредством записи в программный счетчик. Эта операция может отсутствовать, например, если следующая макрокоманда DSP должна выполняться с его текущего состояния;
- CPU переводит DSP в состояние RUN посредством записи в его регистр управления и состояния DCSR.

2.6.2 Функции DSP

DSP является ведомым. Он работает под управлением CPU и выполняет его макрокоманды (задания). Операционной системы и какого-либо монитора не имеет.

Для управления его работы DSP имеет программно доступный регистр управления и состояния DCSR. Формат этого регистра приведен в главе 3.

DSP может находиться в состояниях STOP или RUN и работает в старт стоповом режиме. То есть, после выполнения очередного задания CPU он останавливается и переходит в режим STOP посредством выполнения одноименной команды. DSP из состояния STOP в состояние RUN может перейти:

- по команде CPU;
- по сигналам от каналов DMA MEM_CH.

DSP может выполнить запуск работы каналов DMA MEM_CH посредством записи 1 в соответствующие разряды регистра DCSR

3. ЦЕНТРАЛЬНЫЙ ПРОЦЕССОР

3.1 Основные характеристики CPU

- Архитектура – MIPS32;
- 32-х битные пути передачи адреса и данных;
- Кэш команд объемом 32 Кбайт;
- Кэш данных объемом 32 Кбайт;
- Архитектура привилегированных ресурсов в стиле ядра R4000:
 - Регистры Count/Compare для прерываний реального времени;
 - Отдельный вектор обработки исключений по прерываниям;
- Программируемое устройство управления памятью:
 - Два режима работы – с TLB и Fixed Mapped (FM);
 - 16 строк в режиме TLB;
 - В режиме FM адресные пространства отображаются с использованием битов регистров;
- Устройство умножения и деления;
- Сопроцессором арифметики в формате с плавающей точкой;
- Поддержка отладки JTAG.

3.2 Блок-схема

Блок-схема процессорного ядра RISCORE32 приведена на Рисунок 3.1.

Ядро содержит следующие узлы:

- Устройство исполнения (Execution Core);
- Устройство целочисленного умножения и деления (MDU);
- Системный управляющий сопроцессор (CP0);
- Сопроцессор арифметики в формате с плавающей точкой (FPU);
- Устройство управления памятью (MMU – Memory Management Unit);
- Контроллер кэш (Cache Controller);
- Устройство шинного интерфейса (BIU);
- Кэш команд (Instruction Cache);
- Кэш данных (Data Cache);
- Преобразователь виртуального адреса в физический адрес (TLB/FM);
- Средства отладки программ (OnCD – On Chip Debugger) с JTAG портом.

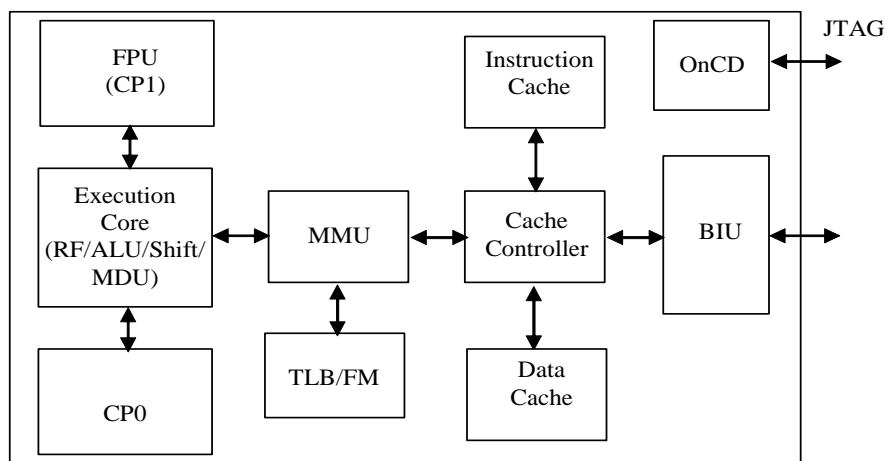


Рисунок 3.1. Блок-схема процессорного ядра RISCore32

3.3 Составляющие логические блоки

В следующих подразделах описываются устройства, входящие в состав процессорного ядра.

3.3.1 Устройство исполнения

Входящее в ядро устройство исполнения реализует архитектуру load-store (загрузка-сохранение) с одноктактными операциями арифметического логического устройства (АЛУ) (логические операции, операции сдвига, сложение и вычитание). В ядре имеется тридцать два 32-х битных регистра общего назначения, используемых для скалярных целочисленных операций и вычисления адреса. В регистровом файле есть два порта чтения и один порт записи. Также используются обходные пути передачи данных для минимизации количества остановок конвейера.

В состав устройства исполнения входят:

- 32-х битный сумматор, используемый для вычисления адреса данных;
- Адресное устройство для вычисления адреса следующей команды;
- Логика определения перехода и вычисления адреса перехода;
- Блок выравнивания при загрузке данных;
- Мультиплексоры обходных путей передачи данных для исключения остановок конвейера в тех случаях, когда команды, производящие данные и команды, использующие эти данные, расположены в программе достаточно близко;
- Блок обнаружения Нуля/Единицы для реализации команд CLZ и CLO;
- АЛУ для выполнения побитных операций;
- Сдвигающее устройство и устройство выравнивания при сохранении данных.

3.3.2 Устройство умножения/деления (MDU)

Устройство умножения/деления выполняет соответствующие операции. MDU выполняет операции умножения за 17 тактов, операции умножения с накоплением за 18 тактов, операции деления за 33 такта и операции деления с накоплением за 34 такта. Попытка активизировать следующую команду умножения/деления до завершения выполнения предыдущей, так же как и использование результата этой операции до того, как она закончена, вызывает остановку конвейера. В MDU имеется вывод, определяющий формат операции – знаковый или беззнаковый.

3.3.3 Системный управляющий сопроцессор

Сопроцессор отвечает за преобразование виртуального адреса в физический, протоколы кэш, систему управления исключениями, выбор режима функционирования (Kernel/User) и за разрешение/запрещение прерываний. Конфигурационная информация доступна посредством чтения регистров CP0 (см. раздел 3.8 “Регистры CP0”).

3.3.4 Сопроцессор арифметики в формате с плавающей точкой (FPU)

Сопроцессор арифметики в формате с плавающей точкой выполняет операции в соответствии со стандартом ANSI/IEEE Standard 754-1985, “IEEE Standard for Binary Floating-Point Arithmetic.” Поддерживаются операции, как с одинарной, так и с двойной точностью. Сопроцессор выполняет дополнительные операции, не определенные стандартом. Сопроцессор содержит 16 64-разрядных регистра для хранения операндов с одинарной и двойной точностью. Сопроцессор также содержит регистры управления и состояния, которые обеспечивают обработку исключений в соответствии с требованиями стандарта.

3.3.5 Устройство управления памятью (MMU)

Процессорное ядро содержит устройство управления памятью (MMU), реализующее интерфейс между исполнительным блоком и контроллером кэш. Ядро может работать как в режиме TLB – с 16-строчной, полностью ассоциативной матрицей TLB, так и в режиме FM (Fixed Mapped), когда используются простые преобразования виртуального адреса в физический адрес.

3.3.6 Контроллер кэш

В данной версии процессора реализованы кэш команд и кэш данных, виртуально индексируемые и контролируемые по физическому тэгу типа direct mapped, что позволяет осуществлять доступ к кэш параллельно с преобразованием виртуального адреса в физический. Объем каждой кэш составляет 16 Кбайт.

3.3.7 Устройство шинного интерфейса (BIU – Bus Interface Unit)

Устройство шинного интерфейса управляет внешними интерфейсными сигналами в соответствии со спецификацией шины АНВ (Advanced High-performance Bus) архитектуры АМВА (Advanced Microcontroller Bus Architecture).

3.3.8 OnCD контроллер

В ядре имеется устройство для отладки программ OnCD с портом JTAG.

3.4 Конвейер

В RISC-ядре процессора реализован конвейер, состоящий из пяти стадий и аналогичный конвейеру ядра R3000. Конвейер дает возможность процессору работать на высокой частоте, при этом минимизируется сложность устройства, а также уменьшается стоимость и потребление энергии.

В этой главе содержатся следующие разделы:

- 3.4.1, “Стадии конвейера”;
- 3.4.2, “Операции умножения и деления”;
- 3.4.3, “Задержка выполнения команд перехода (Jump, Branch)”;
- 3.4.4, “Обходные пути передачи данных (Data bypass)”;
- 3.4.5, “Задержка загрузки данных”.

3.4.1 Стадии конвейера

Конвейер содержит пять стадий:

- Выборка команды (стадия I- Instruction);
- Дешифрация команды (стадия D - Data);
- Исполнение команды (стадия E - Execution);
- Выборка из памяти (стадия M - Memory);
- Обратная запись (стадия W – Write Back).

На Рисунок 3.2 показаны операции, выполняемые RISC-ядром на каждом этапе конвейера.

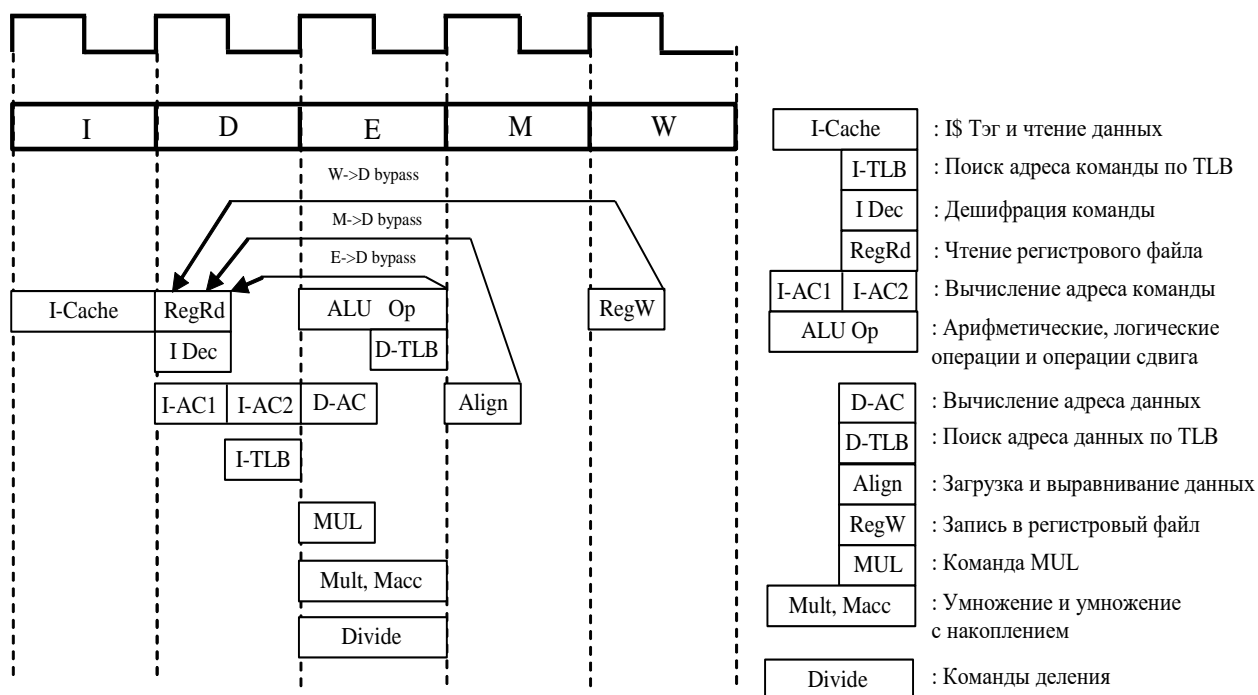


Рисунок 3.2

3.4.1.1 Стадия I: выборка команды

На этой стадии команда выбирается из командного кэш.

3.4.1.2 Стадия D: дешифрация команды

На этой стадии:

- Операнды выбираются из регистрового файла;
- Операнды передаются на эту стадию со стадий E, M и W;
- ALU определяет, выполняется ли условие перехода и вычисляет виртуальный адрес перехода для команд перехода;
- Осуществляется преобразование виртуального адреса в физический адрес;
- Производится поиск адреса команды по TLB и вырабатывается признак hit/miss;
- Командная логика выбирает адрес команды.

3.4.1.3 Стадия E: исполнение

На этой стадии:

- ALU выполняет арифметические или логические операции для команд типа регистр-регистр;
- Производится преобразование виртуального адреса в физический адрес для данных, используемых командами загрузки и сохранения;
- Производится поиск данных по TLB и вырабатывается признак hit/miss;
- Все операции умножения и деления выполняются на этой стадии.

3.4.1.4 Стадия M: выборка из памяти

На этой стадии осуществляется загрузка и выравнивание загруженных данных в границах слова.

3.4.1.5 Стадия W: обратная запись

На этой стадии для команд типа регистр-регистр или для команд загрузки результат записывается обратно в регистровый файл.

3.4.2 Операции умножения и деления

Время выполнения этих операций соответствует 17 тактам для команд умножения и 18 тактам для команд умножения с накоплением, а также 33 тактам для команд деления и 34 тактам для команд деления с накоплением.

3.4.3 Задержка выполнения команд перехода (Jump, Branch)

Конвейер осуществляет выполнение команд перехода с задержкой в один такт. Однотактная задержка является результатом функционирования логики, ответственной за принятие решения о переходе на стадии D конвейера. Эта задержка позволяет использовать адрес перехода, вычисленный на предыдущей стадии, для доступа к команде на следующей D-стадии. Слот задержки перехода (branch delay slot) позволяет отказаться от остановок конвейера при переходе. Вычисление адреса и проверка условия перехода выполняются одновременно на стадии D. Итоговое значение PC (счетчика команд) используется для выборки очередной команды на стадии I, которая является второй командой после перехода.

На Рисунок 3.3 показан слот задержки перехода.

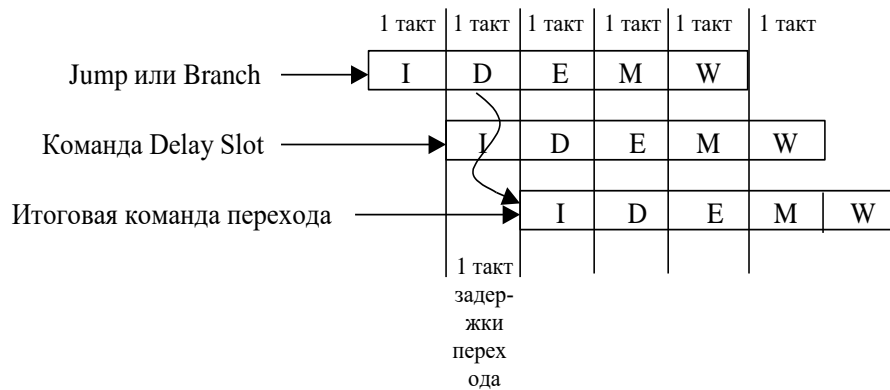


Рисунок 3.3. Слот задержки перехода

3.4.4 Обходные пути передачи данных (Data bypass)

Для большинства команд MIPS32 исходными операндами являются значения, хранящиеся в регистрах общего назначения. Эти операнды выбираются из регистрового файла в первой половине D-стадии. После исполнения на ALU результат, в принципе, готов для использования другими командами. Но запись результата в регистровый файл осуществляется только на стадии W. Это лишает следующую команду возможности использовать результат в течение 3-х циклов, если ее операндом является результат выполнения последней операции, сохраненный в регистровом файле. Для преодоления этой проблемы используются обходные пути передачи данных.

Мультиплексоры обходных путей передачи данных для обоих операндов располагаются между регистровым файлом и ALU (Рисунок 3.4). Они позволяют передавать данные с выхода стадий E, M и W конвейера прямо на стадию D, если один из регистров источника (source) декодируемой команды совпадает с регистром назначения (target) одной из предшествующих команд. Входы мультиплексоров подключены к обходным путям M→D и E→D, а также W→D.

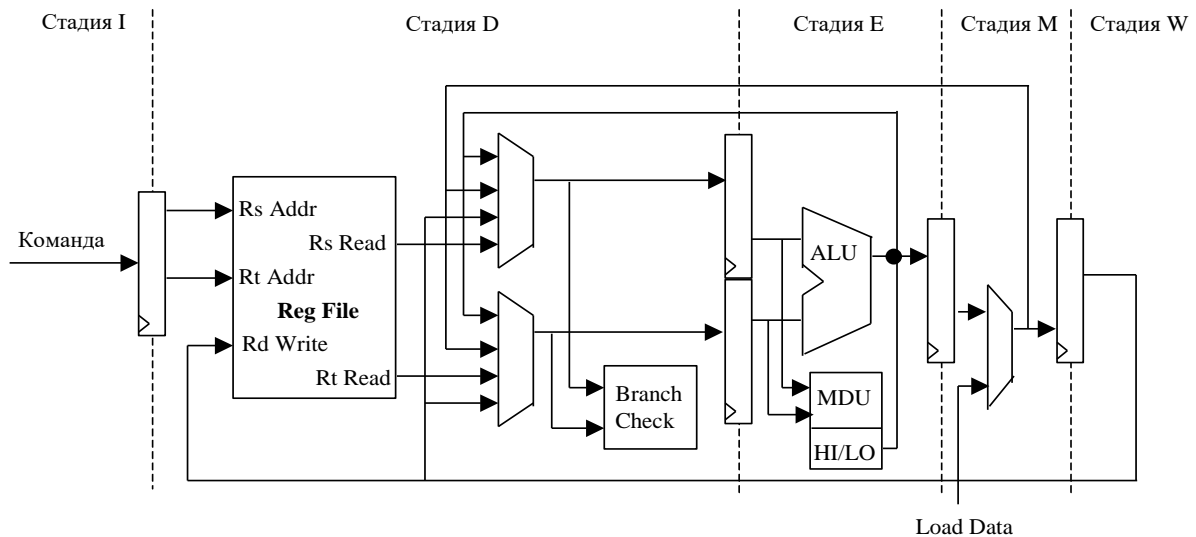


Рисунок 3.4

На Рисунок 3.5 показаны обходные пути передачи данных для команды Add₁, за которой следует команда Sub₂ и затем снова Add₃. Поскольку команда Sub₂ в качестве одного из операндов использует результат операции Add₁, используется обходной путь E→D. Следующая команда Add₃ использует результаты обеих предшествующих операций: Add₁ и Sub₂. Так как данные команды Add₁ в это время находятся на стадии M, используется обходной путь M→D. Кроме того, вновь используется обходной путь E→D для передачи результата операции Sub₂ команде Add₃.

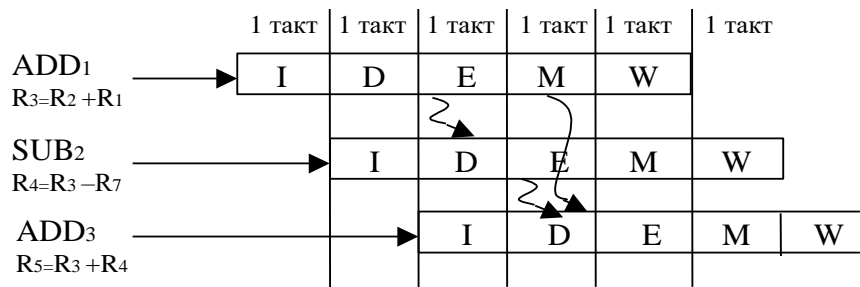


Рисунок 3.5

3.4.5 Задержка загрузки данных

Данные, выбираемые командами загрузки (Load), становятся доступными на конвейере только после выравнивания на стадии M. При этом данные, являющиеся исходными операндами, должны предоставляться командам для обработки уже на стадии D. Поэтому, если сразу за командой загрузки следует команда, для которой один из регистров исходных операндов совпадает с регистром, в который производится загрузка данных, это вызывает приостановку в работе конвейера на стадии D. Эта приостановка осуществляется аппаратной вставкой команды NOP. Во время этой задержки часть конвейера, которая находится дальше стадии D, продолжает продвигаться. Если же команда, использующая загружаемые данные, следует за командой загрузки не сразу, а через одну или через две, то для обеспечения бесперебойной работы конвейера используется один из обходных путей передачи данных: $M \rightarrow D$ или $W \rightarrow D$ (Рисунок 3.6).

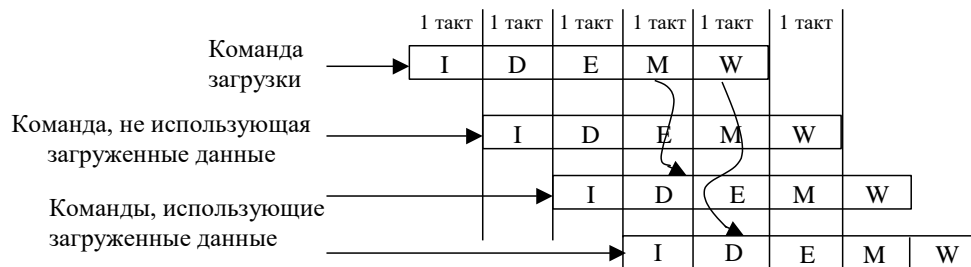


Рисунок 3.6

3.5 Сопроцессор арифметики в формате с плавающей точкой (FPU)

3.5.1 Введение

Сопроцессор арифметики в формате с плавающей точкой выполняет операции в соответствии со стандартом ANSI/IEEE Standard 754-1985, “IEEE Standard for Binary Floating-Point Arithmetic.” Поддерживаются операции, как с одинарной, так и с двойной точностью (single- or double-precision). Сопроцессор выполняет дополнительные операции не определенные стандартом. Сопроцессор содержит 16 64-разрядных регистра для хранения операндов с одинарной и двойной точностью. Сопроцессор также содержит регистры управления и состояния, которые обеспечивают обработку исключений в соответствии с требованиями стандарта.

FPU реализован как сопроцессор CP1.

3.5.2 Регистры FPU

3.5.2.1 Типы регистров

В FPU имеется три типа регистров:

- регистры общего назначения (FGR);
- регистры в формате с плавающей точкой (FPR);
- регистры управления (FCR).

32-разрядные регистры FGR являются прямо адресуемыми. FPU содержит 32 таких регистра.

64-разрядные регистры в формате с плавающей точкой FPR являются логическими и используются для хранения данных в процессе выполнения операций в формате с плавающей точкой. Эти регистры образованы конкатенацией двух соседних регистров FGR. В зависимости от операции, FPR содержит величину с одинарной или двойной точностью.

Регистры управления регистры FCR используются для выбора режима округления, обработки исключений и сохранения состояния.

В Таблица 3.1 приведены регистры управления FPU в порядке возрастания нумерации.

Таблица 3.1. Управляющие регистры FPU

Номер регистра	Название регистра	Функция
0	FIR	Регистр версии и реализации (Implementation and Revision register)
25	FCCR	Регистр кодов условий (Condition Codes register)
26	FEXR	Регистр исключений (Exceptions register)
28	FENR	Регистр разрешения исключений (Enables register)
31	FCSR	Регистр управления и состояния (Control/Status register)

В командах STC1 и CFC1 регистры FCCR, FEXR и FENR получают доступ к соответствующим частям регистра FCSR, т.е. эти регистры являются отражением соответствующих частей регистра FCSR.

Доступ к регистрам управления FPU не является привилегированным. Любая программа, которая выполняет инструкции с плавающей точкой, имеет доступ к регистрам управления FPU. Доступ к ним осуществляется посредством STC1 и CFC1 команд.

3.5.2.2 Регистры общего назначения и регистры в формате с плавающей точкой

32 регистра общего назначения (FGR) являются 32-разрядными и могут непосредственно адресоваться. Они используются в операциях в формате с плавающей точкой и индивидуально доступны по командам move, load и store. Перечень регистров FGR приведен в Таблица 3.2.

Таблица 3.2. Регистры FGR и FPR

Номер регистра FGR	Название регистра FGR	Название регистра FPR
0	FGR0	FPR0 (least)
1	FGR1	FPR0 (most)
2	FGR2	FPR2 (least)
3	FGR3	FPR2 (most)
·	·	·
·	·	·
·	·	·
28	FGR28	FPR28 (least)
29	FGR29	FPR28 (most)
30	FGR30	FPR30 (least)
31	FGR31	FPR30 (most)

Регистры в формате с плавающей точкой (FPR) формируются из регистров FGR, посредством их конкатенации. Для адресации этих регистров используется только четный номер. Нечетный номер является недопустимым. В процессе операций с одинарной точностью используется только младшая часть (least) регистра FPR используется.

3.5.2.3 Форматы величин, хранящихся в регистрах FPR

В отличие от процессора целочисленной арифметики, FPU не интерпретирует двоичную кодировку входных операндов и не производит двоичное кодирование результатов каждой операции. Значение, хранящееся в регистре FPR, имеет определенный формат или тип. Этот формат могут использовать только те команды, которые оперируют с ним (этим форматом). Формат может быть неизвестным (не интерпретируемым) либо одним из существующих числовых форматов: формат с плавающей точкой одинарной или двойной точностью, слово или двойное слово с фиксированной точкой.

Числовая величина в регистре FPR всегда установлена, когда она записана в этот регистр:

- при загрузке регистра FPR по команде load в регистр записываются двоичные данные, формат которых не интерпретируется;
- команды вычисления в формате с плавающей точкой или команды move, формируют в регистре FPR результат формата fnt.

Когда регистр FPR с не интерпретируемым значением используется как входной операнд для команды, которая требует значение в формате fnt и рассматривает двоичное содержимое как значение в формате fnt, значение в регистре FPR изменяется к значению в формате fnt. То есть, двоичное содержимое этого регистра не может рассматриваться в другом формате.

Если регистр FPR содержит значение в формате fnt, то вычислительные команды не должны использовать этот регистр как входной операнд другого формата. Если такое происходит, то значение в регистре становится неизвестным и результат команды также является неизвестным значением. Использование FPR регистра с неизвестным значением в качестве входного операнда команды приводит к результату, значение которого также неизвестно.

Формат величины, находящейся в регистре FPR, не изменяется, когда происходит чтение этого регистра командой store. Команда store выводит двоичную кодировку в соответствии со значением, содержащимся в регистре FPR. Если значение в регистре FPR неизвестно, то закодированное двоичное значение, выведенное операцией, неопределенно.

3.5.2.4 Управляющие регистры

3.5.2.4.1 Регистр реализации (FIR, CP1 Control Register 0)

Регистр реализации (Floating Point Implementation Register - FIR) - это 32-битный регистр доступный только на чтение. Он содержит информацию, которая определяет возможности FPU, идентификацию FPU и номер версии FPU. На Рисунок 3.7 показан формат регистра FIR, а в Таблица 3.3 описаны поля этого регистра.

31-18	17	16	15-8	7-0
0	D	S	Processor ID	Revision

Рисунок 3.7. Формат FIR регистра

Таблица 3.3. Описание полей регистра FIR

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
-	31:18	Не используется	0	0
D	17	Указывает, реализованы ли тип данных двойной точности (D) и соответствующие инструкции: 0 - не реализованы 1 – реализованы	R	1
S	16	Указывает, реализованы ли тип данных одинарной точности (S) и соответствующие инструкции: 0 – не реализованы 1 - реализованы	R	1
Processor ID	15:8	Идентификация типа процессора вычислений с плавающей точкой (FPU)	R	0000 0000
Revision	7:0	Номер версии FPU. Это поле позволяет программам различать разные версии одного типа FPU.	R	0000 0000

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
Cause	17:12	Биты причины. Эти биты показывают условия исключений, которые возникают во время выполнения арифметических команд. Бит устанавливается в 1, если соответствующая исключительная ситуация появилась во время выполнения команды и устанавливается в 0 в противоположном случае. По значениям этих бит можно определить какая исключительная ситуация вызвана выполнением предыдущей арифметической команды. Значение каждого бита данного поля представлено в Таблица 3.5.	R/W	Не определено
Enables	11:7	Биты разрешения соответствующего исключения при возникновении любой из пяти IEEE исключительных ситуаций. Исключение происходит в случае, когда соответствующие бит Cause и бит Enables одновременно установлены либо во время выполнения арифметической операции, либо при перемещении нового значения в регистр FCSR или FE XR и FENR по команде move. Обратите внимание, что бит E в поле Cause не имеет соответствующего бита в поле Enables, так как исключение “Нереализованная Операция” всегда разрешено. Значение каждого бита данного поля представлено в Таблица 3.5.	R/W	Не определено
Flags	6:2	Флаговые биты. Это поле показывает любые исключительные ситуации, вызванные завершившимися командами со времени последнего программного сброса данного поля. Когда при арифметической операции возникает исключительная ситуация, которая не приводит к FPU исключению (соответствующий бит в Enables сброшен), то соответствующий бит (биты) устанавливается в поле Flags. В других ситуациях поле Flags остаётся без изменений. Арифметические операции, которые приводят к возникновению FPU исключения (бит в Enables установлен), не изменяют состояния бит в поле Flags. У этого поля нет аппаратного сброса, оно должно явно сбрасываться программой. Значение каждого бита данного поля представлено в Таблица 3.5.	R/W	Не определено
RM	1:0	Режим округления. Обозначает режим округления, который используется большинством операций в формате с плавающей точкой (некоторые операции используют специфический режим округления). Возможные кодировки этот поля представлены в Таблица 3.6.	R/W	Не определено

Поля FCC, FS, Cause, Enables, Flags и RM в регистрах FCSR, FCCR, FEXR и FENR всегда обозначают правильные состояния. Это означает что, если новое значение поля записывается в FCSR регистр, то это новое значение можно прочитать в соответствующем альтернативном регистре FCCR, FEXR или FENR. И наоборот, записав новое значение поля в альтернативный регистр, его можно прочитать в FCSR регистре.

Таблица 3.5. Описание битов в полях Cause, Enables и Flags

Имя бита	Значение бита
E	Нереализованная операция (Unimplemented Operation) Этот бит существует только в поле Cause
V	Недействительная операция (Invalid Operation)
Z	Деление на ноль (Divide by Zero)
O	Переполнение (Overflow)
U	Потеря значимости (Underflow)
I	Неточность (Inexact)

Таблица 3.6. Описание режимов округления

Кодировка поля RM	Описание
0	RN – округление к ближайшему (round to nearest) Округление результата к ближайшему представимому значению. Когда два представимых значения одинаково близки, результат округляется к значению, чей наименее значащий бит равен 0 (чётный)
1	RTZ – округление к нулю (round towards zero) Округление результата к ближайшему значению, величина (модуль) которого не больше величины результата
2	RP – округление к плюс бесконечности (round towards plus infinity) Округление результата к ближайшему значению не меньшему чем сам результат
3	RM – округление к минус бесконечности (round towards minus infinity) Округление результата к ближайшему значению не большему чем сам результат.

3.5.2.4.3 Регистр кодов условий (FCCR, CP1 Control Register 25)

Регистр кодов условий (Floating Point Condition Codes Register - FCCR) является альтернативным регистром для чтения и записи поля кодов условий FCC, которое также хранятся в регистре FCSR. В отличие от FCSR регистра, в регистре FCCR восемь бит поля FCC являются смежными. На Рисунок 3.9 представлен формат *FCSR* регистра, в Таблица 3.7 описаны поля этого регистра.

31-8						7-0							
0000 0000 0000 0000 0000 0000						FCC							
						7	6	5	4	3	2	1	0

Рисунок 3.9. Формат регистра FCCR

Таблица 3.7. Описание полей регистра FCCR

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
-	31:8	Не используются	0	0
FCC	7:0	Коды условий. Эти биты содержат результат выполнения FPU команд сравнения и используются в командах условных переходов и в командах условных перемещений данных. Какой FCC бит используется точно определено в команде перехода или перемещения. См. описание поля FCC в регистре <i>FCSR</i> в Таблица 3.4	R/W	Не определено

3.5.2.4.4 Регистр исключений (FEXR, CP1 Control Register 26)

Регистр исключений (Floating Point Exceptions Register - FEXR регистр) является альтернативным регистром для чтения и записи полей Cause и Flags, которые также хранятся в регистре FCSR. На Рисунок 3.10 представлен формат *FEXR* регистра, в Таблица 3.8 описаны поля этого регистра.

31	-	18	17	-	12	11	-	7	6	-	2	1-0				
0			Cause			0			Flags			0				
			E	V	Z	O	U	I				V	Z	O	U	I

Рисунок 3.10. Формат регистра FEXR

Таблица 3.8. Описание полей регистра FEXR

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
-	31:18, 11:7, 1:0	Не используются	0	0
Cause	17:12	Биты причины. Эти биты показывают исключительные ситуации, которые возникают во время выполнения FPU арифметических команд. См. описание поля Cause в регистре <i>FCSR</i> в Таблица 3.4	R/W	Не определено
Flags	6:2	Флаговые биты. Это поле показывает любые исключительные ситуации вызванные завершившимися командами со времени последнего программного сброса данного поля. См. описание поля Flags в регистре <i>FCSR</i> в .	R/W	Не определено

3.5.2.4.5 Регистр разрешения исключений (FENR, CP1 Control Register 28)

Регистр разрешения исключений (Floating Point Enable Register - *FENR регистр*) является альтернативным регистром для чтения и записи полей Enables, FS и RM, которые также хранятся в регистре *FCSR*. На Рисунок 3.11 представлен формат *FENR* регистра, в Таблица 3.9 описаны поля этого регистра.

31	-	12	11	-	7	6	-	3	2	1-0
0000 0000 0000 0000 0000			Enables			0000		FS	RM	
			V	Z	O	U	I			

Рисунок 3.11. Формат регистра FENR

Таблица 3.9. Описание полей регистра FENR

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
0	31:12, 6:3	Не используется	0	0
Enables	11:7	Биты разрешения соответствующего исключения при возникновении любой из пяти IEEE исключительных ситуаций. См. описание поля Enables в регистре FCSR в Таблица 3.4	R/W	Не определено
FS	2	Сброс в ноль. Когда FS=1, денормализованный результат операции сбрасывается в ноль вместо появления исключения “Нереализованная операция” (Unimplemented Operation). См. описание поля FS в регистре FCSR в .	R/W	Не определено
RM	1:0	Режим округления. Обозначает режим округления, который используется большинством операций с плавающей точкой. См. описание поля RM в регистре FCSR в .	R/W	Не определено

3.5.3 Исключения FPU

3.5.3.1 Формирование исключения

При возникновении исключения команда, вызвавшая его, а также все последующие команды не выполняются и не изменяют содержимого регистров FGR. При необходимости, после обработки исключения выполнение прерванного потока команд может быть возобновлено.

В поле *Cause* содержатся признаки исключений. Они обновляются при выполнении каждой арифметической операции в формате с плавающей точкой. Признак устанавливается в 1, если возникает соответствующее условие исключения, иначе он устанавливается в 0.

Исключение возникает каждый раз, если одновременно признак поля *Cause* и соответствующий ему бит *Enable* установлены в 1. Это происходит или во время выполнения операции в формате с плавающей точкой или, при передаче данных в регистр FCSR по команде *move*. Бита *Enable* для Unimplemented Operation не существует, то есть исключение по этому условию возникает всегда.

Содержимое поля *Cause* используется в обработчике исключения. Перед выходом из обработчика исключения по операции в формате с плавающей точкой, или перед установкой бит поля *Cause* по команде *move*, необходимо сначала обнулить соответствующие биты *Enable*, для того, чтобы предотвратить повторное возникновение исключения.

Пользовательским программам недоступны биты поля *Cause*. Если эта информация необходима этим программам, то она должна быть доступна им другими путями, а не через регистр *Status*.

Если операция в формате с плавающей точкой устанавливает только неразрешенные биты поля *Cause*, то исключения не происходит, и записывается результат, определяемый стандартом IEEE (см. Таблица 3.10). Когда операция в формате с плавающей точкой не вызывает исключения, программа может контролировать условия исключения, считывая содержимое поля *Cause*.

Поле *Flag* – совокупная накопленная информация по условиям исключений. Команды, которые вызывают исключения, не обновляют биты поля *Flag*. Биты поля *Flag* устанавливаются в 1, если соответствующее условие исключения возникает, иначе биты остаются без изменения. Бита для условия исключения типа Unimplemented Operation в этом поле не предусмотрено. В результате выполнения операции в формате с плавающей точкой биты поля *Flag* никогда не сбрасываются, но могут быть установлены или сброшены (обнулены) при записи данных в регистр FCSR по команде *move*.

3.5.3.2 Условие исключений

В этом пункте описаны следующие пять условий исключения, определенных стандартом ANSI/IEEE Standard 754-1985:

- исключение по недопустимой операции (Invalid Operation Exception);
- исключение при делении на ноль (Division By Zero Exception);
- исключение по ложному переполнению (Underflow Exception);
- исключение по переполнению (Overflow Exception);
- неточное исключение (Inexact Exception).

Этот пункт также содержит описание исключения по нереализованной операции (unimplemented operation). Оно используется для сообщения о необходимости программной эмуляции команды. Обычно арифметическая операция по стандарту IEEE-754 может вызывать только одно условие исключения. Единственный случай, когда два исключения могут происходить в то же самое время, это Inexact With Overflow и Inexact With Underflow.

Под управлением программы, условие исключения IEEE может вызывать прерывание (trap) процессора или не вызывать его. Стандарт IEEE определяет результат операции при возникновении условия исключения для случая, когда прерывание процессора по этому исключению не разрешено. Для этого случая результаты операций приведены в Таблица 3.10. При переполнении результат операции зависит от режима округления.

Таблица 3.10. Результаты операций при исключениях

Бит	Описание	Результат операции
V	Invalid Operation	Quiet NaN
Z	Divide by Zero	Properly signed infinity
U	Underflow	Округленный результат (Rounded result)
I	Inexact	Округленный результат. Если это исключение вызвано переполнением (Overflow) при неразрешенном прерывании, то формируется результат с переполнением.
O	Overflow	Зависит от режима округления: 0 (RN) – infinity со знаком промежуточного результата; 1 (RZ) – format’s infinity со знаком промежуточного результата; 2 (RP) – при положительном переполнении – positive infinity. При отрицательном переполнении - format’s most negative infinity; 3 (RM) - при положительном переполнении – format’s largest finite number. При отрицательном переполнении – minus infinity.

3.5.3.3 Исключение по недопустимой операции

Это исключение возникает, если один или оба операнда недопустимы для выполняемой операции.

Недопустимые операции:

- Один или оба операнда являются NaN (за исключением не арифметических команд MOV.fmt, MOVT.fmt, MOVF.fmt, MOVN.fmt, и MOVZ.fmt);
- Сложение или вычитание: вычитание бесконечных величин, таких как $(+\infty) + (-\infty)$ или $(-\infty) - (-\infty)$;
- Умножение: $0 * \infty$, с любыми знаками;
- Деление: $0/0$ или ∞ / ∞ , с любыми знаками;
- Квадратный корень: операнд меньше чем 0 (-0 является допустимым значением);
- Преобразование числа в формате с плавающей запятой к формату с фиксированной запятой, если возникает переполнение, или значение операнда равно infinity или NaN препятствуют точному представлению данных в необходимом формате;
- Некоторые операции сравнения, в которых один или оба операнда имеют значение QNaN.

3.5.3.4 Исключение при делении на ноль

Это исключение возникает, если делитель равен нулю, а делимое является конечным числом, отличным от нуля. Результат, когда не возникает прерывания, равен бесконечности. Деление $(0/0)$ и $(\infty/0)$ не приводят к исключению. При делении $(0/0)$ возникает исключение по недопустимой операции. Результат $(\infty/0)$ – бесконечность со знаком.

3.5.3.5 Исключение по ложному переполнению(потеря значимости)

Два связанных события могут повлиять на возникновение ложного переполнения:

- близость результата к нулю (tininess): создание бесконечно малого результата отличного от нуля находящегося в промежутке между $\pm 2^{E_{\min}}$, который из-за своей малой величины может вызывать впоследствии какое либо другое исключение, например как переполнение при делении;
- потеря точности: экстраординарная потеря точности во время аппроксимации таких малых чисел ненормированными числами.

Стандарт IEEE определяет, что «близость результата к нулю» может быть обнаружена в любой из следующих моментов времени:

- после округления, когда не нулевой результат получен из предположения неограниченности диапазона экспоненты и находится строго между $\pm 2^{E_{\min}}$;
- пред округлением, когда не нулевой результат получен из предположения неограниченности, как диапазона экспоненты, так и точности, и находится строго между $\pm 2^{E_{\min}}$.

В FPU близость результата к нулю обнаруживается после округления.

Стандарт IEEE определяет, что потеря точности может быть получена в результате любого из следующих условий:

- нарушение нормализации (denormalization), когда полученный результат отличается от вычисленного без ограничений диапазона экспоненты;
- неточный результат (inexact result), когда полученный результат отличается от вычисленного без ограничений диапазона экспоненты и точности.

В FPU потеря точности формируется, если получен неточный результат.

Если прерывание процессора при ложном переполнении не разрешено, признак U вырабатывается, когда обнаруживается одновременно и близость к нулю и потеря точности. При этом, результат может быть нулевым, ненормализованным или $2^{E_{\min}}$.

Если прерывание процессора при ложном переполнении разрешено, признак U вырабатывается, когда обнаруживается только близость к нулю, в не зависимости от потери точности.

3.5.3.6 Исключение при переполнении

Это исключение возникает, когда величина округленного результата в формате с плавающей запятой (где диапазон экспоненты не ограничен) больше, чем наибольшее конечное число результирующего формата (destination format's largest finite number).

Если прерывание процессора при переполнении не разрешено, результат определяется режимом округления и знаком промежуточного результата.

3.5.3.7 Неточное исключение

Неточное исключение возникает, если:

- округленный результат операции не является точным;
- округленный результат операции вызывает переполнение, а прерывание по переполнению не разрешено.

3.5.3.8 Исключение по нереализованной операции

Это исключение не регламентировано стандартом IEEE. Операции, которые не полностью поддерживаются аппаратурой, вызывают исключение, для того, чтобы программное обеспечение могло выполнить соответствующую операцию.

Для этого условия исключения не предусмотрено разрешающего бита, то есть прерывание процессора возникает всегда. После того, как соответствующее эмулирование будет выполнено, прерванная программа возобновляется.

3.5.4 Время выполнения команд FPU

Время выполнения команд в формате с плавающей точкой приведено в Таблица 3.11.

Таблица 3.11. Время выполнения команд FPU

Команда	Время выполнения, такты
BC1F, BC1T, FLOOR, ROUND, TRUNC	1
CFC1, CTC1, MFC1, MOVF	1
CVT.S, CVT.D, CEIL	2
ABS, ADD, SUB, MULL, NEG	3
SQRT.S/SQRT.D	6/15
DIV.S/DIV.D	11/16

3.6 Устройство управления памятью (MMU)

3.6.1 Введение

Процессорное ядро содержит устройство управления памятью (MMU), реализующее интерфейс между устройством исполнения и контроллером кэш. MMU преобразует виртуальный адрес в физический прежде, чем посылает запрос контроллеру кэш для сравнения тэга или блоку шинного интерфейса для доступа к внешнему запоминающему устройству. Это преобразование является очень полезным свойством функционирования операционных систем при управлении физической памятью таким образом, чтобы в ней размещались несколько процессов, активных в одной и той же области памяти, и может быть даже на одном виртуальном адресе, но обязательно в различных областях физической памяти. Другие свойства MMU - защита зон памяти и определение протокола кэш.

MMU может выполнять преобразование адресов в двух режимах: в режиме TLB и в режиме FM. Режим преобразования определяется битом FM регистра CSR.

В режиме TLB используется полностью ассоциативная таблица преобразования адресов (TLB), имеющая 16 парных строк (entries). Во время преобразования осуществляется поиск соответствия по TLB. Если искомая строка отсутствует, генерируется прерывание.

В режиме FM (Fixed Mapped) работа MMU основана на простом алгоритме, обеспечивающем преобразование виртуального адреса в физический посредством механизма фиксированного отображения. Правила преобразования отличаются для различных областей виртуального адресного пространства (useg/kuseg, kseg0, kseg1, kseg2, kseg3).

На Рисунок 3.12 показано, взаимодействие MMU с процедурой доступа к кэш в режиме TLB, а на Рисунок 3.13 – в режиме FM.

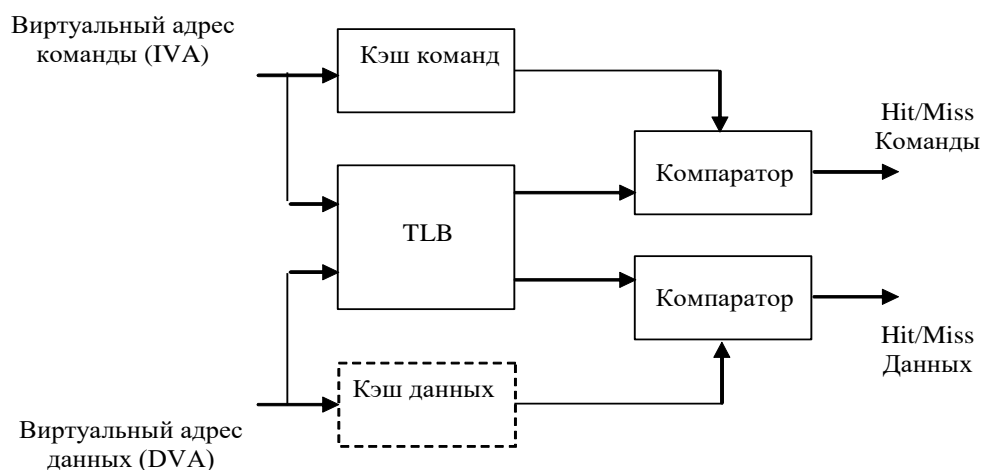


Рисунок 3.12

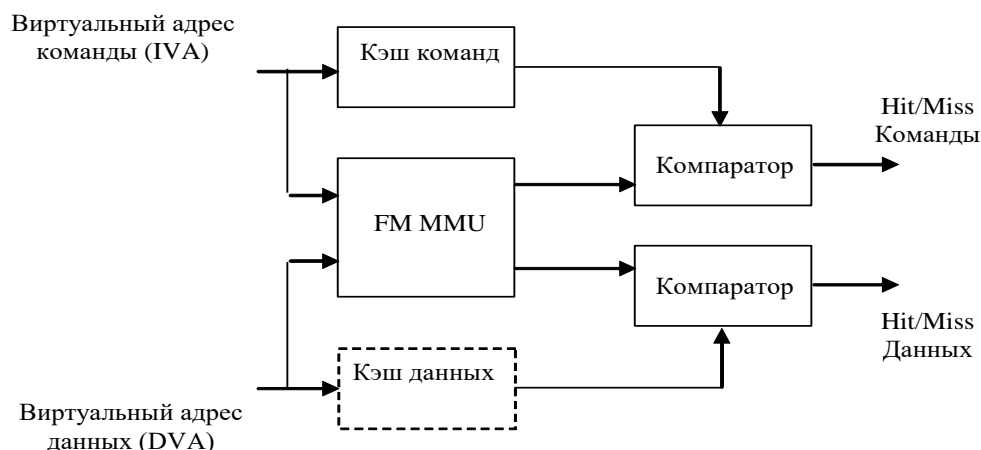


Рисунок 3.13

3.6.2 Режимы работы

Процессорное ядро поддерживает два режима работы:

- Режим User (непривилегированный режим);
- Режим Kernel (привилегированный режим).

Режим User в основном используется для прикладных программ. Режим Kernel обычно используется для обработки исключительных ситуаций и привилегированных функций операционной системы, включая управление сопроцессором CP0 и доступ к устройствам ввода-вывода.

Преобразования, выполняемые MMU, зависят от режима работы процессора.

3.6.2.1 Виртуальные сегменты памяти

Виртуальные сегменты памяти, на которые делится адресное пространство, различаются в зависимости от режима работы процессора. На Рисунок 3.14 показана сегментация для 4 Гбайт (2^{32} байт) виртуального адресного пространства, адресуемого 32-разрядным виртуальным адресом для обоих режимов работы.

Ядро входит в режим Kernel после аппаратного сброса или когда происходит исключение. В режиме Kernel программное обеспечение имеет доступ к полному адресному пространству и ко всем регистрам CP0. В режиме User доступ ограничен подмножеством виртуального адресного пространства (0x0000_0000 - 0x7FFF_FFFF) и запрещен доступ к функциям CP0. В режиме User недоступны виртуальные адреса 0x8000_0000 - 0xFFFF_FFFF и обращение к ним вызывает исключение.

0xFFFF_FFFF		kseg3
0xE000_0000		
0xDFFF_FFFF		kseg2
0xC000_0000		
0xBFFF_FFFF		kseg1
0xA000_0000		
0x9FFF_FFFF		kseg0
0x8000_0000		
0x7FFF_FFFF		
	useg	kuseg
0x0000_0000		

Рисунок 3.14. Карта виртуальной памяти для режимов User и Kernel

Каждый из сегментов, показанных на Рисунок 3.14, является либо отображаемым (mapped), либо неотображаемым (unmapped). Различие объясняется в следующих двух разделах.

3.6.2.1.1 Неотображаемые сегменты

В неотображаемом сегменте механизмы TLB или FM для преобразования виртуального адреса в физический адрес не используются. Особенно важно иметь неотображаемые сегменты памяти после аппаратного сброса, потому что TLB еще не запрограммировано и не может осуществлять преобразования.

Для неотображаемых сегментов преобразование виртуального адреса в физический является фиксированным.

Все неотображаемые сегменты, за исключением `kseg0`, никогда не кэшируемы. Кэшируемость `kseg0` определяется полем `K0` регистра `Config CP0`.

3.6.2.1.2 Отображаемые сегменты

В отображаемом сегменте для преобразования виртуального адреса в физический адрес используются TLB или FM.

В режиме TLB преобразование отображаемых сегментов имеет постраничную основу. При преобразовании выявляется информация о кэшируемости страницы, а также атрибуты защиты, относящиеся к странице.

Для режима FM отображаемые сегменты имеют закрепленное преобразование виртуального адреса в физический. Кэшируемость сегмента определяется значениями полей `K23` и `KU` регистра `Config CP0`. При FM-преобразовании невозможна защита сегментов от записи.

3.6.2.2 Режим User

В режиме `User` доступно однородное виртуальное адресное пространство размером 2 Гбайт (2^{31} байт), называемое сегментом пользователя.

На Рисунок 3.15 показано размещение виртуального адресного пространства режима `User`.

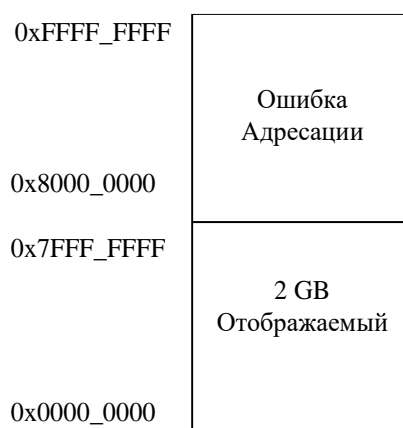


Рисунок 3.15

Сегмент потребителя начинается с адреса 0x0000_0000 и заканчивается адресом 0x7FFF_FFFF. Обращения по всем остальным адресам вызывают прерывания по ошибке адресации.

Процессор находится в режиме User, если в регистре Status CP0 установлены следующие значения разрядов:

- UM = 1;
- EXL = 0;
- ERL = 0.

В Таблица 3.12 приводятся характеристики сегмента useg режима User.

Таблица 3.12

Адрес	Регистр Состояния			Имя сегмента	Диапазон адресов	Размер сегмента
	EXL	ERL	UM			
A(31)=0	0	0	1	useg	0x0000_0000 → 0x7FFF_FFFF	2GB (2^{31} байт)

Для всех допустимых виртуальных адресов режима User старший значащий бит адреса равен нулю, поскольку в режиме User допустимо обращение только к нижней половине карты виртуальной памяти. Любая попытка обращения по адресу со старшим битом, равным 1, в режиме User вызывает прерывание по ошибке адресации.

В режиме TLB виртуальный адрес перед преобразованием расширяется содержимым 8-разрядного поля ASID, образуя уникальный виртуальный адрес. Кэшируемость ссылки для страницы в этом режиме определяется установкой определенных бит строки TLB.

В режиме FM, область виртуальных адресов 0x0000_0000-0x7FFF_FFFF преобразуется в область физических адресов 0x4000_0000-0xBFFF_FFFF. Кэшируемость задается полем KU регистра Config CP0.

3.6.2.3 Режим Kernel

Процессор находится в режиме Kernel, когда регистр Status CP0 содержит хотя бы одно из следующих значений:

- UM = 0;
- ERL = 1;
- EXL = 1.

Когда обнаруживается исключение, биты EXL или ERL устанавливаются, и процессор входит в режим Kernel. При завершении процедуры обработки исключения обычно выполняется команда возвращения из исключения (ERET). Команда ERET осуществляет переход по PC исключения, очищает ERL и EXL (если ERL=0). В результате возможен возврат процессора в режим User.

Виртуальное адресное пространство режима Kernel разделено на области в соответствии со значением старших битов виртуального адреса, как показано на Рисунок 3.16. Кроме того, в Таблица 3.13 содержатся характеристики сегментов режима Kernel.

0xFFFF_FFFF	Kernel virtual address space Mapped , 512 MB	kseg3
0xE000_0000		
0xDFFF_FFFF	Kernel virtual address space Mapped, 512 MB	kseg2
0xC000_0000		
0xBFFF_FFFF	Kernel virtual address space Unmapped, Uncached, 512 MB	kseg1
0xA000_0000		
0x9FFF_FFFF	Kernel virtual address space Unmapped, 512 MB	kseg0
0x8000_0000		
0x7FFF_FFFF		
	Mapped, 2048 MB	kuseg
0x0000_0000		

Рисунок 3.16

Таблица 3.13

Адрес	Регистр Состояния			Имя сегмента	Диапазон адресов	Размер сегмента
	EXL	ERL	UM			
A(31)=0	UM = 0			kuseg	0x0000_0000 → 0x7FFF_FFFF	2 GB (2 ³¹)
A(31:29)=100 ₂	или			kseg0	0x8000_0000 → 0x9FFF_FFFF	512 MB (2 ²⁹)
A(31:29)=101 ₂	EXL=1			kseg1	0xA000_0000 → 0xBFFF_FFFF	512 MB (2 ²⁹)
A(31:29)=110 ₂	или			kseg2	0xC000_0000 → 0xDFFF_FFFF	512 MB (2 ²⁹)
A(31:29)=111 ₂	ERL=1			kseg3	0xE000_0000 → 0xFFFF_FFFF	512 MB (2 ²⁹)

3.6.2.3.1 Режим Kernel, Пространство пользователя (kuseg)

Если старший значащий бит виртуального адреса A[31]=0, то выбирается виртуальное адресное пространство kuseg объемом 2 Гбайт, отображенное на адреса 0x0000_0000 - 0x7FFF_FFFF.

При ERL=0 в режиме TLB виртуальный адрес расширяется 8-битным значением поля ASID для образования уникального виртуального адреса. Кэшируемость определяется полем C строки TLB.

При ERL=0 в режиме FM, область виртуальных адресов 0x0000_0000-0x7FFF_FFFF преобразуется в область физических адресов 0x4000_0000-0xBFFF_FFFF. Кэшируемость задается полем KU регистра Config CP0.

При ERL = 1 в режимах TLB и FM, область адресов пользователя становится неотображаемым и некэшируемым адресным пространством. Виртуальный адрес kuseg соответствует тому же физическому адресу и не включает поле ASID. То есть, область виртуальных адресов kuseg соответствует области физических адресов 0x0000_0000-0x7FFF_FFFF.

3.6.2.3.2 Режим Kernel, пространство 0 режима Kernel (kseg0).

Если в режиме Kernel три старших бита виртуального адреса равны 100_2 , выбирается виртуальное адресное пространство kseg0. Это область размером 2^{29} байт (512 МВ), которая расположена внутри границ, определяемых адресами `0x8000_0000` и `0x9FFF_FFFF`.

Вне зависимости от состояния бита ERL и режима работы ссылки к kseg0 не отображаются, а физический адрес получается вычитанием `0x8000_0000` из виртуального адреса. Кэшируемость сегмента kseg0 определяется значением поля K0 регистра Config CP0.

3.6.2.3.3 Режим Kernel, пространство 1 режима Kernel (kseg1)

Если в режиме Kernel три старших бита виртуального адреса равны 101_2 , выбирается виртуальное адресное пространство kseg1. Это область размером 2^{29} байт (512 МВ), которая расположена внутри границ, определяемых адресами `0xA000_0000` и `0xBFFF_FFFF`.

Вне зависимости от состояния бита ERL и режима работы ссылки к kseg1 не отображаются, а физический адрес получается вычитанием `0xA000_0000` из виртуального адреса.

3.6.2.3.4 Режим Kernel, пространство 2 режима Kernel (kseg2)

Если в режиме Kernel три старших бита виртуального адреса равны 110_2 , выбирается виртуальное адресное пространство kseg2.

В режиме TLB вне зависимости от состояния бита ERL это виртуальное пространство отображается через TLB и его кэшируемость определяется полем C строки TLB.

В режиме FM вне зависимости от состояния бита ERL это виртуальное пространство зафиксировано в физических адресах `0xC000_0000` - `0xDFFF_FFFF` и его кэшируемость определяется полем K23 Регистра Config CP0.

3.6.2.3.5 Режим Kernel, пространство 3 режима Kernel (kseg3)

Если в режиме Kernel три старших бита виртуального адреса равны 111₂, выбирается 32-разрядное виртуальное адресное пространство kseg3.

В режиме TLB вне зависимости от состояния бита ERL это пространство отображается через TLB и его кэшируемость определяется полем C строки TLB.

В режиме FM вне зависимости от состояния бита ERL это виртуальное пространство зафиксировано в физических адресах 0xE000_0000 - 0xFFFF_FFFF и его кэшируемость определяется полем K23 регистра Config.

3.6.3 Буфер быстрого преобразования адреса (TLB)

В этой главе описывается управление памятью с помощью буфера быстрого преобразования адреса (TLB), которое осуществляется в режиме TLB.

В режиме TLB реализуется полностью ассоциативный буфер быстрого преобразования адреса (TLB), содержащий 16 двойных строк, позволяющих отображать 32 виртуальных страницы в соответствующие физические адреса. TLB организовано в виде 16 парных строк – четных и нечетных, содержащих адреса страниц размером от 4 Кбайт до 16 Мбайт, которые хранятся в 4 Гбайтном физическом адресном пространстве. Задача TLB состоит в преобразовании виртуальных адресов и их соответствующего идентификатора адресного пространства (ASID) в физический адрес памяти. Преобразование выполняется путем сравнения старших разрядов виртуального адреса (вместе с битами поля ASID) с каждой из строк тэговой порции TLB и иначе называется поиском соответствия по TLB (поиском соответствия тэга одной из строк виртуальному адресу на входе TLB).

Буфер TLB организован в виде страничных пар для минимизации общего количества хранящейся информации. Каждая строка тэговой порции соответствует двум физическим строкам данных – строке четных страниц и строке нечетных страниц. Самый старший разряд виртуального адреса, не участвующий в сравнении тэгов, определяет какая строка из двух строк данных используется. Поскольку размер страницы может варьироваться для каждой пары страниц, определение адресных разрядов, участвующих в сравнении и разряда, задающего четность страницы, должно осуществляться динамически при поиске по TLB.

На Рисунок 3.17 показано содержание одной из 16 двойных строк TLB.

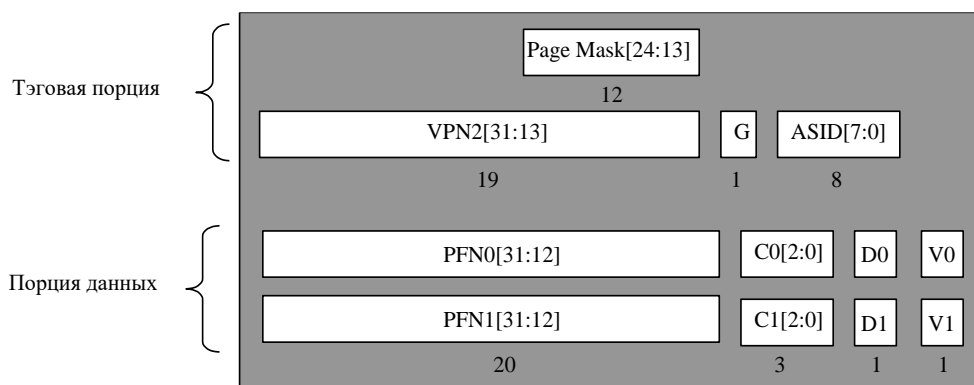


Рисунок 3.17

Описание полей строки TLB приведены в Таблица 3.14.

Таблица 3.14

Название поля	Описание																								
Page Mask[24:13]	<p>Значение маски размера страницы. Определяет размер страницы маскировкой соответствующих разрядов VPN2, и тем самым исключением их из рассмотрения. Также используется для задания адресного разряда, определяющего четность страницы (PFN0-PFN1). См. следующую таблицу:</p> <table border="1"> <thead> <tr> <th>Page Mask□[11:0]</th> <th>Размер страницы</th> <th>Бит определения четности</th> </tr> </thead> <tbody> <tr> <td>0000_0000_0000</td> <td>4 Кб</td> <td>VAddr[12]</td> </tr> <tr> <td>0000_0000_0011</td> <td>16 Кб</td> <td>VAddr[14]</td> </tr> <tr> <td>0000_0000_1111</td> <td>64 Кб</td> <td>VAddr[16]</td> </tr> <tr> <td>0000_0011_1111</td> <td>256 Кб</td> <td>VAddr[18]</td> </tr> <tr> <td>000_1111_11 1</td> <td>1 Мб</td> <td>VAddr[20]</td> </tr> <tr> <td>0011_1111 1111</td> <td>4 Мб</td> <td>VAddr[22]</td> </tr> <tr> <td>1111_1111_1111</td> <td>16 Мб</td> <td>VAddr[24]</td> </tr> </tbody> </table> <p>В столбце Page Mask приведены все возможные значения Page Mask. Поскольку каждая пара битов этого поля всегда имеет одинаковое значение, физическая строка в TLB содержит сокращенную версию Page Mask, содержащую только 6 бит. Однако для программы это значение всегда преобразуется в 12-битное.</p> <p>Следует иметь в виду, что при кэшируемых ссылках, страницы размером 4 Кбайт использовать нельзя.</p>	Page Mask□[11:0]	Размер страницы	Бит определения четности	0000_0000_0000	4 Кб	VAddr[12]	0000_0000_0011	16 Кб	VAddr[14]	0000_0000_1111	64 Кб	VAddr[16]	0000_0011_1111	256 Кб	VAddr[18]	000_1111_11 1	1 Мб	VAddr[20]	0011_1111 1111	4 Мб	VAddr[22]	1111_1111_1111	16 Мб	VAddr[24]
Page Mask□[11:0]	Размер страницы	Бит определения четности																							
0000_0000_0000	4 Кб	VAddr[12]																							
0000_0000_0011	16 Кб	VAddr[14]																							
0000_0000_1111	64 Кб	VAddr[16]																							
0000_0011_1111	256 Кб	VAddr[18]																							
000_1111_11 1	1 Мб	VAddr[20]																							
0011_1111 1111	4 Мб	VAddr[22]																							
1111_1111_1111	16 Мб	VAddr[24]																							
VPN2[31:13]	<p>Виртуальный номер страницы, поделенный на 2. Данное поле содержит старшие разряды виртуального номера страницы. Виртуальный номер разделен на 2 потому, что он соответствует паре страниц TLB. Разряды 31:25 всегда участвуют в сравнении. Участие в сравнении разрядов 24:13 зависит от размера страницы, задаваемого полем Page Mask.</p>																								
G	<p>Бит глобальности. Если он установлен, данная строка является глобальной для всех процессов и подпроцессов, и таким образом, поле ASID исключается из рассмотрения.</p>																								

Название поля	Описание																		
ASID[7:0]	Идентификатор адресного пространства. Определяет процесс или подпроцесс, с которым ассоциируется данная строка TLB.																		
PFN0[31:12], PFN1[31:12]	Физический номер кадра. Задает старшие разряды физического адреса. Для страниц размером более 4 Кбайт используется подмножество этого поля.																		
C0[2:0], C1[2:0]	Кэшируемость. Содержит закодированное значение атрибута кэшируемости и определяет должна ли страница помещаться в кэш или нет. Поле кодируется следующим образом: <table border="1" data-bbox="584 495 1350 810"> <thead> <tr> <th>C[2:0]</th> <th>Атрибуты когерентности</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>001</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>010</td> <td>Некэшируемая страница</td> </tr> <tr> <td>011</td> <td>Кэшируемая страница</td> </tr> <tr> <td>100</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>101</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>110</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>111</td> <td>При записи преобразуется в код 010</td> </tr> </tbody> </table>	C[2:0]	Атрибуты когерентности	000	При записи преобразуется в код 011	001	При записи преобразуется в код 011	010	Некэшируемая страница	011	Кэшируемая страница	100	При записи преобразуется в код 011	101	При записи преобразуется в код 011	110	При записи преобразуется в код 011	111	При записи преобразуется в код 010
C[2:0]	Атрибуты когерентности																		
000	При записи преобразуется в код 011																		
001	При записи преобразуется в код 011																		
010	Некэшируемая страница																		
011	Кэшируемая страница																		
100	При записи преобразуется в код 011																		
101	При записи преобразуется в код 011																		
110	При записи преобразуется в код 011																		
111	При записи преобразуется в код 010																		
D0, D1	“Dirty” (Грязная страница) – бит разрешения записи. Показывает, что в страницу была сделана запись и/или разрешена запись в данную страницу. Если этот бит установлен, разрешены операции сохранения в данной странице. Если не установлен, сохранения в данной странице будут вызывать исключения модификации.																		
V0, V1	Бит валидности. Показывает, что данная строка TLB и, соответственно, отображение виртуальной страницы, действительны. Если этот бит установлен, то обращения к данной странице разрешены. Если не установлен, то обращения к странице будут вызывать исключения TLB (TLB invalid).																		

Для заполнения строки TLB используются команды TLBWI и TLBWR (см. документ “Процессорное ядро RISCORE32. Система команд”). Перед запуском этих команд нужно обновить некоторые регистры CP0, записав в них значения, которые будут затем помещены в строку TLB.

1. Значение Page Mask задается в регистре Page Mask CP0.
2. Значения VPN2 и ASID задаются в регистре EntryHi CP0.
3. Значения PFN0, C0, D0, V0 и G задаются в регистре EntryLo0 CP0.
4. Значения PFN1, C1, D1, V1 и G задаются в регистре EntryLo1 CP0.

Биты глобальности G входят в оба регистра EntryLo0 и EntryLo1. Бит G строки TLB является результатом логической операции "И", проведенной над битами глобальности из EntryLo0 и EntryLo1. Более подробно эти регистры описаны в разделе 2.7 “Регистры CP0”.

Наличие идентификатора адресного пространства (ASID) дает возможность уменьшить частоту попаданий при поисках по TLB на контекстной основе. Это определяет возможность одновременного существования нескольких процессов как в TLB, так и в

кэш команд. Значение ASID хранится в регистре EntryHi и сравнивается со значением ASID каждой строки.

3.6.4 Преобразование виртуального адреса в физический в режиме TLB

Преобразование виртуального адреса в физический начинается со сравнения полученного виртуального адреса с виртуальными адресами, хранящимися в TLB. Соответствие имеет место, если виртуальный номер страницы (VPN) адреса совпадает с полем VPN строки TLB с учетом маски, хранящейся в этой строке, а также выполняется одно из двух условий:

- установлен бит глобальности (G) для четных и нечетных страниц в строке TLB;
- поле ASID виртуального адреса совпадает с полем ASID строки TLB.

Это соответствие называется попаданием TLB. Если не имеется ни одного соответствия, возникает исключение промаха TLB и программному обеспечению дается возможность пополнить TLB из расположенной в памяти таблицы страниц виртуальных /физических адресов. На Рисунок 3.18 показана логика преобразования виртуального адреса в физический.

На этом рисунке виртуальный адрес расширяется 8-разрядным идентификатором адресного пространства (ASID), который уменьшает частоту попаданий при просмотрах TLB на контекстной основе. Это 8-разрядное поле ASID содержит номер, присвоенный процессу, и хранится в регистре EntryHi CP0.

1. Виртуальный адрес (VA), представленный виртуальным номером страницы (VPN), сравнивается с тэгом из строки TLB (VPN2) с учетом маски (PageMask).
2. Если имеется соответствие, номер страничного кадра (PFN0 или PFN1, в зависимости от значения бита четности – самого старшего бита, не участвующего в сравнении) извлекается и помещается в старшие разряды физического адреса (PA)
3. В младшие разряды физического адреса помещается смещение (Offset), не участвующее в сравнении.

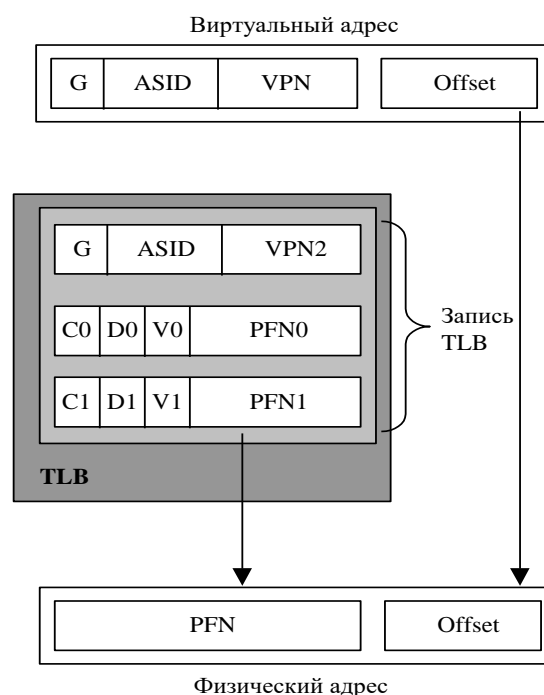
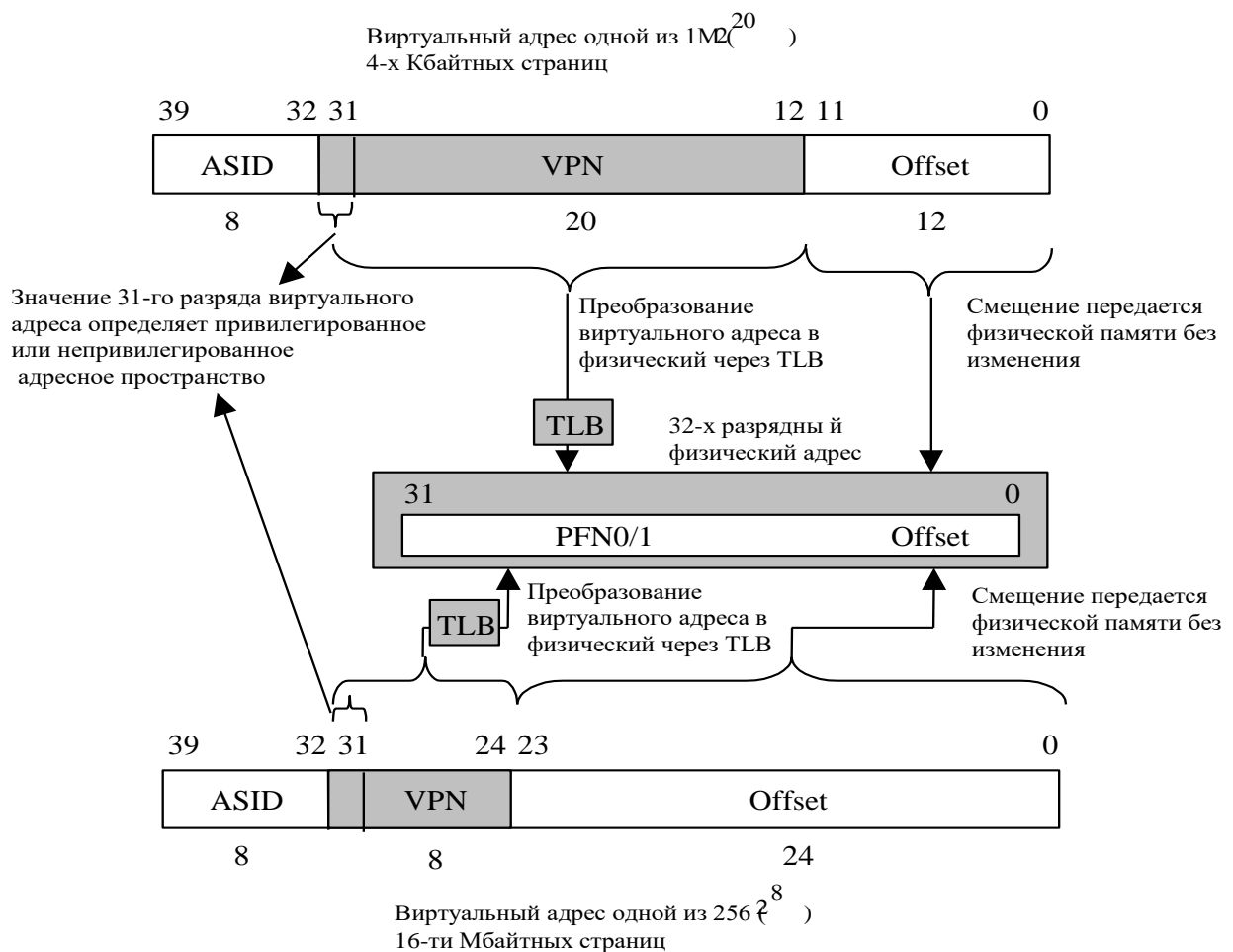


Рисунок 3.18

Когда происходит совпадение виртуальных адресов при поиске по TLB, физический номер кадра (PFN) извлекается из соответствующей физической порции строки TLB и дополняется смещением, взятым из виртуального адреса, формируя, таким образом, физический адрес. Смещение представляет собой адрес в пределах пространства страничного кадра. Как показано на рисунке, смещение не пропускается через TLB.

На Рисунок 3.19 показана блок-схема процесса преобразования адреса. В верхней части рисунка показан виртуальный адрес для страницы размером 4 Кбайт. Ширина поля смещения определяется размером страницы.

В нижней части рисунка показан виртуальный адрес для страницы размером 16 Мбайт.



3.6.4.1 Попадания (hits), промахи (misses), и множественные попадания (multiple matches)

Каждая строка TLB содержит тэг и два поля данных. Если найдено соответствие, старшие разряды виртуального адреса заменяются физическим номером кадра (PFN), хранящимся в соответствующей строке массива данных TLB. Способ разбиения памяти при отображении определяется в терминах TLB-страниц. TLB поддерживает страницы различных размеров в пределах от 4 КБ до 16 МБ с шагом по степеням 4. Если соответствие найдено, но строка является запрещенной (т.е., бит V в поле данных равен 0), выработывается исключение TLB Invalid.

Если соответствие не найдено, возникает исключение TLB Refill, и программное обеспечение пополняет TLB из таблицы страниц, находящейся в памяти. На Рисунок 3.20 показан алгоритм преобразования и условия возникновения исключений TLB.

Программное обеспечение может делать записи в конкретные строки TLB или использовать аппаратный механизм записи в случайно выбранные строки. Регистр Random определяет, в какую строку будет сделана запись командой TLBWR. Этот регистр декрементируется на каждом такте продвижения конвейера, возвращаясь к максимальному значению после достижения величины, равной значению регистра Wired. Таким образом, строки TLB, чей номер меньше значения регистра Wired, не затрагиваются командой TLBWR, что позволяет зарезервировать TLB-отображения первостепенной важности.

В режиме TLB также реализован механизм сравнения при записи с целью предотвращения возникновения нескольких соответствий (множественных попаданий). Работает он следующим образом. При выполнении операции записи в TLB, поле VPN2 сравнивается с одноименными полями всех строк TLB. Если будет найдено соответствие, возникнет аппаратно обрабатываемое исключение, которое установит бит TS регистра Status CP0 и прервет эту операцию. Подробно исключения описаны в п. 0. В каждой строке TLB имеется скрытый бит, обнуляемый при аппаратном сбросе. Устанавливается этот бит при записи в данную строку, разрешая просмотр этой строки при поисках соответствий. Поэтому непроинициализированные строки не вызывают неадекватные преобразования адресов.

Замечание: этот скрытый бит инициализации приводит все строки TLB к запрещенному состоянию после аппаратного сброса, что делает ненужной процедуру очистки (flush) TLB. Но для совместимости с другими MIPS – процессорами рекомендуется заполнять значения тэгов уникальными величинами и обнулять бит валидности (V).

Очистить строку TLB (вывести ее из рассмотрения при поиске) можно, записав в нее значение с неотображаемым через TLB адресом.

Смена размера маски или других переменных строки TLB не приводит к исключению, если она не вводит в противоречие данной строки с другими строками. Например, увеличение размера страницы расширением маски в одной строке TLB может привести к перекрытию данной страницы с другими страницами TLB.

3.6.4.2 Размеры страниц и алгоритм замещения

Для управления общим количеством отображаемого адресного пространства и характеристиками замещения в различных областях памяти ядро обеспечивает два механизма. Первый заключается в том, что размер страницы может быть задан относительно каждой строки TLB, что позволяет отображать страницы размером от 4 Кбайт до 16 Мбайт (по степеням 4). В регистр Page Mask CP0 загружается требуемый размер страницы, который при выполнении операции записи попадает в очередную строку TLB. Таким образом, операционная система может задавать отображения особых назначений. Например, характерный кадровый буфер (frame buffer) может быть отображен на память всего одной строкой TLB.

Второй механизм управляет замещением, когда возникает промах при просмотре TLB. Для выбора строки TLB, в которую будет записано новое отображение, в процессорном ядре предусмотрен алгоритм случайного замещения. Но существует также способ программно предотвратить случайное замещение зарезервированных отображений, количество которых определяется значением регистра Wired CP0. (см. также п. 0).

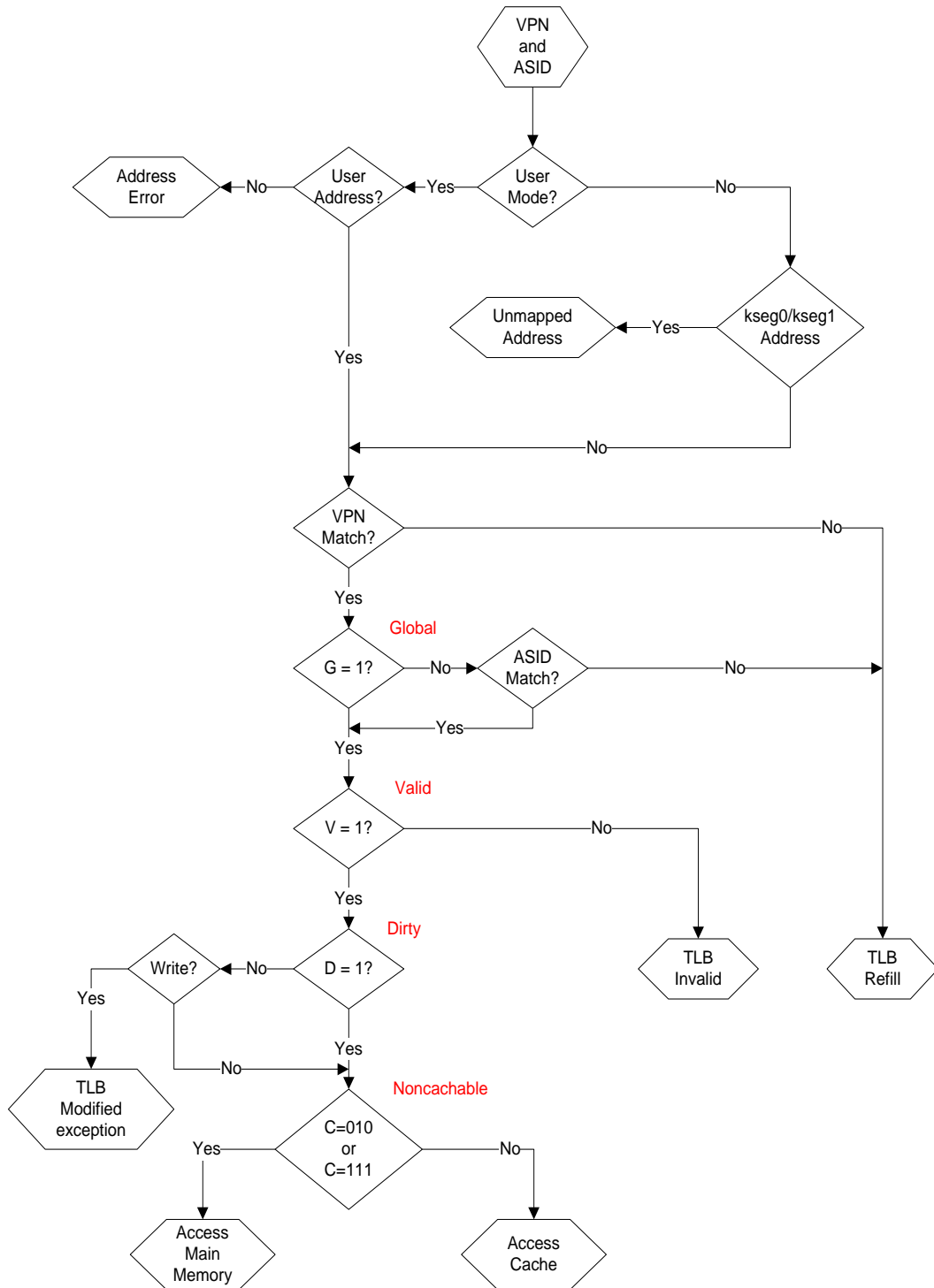


Рисунок 3.20. Алгоритм преобразования адреса через TLB

3.7 Исключения

Процессорное ядро способно принимать исключения от ряда источников, в том числе промах буфера преобразования адресов (TLB), арифметические переполнение, прерывание ввода-вывода, и системные вызовы. Обнаружив одно из этих исключений, CPU приостанавливает нормальную последовательность исполнения команд и процессор входит в режим Kernel.

В режиме Kernel ядро отключает прерывания и вынуждает процессор запустить программу обработчика исключений, расположенную в фиксированных адресах памяти. Обработчик сохраняет контекст процессора – содержимое счетчика команд, текущий режим процессора и статус разрешения прерываний. Таким образом, контекст может быть восстановлен по завершению обработки исключения.

При возникновении исключения в регистр Exception Program Counter (EPC) загружается адрес, начиная с которого исполнение команд может возобновиться после завершения обработки исключения. В регистр EPC помещается адрес команды, вызвавшей исключение или, если команда находилась в слоте задержки перехода, адрес команды перехода, предшествующей слоту задержки. Чтобы различить эти ситуации, программное обеспечение должно проанализировать бит BD (branch delay) в регистре Cause CP0.

3.7.1 Условия исключений

Исключения обрабатываются на стадии M конвейера. Когда исключительная ситуация обнаруживается, команда, находящаяся на стадии M, и все команды, следующие за ней на конвейере, отменяются. Соответственно, все условия остановки конвейера, относящиеся к этой команде, а также условия последующих исключений, которые также могут относиться к ней, игнорируются, поскольку обслуживание приостановок для отмененной команды не приносит выигрыша.

Когда условие исключения обнаруживается на стадии M, процессор заполняет необходимые регистры CP0 значениями, относящимися к состоянию исключения, изменяет счетчик команд (PC) на адрес соответствующего вектора обработки исключения и очищает признаки исключения, относящиеся к более ранним стадиям конвейера.

Такая реализация позволяет завершить исполнение команды, находящейся на стадии W, и запретить завершение последующих команд. Таким образом, значения, сохраненного в регистре EPC (в случае ошибок – в Error PC), достаточно для возобновления исполнения. Это также обеспечивает поступление исключений в соответствии с порядком исполнения команд – команда, вызывающая исключение, может быть уничтожена командой с более поздней стадии конвейера, также вызвавшей исключение.

3.7.2 Приоритеты исключений

В Таблица 3.15 перечислены все возможные исключения со своими относительными приоритетами от высшего к низшему. Некоторые из этих исключений могут случаться одновременно, в этом случае вызывается исключение с наивысшим приоритетом.

Таблица 3.15

Исключение	Описание
Reset	Аппаратный сброс
NMI	Внешнее немаскируемое прерывание и прерывание от таймера WDT (см. табл. 7.2).
TLB_Ri, TLB_Ii	Промех TLB при выборке команды, Попадание в запрещенную страницу TLB (V=0) при выборке команды
AdELi	Ошибка выравнивания адреса при выборке команды; Ссылка на адрес режима Kernel при работе в режиме User при выборке команды
MCheck Sys Bp CpU RI Ov Tr AdELd AdES	Запись в TLB, создающая конфликт с существующей строкой TLB Выполнение команды SYSCALL Выполнение команды BREAK Выполнение команды сопроцессора в режиме User Выполнение зарезервированной команды Переполнение в арифметической команде Выполнение trap (когда условие trap истинно) Ошибка выравнивания адреса при загрузке данных; Ссылка на адрес режима Kernel при работе в режиме User при загрузке данных Ошибка выравнивания адреса при сохранении данных; Попытка сохранения по адресу Kernel в режиме User
TLB_Rd, TLB_Id	Промех TLB при загрузке данных; Попадание в запрещенную страницу TLB (V=0) при загрузке данных
TLB_M	Сохранение в TLB-странице с D=0
Interrupt	Установка немаскируемых HW или SW - прерываний

3.7.3 Расположение векторов исключений

Векторы исключений аппаратного сброса и NMI всегда находятся по адресу 0xBFC_0000. Адреса всех других исключений являются комбинациями векторных смещений и базового адреса. В Таблица 3.16 приведены базовые адреса как функции исключения и состояния бита BEV Регистра Status. В Таблица 3.17. приведены смещения от базового адреса как функции исключения. В Таблица 3.18 эти две таблицы сведены в одну таблицу, содержащую все возможные адреса векторов исключений как функции состояний, влияющих на выбор этих векторов.

Таблица 3.16

Исключение	StatusBEV	
	0	1
Reset, NMI	0xBFC0_0000	
Остальные исключения	0x8000_0000	0xBFC0_0200

Таблица 3.17. Базовые адреса векторов исключений

Исключение	Смещение вектора
TLB Refill, EXL = 0	0x000
Reset, NMI	0x000
Исключения общего характера (General Exceptions)	0x180
Interrupt, Cause _{IV} = 1	0x200

Таблица 3.18. Векторы исключений

Исключение	BEV	EXL	IV	Вектор
Reset, NMI	-	-	-	0xBFC0_0000
TLB Refill	0	0	-	0x8000_0000
TLB Refill	0	1	-	0x8000_0180
TLB Refill	1	0	-	0xBFC0_0200
TLB Refill	1	1	-	0xBFC0_0380
Interrupt	0	0	0	0x8000_0180
Interrupt	0	0	1	0x8000_0200
Interrupt	1	0	0	0xBFC0_0380
Interrupt	1	0	1	0xBFC0_0400
Остальные	0	-	-	0x8000_0180
Остальные	1	-	-	0xBFC0_0380

3.7.4 Обработка общих исключений

Кроме исключений аппаратного сброса и NMI, которые обслуживаются особым образом, обработка всех остальных исключений происходит в соответствии со следующим основным маршрутом:

1. Если бит EXL Регистра Состояния (Status) очищен, в регистр EPC загружается значение PC, по которому выполнение программы будет перезапущено, и при необходимости устанавливается бит BD в Регистре Причины (Cause). Если команда не находится в слоте задержки перехода, бит BD в Регистре Причины будет очищен, а в регистр EPC загружается значение, соответствующее текущему PC. Если же команда находится в слоте задержки перехода, бит BD в Регистре Причины устанавливается в “1”, и в EPC загружается значение, равное PC - 4. Если бит EXL в Регистре Состояния установлен, в регистр EPC ничего не загружается, и бит BD в Регистре Причины не модифицируется.
2. В поля CE и ExcCode Регистра Причины загружаются значения, соответствующие исключению.
3. Устанавливается бит EXL в Регистре Состояния (Status).
4. Процессор стартует с вектора исключения.

Значение, загруженное в EPC, представляет собой адрес возврата из исключения и в обычной ситуации программе обработки исключения не требуется его модифицировать. Программе также не нужно просматривать бит BD в Регистре Причины, если не возникает потребность определить действительный адрес команды, вызвавшей исключение.

Operation:

```
if StatusEXL == 0 then
    if InstructionInBranchDelaySlot then
        EPC <= PC - 4
        CauseBD <= 1
    else
        EPC <= PC
        CauseBD <= 0
    endif
endif

if (ExceptionType == TLBRefill) then
    vectorOffset <= 0x000
elseif (ExceptionType == Interrupt) and (CauseIV == 1) then
    vectorOffset <= 0x200
else
    vectorOffset <= 0x180
endif
else
    vectorOffset <= 0x180
endif

CauseCE <= FaultingCoprocesorNumber
CauseExcCode <= ExceptionType
StatusEXL <= 1

if (StatusBEV == 1) then
    PC <= 0xBFC0_0200 + vectorOffset
else
    PC <= 0x8000_0000 + vectorOffset
Endif
```

3.7.5 Исключения

В следующих разделах описаны все исключения в порядке, соответствующем Таблица 3.15.

3.7.5.1 Исключение по аппаратному сбросу (Reset Exception)

Это немаскируемое исключение, которое происходит при установке сигнала аппаратного сброса. Когда возникает исключение аппаратного сброса, процессор выполняет полную начальную инициализацию, то есть приводит автоматы к начальному состоянию и переводит процессор в состояние, из которого он может начать запуск команд, находящихся в некэшируемой и неотображаемой области. После возникновения исключения аппаратного сброса состояние процессора не определено, за исключением следующего:

1. Регистр Random устанавливается в значение, равное количеству строк TLB - 1.
2. Регистр Wired устанавливается в 0.
3. Регистр Config устанавливается в свое начальное состояние (boot state).
4. Поля BEV, TS, NMI и ERL Регистра Status устанавливаются в заданные значения.
5. В PC загружается значение 0xBFC0_0000 (виртуальный адрес).

Вектор исключения:

Reset (0xBFC0_0000)

Operation:

Random \leq TLBEntries - 1

Wired \leq 0

Config \leq ConfigurationState

Status_{BEV} \leq 1

Status_{TS} \leq 0

Status_{NMI} \leq 0

Status_{ERL} \leq 1

PC \leq 0xBFC0_0000

3.7.5.2 Исключение по немаскируемому прерыванию (Non Maskable Interrupt – NMI Exception)

Немаскируемое прерывание возникает по положительному фронту входного сигнала NMI или при срабатывании сторожевого таймера WDT. Исключение NMI происходит только в пределах границ команды, поэтому оно не вызывает сброса или другую переинициализацию аппаратных средств. Состояние кэш, памяти, а также другие состояния процессора остаются неизменными. Значения регистров также сохраняются за исключением следующего:

1. Поля BEV, TS, NMI и ERL регистра Status принимают заданные значения.
2. В регистр ErrorEPC загружается значение PC - 4, если прерывание произошло на фоне команды в слоте задержки перехода. В противном случае в регистр ErrorEPC загружается значение PC.
3. В PC загружается значение 0xBFC0_0000.

Вектор исключения:
Reset (0xBFC0_0000)
Operation:

```
StatusBEV <= 1  
StatusTS <= 0  
StatusNMI <= 1  
StatusERL <= 1
```

```
if InstructionInBranchDelaySlot then  
    ErrorEPC <= PC - 4  
else  
    ErrorEPC <= PC  
endif
```

```
PC <= 0xBFC0_0000
```

3.7.5.3 Исключение по обновлению TLB — выборка команды или доступ к данным (TLB Refill Exception – Instruction Fetch or Data Access)

Исключение TLB Refill происходит во время выборки команды или доступа к данным, если в TLB нет ни одной строки, соответствующей ссылке к отображенному адресному пространству, и бит EXL в регистре Status равен 0.

Значение поля ExhCode регистра Cause:

- TLBL: Произошла ссылка по загрузке данных или выборке команды
- TLBS: Произошла ссылка по сохранению данных

Дополнительно сохраняемые состояния:

Таблица 3.19

Состояние регистра	Значение
BadVAddr	ошибочный адрес
Context	поле BadVPN2 содержит VA _{31:13} ошибочного адреса
EntryHi	поле VPN2 содержит VA _{31:13} ошибочного адреса; поле ASID содержит ASID отсутствующей ссылки

Вектор исключения:

- Вектор TLB Refill (смещение 0x000)

3.7.5.4 Исключение TLB Invalid — выборка команды или доступ к данным (TLB Invalid Exception – Instruction Fetch or Data Access)

Исключение TLB Invalid происходит во время выборки команды или доступа к данным в одном из следующих случаев:

1. В TLB нет ни одной строки, соответствующей ссылке к отображенному адресному пространству, и бит EXL в регистре Status равен 1.
2. Строка TLB соответствует ссылке к отображенному адресу, но ее бит валидности выключен.

Значение поля ExcCode регистра Cause:

- TLBL: Произошла ссылка по загрузке данных или выборке команды
- TLBS: Произошла ссылка по сохранению данных

Дополнительно сохраняемые состояния:

Таблица 3.20

Состояние регистра	Значение
BadVAddr	ошибочный адрес
Context	поле BadVPN2 содержит VA _{31:13} ошибочного адреса
EntryHi	поле VPN2 содержит VA _{31:13} ошибочного адреса; поле ASID содержит ASID отсутствующей ссылки

Вектор исключения:

- Общий Вектор исключения (смещение 0x180)

3.7.5.5 Исключение по ошибке адресации — выборка команды / доступ к данным (Address Error Exception – Instruction Fetch / Data Access)

Исключение по ошибке адресации во время доступа к команде или данным возникает при попытке выполнить одно из следующих действий:

1. Выбрать команду, загрузить или сохранить слово данных, если они не выровнены в границах слова.
2. Загрузить или сохранить половину слова, если оно не выровнено в границах половины слова.
3. Обратиться по адресу пространства Kernel при работе в режиме User.

Значение поля ExhCode регистра Cause:

- ADEL: Произошла ссылка по загрузке данных или выборке команды
- ADES: Произошла ссылка по сохранению данных

Дополнительно сохраняемые состояния:

Таблица 3.21

Состояние регистра	Значение
BadVAddr	ошибочный адрес

Вектор исключения:

- Общий Вектор исключения (смещение 0x180)

3.7.5.6 Исключение по аппаратному контролю (Mcheck – Machine Check Exception)

Данное исключение возникает, если при выполнении команды записи в TLB (TLBWI или TLBWR) обнаруживается, что поле виртуального адреса записываемой строки соответствует такому же полю одной из строк, уже хранящихся в TLB.

При возникновении данной ситуации запись в TLB не выполняется и устанавливается бит TS в регистре Status. Этот бит является статусным и не влияет на функционирование процессорного ядра. Сбрасывается он программно после разрешения данной ситуации, осуществляемого очисткой конфликтных строк в TLB.

Значение поля ExcCode регистра Cause:

- Mcheck

Дополнительно сохраняемые состояния:

- Нет

Вектор исключения:

- Общий Вектор исключения (смещение 0x180)

3.7.5.7 Исключение исполнения – системный вызов (System Call Exception)

Исключение System Call является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение System Call возникает при исполнении команды SYSCALL.

Значение поля ExcCode регистра Cause:

- Sys

Дополнительно сохраняемые состояния:

- Нет

Вектор исключения:

- Общий Вектор исключения (смещение 0x180)

3.7.5.8 Исключение исполнения — Breakpoint (Execution Exception – Breakpoint)

Исключение Breakpoint является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение Breakpoint возникает при исполнении команды BREAK.

Значение поля ExсCode регистра Cause:

- Вр

Дополнительно сохраняемые состояния:

- Нет

Вектор исключения:

- Общий Вектор исключения (смещение 0x180)

3.7.5.9 Исключение исполнения — зарезервированная команда (Execution Exception – Reserved Instruction)

Исключение зарезервированной команды является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение зарезервированной команды вызывается при исполнении команды с неопределенным кодом операции или полем функции.

Значение поля ExсCode регистра Cause:

- RI

Дополнительно сохраняемые состояния:

- Нет

Вектор исключения:

- Общий Вектор исключения (смещение 0x180)

3.7.5.10 Исключение исполнения — недоступен сопроцессор (Execution Exception – Coprocessor Unusable)

Исключение недоступности сопроцессора является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение недоступности сопроцессора вызывается при попытке исполнения команды сопроцессора CP0 в режиме User.

Значение поля ExhCode регистра Cause:

- CpU

Дополнительно сохраняемые состояния:

- Нет

Вектор исключения:

- Общий Вектор исключения (смещение 0x180)

3.7.5.11 Исключение исполнения — целочисленное переполнение (Execution Exception – Integer Overflow)

Исключение целочисленного переполнения является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение целочисленного переполнения вызывается, когда выбранные целочисленные команды приводят к переполнению в двоичном коде.

Значение поля ExhCode регистра Cause:

- Ov

Дополнительно сохраняемые состояния:

- Нет

Вектор исключения:

- Общий Вектор исключения (смещение 0x180)

3.7.5.12 Исключение исполнения — Trap (Execution Exception – Trap)

Исключение Trap является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение Trap вызывается, если условие команды trap истинно (TRUE).

Значение поля ExcCode регистра Cause:

- Tr

Дополнительно сохраняемые состояния:

- Нет

Вектор исключения:

- Общий Вектор исключения (смещение 0x180)

3.7.5.13 Исключение сохранения в запрещенной области (TLB Modified Exception)

Это исключение возникает при обращении по записи данных к отображенному адресу, если выполняется следующее условие:

Найденная строка TLB действительна, но страница запрещена для записи.

Значение поля ExcCode регистра Cause:

- Mod

Дополнительно сохраняемые состояния:

Таблица 3.22

Состояние регистра	Значение
BadVAddr	Ошибочный адрес
Context	Поля BadVPN2 содержат VA _{31:13} ошибочного адреса
EntryHi	Поле VPN2 содержит VA _{31:13} ошибочного адреса; поле ASID содержит ASID отсутствующей ссылки

Вектор исключения:

- Общий Вектор исключения (смещение 0x180)

3.7.5.14 Исключение прерывания (Interrupt Exception)

Исключение прерывания возникает, когда сигнал одного или более разрешенных регистром Status прерываний устанавливается на входе процессора.

Значение поля ExcCode регистра Cause:

- Int

Дополнительно сохраняемые состояния:

Таблица 3.23

Состояние регистра	Значение
Cause _{IP}	Указывает код прерывания

Вектор исключения:

- Общий Вектор исключения (смещение 0x180), если бит IV регистра Cause равен 0;
- Вектор прерывания (смещение 0x200), если бит IV регистра Cause равен 1.

3.7.6 Алгоритмы обработки исключений

В этом разделе приведены алгоритмы обработки следующих исключений:

- Общие исключения;
- Исключения пропуска при поиске по TLB;
- Исключения Reset и NMI;

Исключения аппаратно обрабатываются, а затем программно обслуживаются.

Алгоритмы обработки исключений приведены на Рисунок 3.21, Рисунок 3.22, Рисунок 3.23.

Все исключения кроме Reset, NMI и TLB-miss первого уровня. Прерывания могут быть замаскированы битами IE и IM

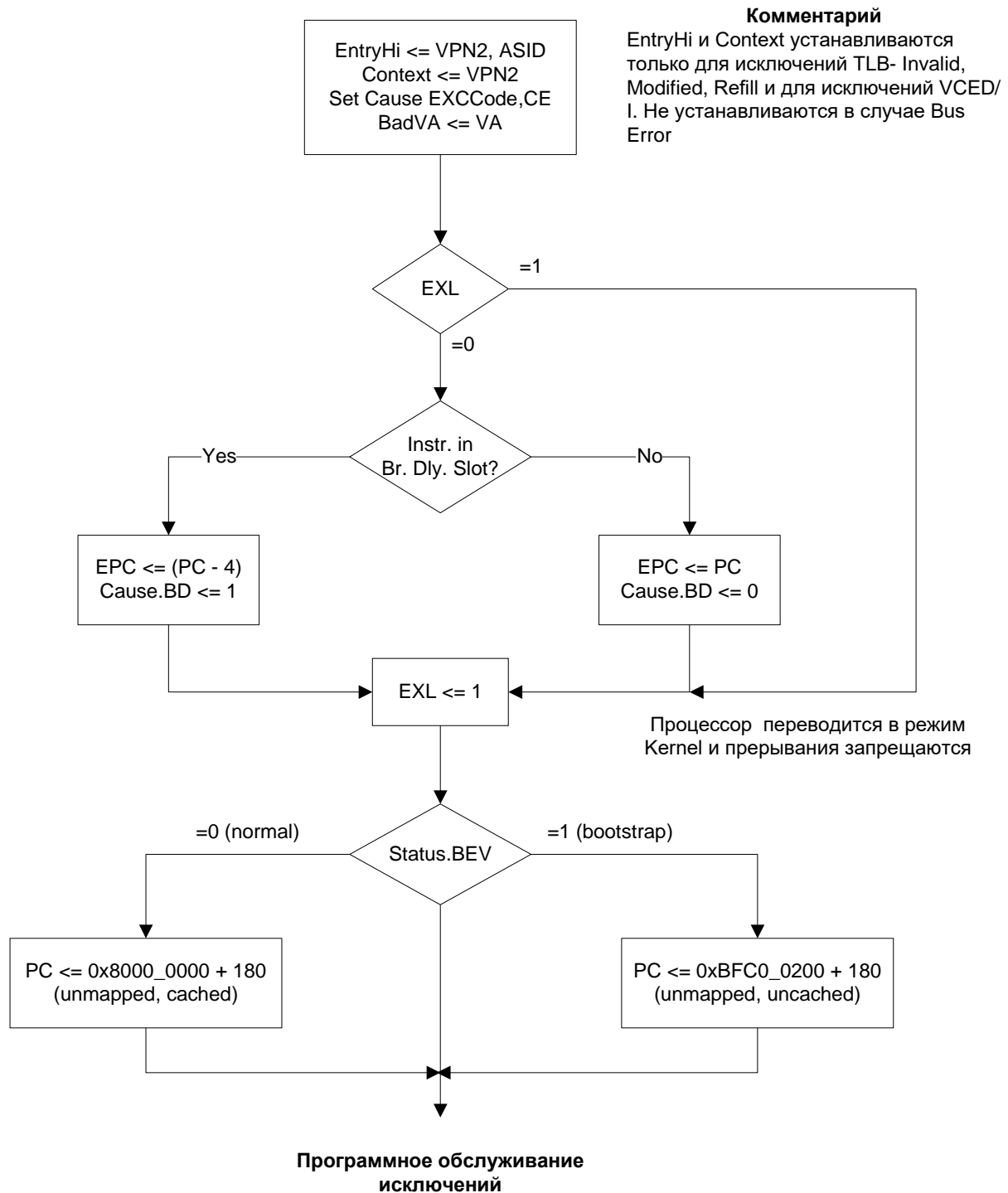


Рисунок 3.21. Обработка общих исключений

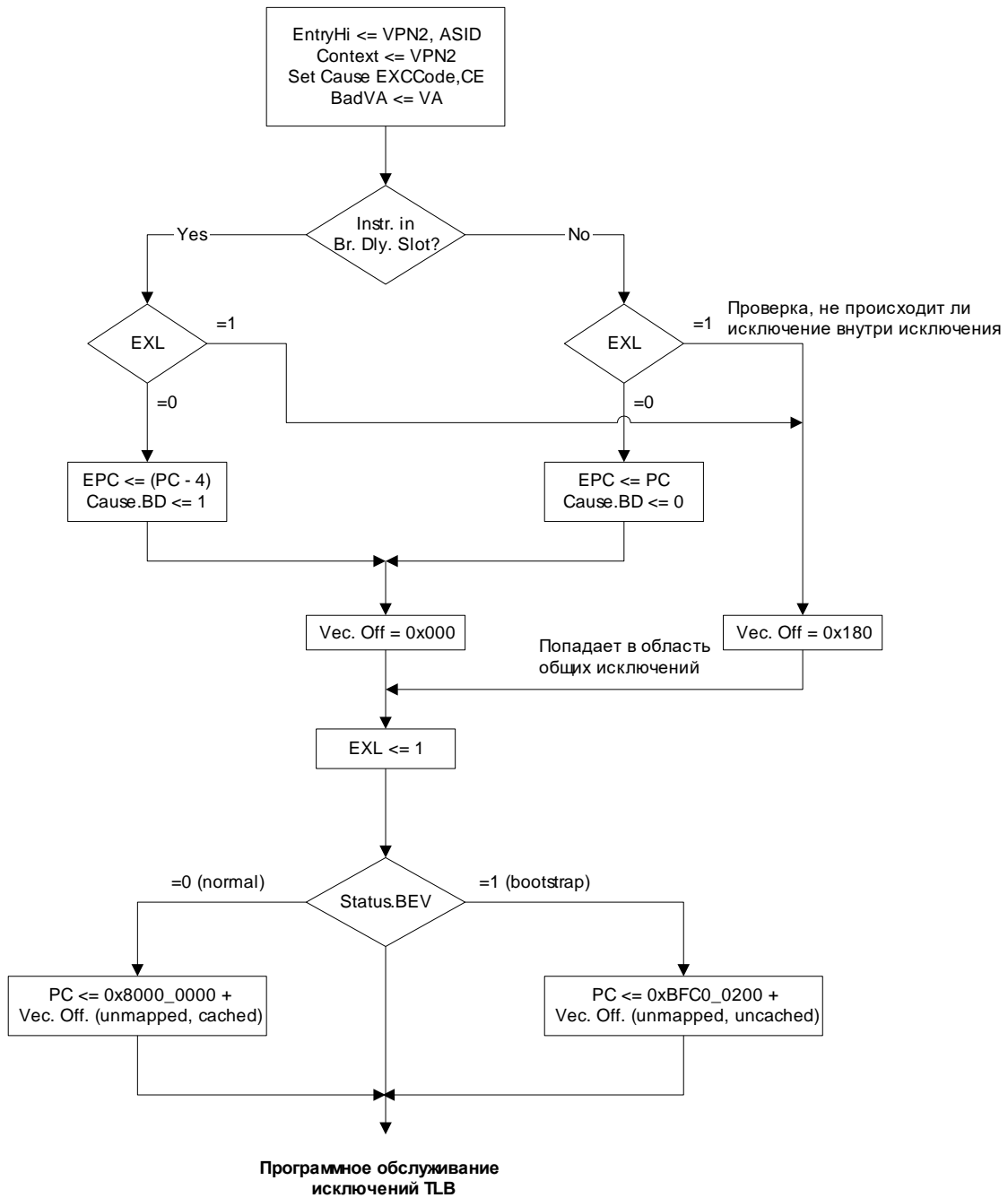


Рисунок 3.22. Обработка исключений TLB Refill и TLB Invalid

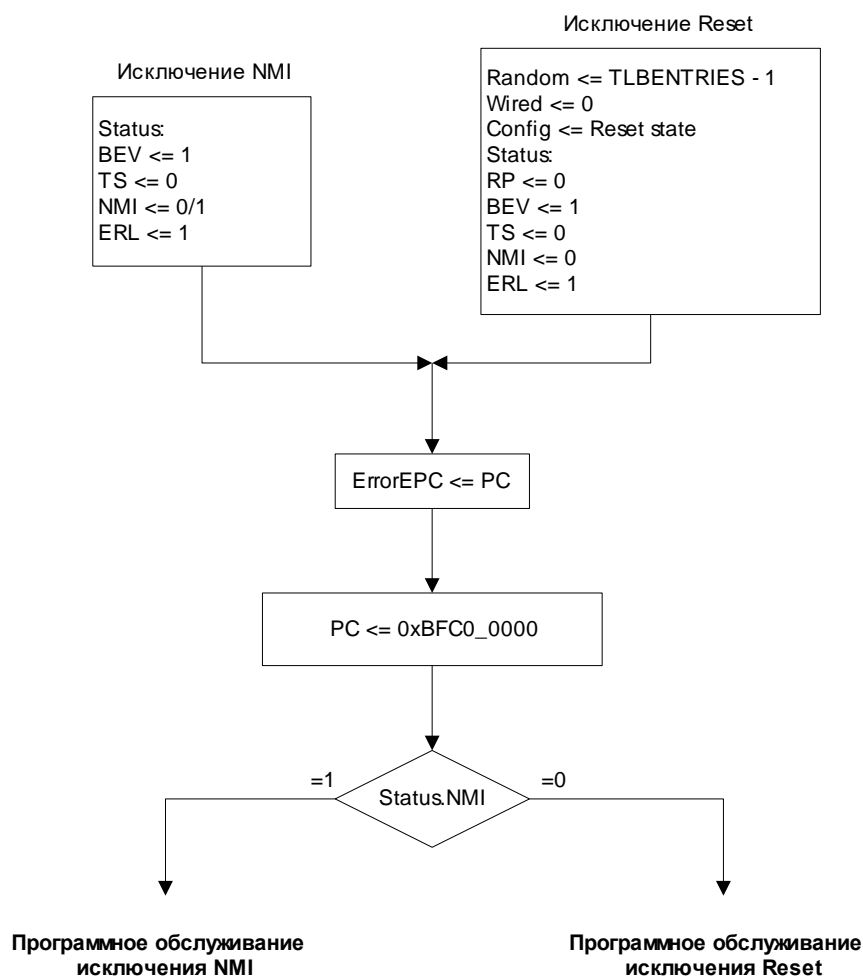


Рисунок 3.23. Обработка исключений Reset и NMI

3.8 Регистры CP0

3.8.1 Назначение

Системный Управляющий Сопроцессор (CP0) обеспечивает регистровый интерфейс с процессорным ядром MIPS32 и поддерживает управление памятью, преобразование адреса, обработку исключений и другие привилегированные операции. Каждому регистру CP0 соответствует определяющий его уникальный номер; этот номер называется *номером регистра*. Например, регистру PageMask соответствует 5-й номер регистра.

После записи нового значения в регистр CP0 (с помощью команды MTC0), его обновление происходит не сразу, а по прошествии периода от 0 и более команд. Этот период называется периодом особой ситуации.

3.8.2 Обзор регистров CP0

В Таблица 3.24 приведены все регистры CP0 в порядке возрастания нумерации. В разделе 5.3 каждый из этих регистров описан отдельно.

Таблица 3.24. Регистры CP0

Номер регистра	Название регистра	Функция
0	Index ¹	Индекс матрицы TLB (режим TLB)
1	Random ¹	Случайным образом сгенерированный индекс для буфера TLB (режим TLB)
2	EntryLo0 ¹	Младшая часть строки TLB для виртуальных страниц с четными номерами (режим TLB)
3	EntryLo1 ¹	Младшая часть строки TLB для виртуальных страниц с нечетными номерами (режим TLB)
4	Context ²	Указатель на строку в таблице страниц памяти (режим TLB)
5	PageMask ¹	Управление переменным размером страниц строк TLB (режим TLB)
6	Wired ¹	Управление количеством закрепленных “привязанных” строк TLB (режим TLB)
7	Reserved	Резерв
8	BadVAddr ²	Содержит адрес, вызвавший последнее связанное с адресацией исключение
9	Count ²	Счетчик процессорных циклов
10	EntryHi ¹	Старшая часть строки TLB (режим TLB)
11	Compare ²	Управление прерыванием таймера
12	Status ²	Состояние и управление процессором
13	Cause ²	Причина последнего исключения
14	EPC ²	Значение счетчика команд во время последнего исключения
15	PRId	Идентификация и ревизия процессора
16	Config/Config1	Конфигурационный регистр
17	LLAddr	Загрузка адреса сопряжения
18-19	Не реализованы	
20-22	Reserved	Резерв
23-24	Не реализованы	
25-27	Reserved	Резерв
28-29	Не реализованы	
30	ErrorEPC ²	Значение счетчика команд при последней ошибке
31	Не реализован	

¹Регистры, используемые при управлении памятью.

²Регистры, используемые при обработке исключений.

3.8.3 Регистры CP0

Регистры CP0 обеспечивают интерфейс между системой команд (ISA) и архитектурой процессора. Каждый регистр, описанный в этом разделе, представлен своим порядковым номером и значением поля Select.

Все поля описанных регистров характеризуются свойствами записи / чтения, а также значением после аппаратного сброса. Свойства записи / чтения охарактеризованы в Таблица 3.25.

Таблица 3.25

Свойства записи/чтения	Аппаратная интерпретация	Программная интерпретация
R/W	<p>Поле, в котором все биты программно и аппаратно доступны по записи и чтению.</p> <p>Аппаратное обновление этого поля доступно для программы при чтении программой. Программное обновление этого поля доступно для процессора при чтении процессором.</p> <p>Если значение поля после сброса не определено, программа или процессор должны проинициализировать это поле, чтобы первое чтение возвратило предсказуемое значение.</p>	
R	<p>Поле, значение которого постоянно или обновляется только процессором.</p> <p>Значение поля после начальной установки восстанавливается также при включении питания.</p> <p>Если значение поля не определено после начальной установки, процессор обновляет его только при условиях, определенных при описании поля.</p>	<p>Поле, для которого значение, записанное программой, процессором игнорируется.</p> <p>Программное прочтение этого поля возвращает последнее обновленное процессором значение.</p> <p>Если значение поля не определено после начальной установки, программное прочтение этого поля возвратит непредсказуемое значение кроме тех случаев, когда произошло обновление процессором значения этого поля по возникновению условий, определенных в описании поля условий.</p>
0	<p>Поле, значение которого процессором не обновляется и всегда равно нулю.</p>	<p>Программное чтение всегда возвращает нуль.</p>

3.8.3.1 Регистр Index (Регистр 0 CP0, Select 0)

Регистр Index является 32-х разрядным регистром, доступным для чтения и записи. Он содержит индекс доступа к TLB для команд TLBP, TLBR и TLBWI. Ширина поля индекса зависит от количества строк TLB и равна 4.

Функционирование процессора не определено, если в регистр Index записано значение большее или равное количеству строк TLB.

Формат регистра Index

31	30	-	4	3 - 0
P	0			Index

Таблица 3.26. Описание полей регистра Index

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
P	31	Неудачная проба. Устанавливается в 1, если предыдущей командой TLBProbe (TLBP) не было найдено соответствия в TLB.	R	Не определено
0	30:4	При чтении возвращается нуль	0	0
Index	3:0	Индекс строки TLB, к которой относятся команды TLBRead и TLBWrite	R/W	Не определено

3.8.3.2 Регистр Random (Регистр CP0 1, Select 0)

Регистр Random доступен только для чтения, и его значение используется как индекс TLB для команды TLBWR. Ширина поля Random определяется таким же образом, как для регистра Index.

Значение этого регистра изменяется между верхней и нижней границами следующим образом:

1. Нижняя граница определяется количеством строк TLB, зарезервированных для использования операционной системой (содержимое регистра Wired). Строка, чей индекс равен значению Wired, является первой из доступных для записи командой TLB Write Random (TLBWR).
2. Верхняя граница равна общему количеству строк TLB минус 1.

Регистр Random уменьшается на 1 при продвижении конвейера RISC, возвращаясь к максимальному значению по достижению величины, равной значению регистра Wired.

Процессор инициализирует регистр Random значением, равным верхней границе по возникновению исключения Reset и по записи в регистр Wired.

Формат регистра Random

31	-	4	3 - 0
0			Random

Таблица 3.27. Описание полей регистра Random

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
0	31:4	При чтении возвращается нуль	0	0
Random	3:0	Случайный индекс строки TLB	R	TLB Entries - 1

3.8.3.3 EntryLo0, EntryLo1 (Регистры 2 и 3 CP0, Select 0)

Пара регистров EntryLo действует как интерфейс между TLB и командами TLBR, TLBWI, TLBWR.

В режиме TLB EntryLo0 содержит строки для четных страниц TLB, а EntryLo1 – для нечетных страниц.

После ошибки адресации и возникновения исключений TLB refill, TLB invalid и TLB modified, содержимое регистров EntryLo0 и EntryLo1 не определено.

Формат регистров EntryLo0, EntryLo1

31-30	29 - 26	25	-	6	5 - 3	2	1	0
R	0	PFN			C	D	V	G

Таблица 3.28. Описание полей регистров EntryLo0 и EntryLo1

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
R	31:30	Резервные. При чтении возвращается нуль	R	0
0	29:26	При чтении возвращается нуль	R	0
PFN	25:6	Номер страничного кадра. Соответствует битам 31:12 физического адреса.	R/W	Не определено
C	5:3	Атрибут когерентности страницы. См. табл.2.18.	R/W	Не определено
D	2	“Dirty” – бит, разрешающий запись. Указывает на то, что в страницу была сделана запись, и/или страница открыта для записи. Если этот бит равен 1, разрешается сохранение в этой странице. Если он равен 0, сохранение в этой странице вызывает исключение TLB Modified.	R/W	Не определено
V	1	Бит валидности. Указывает, на то, что строка TLB и, соответственно, отображение виртуальной страницы, является действительным. Если этот бит равен 1, доступ к странице разрешается. Если этот бит равен 0, доступ к странице вызывает исключение TLB Invalid.	R/W	Не определено
G	0	Бит глобальности. При записи в TLB битом G в строке TLB становится логическое “И” битов G EntryLo0 и EntryLo1. Если бит G строки TLB равен 1, результат сравнения полей ASID игнорируется при поиске по TLB. При чтении строки TLB биты G EntryLo0 и EntryLo1 отражают состояние бита G TLB.	R/W	Не определено

В Таблица 3.29 приведена кодировка для поля C регистров EntryLo0 и EntryLo1 и полей K0, K23 и KU регистра Config.

Таблица 3.29. Атрибуты когерентности Кэш

Значение C[5:3]	Описание
0, 1, 3*, 4, 5, 6	Кэшируемая, некогерентная область
2*, 7	Некэшируемая область
* - Архитектура MIPS32 предусматривает только эти два значения. Остальные значения не используются и отображаются в используемые значения. Например, 0, 1, 4, 5 и 6 отображается в 3, а 7 – в 2.	

3.8.3.4 Регистр Context (Регистр 4 CP0, Select 0)

Регистр Context доступен для чтения и записи, и содержит указатель на строку в матрице PTE (page table entry). Эта матрица является структурой данных операционной системы, в которой содержатся преобразования виртуального адреса в физический. При возникновении промаха TLB, операционная система загружает в TLB недостающее преобразование из матрицы PTE. Регистр Context дублирует часть информации, содержащейся в регистре BadVAddr, но организован таким образом, что операционная система может прямо ссылаться к 8-байтной матрице PTE в памяти.

При возникновении исключения TLB (TLB Refill, TLB Invalid, или TLB Modified) биты VA_{31:13} виртуального адреса записываются в поле BadVPN2 регистра Context. Поле PTEBase записывается и используется операционной системой.

После возникновения исключения ошибки адресации значение поля BadVPN2 регистра Context не определено.

Формат регистра Context

31	-	23	22	-	4	3	-	0
PTEBase			BadVPN2					

Таблица 3.30. Описание полей регистра Context

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
PTEBase	31:23	Это поле используется операционной системой и обычно содержит значение, позволяющее операционной системе использовать регистр Context в качестве указателя на текущую матрицу PTE в памяти.	R/W	Не определено
BadVPN2	22:4	Это поле заполняется процессором при промахе TLB. Оно содержит биты VA _{31:13} пропущенного виртуального адреса	R	Не определено
0	3:0	При чтении возвращается нуль	0	0

3.8.3.5 Регистр PageMask (Регистр 5 CP0, Select 0)

Регистр PageMask доступен для чтения и записи, и используется для чтения TLB и записи в TLB. Он содержит маску сравнения, которая устанавливает переменную размера страниц для каждой строки TLB, как показано в

Таблица 3.32.

Если значение регистра отлично от значений, приведенных в таблице, поведение процессора при поиске по TLB не определено.

Формат регистра PageMask

31	-	25	24	-	13	12	-	0
0			Mask			0		

Таблица 3.31. Описание полей регистра PageMask

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
Mask	24:13	Бит маски, содержащий “1”, указывает на то, что соответствующий бит виртуального адреса не должен принимать участие при поиске соответствия по TLB	R/W	Не определено
0	31:25, 12:0	При чтении возвращается нуль	0	0

Таблица 3.32. Таблица возможных значений поля Mask регистра PageMask

Размер страницы	Бит											
	24	23	22	21	20	19	18	17	16	15	14	13
4 Кбайт	0	0	0	0	0	0	0	0	0	0	0	0
16 Кбайт	0	0	0	0	0	0	0	0	0	0	1	1
64 Кбайт	0	0	0	0	0	0	0	0	1	1	1	1
256 Кбайт	0	0	0	0	0	0	1	1	1	1	1	1
1 Мбайт	0	0	0	0	1	1	1	1	1	1	1	1
4 Мбайт	0	0	1	1	1	1	1	1	1	1	1	1
16 Мбайт	1	1	1	1	1	1	1	1	1	1	1	1

3.8.3.6 Регистр Wired (Регистр 6 CP0, Select 0)

Регистр Wired доступен для чтения и записи. Этот регистр определяет границу между случайными и “привязанными” строками TLB, как показано на Рисунок 3.24. Ширина поля Wired определяется так же, как для описанного выше регистра Index. “Привязанные” строки зафиксированы, то есть они не являются удаляемыми и не могут быть перезаписаны командой TLBWR. Эти строки могут быть перезаписаны только командой TLBWI.

Регистр Wired устанавливается в нулевое состояние исключением по аппаратному сбросу (Reset). Запись в регистр Wired вызывает установку регистра Random в значение, равное его верхней границе.

Если значение, записанное в регистр Wired, больше или равно числу строк TLB, операция процессора не определена.

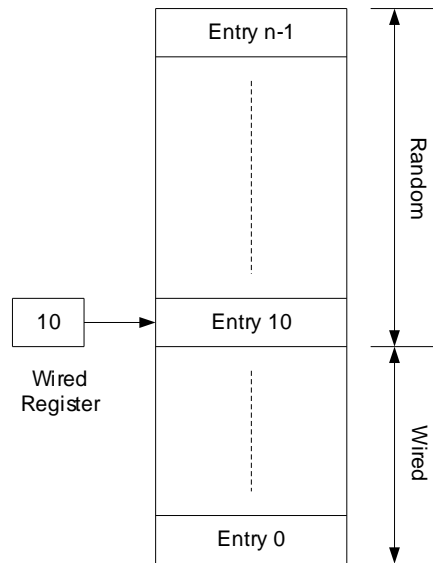


Рисунок 3.24. “Привязанные” и случайные строки TLB

Формат регистра Wired

31	4	3	0
0		Wired	

Таблица 3.33. Описание полей регистра Wired

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
0	31:4	При чтении возвращается нуль	0	0
Wired	3:0	Граница между “привязанными” и случайными строками TLB.	R/W	0

3.8.3.7 Регистр BadVAddr (Регистр 8 CP0, Select 0)

Регистр BadVAddr доступен только для чтения и содержит последний виртуальный адрес, вызвавший одно из следующих исключений:

- Ошибка адреса (AdEL или AdES);
- TLB Refill;
- TLB Invalid;
- TLB Modified.

Формат регистра BadVAddr

31	0
BadVAddr	

Таблица 3.34. Описание полей регистра BadVAddr

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
BadVAddr r	31:0	Виртуальный адрес, вызвавший исключение	R	Не определено

3.8.3.8 Регистр Count (Регистр 9 CP0, Select 0)

Регистр Count действует как таймер, увеличивающий свое значение каждый такт.

Регистр Count может быть записан в функциональных или диагностических целях, включая установку или синхронизацию процессора.

Формат регистра Count

31	0
Count	

Таблица 3.35. Описание полей регистра Count

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
Count	31:0	Счетчик	R/W	Не определено

3.8.3.9 Регистр EntryHi (Регистр 10 CP0, Select 0)

Регистр EntryHi содержит информацию соответствия виртуального адреса, использующуюся при чтении, записи и операциях доступа к TLB.

При возникновении исключений TLB (TLB Refill, TLB Invalid или TLB Modified) биты VA_{31:13} виртуального адреса записываются в поле VPN2 регистра EntryHi. В поле ASID, которое используется в процессе сравнения при поиске по TLB, программно записывается идентификатор текущего адресного пространства.

Поле VPN2 регистра EntryHi не определено после прерывания по ошибке адресации.

Формат регистра EntryHi

31	0
VPN2	ASID

Таблица 3.36. Описание полей регистра EntryHi

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
VPN2	31:13	Разряды VA _{31:0} виртуального адреса (виртуальный номер страницы, деленный на 2). Это поле записывается аппаратно при исключении TLB или при чтении TLB, и программно перед записью в TLB.	R/W	Не определено
0	12:8	При чтении возвращается нуль	0	0
ASID	7:0	Идентификатор адресного пространства. Это поле записывается аппаратно при чтении TLB, и программно при установке текущего значения ASID для записи в TLB и для сравнения при поиске по TLB с соответствующими полями ASID в строках TLB.	R/W	Не определено

3.8.3.10 Регистр Compare (Регистр 11 CP0, Select 0)

Регистр Compare действует совместно с регистром Count с целью реализации функции таймера и прерывания по таймеру.

Результат сравнения регистров Count и Compare заведен на 15 разряд регистра Cause. Когда значение регистра Count равняется значению регистра Compare, этот бит имеет единичное состояние. Он остается в этом состоянии, пока в регистр Compare не будет произведена запись.

Для диагностических целей регистр Compare доступен для чтения и записи. Однако при нормальном функционировании регистр Compare используется только для записи. При записи значения в регистр Compare в качестве побочного эффекта происходит очистка бита прерывания по таймеру.

Формат регистра Compare

31	0
Compare	

Таблица 3.37. Описание полей регистра Compare

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
Compare	31:0	Период счета таймера	R/W	Не определено

3.8.3.11 Регистр Status (Регистр 12 CP0, Select 0)

Регистр Status (SR) является регистром, доступным для чтения и записи. Он содержит поля рабочего режима, разрешения прерываний и диагностические состояния процессора. Для задания режимов функционирования процессора, поля этого регистра объединяются следующим образом:

Разрешение прерываний: Прерывания разрешаются, когда истинны все следующие условия:

- IE = 1;
- EXL = 0;
- ERL = 0.

Если эти условия выполнены, прерывания разрешаются установкой битов IM.

Рабочие режимы: Процессор всегда находится в одном из двух режимов – Kernel или User. Режим задается установкой следующих битов регистра Status CPU.

- Режим User: UM = 1, EXL = 0, and ERL = 0.
- Режим Kernel: UM = 0 или EXL = 1 или ERL = 1.

Формат Status регистра

31-28	27	26-23	22	21	20	19	18-16	15 - 8	7-5	4	3	2	1	0
CU3- CU0	0	0	BEV	TS	0	NMI	0	IM7- IM0	0	UM	0	ERL	EXL	IE

Таблица 3.38. Описание полей регистра Status

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
CU3-CU0	31:28	Управление доступом к сопроцессорам 3, 2, 1 и 0 соответственно: 0 – доступ запрещен; 1 – доступ разрешен. Сопроцессор 0 всегда доступен в режиме kernel в не зависимости от состояния бита CU0. CU1 соответствует FPU (сопроцессор 1). Сопроцессоров 2 и 3 в CPU нет. Обращение к ним запрещено, так как это приведет к непредсказуемой ситуации	R/W	Не определено
-	27	Не используется	0	0
-	26:23	При чтении возвращается нуль	0	0
BEV	22	Управление размещением векторов исключения: 0: Нормальный 1: Начальная загрузка	R/W	1
TS	21	TLB-закрытие системы. Этот бит устанавливается, если при выполнении команд TLBWI или TLBWR образуется команда, которая приводит к условию закрытия, если оно разрешено. Программа может записывать в этот разряд только 0, чтобы очистить его, и не может вызвать переход этого бита из 0 в 1.	R/W	0
NMI	19	Указывает, что вход в вектор исключения начальной установки был осуществлен по причине возникновения NMI. 0: Не NMI (Аппаратный сброс) 1: NMI Программное обеспечение может записывать в этот бит только 0, чтобы очистить его, и не может записать 1.	R/W	1 для NMI, иначе 0
-	18:16	При чтении возвращается нуль	0	0
IM[7:0]	15:8	Маска прерываний: управление разрешением внешних, внутренних и программных прерываний. Прерывание принимается в случае, если установлен бит IE регистра Status и установлены соответствующие биты как в поле IM[7:0] регистра Status, так и в поле IP[7:0] регистра Cause. 0: Запрос на прерывание не разрешен. 1: Запрос на прерывание разрешен.	R/W	Не определено
-	7:5	При чтении возвращается нуль	0	0

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
UM	4	Указывает на то, что процессор работает в непривилегированном режиме (User): 0: Процессор работает в привилегированном режиме (Kernel) 1: Процессор работает в непривилегированном режиме (User) Замечание: процессор может также находиться в режиме Kernel, если установлены биты EXL или ERL. Это условие не влияет на состояние бита UM.	R/W	Не определено
-	3	При чтении возвращается нуль	0	0
ERL	2	Уровень ошибки. Устанавливается процессором при возникновении исключений Reset и NMI. 0: Нормальный уровень 1: Уровень ошибки Когда бит ERL установлен: Процессор находится в режиме Kernel. Прерывания запрещены. Команда ERET использует адрес возврата, содержащийся в ErrorPC вместо PC. kuseg используется как неотображаемая и некешируемая область. Это позволяет иметь доступ к главной памяти при ошибках кэш. Поведение процессора не определено, если бит ERL установлен при выполнении кода из useg/kuseg.	R/W	1
EXL	1	Уровень Исключения. Устанавливается процессором при возникновении любого исключения, кроме Reset и NMI. 0: Нормальный уровень 1: Уровень исключения Когда бит EXL установлен: Процессор переходит в привилегированный режим (Kernel). Прерывания запрещены. Исключения TLB Refill используют общий вектор исключения вместо вектора TLB Refill. Если происходит другое исключение, PC не модифицируется.	R/W	Не определено
IE	0	Разрешение Прерывания. 0: Отключает прерывания 1: Разрешает прерываниям	R/W	Не определено

3.8.3.12 Регистр Cause (Регистр 13 CP0, Select 0)

Регистр Cause, в основном, описывает причину последнего исключения. Кроме того, поля регистра управляют запросами на программные прерывания и определяют вектор, которым обрабатываются прерывания. Все поля регистра Cause, за исключением IP[1:0], IV и WP, доступны только для чтения.

Формат регистра Cause

31	30 - 24	23	22	-	16	15 - 10	9 - 8	7	6 - 2	1 - 0
BD	0	IV	0			IP[7:2]	IP[1:0]	0	Exc Code	0

Таблица 3.39. Описание полей регистра Cause

Поля		Описание	Чтение / Запись	Начальное состояние
Имя	Биты			
BD	31	Указывает на то, что последнее исключение произошло в слоте задержки перехода: 0: Не в слоте задержки 1: В слоте задержки Замечание: бит BD не модифицируется на новом исключении, если установлен бит EXL.	R	Не определено
0	30:24	При чтении возвращается нуль	0	0
IV	23	Указывает, какой вектор используется для обслуживания исключений прерывания – общий или специальный вектор прерываний: 0: Используется общий вектор исключения (0x180) 1: Используется специальный вектор прерываний (0x200)	R/W	Не определено
0	22:16	При чтении возвращается нуль	0	0
IP[7:2]	15:10	Указывает, какое прерывание установлено: 15 – COMPARE; 14 — прерывание от DSP; 13 - прерывания регистра QSTR3, объединенные по ИЛИ; 12 - прерывания регистра QSTR2, объединенные по ИЛИ; 11 - прерывания регистра QSTR1, объединенные по ИЛИ; 10 - прерывания регистра QSTR0, объединенные по ИЛИ	R	Не определено
IP[1:0]	9:8	Управляет запросами программных прерываний (посредством записи «1» в данные разряды): 9: Запрос программного прерывания 1; 8: Запрос программного прерывания 0.	R/W	Не определено

Поля		Описание	Чтение / Запись	Начальное состояние
Имя	Биты			
ID	7	Прерывание от встроенных средств отладки программ (OnCD).	R/W	0
Exc Code	6:2	Код исключения — см. Таблица 3.40		
0	1:0	При чтении возвращается нуль	0	0

Таблица 3.40. Описание поля Exc Code регистра Cause

Значение Exc Code	Мнемоника	Описание
0	Int	Прерывание
1	Mod	TLB-исключение модификации
2	TLBL	TLB-исключение (загрузка или вызов команды)
3	TLBS	TLB-исключение (сохранение)
4	AdEL	Прерывание по ошибке адресации (загрузка или вызов команды)
5	AdES	Прерывание по ошибке адресации (сохранение)
6-7	-	Не используются
8	Sys	Системное исключение
9	Bp	Исключение Breakpoint
10	RI	Исключение зарезервированной команды
11	CrU	Исключение недоступности сопроцессора
12	Ov	Исключение целочисленного переполнения
13	Tr	Исключение Trap
14	-	Не используются
15	FPE	Исключение от сопроцессора арифметики в формате с плавающей точкой (FPU)
16-23	-	Не используются
24	MCheck	Аппаратный контроль
25-31	-	Не используются

3.8.3.13 Регистр EPC (Регистр 14 CP0, Select 0)

Программный счетчик исключения (EPC) является регистром, доступным для чтения и записи. EPC содержит адрес, начиная с которого возобновляется исполнение программы после завершения обработки исключения. Все биты регистра EPC значимы и должны перезаписываться.

Для синхронных (точных) исключений, EPC содержит одно из следующего:

- Виртуальный адрес команды, которая была прямой причиной исключения;
- Виртуальный адрес команды перехода (Branch или Jump), непосредственно предшествующей исключению, если команда, вызвавшая исключение, находится в слоте задержки перехода и установлен бит BD в регистре Cause.

Если установлен бит EXL в регистре Status, процессор не записывает адрес в регистр EPC при возникновении новых исключений. Однако, новое значение можно записать в EPC командой MTC0.

Формат регистра EPC

31	0
EPC	

Таблица 3.41. Описание полей регистра EPC

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
EPC	31:0	Программный счетчик исключения	R/W	Не определено

3.8.3.14 Регистр PRId (Регистр 15 CP0, Select 0)

Регистр идентификации процессора (PRId) – это 32-х разрядный регистр, доступный только для чтения. Он содержит информацию, идентифицирующую изготовителя, опции изготовителя, идентификацию процессора, и версию процессора.

Формат регистра PRId

31	-	24	23	-	16	15	-	8	7	-	0
R			Company ID			Processor ID			Revision		

Таблица 3.42. Описание полей регистра PRId

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
R		При чтении возвращается нуль	R	0
Company ID	23:16	Идентификация компании, которая проектировала или изготавливала процессор.	R	1010
Processor ID	15:8	Идентификация типа процессора.	R	10010
Revision	7:0	Номер версии процессора. Позволяет программам различать разные версии одного типа процессора.	R	0

3.8.3.15 Регистр Config (Регистр 16 CP0, Select 0)

Регистр Config определяет различную конфигурационную информацию, а также информацию о возможностях процессора. Большинство полей регистра Config инициализируется аппаратно при выполнении исключения Reset или имеет постоянное значение, и только поле K0 должно быть проинициализировано программно обработчиком исключения Reset.

Формат регистра Config

31	30-28	27-25	24-21	20	19	18 17	16	15	14-13	12-10	9-7	6-3	2-0
M	K23	KU	0	MDU	R	MM	BM	BE	AT	AR	MT	0	K0

Таблица 3.43. Описание полей регистра Config

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
M	31	Этот бит аппаратно устанавливается в высокий уровень, указывая на наличие регистра Config1	R	1
K23	30:28	Это поле управляет кэшируемостью адресных сегментов kseg2 и kseg3 в режиме FM. В режиме TLB не используется. См. табл.2.33.	FM:R/ W	FM:010
			TLB:R	TLB:000
KU	27:25	Это поле управляет кэшируемостью адресных сегментов kuseg и useg в режиме FM. В режиме TLB не используется. См. табл.2.33.	FM:R/ W	FM:010
			TLB:R	TLB:000
0	24:21	Не используются	0	0
MDU	20	Тип MDU: итеративный умножитель и делитель	R	1
R	19	При чтении возвращается нуль	0	0
MM	18:17	Режим No Merging для 32 bit collapsing write buffer	R	0
BM	16	Тип передачи Burst: последовательный	R	0
BE	15	Режим endian: Little endian	R	0
AT	14:13	Тип архитектуры, реализованной процессором: MIPS32.	R	0
AR	12:10	Номер версии: 1	R	0
MT	9:7	Тип MMU: 1: Стандартный TLB (FM = 0) 3: Фиксированное отображение (FM = 1) 0, 2, 4-7: зарезервированы	R	TLB: 01
				FM: 11
R	6:3	При чтении возвращается нуль	0	0
K0	2:0	Алгоритм когерентности для kseg0, см. Таблица 3.29.	R/W	010

Таблица 3.44. Атрибуты когерентности кэш

Значение C[5:3]	
0, 1, 3*, 4, 5, 6	Кэшируемая, некогерентная область
2*, 7	Некэшируемая область
* - Архитектура MIPS32 предусматривает только эти два значения. Остальные значения не используются и отображаются в используемые значения. Например, 0, 1, 4, 5 и 6 отображается в 3, а 7 – в 2.	

3.8.3.16 Регистр Config1 (Регистр 16 CP0, Select 1)

Регистр Config1 является дополнением к регистру Config и кодирует дополнительную информацию о возможностях процессора. Все поля регистра Config1 доступны только для чтения.

Формат регистра Config1

31	30 - 25	24-22	21-19	18-16	15-13	12-10	9-7	6-5	4	3	2	1	0
R	MMUSi ze	IS	IL	IA	DS	DL	DA	R	PC	W R	CA	EP	FP

Таблица 3.45. Описание полей Config1 регистра

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
R	31	При чтении возвращается нуль	0	0
Размер MMU	30:25	Это поле содержит количество строк TLB минус 1. В режиме TLB возвращается код 15 в десятичном формате, в режиме Fixed Mapping – 0.	R	001111 (FM =0)
				000000 (FM =1)
IS	24:22	Количество наборов кэш команд: резервная опция	R	111
IL	21:19	Размер строки кэш команд: 16 байт	R	011
IA	18:16	Тип кэш команд: Direct mapped	R	0
DS	15:13	Нет кэш данных	R	0
DL	12:10	Нет кэш данных	R	0
DA	9:7	Нет кэш данных	R	0
R	6:5	При чтении возвращается нуль	0	0
PC	4	Нет регистра Performance Counter	R	0
WR	3	Нет регистра WATCH	R	0
CA	2	Не реализовано	R	0
EP	1	EJTAG не реализован	R	0
FP	0	Нет плавающей арифметики	R	0

3.8.3.17 Регистр LLAddr – Load Linked Address (Регистр 17 CP0, Select 0)

Регистр LLAddr содержит физический адрес последней команды Load Linked (LL). Этот регистр используется только для диагностических целей.

Формат LLAddr регистра

31 - 28	27	-	0
0	Paddr[31:4]		

Таблица 3.46. Описание полей LAddr регистра

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
0	31:28	При чтении возвращается нуль	0	0
Paddr[31:4]	27:0	Физический адрес последней команды LL	R	Не определено

3.8.3.18 Регистр ErrorEPC (Регистр 30 CP0, Select 0)

Доступный для чтения и записи, регистр ErrorEPC полностью подобен регистру EPC, но используется при возникновении исключений ошибок. Все биты регистра ErrorEPC значимы и должны перезаписываться. Регистр ErrorEPC также используется для сохранения значения счетчика команд при возникновении исключений Reset и немаскируемого прерывании (NMI).

Регистр ErrorEPC содержит виртуальный адрес, начиная с которого может возобновиться исполнение программы после обработки ошибочной ситуации.

Этот адрес может быть:

- Виртуальным адресом команды, вызвавшей исключение;
- Виртуальным адресом команды перехода (Branch или Jump), непосредственно предшествующей исключению, если команда, вызвавшая ошибку, находится в слоте задержки перехода.

В отличие от регистра EPC, для регистра ErrorEPC не имеется соответствующего признака слота задержки перехода.

Формат регистра ErrorEPC

31	0
ErrorEPC	

Таблица 3.47. Описание полей регистра ErrorEPC

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
ErrorEPC	31:0	Счетчик команд при исключении ошибки	R/W	Не определен

Регистры WatchLo, WatchHi, Debug, DEPC, TagLo, DataLo, DeSave не реализованы.

3.9 Кэш

CPU имеет кэш команд и кэш данных типа direct mapped объемом по 16 Кбайт. Кэш данных работает по протоколу write-through.

Кэш состоит из двух массивов – массива тэгов и массива данных. Кэш индексируется виртуально, поскольку для выбора соответствующей строки в обоих массивах используется виртуальный адрес. Это позволяет осуществлять доступ к кэш параллельно с преобразованием виртуального адреса в физический. Контроль осуществляется по физическому тэгу, так-так массив тэгов содержит физический, а не виртуальный адрес.

На Рисунок 3.25 представлен формат каждой строки массивов тэгов и данных. Тэговая строка содержит 20 старших бита физического адреса (биты [31:12]) и бит валидности.

Строка данных содержит 4 32-х разрядных слова – всего 16 байт. До получения всей строки кэш конвейер останавливается.

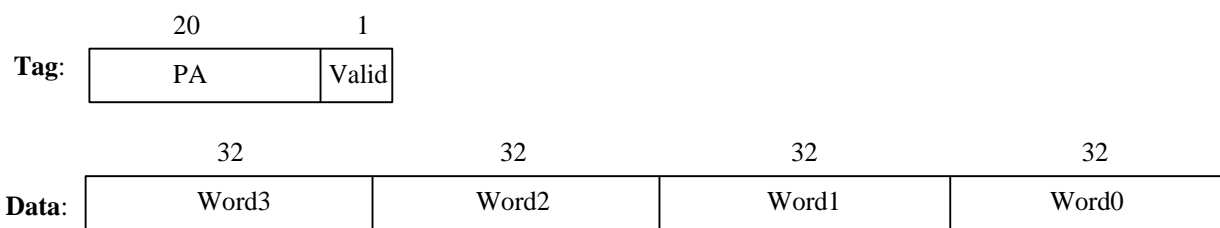


Рисунок 3.25. Формат массива кэш

Кэш имеет только два атрибута кэшируемости. Область может быть либо кэшируемой, либо некэшируемой (см. Таблица 3.44).

4. ЦИФРОВОЙ СИГНАЛЬНЫЙ ПРОЦЕССОР

4.1 Введение

В состав микросхемы 1892ВМ15Ф входит 2-ядерный DSP-кластер DELcore-30М - симметричный мультипроцессор (СМП), состоящий из 2-х DSP-ядер ELcore-30М - DSP0 и DSP1, работающих на общем поле памяти данных, имеющих набор общих регистров управления/состояния, а также буфера обмена XBUF.

Каждое из двух DSP-ядер ELcore-30М представляет собой ядро сопроцессора-акселератора сигнальной обработки. Оно имеет гарвардскую архитектуру с внутренним параллелизмом по потокам обрабатываемых данных и предназначено для обработки информации в форматах с фиксированной и с плавающей точкой.

Система инструкций, реализующих параллельно несколько вычислительных операций и пересылок, 7-фазный программный конвейер и гибкие адресные режимы позволяют реализовать алгоритмы сигнальной обработки с высокой производительностью. Каждое DSP-ядро функционирует под управлением CPU и расширяет его возможности по обработке сигналов.

4.2 Основные технические характеристики DSP-кластера DELcore-30МН

- 2 вычислительных ядра DSP ELcore-30М;
- объем общей памяти данных 128 Кбайт (64 Кбайт на ядро);
- объем памяти программ 32 Кбайт на ядро;
- пропускная способность коммутатора ядер с памятью – 512 бит за такт;
- скорость обмена данными внешних устройств с памятью кластера – 64 бит за такт;
- суммарная пиковая производительность кластера:
 - 16 операции с плавающей точкой (IEEE 754) за 1 такт;
 - 16 32-битных операций с фиксированной точкой за 1 такт;
 - 48 16-битных операций с фиксированной точкой за 1 такт.

4.3 Структурная схема

Структурная схема 2-ядерного DSP-кластера DELcore-30МН приведена на Рисунок 4.1.

На схеме приняты следующие обозначения:

- DSP0 – DSP1 – два DSP-ядра ELcore-30M;
- PMEM – память программ;
- XYMEM – память данных;
- АНВ – контроллер шины CDB (slave);
- MEM_EXT_PORT, MEM_MUX_OUT – распределенный контроллер AXI Switch (slave);
- XBUF_02 – буфер обмена (регистровый файл 32 слова по 64 разряда, 6 портов);
- ArbBuf, MA_LocalArb – распределенный арбитр;
- DSP_logic – вычислительное ядро;
- AGU, AGU-Y – адресные генераторы памяти данных;
- PAG – адресный генератор памяти программ;
- PDC_17 – программный декодер;
- RF9 – регистровый файл 32 слова по 128 разрядов, 9 портов;
- COMM5 – коммутатор входных данных операционных устройств;
- OP1_unit, OP2_unit – операционные (вычислительные) устройства;
- CCR_REG, PDN – регистры признаков результата операции и параметра денормализации.

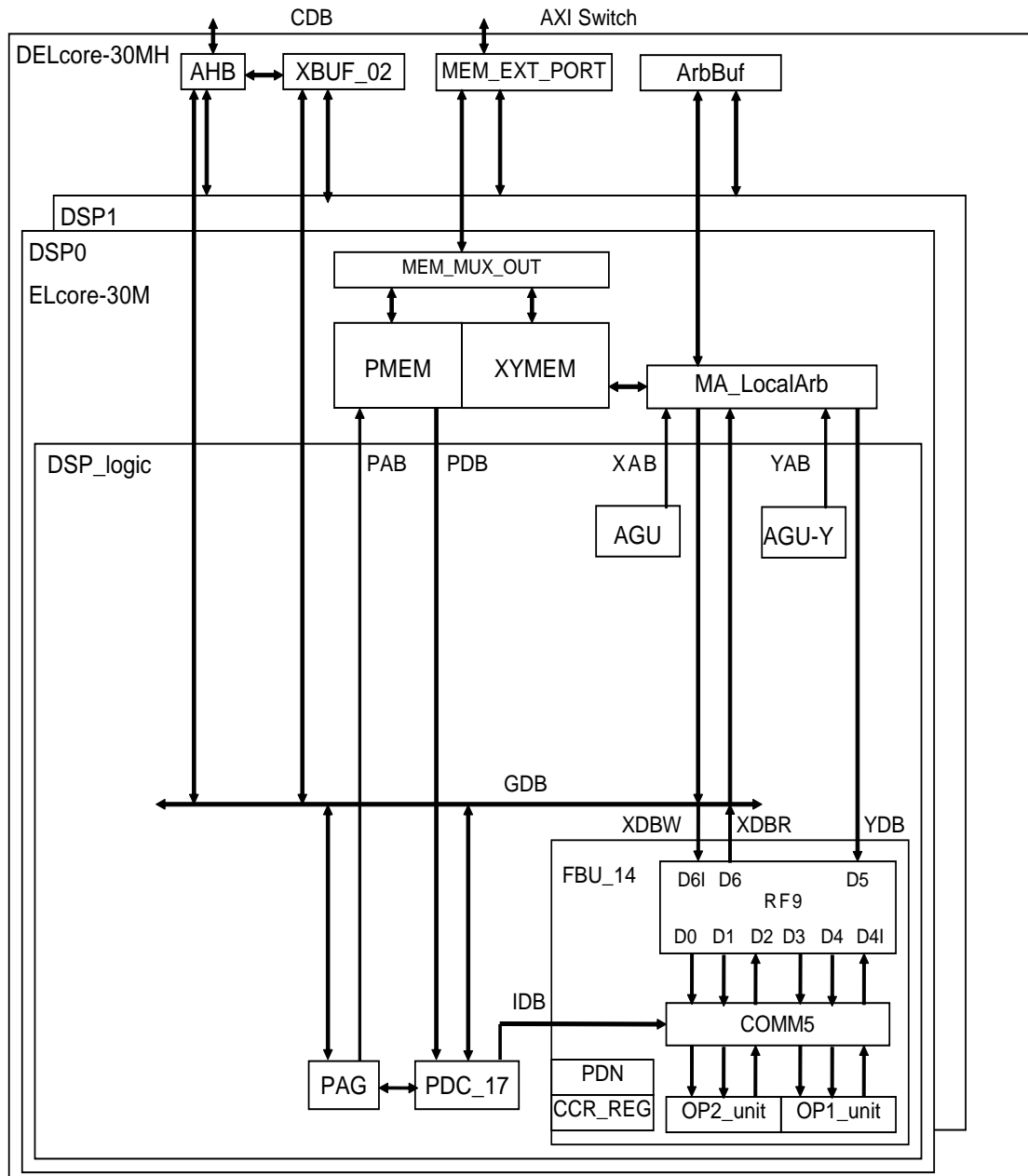


Рисунок 4.1. Структурная схема 2-ядерного DSP-кластера DELcore-30MH

4.3.1 Внешний интерфейс DSP-кластера DELcore-30МН

Управление кластером DSP осуществляется CPU. Внешний доступ ко всем регистрам DSP ядер, регистрам обменного буфера XBUF, а так же контрольным регистрам общим для обоих ядер DSP кластера осуществляется по шине CDB.

Доступ к программной памяти и памяти данных осуществляется по интерфейсу AXI Switch, позволяющий передавать по 64 бита за такт. При этом каждое DSP-ядро может запустить DMA обмен, используя один из доступных контроллеров DMA, а так же получить прерывание от контроллера DMA, закончившего обмен. Для этих целей в интерфейсе кластера предусмотрены четыре пары векторных выводов, по которым передается информация, о том какой контроллер DMA должен быть запущен, и от какого именно контроллера поступило прерывание для конкретного DSP ядра.

Для каждого из DSP ядер кластера предусмотрен собственный сигнал синхронизации (тактовый сигнал), поэтому кроме системного такового сигнала шины CDB и AXI SWitch, в кластер заводятся 2 тактовых сигнала для каждого из 2-х DSP ядер. Это сделано для обеспечения возможности независимого отключения тактовой частоты от каждого из DSP ядер с целью снижения энергопотребления.

4.3.2 Организация работы DSP-кластера DELcore-30МН

Кластер DSP представляет собой 2-ядерную MIMD систему. Каждое DSP ядро обладает собственной программной памятью, и может работать независимо.

Для синхронизации работы DSP ядер в кластере предусмотрено два механизма: механизм прерываний и механизм обменов через XBUF в синхронном режиме.

Каждое DSP ядро может сформировать прерывание для другого ядра. Ядро, получившее прерывание, переходит в состояние RUN, если было остановлено, и начинает исполнение подпрограммы, адрес которой храниться в специальном регистре этого ядра.

Для оперативных обменов данными между CPU, DSP0, DSP1 в составе кластера имеется буфер обмена XBUF, состоящий из 32-х 64-разрядных регистров X0-X31, доступных по записи и чтению для всех процессорных ядер.

Буфер обмена XBUF представляет собой многопортовую память и допускает одновременное чтение одной и той же ячейки со стороны нескольких абонентов - CPU, DSP0, DSP1. При одновременном запросе на запись в одну и ту же ячейку приоритет отдается CPU, затем - DSP0, затем - DSP1.

Обменный буфер может работать в обычном режиме, когда при обмене данными через него не происходит никаких блокировок и в синхронном режиме. В синхронном режиме для конкретного регистра XBUF обязательно должны чередоваться операции чтения записи, если какое либо ядро пытается осуществить запись после записи или чтение после чтения – оно блокируется. Обмен через XBUF в синхронном режиме является дополнительным программным способом синхронизации ядер DSP.

Программная память и память данных кластера DSP физически организована как двухпортовая. По одному порту производятся внешние обращения от RISC ядра и контроллеров DMA, по другому порту производятся обращения от ядер DSP. Такая организация позволяет производить бесконфликтный фоновый обмен данными между памятью кластера DSP и внешними устройствами.

4.4 Организация памяти

Кластер DSP организован как система с асимметричным доступом к памяти (NUMA). Общее адресное пространство кластера состоит из локальных памяти XYRAM0, XYRAM1 каждого из DSP ядер. Таким образом, вся память разбита на 2 сегмента, при этом для каждого DSP ядра есть ближний (свой) сегмент памяти, обращения к которому в случае, если нет конфликтов с другим ядром, не приводят к простоям ядра. Другой же сегмент для него является дальним (чужим) и обращения к нему могут приводить к простоям ядра даже в отсутствие конфликтов между ядрами. Обращения к чужому сегменту памяти проходит через очередь обращений.

Операция записи является буферизованной, т.е. в отсутствие конфликтов между ядрами запись в дальний сегмент памяти не приводит к простоям ядра. Однако программисту следует учитывать, что физически запись в память происходит не сразу после исполнения инструкции, а через время, требуемое для прохождения данных по очереди обращений и на разрешение конфликтов (в отсутствие конфликтов запись корректных данных в дальнюю память осуществляется через 2 такта после исполнения инструкции записи в память).

4.4.1 Карта памяти

Карта памяти DSP кластера в составе микросхемы 1892BM15Ф приведена на Рисунок 4.2.

Каждое из DSP-ядер имеет свою программную память (PRAM) объемом 32 Кбайт и общую для всех память данных XYRAM объемом 128 Кбайт.

Адреса в пространстве CPU			Внутренние адреса DSP
DSP0	DSP1		
0x187F_FFFC 0x187F_FF00		Буфер обмена XBUF (32*64)	
		Резерв	
0x1848_055C 0x1848_0000	0x1888_055C 0x1888_0000	Регистры данных и управления	
		Резерв	
0x1844_7FFC 0x1844_0000	0x1884_7FFC 0x1884_0000	Память программ PRAM 2*(8К*32)	0x1FFF = PC_max PC 0x0000 = PC_min
0x1880_FFFC 0x1880_0000		Память данных XYRAM сегмент 1 (16К*32)	0xBFFF 0x8000
0x1840_FFFC 0x1840_0000		Память данных XYRAM сегмент 0 (16К*32)	0x3FFF 0x0000

Рисунок 4.2. Карта памяти DSP0-DSP1 в составе микросхемы 1892BM15Ф

Каждое из DSP-ядер имеет свою программную память (PRAM) объемом 4К 64-разрядных слов (32 Кбайт) и общую для всех память данных XYRAM объемом 16К 64-разрядных слов (всего 128 Кбайт).

Объем PRAM (DSP0) – 8К 32-разрядных слов (32 Кбайт).

Объем PRAM (DSP1) – 8К 32-разрядных слов (32 Кбайт).

Объем XYRAM – 32К 32-разрядных слов (128 Кбайт).

Для обеспечения возможности одновременного доступа к памяти программ и данных DSP как со стороны CPU (DMA), так и со стороны DSP блоки памяти XYRAM и PRAM аппаратно реализованы как 2-портовые. С внешней стороны возможны как 32-разрядные (CPU), так и 64-разрядные обращения (DMA). Со стороны DSP0–DSP1 возможны 32/64/128-разрядные обращения (чтение и запись) к памяти данных XYRAM. Программная память PRAM со стороны DSP доступна только для чтения 32/64-разрядных слов инструкций.

Два входящих в состав микросхемы 1892BM15Ф DSP-ядра работают на общем поле памяти данных XYRAM. Для каждого DSP-ядра сегмент памяти с соответствующим номером является «ближней» памятью, доступ к которой осуществляется с наименьшей задержкой. Доступ к остальной («дальней») памяти производится с дополнительной задержкой, необходимой для выполнения арбитража.

Указатели А0-А7 адресного генератора AGU и указатель АТ адресного генератора AGU-У полностью равноправны, т.е. по указателям А0-А7, АТ каждому из DSP-ядер доступна вся память данных XYRAM.

Начальное состояние регистров А0-А7, АТ каждого из DSP-ядер приведено в Таблица 4.1.

Таблица 4.1. Начальное состояние регистров А0-А7, АТ

Условное обозначение	Разрядность	Наименование	Начальное состояние	
			DSP0	DSP1
А0-А7	32 R/W	Адресный регистр AGU	0x0000	0x8000
АТ	32 R/W	Адресный регистр AGU-У	0x2000	0xA000

Таким образом, при начальной установке регистры А0-А7 указывают на начало, а регистры АТ – на середину ближней (локальной) памяти соответствующего DSP-ядра.

4.4.2 Дисциплина отработки одновременных обращений к общему полю памяти данных со стороны DSP-ядер (арбитраж)

Так как память данных XYRAM является общим ресурсом для обоих DSP-ядер, при одновременном обращении к ней со стороны нескольких DSP-ядер возможны коллизии.

Для уменьшения числа таких коллизий память данных XYRAM разделена на 2 сегмента, каждый из которых содержит 2 страницы объемом 8К 32-разрядных слов. Аппаратно каждая страница реализована в виде четырех блоков памяти по 2К*32 бит каждый.

Таким образом, обращения от различных DSP-ядер к различным страницам памяти могут происходить одновременно и не приводит к коллизиям (конфликтам) и задержкам. Кроме того, возможны два одновременных обращения по X и Y указателям от одного DSP-ядра к одной странице памяти, при условии, что обращения идут к разным блокам памяти.

Коллизии возникают лишь при одновременном обращении нескольких DSP-ядер к одной и той же странице, либо при одновременном обращении X-указателя (A0-A7) и Y-указателя (AT) одного из DSP-ядер к одному физическому блоку памяти.

4.4.3 Доступ DSP кластера к ресурсам процессора

Каждое DSP ядро может обращаться к ресурсам процессора (внешняя и внутренняя память, регистры, периферия).

В целях совместимости адресация внутренней памяти DSP кластера не изменена.

Адресное пространство DSP находится в диапазоне адресов 0x00000000 – 0x000FFFFFF при пословной адресации, которая применяется в ядрах DSP, что соответствует диапазону 0x00000000 – 0x003FFFFC при побайтовой адресации, используемой в адресном пространстве всей системы на кристалле.

Таким образом, обращаясь к адресам адресного пространства DSP (0x00000000 – 0x000FFFFFF - пословная) ядро выполняет обращение к внутренней памяти кластера. В этом случае обращения в зависимости от адреса и номера DSP ядра могут направляться либо в ближний сегмент памяти данного ядра (быстрые обращения), либо в дальний сегмент памяти другого ядра (обращения через коммутатор кластера).

При обращениях к старшим адресам адресного пространства, лежащим вне адресного пространства DSP (0x000FFFFFF - 0xFFFFFFFF - слововая), обращение от DSP ядра перенаправляется на глобальный коммутатор AXI и может быть направлено к любому адресуемому регистру или ячейке памяти, за исключением диапазона 0x00000000 – 0x003FFFFFFC (адреса полностью соответствуют карте памяти RISC ядра). Важной особенностью внешних обращений DSP, о которой необходимо помнить программисту, является тот факт, что при переходе из адресного пространства DSP с слововой адресацией в глобальное пространство с побайтовой адресацией выполняется аппаратный сдвиг значения адресного указателя на 2 бита влево. Так, например обращение DSP ядра по значению A0 = 0x2FF00001 приведет к обращению по физическому адресу 0xBFC00004.

(DSP адресует память 32-х разрядными словами, поэтому реальный физический адрес внешнего обращения получается сдвигом влево на два разряда текущего значения адресного указателя).

Весь DSP кластер является одним мастером для шины AXI (все ядра кластера выполняют внешние обращения через один общий порт), таким образом, между обращениями от разных DSP ядер могут иметь место конфликты, даже если эти обращения выполняются к различным ресурсам процессора.

DSP ядро поддерживает 32,64,128 разрядные пересылки, в то время, как доступ ко многим ресурсам процессора возможен только 64/32 или даже только 32-х разрядными обращениями.

В связи с этим введён механизм разбиения обращения от DSP ядра на 32-х или 64-х разрядные обращения. Для управления режимом разбиения в регистре SR введены биты SplitMode = SR[15:14], назначение которых приведено в Таблица 4.2.

Таблица 4.2. Режим разбиения в зависимости от значения битов SR[15:14] = SplitMode[1:0]

SplitMode[1:0]	Разрядность обращения от DSP	Обращения к ресурсам процессора
00/11 нет разбиения	32	одно 32-х разрядное
00/11 нет разбиения	64	одно 64-х разрядное
00/11 нет разбиения	128	одно 64-х разрядное. биты [127:96] как для данных на запись, так и читаемых данных игнорируются
01 разбиение на 32-х разрядные обращения	32	одно 32-х разрядное
01 разбиение на 32-х разрядные обращения	64	два 32-х разрядных
01 разбиение на 32-х разрядные обращения	128	четыре 32-х разрядных
10 разбиение на 64-х разрядные обращения	32	одно 32-х разрядное
10 разбиение на 64-х разрядные обращения	64	одно 64-х разрядное
10 разбиение на 64-х разрядные обращения	128	два 64-х разрядных

Запись во внешнюю память является буферизованной, таким образом операции записи не приводят к останову конвейера DSP ядра за исключением следующих случаев:

Идут непрерывные 128 разрядные записи и включено разбиение обращений (SplitMode = 01 или SplitMode = 10), либо идут непрерывные 128 или 64 разрядные записи и SplitMode = 01, в этом случае пропускной способности внешнего порта не хватает, буфер обращений переполняется и до готовности принять новое обращение ядро блокируется. Такая же ситуация может возникнуть при конфликтах между ядрами при одновременном обращении к внешнему адресному пространству.

Любое чтение по адресам из внешнего для DSP адресного пространства приводит к останову конвейера вплоть до момента получения прочитанных данных.

Поскольку каждое чтение приводит к останову, имеет смысл группировать чтения в два 128 разрядных обращения. Так, например, чтение группы регистров, выполненное по следующей программе:

```
Move (a0)+i0, r2.l
Move (a0)+i0, r4.l
Move (a0)+i0, r6.l
Move (a0)+i0, r8.l
Move (a0)+i0, r10.l
Move (a0)+i0, r12.l
Move (a0)+i0, r14.l
Move (a0)+i0, r16.l
```

в среднем занимает в 5.5-6 раз больше тактов, чем чтение пакета из 8 слов, выполненное командой

```
Move (a0), r2.q (at), r0.q.
```

4.4.4 Контроллеры Хэмминга памяти DSP

4.4.4.1 Контроллер Хэмминга внешнего порта памяти DSP

4.4.4.1.1 Регистр управления внешнего порта памяти DSP (CSR_He)

адрес - 0x1848_0300

31	-	24	23	-	16	15	-	8	7	-	3	2	1	-	0
cnt_Serr			num_Serr			cnt_Derr			-	NE		H_MD			

cnt_Serr[7:0] - Счетчик одиночных ошибок в данных, либо в коде Хэмминга (в том числе ошибка бита четности).

num_Serr[7:0] – Если cnt_Serr > num_Serr, то формируется запрос на прерывание;

cnt_Derr - Счетчик двойных ошибок в данных, либо в коде Хэмминга;

Если cnt_Derr ≠ 0, то формируется запрос на прерывание;

NE - Not Empty – FIFO ошибочных адресов не пустое;

H_MD - Режим работы контроллера:

- 00 – без формирования и проверки кодов Хэмминга;
- 01 - режим формирования и проверки кодов Хэмминга;
- 10 – тестовый режим – обращения идут напрямую к памяти кодов Хэмминга;

4.4.4.1.2 FIFO ошибочных адресов внешнего порта памяти DSP (FIFO_He)

FIFO – 32×32 . FIFO содержит первые 32 ошибочных адресов, доступно только по чтению.

Запись по адресу FIFO обнуляет указатели чтения/записи FIFO.

адрес - 0x1848_0304

31 - 28	27 - 26	24-24	23	-	0
-	ER_H	ER_L	MEM_ADDR[23:0]		

MEM_ADDR[23:0] – младшие 24 разряда адреса памяти DSP, при чтении из которого обнаружена ошибка.

ER_L – Код ошибки, при чтении 32-слова из памяти,

либо код ошибки младшего 32-слова, при чтении 64-слова из памяти, если обнаружены ошибки в младшем слове,

либо код ошибки старшего 32-слова, при чтении 64-слова из памяти, если обнаружены ошибки только в старшем слове.

ER_H – Код ошибки старшего 32-слова, при чтении 64-слова из памяти, если обнаружены ошибки и в старшем, и в младшем слове.

ER_L/ER_H: 00 – нет ошибки;

- 01 – одиночная ошибка в данных, либо в коде Хэмминга;
- 10 – двойная ошибка в данных, либо в коде Хэмминга;
- 11 – ошибка бита четности.

4.4.4.2 Контроллеры Хэмминга внутренних портов памяти DSP

Hx0 - контроллер Хэмминга обращений к памяти XYMEM ядра DSP0/1 от внутренней AGU_X данного ядра DSP0/1;

Hу0 - контроллер Хэмминга обращений к памяти XYMEM ядра DSP0/1 от внутренней AGU_Y данного ядра DSP0/1;

Hx1 - контроллер Хэмминга обращений к памяти XYMEM ядра DSP0/1 от внешней AGU_X другого ядра DSP1/0;

Hx1 - контроллер Хэмминга обращений к памяти XYMEM ядра DSP0/1 от внешней AGU_Y другого ядра DSP1/0;

Hр0 - контроллер Хэмминга внутреннего порта памяти программ PRAM_L – младшее слово;

Hр1 - контроллер Хэмминга внутреннего порта памяти программ PRAM_H – старшее слово;

Адреса регистров управления CSR и FIFO этих контроллеров приведены в таблице ниже.

Таблица 4.3

Контроллер	Регистр	Адрес регистра (DSP0)	Адрес регистра (DSP1)
Hx0	CSR_x0	0x1848_0308	0x1888_0308
	FIFO_x0	0x1848_030C	0x1888_030C
Hу1	CSR_y0	0x1848_0310	0x1888_0310
	FIFO_y0	0x1848_0314	0x1888_0314
Hx1	CSR_x1	0x1848_0318	0x1888_0318
	FIFO_x1	0x1848_031C	0x1888_031C
Hу1	CSR_y1	0x1848_0320	0x1888_0320
	FIFO_y1	0x1848_0324	0x1888_0324
Hр0	CSR_xy	0x1848_0328	0x1888_0328
	CSR_p0	0x1848_032C	0x1888_032C
	FIFO_p0	0x1848_0330	0x1888_0330
Hр1	CSR_p1	0x1848_0334	0x1888_0334
	FIFO_p1	0x1848_0338	0x1888_0338

4.4.4.2.1 Регистры управления CSR_x0, CSR_y0, CSR_x1, CSR_y1 контроллеров Хэмминга Hx0, Hy0, Hx1, Hy1

31 - 24	23 - 16	15 - 8	7 - 3	2	1 - 0
cnt_Serr	num_Serr	cnt_Derr	-	NE	-

cnt_Serr[7:0] - Счетчик одиночных ошибок в данных, либо в коде Хэмминга (в том числе ошибка бита четности).

num_Serr[7:0] – Если cnt_Serr > num_Serr, то формируется запрос на прерывание;

cnt_Derr - Счетчик двойных ошибок в данных, либо в коде Хэмминга;

Если cnt_Derr ≠ 0, то формируется запрос на прерывание;

NE - Not Empty – FIFO ошибочных адресов не пустое;

4.4.4.2.2 Регистр управления CSR_xy

Общий для контроллеров Хэмминга Hx0, Hy0, Hx1, Hy1

31 - 6	5	4	3	2	1 - 0
-	NE_Y1	NE_X1	NE_Y0	NE_X0	H_MD

NE_X0 - Not Empty – FIFO_x0 ошибочных адресов контроллера Hx0 не пустое;

NE_Y0 - Not Empty – FIFO_y0 ошибочных адресов контроллера Hy0 не пустое;

NE_X1 - Not Empty – FIFO_x1 ошибочных адресов контроллера Hx1 не пустое;

NE_Y1 - Not Empty – FIFO_y1 ошибочных адресов контроллера Hy1 не пустое;

H_MD - Режим работы контроллеров Хэмминга Hx0, Hy0, Hx1, Hy1:

- 00 – без формирования и проверки кодов Хэмминга;
- 01 - режим формирования и проверки кодов Хэмминга;
- 10 – тестовый режим – обращения идут напрямую к памяти кодов Хэмминга;

4.4.4.2.3 FIFO ошибочных адресов FIFO_x0, FIFO_y0, FIFO_x1, FIFO_y1 контроллеров Хэмминга Нх0, Ну0, Нх1, Ну1

FIFO – 32×8. FIFO содержит первые 8 ошибочных адресов, доступно только по чтению.

Запись по адресу FIFO обнуляет указатели чтения/записи FIFO.

31 - 30	29 - 28	27-26	25 - 24	23 - 22	21-20	19	-	0
SIZE	ER_3	ER_2	ER_1	ER_0	–	MEM_ADDR[19:0]		

MEM_ADDR[19:0] – младшая часть адреса памяти 128-разрядной страницы памяти DSP, при чтении из которого обнаружена ошибка;

ER_0 – Код ошибки, при чтении младшего 32-слова из 128-разрядной страницы памяти DSP;

ER_1 – Код ошибки, при чтении второго 32-слова из 128-разрядной страницы памяти DSP;

ER_2 – Код ошибки, при чтении третьего 32-слова из 128-разрядной страницы памяти DSP;

ER_3 – Код ошибки, при чтении старшего 32-слова из 128-разрядной страницы памяти DSP;

ER_0/ER_1/ER_2/ER_3:

- 00 – нет ошибки;
- 01 – одиночная ошибка в данных, либо в коде Хэмминга;
- 10 – двойная ошибка в данных, либо в коде Хэмминга;
- 11 – ошибка бита четности.

SIZE[1:0] – размер чтения из 128-разрядной страницы памяти DSP, при выполнении которого обнаружена ошибка:

- 00 — 32 - разрядное чтение из страницы памяти DSP;
- 10 — 64 - разрядное чтение из страницы памяти DSP;
- 11 — 128 - разрядное чтение из страницы памяти DSP;

4.4.4.2.4 Регистр управления CSR_p0, CSR_p1 контроллеров Хэмминга Нp0, Нp1

31 - 24	23 - 16	15 - 8	7 - 3	2	1 - 0
cnt_Serr	num_Serr	cnt_Derr	–	NE	H_MD

cnt_Serr[7:0] - Счетчик одиночных ошибок в данных, либо в коде Хэмминга (в том числе ошибка бита четности).

num_Serr[7:0] – Если cnt_Serr > num_Serr, то формируется запрос на прерывание;

cnt_Derr - Счетчик двойных ошибок в данных, либо в коде Хэмминга;

Если cnt_Derr ≠ 0, то формируется запрос на прерывание;

NE - Not Empty – FIFO ошибочных адресов не пустое;

H_MD - Режим работы контроллера:

- 00 – без формирования и проверки кодов Хэмминга;
- 01 - режим формирования и проверки кодов Хэмминга;
- 10 – тестовый режим – обращения идут напрямую к памяти кодов Хэмминга;

4.4.4.2.5 FIFO ошибочных адресов FIFO_p0, FIFO_p1 контроллеров Хэмминга Нp0, Нp1

FIFO – 32×8. FIFO содержит первые 8 ошибочных адресов, доступно только по чтению.

Запись по адресу FIFO обнуляет указатели чтения/записи FIFO.

31 - 24	23 - 22	21 - 20	19 - 0
-	ER	–	MEM_ADDR[19:0]

MEM_ADDR[19:0] – младшая часть адреса памяти DSP, при чтении из которого обнаружена ошибка;

ER – Код ошибки, при чтении 32-слова из памяти DSP;

ER:

- 00 – нет ошибки;
- 01 – одиночная ошибка в данных, либо в коде Хэмминга;
- 10 – двойная ошибка в данных, либо в коде Хэмминга;
- 11 – ошибка бита четности.

4.5 Регистры управления и состояния DELcore-30МН

На верхнем уровне кластера DSP имеются 4 регистра управления и состояния. Назначение и адреса этих регистров указаны в Таблица 4.4.

Таблица 4.4. Назначение и адреса регистров управления и состояния кластера DSP

Имя	Разрядность	Тип обращений	Назначение	Адрес
MASKR_DSP	32	R/W	Регистр маски прерываний	0x1848_1000
QSTR_DSP	32	R	Регистр запросов прерываний	0x1848_1004
CSR_DSP	32	R/W	Регистр управления и состояния	0x1848_1008
TOTAL_RUN_CNTR	32	R/W	Счетчик тактов в состоянии RUN	0x1848_100C
TOTAL_CLK_CNTR	32	R/W	Счетчик тактов	0x1848_1010
QSTR_HEM_DSP	32	R/W	Регистр запросов прерываний от контроллеров Хэмминга	0x1848_1014

4.5.1 Регистр маски прерываний (MASKR_DSP)

Регистр маски прерываний MASKR_DSP содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») запрос на прерывание в CPU от соответствующего разряда регистра запросов прерываний QSTR_DSP. Регистр доступен по чтению и записи. Начальное состояние регистра MASKR_DSP=0x0.

4.5.2 Регистр запросов прерываний (QSTR_DSP)

Регистр запросов прерываний QSTR_DSP доступен только по чтению и содержит флаги запросов прерываний от 2-х DSP-ядер. Назначение разрядов регистра QSTR_DSP приведено в Таблица 4.5.

Таблица 4.5. Назначение разрядов регистра QSTR_DSP

Номер разряда	Наименование разряда	Назначение
0	PI0	Программное прерывание DSP0
1	SE0	Прерывание по ошибке стека DSP0
2	BREAK0	Прерывание по останову BREAK DSP0
3	STP0	Прерывание по останову STOP DSP0
4-7	-	Резерв
8	PI1	Программное прерывание DSP1
9	SE1	Прерывание по ошибке стека DSP1
10	BREAK1	Прерывание по останову BREAK DSP1
11	STP1	Прерывание по останову STOP DSP1
12-15	-	Резерв
16	ACC	Прерывание от блока аппаратных ускорителей ACC
17-27	-	Резерв
28	WAIT	Прерывание по состоянию ожидания обоих DSP-ядер
29-31	-	Резерв

Начальное состояние регистра QSTR_DSP=0x0.

4.5.3 Регистр управления и состояния (CSR_DSP)

Регистр управления и состояния CSR_DSP доступен по чтению и записи и содержит биты управления кластером DSP-ядер. Назначение разрядов регистра CSR_DSP приведено в Таблица 4.6.

Таблица 4.6. Назначение разрядов регистра CSR_DSP

Номер разряда	Наименование разряда	Назначение
0	SYNSTART	Одновременный старт DSP0 – DSP3
1	SYNWORK	Работа XBUF в синхронном режиме
2-15	-	Резерв
16	HEN	Включение режима определения высокой плотности потоков
17	DEN	Разрешение установки явного приоритета (статический режим)
18	LEN	Бит разрешения ограничителя
19	-	Резерв
20-21	DPTR	Номер ядра, обладающего наивысшим приоритетом
24-29	Limit	Максимальное значение счетчика обращений
2-31	-	Резерв

Начальное состояние регистра CSR_DSP=0x0.

Запись «1» в разряд SYNSTART приводит к одновременному запуску четырёх DSP-ядер. При этом в регистрах DCSR каждого из DSP-ядер бит RUN устанавливается в «1»,

состояние других разрядов не изменяется. Запись «1» в разряд SYNWORK устанавливает буфер обмена XBUF в синхронный режим.

4.5.3.1 Арбитраж

Для управления арбитражем обращений от различных DSP ядер в регистр CSR_DSP введены дополнительные разряды HEN, DEN, LEN, DPTR, Limit.

Более подробно данные биты описаны в 4.11.19.1.

4.5.1 Счетчик тактов (TOTAL_CLK_CNTR)

32-разрядный счетчик тактов (TOTAL_CLK_CNTR) выполняет подсчет числа тактов. Любая запись в данный счетчик приводит к его обнулению.

Начальное состояние счетчика тактов также равно нулю: TOTAL_CLK_CNTR = 0x0.

4.5.2 Счетчик тактов в состоянии RUN (TOTAL_RUN_CNTR)

32-разрядный счетчик тактов (TOTAL_RUN_CNTR) выполняет подсчет числа тактов, в течение которых хотя бы одно из DSP-ядер находилось в состоянии RUN. Любая запись в данный счетчик приводит к его обнулению.

Начальное состояние счетчика тактов также равно нулю: TOTAL_RUN_CNTR = 0x0.

4.5.3 Регистр запросов прерываний (QSTR_HEM_DSP)

Регистр запросов прерываний от контроллеров Хэмминга QSTR_HEM_DSP доступен только по чтению и содержит флаги запросов прерываний от контроллеров Хэмминга 2-х DSP-ядер. Назначение разрядов регистра QSTR_HEM_DSP приведено в Таблица 4.7

Таблица 4.7. Назначение разрядов регистра QSTR_HEM_DSP

Номер разряда	Наименование разряда	Назначение
0	IR_Hm_p0_0	Запрос на прерывание от контроллера Хэмминга Нр0 ядра DSP0
1	IR_Hm_x0_0	Запрос на прерывание от контроллера Хэмминга Нх0 ядра DSP0
2	IR_Hm_y0_0	Запрос на прерывание от контроллера Хэмминга Ну0 ядра DSP0
3	IR_Hm_p1_0	Запрос на прерывание от контроллера Хэмминга Нр1 ядра DSP0
4	IR_Hm_x1_0	Запрос на прерывание от контроллера Хэмминга Нх1 ядра DSP0
5	IR_Hm_y1_0	Запрос на прерывание от контроллера Хэмминга Ну1 ядра DSP0
6	-	Резерв
7	IR_HmE_0	Запрос на прерывание от контроллера Хэмминга внешнего порта памяти ядра DSP0
8	IR_Hm_p0_1	Запрос на прерывание от контроллера Хэмминга Нр0 ядра DSP1
9	IR_Hm_x0_1	Запрос на прерывание от контроллера Хэмминга Нх0 ядра DSP1
10	IR_Hm_y0_1	Запрос на прерывание от контроллера Хэмминга Ну0 ядра DSP1
11	IR_Hm_p1_1	Запрос на прерывание от контроллера Хэмминга Нр1 ядра DSP1
12	IR_Hm_x1_1	Запрос на прерывание от контроллера Хэмминга Нх1 ядра DSP1
13	IR_Hm_y1_1	Запрос на прерывание от контроллера Хэмминга Ну1 ядра DSP1
14	-	Резерв
15	IR_HmE_1	Запрос на прерывание от контроллера Хэмминга Нехт внешнего порта памяти ядра DSP1
16	IR_Hm_ACC	Запрос на прерывание от контроллера Хэмминга блока акселератора ACC_FFT_JPG
29-31	-	Резерв

Начальное состояние регистра QSTR_HEM_DSP=0x0.

4.6 Буфер обмена XBUF

Для оперативных обменов данными между CPU, DSP0 – DSP1 в составе микросхемы 1892BM15Ф имеется буфер обмена XBUF, состоящий из 32-х 64-разрядных регистров X0-X31, доступных по записи и чтению для всех процессорных ядер.

Буфер обмена XBUF представляет собой многопортовую память и допускает одновременное чтение одной и той же ячейки со стороны нескольких абонентов - CPU, DSP0 – DSP1. При одновременном запросе на запись в одну и ту же ячейку приоритет отдается CPU, затем - DSP0, затем - DSP1.

Особенностью работы XBUF в составе микросхемы 1892BM15Ф является то, что обмены со стороны DSP0 – DSP1 – 64-разрядные, а со стороны CPU – 32-разрядные. Размещение 64-разрядных регистров X0-X31 в адресном пространстве CPU приведено в Таблица 4.23.

4.6.1 Регистр флагов обмена EFR

Регистр флагов обмена (EFR) является общим для всего кластера DSP и предназначен для отображения флагов обменов через буфер XBUF. Регистр EFR содержит 32 бита, доступных только по чтению каждому из DSP-ядер и CPU, начальное состояние EFR=0x0.

Каждый разряд этого регистра формируется аппаратно и отображает тип последней транзакции, выполненной с соответствующей ячейкой XBUF (0 – чтение из XBUF, 1 – запись). Заметим, что при 8/16/32-разрядных обращениях со стороны CPU изменение состояния EFR происходит только при обращении к младшему байту 64-разрядной ячейки XBUF.

4.6.2 Режимы обменов с XBUF

Имеются два режима обменов с XBUF – обычный и синхронный (семафорный).

В обычном режиме (устанавливается битом 1 регистра CSR_DSP SYNWORK=0) любой из абонентов - CPU, DSP0 – DSP1 - в любое время может обращаться к любой ячейке XBUF, и это обращение немедленно исполняется (с учетом приоритета по записи).

В синхронном режиме (устанавливается битом 1 регистра CSR_DSP SYNWORK=1):

- CPU обращается к XBUF так же, как и в обычном режиме;
- обращения со стороны DSP0 – DSP1 могут выполняться с задержкой в зависимости от состояния регистра EFR и типа обращения. Если тип обращения не совпадает с типом последней транзакции, выполненной с данной ячейкой XBUF (то есть если за записью следует чтение, а за чтением - запись) то исполнение такого обращения происходит без задержки. Если же за записью вновь следует запрос на запись в ту же ячейку (либо за чтением – вновь запрос на чтение), то такое обращение выполняется с задержкой. Выдавшее запрос DSP переводится в состояние ожидания, продолжающееся до тех пор, пока соответствующий бит EFR не сменит свое значение на противоположное.

В регистре DCSR каждого DSP-ядра имеется бит WT=DCSR[4], указывающий на то, что DSP находится в состоянии ожидания при обращении к XBUF.

4.7 Структурная схема DSP-ядра ELcore-30M

Структурная схема DSP-ядра ELcore-30M приведена на Рисунок 4.3.

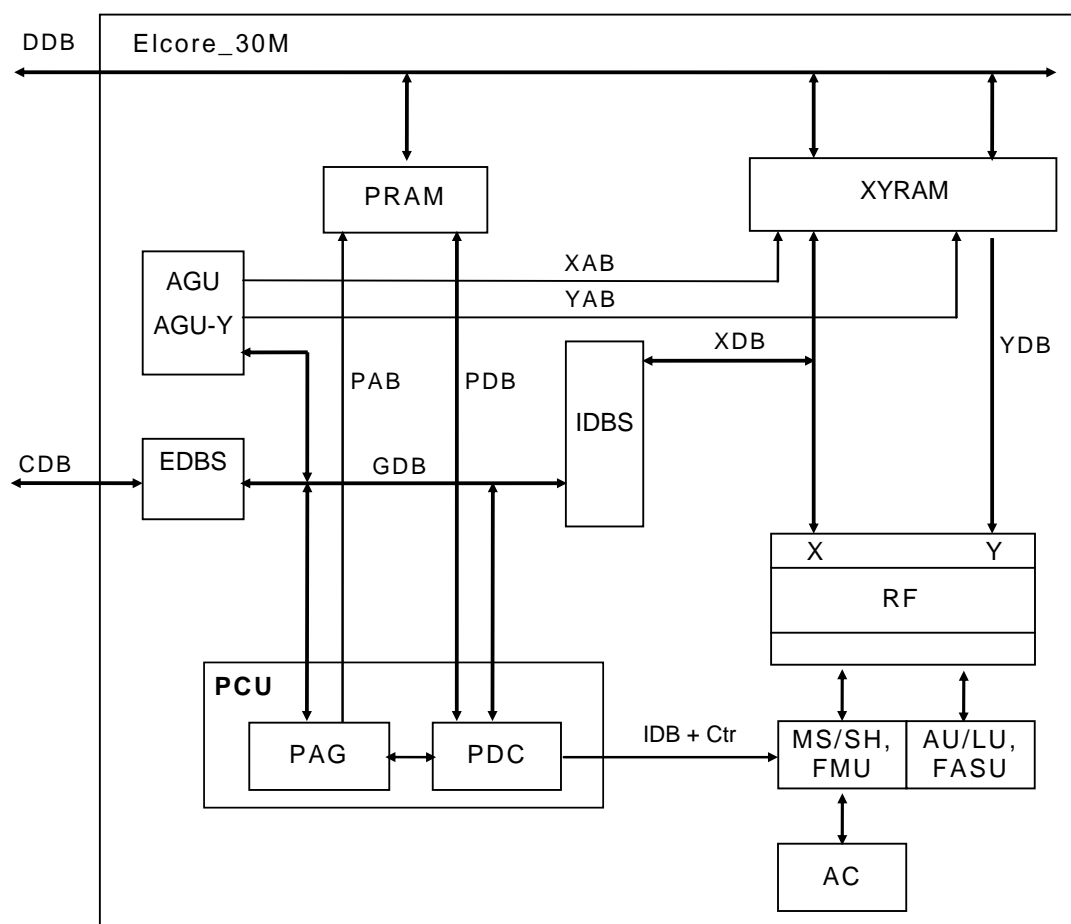


Рисунок 4.3. Структурная схема DSP-ядра ELcore-30M

4.8 Программная модель DSP-ядра ELcore-30M

Программная модель DSP-ядра включает в себя память (программ и данных) и программно-доступные регистры. Регистры обменного буфера XBUF и регистр флагов обмена EFR являются общими для всего DSP-кластера, остальные регистры принадлежат конкретному DSP-ядру и входят в состав одного из его исполнительных устройств. К исполнительным устройствам DSP-ядра относятся:

- вычислительная секция ALU;
- адресные генераторы для XY-памяти данных (AGU и AGU-Y);
- устройство программного управления PCU.

По своему назначению все регистры делятся на регистры данных, объединенные в регистровый файл (RF), и регистры управления (все остальные). Регистры управления разделены на 4 подмножества:

- регистры адресных генераторов AGU, AGU-Y;
- регистры обменного буфера XBUF;
- регистры устройства управления PCU;
- регистры-аккумуляторы (в составе ALU).

Программно-доступные регистры DSP-ядра (включая стеки и регистровый файл) приведены на Рисунок 4.4.

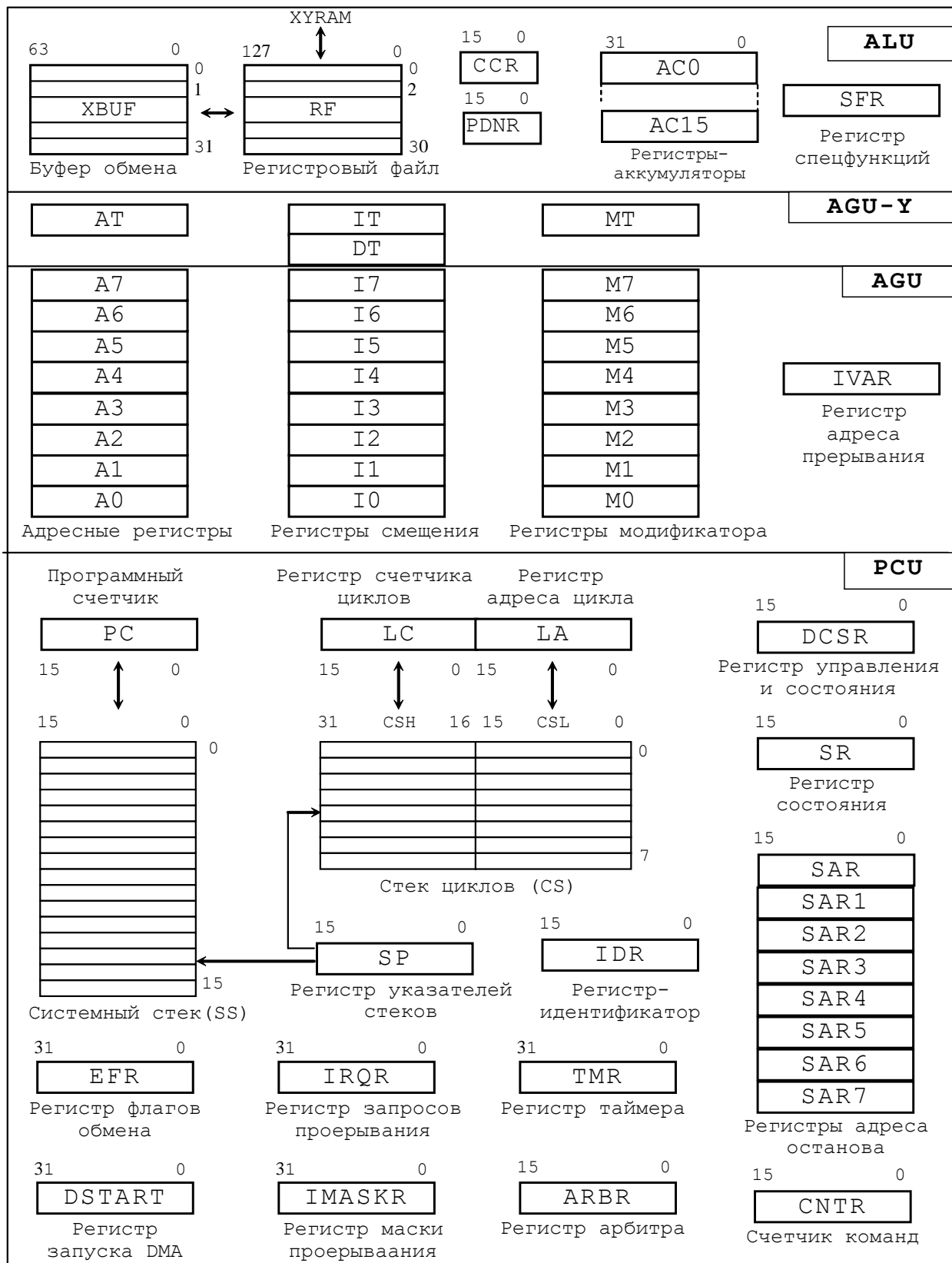


Рисунок 4.4. Программно-доступные регистры DSP-ядра ELcore-30M

4.9 Вычислительная секция (ALU)

4.9.1 Операционные блоки (MS/SH, FMU, AU/LU, FASU).

Операционные блоки выполняют следующие операции.

4.9.1.1 Умножитель-сдвигатель для форматов с фиксированной точкой (MS/SH)

- операции умножения с целыми числами со знаком и без знака;
- операции умножения чисел со знаком в дробном формате с фиксированной точкой (fractional);
- операции многоразрядного арифметического и логического сдвига в форматах с фиксированной точкой.

4.9.1.2 Умножитель для формата с плавающей точкой IEEE-754 (FMU)

- операции умножения чисел в формате с плавающей точкой IEEE-754;
- операции FIN (получение 8-разрядного приближения обратной величины);
- операции FINR (получение 8-разрядного приближения обратной величины квадратного корня).

4.9.1.3 Арифметическое устройство для форматов с фиксированной точкой (AU), включая логическое устройство (LU) и узел битовой обработки (BFU)

- арифметические операции в форматах с фиксированной точкой;
- преобразования форматов чисел;
- ограничение результатов с целью устранения выхода за пределы разрядной сетки (Saturation);
- логические операции;
- операции с битовыми полями.

4.9.1.4 Арифметическое устройство для формата с плавающей точкой (FASU)

- арифметические операции в форматах с плавающей точкой;
- преобразования форматов чисел.

4.9.2 Регистровый файл

Исходные данные и результаты всех операций ALU хранятся в регистровом файле (RF), который представляет собой реконфигурируемый массив регистров данных (16 регистров

по 128 разрядов; или 32 регистра по 64 разряда; или 32 регистра по 32 разряда; или 32 регистра по 16 разрядов). Структура регистрового файла приведена на Рисунок 4.5.

Для определения форматов регистров вводятся следующие мнемоники:

- R – 16-разрядные регистры;
- R.L – 32-разрядные регистры;
- R.D – 64-разрядные регистры;
- R.Q – 128-разрядные регистры.

16/32/64-разрядные регистры данных могут иметь номера с R0 по R31, а 128-разрядные регистры – только четные номера с R0 по R30. Четный и нечетный (с номером, большим на единицу) регистры одинаковой разрядности объединяются попарно и образуют 16 регистров большей разрядности с четными номерами, например, два 16-разрядных регистра R0 и R1 образуют 32-разрядный регистр R0.L.

127	64	63	32	31	16	15	0
R0.Q							
R1.D		R0.D					
		R1.L		R0.L			
				R1	R0		
R2.Q							
R2.D		R2.D					
		R3.L		R2.L			
				R3	R2		
R4.Q							
R5.D		R4.D					
		R5.L		R4.L			
				R5	R4		
R6.Q							
R7.D		R6.D					
		R7.L		R6.L			
				R7	R6		
R8.Q							
R9.D		R8.D					
		R9.L		R8.L			
				R9	R8		
R10.Q							
R11.D		R10.D					
		R11.L		R10.L			
				R11	R10		
R12.Q							
R13.D		R12.D					
		R13.L		R12.L			
				R13	R12		
R14.Q							
R15.D		R14.D					
		R15.L		R14.L			
				R15	R14		

127	64	63	32	31	16	15	0
R16.Q							
R17.D		R16.D					
		R17.L		R16.L			
				R17	R16		
R18.Q							
R19.D		R18.D					
		R19.L		R18.L			
				R19	R18		
R20.Q							
R21.D		R20.D					
		R21.L		R20.L			
				R21	R20		
R22.Q							
R23.D		R22.D					
		R23.L		R22.L			
				R23	R22		
R24.Q							
R25.D		R24.D					
		R25.L		R24.L			
				R25	R24		
R26.Q							
R27.D		R26.D					
		R27.L		R26.L			
				R27	R26		
R28.Q							
R29.D		R28.D					
		R29.L		R28.L			
				R29	R28		
R30.Q							
R31.D		R30.D					
		R31.L		R30.L			
				R31	R30		

Рисунок 4.5. Структура регистрового файла ELcore-30M

4.9.3 Регистры-аккумуляторы

Регистры-аккумуляторы предназначены для хранения данных, получаемых в результате выполнения операций умножения с накоплением. Начальное состояние регистров-аккумуляторов равно нулю.

Каждое DSP-ядро ELcore-30M содержит шестнадцать 32-разрядных регистров-аккумуляторов AC0-AC15, которые могут попарно объединяться в восемь 64-разрядных, либо четыре 128-разрядных регистра.

Структура регистрового файла регистров-аккумуляторов приводится на Рисунок 4.6.

- AC.L – 32-разрядные регистры;
- AC.D – 64-разрядные регистры;
- AC.Q – 128-разрядные регистры.

Регистры-аккумуляторы доступны по записи и по чтению как со стороны CPU, так и со стороны DSP.

Адреса регистров-аккумуляторов в адресном пространстве CPU приведены в Таблица 4.23.

Начальное состояние регистров-аккумуляторов равно нулю.

127	64	63	32	31	0
AC0.Q					
AC2.D			AC0.D		
AC3.L	AC2.L	AC1.L	AC0.L		
AC4.Q					
AC6.D			AC4.D		
AC7.L	AC6.L	AC5.L	AC4.L		
AC8.Q					
AC10.D			AC8.D		
AC11.L	AC10.L	AC9.L	AC8.L		
AC12.Q					
AC14.D			AC12.D		
AC15.L	AC14.L	AC13.L	AC12.L		

Рисунок 4.6. Структура регистрового файла регистров-аккумуляторов ELcore-30M

4.9.4 Регистр PDNR

Регистр PDNR - регистр управления, предназначенный для измерения параметра денормализации (PDN) и управления режимом блочной экспоненты и режимом масштабирования (Scaling).

Назначение разрядов регистра PDNR приведено в Таблица 4.8.

Таблица 4.8. Назначение разрядов регистра PDNR

Разряды регистра	Идентификатор	Назначение
0 – 4	Spdn	текущий код PDN
5	F	(X/L) – формат анализируемой информации (0 – Long, 1 – X16)
7	Epdn	программный признак разрешения детектирования и изменения PDN (0 – нет разрешения, 1 – разрешение)
8,9	SC	величина масштабирования результата (00 – нет сдвига, 01 - сдвиг на 1 разряд, 10 - сдвиг на 2 разряда)
15	Esc	признак разрешения масштабирования результата (0 – нет разрешения, 1 – разрешение)
6,10-14	-	не используются

Начальное состояние регистра PDNR = 0x0000.

4.9.5 Регистр CCR

Регистр CCR - регистр управления, предназначенный для хранения признаков результатов вычислительных операций. Регистр CCR содержит два поля признаков: основное {Ev,U,N,Z,V,C} (разряды [5:0]) и дополнительное {Evm,Um,Nm,Zm,Vm,Cm} (разряды [15:10]). Поле признаков в младшем байте регистра CCR является основным, т.к. на его основе формируются условия исполнения команд.

Назначение разрядов регистра CCR приведено в Таблица 4.9.

Таблица 4.9. Назначение разрядов регистра CCR

Разряды регистра	Идентификатор	Назначение
0	C	признак переноса, сформированного в результате выполнения операции (0 – нет переноса, 1 – есть перенос)
1	V	признак переполнения результата (0 – нет переполнения, 1 – есть переполнение)
2	Z	признак нулевого результата (0 – результат не нулевой, 1 – результат нулевой)
3	N	знак результата (0 – знак положительный, 1 – знак отрицательный)
4	U	признак ненормализованного результата (0 – нормализованный результат, 1 – ненормализованный результат)
5	Ev	запомненный ранее возникший признак переполнения результата (0 – не было переполнения, 1 – было переполнение)
6	E	экспоненциальный признак (формируется командой CMPE)
7	t	признак истинности условия после исполнения условной команды (t=0 – безусловная команда либо условие ложно; t=1 – условие истинно)
8	S	бит включения режима насыщения результата (0 – отключение режима насыщения, 1 – включение режима насыщения)
9	RND	бит управления режимом округления результата (0 – CR (Convergent Rounding), 1 – TCR (Two's-Complement Rounding))
10	Cm	признак переноса сформированного в результате выполнения операции OP2 (0 – нет переноса, 1 – есть перенос)
11	Vm	признак переполнения результата операции OP2 (0 – нет переполнения, 1 – есть переполнение)
12	Zm	наличие нулевого результата операции OP2 (0 – результат не нулевой, 1 – результат нулевой)
13	Nm	значение знака результата операции OP2 (0 – знак положительный, 1 – знак отрицательный)
14	Um	признак ненормализованного результата операции OP2 (0 – нормализованный результат, 1 – ненормализованный результат)
15	Evm	запомненный ранее возникший признак переполнения результата операции OP2 (0 – не было переполнения, 1 – было переполнение)

Поля признаков формируются по следующим правилам:

- при исполнении одной операции типа OP1 (AU/LU/FASU) ее признаки помещаются только в основное поле;
- при исполнении одной операции типа OP2 (MS/SH/FMU) ее признаки помещаются в оба поля;
- при одновременном выполнении двух вычислительных операций признаки, формируемые операцией типа OP1 поступают в основное поле, признаки операции типа OP2 - в дополнительное поле;
- в тех случаях, когда операция типа OP1 заполняет только часть признаков в основном поле, оставшиеся формируются операцией OP2.

Регистр CCR содержит также специальные признаки E, t и два управляющих разряда RND и S. Начальное состояние регистра CCR = 0x0000.

4.10 Устройства генерации адресов памяти данных (AGU, AGU-Y)

Общее пространство памяти данных DSP-ядра состоит из двух областей: X- и Y-памяти. Генерация адресов для памяти данных при внутренних обменах DSP осуществляется адресными генераторами - AGU и AGU-Y.

Устройства AGU, AGU-Y производят вычисление адресов, используя целочисленную 16-разрядную арифметику. При этом используется три типа арифметики: линейная, модульная и арифметика с обратным переносом. Устройства генерации адресов функционируют параллельно с другими ресурсами DSP, что обеспечивает высокую производительность обработки данных.

4.10.1 Архитектура AGU

Адресный генератор AGU формирует адрес XAB, обслуживающий память данных XRAM, а также, при определенных условиях, адрес YAB для памяти данных YRAM.

Блок-схема адресного генератора AGU приведена на Рисунок 4.7.

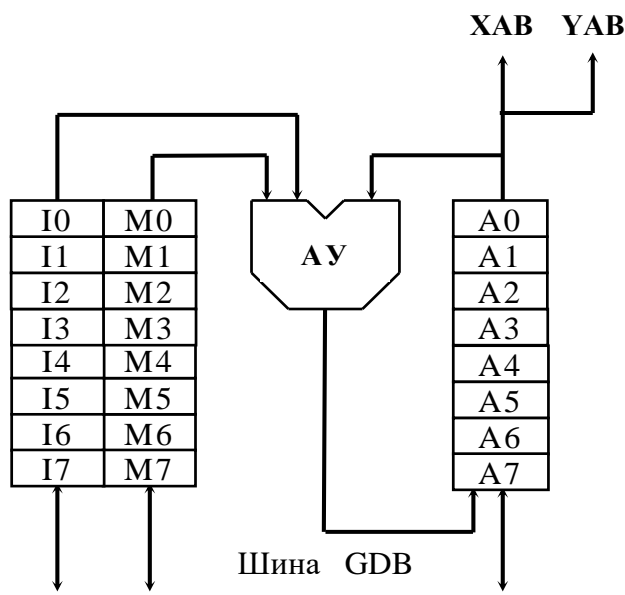


Рисунок 4.7. Блок-схема адресного генератора AGU

AGU содержит восемь наборов из трех регистров (триплетов), в число которых входят: регистр адреса A_n , регистр смещения I_n и регистр модификатора M_n ($n=0,1,\dots,7$).

AGU может модифицировать один адресный регистр из своего набора регистров в течение одного командного цикла. При этом содержание соответствующего регистра модификатора определяет тип используемой арифметики.

Входящее в состав адресного генератора арифметическое устройство АУ содержит три сумматора.

Первый 16-разрядный полный сумматор, называемый сумматором смещения, выполняет следующие операции модификации адреса:

- увеличение на 1;
- уменьшение на 1;
- увеличение на величину смещения I_n ;
- уменьшение на величину смещения I_n ;

Второй полный сумматор, называемый модульным сумматором, добавляет (или вычитает) к результату первого сумматора величину модуля, которая хранится в соответствующем регистре модификатора M_n .

Третий полный сумматор, называемый сумматором обратного переноса, выполняет следующие операции модификации адреса с обратным направлением распространения переноса (от старших разрядов к младшим):

- увеличение на 1;
- уменьшение на 1;
- увеличение на величину смещения I_n ;
- уменьшение на величину смещения I_n ;

Сумматор смещения работает параллельно с сумматором обратного переноса и имеет с ним общие входы. Единственная разница между ними состоит в направлении распространения переноса. Управляющая логика определяет, результат которого из трех сумматоров является выходом адресного генератора.

В состав AGU входят регистры адреса A_0 - A_7 , регистры смещения I_0 - I_7 и регистры модификатора M_0 - M_7 . Регистры A_n , I_n , M_n , где $n=0, \dots, 7$, составляют триплет. Это означает, что при модификации адресного регистра A_n могут быть использованы только регистры, имеющие тот же индекс – I_n , M_n .

Восемь регистровых триплетов адресного генератора:

- A0:I0:M0;
- A1:I1:M1;
- A2:I2:M2;
- A3:I3:M3;
- A4:I4:M4;
- A5:I5:M5;
- A6:I6:M6;
- A7:I7:M7.

Запись или чтение каждого из указанных регистров осуществляются через глобальную шину данных (GDB) DSP.

4.10.2 Программная модель AGU

С точки зрения программиста, адресный генератор AGU представляет собой восемь наборов по три регистра, как показано на Рисунок 4.8. Эти регистры могут использоваться для хранения адресных указателей или других данных. При косвенной адресации операндов в памяти автоматически включается механизм обновления адресных указателей. Адресные регистры могут быть запрограммированы для линейной адресации, модульной адресации или реверсивной адресации.



Рисунок 4.8. Программная модель AGU

4.10.3 Архитектура AGU-Y

Адресный генератор AGU-Y формирует адрес YAB для памяти данных YRAM.

В каждой секции DSP имеется отдельное устройство AGU-Y для генерации адресов сегмента памяти YRAM соответствующей секции.

Блок-схема адресного генератора AGU-Y приведена на Рисунок 4.9.

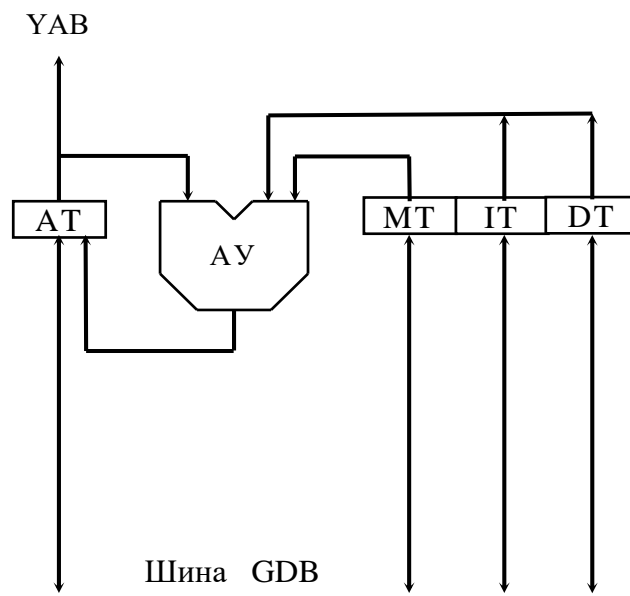


Рисунок 4.9. Блок-схема адресного генератора AGU-Y

AGU-Y содержит набор регистров, в число которых входят: регистры адреса AT, регистры смещения IT и DT регистр и модификатора MT.

AGU-Y может модифицировать адресный регистр AT в течение одного командного цикла. При этом содержание соответствующего регистра модификатора MT определяет тип используемой арифметики.

Адрес, генерируемый AGU-Y, подается на адресную шину YAB.

Входящее в состав адресного генератора арифметическое устройство AU содержит три сумматора.

Первый 16-разрядный полный сумматор, называемый сумматором смещения, выполняет следующие операции модификации адреса:

- увеличение на величину смещения IT;
- увеличение на величину смещения DT.

Второй полный сумматор, называемый модульным сумматором, добавляет (или вычитает) к результату первого сумматора величину модуля, которая хранится в регистре модификатора МТ.

Третий полный сумматор, называемый сумматором обратного переноса, может выполнять следующие операции модификации адреса с обратным направлением распространения переноса – от старших разрядов к младшим:

- увеличение на величину смещения IT;
- увеличение на величину смещения DT.

Сумматор смещения работает параллельно с сумматором обратного переноса и имеет с ним общие входы. Единственная разница между ними состоит в направлении распространения переноса. Управляющая логика определяет, результат которого из трех сумматоров является выходом адресного генератора.

В состав AGU-Y входят регистр адреса АТ, регистры смещения IT, DT и регистр модификатора МТ.

Запись или чтение каждого из указанных регистров осуществляется через глобальную шину данных (GDB) DSP.

4.10.4 Программная модель AGU-Y

С точки зрения программиста, адресный генератор представляет собой восемь наборов по три регистра (AALU1) и набор из четырех регистров (AALU2), как показано на Рисунке 4.10. Регистр МТ может быть запрограммирован для линейной адресации, модульной адресации или реверсивной адресации.



Рисунок 4.10. Программная модель AGU-Y

4.10.5 Назначение регистров адресных генераторов

32-разрядные адресные регистры А0-А7, АТ содержат адреса памяти данных. Содержимое адресного регистра может непосредственно указывать на данные в памяти либо используется для формирования указателя со смещением. Адресный регистр обновляется после формирования адресного указателя (пост-модификация).

16-разрядные регистры смещений I0-I7, IТ содержат значения смещений, используемых для инкрементации или декрементации адресных регистров при выполнении обновления адреса.

16-разрядные регистры модификаторов M0-M7, MТ определяют тип адресной арифметики, применяемой при модификации адреса.

Адресные АЛУ поддерживают три типа арифметики: *линейную, модульную и арифметику с обратным переносом*. Для модульной арифметики содержимое регистров модификаторов определяет также модуль.

4.10.6 Типы адресной арифметики

Значения модификатора Mп и соответствующие им типы адресной арифметики указаны в Таблица 4.10.

Таблица 4.10. Типы адресной арифметики

Модификатор Mп	Адресная арифметика
\$0000	Арифметика с обратным переносом
\$0001	Модуль 2
\$0002	Модуль 3
...	...
\$7FFE	Модуль 32767 (215 – 1)
\$7FFF	Модуль 32768 (215)
\$8001	Модуль 2 с кратным обращением
\$8003	Модуль 4 с кратным обращением
\$8007	Модуль 8 с кратным обращением
...	...
\$9FFF	Модуль 213 с кратным обращением
\$BFFF	Модуль 214 с кратным обращением
\$FFFF	Линейная арифметика (Модуль 216)
Остальные комбинации – резерв	

4.10.6.1 Линейная адресная арифметика (Mп = \$FFFF)

Модификация адреса выполняется с использованием обычной 16-разрядной линейной (по модулю 65536) арифметики. 16-разрядное смещение, In, +1 или -1 могут использоваться для вычисления адреса. Диапазон значений может рассматриваться как знаковый (от – 32768 до +32767) либо как беззнаковый (от 0 до 65535), так как адресное ALU работает в обоих случаях одинаково.

4.10.6.2 Адресная арифметика с обратным переносом (Mп = \$0000)

Этот вариант адресной арифметики выбирается посредством установки регистра модификатора в 0. Модификация адреса в этом случае выполняется аппаратно с распространением переноса в обратном направлении – от старших разрядов к младшим.

Операция модификации адреса с обратным переносом эквивалентна последовательному выполнению следующих процедур:

- Изменению на обратный порядок следования разрядов в регистрах адреса и смещения (при этом старший бит становится младшим и т.д.);
- Модификации адреса посредством нормальной операции сложения;
- Возвращению первоначального порядка следования разрядов адреса.

В случае, когда величина смещения составляет $2^{(k-1)}$ (целая степень двойки), такая модификация адреса эквивалентна:

- Обращению порядка следования k младших разрядов A_n ;
- Увеличению на 1;
- Возвращению исходного порядка следования k младших разрядов A_n .

Рассматриваемый режим адресной арифметики удобен при реализации алгоритма быстрого преобразования Фурье (БПФ).

4.10.6.3 Модульная адресная арифметика ($M_n = \text{Modulus} - 1$)

Модификация адреса выполняется по модулю M , где M - целое число в пределах от 2 до 32768. Арифметика по модулю M вынуждает значение адреса оставаться в пределах диапазона значений, отличающихся друг от друга не более чем на $M-1$.

Величина $M-1$ хранится в регистре модификатора адреса. Нижняя граница диапазона (базовый адрес) должна иметь нули в младших k разрядах, где $2^k \geq M$. Верхняя граница диапазона определяется как сумма нижней границы и модуля минус единица (базовый адрес + $M - 1$). Нижняя и верхняя границы диапазона определяются значением A_n .

При этом необязательно устанавливать A_n равным базовому адресу. Достаточно того, чтобы величина A_n находилась в пределах требуемого диапазона.

Если при вычислении адреса в этом режиме используется смещение I_n , его величина не должна превышать M .

Данный тип адресной арифметики удобен при организации циклических буферов для реализации на их основе структур данных типа очередей (FIFO), линий задержки и т.п.

4.10.6.4 Кратная модификация адреса по модулю

Этот тип адресной арифметики выбирается посредством установки в «1» 15-го разряда регистра модификатора M_n , как это показано в Таблица 4.10.

Модификация адреса выполняется по модулю M , где M - степень двойки в пределах от 2^1 до 2^{14} . Арифметика по модулю M вынуждает значение адреса оставаться в пределах диапазона значений, отличающихся друг от друга не более чем на $M-1$.

Величина $M-1$ хранится в младших 15-ти разрядах регистра модификатора адреса M_n . Нижняя граница диапазона (базовый адрес) должна иметь нули в младших k разрядах, где $2^k \geq M$. Верхняя граница диапазона определяется как сумма нижней границы и модуля минус единица (базовый адрес + $M - 1$).

Нижняя и верхняя границы диапазона определяются значением A_n . При этом необязательно устанавливать A_n равным базовому адресу. Достаточно того, чтобы величина A_n находилась в пределах требуемого диапазона.

4.10.7 Особенности X- и Y- указателей

Виды адресации памяти данных XRAM сведены в Таблица 4.11. Режим адресации определяется полем “mode” командного слова инструкции.

Таблица 4.11. Виды X-адресации памяти данных (указатели A0-A7)

Код режима адресации (mode)	Обозначение	Пояснение
000	-	Отмена пересылки
001	(An)	Косвенная
010	(An)+	Пост - автоинкремент
011	(An)-	Пост - автодекремент
100	(An)+In	Пост - автоувеличение
101	(An)-In	Пост - автоуменьшение
110	(An+In)	Индексирование (An не меняется)
111	(An+dspl)	С непосредственным смещением (A не меняется)

Примечание. По установленному признаку “u” в командном слове вычисляется исполнительный адрес без выполнения самой пересылки.

Виды Y-адресации сведены в Таблица 4.12. Режим адресации определяется полем “AT” инструкции и управляющим параметром YM (11-й разряд регистра SR).

Таблица 4.12. Виды Y-адресации памяти данных (указатель AT)

Код режима адресации (поле “AT”)	YM	Обозначение	Пояснение
00	X	-	Отмена пересылки
01	X	(AT)	Косвенная
10	X	(AT)+IT	Пост - автоувеличение
11	0	(AT+IT)	Индексирование (An не меняется)
11	1	(AT)+DT	Пост - автоувеличение

4.10.8 Разрядность адресной арифметики

В ELCORE-30M расширен до 32 разрядов формат адресных регистров A0 – A7, AT. Это вызвано расширением адресного пространства DSP и выходом его за пределы доступности 16-разрядных адресных регистров, существовавших в предшествующих модификациях DSP ELCORE-xx. При этом регистры смещения I0–I7, IT, DT и регистры модификаторов M0–M7 являются 16-разрядными. Важной особенностью адресной арифметики является то, что операции инкремента и декремента выполняются в 16-разрядном формате.

4.10.9 Регистр адреса вектора прерывания IVAR

В ELCORE-30M реализован механизм прерываний. При отработке прерывания автоматически выполняется команда JSR IVAR, по которой происходит переход на подпрограмму обработки прерываний, находящуюся по адресу, содержащемуся в регистре адреса вектора прерывания IVAR (16 бит, запись/чтение).

Начальное состояние регистра IVAR=0x1F00.

4.11 Устройство программного управления (PCU)

В настоящем разделе рассматривается устройство программного управления (PCU) и работа программного конвейера DSP.

4.11.1 Архитектура PCU

Устройство PCU включает в себя два аппаратных блока:

- Программный адресный генератор PAG;
- Программный декодер PDC.

Устройство PDC декодирует инструкции, поступающие из программной памяти, и генерирует сигналы управления программным конвейером.

Программный адресный генератор PAG выполняет вычисление адреса инструкции в программной памяти, организует выполнение программных циклов DO, управляет работой стеков. Ниже на Рисунок 4.11 приведена структурная схема PCU.

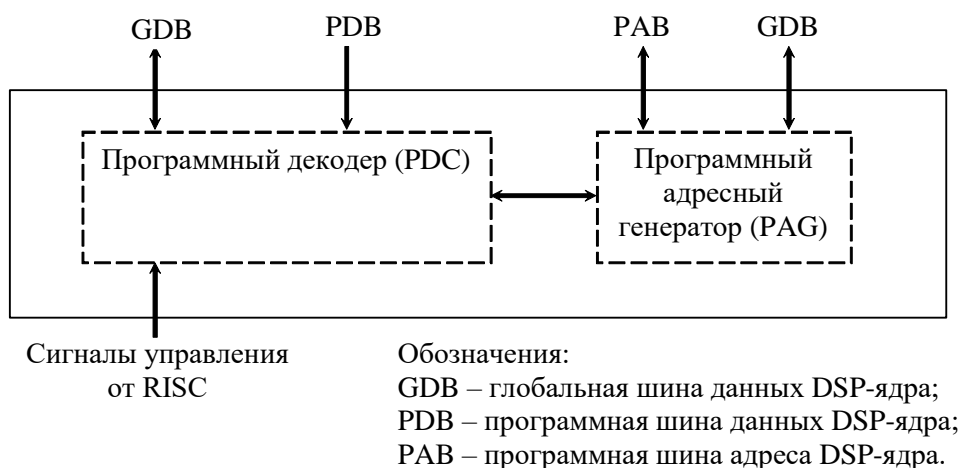


Рисунок 4.11. Структурная схема устройства программного управления (PCU)

4.11.2 Назначение и состав PCU

Устройство программного управления PCU контролирует выборку команд, их декодирование, аппаратно поддерживает организацию цикла DO. Программная модель PCU содержит следующие регистры и стеки:

- регистр управления и состояния DCSR;
- программный счетчик PC;
- регистр состояния SR;
- регистр-идентификатор IDR;
- регистр флагов обмена EFR;
- регистр запуска DMA DSTART;
- регистр запросов на прерывание IRQR;
- регистры масок запросов на прерывания IMASKR, QMASKR0, QMASKR1, QMASKR2;
- регистр управления арбитром памяти ARBR;
- регистр таймера TMR;
- регистр адреса окончания цикла LA;
- регистр счетчика циклов LC;
- системный стек SS;
- стеки циклов CSL, CSH;
- регистр указателей стека SP;

- регистры адреса останова SAR, SAR1 – SAR7;
- счетчик команд CNTR;
- регистр спецфункций SFR;
- отладочные регистры.

Устройство PCU содержит системный стек (SS) и стек циклов (CS). В дополнение к стандартным ресурсам программного управления – операциям программных переходов и ветвления – поддерживается механизм программных циклов DO.

Системный стек SS представляет собой внутреннюю последовательно адресуемую память объемом 15 16-разрядных слов, используемую для автоматического сохранения содержимого регистра программного счетчика PC при входе в подпрограмму или в программный цикл (DO, DOFOR).

Стек циклов CS предназначен для сохранения содержимого регистров счетчика цикла и адреса окончания цикла (LC и LA) при организации вложенных программных циклов. Каждая 32-разрядная ячейка стека адресуется как два 16-разрядных регистра – верхний CSH и нижний CSL регистры стека. Адресация стеков осуществляется при помощи регистра указателей стека SP.

Другие данные могут сохраняться в стеках и считываться из них при соответствующих обращениях. Стеки участвуют в обменах как 16-разрядные регистры управления – SS, CSL и CSH.

Устройство PCU управляет режимами работы DSP-ядра. DSP-ядро всегда находится в одном из трех возможных состояний (режимов):

- режим сброса (RESET);
- режим останова (STOP);
- режим выполнения программы (RUN).

В штатном режиме функционирования устройство PCU организует выполнение инструкций при помощи программного конвейера, включающего семь фаз.

4.11.3 Регистр управления и состояния DCSR

Регистр управления и состояния (DCSR) содержит разряды управления, определяющие состояние и режим работы DSP-ядра, а также прерывания, формируемые DSP-ядром для обработки в RISC-ядре.

Назначение разрядов регистра DCSR указано в Таблица 4.13.

Начальное состояние DCSR = 0x0000.

Таблица 4.13. Назначение разрядов регистра DCSR

Разряды регистра	Идентификатор	Назначение
0	PI	программное прерывание PI.
1	SE	прерывание по ошибке стека SE
2	BRK	прерывание по останову BREAK
3	STP	прерывание по останову STOP
4	WT	состояние ожидания обмена с XBUF
5-13	-	не используется
14	RUN	состояние исполнения программы
15	-	не используется

4.11.4 Программный счетчик PC

Регистр программного счетчика PC предназначен для хранения 16-разрядного адреса инструкции в программной памяти. Инкрементированное значение PC заносится в системный стек при инициализации нового программного цикла DO, DOFOR и при входе в подпрограмму.

Начальное состояние PC = 0x0000.

4.11.5 Регистр состояния SR

Регистр состояния SR содержит параметры управления и состояния DSP-ядра. Разряды [7:0] регистра SR доступны только по чтению, остальные - по записи/чтению.

Назначение разрядов регистра SR указано в Таблица 4.14.

Таблица 4.14. Назначение разрядов регистра SR

Разряды регистра	Идентификатор	Назначение
0	C	перенос
1	V	признак переполнения
2	Z	признак нулевого результата
3	N	признак отрицательного результата
4	U	признак ненормализованного результата
5	Ev	флаг переполнения (с сохранением
6	E	экспоненциальный признак
7	t	признак истинности последнего условия
8	-	не используется
9	DD	управление режимом записи результата в инструкциях ADDSUB, ADDSUBL, ADDSUBX, FAS, CVFE (Double Destination)
10	BD	управление блокировкой конвейера (Blocking Disabled)
11	YM	режим адресации памяти YRAM
12-13	-	не используются
14-15	SplitMode	Управление режимом разбиения пересылок

Начальное состояние регистра SR = 0x0000.

Разряды [7:0] регистра SR содержат интегральные признаки предыдущей арифметической операции.

Бит DD (Double Destination) = SR[9] предназначен для выбора режимов исполнения вычислительных команд, формирующих двойной результат: ADDSUB, ADDSUBL, ADDSUBX, FAS, CVFE. При DD=0 (по умолчанию) указанные команды выполняются в варианте с двумя результатами и двумя адресами записи, при DD=1 один результат удвоенного формата записывается по одному адресу D.L(D.D). (Более подробную информацию можно получить из описания указанных инструкций).

Бит BD (Blocking Disabled) = SR[10] предназначен для управления автоматической блокировкой программного конвейера: при BD = 0 блокировка включена, при BD = 1 отключена.

Пояснение: автоматическая блокировка (включена по умолчанию при BD=0) вызывает торможение программного конвейера в тех случаях, когда последующая инструкция использует еще не сформированный результат предыдущей инструкции. Отключение автоматической блокировки (BD=1) может производиться с целью ускорения работы программы при условии хорошего понимания работы программного конвейера.

Отключение автоматической блокировки не оказывает влияния на остановы вычислительного ядра, вызванные конфликтами при обращении к памяти.

Назначение бита YM = SR[11] описано в Таблица 4.12.

DSP ядро поддерживает 32/64/128 разрядные пересылки, в то время, как доступ ко многим ресурсам процессора возможен только 32/64 или даже только 32-х разрядными обращениями. В связи с этим введён механизм разбиения обращений от DSP ядра на 32-х или 64-х разрядные. Для управления режимом разбиения в регистре SR введены биты SplitMode = SR[15:14], назначение которых описано в п.3.3.3.

4.11.6 Регистр-идентификатор IDR

Состояние регистров-идентификаторов DSP-ядер ELcore-30M в составе DSP-кластера: IDR=0xn108, где n=0,1 – номер DSP-ядра.

4.11.7 Регистр адреса окончания цикла LA

Регистр адреса окончания цикла LA содержит адрес последней инструкции в программном цикле DO, DOFOR. Этот регистр заносится в стек SS по команде DO, DOFOR и извлекается обратно по окончании вложенного цикла либо по команде ENDDO.

Начальное состояние LA = 0x0000.

4.11.8 Регистр счетчика циклов LC

Формат регистра LC приведен в Таблица 4.15.

Таблица 4.15. Назначение разрядов регистра LC

Разряды регистра	Идентификатор	Назначение
0 - 13	Nc	Текущее значение 14-разрядного счетчика программных циклов Nc – разряды 0-13 регистра LC
14	LF	Флаг цикла DO – разряд 14 регистра LC
15	FV	Флаг цикла DOFOR – разряд 15 регистра LC

Значение счетчика программных циклов Nc определяет количество повторений программного цикла DO, в пределах от 1 до ($2^{14} - 1$). Этот регистр заносится в верхнюю (старшую) половину стека циклов CSL по команде DO (образуется вложенный программный цикл) и извлекается обратно по окончании вложенного цикла либо по команде ENDDO.

Начальное состояние LC = 0x0000.

4.11.9 Стеки SS, CSL, CSN

Устройство программного управления содержит системный стек SS и стеки циклов CSL, CSN. Системный стек SS имеет объем 15 16-разрядных слов и используется для автоматического сохранения содержимого регистра программного счетчика PC при входе

в подпрограмму или в цикл DO, DOFOR. Стеки циклов имеют объем по 7×16 бит и предназначены для хранения соответственно длины цикла и адреса последней инструкции цикла (LC и LA). Стеки участвуют в обменах как 16-разрядные регистры управления – SS, CSL и CSH.

4.11.10 Регистр указателей стека SP

Регистр указателей стека SP содержит указатели на последнее записанное в стеки SS, CSH слово. Назначение разрядов регистра SP указано в Таблица 4.16.

Таблица 4.16. Назначение разрядов регистра SP

Разряды регистра	Идентификатор	Назначение
0 - 3	SP	указатель системного стека
4	SSE	флаг ошибки системного стека
5	UFS	флаг переполнения системного стека
6, 7	-	не используются
8-10	CP[2:0]	указатель стека циклов
11	CSE	флаг ошибки стека циклов
12	UFC	флаг переполнения стека циклов
13-15	-	не используются

Младший байт регистра SP содержит указатель и флаги системного стека; старший байт - указатель и флаги стека циклов.

Начальное состояние SP = 0x0000.

4.11.11 Регистры адреса останова SAR, SAR1-SAR7

Регистры адреса останова SAR, SAR1–SAR7 являются специализированными 16-разрядными регистрами, используемыми при отладке DSP-ядра. Регистры SAR, SAR1–SAR7 определяют точки останова (Breakpoint) - адрес инструкции, непосредственно перед исполнением которой должен произойти останов DSP-ядра. Перед исполнением инструкции с указанным адресом DSP-ядро переходит в состояние останова (RUN=0) и флаг прерывания BRK устанавливается в «1».

Начальное состояние SAR, SAR1–SAR7 = 0xFFFF.

4.11.12 Счетчик команд CNTR

Счетчик команд CNTR - специализированный 16-разрядный регистр, предназначенный для отладки DSP-ядра. Регистр CNTR задает пошаговый режим исполнения программ в соответствии с Таблица 4.17.

Начальное состояние CNTR = 0x0000.

Таблица 4.17. Назначение разрядов регистра CNTR

Счетчик CNTR	Режим исполнения программ
0x0000	Нормальный режим исполнения программ. Число исполняемых команд не ограничено.
N > 0	Пошаговый режим исполнения программ. После исполнения N инструкций DSP-ядро переходит в состояние останова (RUN=0) и флаг прерывания BRK устанавливается в "1".

4.11.13 Регистры управления прерываниями и DMA-обменами

В ELcore-30M имеется механизм прерываний, с помощью которого, в частности, осуществляется запуск DSP со стороны DMA. Кроме того, прерывания в DSP ELcore-30M могут поступать также со стороны CPU, другого DSP-ядра, таймеров.

Для управления DMA-обменами и прерываниями имеется следующий набор регистров:

- вводится регистр запросов на прерывание DSP со стороны DMA, CPU, других DSP-ядер, таймеров – IRQR;
- вводится регистр маски запросов на прерывание DSP – IMASKR;
- вводится псевдорегистр (только запись) запуска со стороны DSP каналов DMA и других DSP-ядер – DSTART.

4.11.14 Механизм отработки прерываний

Отработка запросов на прерывание (в том числе на запуск DSP со стороны DMA) обрабатывается одинаковым образом:

- 1) аппаратно взводится в состояние «1» соответствующий бит регистра IRQR;
- 2) аппаратно переводится в состояние «1» бит RUN регистра DCSR (если он еще не находится в этом состоянии);
- 3) автоматически выполняется команда JSR IVAR, по которой происходит переход на подпрограмму обработки прерываний, находящуюся по адресу, содержащемуся в регистре адреса вектора прерывания IVAR. Подпрограмма обработки прерываний должна оканчиваться командой возврата из подпрограммы обработки прерывания RTI.

Поступающие прерывания не имеют иерархии приоритетов и обрабатываются последовательно. Если во время обработки прерывания приходит новый запрос, то обработка его начнется только после завершения текущей подпрограммы обработки прерывания.

4.11.15 Регистр запросов на прерывание DSP (IRQR)

Регистр IRQR содержит флаги запросов («1» - наличие запроса, «0» - отсутствие запроса) на прерывание DSP со стороны DMA, CPU, других DSP-ядер, таймера. Назначение разрядов регистра IRQR приведено в Таблица 4.18.

Регистр IRQR доступен по записи и чтению со стороны CPU и DSP.

Таким образом, состояние разрядов регистра IRQR может изменяться как аппаратно – при приходе соответствующего сигнала запроса на прерывание, так и программно – при записи со стороны CPU или DSP.

Таблица 4.18. Назначение разрядов регистра IRQR

Номер разряда	Наименование разряда	Назначение
0	DRQ00	Запрос на прерывание DSP со стороны канала DMA0 MemCh0
1	DRQ01	Запрос на прерывание DSP со стороны канала DMA0 MemCh1
2	DRQ02	Запрос на прерывание DSP со стороны канала DMA0 MemCh2
3	DRQ03	Запрос на прерывание DSP со стороны канала DMA0 MemCh3
4	DRQ04	Запрос на прерывание DSP со стороны канала DMA0 MemCh4
5	DRQ05	Запрос на прерывание DSP со стороны канала DMA0 MemCh5
6	DRQ06	Запрос на прерывание DSP со стороны канала DMA0 MemCh6
7	DRQ07	Запрос на прерывание DSP со стороны канала DMA0 MemCh7
8	DRQ10	Запрос на прерывание DSP со стороны канала DMA1 MemCh0
9	DRQ11	Запрос на прерывание DSP со стороны канала DMA1 MemCh1
10	DRQ12	Запрос на прерывание DSP со стороны канала DMA1 MemCh2
11	DRQ13	Запрос на прерывание DSP со стороны канала DMA1 MemCh3
12	DRQ14	Запрос на прерывание DSP со стороны канала DMA1 MemCh4
13	DRQ15	Запрос на прерывание DSP со стороны канала DMA1 MemCh5
14	DRQ16	Запрос на прерывание DSP со стороны канала DMA1 MemCh6
15	DRQ17	Запрос на прерывание DSP со стороны канала DMA1 MemCh7
16-23	-	Резерв
24	IRQ0	Запрос на прерывание DSP со стороны DSP0
25	IRQ1	Запрос на прерывание DSP со стороны DSP1
26	IRQ_ACC	Запрос на прерывание DSP со стороны блока акселератора ACC_FFT_JPG
27	-	Резерв
28	INT_TMR	Запрос на прерывание DSP со стороны таймера TMR
29	FPE	Исключение при исполнении операции в формате плавающей точки (V=1)
30	QT0	Запрос на прерывание DSP со стороны CPU (QSTR0)
31	QT1	Запрос на прерывание DSP со стороны CPU (QSTR1, QSTR2, QSTR3)

Начальное состояние регистра IRQR =0x0.

4.11.16 Регистры масок запросов на прерывание DSP (IMASKR, QMASKR0, QMASKR1, QMASKR2, QMASKR3)

Регистр IMASKR содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») запрос на прерывание DSP от соответствующего разряда регистра запросов прерываний IRQR. Регистр доступен по чтению и записи со стороны CPU или DSP. Начальное состояние регистра IMASKR=0x0.

Регистр маски запросов на прерывание QMASKR0 содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») прерывание DSP от соответствующего разряда регистра запросов прерываний со стороны CPU (регистр QSTR0).

Регистр маски запросов на прерывание QMASKR1 содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») прерывание DSP от соответствующего разряда регистра запросов прерываний со стороны CPU (регистр QSTR1).

Регистр маски запросов на прерывание QMASKR2 содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») прерывание DSP от соответствующего разряда регистра запросов прерываний со стороны CPU (регистр QSTR2).

Регистр маски запросов на прерывание QMASKR3 содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») прерывание DSP от соответствующего разряда регистра запросов прерываний со стороны CPU (регистр QSTR3).

Начальное состояние регистров QMASKR0, QMASKR1, QMASKR2, QMASKR3 - нулевое.

4.11.17 Регистр запуска DMA со стороны DSP (DSTART)

Регистр DSTART доступен по только записи и предназначен для запуска соответствующего канала DMA со стороны DSP. Назначение разрядов регистра DSTART приведено в Таблица 4.19.

Таблица 4.19. Назначение разрядов регистра DSTART

Номер разряда	Наименование разряда	Назначение
0	DE00	Запрос со стороны DSP на запуск канала DMA0 MemCh0
1	DE01	Запрос со стороны DSP на запуск канала DMA0 MemCh1
2	DE02	Запрос со стороны DSP на запуск канала DMA0 MemCh2
3	DE03	Запрос со стороны DSP на запуск канала DMA0 MemCh3
4	DE04	Запрос со стороны DSP на запуск канала DMA0 MemCh4
5	DE05	Запрос со стороны DSP на запуск канала DMA0 MemCh5
6	DE06	Запрос со стороны DSP на запуск канала DMA0 MemCh6
7	DE07	Запрос со стороны DSP на запуск канала DMA0 MemCh7
8	DE10	Запрос со стороны DSP на запуск канала DMA1 MemCh0
9	DE11	Запрос со стороны DSP на запуск канала DMA1 MemCh1
10	DE12	Запрос со стороны DSP на запуск канала DMA1 MemCh2
11	DE13	Запрос со стороны DSP на запуск канала DMA1 MemCh3

Номер разряда	Наименование разряда	Назначение
12	DE14	Запрос со стороны DSP на запуск канала DMA1 MemCh4
13	DE15	Запрос со стороны DSP на запуск канала DMA1 MemCh5
14	DE16	Запрос со стороны DSP на запуск канала DMA1 MemCh6
15	DE17	Запрос со стороны DSP на запуск канала DMA1 MemCh7
16-23	-	Резерв
24	DSP0	Запрос на прерывание DSP0
25	DSP1	Запрос на прерывание DSP1
26-31	-	Резерв

4.11.18 Регистр таймера (TMR)

Регистр таймера TMR (32 разряда, запись/чтение) предназначен для формирования периодических запросов на прерывание DSP. Период запросов определяется значением, содержащимся в регистре TMR по формуле: $T_{INT} = (TMR + 1) * T_{CLK}$, где T_{CLK} - период тактовой частоты DSP.

При $TMR = 0$ запросы на прерывание DSP не формируются.

Регистр TMR доступен по записи и чтению. Начальное состояние регистра $TMR = 0x0$.

4.11.19 Регистр управления локальным арбитром (ARBR)

4.11.19.1 Принципы арбитража и режимы работы

Вся память DSP кластера разбита на 2 сегмента, каждый из которых соответствует определенному DSP ядру и состоит из 4 страниц каждый. Таким образом, для каждого ядра существует сегмент “своей” или ближней памяти. В архитектуре глобального коммутатора предусмотрены 2 локальных арбитра, каждый из них осуществляет арбитраж обращений к определенному сегменту памяти. Каждый из локальных арбитров настраивается и работает независимо от другого арбитра. Таким образом, одно ядро может иметь высший приоритет для обращений к одному сегменту памяти и низший для обращений к другому.

Каждая страница памяти состоит из 4-х физических блоков по 4К 32 разрядных слов каждый. Для организации чтения 128 разрядных слов, а так же для повышения производительности при 32-х разрядных обменах с памятью применена технология расслоения памяти. Т.е. любые 4 последовательно идущих адреса одной страницы располагаются в 4-х разных физических блоках.

В случае если оба ядра обращаются к одной странице памяти, обрабатывается обращение от ядра, имеющего на данный момент высший приоритет (другое ядро останавливается до момента получения высшего приоритета). Если обращения идут к разным страницам (даже внутри одного сегмента), конфликтов не возникает. Конфликтов так же не возникает при обращении одного ядра по X и Y указателям к одной странице памяти, при

условии, что обращения идут к разным физическим блокам (условие бесконфликтного обращения одного DSP к одной странице памяти: для 32-х и 64-х разрядных обращений $XAB \% 4 \neq YAB \% 4$).

Обращения к своей памяти не приводят к останову конвейера, если отсутствуют конфликты с другими ядрами, либо для данного ядра явно установлен высший приоритет для обращений к своей памяти (заданы значения бит $DEN=1$ и $DPTR = 0$ в регистре ARBR данного ядра).

Остальная память является для текущего ядра дальней. Чтение из дальней памяти неизбежно приводит к останову конвейера на четыре дополнительных такта. Одиночная запись в дальнюю память буферизуется и не приводит к блокировкам. Поддерживается пакетная запись в дальнюю память, которая так же проходит без дополнительных блокировок конвейера. Поддержка пакетных обращений имеет место при работе в режиме захвата, либо при явном задании высшего приоритета для данного ядра. При работе в режиме ограничения, максимальная длина пакета определяется значением ограничителя.

Локальный арбитр может работать в режиме *захвата* (режим по умолчанию). В этом режиме, ядро, получившее разрешение для обращений к определенному сегменту памяти, получает высший приоритет, и сохраняет его до тех пор, пока есть обращения к данному сегменту памяти. Как только обращения от текущего ядра прекращаются, право на захват циклически передается следующему ядру.

Так же предусмотрен режим *ограничения*. В этом режиме включаются счетчики обращений для каждого ядра. Если значение счетчика обращений от ядра, обладающего высшим приоритетом, превышает заданный лимит, то высший приоритет автоматически передается следующему ядру, осуществляющему обращение к памяти. Если обращений со стороны других ядер нет – счетчик сбрасывается, и передачи приоритета не происходит.

В *статическом* режиме приоритет ядер задается явно.

Регистры управления локальными арбитрами располагаются в каждом из DSP ядер и задают режим работы соответствующего локального арбитра.

Назначение разрядов регистра ARBR приведено в Таблица 4.20.

Таблица 4.20. Назначение разрядов регистра ARBR

Номер разряда	Наименование разряда	Назначение
0	HEN	Включение режима определения высокой плотности потоков
1	DEN	разрешение установки явного приоритета (статический режим)
2	LEN	бит разрешения ограничителя
3	-	резерв
4-5	DPTR	номер ядра, обладающего наивысшим приоритетом
6-7	-	резерв
8-13	Limit	максимальное значение счетчика обращений
14-15	-	резерв

HEN – Включение режима определения высокой плотности потоков. Используется в режиме захвата (LEN = 0). Если HEN = 1, то включаются счетчики, определяющие плотность обращений ядер к данному сегменту. Если плотность обращений хотя бы от одного ядра больше 75% – то при значениях HEN = 1 и LEN = 0 передача приоритета происходит каждый такт.

DEN – разрешение установки явного приоритета (статический режим). Если данный бит установлен в 1, то при возникновении конфликта приоритет отдается обращению от ядра, номер которого определяется битами DPTR.

DPTR – определяет номер ядра, обладающего наивысшим приоритетом при обращении к сегменту памяти данного DSP. DPTR = 0 задает высший приоритет для данного ядра, 1 – высший приоритет для соседа с меньшим номером, далее циклически в сторону уменьшения номера ядра.

LEN – бит разрешения ограничителя. Если данный бит установлен в 1, арбитр работает в режиме ограничения, если бит установлен в 0 арбитр работает в режиме захвата.

Limit – задает максимальное значение счетчика обращений, в режиме ограничения. В этом режиме предусмотрена автоматическая смена приоритета.

4.11.19.2 Механизм передачи приоритета

Передача приоритета осуществляется циклически, между ядрами, осуществляющими обращение к памяти. Механизм передачи приоритета срабатывает в следующих случаях:

- ядро, обладавшее высшим приоритетом, не обращается к текущему сегменту памяти;
- в режиме захвата при $LEN = 0$ и $HEN = 1$ плотность обращений хотя бы от одного ядра больше 75%;
- в режиме ограничения $LEN = 1$, если значение счетчика обращений от ядра с высшим приоритетом достигло значения $Limit$.

В статическом режиме передачи приоритета не осуществляется.

Начальное состояние регистра $ARBR = 0x0F01$.

4.11.20 Регистр спецфункций (SFR)

Регистр спецфункций SFR (32 разряда, запись/чтение) предназначен для реализации специальных вычислительных функций. Назначение разрядов регистра SFR определяется реализуемой функцией.

Начальное состояние регистра $SFR = 0$.

4.11.21 Отладочные регистры

В ELcore-30M вводятся специализированные отладочные регистры и изменяется назначение связанных с отладкой бит в регистре управления DCSR. Состав и адреса специализированных отладочных регистров приведены в Таблица 4.21. Указанные регистры предназначены только для поддержки режима отладки. Их мнемонические имена не поддерживаются ассемблером DSP-ядра ELcore-30M. С введением данных регистров существующие регистры DCSR, SAR, CNTR, SAR1-SAR7 освобождаются от отладочных функций и могут использоваться только самой прикладной программой.

Регистры стадий программного счетчика dbPCx доступны только по чтению.

Таблица 4.21. Специализированные отладочные регистры ELcore-30M

Условное обозначение	Разрядность	Наименование	Адрес регистра (DSP0)	Адрес регистра (DSP1)
dbDCSR	16 R/W	Регистр управления в режиме отладки	0x1848_0500	0x1888_0500
Cnt_RUN	32 R	Счетчик тактов	0x1848_0518	0x1888_0518
dbPCe	16 R	Программный счетчик, стадия a	0x1848_0520	0x1888_0520
dbPCa	16 R	Программный счетчик, стадия f	0x1848_0524	0x1888_0524
dbPCf	16 R	Программный счетчик, стадия d	0x1848_0528	0x1888_0528
dbPCd	16 R	Программный счетчик, стадия e	0x1848_052C	0x1888_052C
dbPCe1	16 R	Программный счетчик, стадия e1	0x1848_0530	0x1888_0530
dbPCe2	16 R	Программный счетчик, стадия e2	0x1848_0534	0x1888_0534
dbPCe3	16 R	Программный счетчик, стадия e3	0x1848_0538	0x1888_0538
dbSAR	16 R/W	Регистр адреса останова 0 в режиме отладки	0x1848_053C	0x1888_053C
dbCNTR	16 R/W	Счетчик исполненных команд в режиме отладки	0x1848_0540	0x1888_0540
dbSAR1	16 R/W	Регистр адреса останова 1 в режиме отладки	0x1848_0544	0x1888_0544
dbSAR2	16 R/W	Регистр адреса останова 2 в режиме отладки	0x1848_0548	0x1888_0548
dbSAR3	16 R/W	Регистр адреса останова 3 в режиме отладки	0x1848_054C	0x1888_054C
dbSAR4	16 R/W	Регистр адреса останова 4 в режиме отладки	0x1848_0550	0x1888_0550
dbSAR5	16 R/W	Регистр адреса останова 5 в режиме отладки	0x1848_0554	0x1888_0554
dbSAR6	16 R/W	Регистр адреса останова 6 в режиме отладки	0x1848_0558	0x1888_0558
dbSAR7	16 R/W	Регистр адреса останова 7 в режиме отладки	0x1848_055C	0x1888_055C

4.11.22 Регистр dbDCSR

Назначение разрядов регистра dbDCSR указано в Таблица 4.22.

Таблица 4.22. Назначение разрядов регистра dbDCSR

Разряды регистра	Идентификатор	Назначение
0-1	-	не используется
2	dbBRK	флаг останов исполнения программы в режиме отладки
5-13	-	не используется
14	dbRUN	состояние исполнения программы в режиме отладки
15	-	не используется

Начальное состояние dbDCSR = 0x0000.

Назначение бита dbRUN регистра dbDCSR в режиме отладки аналогично назначению бита DBG регистра DCSR в предыдущих модификациях DSP-ядер Elcore-xx.

Наличие этого бита позволяет производить автономную отладку DSP-ядра при остановленном контроллере (в том числе CPU). Установка бита dbRUN в «1» переводит DSP-ядро в состояние исполнения программы в режиме отладки, установка в «0» - в состояние останова. Бит dbRUN автоматически сбрасывается по останову dbBRK.

Флаг dbBRK (флаг останова исполнения программы в режиме отладки) устанавливается в «1» в случае останова DSP по одной из следующих причин:

- 1) по достижении адреса останова, содержащегося в одном из отладочных регистров dbSAR, dbSAR1-dbSAR7;
- 2) по завершении требуемого числа шагов, содержащегося в отладочном регистре dbCNTR.

Примечание. В случае останова по достижении адреса, содержащегося в одном из штатных регистров SAR, SAR1-SAR7 либо по завершении требуемого числа шагов, содержащегося в штатном регистре CNTR, флаг dbBRK в «1» не устанавливается.

4.11.23 Регистры dbSAR, dbSAR1-dbSAR7

Назначение регистров dbSAR, dbSAR1-dbSAR7 в режиме отладки аналогично назначению штатных регистров SAR, SAR1-SAR7 в режиме штатного исполнения программы.

Регистры dbSAR, dbSAR1-dbSAR7 определяют точки останова в режиме отладки. Перед исполнением инструкции с указанным адресом DSP-ядро переходит в состояние останова (dbRUN=0) и флаг dbBRK устанавливается в «1».

Начальное состояние dbSAR, dbSAR1-dbSAR7 равно 0xFFFF.

4.11.24 Регистр dbCNTR

Регистр dbCNTR задает пошаговый режим исполнения программ в режиме отладки аналогично тому, как регистр CNTR делает это в режиме штатного исполнения.

Начальное состояние dbCNTR = 0x0.

4.11.25 Регистр Cnt_RUN

Регистр Cnt_RUN представляет собой счетчик тактов, затраченных на исполнение программы начиная с момента последнего запуска DSP. Доступен только по чтению.

Начальное состояние Cnt_RUN = 0x0.

4.12 Программный конвейер DSP-ядра ELcore-30M

Программный конвейер DSP-ядра ELcore-30M содержит 7 фаз, содержание которых отличается для различных типов команд.

1) Исполнение вычислительных команд

1 фаза (A)	2 фаза (F)	3 фаза (D)	4 фаза (E)	5 фаза (E1)	6 фаза (E2)	7 фаза (E3)
Выдача адреса на PRAM	Чтение инструкции из PRAM	Декодирование инструкции	Формирование блокировок	Выборка данных из RF	Исполнение инструкции (1 фаза)	Исполнение инструкции (2 фаза)

2) Исполнение команд MOVE XRAM, YRAM -> RF

1 фаза (A)	2 фаза (F)	3 фаза (D)	4 фаза (E)	5 фаза (E1)	6 фаза (E2)	7 фаза (E3)
Выдача адреса на PRAM	Чтение инструкции из PRAM	Декодирование инструкции	Модификация адреса XRAM	Выдача адреса на XRAM	Чтение данных из XRAM	Запись данных в RF

3) Исполнение команд MOVE RF -> XRAM

1 фаза (A)	2 фаза (F)	3 фаза (D)	4 фаза (E)	5 фаза (E1)	6 фаза (E2)	7 фаза (E3)
Выдача адреса на PRAM	Чтение инструкции из PRAM	Декодирование инструкции	Модификация адреса XRAM	Запись данных в XRAM	-	-

4) Исполнение команд MOVE RF, RC, #16/32 -> RF

1 фаза (A)	2 фаза (F)	3 фаза (D)	4 фаза (E)	5 фаза (E1)	6 фаза (E2)	7 фаза (E3)
Выдача адреса на PRAM	Чтение инструкции из PRAM	Декодирование инструкции	Формирование блокировок	Выборка данных из RC	Запись данных в RF	-

5) Исполнение команд MOVE RF, #16/32 -> RC(кр.CCR,PDNR,AC)

1 фаза (A)	2 фаза (F)	3 фаза (D)	4 фаза (E)	5 фаза (E1)	6 фаза (E2)	7 фаза (E3)
Выдача адреса на PRAM	Чтение инструкции из PRAM	Декодирование инструкции	Выборка данных из RF	Запись данных в RC	-	-

Таким, образом, при выполнении различных операций фазы конвейера DSP-ядра ELcore-30M имеют следующее содержание:

а) при выполнении вычислительной операции:

- 1 фаза (A): Формирование адреса памяти программ.
- 2 фаза (F): Выборка инструкции из программной памяти.
- 3 фаза (D): Декодирование инструкции.
- 4 фаза (E): Формирование блокировок конвейера.
- 5 фаза (E1): Чтение данных из RF.
- 6 фаза (E2): Исполнение инструкции.
- 7 фаза (E3): Исполнение инструкции, запись данных в RF.

б) при чтении из памяти данных:

- 1 фаза (A): Формирование адреса памяти программ.
- 2 фаза (F): Выборка инструкции из программной памяти.
- 3 фаза (D): Декодирование инструкции.
- 4 фаза (E): Формирование адреса памяти данных.
- 5 фаза (E1): Выдача адреса на память данных.
- 6 фаза (E2): Чтение из памяти данных в буферный регистр.
- 7 фаза (E3): Запись данных в RF.

в) при записи в память данных:

- 1 фаза (A): Формирование адреса памяти программ.
- 2 фаза (F): Выборка инструкции из программной памяти.
- 3 фаза (D): Декодирование инструкции.
- 4 фаза (E): Формирование адреса памяти данных.
- 5 фаза (E1): Выдача адреса на память данных и запись в память данных.

г) при записи в регистр RF:

- 1 фаза (A): Формирование адреса памяти программ.
- 2 фаза (F): Выборка инструкции из программной памяти.
- 3 фаза (D): Декодирование инструкции.
- 4 фаза (E): Формирование блокировок конвейера.
- 5 фаза (E1): Чтение данных из RF или регистра управления.
- 6 фаза (E2): Запись в RF.

д) при записи в регистр управления:

- 1 фаза (A): Формирование адреса памяти программ.
- 2 фаза (F): Выборка инструкции из программной памяти.
- 3 фаза (D): Декодирование инструкции.
- 4 фаза (E): Чтение данных из RF.
- 5 фаза (E1): Запись в регистр управления.

Примечание. При записи/чтении памяти данных арбитром могут вводиться дополнительные такты ожидания.

4.13 Перечень адресуемых регистров DSP-кластера

Перечень адресуемых регистров DSP-кластера в составе микросхемы 1892BM15Ф приведен в Таблица 4.23.

Таблица 4.23. Перечень адресуемых регистров DSP-кластера в составе микросхемы 1892BM15Ф

(i=0,1 – номер DSP; BASE(0)=0x1848_0000; BASE(1)=0x1888_0000)

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
Общие регистры управления и состояния			
MASKR_DSP	32 R/W	Регистр маски прерываний	0x1848_1000
QSTR_DSP	32 R	Регистр запросов прерываний	0x1848_1004
CSR_DSP	32 R/W	Регистр управления и состояния	0x1848_1008
TOTAL_RUN_CNTR	32 R/W	Счетчик тактов в состоянии RUN	0x1848_100C
TOTAL_CLK_CNTR	32 R/W	Счетчик тактов	0x1848_1010
QSTR_HEM_D SP	32 R	Регистр запросов прерываний от контроллеров хемминга	0x1848_1014
Регистры буфера обмена XBUF			
X0[31:0]	32 R/W	Регистр обмена X0	0x187F_FF00
X0[63:32]	32 R/W	Регистр обмена X0	0x187F_FF04
X1[31:0]	32 R/W	Регистр обмена X1	0x187F_FF08
X1[63:32]	32 R/W	Регистр обмена X1	0x187F_FF0C
X2[31:0]	32 R/W	Регистр обмена X2	0x187F_FF10
X2[63:32]	32 R/W	Регистр обмена X2	0x187F_FF14
X3[31:0]	32 R/W	Регистр обмена X3	0x187F_FF18
X3[63:32]	32 R/W	Регистр обмена X3	0x187F_FF1C
X4[31:0]	32 R/W	Регистр обмена X4	0x187F_FF20
X4[63:32]	32 R/W	Регистр обмена X4	0x187F_FF24
X5[31:0]	32 R/W	Регистр обмена X5	0x187F_FF28
X5[63:32]	32 R/W	Регистр обмена X5	0x187F_FF2C
X6[31:0]	32 R/W	Регистр обмена X6	0x187F_FF30
X6[63:32]	32 R/W	Регистр обмена X6	0x187F_FF34
X7[31:0]	32 R/W	Регистр обмена X7	0x187F_FF38
X7[63:32]	32 R/W	Регистр обмена X7	0x187F_FF3C
X8[31:0]	32 R/W	Регистр обмена X8	0x187F_FF40
X8[63:32]	32 R/W	Регистр обмена X8	0x187F_FF44
X9[31:0]	32 R/W	Регистр обмена X9	0x187F_FF48
X9[63:32]	32 R/W	Регистр обмена X9	0x187F_FF4C
X10[31:0]	32 R/W	Регистр обмена X10	0x187F_FF50
X10[63:32]	32 R/W	Регистр обмена X10	0x187F_FF54
X11[31:0]	32 R/W	Регистр обмена X11	0x187F_FF58
X11[63:32]	32 R/W	Регистр обмена X11	0x187F_FF5C
X12[31:0]	32 R/W	Регистр обмена X12	0x187F_FF60
X12[63:32]	32 R/W	Регистр обмена X12	0x187F_FF64
X13[31:0]	32 R/W	Регистр обмена X13	0x187F_FF68
X13[63:32]	32 R/W	Регистр обмена X13	0x187F_FF6C
X14[31:0]	32 R/W	Регистр обмена X14	0x187F_FF70
X14[63:32]	32 R/W	Регистр обмена X14	0x187F_FF74
X15[31:0]	32 R/W	Регистр обмена X15	0x187F_FF78

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
X15[63:32]	32 R/W	Регистр обмена X15	0x187F_FF7C
X16[31:0]	32 R/W	Регистр обмена X16	0x187F_FF80
X16[63:32]	32 R/W	Регистр обмена X16	0x187F_FF84
X17[31:0]	32 R/W	Регистр обмена X17	0x187F_FF88
X17[63:32]	32 R/W	Регистр обмена X17	0x187F_FF8C
X18[31:0]	32 R/W	Регистр обмена X18	0x187F_FF90
X18[63:32]	32 R/W	Регистр обмена X18	0x187F_FF94
X19[31:0]	32 R/W	Регистр обмена X19	0x187F_FF98
X19[63:32]	32 R/W	Регистр обмена X19	0x187F_FF9C
X20[31:0]	32 R/W	Регистр обмена X20	0x187F_FFA0
X20[63:32]	32 R/W	Регистр обмена X20	0x187F_FFA4
X21[31:0]	32 R/W	Регистр обмена X21	0x187F_FFA8
X21[63:32]	32 R/W	Регистр обмена X21	0x187F_FFAC
X22[31:0]	32 R/W	Регистр обмена X22	0x187F_FFBC
X22[63:32]	32 R/W	Регистр обмена X22	0x187F_FFBD
X23[31:0]	32 R/W	Регистр обмена X23	0x187F_FFBE
X23[63:32]	32 R/W	Регистр обмена X23	0x187F_FFBC
X24[31:0]	32 R/W	Регистр обмена X24	0x187F_FFC0
X24[63:32]	32 R/W	Регистр обмена X24	0x187F_FFC4
X25[31:0]	32 R/W	Регистр обмена X25	0x187F_FFC8
X25[63:32]	32 R/W	Регистр обмена X25	0x187F_FFCC
X26[31:0]	32 R/W	Регистр обмена X26	0x187F_FFD0
X26[63:32]	32 R/W	Регистр обмена X26	0x187F_FFD4
X27[31:0]	32 R/W	Регистр обмена X27	0x187F_FFD8
X27[63:32]	32 R/W	Регистр обмена X27	0x187F_FFDC
X28[31:0]	32 R/W	Регистр обмена X28	0x187F_FFE0
X28[63:32]	32 R/W	Регистр обмена X28	0x187F_FFE4
X29[31:0]	32 R/W	Регистр обмена X29	0x187F_FFE8
X29[63:32]	32 R/W	Регистр обмена X29	0x187F_FFEC
X30[31:0]	32 R/W	Регистр обмена X30	0x187F_FFF0
X30[63:32]	32 R/W	Регистр обмена X30	0x187F_FFF4
X31[31:0]	32 R/W	Регистр обмена X31	0x187F_FFF8
X31[63:32]	32 R/W	Регистр обмена X31	0x187F_FFFC
PCU			
DCSR	16 R/W	Регистр режима работы	BASE(i)+0x0100
SR	16 R/W	Регистр состояния	BASE(i)+0x0104
IDR	16 R	Регистр-идентификатор	BASE(i)+0x0108
EFR	32 R	Регистр флагов обмена	BASE(i)+0x010C
DSTART	32 W	Регистр запуска DMA со стороны DSP и запросов на прерывания других DSP	BASE(i)+0x010C
IRQR	32 R/W	Регистр запросов на прерывание DSP	BASE(i)+0x0110
IMASKR	32 R/W	Регистр маски запросов на прерывания DSP	BASE(i)+0x0114
TMR	32 R/W	Регистр таймера DSP	BASE(i)+0x0118
ARBR	16 R/W	Регистр управления арбитром памяти DSP	BASE(i)+0x011C
PC	16 R/W	Программный счетчик	BASE(i)+0x0120
SS	16 R/W	Стек программного счетчика	BASE(i)+0x0124
LA	16 R/W	Регистр адреса цикла	BASE(i)+0x0128
CSL	16 R/W	Стек адреса цикла	BASE(i)+0x012C
LC	16 R/W	Счетчик циклов	BASE(i)+0x0130
CSH	16 R/W	Стек счетчика циклов	BASE(i)+0x0134
SP	16 R/W	Регистр указателя стека	BASE(i)+0x0138

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
SAR	16 R/W	Регистр адреса останова	BASE(i)+0x013C
CNTR	16 R/W	Счетчик исполненных команд	BASE(i)+0x0140
SAR1	16 R/W	Регистр адреса останова	BASE(i)+0x0144
SAR2	16 R/W	Регистр адреса останова	BASE(i)+0x0148
SAR3	16 R/W	Регистр адреса останова	BASE(i)+0x014C
SAR4	16 R/W	Регистр адреса останова	BASE(i)+0x0150
SAR5	16 R/W	Регистр адреса останова	BASE(i)+0x0154
SAR6	16 R/W	Регистр адреса останова	BASE(i)+0x0158
SAR7	16 R/W	Регистр адреса останова	BASE(i)+0x015C
Регистры состояния ALU			
CCR	16 R/W	Регистр кодов условий	BASE(i)+0x0160
PDNR	16 R/W	Регистр параметра денормализации	BASE(i)+0x0164
SFR	32 R/W	Регистр специальных функций	BASE(i)+0x0168
QMASKR0	32 R/W	Регистр маски запросов на прерывание со стороны CPU (QSTR0)	BASE(i)+0x0170
QMASKR1	32 R/W	Регистр маски запросов на прерывание со стороны CPU (QSTR1)	BASE(i)+0x0174
QMASKR2	32 R/W	Регистр маски запросов на прерывание со стороны CPU (QSTR2)	BASE(i)+0x0178
QMASKR3	32 R/W	Регистр маски запросов на прерывание со стороны CPU (QSTR3)	BASE(i)+0x017C
AGU, AGU-Y			
A0	32 R/W	Регистр адреса A0	BASE(i)+0x0080
A1	32 R/W	Регистр адреса A1	BASE(i)+0x0084
A2	32 R/W	Регистр адреса A2	BASE(i)+0x0088
A3	32 R/W	Регистр адреса A3	BASE(i)+0x008C
A4	32 R/W	Регистр адреса A4	BASE(i)+0x0090
A5	32 R/W	Регистр адреса A5	BASE(i)+0x0094
A6	32 R/W	Регистр адреса A6	BASE(i)+0x0098
A7	32 R/W	Регистр адреса A7	BASE(i)+0x009C
I0	32 R/W	Регистр индекса I0	BASE(i)+0x00A0
I1	32 R/W	Регистр индекса I1	BASE(i)+0x00A4
I2	32 R/W	Регистр индекса I2	BASE(i)+0x00A8
I3	32 R/W	Регистр индекса I3	BASE(i)+0x00AC
I4	32 R/W	Регистр индекса I4	BASE(i)+0x00B0
I5	32 R/W	Регистр индекса I5	BASE(i)+0x00B4
I6	32 R/W	Регистр индекса I6	BASE(i)+0x00B8
I7	32 R/W	Регистр индекса I7	BASE(i)+0x00BC
M0	32 R/W	Регистр модификатора M0	BASE(i)+0x00C0
M1	32 R/W	Регистр модификатора M1	BASE(i)+0x00C4
M2	32 R/W	Регистр модификатора M2	BASE(i)+0x00C8
M3	32 R/W	Регистр модификатора M3	BASE(i)+0x00CC
M4	32 R/W	Регистр модификатора M4	BASE(i)+0x00D0
M5	32 R/W	Регистр модификатора M5	BASE(i)+0x00D4
M6	32 R/W	Регистр модификатора M6	BASE(i)+0x00D8
M7	32 R/W	Регистр модификатора M7	BASE(i)+0x00DC
AT	32 R/W	Регистр адреса AT	BASE(i)+0x00E0
IT	16 R/W	Регистр индекса IT	BASE(i)+0x00E4
MT	16 R/W	Регистр модификатора MT	BASE(i)+0x00E8
DT	16 R/W	Регистр модификатора DT	BASE(i)+0x00EC
IVAR	16 R/W	Регистр адреса вектора прерывания	BASE(i)+0x00FC

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
Регистры данных RF			
R0.L	32 R/W	Регистр данных	BASE(i)+0x0000
R2.L	32 R/W	Регистр данных	BASE(i)+0x0004
R4.L	32 R/W	Регистр данных	BASE(i)+0x0008
R6.L	32 R/W	Регистр данных	BASE(i)+0x000C
R8.L	32 R/W	Регистр данных	BASE(i)+0x0010
R10.L	32 R/W	Регистр данных	BASE(i)+0x0014
R12.L	32 R/W	Регистр данных	BASE(i)+0x0018
R14.L	32 R/W	Регистр данных	BASE(i)+0x001C
R16.L	32 R/W	Регистр данных	BASE(i)+0x0020
R18.L	32 R/W	Регистр данных	BASE(i)+0x0024
R20.L	32 R/W	Регистр данных	BASE(i)+0x0028
R22.L	32 R/W	Регистр данных	BASE(i)+0x002C
R24.L	32 R/W	Регистр данных	BASE(i)+0x0030
R26.L	32 R/W	Регистр данных	BASE(i)+0x0034
R28.L	32 R/W	Регистр данных	BASE(i)+0x0038
R30.L	32 R/W	Регистр данных	BASE(i)+0x003C
R1.L	32 R/W	Регистр данных	BASE(i)+0x0040
R3.L	32 R/W	Регистр данных	BASE(i)+0x0044
R5.L	32 R/W	Регистр данных	BASE(i)+0x0048
R7.L	32 R/W	Регистр данных	BASE(i)+0x004C
R9.L	32 R/W	Регистр данных	BASE(i)+0x0050
R11.L	32 R/W	Регистр данных	BASE(i)+0x0054
R13.L	32 R/W	Регистр данных	BASE(i)+0x0058
R15.L	32 R/W	Регистр данных	BASE(i)+0x005C
R17.L	32 R/W	Регистр данных	BASE(i)+0x0060
R19.L	32 R/W	Регистр данных	BASE(i)+0x0064
R21.L	32 R/W	Регистр данных	BASE(i)+0x0068
R23.L	32 R/W	Регистр данных	BASE(i)+0x006C
R25.L	32 R/W	Регистр данных	BASE(i)+0x0070
R27.L	32 R/W	Регистр данных	BASE(i)+0x0074
R29.L	32 R/W	Регистр данных	BASE(i)+0x0078
R31.L	32 R/W	Регистр данных	BASE(i)+0x007C
R1.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x0180
R1.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x0184
R3.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x0188
R3.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x018C
R5.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x0190
R5.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x0194
R7.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x0198
R7.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x019C
R9.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01A0
R9.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01A4
R11.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01A8
R11.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01AC
R13.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01B0
R13.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01B4
R15.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01B8
R15.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01BC
R17.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01C0
R17.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01C4

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
R19.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01C8
R19.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01CC
R21.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01D0
R21.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01D4
R23.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01D8
R23.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01DC
R25.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01E0
R25.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01E4
R27.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01E8
R27.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01EC
R29.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01F0
R29.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01F4
R31.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01F8
R31.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01FC
Регистры-аккумуляторы			
AC0	32 R/W	Регистр-аккумулятор AC0	BASE(i)+0x0200
AC1	32 R/W	Регистр-аккумулятор AC1	BASE(i)+0x0204
AC2	32 R/W	Регистр-аккумулятор AC2	BASE(i)+0x0208
AC3	32 R/W	Регистр-аккумулятор AC3	BASE(i)+0x020C
AC4	32 R/W	Регистр-аккумулятор AC4	BASE(i)+0x0210
AC5	32 R/W	Регистр-аккумулятор AC5	BASE(i)+0x0214
AC6	32 R/W	Регистр-аккумулятор AC6	BASE(i)+0x0218
AC7	32 R/W	Регистр-аккумулятор AC7	BASE(i)+0x021C
AC8	32 R/W	Регистр-аккумулятор AC8	BASE(i)+0x0220
AC9	32 R/W	Регистр-аккумулятор AC9	BASE(i)+0x0224
AC10	32 R/W	Регистр-аккумулятор AC10	BASE(i)+0x0228
AC11	32 R/W	Регистр-аккумулятор AC11	BASE(i)+0x022C
AC12	32 R/W	Регистр-аккумулятор AC12	BASE(i)+0x0230
AC13	32 R/W	Регистр-аккумулятор AC13	BASE(i)+0x0234
AC14	32 R/W	Регистр-аккумулятор AC14	BASE(i)+0x0238
AC15	32 R/W	Регистр-аккумулятор AC15	BASE(i)+0x023C
Отладочные регистры			
dbDCSR	16 R/W	Регистр управления в режиме отладки	BASE(i)+0x0500
Cnt_RUN	32 R	Счетчик тактов	BASE(i)+0x0518
dbPCa	16 R	Программный счетчик, стадия a	BASE(i)+0x0524
dbPCf	16 R	Программный счетчик, стадия f	BASE(i)+0x0528
dbPCd	16 R	Программный счетчик, стадия d	BASE(i)+0x052C
dbPCe	16 R	Программный счетчик, стадия e	BASE(i)+0x0520
dbPCe1	16 R	Программный счетчик, стадия e1	BASE(i)+0x0530
dbPCe2	16 R	Программный счетчик, стадия e2	BASE(i)+0x0534
dbPCe3	16 R	Программный счетчик, стадия e3	BASE(i)+0x0538
dbSAR	16 R/W	Регистр адреса останова 0 в режиме отладки	BASE(i)+0x053C
dbCNTR	16 R/W	Счетчик исполненных команд в режиме отладки	BASE(i)+0x0540
dbSAR1	16 R/W	Регистр адреса останова 1 в режиме отладки	BASE(i)+0x0544
dbSAR2	16 R/W	Регистр адреса останова 2 в режиме отладки	BASE(i)+0x0548
dbSAR3	16 R/W	Регистр адреса останова 3 в режиме отладки	BASE(i)+0x054C

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
dbSAR4	16 R/W	Регистр адреса останова 4 в режиме отладки	BASE(i)+0x0550
dbSAR5	16 R/W	Регистр адреса останова 5 в режиме отладки	BASE(i)+0x0554
dbSAR6	16 R/W	Регистр адреса останова 6 в режиме отладки	BASE(i)+0x0558
dbSAR7	16 R/W	Регистр адреса останова 7 в режиме отладки	BASE(i)+0x055C
Контроллеры Хэмминга			
CSR_He	32 R/W	Регистр управления контроллера He	0x1848_0300
FIFO_He	32 R	FIFO ошибочных адресов контроллера He	0x1848_0304
CSR_x0	32 R/W	Регистр управления контроллера Hx0	BASE(i)+0x0308
FIFO_x0	32 R	FIFO ошибочных адресов контроллера Hx0	BASE(i)+0x030C
CSR_y0	32 R/W	Регистр управления контроллера Hy0	BASE(i)+0x0310
FIFO_y0	32 R	FIFO ошибочных адресов контроллера Hy0	BASE(i)+0x0314
CSR_x1	32 R/W	Регистр управления контроллера Hx1	BASE(i)+0x0318
FIFO_x1	32 R	FIFO ошибочных адресов контроллера Hx1	BASE(i)+0x031C
CSR_y1	32 R/W	Регистр управления контроллера Hy1	BASE(i)+0x0320
FIFO_y1	32 R	FIFO ошибочных адресов контроллера Hy1	BASE(i)+0x0324
CSR_xy	32 R/W	Регистр общего управления контроллеров Hx0, Hy0, Hx1, Hy1	BASE(i)+0x0328
CSR_p0	32 R/W	Регистр управления контроллера Hp0	BASE(i)+0x032C
FIFO_p0	32 R	FIFO ошибочных адресов контроллера Hp0	BASE(i)+0x0330
CSR_p1	32 R/W	Регистр управления контроллера Hp1	BASE(i)+0x0334
FIFO_p1	32 R	FIFO ошибочных адресов контроллера Hp1	BASE(i)+0x0338

5. БЛОК АППАРАТНЫХ УСКОРИТЕЛЕЙ (АСС)

5.1 Состав и структурная схема

Структурная схема блока аппаратных ускорителей АСС изображена на Рисунок 5.1.

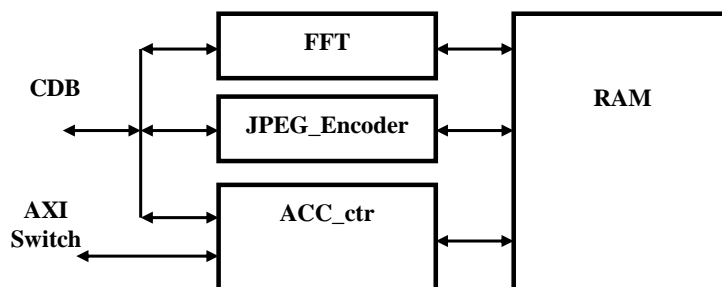


Рисунок 5.1. Структурная схема блока аппаратных ускорителей АСС

Блок аппаратных ускорителей содержит следующие основные узлы:

- FFT - ускоритель быстрого преобразования Фурье;
- JPEG_Encoder - ускоритель сжатия по стандарту JPEG;
- ACC_ctr - схему управления АСС;
- RAM - память.

Память блока аппаратных ускорителей АСС состоит из двух буферов BUFFER0 и BUFFER1 объемом 32 Кбайт каждый. Базовый адрес BUFFER0 - 0x18C1_0000, BUFFER1 - 0x18E1_0000. Каждый из этих буферов состоит из 4 64-разрядных банков.

Описание регистров блока аппаратных ускорителей

5.1.1 Регистры схемы управления АСС_ctr

5.1.1.1 Перечень регистров схемы управления АСС_ctr

Перечень регистров схемы управления приведен в Таблица 5.1.

Таблица 5.1. Перечень регистров схемы управления

Условное обозначение регистра	Название регистра	Исходное состояние
CONF0	Регистр конфигурации	0x0
IRQM	Регистр маски прерываний	0x0
IRQ	Регистр прерываний	0x0
HEM_M0	Регистр управления блока Хэмминга 0. Блок Хэмминга 0 отслеживает обращения со стороны АСС к первому 64-разрядному слову памяти BUFFER0	0x0
HEM_E0	Регистр FIFO адреса ошибки блока Хэмминга 0.	0x0
HEM_M1	Регистр управления блока Хэмминга 1. Блок Хэмминга 1 отслеживает обращения со стороны АСС к второму 64-разрядному слову памяти BUFFER0	0x0
HEM_E1	Регистр FIFO адреса ошибки блока Хэмминга 1.	0x0
HEM_M2	Регистр управления блока Хэмминга 2. Блок Хэмминга 2 отслеживает обращения со стороны АСС к третьему 64-разрядному слову памяти BUFFER0	0x0
HEM_E2	Регистр FIFO адреса ошибки блока Хэмминга 2.	0x0
HEM_M3	Регистр управления блока Хэмминга 3. Блок Хэмминга 3 отслеживает обращения со стороны АСС к четвертому 64-разрядному слову памяти BUFFER0	0x0
HEM_E3	Регистр FIFO адреса ошибки блока Хэмминга 3.	0x0
HEM_M4	Регистр управления блока Хэмминга 4. Блок Хэмминга 4 отслеживает обращения со стороны АСС к первому 64-разрядному слову памяти BUFFER1	0x0
HEM_E4	Регистр FIFO адреса ошибки блока Хэмминга 4.	0x0
HEM_M5	Регистр управления блока Хэмминга 5. Блок Хэмминга 5 отслеживает обращения со стороны АСС к второму 64-разрядному слову памяти BUFFER1	0x0
HEM_E5	Регистр FIFO адреса ошибки блока Хэмминга 5.	0x0
HEM_M6	Регистр управления блока Хэмминга 6. Блок Хэмминга 6 отслеживает обращения со стороны АСС к третьему 64-разрядному слову памяти BUFFER1	0x0
HEM_E6	Регистр FIFO адреса ошибки блока Хэмминга 6.	0x0
HEM_M7	Регистр управления блока Хэмминга 7. Блок Хэмминга 7 отслеживает обращения со стороны АСС к четвертому 64-разрядному слову памяти BUFFER1	0x0

Условное обозначение регистра	Название регистра	Исходное состояние
HEM_E7	Регистр FIFO адреса ошибки блока Хэмминга 7.	0x0
HEM_M8	Регистр управления блока Хэмминга 8. Блок Хэмминга 8 отслеживает обращения со стороны АСС и АХІ к первому 64-разрядному слову памяти BUFFER0	0x0
HEM_E8	Регистр FIFO адреса ошибки блока Хэмминга 8.	0x0
HEM_M9	Регистр управления блока Хэмминга 9. Блок Хэмминга 9 отслеживает обращения со стороны АСС и АХІ к второму 64-разрядному слову памяти BUFFER0	0x0
HEM_E9	Регистр FIFO адреса ошибки блока Хэмминга 9.	0x0
HEM_M10	Регистр управления блока Хэмминга 10. Блок Хэмминга 10 отслеживает обращения со стороны АСС и АХІ к третьему 64-разрядному слову памяти BUFFER0	0x0
HEM_E10	Регистр FIFO адреса ошибки блока Хэмминга 10.	0x0
HEM_M11	Регистр управления блока Хэмминга 11. Блок Хэмминга 11 отслеживает обращения со стороны АСС и АХІ к четвертому 64-разрядному слову памяти BUFFER0	0x0
HEM_E11	Регистр FIFO адреса ошибки блока Хэмминга 11.	0x0
HEM_M12	Регистр управления блока Хэмминга 12. Блок Хэмминга 12 отслеживает обращения со стороны АСС и АХІ к первому 64-разрядному слову памяти BUFFER1	0x0
HEM_E12	Регистр FIFO адреса ошибки блока Хэмминга 12.	0x0
HEM_M13	Регистр управления блока Хэмминга 13. Блок Хэмминга 13 отслеживает обращения со стороны АСС и АХІ к второму 64-разрядному слову памяти BUFFER1	0x0
HEM_E13	Регистр FIFO адреса ошибки блока Хэмминга 13.	0x0
HEM_M14	Регистр управления блока Хэмминга 14. Блок Хэмминга 14 отслеживает обращения со стороны АСС и АХІ к третьему 64-разрядному слову памяти BUFFER1	0x0
HEM_E14	Регистр FIFO адреса ошибки блока Хэмминга 14.	0x0
HEM_M15	Регистр управления блока Хэмминга 15. Блок Хэмминга 15 отслеживает обращения со стороны АСС и АХІ к четвертому 64-разрядному слову памяти BUFFER1	0x0
HEM_E15	Регистр FIFO адреса ошибки блока Хэмминга 15	0x0

5.1.1.2 Описание регистров схемы управления ACC_ctr

5.1.1.2.1 Формат регистра CONF0

Формат регистра CONF0 приведен в Таблица 5.2.

Таблица 5.2. Формат регистра CONF0

Номер разряда	Условное обозначение	Описание	Тип доступа
2:0	forin	Формат входных данных: 0 – 32 разряда, плавающая точка; 2 – 16 разряда, целые (дополнительный код)	W/R
4:3	forout	Формат выходных данных: 0 – 32 разряда, плавающая точка; 1 - 32 разряда, целые (дополнительный код)	W/R
31:5	-	Не используется	-

5.1.1.2.2 Формат регистра IRQ

Формат регистра IRQ приведен в Таблица 5.3.

Таблица 5.3. Формат регистра IRQ

Номер разряда	Условное обозначение	Описание	Тип доступа
0	hem_irq_0	Прерывание от блока Хэмминга 0	W1/R
1	hem_irq_1	Прерывание от блока Хэмминга 1	W1/R
2	hem_irq_2	Прерывание от блока Хэмминга 2	W1/R
3	hem_irq_3	Прерывание от блока Хэмминга 3	W1/R
4	hem_irq_4	Прерывание от блока Хэмминга 4	W1/R
5	hem_irq_5	Прерывание от блока Хэмминга 5	W1/R
6	hem_irq_6	Прерывание от блока Хэмминга 6	W1/R
7	hem_irq_7	Прерывание от блока Хэмминга 7	W1/R
8	hem_irq_8	Прерывание от блока Хэмминга 8	W1/R
9	hem_irq_9	Прерывание от блока Хэмминга 9	W1/R
10	hem_irq_10	Прерывание от блока Хэмминга 10	W1/R
11	hem_irq_11	Прерывание от блока Хэмминга 11	W1/R
12	hem_irq_12	Прерывание от блока Хэмминга 12	W1/R
13	hem_irq_13	Прерывание от блока Хэмминга 13	W1/R
14	hem_irq_14	Прерывание от блока Хэмминга 14	W1/R
15	hem_irq_15	Прерывание от блока Хэмминга 15	W1/R
16	fft_irq	Прерывание от ускорителя быстрого преобразования Фурье.	W1/R
17	jpg_irq	Прерывание от ускорителя сжатия по стандарту JPEG	W1/R
31:18	-	Не используется	-

Здесь тип доступа W1/R означает, что соответствующие разряды доступны по записи 1 (при этом содержимое разряда устанавливается в 0) и чтению.

5.1.1.2.3 Формат регистра IRQM

Формат регистра IRQM приведен в Таблица 5.4.

Таблица 5.4. Формат регистра IRQM

Номер разряда	Условное обозначение	Описание	Тип доступа
17:0	iqr_mask	Маска прерываний: 0 – нет запроса; 1 – есть запрос. Разряды маски соответствуют разрядам регистра IRQ	W/R
31:18	-	Не используется	-

5.1.1.2.4 Формат регистра равнения блоков Хэмминга NEM_M

Формат регистра NEM_M приведен в Таблица 5.5.

Таблица 5.5. Формат регистра NEM_M

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
1:0	MODE	Режим работы памяти: 00 - режим без коррекции ошибок. Обмен данными выполняется только с блоком данных памяти; 01 - режим с коррекцией ошибок. В обмене данными участвуют блок данных и блок контрольных разрядов; 10 - режим тестирования блока контрольных разрядов; 11 - резерв.	W/R	0
2	NEMPTY	Признак наличия данных в FIFO ошибочных адресов	R	0
7:3	-	Резерв	-	0
15:8	Cnt_DERR	Счетчик двойных ошибок. При значении 255 останавливается. Прерывание сбрасывается при обнулении Cnt_DERR.	W/R	0
23:16	Num_SERR	Число одиночных ошибок данных, при котором формируется прерывание.	W/R	FF
31:24	Cnt_SERR	Счетчик одиночных ошибок. При значении 255 останавливается. Прерывание сбрасывается при $Cnt_CERR \leq Num_CERR$.	W/R	0

5.1.1.2.5 Формат регистра FIFO адреса ошибок блоков Хэмминга НЕМ_Е

Формат регистра НЕМ_Е приведен в Таблица 5.6.

Таблица 5.6. Формат регистра НЕМ_Е

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	ADDR	Младшие 16 разрядов адреса памяти АСС, при чтении из которого обнаружена ошибка. Старшие разряды определяются номером блока Хэмминга (базовый адрес BUFFER0 или BUFFER1)	R	0
17:16	Code_ERRL	Код ошибки младшего 32-слова, при чтении 64-слова из памяти, если обнаружены ошибки в младшем слове: 0 – нет ошибки; 1 – одиночная ошибка; 2 - двойная ошибка; 3 – ошибка в контрольном разряде общей четности	R	0
19:18	Code_ERRH	Код ошибки старшего 32-слова, при чтении 64-слова из памяти, если обнаружены ошибки в старшем слове: 0 – нет ошибки; 1 – одиночная ошибка; 2 - двойная ошибка; 3 – ошибка в контрольном разряде общей четности	R	0

5.1.2 Регистры ускорителя FFT

5.1.2.1 Перечень регистров ускорителя FFT

Перечень регистров ускорителя FFT приведен в Таблица 5.7.

Таблица 5.7. Перечень регистров FFT

Условное обозначение регистра	Название регистра	Исходное состояние
CR	Регистр управления	0x0
SR	Регистр статуса	0x0
CONF0	Регистр конфигурации 0	0x0
CONF1	Регистр конфигурации 1	0x0
ADDRB	Регистр адреса входных данных массива 0	0x0
ADDRH	Регистр адреса входных данных массива 1	0x0
NORC	Регистр значения нормализации результата	0x0
IRQM	Регистр маски прерываний	0x0
IRQ	Регистр прерываний	0x0
ACC0	Регистр значения действительной части аккумулятора	0x0
ACC1	Регистр значения мнимой части аккумулятора	0x0

5.1.2.2 Описание регистров ускорителя FFT

5.1.2.2.1 Формат регистра CR

Формат регистра CR приведен в Таблица 5.8.

Таблица 5.8. Формат регистра CR

Номер разряда	Условное обозначение	Описание	Тип доступа
0	en	Включение блока (влияет на работу конверторов адреса в память)	W/R
1	clr	Программный сброс	W1
2	start	Запуск обработки	W1
3	acc_set	Захват значения аккумулятора частичных произведений при выполнении поэлементного перемножения (с сопряжением) двух комплексных массивов.	W1
4	acc_clr	Очистка значения аккумулятора	W1
31:5	-	Не используется	-

Здесь тип доступа W1 означает выполнение соответствующей операции при записи 1, но реально запись не производится. Из данного разряда считывается всегда 0.

5.1.2.2.2 Формат регистра SR

Формат регистра SR приведен в Таблица 5.9.

Таблица 5.9. Формат регистра SR

Номер разряда	Условное обозначение	Описание	Тип доступа
0	ready	Готовность ускорителя к работе	W/R
31:1	-	Не используется	-

5.1.2.2.3 Формат регистра CONF0

Формат регистра CONF0 приведен в Таблица 5.10.

Таблица 5.10. Формат регистра CONF0

Номер разряда	Условное обозначение	Описание	Тип доступа
3:0	ft_ln	Размер массива (2^{ft_ln})	W/R
7:4	ft_lm	Размер строки матричного преобразования (2^{ft_lm})	W/R
13	ft_inv	Включение режима инверсного преобразования FFT	W/R
14	ft_pow	Включения режима подсчета мощности	W/R
15	ft_nor	Включение нормализации результата	W/R
16	ft_mx	Включение режима матричного наращивания	W/R
24:17	ft_ncol	Номер столбца матричного преобразования	W/R
25	ft_mul	Включение режима умножения двух комплексных массивов	W/R
26	ft_conv	Включения режима свертки	W/R
27	ft_inh	Дополнительный массив с инверсной адресацией	W/R
28	ft_cmac	Включение режима накопления произведения двух массивов	W/R
31:29	-	Не используется	-

5.1.2.2.4 Формат регистра CONF1

Формат регистра CONF1 приведен в Таблица 5.11.

Таблица 5.11. Формат регистра CONF1

Номер разряда	Условное обозначение	Описание	Тип доступа
8:0	ft_array_num	Количество обрабатываемых массивов	W/R
31:9	-	Не используется	-

5.1.2.2.5 Формат регистра ADDRВ

Формат регистра ADDRВ приведен в Таблица 5.12.

Таблица 5.12. Формат регистра ADDRВ

Номер разряда	Условное обозначение	Описание	Тип доступа
31:0	ft_addr_b	Начальный адрес основных входных данных. Указывается в 256-разрядных словах	W/R

5.1.2.2.6 Формат регистра ADDRН

Формат регистра ADDRН приведен в Таблица 5.13.

Таблица 5.13. Формат регистра ADDRН

Номер разряда	Условное обозначение	Описание	Тип доступа
31:0	ft_addr_h	Начальный адрес дополнительных входных данных для преобразования Фурье или перемножения двух комплексных массивов (массив 0). Указывается в 256-разрядных словах	W/R

5.1.2.2.7 Формат регистра NORC

Формат регистра NORC приведен в Таблица 5.14.

Таблица 5.14. Формат регистра NORC

Номер разряда	Условное обозначение	Описание	Тип доступа
31:0	ft_norc	Значение нормализации результата операции преобразования Фурье или быстрой свертки	W/R

5.1.2.2.8 Формат регистра IRQM

Формат регистра IRQM приведен в Таблица 5.15.

Таблица 5.15. Формат регистра IRQM

Номер разряда	Условное обозначение	Описание	Тип доступа
0	iqr_mask	Маска прерывания по готовности FFT	W/R
31:1	-	Не используется	-

5.1.2.2.9 Формат регистра IRQ

Формат регистра IRQ приведен в Таблица 5.16.

Таблица 5.16. Формат регистра IRQ

Номер разряда	Условное обозначение	Описание	Тип доступа
0	iqr	Прерывание по завершению обработки данных блоком	W1/R
31:1	-	Не используется	-

5.1.2.2.10 Формат регистра ACC0

Формат регистра ACC0 приведен в Таблица 5.17.

Таблица 5.17. Формат регистра ACC0

Номер разряда	Условное обозначение	Описание	Тип доступа
31:0	Real	Значение действительной части аккумулятора	W/R

5.1.2.2.11 Формат регистра ACC1

Формат регистра ACC1 приведен в Таблица 5.18.

Таблица 5.18. Формат регистра ACC1

Номер разряда	Условное обозначение	Описание	Тип доступа
31:0	Imag	Значение мнимой части аккумулятора	W/R

5.1.3 Регистры ускорителя JPEG_Encoder

5.1.3.1 Перечень регистров ускорителя JPEG_Encoder

Перечень регистров ускорителя JPEG_Encoder приведен в Таблица 5.19.

Таблица 5.19. Перечень регистров ускорителя JPEG_Encoder

Условное обозначение регистра	Название регистра	Исходное состояние
CR	Регистр управления JPEG ускорителем	0x0
SR	Регистр состояния JPEG ускорителя	0x0
CONF0	Конфигурационный регистр 0	0x0
CONF1	Конфигурационный регистр 1	0x0
ADDRy	Регистр адреса данных Y компоненты в памяти ускорителя	0x0
ADDRcb	Регистр адрес Cb компоненты в памяти ускорителя	0x0
ADDRcr	Регистр адреса Cr компоненты в памяти ускорителя	0x0
ADDRo	Регистр адреса выходного массива данных в памяти ускорителя	0x0
COEFa	Регистр адреса коэффициентов квантования	0x0
COEFd	Регистр данных коэффициентов квантования	0x0
LEN	Регистр длины выходного массива (в битах)	0x0
IRQM	Регистр маски прерываний	0x0

5.1.3.2 Описание регистров ускорителя JPEG_Encoder

5.1.3.2.1 Формат регистра CR

Формат регистра CR приведен в Таблица 5.20.

Таблица 5.20. Формат регистра CR

Номер разряда	Условное обозначение	Описание	Тип доступа
0	en	Разрешение работы ускорителя	W/R
1	clr	Программный сброс	W1
2	start	Запуск работы ускорителя	W1
3	flush	Команда записи последнего слова в память. По этой команде осуществляется обнуление содержимого регистров CONF1, ADDRo, LEN	W1
4	reset_dc	Команда сброса накопления DC предсказания. Сброс предсказания осуществляется при начале обработки нового кадра или при необходимости вставки в битовый поток маркера RST	W1
31:5	-	Не используется	-

Здесь тип доступа W1 означает выполнение соответствующей операции при записи 1, но реально запись не производится. Из данного разряда считывается всегда 0.

5.1.3.2.2 Формат регистра SR

Формат регистра SR приведен в Таблица 5.21.

Таблица 5.21. Формат регистра SR

Номер разряда	Условное обозначение	Описание	Тип доступа
0	done	Готовность выходных данных	W/R
31:1	-	Не используется	-

5.1.3.2.3 Формат регистра CONF0

Формат регистра CONF0 приведен в Таблица 5.22.

Таблица 5.22. Формат регистра CONF0

Номер разряда	Условное обозначение	Описание	Тип доступа
9:0	mcu_count	Количество MCU (Minimum Coded Unit) в конфигурации MCU_CONF	W/R
21:10	mcu_conf	Конфигурация MCU	W/R
22	mode	Способ расположения входных данных в памяти ускорителя	W/R
31:23	-	Не используется	-

5.1.3.2.4 Формат регистра CONF1

Формат регистра CONF1 приведен в Таблица 5.23.

Таблица 5.23. Формат регистра CONF1

Номер разряда	Условное обозначение	Описание	Тип доступа
7:0	offset	Смещение записи выходного потока в накопитель устройства. (в битах, автоматически запоминается значение после окончания обработки задания)	W/R
14:8	offset_data	Последние 7 бит от предыдущего выходного потока для правильной склейки (автоматически запоминается после окончания обработки задания)	W/R
31:15	-	Не используется	-

5.1.3.2.5 Формат регистра ADDRy

Формат регистра ADDRy приведен в Таблица 5.24.

Таблица 5.24. Формат регистра ADDRy

Номер разряда	Условное обозначение	Описание	Тип доступа
11:0	addr_y0	Адрес компоненты Y0 в памяти ускорителя	W/R
27:16	addr_y1	Адрес компоненты Y1 в памяти ускорителя	W/R
31:15	-	Не используется	-

5.1.3.2.6 Формат регистра ADDRcb

Формат регистра ADDRcb приведен в Таблица 5.25.

Таблица 5.25. Формат регистра ADDRcb

Номер разряда	Условное обозначение	Описание	Тип доступа
11:0	addr_cb0	Адрес компоненты Cb0 в памяти ускорителя	W/R
27:16	addr_cb1	Адрес компоненты Cb1 в памяти ускорителя	W/R
31:28	-	Не используется	-

5.1.3.2.7 Формат регистра ADDRcr

Формат регистра ADDRcr приведен в Таблица 5.26.

Таблица 5.26. Формат регистра ADDRcr

Номер разряда	Условное обозначение	Описание	Тип доступа
11:0	addr_cr0	Адрес компоненты Cr0 в памяти ускорителя	W/R
27:16	addr_cr1	Адрес компоненты Cr1 в памяти ускорителя	W/R
31:28	-	Не используется	-

5.1.3.2.8 Формат регистра ADDR₀

Формат регистра ADDR₀ приведен в Таблица 5.27.

Таблица 5.27. Формат регистра ADDR₀

Номер разряда	Условное обозначение	Описание	Тип доступа
11:0	addro	Адрес выходного потока в памяти ускорителя (автоматически запоминается после окончания обработки задания)	W/R
31:12	-	Не используется	-

5.1.3.2.9 Формат регистра COEF_a

Формат регистра COEF_a приведен в Таблица 5.28.

Таблица 5.28. Формат регистра COEF_a

Номер разряда	Условное обозначение	Описание	Тип доступа
31:0	coefa	Адрес в память коэффициентов квантования (при записи в COEF _d значения коэффициента - значение COEF _a инкрементируется на единицу)	W/R

5.1.3.2.10 Формат регистра COEF_d

Формат регистра COEF_d приведен в Таблица 5.29.

Таблица 5.29. Формат регистра COEF_d

Номер разряда	Условное обозначение	Описание	Тип доступа
31:0	coefd	Значение записываемого коэффициента квантования (при записи - данные записываются по адресу COEF _a в память коэффициентов)	W/R

5.1.3.2.11 Формат регистра LEN

Формат регистра LEN приведен в Таблица 5.30.

Таблица 5.30. Формат регистра LEN

Номер разряда	Условное обозначение	Описание	Тип доступа
31:0	buffer_len	Длина выходного массива (в битах)	W/R

5.1.3.2.12 Формат регистра IRQM

Формат регистра IRQM приведен в Таблица 5.31.

Таблица 5.31. Формат регистра IRQM

Номер разряда	Условное обозначение	Описание	Тип доступа
0	iqr_mask	Маска прерывания по окончанию обработки задания	W/R
31:1	-	Не используется	-

5.1.3.2.13 Формат регистра IRQ

Формат регистра IRQ приведен в Таблица 5.32.

Таблица 5.32. Формат регистра IRQ

Номер разряда	Условное обозначение	Описание	Тип доступа
0	jpg_done	Прерывание по окончанию обработки задания	W1/R
31:1	-	Не используется	-

5.2 Ускоритель FFT

5.2.1 Назначение ускорителя FFT

Назначением ускорителя FFT является автономное, параллельное с работой DSP, выполнение быстрых преобразований Фурье (БПФ) комплексных массивов и некоторых сопутствующих операций. Области применения: радиолокация, гидроакустика, связь, телевизионное вещание, спутниковая ретрансляция, сжатие информации, обработка сигналов и изображений.

5.2.2 Функциональные возможности ускорителя FFT

Ускоритель FFT имеет следующие функциональные возможности:

1. Ввод/вывод выполняются в реальном времени, параллельно с обработкой.
2. Входные/выходные данные для пользователя располагаются в прямом порядке.
3. Для расчетов и хранения данных в прямом порядке дополнительная память не требуется.
4. Форматы действительных / мнимых компонент входных и выходных данных:
 - 32-разрядная плавающая точка (стандарт IEEE-754);
 - 32-разрядное целое число (дополнительный код);
 - 16-разрядное целое число (дополнительный код);
 - Формат вычислений: 32-разрядная плавающая точка.
5. Максимальный размер непосредственно выполняемого преобразования – 8192, минимальный – 16. Предельный размер наращиваемого преобразования – 256К.

5.2.3 Особенности реализации ускорителя FFT

Ускоритель FFT имеет следующие особенности реализации:

1. Форматы действительных / мнимых компонент входных и выходных данных:
 - 32-разрядная плавающая точка (стандарт IEEE-754);
 - 32-разрядная целое число (дополнительный код);
 - 16-разрядная целое число (дополнительный код).
 - Формат вычислений: 32-разрядная плавающая точка.

Формат входных данных задается 2-разрядным кодом в регистре CONF поле forin[2b] модуля АСС:

- 0 – плавающая точка;
- 2 - целый 16 – разрядный формат (дополнительный код).

Формат выходных данных задается – 2-разрядным кодом в регистре CONF поле forout[2b]:

- 0 – плавающая точка;
- 1 - целый 32 – разрядный формат (дополнительный код).

Преобразование формата производится только при загрузке данных во внутреннюю память и при выгрузке из нее.

2. Способ округления при вычислениях и при преобразовании форматов – к ближайшему числу, а при равноудаленности – к четному.

3. Максимальный размер непосредственно выполняемого преобразования – 8192, минимальный – 16.

4. Память ускорителя FFT.

Размер памяти ускорителя FFT – 8К x 64 разрядных слов.

Память может использоваться в 2 – буферном режиме, граница буферов соответствует середине памяти. 2 – буферный режим предназначен для непрерывного выполнения преобразований в реальном времени. Он позволяет внешним устройствам (CPU, DSP, DMA) параллельно с текущим преобразованием данных одного буфера работать с другим буфером памяти, например, выгрузить результаты предыдущего преобразования, загрузить данные для последующего преобразования. Максимальный размер преобразования в 2-х буферном режиме - 4096. Номер буфера с преобразуемым массивом задается старшим битом начального адреса массива.

Данные, подлежащие обработке, загружаются в ускоритель FFT в прямом порядке. Результаты обработки выгружаются также в прямом порядке. Действительным компонентам соответствуют нечетные адреса памяти, квадратурным (мнимым) – четные.

5. Тригонометрические коэффициенты.

Формируются во встроенных блоках. Обеспечивают как фазовые повороты выполняемого Фурье – преобразования, так и матричные фазовые повороты для матричного наращивания размера преобразования. Предельный размер наращиваемого преобразования – 256К.

6. Производительность.

За один такт выполняются максимально 40 арифметических операций с плавающей точкой (24 сложения / вычитания и 16 умножений). Например, при тактовой частоте 160 МГц производительность ускорителя FFT составит 6400 Мфлоп/с.

5.2.4 Основная операция ускорителя FFT

Прямое быстрое преобразование Фурье. Размер комплексного массива $N = 2^n$, $n = 4:12$.

Порядок следования отсчетов на входе и на выходе – прямой. Логарифмический размер преобразования задается в регистре CONF0 поле $LN[4b] = n$.

5.2.5 Сопутствующие операции ускорителя FFT

1. Обратное быстрое преобразование Фурье.

Параметры и режимы преобразования аналогичны прямому преобразованию.

Режим задается битом $FT_inv[1b]$ в регистре CONF0.

2. Нормировка результатов преобразования.

Мультипликативный коэффициент нормировки – константа в формате плавающей точки задается в регистре $nor[32b]$. Выполняется как при обратном, так и при прямом преобразовании.

Режим задается битом $FT_nor[1b]$ в регистре CONF0.

3. Фазовые матричные повороты результатов преобразования.

Предназначены для матричного наращивания размера преобразования до величины, превышающей 4096. Предельный размер наращиваемого преобразования – 256К.

Выполняется как при прямом, так и при обратном преобразовании. Преобразуемый массив может быть только один. Логарифмический размер строки матрицы наращивания задается в регистре CONF0 поле FT_LM[4b], текущий номер преобразуемого столбца – в регистре CONF0 поле FT_ncol[8b].

Режим задается битом FT_mx[1b] в регистре CONF0.

4. Расчет мощностей результатов преобразования.

На месте действительных компонент формируется сумма квадратов обеих компонент комплексных выходов, на месте мнимых размещаются нули.

Выполняется как при прямом, так и при обратном преобразовании.

Режим задается битом FT_row[1b] в регистре CONF0.

5. Одновременное преобразование $M = 2^m$ комплексных массивов.

Размер каждого из преобразуемых массивов равен $N = 2^n$, $N \cdot M \leq 4096$. Логарифмические размеры массивов и их логарифмическое число задаются параметрами FT_LN[4b] и FT_LM[4b], соответственно. Массивы размещаются последовательно, без разрывов.

Выполняются все сопутствующие операции, кроме матричного наращивания размера преобразования.

6. Поэлементное перемножение (с сопряжением) двух комплексных массивов.

Один из массивов, а также и результирующий массив, расположен на месте преобразуемого массива, другой (сопрягаемый) – по адресу внутренней памяти БПФ-сопроцессора. Его начало должно быть выровнено по 256-разрядным словам. Перемножаемые массивы должны располагаться в разных буферах внутренней памяти.

Логарифмический размер массивов задается параметром FT_LN[4b].

Режим задается битом FT_mul[1b] в регистре CONF0.

7. Быстрая БПФ – свертка (ковариация).

Последовательно, при одном запуске БПФ-сопроцессора выполняются три процедуры:

- прямое БПФ;

- перемножение результата преобразования на комплексный массив частотной характеристики (с сопряжением последнего);
- обратное БПФ.

Логарифмический размер массивов задается параметром FT_LN[4b]. Результат перемножения и выходной массивы располагаются на месте входного (преобразуемого) массива. Массив частотной характеристики располагается по адресу внутренней памяти БПФ-сопроцессора. Входной преобразуемый массив и массив частотной характеристики фильтра должны располагаться в разных буферах внутренней памяти БПФ-сопроцессора. Начало частотной характеристики должно быть выровнено по 256-разрядным словам. Входной преобразуемый массив может быть только один (M=1). Оба входных массива загружаются в прямом порядке, выходной выгружается также в прямом порядке.

Режим задается битом FT_conv[1b] в регистре CONF0.

8. Вычисление скалярного произведения комплексных массивов.

Выполняется поэлементное перемножение (с сопряжением) двух комплексных массивов, частичные произведения накапливаются в комплексном аккумуляторе FT_Асс_0[32b] и FT_Асс_1[32b].

Один из массивов расположен на месте преобразуемого массива, другой (сопрягаемый) – по адресу внутренней памяти БПФ-сопроцессора. Его начало должно быть выровнено по 256-разрядным словам. Перемножаемые массивы должны располагаться в разных буферах внутренней памяти.

Логарифмический размер массивов задается параметром FT_LN[4b].

Режим задается битом FT_смас[1b] в регистре CONF0.

5.2.6 Быстродействие ускорителя FFT

Время выполнения преобразования размера $N = 2^{2n}$: $(N / 4 + 16) * n$ тактов.

Время выполнения преобразования размера $N = 2^{2n+1}$: $(N / 4 + 16) * (n+1)$ тактов.

Время выполнения преобразований приведено в Таблица 5.33.

Таблица 5.33. Время выполнения преобразований

Размер преобразования (число отсчетов)	Время преобразования (такты)
65536	133120
4096	6240
2048	3168
1024	1360
512	720
256	320
128	192
64	96
32	72
16	40

Сопутствующие операции (обратное преобразование, нормировка, фазовые матричные повороты, расчет мощностей, умножение результатов преобразования на комплексный массив) выполняются одновременно с основным преобразованием, без дополнительных затрат времени.

Время поэлементного перемножения двух комплексных массивов размером 4096 элементов – 1032 такта.

Время вычисления БПФ – свертки комплексного массива размером 4096 элементов – 12480 тактов.

5.3 Ускоритель JPEG

5.3.1 Назначение кодера JPEG

Назначением ускорителя JPEG является выполнение сжатия изображения по стандарту JPEG.

5.3.2 Функциональные возможности ускорителя JPEG

Ускоритель JPEG имеет следующие функциональные возможности:

- Ввод/вывод выполняются в реальном времени, параллельно с обработкой;
- Осуществляется автоматическая склейка данных, полученных после кодирования Хаффмана, а также вставка технической информации (Byte Stuff);
- Настраиваемое расположение входных данных в памяти ускорителя;
- Настраиваемая конфигурация MCU;
- Настраиваемое качество сжатия с помощью задания коэффициентов квантования;
- Производительность ускорителя:
 - одна компонента (Y, Cb или Cr) с размером блока 8x8 пикселей обрабатывается за 26 тактов, то есть 2,46 пикселя за такт (64/26). При частоте 160 МГц производительность сжатия равна 393 Мпикселей/с (2,46*160 МГц);
 - при трех компонентах такого же размера формата YCbCr 4:4:4 производительность сжатия равна 131 Мпиксель/с (393/3) или 60 fps FullHD;
 - при трех компонентах такого же размера формата YCbCr 4:2:0 производительность сжатия равна 262 Мпиксель/с (393*2/3) или 130 fps FullHD.

5.3.3 Функциональное описание ускорителя JPEG

5.3.3.1 Состав ускорителя JPEG

Ускоритель кодирования изображения по стандарту JPEG состоит из следующих функциональных блоков:

- Модуль управления;
- Адресный генератор (доступ к памяти по чтению);
- Блок дискретного косинусного преобразования (DCT) и квантования (QNT);
- Блок кодирования данных переменным кодом Хаффмана;
- Выходной буфер (доступ к памяти по записи).

5.3.3.2 Адресный генератор

Адресный генератор предназначен для формирования запроса в память ускорителя на чтение входных данных блоков MCU в соответствии с заданным режимом и передачи их в блок дискретного косинусного преобразования (DCT) и квантования с его последующим запуском на обработку.

Входные данные находятся в памяти ускорителя в формате целого числа 12 бит со знаком в 16 битном слове. Возможно задание следующих параметров входных данных:

- Конфигурация MCU;
- Адреса расположения компонент изображения Y, Cb, Cr;
- Количество MCU;
- Режим расположения данных.

Конфигурация MCU представляет собой выбор формата изображения:

- YCbCr 4:4:4;
- YCbCr 4:4:2;
- YCbCr 4:2:2;
- YCbCr 4:2:0;
- Y.

Слайсы компоненты (Y0,Y1,Cb0,Cb1,Cr0,Cr1) помещаются в память ускорителя отдельно, адреса начала слайса для каждой компоненты записываются в регистры ускорителя (ADDRy, ADDRcb, ADDRcr). В блоке реализовано два типа адресации, которые задаются посредством переключения бита mode в регистр CONF0: последовательный и чересстрочный; Последовательный тип адресации предполагает что данные предела MCU располагаются в памяти ускорителя друг за другом с инкрементом адреса + 1. Чересстрочный режим работы адресного генератора предполагает, что данные каждая следующая строка в пределах MCU находится со смещением через строку, то есть с инкрементом адреса + msc_count*8.

Значения начальных адресов слайсов компонент, записанных в регистры ускорителя, фиксируются адресным генератором после подачи команды запуска ускорителя. Далее адресный генератор работает с зафиксированными значениями, то есть замена значений адреса в регистрах ускорителя во время его работы не вносит изменений в формирования адреса.

5.3.3.3 Блок дискретного косинусного преобразования (DCT) и квантования

Блок дискретного косинусного преобразования (DCT) и квантования предназначен для осуществления дискретного косинусного преобразования двумерного массива (8*8 элементов) и квантования полученных данных. Дискретное косинусное преобразование для двумерного массива $A(8:8)$ осуществляется в соответствии с формулой:

$$B_{pq} = \alpha_p \alpha_q \sum_{m=0}^7 \sum_{n=0}^7 A_{mn} \cos\left(\frac{\pi(2m+1)p}{16}\right) \cos\left(\frac{\pi(2n+1)q}{16}\right),$$

где:

$$\alpha_i = \frac{\sqrt{2}}{4} \quad \text{для } i = 0$$

$$\alpha_i = \frac{1}{2} \quad \text{для } 0 < i < 8$$

Результатом преобразования является двумерный массив $B(8:8)$. Вторая функция блока – квантование, состоит в том, что каждый элемент входного массива данных делится на соответствующий ему коэффициент, а результат округляется до целого числа. Дискретное косинусное преобразование и квантование используются для сжатия информации с потерями в областях мультимедиа, связанных с обработкой изображений, аудио- и видеоданных.

После преобразования блок дискретного косинусного преобразования (DCT) и квантования формирует сигнал запуска на обработку следующему блоку при готовности последнего.

Коэффициенты квантования загружаются центральным процессором в память DCT/QNT блока следующим образом:

- Запись значения адреса в регистр COEFa;
- Запись значения коэффициента в регистр COEFd (COEFa при этом инкрементируется, что дает возможность продолжить запись в регистр COEFd, если таблица заполняется последовательно).

5.3.3.4 Кодер HUFFMAN CODER

Кодер HUFFMAN CODER кодов переменной длины предназначен для кодирования блоков коэффициентов DCT (дискретного косинусного преобразования) в соответствии со стандартом JPEG.

Кодер HUFFMAN CODER имеет следующие основные характеристики:

- соответствует стандарту JPEG ISO/IEC 10918-1;
- обрабатывает за 1 такт 4 входных DCT коэффициента.

Блок реализует следующие функции:

- преобразование двумерного массива DCT коэффициентов $QF[v][u]$, где $v, u = 0...7$, в одномерный массив $QFS[n]$, где $n = 0...63$, в соответствии с алгоритмом «зиг-заг» сканирования;
- кодирование DCT коэффициентов $QFS[n]$ кодами переменной длины в соответствии с заданным режим кодирования;
- компоновка кодовых слов в выходной кодовый поток битов + вставка Byte Stuff.

После преобразования блок формирует сигнал записи результата в выходной буфер при готовности последнего.

Кодер HUFFMAN накапливает предсказание DC на протяжении всей обработки. Для сброса накопленного значения, необходимо перед запуском задания установить в 1 бит RESET_DC регистра CR. Сброс будет осуществлен до обработки первого MCU в задании.

5.3.3.5 Выходной буфер

Выходной буфер предназначен для накопления и склеивания результатов, полученных после кодирования Хаффмана каждого блока MCU, и последующая их запись в область памяти ускорителя для хранения результата кодирования.

После кодирования MCU кодами переменной длины Хаффмана результат может иметь разрядность от 10 бит до 2048. Все результаты превышающие верхнюю границу считаются ошибочными. Данные сформированного потока поступают в блок выходного буфера вместе со значением длины этого потока.

Блок кодирования Хаффмана формирует сигнал записи результата в выходной буфер, если буфер готов данные параллельно записываются в буфер размером 256 би на 8 слов.

Блок выходного буфера при наличии данных в буфере начинает их считывать в промежуточное слово разрядностью 512, где в начале этого слова располагается старое запомненное значение потока, а новые данные сдвигаются к концу этого потока по старому указателю сдвига. Если произошло переполнение 256 разрядного слова, то формируется сигнал записи в память и все биты которые перешли границу в 256 бит являются новым запомненным словом и сохраняются для последующей склейки. Если переполнения не произошло, то в новое запомненное слово сохраняется младшая часть промежуточного регистра.

По окончании задания ($MCU_count == 0$) значения адреса записи выходного потока, смещение в пределах 256 разрядного слова, сформированный поток не записанный в память (хвост), последний неполный байт для кодера Хаффмана, длина выходного потока сохраняются в регистрах ускорителя ($CONF1.offset$, $CONF1.offset_data$, $ADDRo$, LEN) для последующих запусков. Хвост, который остался после окончания работы, можно вытолкнуть в память путем подачи команды FLUSH в регистр CR. При запуске в выходном буфере сбрасывается только длина выходного потока, остальные параметры берутся из вышеперечисленных регистров.

6. ИНТЕРВАЛЬНЫЙ ТАЙМЕР

6.1 Назначение

Интервальный таймер (ИТ) предназначен для выработки периодических прерываний на основе деления тактовой частоты CPU либо внешней тактовой частоты – ХТИ или RTC_XTI. Основные характеристики таймера:

- Число разрядов делителя – 32;
- Число разрядов предделителя – 8;
- Программное управление стартом и остановкой таймера;
- Доступ ко всем регистрам обеспечивается в любой момент времени.

В 1892ВМ15Ф имеется два интервальных таймера ИТ0, ИТ1.

6.2 Структурная схема ИТ

Структурная схема ИТ представлена на Рисунке 6.1.

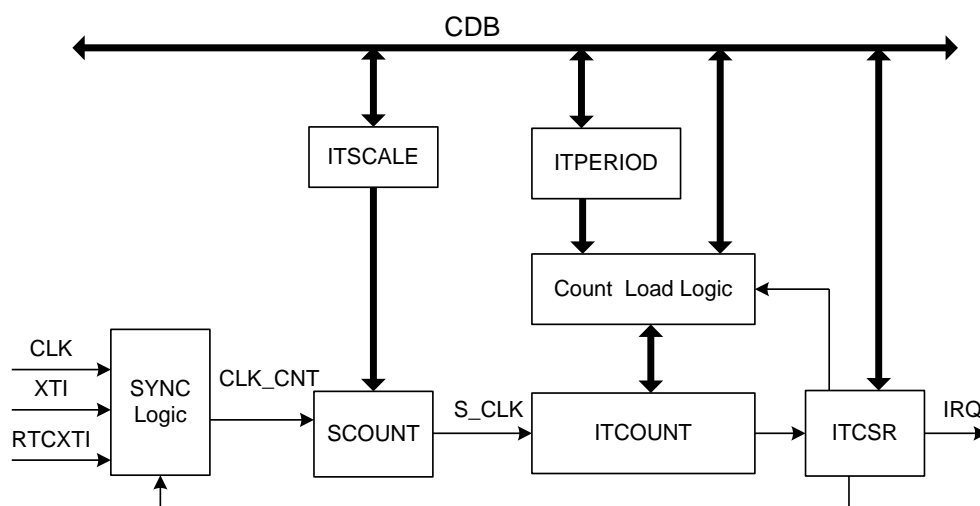


Рисунок 6.1. Структурная схема ИТ

В состав таймера входят следующие основные узлы:

- ITCSR - регистр управления и состояния;
- ITCOUNT - счетчик основного делителя;
- ITPERIOD - регистр периода основного делителя;
- ITSCALE - регистр предделителя;
- SCOUNT – счетчик предделителя;
- SYNC Logic – логика синхронизации частот;
- Count Load Logic - логика загрузки счетчика основного делителя.

На структурной схеме интервального таймера использованы следующие обозначения:

- CDB – шина данных CPU;
- CLK – тактовая частота работы CPU;
- ХТИ – внешняя тактовая частота;
- RTCХТИ – внешняя тактовая частота;
- CLK_CNT – выходная частота логики синхронизации;
- S_CLK – выходная частота делителя;
- IRQ – запрос на прерывание от таймера реального времени.

На вход интервального таймера поступает тактовая частота CPU и внешние тактовые частоты: ХТИ, RTCХТИ. Для правильной работы таймера должны выполняться соотношения:

$f_{ХТИ} \leq \frac{f_{CLK}}{4}$, $f_{RTCХТИ} \leq \frac{f_{CLK}}{4}$, где $f_{ХТИ}$, $f_{RTCХТИ}$ и f_{CLK} значения частот ХТИ, RTCХТИ и CLK соответственно. Как правило, RTCХТИ имеет частоту 32,768 кГц.

6.3 Описание регистров интервального таймера

В Таблица 6.1 приведен перечень программно-доступных регистров ИТ.

Таблица 6.1. Перечень регистров ИТ

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние
ITCSR[4:0]	Регистр управления и состояния	W/R	0
ITPERIOD[31:0]	Регистр периода	W/R	FFFF_FFFF
ITCOUNT[31:0]	Регистр счетчика основного делителя частоты	W/R	0000_0000
ITSCALE[7:0]	Регистр делителя частоты	W/R	0000

Формат регистра ITCSR приведен в Таблица 6.2.

Таблица 6.2. Формат регистра ITCSR

Номер разряда	Условное обозначение	Описание
0	EN	Разрешение работы таймера: 0 – запрещение работы (неактивное состояние таймера); 1 – разрешение работы (активное состояние таймера).
1	INT	Признак срабатывания таймера. Состояние данного разряда транслируется в биты IT0 или IT1 регистра QSTR0. Сбрасывается при записи нуля в этот разряд
2	TICK	Бит тестирования регистра счетчика ITCOUNT и регистра делителя IRTSCALE. При записи 1 в бит TICK декрементируется значение счетчика ITCOUNT и делителя IRTSCALE. Поле доступно только по записи.
4:3	CLK_SEL	Задаёт тактовую частоту от которой работает ИТ: 00 – CLK – тактовая частота CPU; 01 – XTI – внешняя тактовая частота; 10 – RTCXTI – внешняя тактовая частота;

8-разрядный регистр ITSCALE используется для задания коэффициента деления тактовой частоты CLK_CNT, которая поступает на вход счетчика SCOUNT.

32-разрядные регистр ITPERIOD используется для задания периода работы основного делителя.

32-разрядный счетчик основного делителя частоты ITCOUNT работает в режиме декремента. На вход этого счетчика поступает частота (S_CLK) с выхода счетчика делителя.

Если ITPERIOD = 0000_7FFF, ITSCALE = 0000, при этом в регистре ITCSR задана работа от внешней частоты RTCXTI (ITCSR[4:3]=10), а частота RTCXTI = 32,768 кГц, то интервальный таймер формирует прерывание каждую секунду.

6.4 Программирование ИТ

Перед началом работы с таймером необходимо задать источник тактовой частоты в регистре `ITCSR[4:3]=CLK_SEL`. Затем необходимо загрузить значение периода в регистр `ITPERIOD` и значение коэффициента предделения частоты в регистр `ITSCALE`.

Для активизации таймера необходимо в бит `EN` регистра `ITCSR` записать 1. В момент этой записи содержимое регистров `ITSCALE` и `ITPERIOD` переписывается в счетчики `SCOUNT` и `ITCOUNT` соответственно. После этого оба счетчика начинают работать в режиме декремента. При этом предделитель работает от частоты `CLK_CNT`, а счетчик `ITCOUNT` – от частоты `S_CLK`, формируемой предделителем.

Когда оба счетчика `SCOUNT` и `ITCOUNT` достигают нулевого состояния, в регистре `ITCSR` устанавливается бит `INT` и формируется запрос на прерывание, а содержимое регистров `ITSCALE` и `ITPERIOD` снова переписывается в счетчики `SCOUNT` и `ITCOUNT` соответственно. Далее таймер работает аналогичным образом.

Запрос на прерывание формируется каждые $\{(irtperiod + 1) * (irtscale + 1)\}$ тактов `CLK_CNT`, где `irtperiod` и `irtscale` – содержимое регистров `ITPERIOD` и `ITSCALE` соответственно.

При необходимости, в любой момент времени в регистры `ITCOUNT` и `ITPERIOD` можно произвести запись новых данных и тем самым изменить значение обрабатываемого временного интервала.

7. СТОРОЖЕВОЙ ТАЙМЕР

7.1 Назначение

Сторожевой таймер (WDT) предназначен для:

- вывода системы из зависания, если программное обеспечение зациклилось и не формирует соответствующих управляющих воздействий;
- выработки прерываний на основе деления тактовой частоты CPU.

Основные характеристики таймера:

- число разрядов основного делителя – 32;
- число разрядов предделителя – 8;
- программное управление стартом и остановкой таймера;
- два режима работы: режим сторожевого таймера (WDM) и режим интервального таймера (ITM);
- два режима отработки временных интервалов: однократный и периодический;
- доступ ко всем регистрам обеспечивается в любой момент времени.

7.2 Структурная схема

Структурная схема сторожевого таймера приведена на Рисунок 7.1.

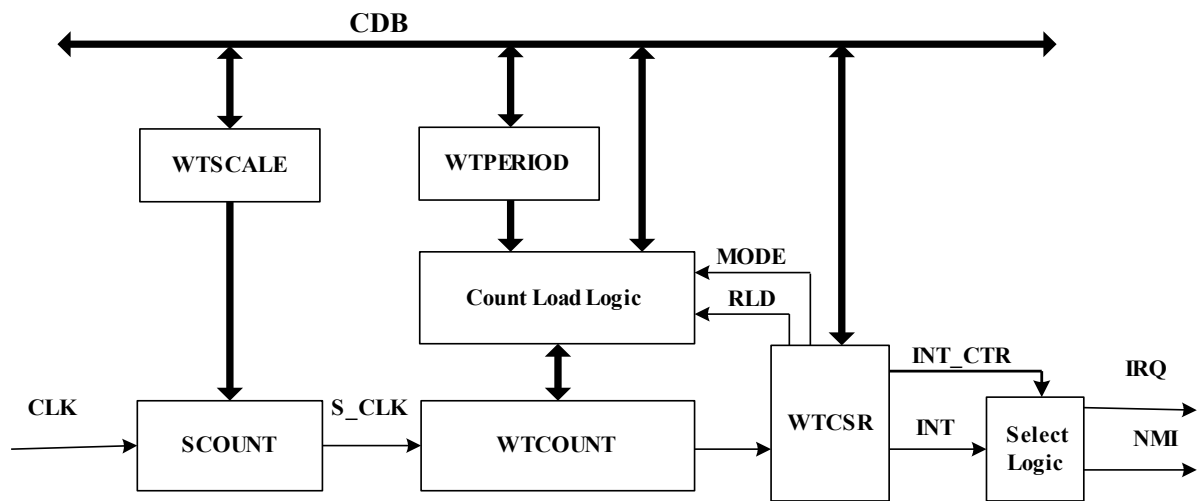


Рисунок 7.1. Структурная схема сторожевого таймера

В состав сторожевого таймера входят следующие основные узлы:

- WTCSR - регистр управления и состояния;
- WTCOUNT - счетчик основного делителя;
- WTPERIOD - регистр периода основного делителя;
- WTSCALE - регистр предделителя;
- SCOUNT – счетчик предделителя;
- Count Load Logic - логика загрузки счетчика основного делителя.

На структурной схеме интервального таймера использованы следующие обозначения:

- CDB – шина данных CPU;
- CLK – тактовая частота работы CPU;
- S_CLK – выходная частота предделителя;
- IRQ – запрос на прерывание от интервального таймера;
- NMI – немаскируемое прерывание.

7.3 Описание регистров WDT

В Таблица 7.1 приведен перечень программно-доступных регистров WDT.

Таблица 7.1. Перечень программно-доступных регистров WDT

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние
WTCSR[14:0]	Регистр управления и состояния	W/R	0000
WTPERIOD[31:0]	Регистр периода	W/R – в неактивном состоянии; R – в активном состоянии.	FFFF_FFFF
WTCOUNT[31:0]	Регистр счетчика основного делителя частоты	W/R – в неактивном состоянии; R – в активном состоянии.	0000_0000
WTSCALE[15:0]	Регистр предделителя частоты	W/R – в неактивном состоянии; R – в активном состоянии.	0000

8-разрядный регистр WTSCALE используется для задания коэффициента предделения тактовой частоты CPU (CLK), которая поступает на вход счетчика SCOUNT.

32-разрядные регистр WTPERIOD используется для задания периода работы основного делителя.

32-разрядный счетчик основного делителя частоты WTCOUNT работает в режиме декремента. На вход этого счетчика поступает частота S_CLK с выхода счетчика предделителя.

Формат регистра WTCSR приведен в Таблица 7.2.

Таблица 7.2. Формат регистра WTCSR

Номер разряда	Условное обозначение	Описание
7: 0	KEY	<p>Поле для записи ключей.</p> <p>Запись в это поле последовательности кодов A0 (ключ KEY1) и F5 (ключ KEY2) приводит к переключению таймера из режима сторожевого таймера (WDM) в режим интервального таймера (ITM).</p> <p>Поле доступно по чтению и записи.</p> <p>Поле доступно по записи только в режиме WDM: когда EN=1 или когда таймер находится в состоянии Timeout.</p> <p>Сбрасывается в ноль при переводе таймера из режима ITM в режим WDM.</p> <p>Значение в исходном состоянии – 0.</p>
8	EN	<p>Разрешение работы таймера:</p> <p>0 – запрещение работы (неактивное состояние таймера); 1 – разрешение работы (активное состояние таймера).</p> <p>Доступен по чтению и записи. Запись нуля в этот бит при работе таймера в режиме WDM не имеет эффекта.</p> <p>Значение в исходном состоянии – 0.</p>
9	INT	<p>Признак срабатывания таймера.</p> <p>В зависимости от содержимого поля INT_CTR состояние данного разряда транслируется или в бит WDT регистра QSTR0, или в немаскируемое прерывание (NMI).</p> <p>Сбрасывается при записи нуля в этот разряд, а также при переводе таймера из режима ITM в режим WDM.</p> <p>Доступен по чтению и записи в режиме ITM и только по чтению в режиме WDM.</p> <p>Значение в исходном состоянии – 0.</p>
10	MODE	<p>Режим работы таймера:</p> <p>0 – режим сторожевого таймера (WDM); 1 – режим обычного таймера (ITM).</p> <p>Доступен по чтению и записи при EN=0 и только по чтению при EN=1.</p> <p>Значение в исходном состоянии – 0.</p>
11	RLD	<p>Бит управления перезагрузкой SCOUNT и WTCOUNT при работе в режиме ITM:</p> <p>0 – таймер однократно обрабатывает временной интервал и останавливается;</p> <p>1 – таймер обрабатывает заданный временной интервал периодически. После обработки очередного временного интервала содержимое WTSCALE и WTPERIOD загружается в SCOUNT и WTCOUNT соответственно.</p> <p>Доступен по чтению и записи при EN=0 и только по чтению при EN=1.</p> <p>Значение в исходном состоянии – 0.</p>

Номер разряда	Условное обозначение	Описание
13: 12	INT_CTR	<p>Управления типом прерывания, которое формируется таймером WDT:</p> <p>00, 11 – прерывание не формируется;</p> <p>01 – обычное прерывание (QSTR[29]). Как правило, используется в режиме ITM;</p> <p>10 – немаскируемое прерывание (NMI). Как правило, используется в режиме WDM.</p> <p>Поле доступно по чтению и записи при EN=0 и только по чтению при EN=1.</p> <p>Значение в исходном состоянии – 0.</p>

7.4 Программирование WDT

Диаграмма состояний WDT приведена на рис 7.2.

В исходном состоянии WDT находится в режиме сторожевого таймера. Для перевода его в режим интервального таймера необходимо записать 1 в бит MODE регистра WTCSR. Следует отметить, что смена режима работы таймера посредством записи в бит MODE возможна, если таймер не активен (EN=0).

Перед началом работы с таймером WDT необходимо загрузить значение периода в регистр WTPERIOD и значение коэффициента предделения частоты в регистр WTSCALE.

Для активизации таймера необходимо в бит EN регистра WTCSR записать 1. В момент этой записи содержимое регистров WTSCALE и WTPERIOD переписывается в счетчики SCOUNT и WTCOUNT соответственно. После этого оба счетчика начинают работать в режиме декремента. При этом предделитель работает от частоты CLK, а счетчик WTCOUNT – от частоты S_CLK, формируемой предделителем.

После активизации таймера, WTCOUNT, WTPERIOD, WTSCALE, а также поля INT_CTR, MODE, RLD регистра WTCSR, становятся не доступными по записи.

Сторожевой таймер в режиме WDM необходимо периодически обслуживать. То есть, если он был активизирован в режиме WDM, то для того, чтобы не возникло состояния Timeout необходимо периодически выполнять следующую последовательность действий:

- переключить таймер из режима WDM в режим ITM посредством последовательной записи в поле KEY регистра WTCSR кодов A0 и F5;
- остановить таймер посредством записи 0 в бит EN регистра WTCSR;
- установить MODE=0;

Если вслед за значением A0 в поле KEY будет записано значение \neq F5, то таймер перейдет в состояние Timeout.

Если после активизации таймера в режиме WDM, он не будет переведен в режим ITM, то, когда оба счетчика SCOUNT и WTCOUNT достигнут нулевого значения, таймер перейдет в состояние Timeout.

В состоянии Timeout таймер формирует признак INT и останавливается, а запись в какой-либо из его регистров блокируется. Для вывода WDT из состояния Timeout необходимо его переключить в режим ITM посредством последовательной записи в поле KEY регистра WTCSR кодов A0 и F5.

При переключении таймера из неактивного состояния в режиме ITM в режим WDM путем записи 0 в поле MODE регистра WTCSR происходит обнуление полей KEY и INT.

При работе таймера в режиме ITM при RLD=0 он однократно обрабатывает заданный временной интервал, устанавливает INT=1 и останавливается (когда оба счетчика SCOUNT и WTCOUNT достигают нулевого состояния). Если RLD=1, то каждый раз после достижения счетчиками нулевого состояния и установки INT=1, происходит перезагрузка значений периода и коэффициента предделения частоты. То есть, таймер обрабатывает заданный временной интервал периодически до тех пор, пока он не будет остановлен.

Запрос на прерывание формируется каждые $\{(wtperiod + 1) * (wt scale + 1)\}$ тактов работы CPU, где wtperiod и wt scale – содержимое регистров WTPERIOD и WTSCALE соответственно.

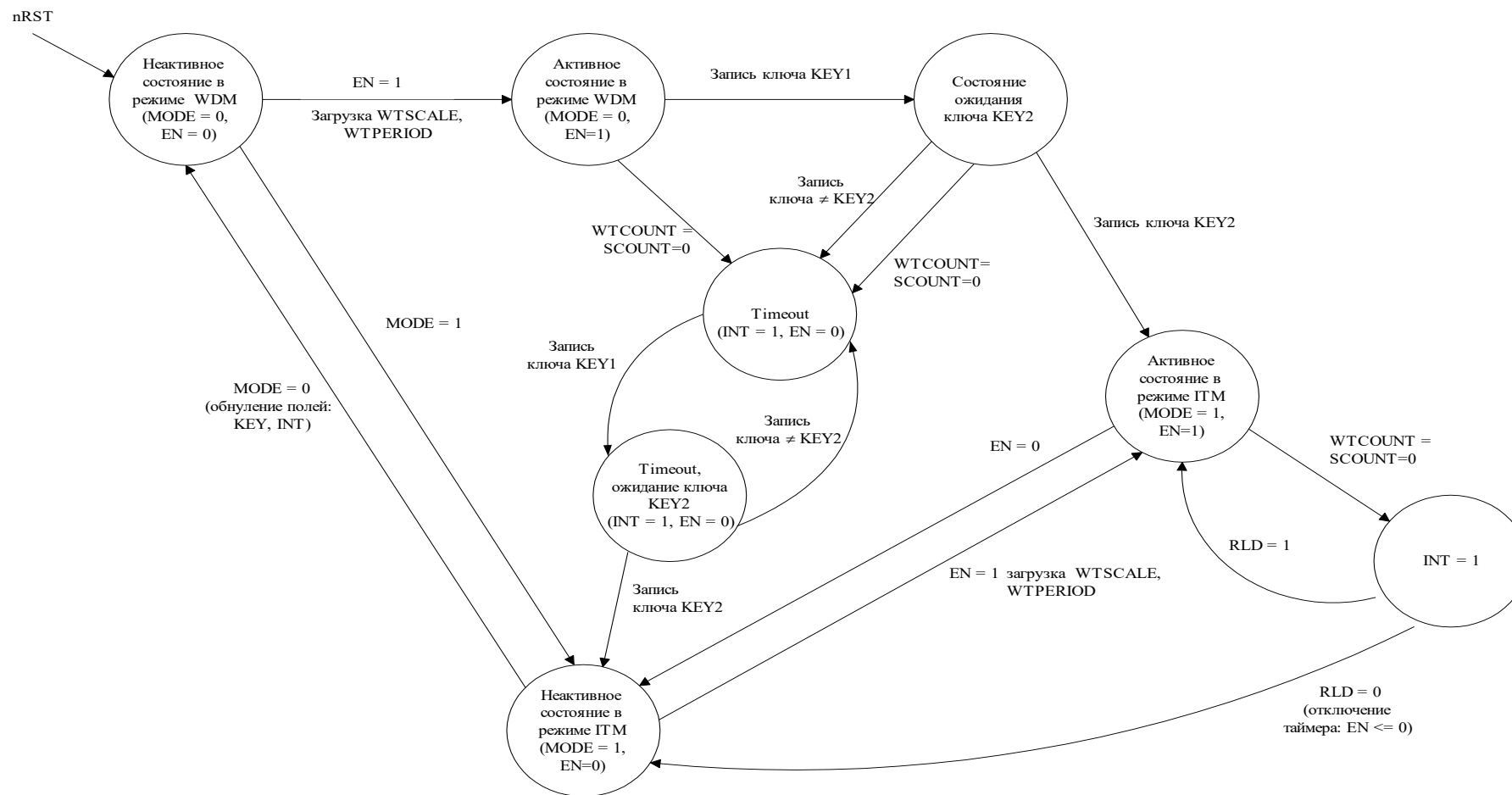


Рисунок 7.2. Диаграмма состояний WDT

8. КОНТРОЛЛЕР ПРЯМОГО ДОСТУПА В ПАМЯТЬ (DMA)

8.1 Перечень каналов DMA

Контроллер DMA микросхемы 1892BM15Ф имеет 34 канала. Перечень каналов приведен в Таблица 8.1.

Таблица 8.1. Перечень каналов DMA

Условное обозначение канала	Назначение канала
SpWR_TX_DAT_CH	Передача данных из памяти в GigaSpWR
SpWR_TX_DES_CH	Передача дескриптора из памяти в GigaSpWR
SpWR_RX_DAT_CH	Прием данных из GigaSpWR в память
SpWR_RX_DES_CH	Прием дескриптора из GigaSpWR в память
SPFMIC_TX_DAT_CH1	Передача данных из памяти в SPFMIC1
SPFMIC_TX_DES_CH1	Передача дескриптора из памяти в SPFMIC1
SPFMIC_RX_DAT_CH1	Прием данных из SPFMIC1 в память
SPFMIC_RX_DES_CH1	Прием дескриптора из SPFMIC1 в память
SPFMIC_TX_DAT_CH0	Передача данных из памяти в SPFMIC0
SPFMIC_TX_DES_CH0	Передача дескриптора из памяти в SPFMIC0
SPFMIC_RX_DAT_CH0	Прием данных из SPFMIC0 в память
SPFMIC_RX_DES_CH0	Прием дескриптора из SPFMIC0 в память
EMAC_TX_CH	Передача данных из памяти в контроллер Ethernet
EMAC_RX_CH	Прием данных из контроллера Ethernet в память
MFBSP_CH3	Обмен данными MFBSP3 с памятью
MFBSP_CH2	Обмен данными MFBSP2 с памятью
MFBSP_CH1	Обмен данными MFBSP1 с памятью
MFBSP_CH0	Обмен данными MFBSP0 с памятью
MEM_CH10 – MEM_CH17	Обмен данными типа память-память
MEM_CH00 – MEM_CH07	Обмен данными типа память-память

Памятью могут быть SRAM, блоки памяти сопроцессоров DSP: XRAM, YRAM и PRAM, внешняя память, доступная через порты MPORT, DDR_PORT0, DDR_PORT1.

Если при работе DMA изменяется программный код в памяти, то когерентность кэш программ CPU (ICACHE) аппаратно не обеспечивается. В этом случае для обеспечения когерентности используется бит FLUSH в системном регистре CSR.

8.2 Каналы DMA типа память - память

В микросхеме 1892BM15Ф имеется два DMA по 8 каналов MEM_CH каждый, которые обеспечивают обмен данными между двумя областями любых блоков памяти (внутренней или внешней).

Для управления работой каждого канала MEM_CH имеются следующие регистры:

- регистр управления и состояния – CSR_MEM_CH;
- регистры индекса (физический адрес памяти) - IR0, IR1;
- регистры смещения - OR, Y;
- регистр начального физического адреса блока параметров DMA передачи для выполнения процедуры самоинициализации (CP);
- псевдорегистр управления состоянием бита RUN регистра CSR (RUN_MEM_CH).

Исходное состояние регистров CSR_MEM_CH: разряды [15:0] – нули, а состояние разрядов 31:16 не определено. Исходное состояние остальных регистров не определено.

Формат регистров CSR_MEM_CH этих каналов приведен в Таблица 8.2.

Таблица 8.2. Формат регистра управления и состояния каналов MEM_CH

Номер разряда	Условное обозначение	Назначение
0	RUN	Состояние работы канала DMA: 0 – состояние останова; 1 – состояние обмена данными. Устанавливается в 1 при записи 1 в этот разряд. Устанавливается в 0: при записи 0 в этот разряд и после окончания передачи данных, оставшихся в канале; при завершении передачи блока данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
1	DIR	Направление обмена данными: 0 – память по IR0 => память по IR1; 1 – память по IR1 => память по IR0.
5:2	WN	Пакет данных, который передается по коммутатору AXI Switch за одно предоставление прямого доступа: 0 – 1 слово; F – 16 слов. Посредством этого параметра можно плавно изменять приоритет каналов DMA относительно CPU, DSP и относительно друг друга

Номер разряда	Условное обозначение	Назначение
6	EN64	<p>Формат передаваемых данных по коммутатору AXI Switch:</p> <p>0 – 32 разряда; 1 – 64 разряда.</p> <p>При передаче 32-разрядными словами: WCX – число 32-разрядных слов; адрес в IR0, IR1 должен быть выровнен по границе 32-разрядного слова.</p> <p>При передаче 64-разрядными словами: WCX – число 64-разрядных слов; адрес в IR0, IR1 должен быть выровнен по границе 64-разрядного слова</p>
7	START_DSP	<p>Разрешение запуска работы DSP-ядра (перевод из состояния STOP в состояние RUN) после завершения передачи блока данных:</p> <p>0 – запуск запрещен; 1 – запуск разрешен.</p>
8	MODE	<p>Режим модификации адреса регистра IR0</p> <p>0 – линейный режим; 1 – режим с обратным переносом.</p>
9	2D	<p>Режим модификации адреса регистра IR1:</p> <p>0 – одномерный режим; 1 – двухмерный режим.</p>
10	MASK	<p>Маска внешнего запроса прямого доступа nDMAR:</p> <p>0 – запрос запрещен; 1 – запрос разрешен.</p> <p>Если разряд равен нулю, то канал работает только под управлением бита RUN. Если разряд равен 1, то для инициализации канала необходимо также наличие запроса nDMAR (низкий уровень).</p>
11	FLYBY	<p>Признак выполнения обмена данными в режиме Flyby:</p> <p>0 – обычный режим; 1 – режим Flyby. Обмен данными между внешней памятью и внешним устройством</p>
12	CHEN	<p>Разрешение выполнения очередной процедуры самоинициализации:</p> <p>0 – выполнение очередной процедуры самоинициализации запрещено; 1 – выполнение очередной процедуры самоинициализации разрешено.</p> <p>Используется только при обмене цепочкой блоков данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации</p>

Номер разряда	Условное обозначение	Назначение
13	IM	Маска разрешение установки признака END: 0 – установки признака запрещено; 1 – установки признака разрешено. Используется только при обмене цепочкой блоков данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
14	END	Признак завершения передачи блока данных. Устанавливается в 1 при завершении передачи блока данных (при IM=1). Устанавливается в 0 при чтении содержимого этого регистра. Доступен по записи и чтению.
15	DONE	Признак завершения передачи блока данных. Устанавливается в 1 при завершении передачи блока данных при CHEN=0 (CHEN=1 может быть только при использовании процедуры самоинициализации). Устанавливается в 0 при чтении содержимого этого регистра
31:16	WCX	Число слов данных, которые должен передать канал DMA при одномерной адресации (блок данных). Число слов в строке при двумерной адресации. Количество передаваемых слов = WCX + 1. Содержимое этого поля уменьшается на 1 после передачи каналом DMA очередного слова данных

Все разряды регистра CSR_MEM_CH доступны по записи и чтению.

Состоянием разряда 0 регистра CSR_MEM_CH можно управлять, используя адрес псевдорегистра RUN. При этом остальные разряды этого регистра не изменяются. Эта процедура может быть использована для временной приостановки канала DMA. При чтении по адресу псевдорегистра RUN считывается содержимое регистра CSR_MEM_CH без сброса битов END и DONE.

32-разрядные регистры индекса IR0, IR1 содержат начальные физические адреса источника и приемника данных (или, наоборот, в зависимости от содержимого разряда DIR регистра CSR_MEM_CH) памяти микросхемы. В зависимости от содержимого разряда EN64 адреса в этих регистрах должны быть выравнены по границе 32 или 64-разрядного слова.

Формат регистра смещения OR приведен в Таблица 8.3.

Таблица 8.3. Формат регистра индекса и смещения каналов MEM_CN

Номер разряда	Условное обозначение	Назначение
15:0	OR0	Смещение (приращение) адреса для индексного регистра IR0 после передачи каждого слова данных
31:16	OR1	Смещение (приращение) адреса для индексного регистра IR1 после передачи каждого слова данных

Модификация индексного регистра IR0 при помощи смещения OR0 обеспечивается в режимах с прямым или обратным переносами. Режим с обратным переносом используется при реализации алгоритма быстрого преобразования Фурье (БПФ). Модификация индексного регистра IR1 при помощи смещения OR1 обеспечивается только в режиме с прямым переносом.

В режиме модификации индексного регистра с прямым переносом смещение, задаваемое полями OR0, OR1, рассматривается как число со знаком в диапазоне -32768 до $+32767$ слов данных (32 или 64-разрядных). Алгоритм модификации адреса с прямым переносом:

```

for ( x = 0; x < WCX; x++ ) { пересылка по адресу IR0;
    модификация адреса для 64-х разрядного обмена: IR0 = IR0 +
    {{13{OR0[15]}},OR0,000};
    модификация адреса для 32-х разрядного обмена: IR0 = IR0 +
    {{14{OR0[15]}},OR0,00};
    пересылка по адресу IR1;
    модификация адреса для 64-х разрядного обмена: IR1 = IR1 +
    {{13{OR1[15]}},OR1,000};
    модификация адреса для 32-х разрядного обмена: IR1 = IR1 +
    {{14{OR1[15]}},OR1,00};
}

```


В режиме модификации индексного регистра с обратным переносом смещение, задаваемое полем OR0, имеет диапазон от 0 до +65535. Модификация адреса в этом случае выполняется с распространением переноса в обратном направлении – от старших разрядов к младшим. Операция модификации адреса с обратным переносом эквивалентна последовательному выполнению следующих процедур:

- 16-разрядное смещение OR0 дополняется до 32 разрядов: со стороны младших – двумя или тремя нулями, (для 32 или 64-разрядного обменов соответственно, а со стороны старших разрядов – четырнадцатью или тринадцатью нулями, для 32 и 64-разрядного обменов соответственно);
- изменение на обратный порядок следования разрядов в регистрах адреса и смещения. При этом старший бит становится младшим;
- модификация адреса посредством операции сложения с прямым переносом;
- восстановление первоначального порядка следования разрядов регистра адреса.

Модификацию адреса с обратным переносом можно описать при помощи следующих выражений:

$IR0 [0:31] = IR0[0:31] + \{000, OR0[0:15], 00000000000000\}$ – для 64-разрядного обмена;

$IR0 [0:31] = IR0[0:31] + \{00, OR0[0:15], 000000000000000\}$ – для 32-разрядного обмена.

Каналы самоинициализации MEM_CN обеспечивают передачу двумерных массивов (матриц $W[m;n]$). При этом, память (внутренняя или внешняя) адресуется в двухмерном режиме. Для этого имеется 32-разрядный регистр Y, формат которого приведен в Таблица 8.4.

Таблица 8.4. Формат регистра Y

Номер разряда	Условное Обозначение	Назначение
15:0	OY	Смещение (приращение) адреса памяти в 32-разрядных словах по направлению Y. Используется только при двухмерной адресации.
31:16	WCY	Число строк по Y направлению. Используется только при двухмерной адресации. Количество передаваемых строк = WCY + 1.

При двухмерном режиме адресации поле WCX регистра CSR содержит число слов в строке (X направление), а поле WCY регистра Y содержит число строк (Y направление). Пересылка каждого слова данных осуществляется по индексному регистру IR1 с его последующей инкрементацией на величину, соответствующую содержимому поля OR1 регистра OR (X направление) или поля OY регистра Y. Двухмерная адресация выполняется следующим образом:

Содержимое счетчика WCX сохраняется в буферном регистре;

1 цикл. Индексный регистр внешней памяти модифицируется с использованием смещения OR1. Счетчик WCX декрементируется. Если он равен 0, то переход ко второму циклу.

2 цикл. Состояние счетчика WCX восстанавливается из буферного регистра. Индексный регистр внешней памяти модифицируется с использованием смещения OY. Счетчик WCY декрементируется. Если он не равен 0, то переход к первому циклу. Если он равен 0, то работа канала завершается.

Функционально двумерная адресация эквивалентна следующему двойному циклу (реализуется только по IR1, OR1):

```
for ( y = 0; y <= WCY; y++ ) {
    for ( x = 0; x < WCX; x++ ) { пересылка по адресу IR1
        для 64-х разрядного обмена : IR1 = IR1 +
    {{13{OR1[15]}}},OR1,3'h0};
        для 32-х разрядного обмена : IR1 = IR1 + {{14{OR1[15]}}},OR1,2'h0}
    };
    пересылка по адресу IR1
    для 64-х разрядного обмена : IR1 = IR1 +
    {{13{ORY[15]}}},ORY,3'h0};
        для 32-х разрядного обмена : IR1 = IR1 +
    {{14{ORY[15]}}},ORY,2'h0};
    };
//общее кол-во пересылок (WCX=1)*(WCY+1)
```

Микросхема 1892ВМ15Ф имеет 4 внешних сигнала запроса прямого доступа nDMAR[3:0]. Эти сигналы поступают на каналы DMA MEM_CH следующим образом:

nDMAR[0] - на каналы MEM_CH00, MEN_CH10, MEM_CH04, MEN_CH14;

nDMAR[1] - на каналы MEM_CH01, MEN_CH11, MEM_CH05, MEN_CH15;

nDMAR[2] - на каналы MEM_CH02, MEN_CH12, MEM_CH06, MEN_CH16;

nDMAR[3] - на каналы MEM_CH03, MEN_CH13, MEM_CH07, MEN_CH17.

То есть, один сигнал запроса может запустить сразу четыре канала DMA MEM_CH, если они настроены для работы в этом режиме.

Для настройки работы канала DMA MEM_CH по внешним запросам необходимо в регистре CSR_MEM_CH установить: MASK=1, RUN=1. Внешнее устройство необходимо активизировать на формирование сигналов nDMAR, только после настройки соответствующего канала DMA MEM_CH.

По каждому переходу сигнала nDMAR из 1 в 0 канал DMA MEM_CH выполняет процедуру передачи одного пакета слов данных размером в соответствии с полем WN регистра CSR_MEM_CH.

Необходимо иметь в виду, что факт перехода сигнала nDMAR из 1 в 0 запоминается в DMA только при RUN=1, MASK=1. При выполнении любой операции записи в регистр CSR_MEM_CH, сбрасывается запомненный в DMA факт перехода сигнала nDMAR из 1 в 0, если он не был принят к исполнению к этому моменту.

Каналы DMA MEM_CH совместно с портом MPORT обеспечивают передачу данных в режиме Flyby. При передаче данных в режиме Flyby шина данных микропроцессора переводится в 3 состояние, и одновременно активизируется внешняя память и внешнее устройство ввода-вывода. Память управляется как обычно, а устройство ввода-вывода – при помощи сигналов nFLYBY (признак данного режима) и nOE (активизация выходных формирователей устройства ввода-вывода).

Для выполнения передачи данных в режиме Flyby в регистре CSR_MEM_CH необходимо установить бит FLYBY=1.

Микросхема 1892ВМ15Ф имеет 4 пары внешних сигналов nFLYBY и nOE. Эти сигналы связаны с каналами DMA MEM_CH следующим образом:

nFLYBY[0], nOE[0] - каналы MEM_CH00, MEM_CH04, MEM_CH10, MEM_CH14;

nFLYBY[0], nOE[0] - каналы MEM_CH01, MEM_CH05, MEM_CH11, MEM_CH15;

nFLYBY[0], nOE[0] - каналы MEM_CH02, MEM_CH06, MEM_CH12, MEM_CH16;

nFLYBY[0], nOE[0] - каналы MEM_CH03, MEM_CH07, MEM_CH13, MEM_CH17.

В случае если в каналах DMA, управляющих одним внешним устройством, одновременно установлен бит FLYBY=1, то очередность управления происходит согласно приоритету между каналами DMA.

8.3 Каналы DMA периферийных портов

Для обслуживания портов EMAC, MFBSP, USBIC, SPFMIC и коммутатора GigaSpWR имеются следующие каналы DMA:

EMAC_TX_CH, EMAC_RX_CH,

MFBSP_CH0, MFBSP_CH1, MFBSP_CH2, MFBSP_CH30,

SpWR_TX_DAT_CH, SpWR_TX_DES_CH, SpWR_RX_DAT_CH, SpWR_RX_DES_CH,

SPFMIC_TX_DAT_CH1, SPFMIC_TX_DES_CH1, SPFMIC_RX_DAT_CH1,
SPFMIC_RX_DES_CH1,

SPFMIC_TX_DAT_CH0, SPFMIC_TX_DES_CH0, SPFMIC_RX_DAT_CH0,
SPFMIC_RX_DES_CH0.

Для управления работой каналы DMA портов содержат следующие регистры:

- регистр управления и состояния (CSR);
- регистр индекса (физический адрес памяти) (IR);
- регистр начального адреса блока параметров DMA передачи для самоинициализации (CP);
- псевдорегистр управления состоянием бита RUN регистра CSR.

Исходное состояние регистров CSR: разряды 15:0 – нули, а состояние разрядов 31:16 не определено. Исходное состояние остальных регистров не определено.

Каналы DMA портов передают данные по коммутатору AXI Switch 64-разрядными словами.

32-разрядный индексный регистр IR содержат физический адрес внутренней или внешней памяти. После передачи каждого слова данных к индексу IR прибавляется смещение на одно 64-х разрядное слово.

Памятью могут быть CRAM, блоки памяти DSP: XRAM, YRAM и PRAM, внешняя память, доступная через MPORT, DDR_PORT0, DDR_PORT1.

Формат регистров управления и состояния CSR каналов DMA этих портов приведен в таблице 7.5.

Таблица 7.5. Формат регистров управления и состояния DMA портов

Номер разряда	Условное обозначение	Назначение
0	RUN	Состояние работы канала DMA: 0 – состояние останова; 1 – состояние обмена данными. Устанавливается в 1 при записи 1 в этот разряд. Устанавливается в 0: при завершении передачи блока данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
1	-	Не используется
5:2	WN	Число слов данных (пачка), которое передается за одно предоставление прямого доступа: 0 – 1 слово, F – 16 слов. Посредством этого параметра можно плавно изменять приоритет каналов DMA относительно других устройств и относительно друг друга
11:6	-	Не используется
12	CHEN	Разрешение выполнения очередной процедуры самоинициализации: 0 – выполнение очередной процедуры самоинициализации запрещено; 1 – выполнение очередной процедуры самоинициализации разрешено. Используется только при обмене цепочкой блоков данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
13	IM	Маска разрешение установки признака END: 0 – установки признака запрещено; 1 – установки признака разрешено. Используется только при обмене цепочкой блоков данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации

Номер разряда	Условное обозначение	Назначение
14	END	Признак завершения передачи блока данных. Устанавливается в 1 при завершении передачи блока данных (при $IM=1$). Устанавливается в 0 при чтении содержимого этого регистра.
15	DONE	Признак завершения передачи блока данных. Устанавливается в 1 при завершении передачи блока данных при $CHEN=0$ ($CHEN=1$ может быть только при использовании процедуры самоинициализации). Устанавливается в 0 при чтении содержимого этого регистра
31:16	WCX	Кроме $EMAC_CH$: число 64-разрядных слов данных, которые должен передать канал DMA (блок данных); количество передаваемых слов: $WCX + 1$; содержимое этого поля уменьшается на 1 после передачи каналом DMA очередного слова данных. Для $EMAC_CH$: число байт данных, которое должен передать канал DMA (блок данных); количество передаваемых байт: $WCX + 1$; содержимое этого поля уменьшается на число переданных байт данных. Исходное состояние поля не определено.

Все разряды регистра CSR доступны по записи и чтению.

Бит RUN может быть использован для остановки работы канала DMA портов. Для этого в любой момент времени в него необходимо записать 0. Эта процедура возможна, если длина массива данных, указанного в канале DMA порта, равна длине массива данных, который порт передаст (например, MFBSP). Для продолжения работы в бит RUN необходимо записать 1.

Если порт прекратил обмен данными по внешней причине, то длина массива данных, указанного в канале DMA порта, будет не равна длине массива данных, который порт действительно передаст. В этом случае для остановки работы порта и его канала DMA необходимо использовать следующие алгоритмы.

Алгоритм остановки MFBSP и его канала DMA:

1. Остановить MFBSP, для чего в регистр CSR_MFBSP необходимо записать 0.
2. Выполнить операцию записи 0 в бит RUN регистра CSR соответствующего канала DMA MFBSP (при этом, бит RUN может в 0 не установиться).
3. Установить в 1 бит RX_RDY_MODE (TX_RDY_MODE) регистра CSR_MFBSP.
4. Дождаться установки в 0 бита RUN регистра CSR соответствующего канала DMA MFBSP.
5. Установить в 0 бит RX_RDY_MODE (TX_RDY_MODE) регистра CSR_MFBSP.

Алгоритм остановки SWIC и его каналов DMA:

1. Выполнить операцию записи 0 в биты RUN регистров CSR каналов DMA SWIC (канал записи в память дескрипторов принимаемых пакетов, канал записи в память принимаемых слов данных, канал чтения из памяти дескрипторов передаваемых пакетов, канал чтения из памяти передаваемых слов данных).
2. Установить в регистре MODE_CR SWIC в 1 биты Link_disable (остановка работы SWIC) и RDY_MODE.
3. Дождаться установки в 0 битов RUN регистров CSR каналов DMA SWIC.
4. Установить в регистре MODE_CR SWIC в 0 бит RDY_MODE.

Следует отметить, что при выполнении этого алгоритма «хвост» передаваемых данных из порта теряется, а в «хвосте» приемного буфера данные будут недостоверны.

Состоянием разряда 0 регистра CSR можно управлять, используя адрес псевдорегистра RUN. При этом остальные разряды этого регистра не изменяются. Эта процедура может быть использована для временной приостановки канала DMA. При чтении по адресу псевдорегистра RUN считывается содержимое регистра CSR без сброса битов END и DONE.

8.3.1 Особенности DMA порта Ethernet MAC

DMA порт Ethernet MAC имеет следующие особенности:

- порт Ethernet MAC имеет возможность изменять поле WN канала EMAC_CN в сторону уменьшения его значения, в случае если в FIFO порта осталось количество слов меньше чем указано в поле WN;
- 32-разрядный индексный регистр IR содержит физический адрес памяти с точностью до байта. После каждой передачи данных к индексу IR прибавляется смещение равное количеству переданных байт;
- канал DMA_EMAC_CN1 обеспечивает передачу данных из памяти (внешней или внутренней) в передающее FIFO – TX_FIFO;

- канал DMA_EMAC_CH0 обеспечивает передачу данных из принимающего FIFO – RX_FIFO в память (внешнюю или внутреннюю);
- в каналах DMA_EMAC_CH1 и DMA_EMAC_CH0 передача происходит с точностью до байта, необходимо выравнивание начальных адресов данных по границе 64-разрядного слова.

8.4 Процедура самоинициализации

Все каналы DMA могут выполнять процедуру самоинициализации (выполнение цепочки передач DMA).

Для выполнения самоинициализации в каналах DMA имеется 32-разрядный регистр CP, в котором хранится физический начальный адрес блока параметров очередного DMA обмена. Младшие три разряда регистра CP игнорируются (адреса выровнены по границе 64-разрядного слова). Младший (нулевой разряд) регистра CP используется для старта режима самоинициализации. Эти параметры при самоинициализации аппаратно загружаются в 64-разрядном формате в соответствующие регистры канала DMA. Процедура этой загрузки ничем не отличается от обычного DMA обмена. Блок параметров может размещаться в любой памяти микросхемы.

Если необходимо продолжить цепочку команд, то необходимо указать CHEN=1. В режиме самоинициализации при записи параметров в регистр CSR биты END и DONE недоступны.

Для запуска работы канала DMA в режиме с самоинициализацией необходимо в регистр CP записать адрес первого блока параметров DMA передачи. При этом 0 разряд записываемых данных должен содержать 1 (признак пуска самоинициализации). В результате этого, соответствующий канал загрузит в свои регистры параметры DMA передачи и начнет обмен данными.

После окончания передачи блока данных бит END в регистре CSR устанавливается в единичное состояние, если бит IM = 1 - выдается прерывание. По окончании передачи блока данных также проверяется состояние бита CHEN. Если он равен 1, то будет загружен следующий блок параметров DMA передачи и т.д. В противном случае цепочка DMA обменов закончится и в регистре CSR бит DONE установится в единичное состояние и выдается прерывание.

Параметры для самоинициализации каналов DMA MEM_CH размещаются в памяти в трех последовательных 64-разрядных словах, следующим образом (в порядке возрастания адресов):

63	0
IR ₁₃₂	IR ₀₃₂
WCY ₁₆ , ORY ₁₆	OR ₁₁₆ , OR ₀₁₆

CSR ₃₂	CP ₃₂
-------------------	------------------

Параметры для самоинициализации каналов DMA портов размещаются в памяти в двух последовательных 64-разрядных словах, следующим образом (в порядке возрастания адресов):

63	0
IR ₃₂	-32
CSR ₃₂	CP ₃₂

При необходимости каналы DMA могут инициализироваться программно. Для этого CPU должен записать адрес в регистр IR, а затем регистр CSR. При загрузке регистра CSR бит RUN необходимо установить в единичное состояние.

8.5 Прерывания DMA

Канал DMA формирует прерывание в соответствующем регистре QSTR (при условии, если установлены соответствующие биты в регистре MASKR и в поле IM[12:10] регистра STATUS CPU) при единичном состоянии битов DONE или END.

Обнуление битов DONE и END (и снятие соответствующего прерывания) выполняется посредством чтения содержимого регистра CSR или записью в эти биты нулей.

9. ПОРТ ВНЕШНЕЙ ПАМЯТИ

9.1 Введение

Порт внешней памяти (MPORT) позволяет организовать интерфейс с широким набором устройств памяти и периферии. Внешний интерфейс порта обеспечивает подключение без сложной дополнительной логики синхронной динамической памяти типа SDRAM, а также асинхронной памяти типа SRAM, NOR Flash и т.д..

Порт памяти имеет следующие основные характеристики:

- шина данных внешней памяти – 64 разряда;
- шина адреса внешней памяти – 27 разрядов;
- формирование сигналов выборки 5 блоков внешней памяти.
- программное конфигурирование типа, разрядности и объема блока памяти;
- интерфейс с синхронной динамической памятью типа SDRAM;
- интерфейс с асинхронной памятью (SRAM, EPROM, FLASH, FIFO и т.д.);
- режим передачи данных Flyby;
- управление числом тактов ожидания при обмене с асинхронной памятью.
- защита всех блоков внешней памяти, подключенных к MPORT, при помощи модифицированного кода Хэмминга.

9.2 Регистры порта внешней памяти

Перечень регистров порта внешней памяти приведен Таблица 9.1.

Таблица 9.1. Регистры порта внешней памяти

Условное обозначение регистра	Название регистра
CSCON0	Регистр конфигурации 0
CSCON1	Регистр конфигурации 1
CSCON2	Регистр конфигурации 2
CSCON3	Регистр конфигурации 3
CSCON4	Регистр конфигурации 4
SDRCON	Регистр конфигурации SDRAM
SDRTMR	Регистр параметров SDRAM
SDRCSR	Регистр управления и состояния SDRAM
FLY_WS	Регистр внешних устройств
CSR_EXT	Регистр управления режимами контроля внешней памяти
AERROR_EXT	Регистр ошибок внешней памяти

При описании полей и значений регистров используются обозначения:

- R – только чтение;
- RW – чтение и запись;
- RW1 – чтение, пуск операции;
- [i] – номер разряда;
- i:j – неразрывная группа разрядов, i –старший разряд группы, j –младший;
- 0x – далее следует шестнадцатеричный код;
- SCLK– частота SDRAM.

Термины и обозначения временных параметров и команд управления SDRAM соответствуют стандарту JESD79C.

9.2.1 Регистр конфигурации CSCON0

Регистр CSCON0 предназначен для конфигурирования блока внешней памяти, подключаемого к выводу nCS[0].

Формат регистра приведен в Таблица 9.2.

Таблица 9.2. Назначение разрядов регистра CSCON0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	-	Резерв	R	0
23	W64	Разрядность блока памяти: 0 – 32 разряда; 1 – 64 разряда	RW	0
22:21	T	Тип памяти блока памяти: 00 – асинхронная без ожидания сигнала АСК; 10 – асинхронная с ожиданием сигнала АСК; 01, 11 – синхронная динамическая	RW	0
20	E	Разрешение формирования сигнала nCS[0]: 0 – запрещено; 1 – разрешено	RW	0
19:16	WS	Число тактов ожидания при обращении к блоку памяти, если он сконфигурирован как асинхронная память	RW	0xF
15:8	CSBA	Разряды 31:24 базового адреса блока памяти. Младшие разряды базового адреса равны нулю	RW	0
7:0	CSMASK	Разряды 31:24 маски при определении базового адреса блока памяти. Младшие разряды маски равны нулю	RW	0

Сигнал nCS[0] формируется, если при E =1 выполнено условие PHA[31:24] & CSMASK = CSBA, где PHA – 32-разрядный физический адрес.

Если это условие выполнено, но $E = 0$, то обмен будет произведен с блоком внешней памяти, подключенным к выводу $nCS[4]$.

Минимальный размер блока – 16 Мбайт (при $CSMASK = 0xFF$). Для увеличения размера блока в младшие разряды поля $CSMASK$ необходимо записать соответствующее число нулей. Например, для блока размером в 128 Мбайт, разряды 2:0 $CSMASK$ должны быть равны нулю.

Регистры $CSCON$ должны быть сконфигурированы таким образом, чтобы определяемые ими блоки памяти занимали уникальные адресные пространства. Если эти пространства перекрываются, то результат обмена данными будет непредсказуем.

В поле WS регистров $CSCON$ задается количество тактов ожидания в тактах частоты $SCLK$, которое необходимо добавить в цикл шины при обращении к асинхронной внешней памяти. При аппаратном сбросе микропроцессора в поле WS всех регистров $CSCON$ устанавливается значение $0xF$ (15 тактов). При $WS = 0$ цикл шины составляет 2 такта $SCLK$.

Управление длительностью цикла обмена микропроцессора с асинхронной памятью осуществляется сигналом ACK и полем тактов ожидания WS . Сигнал ACK позволяет вставлять такты ожидания непосредственно в начатый цикл обмена данными. Количество вставленных тактов ожидания равно максимальному количеству дополнительных тактов, заданных полем WS и сигналом ACK .

9.2.2 Регистр конфигурации CSCON1

Регистр CSCON1 предназначен для конфигурирования блока внешней памяти, подключаемого к выводу nCS[1].

Формат регистра приведен в Таблица 9.3.

Таблица 9.3. Назначение разрядов регистра CSCON1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	-	Резерв	R	0
23	W64	Разрядность блока памяти: 0 – 32 разряда; 1 – 64 разряда	RW	0
22:21	T	Тип памяти блока памяти: 00 – асинхронная без ожидания сигнала АСК; 10 – асинхронная с ожиданием сигнала АСК; 01, 11 – синхронная динамическая	RW	0
20	E	Разрешение формирования сигнала nCS[1]: 0 – запрещено; 1 – разрешено	RW	0
19:16	WS	Число тактов ожидания при обращении к блоку памяти, если он сконфигурирован как асинхронная память	RW	0xF
15:8	CSBA	Разряды 31:24 базового адреса блока памяти. Младшие разряды базового адреса равны нулю	RW	0
7:0	CSMASK	Разряды 31:24 маски при определении базового адреса блока. Младшие разряды маски равны нулю	RW	0

9.2.3 Регистр конфигурации CSCON2

Регистр CSCON2 предназначен для конфигурирования блока внешней памяти, подключаемого к выводу nCS[2].

Формат регистра приведен в Таблица 9.4.

Таблица 9.4. Назначение разрядов регистра CSCON2

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	-	Резерв	R	0
23	W64	Разрядность блока памяти: 0 – 32 разряда; 1 – 64 разряда	RW	0
22	T	Тип памяти блока памяти: 0 – асинхронная без ожидания сигнала АСК; 1 – асинхронная с ожиданием сигнала АСК	RW	0
21	-	Резерв	R	0
20	E	Разрешение формирования сигнала nCS[2]: 0 – запрещено; 1 – разрешено	RW	0
19:16	WS	Число тактов ожидания при обращении к блоку памяти, если он сконфигурирован как асинхронная память	RW	0xF
15:8	CSBA	Разряды 31:24 базового адреса блока памяти. Младшие разряды базового адреса равны нулю	RW	0
7:0	CSMASK	Разряды 31:24 маски при определении базового адреса блока. Младшие разряды маски равны нулю	RW	0

Память, подключаемая к выводу nCS[2], может быть только асинхронной.

9.2.4 Регистр конфигурации CSCON3

Регистр CSCON3 предназначен для конфигурирования блока памяти, подключаемого к выводу nCS[3].

Формат регистра приведен в Таблица 9.5.

Таблица 9.5. Назначение разрядов регистра CSCON3

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	OVER	Признак того, что при обмене данными с любым блоком асинхронной памяти, сконфигурированном на ожидание сигнала АСК, этот сигнал не был установлен в течение 256 периодов частоты SCLK	RW	0
30:25	-	Резерв.	R	0
24	BYTE	Разрядность блока памяти: 0 – 32 разряда; 1 – 8 разрядов. Исходное состояние данного разряда соответствует состоянию сигнала на входе BYTE микросхемы	R	Определяется уровнем входа BYTE микропроцессора
23:22	-	Резерв	RW	0
21:20	ADDR	Используются при программной записи данных в 8-разрядную асинхронную память (в том числе и Flash): при выполнении команды Store Word на линии адреса A[1:0] микропроцессора выдается содержимое поля ADDR[1:0] соответственно	RW	0
19:16	WS	Число тактов ожидания при обращении к памяти блока	RW	0
15:0	-	Резерв	R	0

Область памяти, определяемая регистром CSCON3, размещается в диапазоне физических адресов от 0x1C00_0000 до 0x1FFF_FFFF (64 Мбайт). Память данного блока может быть только асинхронной. Доступ к данному блоку памяти всегда разрешен. При обмене данными с этим блоком сигнал АСК безразличен.

Как правило, к выводу nCS[3] подключается блок памяти программ, реализованный на FLASH, PROM, EEPROM и т.д. Разрядность этого блока, в зависимости от состояния сигнала на выводе микросхемы BYTE может быть 8 или 32.

8-разрядная память подключается к выводам D[7:0] микропроцессора. Шину адреса A[31:0] к этой памяти необходимо подключать, начиная с 0 разряда (к 32-разрядной памяти адрес подключается, начиная со 2 разряда). 64 или 32-разрядное слово из 8-разрядной памяти считывается байтами, причем первым считывается старший байт слова. Запись данных в 8-разрядную память выполняется в соответствии с рекомендациями п.9.4.2.

Признак OVER формируется, если сигнал ACK не поступил в течение 256 тактов SCLK от блока статической памяти, сконфигурированной на ожидание сигнала ACK. В этом случае операция обмена данными заканчивается обычным образом, за исключением того, что считываемые данные не определены, а записываемые данные теряются. Состояние бита OVER не влияет на выполнение последующих операций обмена данными.

9.2.5 Регистр конфигурации CSCON4

Регистр CSCON4 предназначен для конфигурирования внешней памяти, не вошедшей в блоки памяти, определяемые регистрами CSCON3 - CSCON0.

Данный блок памяти подключается к выводу nCS[4].

Формат регистра приведен в Таблица 9.6.

Таблица 9.6. Назначение разрядов регистра CSCON4

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	-	Резерв	R	0
23	W64	Разрядность блока памяти: 0 – 32 разряда; 1 – 64 разряда	RW	0
22	T	Тип памяти данного блока: 0 – асинхронная без ожидания сигнала ACK; 1 – асинхронная с ожиданием сигнала ACK	RW	0
21:20	-	Резерв.	R	0
19:16	WS	Число тактов ожидания при обращении к памяти блока	RW	0
15:0	-	Резерв	R	0

Память данного блока может быть только асинхронной. Доступ к данному блоку памяти всегда разрешен.

9.2.6 Регистр FLY_WS

Данный регистр определяет количество дополнительных тактов ожидания в обменах внешних устройств с асинхронной памятью в режиме Flyby.

Формат регистра FLY_WS приведен в Таблица 9.7.

Таблица 9.7. Формат регистра FLY_WS

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16		Резерв	R	0
15:11	FWS3	Число тактов ожидания для внешнего устройства 3 при обмене с асинхронной памятью	RW	0
11:7	FWS2	Число тактов ожидания для внешнего устройства 2 при обмене с асинхронной памятью	RW	0
7:4	FWS1	Число тактов ожидания для внешнего устройства 1 при обмене с асинхронной памятью	RW	0
3:0	FWS0	Число тактов ожидания для внешнего устройства 0 при обмене с асинхронной памятью	RW	0

Количество вставленных тактов ожидания при обмене с внешним устройством равно максимальному количеству дополнительных тактов, заданных сигналом АСК и полями WS и FWS участников обмена.

9.2.7 Регистр конфигурации SDRCON

Регистр SDRCON предназначен для программирования конфигурационных параметров синхронной памяти типа SDRAM.

Память данного типа может быть размещена только в блоке памяти, подключенном к выводам nCS[0] или nCS[1].

Формат регистра приведен в Таблица 9.8.

Таблица 9.8. Формат регистра SDRCON

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	Резерв	R	0
29:16	tRFR	Период регенерации SDRAM в тактах частоты SCLK	RW	0
15:13	-	Резерв	R	0
12	-	Резерв	RW	0
11:7	-	Резерв	R	0
6:4	CL	Задержка данных при чтении (CAS latency): 010 – 2 такта SCLK; 011 – 3 такта SCLK. Остальные значения этого поля – резерв. Записанное значение передается в SDRAM при выполнении команды инициализации SDRAM. При чтении считывается значение, установленное в SDRAM при её инициализации. Запись резервных кодов игнорируется	RW	2
3	-	Резерв	R	0
2:0	PS	Размер страницы микросхем SDRAM, подключенных к MPORT: 100 – 256; 000 – 512; 001 – 1024; 010 – 2048; 011 – 4096. Число банков SDRAM – 4	RW	0

Преобразование физического адреса в адрес 64 - разрядной памяти SDRAM при различных значениях параметра PS представлено в таблицах Таблица 9.9, Таблица 9.10, Таблица 9.11. Разряды физического адреса в таблицах обозначены строчными буквами “а”.

Таблица 9.9. Отображение адреса строки для 64-разрядной памяти

PS	Адрес SDRAM												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
100	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13
000	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14
001	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15
010	a28	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16
011	a29	a28	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17

Таблица 9.10. Отображение адреса столбца для 64-разрядной памяти

PS	Адрес SDRAM												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
100	0	0	0	0	0	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3
000	0	0	0	0	a11	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3
001	0	0	0	a12	a11	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3
010	0	a13	0	a12	a11	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3
011	a14	a13	0	a12	a11	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3

Таблица 9.11. Отображение адреса банка для 64-разрядной памяти

PS	Адрес банка SDRAM	
	BA1	BA0
100	a12	a11
000	a13	a12
001	a14	a13
010	a15	a14
011	a16	a15

Преобразование физического адреса в адрес 32 - разрядной памяти SDRAM представлено в таблицах Таблица 9.12, Таблица 9.13,

Таблица 9.14.

Таблица 9.12. Отображение адреса строки для 32-разрядной памяти

PS	Адрес SDRAM												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
100	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12
000	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13
001	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14
010	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15
011	a28	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16

Таблица 9.13. Отображение адреса столбца для 32-разрядной памяти

PS	Адрес SDRAM												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
100	0	0	0	0	0	a 9	a 8	a 7	a 6	a 5	a 4	a 3	a 2
000	0	0	0	0	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3	a 2
001	0	0	0	a11	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3	a 2
010	0	a12	0	a11	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3	a 2
011	a13	a12	0	a11	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3	a 2

Таблица 9.14. Отображение адреса банка для 32-разрядной памяти

PS	Адрес банка SDRAM	
	BA1	BA0
100	a11	a10
000	a12	a11
001	a13	a12
010	a14	a13
011	a15	a14

Период регенерации tRFR должен определяться индивидуально для используемой конфигурации памяти. Например, при тактовой частоте SCLK 200 МГц для обеспечения 8 192 цикловой регенерации за 64 мс необходимо в поле tRFR записать код 0x61A, что соответствует 7, 81 мкс на строку, а при частоте 100 МГц - 0x30D.

После инициализации SDRAM MPORT аппаратно выполняет процедуру регенерации с периодом tRFR тактов SCLK. Режим регенерации отключается при tRFR =0 или при переводе SDRAM в режим саморегенерации или пониженного потребления.

9.2.8 Регистр параметров SDRTMR

Регистр SDRTMR предназначен для задания интервалов (в тактах частоты SCLK) между различными командами SDRAM.

Формат регистра приведен в Таблица 9.15.

Таблица 9.15. Формат регистра SDRTMR

Номер разряда	Условное обозначение параметра	Назначение	Доступ	Исходное состояние
31:28	-	Резерв	R	0
27:24	tRC	Минимальный интервал между командами ACTIVE для одного и того же банка	RW	0
23:20	tRFC	Минимальный интервал между командами AUTO REFRESH.	RW	0
19:16	tRAS	Минимальная задержка между командами ACTIVE и PRECHARGE	RW	0
15:14	-	Резерв	R	0
13:12	-	Резерв	RW	0
11:10	-	Резерв	R	0
9:8	tRCD	Минимальная задержка между командами ACTIVE и READ/WRITE	RW	0
7:6	-	Резерв	R	0
5:4	tRP	Минимальный период команд PRECHARGE	RW	0
3:2	-	Резерв	R	0
1:0	tWR	Минимальная задержка между записью данных и командой PRECHARGE (Write recovery)	RW	0

Значения 0, 1, ..., n параметра в таблице соответствуют интервалу в 1, 2, ..., n+1 тактов. Например, значение 0xF параметра tRFC задает интервал 16 тактов между командами AUTO REFRESH, а значение 0 – интервал в один такт.

При вычислении параметров в соответствии с рабочей частотой и со спецификацией используемой памяти полученные значения необходимо округлять до ближайшего меньшего целого. Например, если в спецификации указано время tRCD = 20нс, то при частоте SCLK 133 МГц (период 7.5 нс) минимальный интервал в 2.7 такта нужно округлить до 2 и в поле tRCD регистра SDRTMR записать код 0x2.

9.2.9 Регистр управления и состояния SDRCSR

Регистр SDRCSR предназначен для запуска команд изменения режимов SDRAM и индикации их исполнения.

Формат регистра SDRCSR приведен в Таблица 9.16.

Таблица 9.16. Формат регистра SDRCSR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:7	-	Резерв	R	0
6	APPLY	При записи 1 в данный разряд контроллер выполняет перепись содержимого регистров CCON0 - CCON4, SDRTMR, SDRCON, CSR_EXT в одноименные исполнительные регистры	RW1	0
5	-	Резерв		
4	EXIT	При записи 1 в данный разряд MPORT выполняет последовательность команд вывода SDRAM из режимов саморегенерации и пониженного потребления. При чтении - признак выполнения команды выхода SDRAM из указанных режимов: устанавливается в 1 после завершения команды; сбрасывается при записи любой команды	RW1	0
3	PWDN	При записи 1 в данный разряд MPORT переводит SDRAM в режим пониженного потребления. При чтении - признак окончания данной команды: устанавливается в 1 после завершения команды; сбрасывается записью команды EXIT	RW1	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
2	SREF	При записи 1 в данный разряд MPORT переводит SDRAM в режим саморегенерации. При чтении - признак окончания данной команды: устанавливается в 1 после завершения команды; сбрасывается записью команды EXIT	RW1	0
1	AREF	При записи 1 в данный разряд MPORT выполняет команду авторегенерации SDRAM. При чтении - признак окончания команды авторегенерации: устанавливается в 1 после завершения данной команды; сбрасывается при записи любой команды	RW1	0
0	INIT	При записи 1 в данный разряд MPORT выполняет инициализацию SDRAM с параметрами: Burst Length – 1; Burst Type – Sequential; CAS Latency– поле CL регистра SDRCON; Operation Mode – Standart Operation WB – Programmed Burst Length. При чтении - признак окончания команды инициализации: устанавливается в 1 после завершения данной команды; сбрасывается при записи любой команды	RW1	0

Команды кодируются унитарным кодом в разрядах 4:0. Запись других кодов или запись новой команды до завершения предыдущей игнорируются.

При запуске любой команды изменения режимов MPORT ожидает завершения текущего обмена (в том числе регенерации), приостанавливает выполнение очередного обмена с SDRAM и выполняет необходимую последовательность команд SDRAM. Во время исполнения команды значение регистра SDRCSR - 0

По команде INIT выполняется последовательность команд инициализации:

- PRECHARGE;
- Пауза tRP, AUTO REFRESH;
- Пауза tRFC, AUTO REFRESH;
- Пауза tRFC, LOAD MODE REGISTER;
- Пауза tMRD, установка индикатора INIT.

Длительность выполнения команды INIT составляет порядка 30 тактов SCLK.

До выполнения начальной инициализации необходимо записать все параметры в регистры SDRCON, SDRTMR и сконфигурировать регистры CSCON0 и/или CSCON1.

MPORT не контролирует задержку 200 мкс между установкой стабильного питания и запуском команды INIT.

По команде AREF контроллер выполняет:

- PRECHARGE;
- пауза tRP, AUTO REFRESH;
- пауза tRFC, установка индикатора AREF.

По команде PWDN MPORT выполняет:

- PRECHARGE;
- пауза 1 такт SCLK;
- сброс CKE, NOP;
- пауза tRFC, установка индикатора PWDN.

После выполнения данной команды память находится в “режиме precharge power down”.

По команде SREF MPORT выполняет:

- PRECHARGE;
- Пауза tRP;
- SELF REFRESH;
- Пауза tRFC, установка индикатора SREF.

После выполнения команд PWDN и SREF MPORT находится в состоянии ожидания команды EXIT и игнорирует другие команды изменения режимов SDRAM. В этом состоянии MPORT не контролирует выполнение интервала tREF.

По команде EXIT контроллер устанавливает CKE и, после паузы tXSNR (или 2 такта SCLK при выходе из режима PWDN), выполняет AREF и устанавливается индикатор EXIT. $tXSNR = tRFC + 6$ тактов SCLK.

MPORT игнорирует команду EXIT при сброшенных индикаторах PWDN и SREF.

9.2.10 Регистр CSR_EXT

Регистр CSR_EXT предназначен для управления режимами контроля и коррекции памяти модифицированным кодом Хэмминга.

Формат регистра приведен в Таблица 9.17

Таблица 9.17. Формат регистра CSR_EXT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	Cnt_SERR	Счетчик одиночных ошибок. При значении 0xFF останавливается	WR	0
23:16	Num_SERR	Допустимый порог одиночных ошибок	WR	0xFF
15:8	Cnt_DERR	Счетчик двойных ошибок. При значении 0xFF останавливается	WR	0
7:5	-	Резерв	R	0
4	ROM	Признак отключения контроля по Хеммингу для блока памяти, подключенному к выводу nCS[3]: 0 – контроль включен; 1 – контроль выключен	WR	1
3	RMW	Разрешение операции чтение-модификация-запись в режиме без коррекции ошибок: 0 – запрещено; 1 – разрешено	WR	0
2	NEMPTY	Признак наличия данных в FIFO ошибочных адресов. Обнуляется при записи в регистр AERROR_EXT		0
1:0	MODE	Режим работы памяти: 00 - режим без коррекции ошибок. Обмен данными выполняется только с блоком данных памяти; 01 - режим с коррекцией ошибок. В обмене данными участвуют и блок данных, и блок контрольных разрядов; 10 - режим тестирования блока контрольных разрядов. Обмен данными выполняется только с блоком контрольных разрядов; 11 - резерв	WR	0

В режиме MODE = 01 или в режиме MODE = 00 при RMW =1 байтовая запись выполняется операцией “чтение-модификация-запись”. При выполнении операции “чтение-модификация-запись” в режиме MODE = 01 ошибки фазы чтения исправляются и фиксируются в FIFO ошибочных адресов.

При ROM=1 или BYTE=1 чтение из блока памяти, подключенного к выводу nCS[3] выполняется только с блоком данных памяти независимо от значения поля MODE. Состояние признака ROM не влияет на выполнение операции записи.

В режиме $MODE = 01$ при $Cnt_DERR > 0$ или $Cnt_SERR > Num_SERR$ формируется прерывание INT_Nm MPORT поступающее на одноименный вход регистра $QSTR_Nm$. Прерывание сбрасывается по следующим условиям:

- при записи $Cnt_DERR = 0$ и $Cnt_SERR = 0$;
- при записи $Cnt_DERR = 0$, если $Cnt_SERR \leq Num_SERR$;
- при записи $Cnt_SERR = 0$ или $Num_SERR = 255$, если $Cnt_DERR = 0$.

9.2.11 Регистр AERROR_EXT

Регистр AERROR_EXT предназначен для фиксации и локализации ошибок фазы чтения в режиме $MODE = 01$. Регистр доступен для чтения при установленном признаке NEMPTY регистра CSR_EXT. При $NEMPTY = 0$ состояние регистра не определено. При записи значение регистра не изменяется.

Формат регистра приведен в Таблица 9.18.

Таблица 9.18. Формат регистра AERROR_EXT

Номер разряда	Условное обозначение	Назначение
1:0	Code_ERR	Код ошибки: 01 – одиночная ошибка 10 – двойная ошибка 11 – ошибка в контрольном разряде общей четности
31:2	ADDR_ERR	Разряды 31:2 физического адреса ячейки (или полуслова для 64-разрядной памяти) памяти, при чтении из которой обнаружена ошибка. Если ошибка произошла и в старшем и в младшем полуслове, то в FIFO ошибочных адресов записывается 2 слова. AERROR_EXT [2] локализует место ошибки в 64-разрядном слове: 0 – ошибка в младшем полуслове; 1 – ошибка в старшем полуслове

9.3 Временные диаграммы обмена данными

9.3.1 Общие положения

При описании временных диаграмм используются условные обозначения в соответствии с Таблица 9.19.

Таблица 9.19. Условные обозначения

Условное обозначение	Описание
	Стабильное значение
	Возможное значение
	область изменения из «0» в «1»
	область изменения из «1» в «0»
	Достоверное значение
	Для входов: Не воспринимается, допустимо любое переключение Для выходов: состояние не определено
	Переключение выхода из (в) высокоимпеданное состояние (центральная линия)
	Повторение сигнала в течение неопределенного времени
T_i	$i = 1, 2, \dots$ фаза обмена на временной диаграмме
n	Количество дополнительных тактов ожидания, задаваемых полем WS регистров CCON
w	Число тактов ожидания высокого уровня сигнала ACK
nCS_x	Один из четырёх сигналов $nCS[3:0]$
$nOEx$	Один из четырёх сигналов $nOE[3:0]$
$nFLYBY_x$	Один из четырёх сигналов $nFLYBY [3:0]$
●	Момент приема данных

9.3.2 Обмен данными с асинхронной памятью

Временные диаграммы записи данных в асинхронную память приведены на Рисунок 9.1 - Рисунок 9.3.

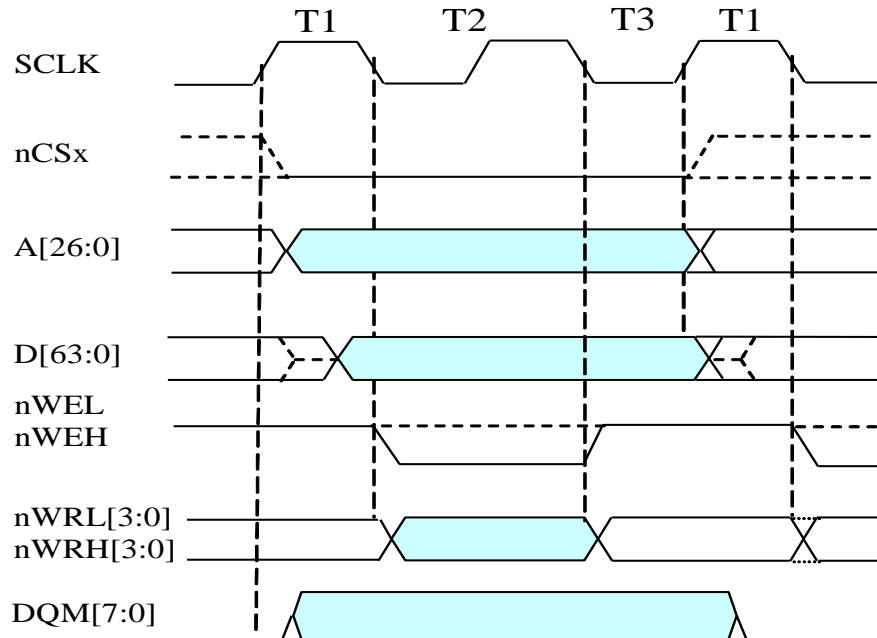


Рисунок 9.1. Запись в асинхронную память без дополнительных тактов ожидания

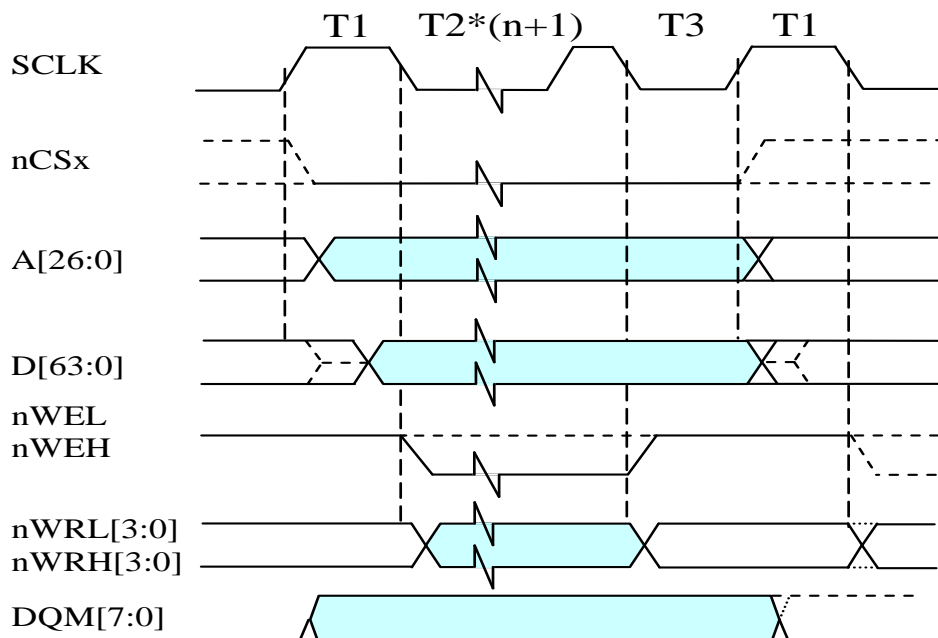


Рисунок 9.2. Запись в асинхронную память с n дополнительными тактами ожидания

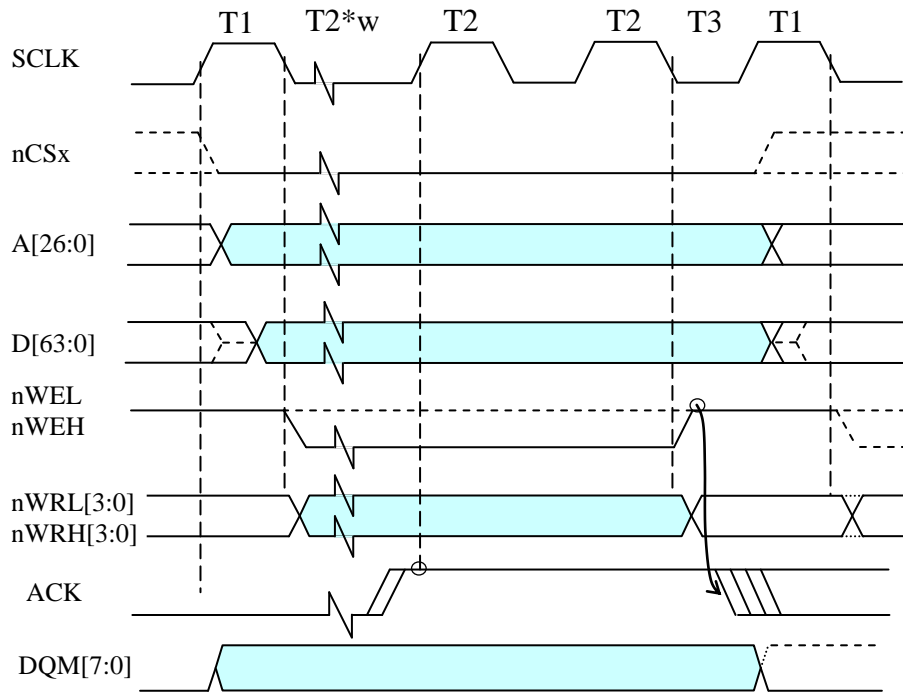


Рисунок 9.3. Запись в асинхронную память с ожиданием сигнала ACK

Временные диаграммы чтения данных из асинхронной памяти приведены на Рисунок 9.4 - Рисунок 9.6. При чтении выходы DQM[7:0] устанавливаются в низкий уровень.

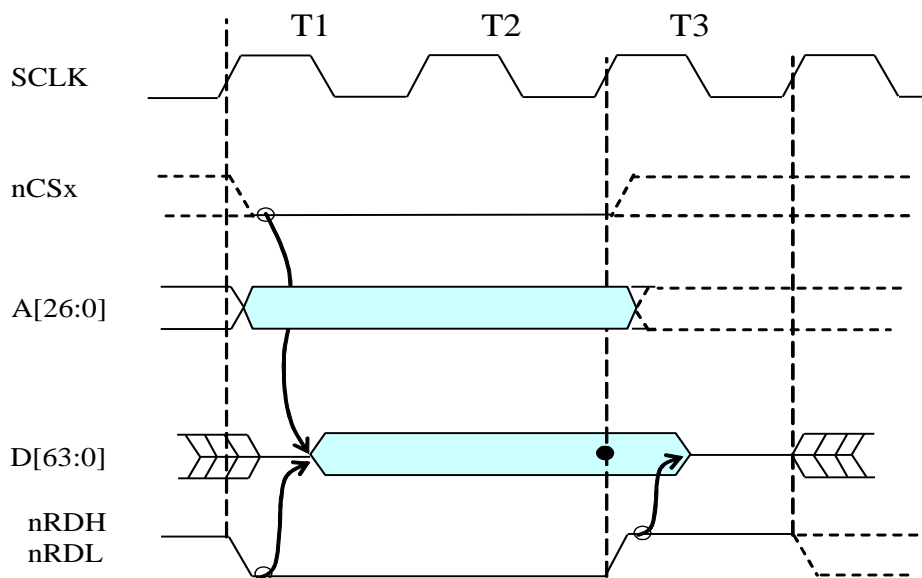


Рисунок 9.4. Чтение асинхронной памяти без дополнительных тактов ожидания

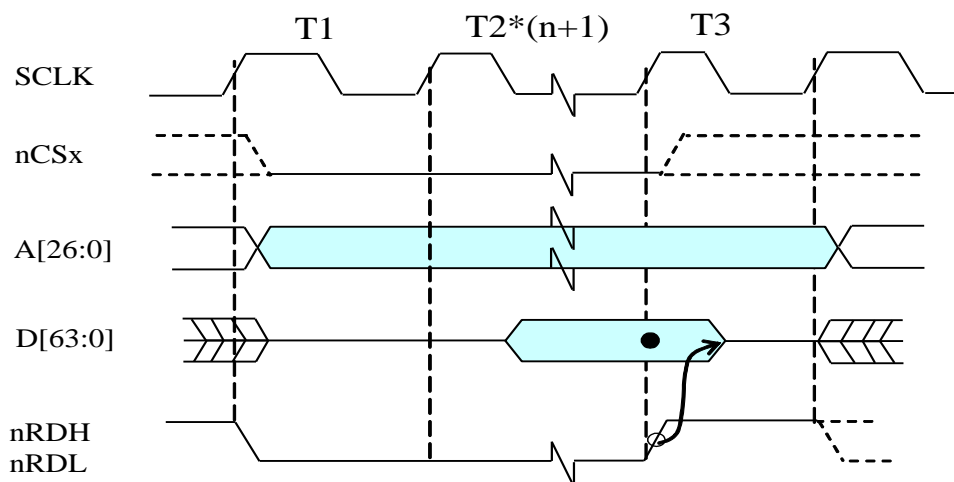


Рисунок 9.5. Чтение асинхронной памяти с n дополнительными тактами ожидания

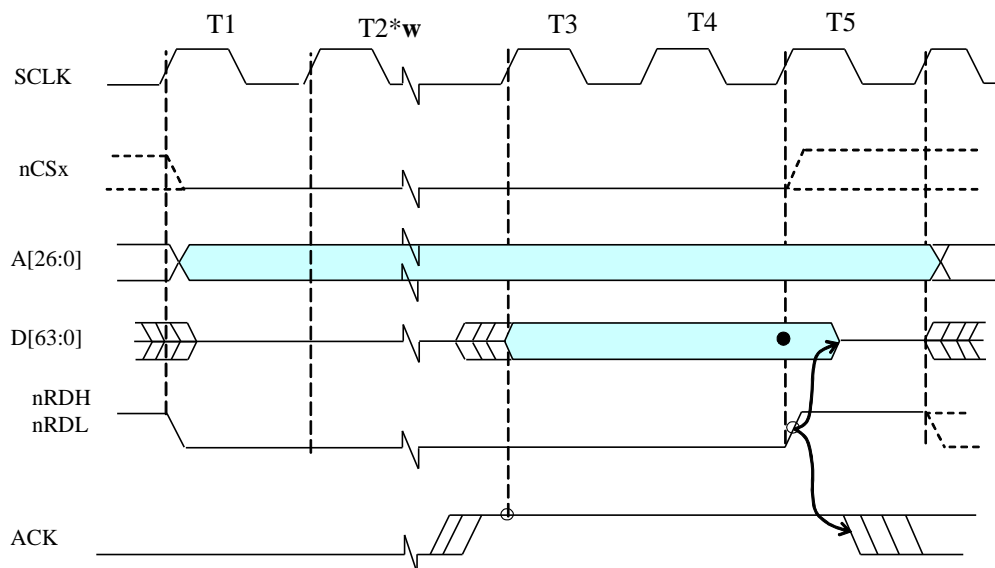


Рисунок 9.6. Чтение данных из асинхронной памяти с ожиданием сигнала ACK

Как правило, в блоке внешней памяти, подключенному к сигналу выборки памяти $nCS[3]$ размещается постоянное запоминающее устройство (ПЗУ), реализованное на FLASH, PROM, EEPROM и т.д.

В зависимости от состояния вывода микросхемы BYTE этот блок внешней памяти может быть 8 или 32 - разрядным. На Рисунок 9.7 приведена временная диаграмма чтения 32-разрядного слова из 8-разрядного ПЗУ при $BYTE = 1$.

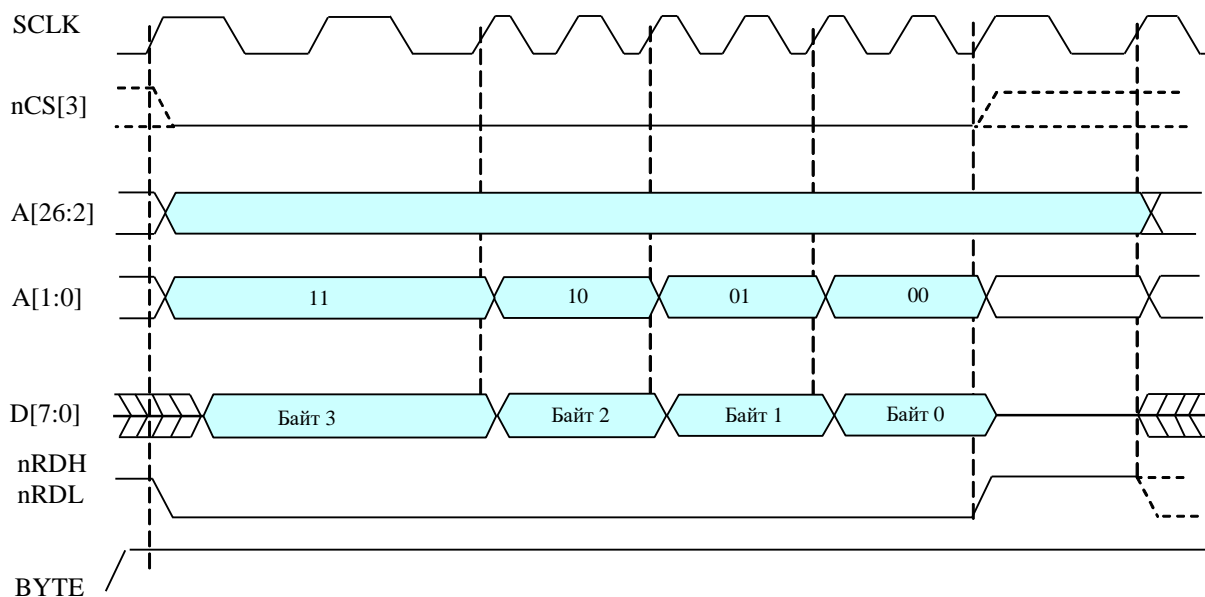


Рисунок 9.7. Чтение 32-разрядного слова из 8-разрядного ПЗУ ($n = 0$)

Если CPU выполняет программу из кэшируемой области внешней памяти, то загрузка строки кэш (процедура Refill) выполняются посредством чтения четырех 32-разрядных слов в режиме burst. Адрес, по которому начинается burst, выровнен по 16-байтной границе. На рисунке 9.8 приведена временная диаграмма выполнение процедуры Refill из 32-разрядной асинхронной памяти. На Рисунок 9.9 приведена временная диаграмма выполнение процедуры Refill из 8-разрядного ПЗУ

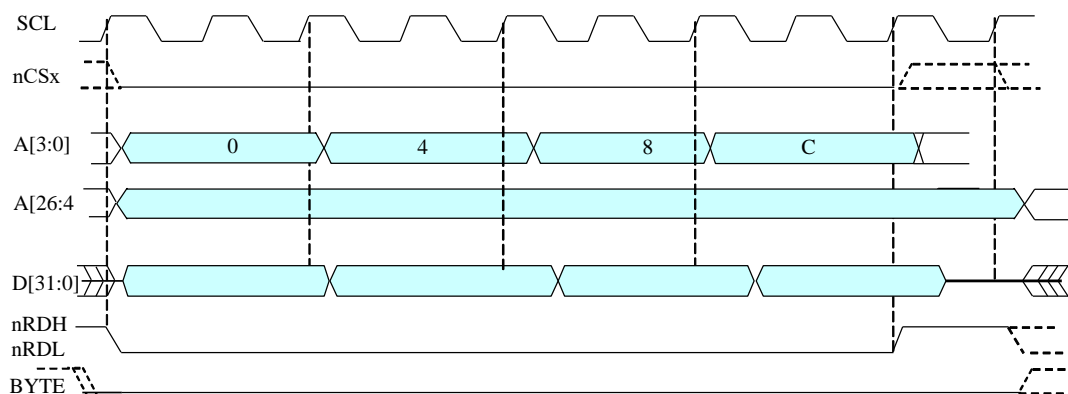


Рисунок 9.8. Выполнение процедуры Refill из 32-разрядной асинхронной памяти ($n = 0$)

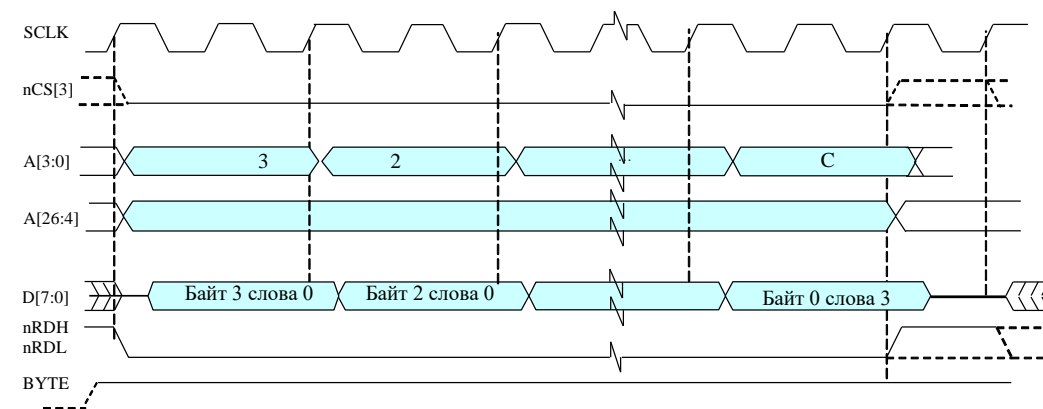


Рисунок 9.9. Выполнение процедуры Refill из 8-разрядного ПЗУ (n = 0)

9.3.3 Обмен данными с синхронной динамической памятью

Временные диаграммы с синхронной памятью приведены на Рисунок 9.10 - Рисунок 9.16. Временные диаграммы инициализации и регенерации SDRAM приведены на Рисунок 9.17, Рисунок 9.18 соответственно. Временные параметры имеют следующие значения в тактах SCLK: $t_{RP}=2$, $t_{RCD}=2$, $t_{MRD}=2$, $t_{RFC}=8$, CAS latency = 2. При чтении $DQM[7:0]=0$.

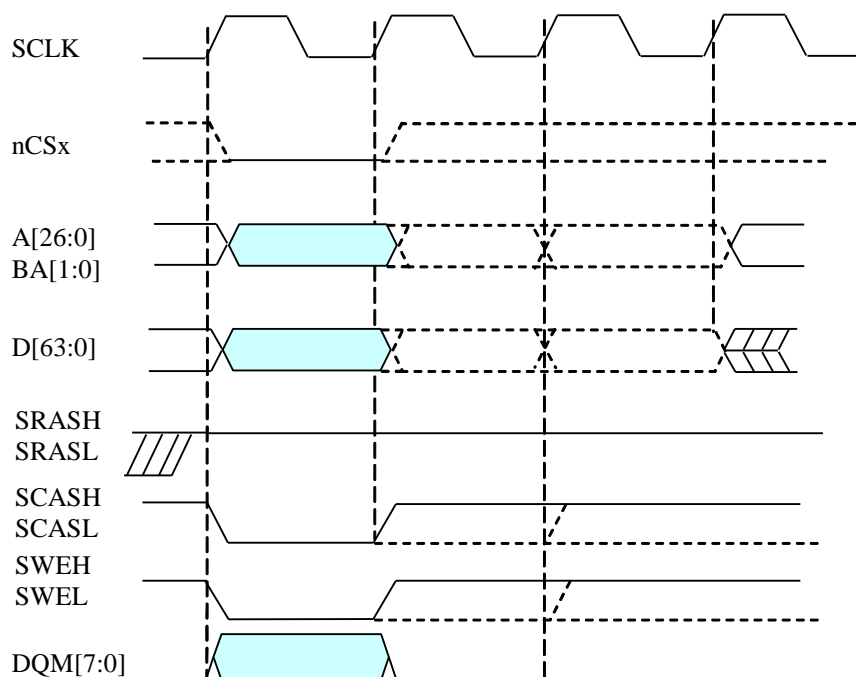


Рисунок 9.10. Запись одного слова данных в SDRAM

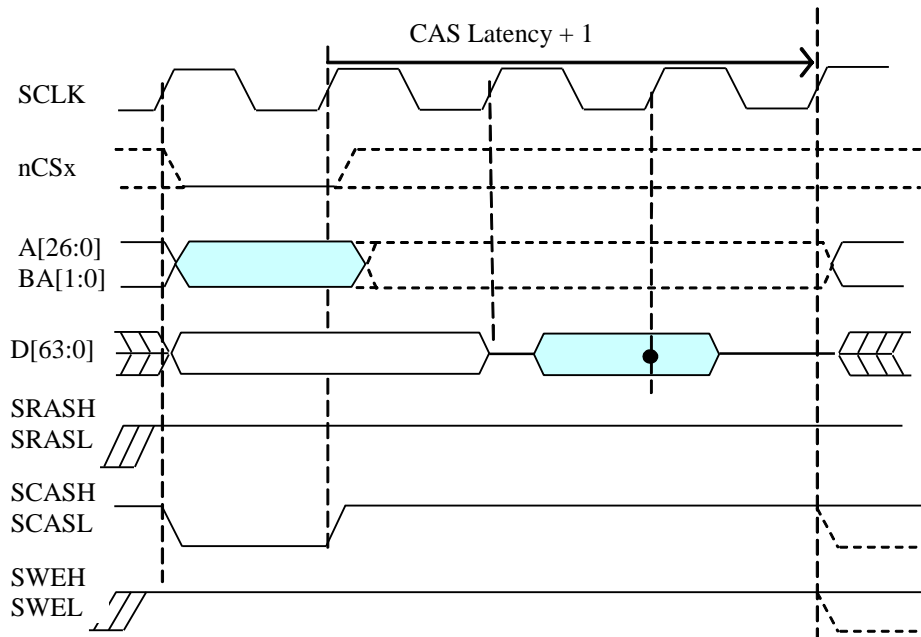


Рисунок 9.11. Чтение одного слова данных из SDRAM

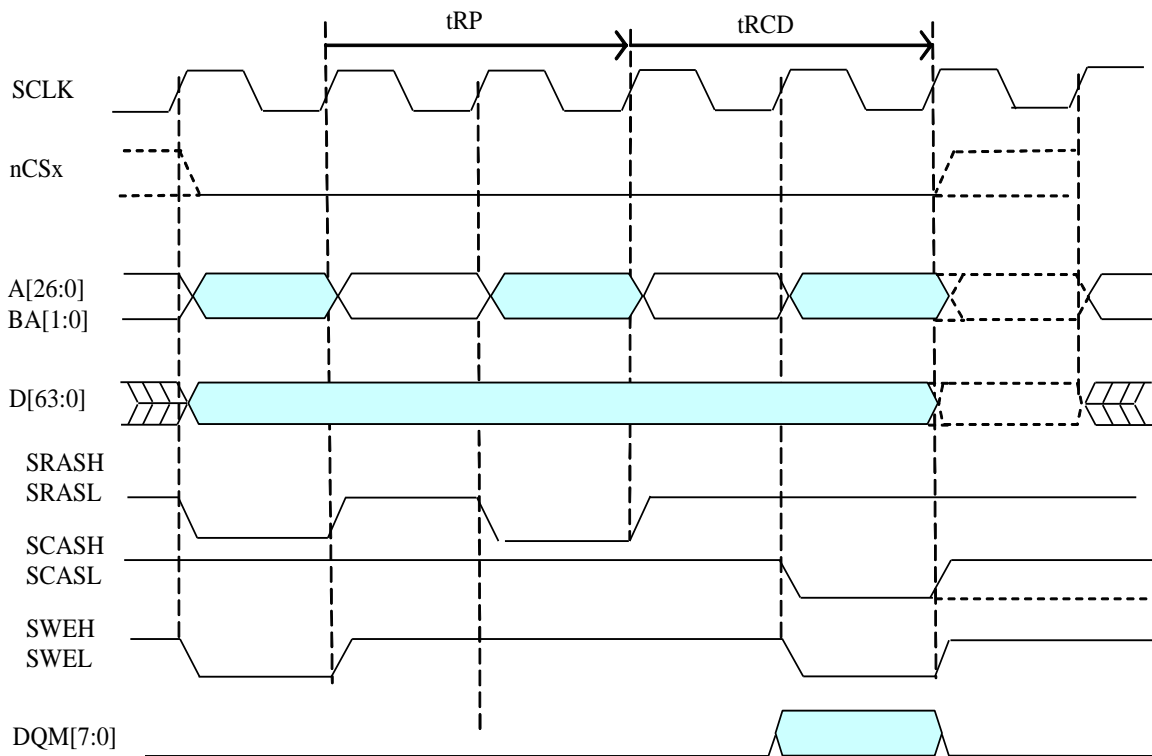


Рисунок 9.12. Запись одного слова данных в SDRAM с деактивизацией строки

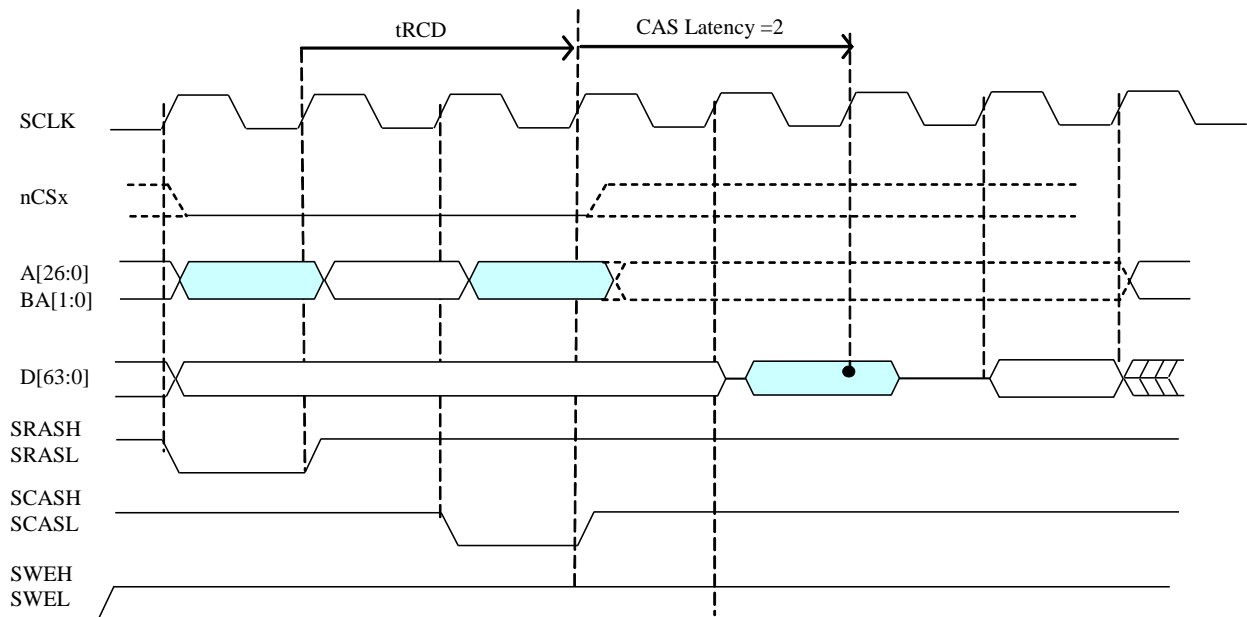


Рисунок 9.13. Чтение одного слова данных из SDRAM с активизацией строки

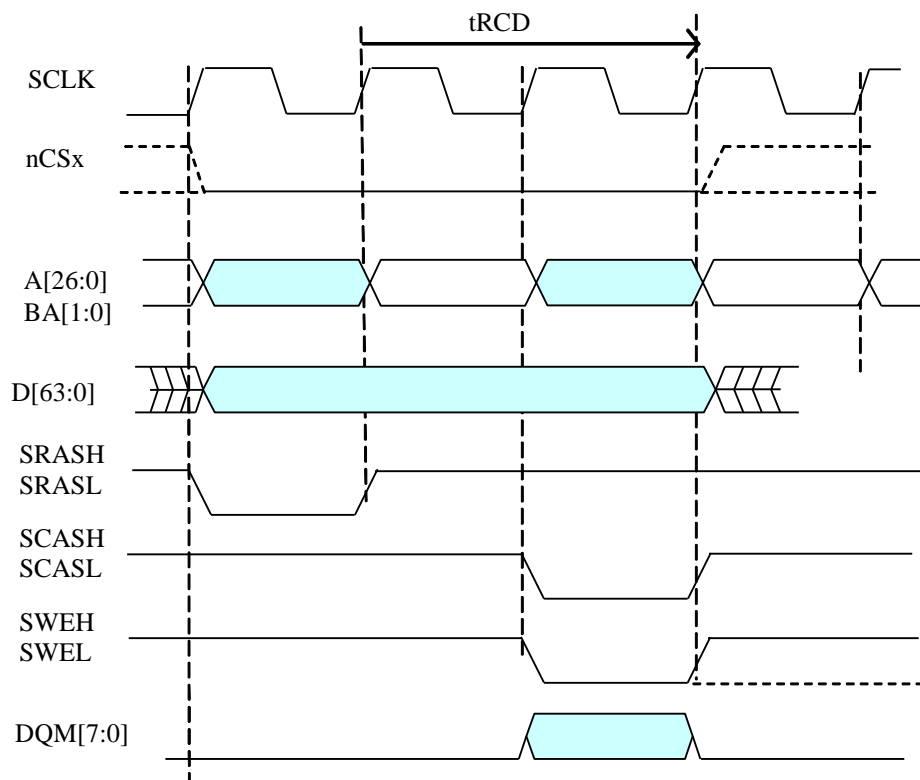


Рисунок 9.14. Запись одного слова данных в SDRAM с активизацией строки

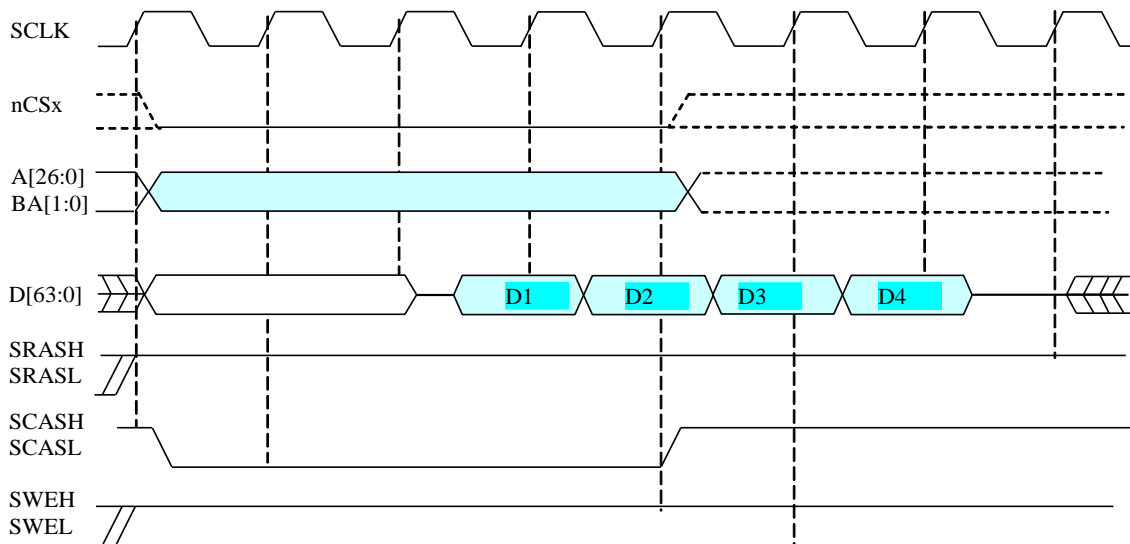


Рисунок 9.15. Чтение 4-х слов данных из SDRAM в режиме “burst”

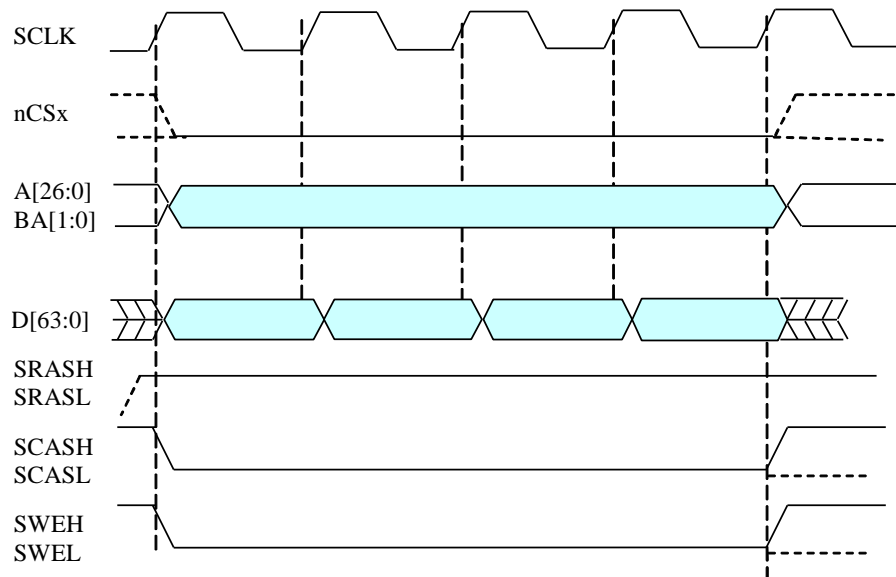


Рисунок 9.16. Запись 4-х слов данных в SDRAM в режиме “burst”

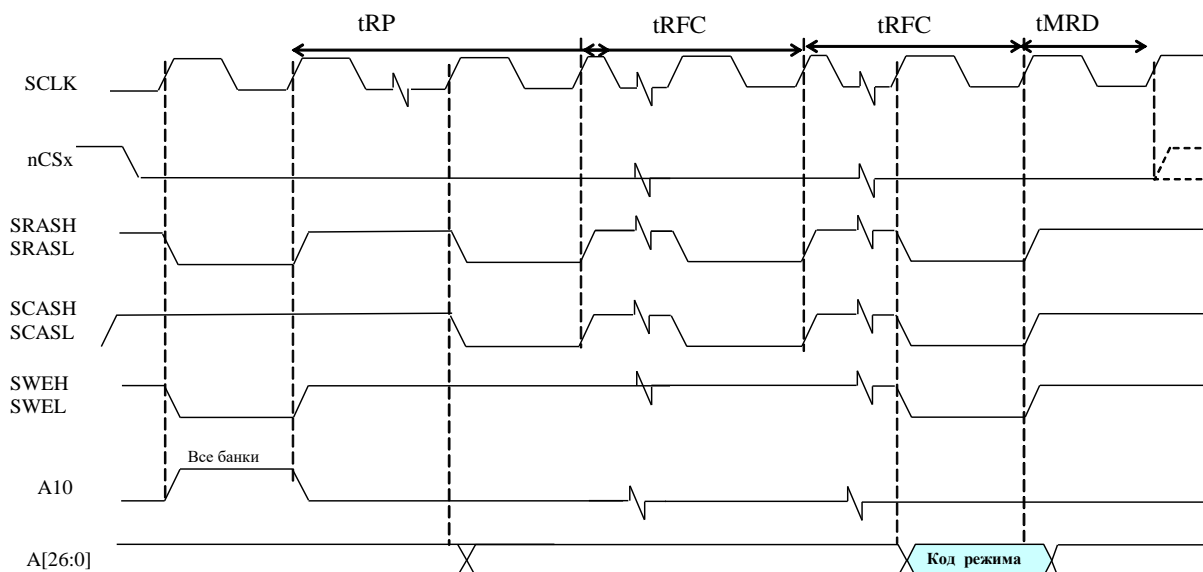


Рисунок 9.17. Инициализация SDRAM

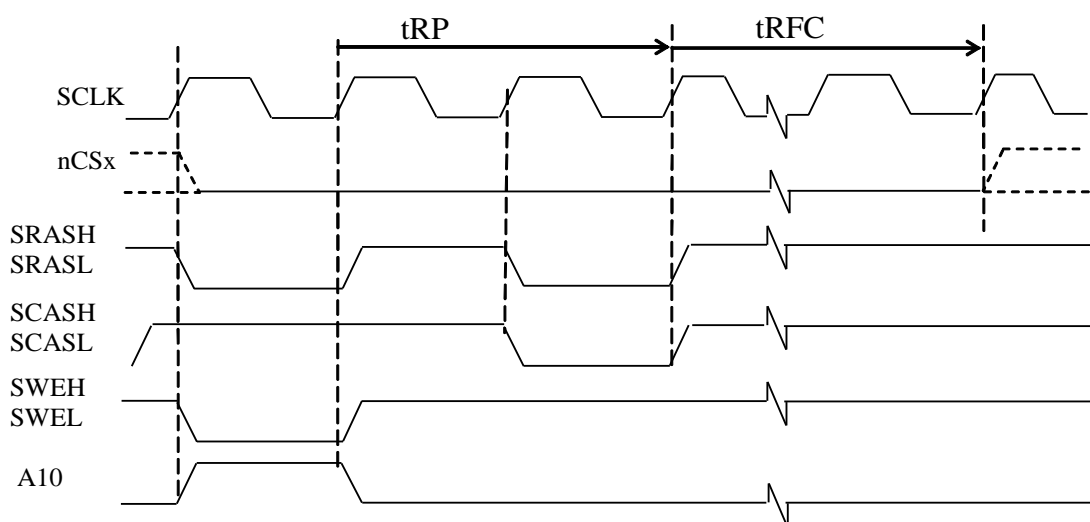


Рисунок 9.18. Регенерация SDRAM

9.3.4 Обмен данными в режиме Flyby

Режим Flyby используется каналами DMA MEM_CH для передачи данных между внешним устройством ввода-вывода и внешней памятью (как асинхронной, так и синхронной). Для выполнения передачи данных в режиме Flyby в соответствующем регистре CSR DMA MEM_CH необходимо установить бит FLYBY.

При передаче данных в режиме Flyby MPORT активизирует внешнюю память и внешнее устройство ввода-вывода одновременно. Память управляется как обычно, а устройство ввода-вывода – при помощи сигналов nFLYBY (признак данного режима, активный -

низкий уровень) и nOE (активизация выходных формирователей устройства ввода-вывода, активный - низкий уровень). Каждому каналу DMA MEM_CH соответствуют свои сигналы nFLYBY и nOE.

В режиме Flyby MPORT выполняет обмен данными полными словами памяти. Объем передаваемой информации определяется форматом передачи (бит EN64 регистра CSR DMA MEM_CH), количеством передаваемых слов (биты WN регистра CSR DMA MEM_CH) и разрядностью памяти (бит W64 соответствующего регистра CCON).

При EN64 =0 и W64 =1 поле WN должно определять четное число слов, а начальный адрес передачи должен быть выровнен до границы 64-разрядного слова. Например, при EN64 =0, WN = 3 и W64 =1 MPORT выполнит передачу 2 слов памяти,

при EN64 =1, WN = 3 и W64 =1 MPORT выполнит передачу 4 слов памяти, а

при EN64 =1, WN = 3 и W64 =0 MPORT выполнит передачу 8 слов памяти

Для 8-разрядной памяти EN64 определяет количество байтов в слове передачи: при EN64=0 из памяти передается 4 байта, при EN64=1 передается 8 байт. Например, если WN = 0x3, то при EN64=0 во внешнее устройство будет передано 16 байт, а при EN64=1 будет передано 32 байта.

Временные диаграммы обмена данными в режиме Flyby приведены на Рисунок 9.19 - Рисунок 9.24 (WS=0, WSF=0, AE=0, CL=2). Выводы DQM[3:0], nWRL[3:0], nWRH[3:0] изменяются как при обычных обменах.

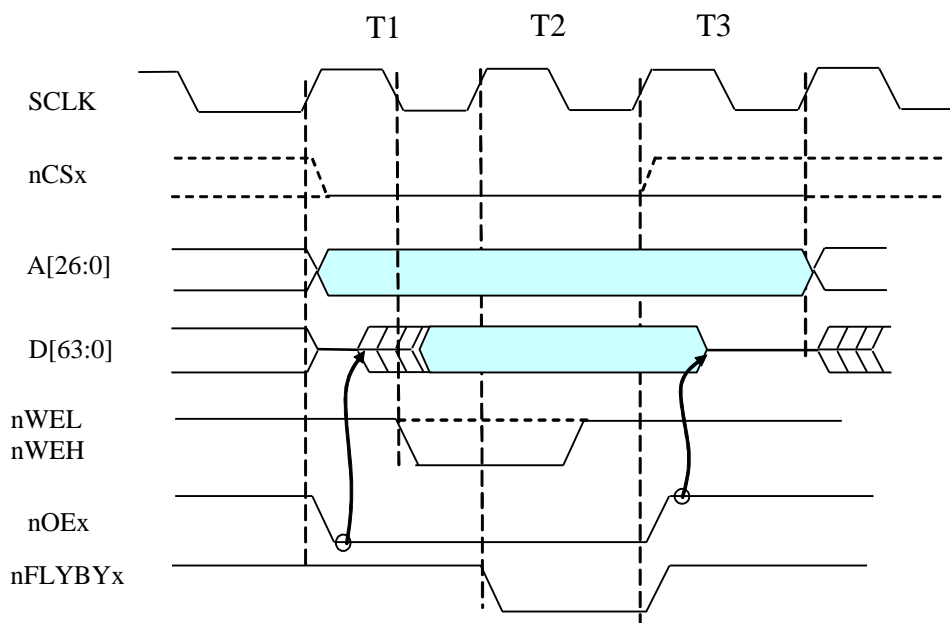


Рисунок 9.19. Передача одного слова данных из устройства ввода-вывода в асинхронную память

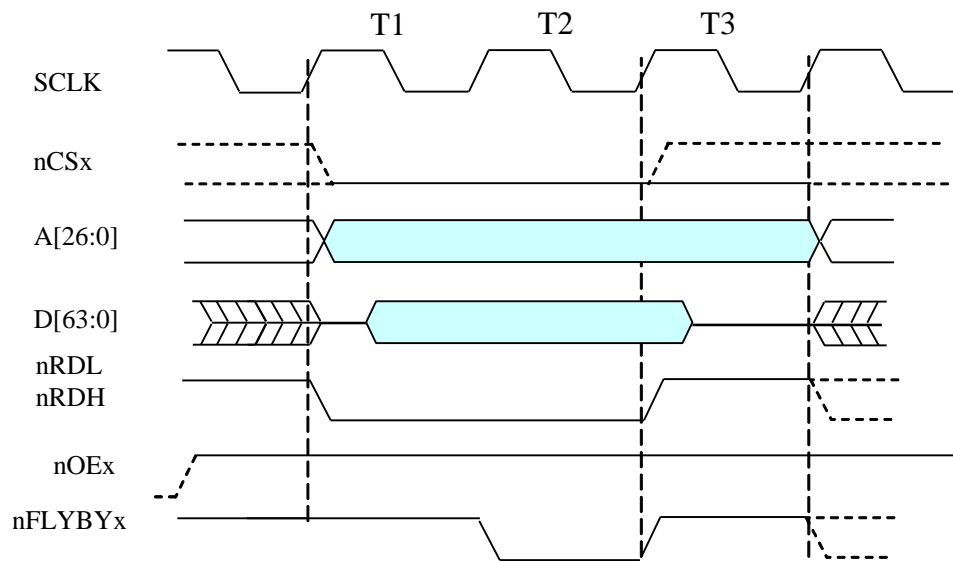


Рисунок 9.20. Передача одного слова данных из асинхронной памяти в устройство ввода-вывода

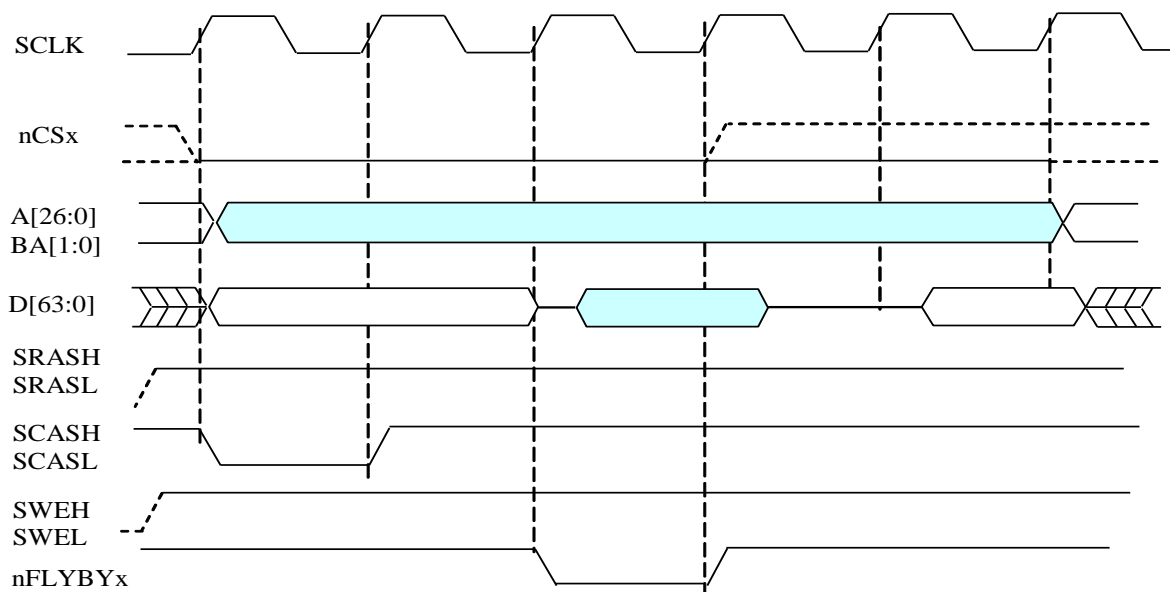


Рисунок 9.21. Передача одного слова данных из SDRAM в устройство ввода-вывода

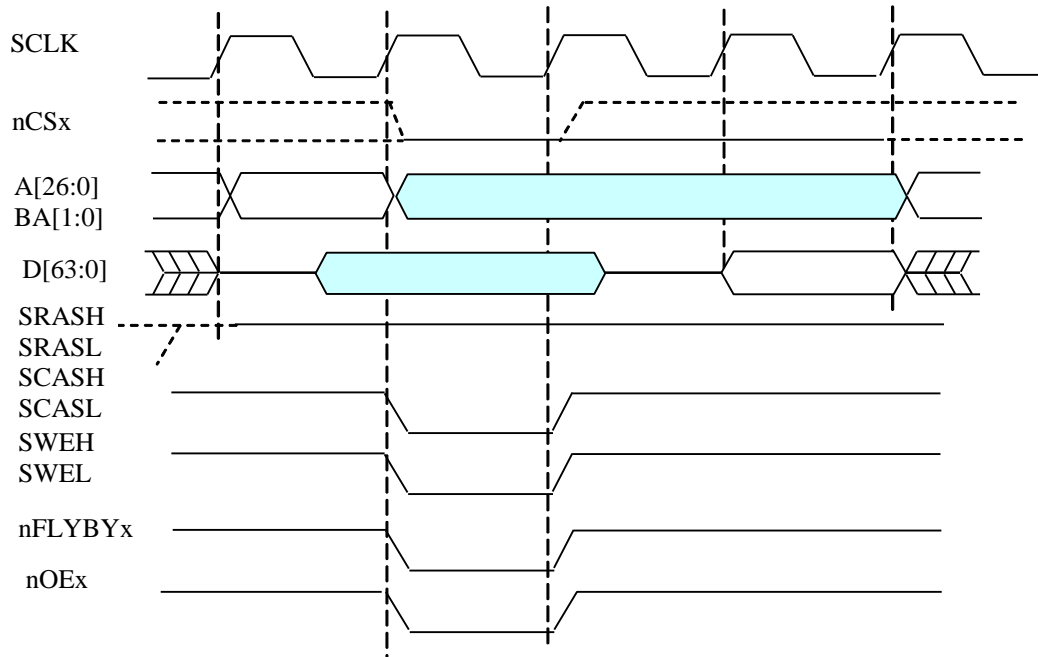
nFLYBY_x

Рисунок 9.22. Передача одного слова данных из устройства ввода-вывода в SDRAM

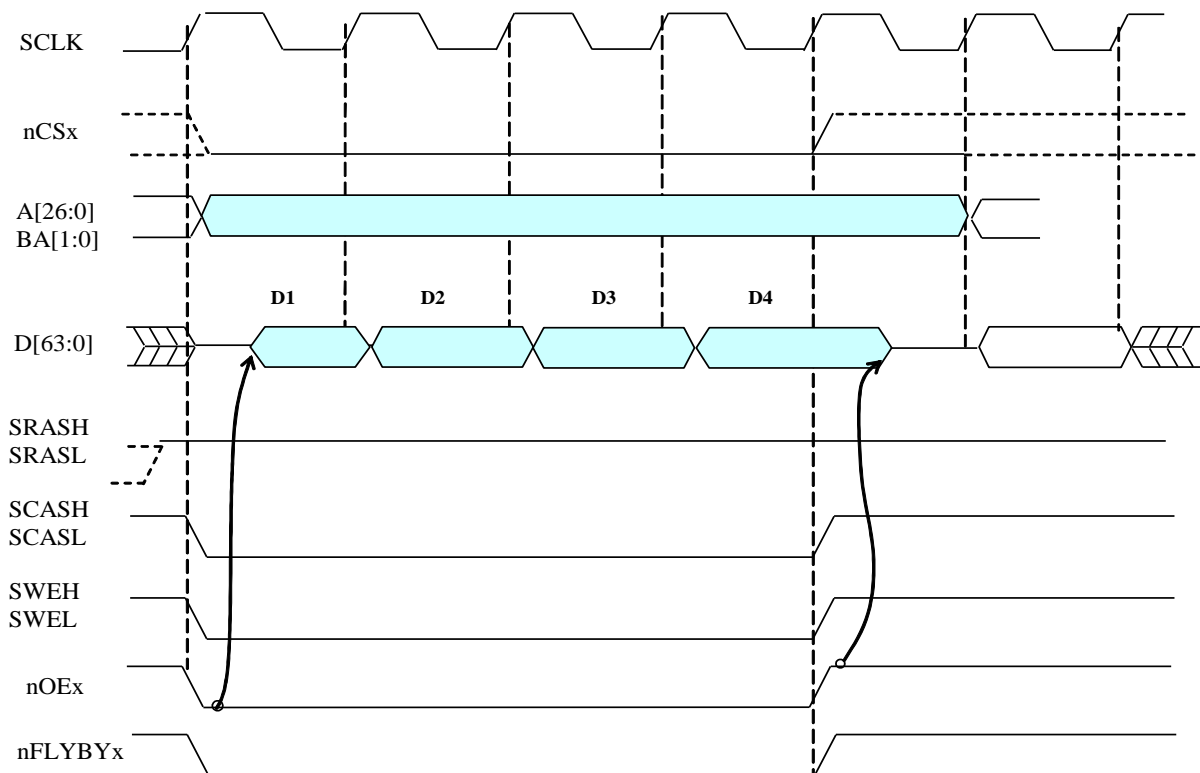


Рисунок 9.23. Передача 4-х слов данных из устройства ввода-вывода в SDRAM

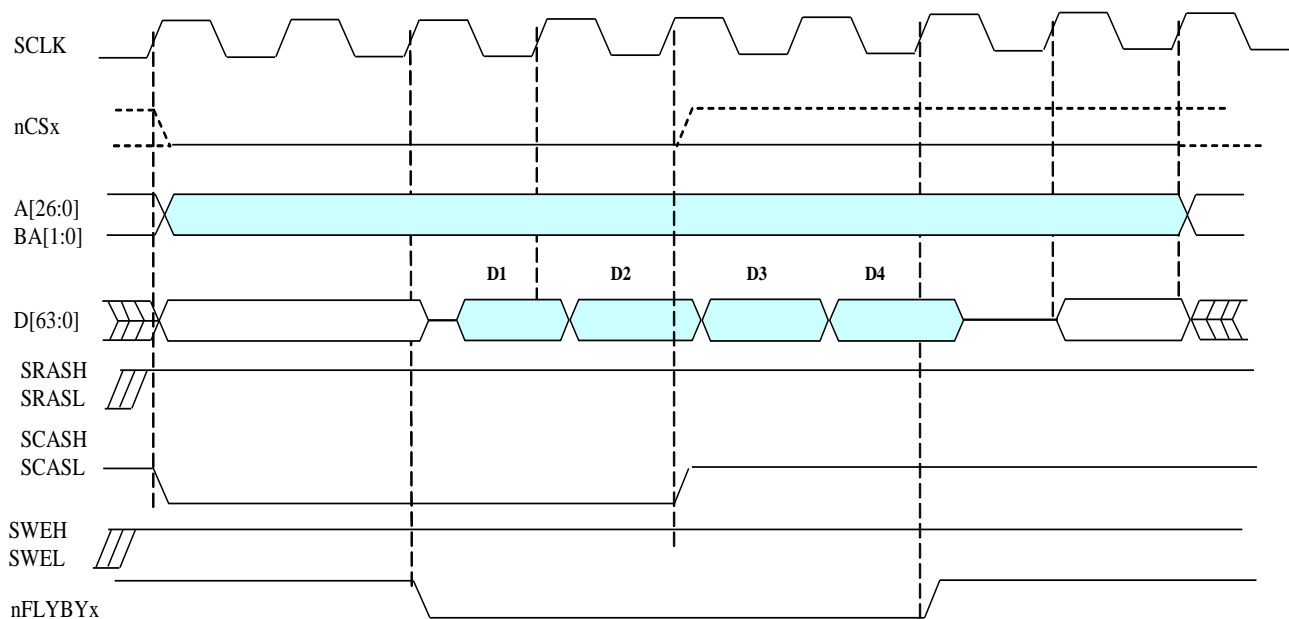


Рисунок 9.24. Передача 4-слов данных из SDRAM в устройство ввода-вывода

9.4 Рекомендации по подключению внешней памяти

9.4.1 Память типа SDRAM

Выводы адреса микросхем типа SDRAM подключаются к выводам шины адреса порта внешней памяти следующим образом:

- номер банка SDRAM – к выводам BA[1:0];
- адрес A[12:0] SDRAM – к выводам A[14:13], A10, A[11:2] соответственно.

9.4.2 Память типа Flash

К микропроцессору можно подключать 32, 64-разрядную или 8-разрядную память типа Flash.

32 и 64 -разрядная память Flash подключается к микропроцессору аналогично асинхронной памяти. Как правило, она подключается к сигналу выборки памяти nCS[3] и используется для старта микропроцессора. Но при необходимости память Flash может быть подключена к любому сигналу выборки памяти nCS[4:0].

8-разрядная память Flash подключается только к сигналу выборки памяти $nCS[3]$. При этом признак BYTE необходимо установить в состояние 1, а адресную шину микропроцессора подключить к памяти Flash, начиная с 0 разряда (к 32 и 64 -разрядной памяти адрес подключается, начиная со 2 разряда).

При использовании памяти типа Flash возможны следующие варианты ее программирования:

1. Микросхемы этой памяти программируется на программаторе и потом распаивается на плату или устанавливаются в контактирующее устройство.
2. Микросхемы этой памяти программируются на плате программно с использованием команды Store Byte. В этом случае MPORT выдает на выходы $A[1:0]$ номер байта и коммутирует заказанный байт на выходы $D[7:0]$. При использовании других модификаций команды Store(например, Store Word, Store Halfword) MPORT выдает на разряды адреса $A[1:0]$ состояние, заданное полем ADDR регистра CSCON3, а на выходы $D[7:0]$ коммутирует младший байт операнда.
3. Микросхемы этой памяти программируются на плате через порт JTAG микропроцессора. В этом случае запись в память производится командой Store Word, поэтому перед каждой записью необходимо устанавливать в разрядах 21:20 регистра CSCON3 необходимое значение адреса байта. Для процесса программирования через порт JTAG необходим специальный драйвер, который не входит в состав MC Studio.

10. ПОРТ ВНЕШНЕЙ ПАМЯТИ ТИПА DDR SDRAM

10.1 Общие положения

В микросхеме имеется два порта внешней памяти типа DDR SDRAM (DDR_PORT0, DDR_PORT1).

Внешний интерфейс порта обеспечивает подключение памяти типа DDR SDRAM, соответствующей стандарту JESD79C, с параметрами:

- Организация – x8 , x16, x32;
- Количество банков – 4;
- Разрядность адреса строки – не более 13;
- Разрядность адреса столбца – 8, 9, 10, 11, 12;
- Задержка данных при чтении – 2, 2.5 и 3 такта.

Контроллер имеет следующие основные характеристики:

- Шина данных – 32 разряда;
- Шина адреса – 13 разрядов;
- Шина адреса банка – 2 разряда;
- Количество стробов DQS – 5;
- Количество стробов DM – 5;
- Количество каналов выдачи частоты синхронизации СК – 3; СКп – 3;
- Программируемая установка параметров памяти;
- Программная и аппаратная подстройка “окна” приема данных;
- Аппаратный контроль открытия страниц;
- защита памяти модифицированным кодом Хэмминга.

10.2 Регистры DDR_PORT

Перечень регистров приведен в Таблица 10.1.

Таблица 10.1. Регистры контроллера

Условное обозначение	Название регистра
DDR_BAR	Регистр базового адреса
DDR_CON	Регистр конфигурации
DDR_TMR	Регистр параметров
DDR_CSR	Регистр управления и состояния
DDR_MOD	Регистр режимов
DDR_EXT	Регистр управления режимами контроля памяти
DDR_ERR	Регистр ошибок памяти

При описании полей и значений регистров используются обозначения:

- R – только чтение;
- RW – чтение и запись;
- RW1 – Чтение, пуск операции;
- i:j – неразрывная группа разрядов, i –старший разряд группы, j –младший;
- [i] – номер разряда;
- 0x – далее следует шестнадцатеричный код.

Термины и обозначения временных параметров и команд управления DDRAM соответствуют стандарту JESD79C.

10.2.1 Регистр базового адреса DDR_BAR

Формат регистра DDR_BAR приведен в Таблица 10.2.

Таблица 10.2. Формат регистра DDR_BAR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	-	Резерв	R	0
15:8	CSBAR	Разряды 31:24 базового адреса DDRAM. Младшие разряды базового адреса равны нулю	RW	0xFF
7:0	CSMASK	Разряды 31:24 маски, используемые при определении базового адреса DDRAM. Младшие разряды маски равны нулю	RW	00

Физический адрес попадает в область памяти DDRAM, если $PHA \& CSMASK = CSBAR$, где PHA – 32-разрядный физический адрес. Если физический адрес не попадает в область памяти DDRAM, то эта передача данных переадресуется в MPORT.

Минимальный размер сегмента – 16 Мбайт (при CSMASK = 0xFF). Для увеличения размера сегмента в младшие разряды поля CSMASK необходимо записать соответствующее число нулей. Например, для сегмента в 128 Мбайт, разряды 2:0 CSMASK должны быть равны нулю.

10.2.2 Регистр конфигурации DDR_CON

Регистр DDR_CON предназначен для программирования конфигурационных параметров синхронной памяти типа DDR.

Формат регистра DDR_CON приведен в Таблица 10.3.

Таблица 10.3. Формат регистра DDR_CON

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	Резерв	R	0
29:16	tRFR	Период авторегенерации DDRAM в тактах частоты СК	RW	0
15:13	-	Резерв	R	0
12	tWTR	Внутренняя задержка DDRAM между командами WRITE и READ в тактах частоты СК: 0 – 1 такт СК; 1 – 2 такта СК	RW	0
11:9	-	Резерв.	R	0
8	DS	Мощность выходов микросхем DDRAM, подключенных к контроллеру (Drive Strength): 0 – нормальная STTL class II; 1 – пониженная (~54% от нормальной)	RW	0
7	-	Резерв	R	0
6:4	CL	Задержка данных при чтении (CAS latency): 010 – 2 такта СК; 011 – 3 такта СК; 110 – 2.5 такта СК; 000:001, 100:101, 111 – резерв	RW	0
3	-	Резерв	R	0
2:0	PS	Размер страницы микросхем DDRAM, подключенных к контроллеру: 000 – 512; 001 – 1024; 010 – 2048; 011 – 4096; 100 – 256; 101: 111 – резерв. Число банков DDRAM – 4	RW	0

Преобразование физического адреса в адрес 32 - разрядной памяти DDRAM при различных значениях параметра PS представлено в Таблица 10.4 - Таблица 10.6. Разряды физического адреса в таблицах обозначены строчными буквами “a”.

Таблица 10.4. Отображение адреса строки

PS	Адрес DDRAM												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
100	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12
000	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13
001	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14
010	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15
011	a28	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16

Таблица 10.5. Отображение адреса столбца

PS	Адрес DDRAM												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
100	0	0	0	0	0	a 9	a 8	a 7	a 6	a 5	a 4	a 3	a 2
000	0	0	0	0	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3	a 2
001	0	0	0	a11	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3	a 2
010	a13	a12	0	a11	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3	a 2
011	a13	a12	0	a11	a 10	a 9	a 8	a 7	a 6	a 5	a 4	a 3	a 2

Таблица 10.6. Отображение адреса банка

PS	Адрес банка DDRAM	
	BA1	BA0
100	a11	a10
000	a12	a11
001	a13	a12
010	a14	a13
011	a15	a14

Период авторегенерации должен определяться индивидуально для используемой конфигурации DDRAM. Например, при тактовой частоте СК 200 МГц для обеспечения 8 192 цикловой регенерации за 64 мс необходимо в поле tRFR записать код 0x61A, что соответствует 7, 81 мкс на строку. При tRFR = 0 режим авторегенерации отключен.

10.2.3 Регистр параметров DDR_TMR

Регистр DDR_TMR предназначен для задания интервалов (в тактах частоты СК) между различными командами DDR.

Формат регистра DDR_TMR приведен в Таблица 10.7.

Таблица 10.7. Формат регистра DDR_TMR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:27	-	Резерв.	R	0
27:24	tRC	Минимальный интервал между командами ACTIVE	RW	0
23:20	tRFC	Минимальный интервал между командами AUTO REFRESH.	RW	0
19:16	tRAS	Минимальная задержка между командами ACTIVE и PRECHARGE	RW	0
15:14	-	Резерв	R	0
13:12	tRTW	Дополнительная задержка команды READ после WRITE	RW	0
11:10	-	Резерв.	R	0
9:8	tRCD	Минимальная задержка между командами ACTIVE и READ / WRITE	RW	0
7:6	-	Резерв	R	0
5:4	tRP	Минимальный период команд PRECHARGE	RW	0
3:2	-	Резерв	R	0
1:0	tWR	Минимальная задержка между записью данных и командой PRECHARGE (Write recovery)	RW	0

Значения 0, 1, ..., n параметра в таблице соответствуют интервалу в 1, 2, ..., n+1 тактов. Например, значение 0xF параметра tRFC задает интервал 16 тактов между командами AUTO REFRESH, а значение 0 – интервал в один такт.

При вычислении параметров в соответствии с рабочей частотой и со спецификацией используемой памяти, полученные значения необходимо округлять до ближайшего меньшего целого. Например, если в спецификации указано время tRCD = 20 ns, то при частоте СК 133 МГц (период 7.5ns) минимальный интервал в 2.7 такта нужно округлить до 2 и в поле tRCD регистра DDR_TMR записать код 0x2.

10.2.4 Регистр состояний и управления DDR_CSR

Регистр DDR_CSR предназначен для запуска команд изменения режимов DDRAM или контроллера и индикации их исполнения.

Формат регистра DDR_CSR приведен в Таблица 10.8.

Таблица 10.8. Формат регистра DDR_CSR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:9	-	Резерв.	R	0
8	-	Резерв	R	0
7	-	Резерв.	R	0
6	APPLY	При записи 1 в данный разряд контроллер выполняет перепись содержимого регистров DDR_TMR, DDR_CON, DDR_MOD, DDR_EXT в одноименные исполнительные регистры	RW1	0
5	EYEW	Запись 1 в данный разряд запускает команду контроллера “подстройка частоты приема данных”. При чтении - признак окончания команды “подстройка частоты приема данных”: Устанавливается в 1 после завершения команды; сбрасывается при записи любой команды. Данная команда также запускается автоматически при выполнении команд инициализации и выхода из режима саморегенерации при сброшенном бите TMODE регистра DDR_MOD. При этом бит EYEW не устанавливается, а биты INIT и EXIT устанавливается только после завершения подстройки частоты	RW1	0
4	EXIT	Запись 1 в данный разряд запускает команду выхода DDRAM из режимов саморегенерации и пониженного потребления. При чтении - признак выполнения команды выхода DDRAM из режимов саморегенерации и пониженного потребления: устанавливается в 1 после завершения команды; сбрасывается при записи любой команды	RW1	0
3	PWDN	Запись 1 в данный разряд запускает команду перевода DDRAM в режим пониженного потребления. При чтении - признак окончания данной команды: устанавливается в 1 после завершения команды; сбрасывается записью команды EXIT	RW1	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
2	SREF	Запись 1 в данный разряд запускает команду перевода DDRAM в режим саморегенерации. При чтении - признак окончания данной команды: устанавливается в 1 после завершения команды; сбрасывается записью команды EXIT	RW1	0
1	AREF	При записи 1 в данный разряд контроллер выполняет команду регенерации DDRAM. При чтении - признак окончания данной команды: устанавливается в 1 после завершения команды; сбрасывается при записи любой команды	RW1	0
0	INIT	Запись 1 в данный разряд запускает команду инициализации DDRAM с параметрами: Bust Length – 2; Burst Type – sequential; CAS Latency – поле CL регистра DDR_CON; Drive Strength – поле DS регистра DDR_CON. При чтении - признак окончания команды инициализации: устанавливается в 1 после завершения данной команды; сбрасывается при записи любой команды	RW1	0

Команды кодируются унитарным кодом в разрядах 8 - 0. Запись других кодов игнорируются. Выражение “Запись 1 в данный разряд” в столбце «Назначение» означает корректную запись унитарного кода с единицей в данном разряде.

При запуске любой команды изменения режимов DDR_PORT ожидает завершения текущей операции и выполняет необходимую последовательность команд DDR.

Выполнение команд INIT, EYEW и EXIT зависит от состояния поля TMODE регистра DDR_MOD.

По команде INIT после специфицированной последовательности команд инициализации,

DDR_PORT дополнительно выполняет

при TMODE = 0:

- команду LOAD MODE REGISTER с битом DLL=0;
- пауза 200 тактов СК;
- команду EYEW и устанавливает индикатор INIT,

при TMODE = 1:

- команду LOAD MODE REGISTER с битом DLL=0;
- пауза tMRD тактов СК и устанавливает индикатор INIT.

До выполнения начальной инициализации необходимо записать все параметры в регистры DDR_CON, DDR_TMR и DDR_MOD и затем выполнить команду APPLY.

DDR_PORT не контролирует паузу 200 мкс между установкой стабильного питания и командой INIT.

По команде EYEW при TMODE = 0 контроллер выполняет:

- запуск аппаратуры подстройки частоты приема данных;
- циклическое чтение памяти и ожидает (~30-40 тактов) окончания подстройки;
- завершает цикл чтения и устанавливает индикатор EYEW.

По команде EYEW при TMODE = 1 контроллер выполняет запуск аппаратуры подстройки частоты приема данных и устанавливает индикатор EYEW. В этом режиме аппаратура подстройки выполняет сдвиг окна приема данных для каналов, заданных полем SEL регистра DDR_MOD на величину 1/34 периода частоты СК.

В режиме TMODE = 0 аппаратура подстройки автоматически центрирует окно приема данных в середину стробов DQS.

По команде PWDN контроллер выполняет:

- PRECHARGE;
- Пауза tRP, AUTO REFRESH;
- Пауза 1 такт СК;
- Сброс СКЕ;
- Пауза tRFC, установка индикатора PWDN.

После выполнения данной команды память находится в режиме precharge power-down.

Аналогично выполняется команда SREF . Отличие в том, что сброс СКЕ происходит одновременно с AUTO REFRESH и устанавливается индикатор SREF.

После выполнения команд PWDN и SREF контроллер находится в состоянии останова до выполнения команды EXIT. В этом состоянии DDR_PORT не контролирует выполнение интервала tREFC.

По команде EXIT контроллер устанавливает CKE и после паузы tXSNR выполняет AREF.
tXSNR = tRFC + 2.

При выходе из PWDN или из SREF при TMODE =1 команда на этом завершается установкой индикатора EXIT, а при выходе из SREF при TMODE =0, контроллер ждет 200 тактов СК, выполняет команду EYEW и устанавливает индикатор EXIT.

Контроллер игнорирует команду EXIT при сброшенных индикаторах PWDN и SREF.

По команде AREF контроллер выполняет:

- PRECHARGE;
- пауза tRP, AUTO REFRESH;
- пауза tRFC, установка индикатора AREF.

По команде APPLY контроллер выполняет перепись содержимого регистров DDR_TMR, DDR_CON, DDR_MOD, DDR_EXT в соответствующие исполнительные регистры.

10.2.5 Регистр режимов DDR_MOD

Регистр DDR_MOD предназначен для управления аппаратурой настройки окна приема данных и задания режимов выполнения специальных команд.

Формат регистра DDR_MOD приведен в Таблица 10.9.

Таблица 10.9. Формат регистра DDR_MOD

Номер разряда	Условное обозначение параметра	Назначение	Доступ	Исходное состояние
31:16	tEYE	Период автоподстройки частоты приема данных в циклах tRFR	RW	0
15	TMODE	Режим выполнения специальных команд: 0- автоматический; 1- пошаговый.	RW	0
14:5	-	Резерв.	R	0
4:0	SEL	Выбор канала приема данных в пошаговом режиме: SEL[i] =1 –сдвиг окна для строба DQS[i] разрешен, i= 0,1,2,3,4; SEL[i] =0 – сдвиг окна для строба DQS[i] запрещен, i= 0,1,2,3,4. SEL[4] соответствует каналу приема данных блока контрольных разрядов	RW	0

При TMODE = 0 контроллер аппаратно выполняет команду EYEW через каждые tRFR * tEYE тактов частоты СК.

При tEYE =0 или tRFR =0 режим автоподстройки частоты приема данных отключен.

10.2.6 Регистр DDR_EXT

Регистр DDR_EXT предназначен для управления режимами контроля и коррекции памяти модифицированным кодом Хэмминга.

Формат регистра приведен в Таблица 10.10.

Таблица 10.10. Формат регистра DDR_EXT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	Cnt_SERR	Счетчик одиночных ошибок. При значении 0xFF счетчик останавливается	WR	0
23:16	Num_SERR	Допустимый порог одиночных ошибок	WR	0xFF
15:8	Cnt_DERR	Счетчик двойных ошибок. При значении 0xFF счетчик останавливается	WR	0
7:5	-	Резерв	R	0
4	-	Резерв	WR	1
3	-	Резерв	WR	0
2	NEMPTY	Признак наличия данных в FIFO ошибочных адресов. Обнуляется при записи в регистр DDR_ERR		0
1:0	MODE	Режим работы памяти: 00 - режим без коррекции ошибок. Обмен данными выполняется только с блоком данных памяти; 01 - режим с коррекцией ошибок. В обмене данными участвуют и блок данных, и блок контрольных разрядов; 10 - режим тестирования блока контрольных разрядов. Обмен данными выполняется только с блоком контрольных разрядов; 11 - резерв	WR	0

В режиме MODE = 01 байтовая запись выполняется операцией “чтение-модификация-запись”. При выполнении операции “чтение-модификация-запись” ошибки фазы чтения исправляются и фиксируются в FIFO ошибочных адресов.

В режиме MODE = 01 при Cnt_DERR > 0 или Cnt_SERR > Num_SERR формируется прерывание INT_Nm MPORT поступающее на одноименный вход регистра QSTR_Nm. Прерывание сбрасывается по следующим условиям:

- при записи Cnt_DERR = 0 и Cnt_SERR = 0;
- при записи Cnt_DERR = 0, если Cnt_SERR ≤ Num_SERR;
- при записи Cnt_SERR = 0 или Num_SERR = 255, если Cnt_DERR = 0.

10.2.7 Регистр DDR_ERR

Регистр DDR_ERR предназначен для фиксации и локализации ошибок фазы чтения в режиме MODE = 01.

Регистр доступен для чтения при установленном признаке NEMPTY регистра DDR_EXT. При чтении считывается очередное слово из FIFO ошибочных адресов.

При NEMPTY = 0 состояние регистра не определено.

При записи в этот регистр любого кода признак NEMPTY устанавливается в 0.

Формат регистра приведен в Таблица 10.11.

Таблица 10.11. Формат регистра DDR_ERR

Номер разряда	Условное обозначение	Назначение
1:0	Code_ERR	Код ошибки: 01 – одиночная ошибка; 10 – двойная ошибка; 11 – ошибка в контрольном разряде общей четности
31:2	ADDR_ERR	Разряды 31:2 физического адреса памяти, при чтении из которой обнаружена ошибка

11. УНИВЕРСАЛЬНЫЙ АСИНХРОННЫЙ ПОРТ (UART)

11.1 Общие положения

Универсальный асинхронный порт (далее UART) имеет следующие характеристики:

- по архитектуре совместим с UART 16550;
- частота приема и передачи данных – от 50 до 1 Мбод;
- FIFO для приема и передачи данных имеют объем по 16 байт;
- полностью программируемые параметры последовательного интерфейса: длина символа от 5 до 8 бит; генерация и обнаружение бита четности; генерация стопового бита длиной 1, 1.5 или 2 бита;
- диагностический режим внутренней петли;
- эмуляция символьных ошибок.

Структурная схема порта UART приведена на Рисунок 11.1.

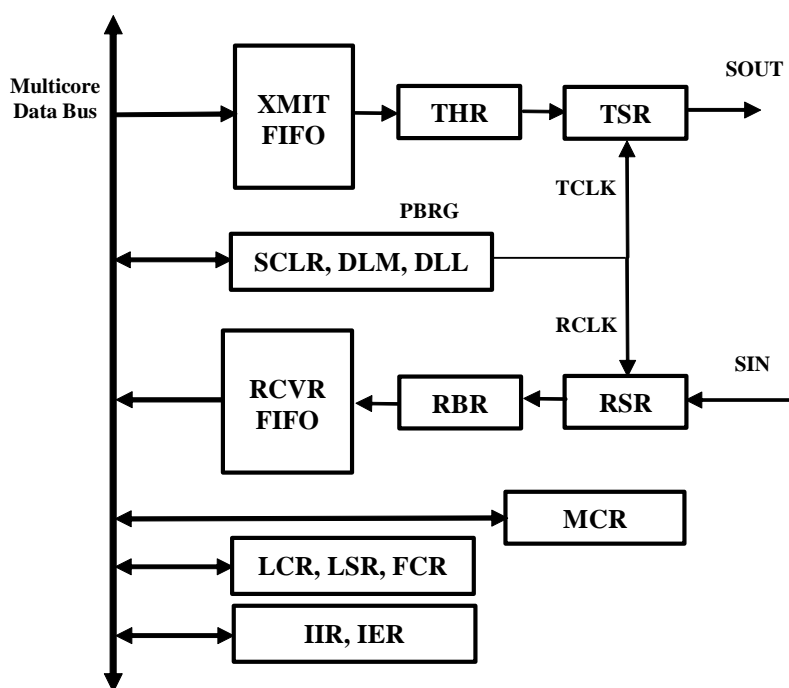


Рисунок 11.1. Структурная схема UART

Передаваемые данные записываются в регистр THR, а затем аппаратно переписываются в передающий сдвигающий регистр (TSR), если он пуст. После этого в регистр THR могут быть записаны следующие данные.

После приема данных в приемный сдвигающий регистр (RSR) данные переписываются в регистр RBR, если он не занят.

Назначение внешних выводов UART приведено в Таблица 11.1.

Таблица 11.1. Внешние выводы UART

Название вывода	Тип вывода	Описание
SIN	I	Вход последовательных данных
SOUT	O	Выход последовательных данных

11.2 Регистры UART

11.2.1 Общие положения

Перечень регистров UART приведен в Таблица 11.2.

Таблица 11.2. Перечень регистров UART

Условное обозначение регистра	Название регистра	Смещение	Доступ (R-чтение, W-запись)
RBR	Приемный буферный регистр	0 (DLAB=0)	R
THR	Передающий буферный регистр	0 (DLAB=0)	W
IER	Регистр разрешения прерываний	1 (DLAB=0)	R/W
IIR	Регистр идентификации прерывания	2	R
FCR	Регистр управления FIFO	2	W
LCR	Регистр управления линией	3	R/W
MCR	Регистр управления	4	R/W
LSR	Регистр состояния линии	5	R
SPR	Регистр Scratch Pad	7	R/W
DLL	Регистр делителя младший	0 (DLAB=1)	R/W
DLM	Регистр делителя старший	1 (DLAB=1)	R/W
SCLR	Регистр предделителя (scaler)	5	W

11.2.2 Регистр LCR

Формат регистра LCR приведен в Таблица 11.3.

Таблица 11.3. Формат регистра LCR

Номер бита	Условное обозначение	Назначение
1:0	WLS (Word Length Select)	Количество бит данных в передаваемом символе: 00 -5 бит, 01 -6 бит, 10 -7 бит, 11 -8 бит.
2	STB (Number Stop Bits)	Количество стоп-бит: 0 - 1 стоп-бит, 1 - 2 стоп-бита (для 5-битного символа стоп-бит имеет длину 1,5 бита). Приемник анализирует только первый стоп бит.
3	PEN (Parity Enable)	Разрешение генерации (передатчик) или проверки (приемник) контрольного бита: 1 – контрольный бит (паритет или постоянный) разрешен, 0 – запрещен.
4	EPS (Even Parity Select)	Выбор типа контроля (при PEN=1): 0 – нечетность, 1 – четность.
5	STP (Stick Parity)	Принудительное формирование бита паритета: 0 – контрольный бит генерируется в соответствии с паритетом выводимого символа, 1 – постоянное значение контрольного бита: при EPS=1 - нулевое, при EPS=0 – единичное.
6	SBC (Set Break Control)	Формирование обрыва линии: 0 – нормальная работа; 1 – на выходе SOUT устанавливается низкий уровень (Spacing level). Это влияет только на выход SOUT, а не на логику передачи символа.
7	DLAB (Divisor Latch Access bit)	Управление доступом к регистрам: 0 – разрешен доступ к регистрам RBR, THR, IER; 1 – разрешен доступ к регистрам DLL, DLM

Исходное состояние регистра LCR – нули.

Бит SBC используется как признак «Внимание» для приемного терминала, подключенному к выходу UART. Для того чтобы не было передано ошибочного символа при использовании бита SBC, необходимо выполнять следующую последовательность действий:

- Загрузить в регистр THR все нули по признаку THRE=1;
- Установить SBC=1 по следующему THRE=1;
- Дождаться TEMT=1.

Для восстановления нормальной передачи необходимо установить SBC=0.

11.2.3 Регистр FCR

Формат регистра FCR приведен в Таблица 11.4.

Таблица 11.4. Формат регистра FCR

Номер бита	Условное обозначение	Назначение
0	FEWO (FIFO Enable)	Разрешение работы XMIT и RCVR FIFO: 0 – символьный режим; 1 – режим FIFO. При изменении состояния этого бита, данные из FIFO, не удаляются. Запись в биты RFR, TFR, RFTL выполняется, если FEWO=1.
1	RFR (Receiver FIFO Reset)	Установка RCVR FIFO в исходное состояние. Регистр RSR не обнуляется. После записи 1 в этот бит он автоматически сбрасывается.
2	TFR (Transmitter FIFO Reset)	Установка XMIT FIFO в исходное состояние. Регистр TSR не обнуляется. После записи 1 в этот бит он автоматически сбрасывается.
5:3	-	Резерв
7:6	RFTL (RCVR FIFO Trigger Level)	Порог заполнения RCVR FIFO (в байтах), при котором формируется прерывание: 00 – 1; 01 – 4; 10 – 8; 11 – 14.

Исходное состояние регистра FCR – нули.

11.2.4 Регистр LSR

Формат регистра LSR приведен в Таблица 11.5.

Таблица 11.5. Формат регистра LSR

Номер бита	Условное обозначение	Назначение
0	RDR (Receiver Data Ready)	Готовность данных. Устанавливается после приема символа данных и передачи его в регистр RBR или FIFO. Сбрасывается после чтения регистра RBR (в символьном режиме) или чтения всего содержимого RCVR FIFO (в режиме FIFO)
1	OE (Overrun Error)	Ошибка переполнения. Устанавливается, если содержимое регистра RBR не было прочитано, в сдвигающий регистр принят следующий символ и начат прием очередного символа. При этом новый символ записывается в сдвигающий регистр вместо старого. В режиме FIFO устанавливается, если после перехода порогового (trigger) уровня FIFO заполнено до конца, во входной сдвигающий регистр полностью принят следующий символ и начат прием очередного символа. При этом в FIFO ничего не передается. Бит сбрасывается при чтении содержимого регистра LSR.

Номер бита	Условное обозначение	Назначение
2	PE (Parity Error)	Ошибка контрольного бита (паритета или фиксированного). В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. Бит сбрасывается при чтении содержимого регистра LSR.
3	FE (Framing Error)	Ошибка кадра. Устанавливается, если стоп-бит равен нулю (Spacing level). В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. После этой ошибки UART пересинхронизируется. Бит сбрасывается при чтении содержимого регистра LSR.
4	BI (Break Interrupt)	Обрыв линии. Устанавливается, если вход приема данных находится в состоянии 0 (Spacing level) не менее чем время передачи всего символа. В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. При возникновении этой ситуации, в FIFO загружается только один нулевой символ. Прием следующих символов разрешается после того, как вход приема данных перейдет в единичное состояние (Marking state) и будет принят действительный стартовый бит. Бит сбрасывается при чтении содержимого регистра LSR.
5	THRE (Transmitter Holding Register Empty)	Передающий буферный регистр пуст. Показывает, что UART готов принять следующий символ для передачи. Устанавливается, когда содержимое регистра THR передается в передающий сдвигающий регистр. Одновременно с этим генерируется прерывание THREI, если оно разрешено. Бит сбрасывается при записи символа в регистр THR. В режиме FIFO этот бит устанавливается, когда XMIT FIFO пусто, и сбрасывается, если в XMIT FIFO записывается хотя бы один символ.
6	TEMT (Transmitter Empty)	Передатчик пуст. Устанавливается, если регистры THR и TSR пусты. Имеет нулевое состояние, если хотя бы один из регистров THR и TSR не пуст. В режиме FIFO этот бит устанавливается, если нет символов ни в XMIT FIFO, ни в регистре TSR.
7	EIRF (Error in RCVR FIFO)	Наличие хотя бы одного признака ошибки в FIFO. В символьном режиме этот бит всегда равен нулю. Бит сбрасывается при чтении содержимого регистра LSR, если в FIFO нет больше признаков ошибок.

Исходное состояние бит THRE, TEMT – 1, остальных – 0.

Установка бит OE, PE, FE, BI приводит к формированию прерыванию по состоянию входа приема данных (Receiver Line Status Interrupt), если это прерывание разрешено.

11.2.5 Регистр IER

Формат регистра IER приведен в Таблица 11.6.

Таблица 11.6. Формат регистра IER

Номер бита	Условное обозначение	Назначение
0	ERBI	Разрешение прерывания по наличию принятых данных (RDAI), а также по таймауту (CTI)
1	ETBEI	Разрешение прерывания по отсутствию данных в регистре THR (THREI)
2	ERLSI	Разрешение прерывания по статусу приема данных (RLSI)
3	-	Резерв
7:4	-	Резерв

11.2.6 Регистр IIR

Формат регистра IIR приведен в Таблица 11.7.

Таблица 11.7. Формат регистра IIR

Номер бита	Условное обозначение	Назначение
0	IP (Interrupt Pending)	Признак наличия прерывания: 0 – есть прерывание; 1 – нет прерывания.
3:1	IID[2:0]	Код идентификации прерывания в соответствии с Таблица 11.8.
5:4	-	Резерв
7:6	FE	Признак разрешения работы RCVR и XMIT FIFO

Исходное состояние бита IP – 1, остальных – 0.

Таблица 11.8. Идентификация прерываний

Код поля ID[2:0]	Уровень приоритета (1 – наивысший)	Тип прерывания	Причина прерывания	Условие сброса прерывания
011	1	Статус приема данных (RLSI – Receiver Line Status Interrupt)	OE - Overrun Error; PE - Parity Error; FE - Framing Error; BI - Break Interrupt.	Чтение содержимого регистра LSR. Чтение из FIFO символа, по которому сформировано это прерывание. Обнуление FIFO.
010	2	Наличие принятых данных (RDAI – Received Data Available Interrupt)	Наличие данных в регистре RBR или достижение заданного порога FIFO	Чтение содержимого регистра RBR. Считывание данных из FIFO до уровня ниже порогового.

Код поля ID[2:0]	Уровень приоритета (1 – наивысший)	Тип прерывания	Причина прерывания	Условие сброса прерывания
110	2	Таймаут (CTI – Character Timeout Interrupt)	С момента приема последнего символа в RCVR FIFO прошло время, равное длительности передачи 4-х символов и не было ни чтения FIFO, ни приема очередного символа.	Чтение содержимого регистра RBR. Прием очередного символа. Сброс FIFO.
001	3	Регистр THR пуст (THREI – Transmitter Holding Register Empty Interrupt)	Регистр THR пуст	Чтение содержимого регистра IIR, если источником прерывания является это условие. Запись символа в регистр THR

11.2.7 Регистр MCR

Формат регистра MCR приведен в Таблица 11.9.

Таблица 11.9. Формат регистра MCR

Номер бита	Условное обозначение	Назначение
0:3	-	Не используется
4	LOOP	Режим петли. Используется для тестирования UART. При установке этого бита в 1 выполняется следующее: На выходе SOUT UART устанавливается высокий уровень; Вход SIN UART отключается от внешнего вывода; Выход регистра TSR подключается к входу регистра RSR; В режиме петли передаваемые данные немедленно принимаются. В режиме петли все прерывания формируются как обычно.
7:5	-	Не используется

Исходное состояние регистра MCR – нули.

11.2.8 Программируемый генератор скорости обмена

В UART имеется программируемый генератор скорости обмена данными (PBRG – Programmable Baud Rate Generator). Он состоит из 8-разрядного предделителя и 16-разрядного основного делителя частоты. На вход предделителя поступает системная тактовая частота CLK, на которой работает CPU, UART и другие устройства. Выходная частота предделителя поступает на вход основного делителя. Выходная частота генератора PBRG в 16 раз больше частоты обмена последовательными данными.

Значение частоты на выходе предделителя равно $CLK/(SCLR + 1)$. Коэффициент деления основного делителя задается 16-разрядным регистром, который является конкатенацией регистров DLM и DLL.

Период частот передачи и приема (TCLK и RCLK) UART вычисляется по формуле:

$CLK/(SCLR + 1) / ((\text{конкатенация содержимого регистров DLM и DLL}) * 16)$. Минимальная величина, которая может быть записана в регистры {DLM, DLL}, равна 1.

Исходное состояние регистров DLL, DLM, SCLR – нули.

11.3 Работа с FIFO по прерыванию

Если установлен режим работы с FIFO (EFWO=1 в регистре FCR) и разрешены прерывания по приему (бит ERI=1 в регистре IER), то в процессе приема:

- формируется прерывание, если число символов в RCVR FIFO достигло запрограммируемого порога. Это прерывание сбрасывается, если при чтении из FIFO число символов оставшихся в нем, станет меньше запрограммируемого порога;
- одновременно с этим в регистре IIR устанавливается индикатор наличия принятых данных RDAI. Индикатор обнуляется, при чтении из FIFO до снижения запрограммируемого порога;
- может возникнуть прерывание по статусу приема данных (RLSI), приоритет которого выше, чем RDA;
- бит RDR в регистре LSR устанавливается в момент передачи символа из регистра RSR в RCVR FIFO. Этот бит обнуляется при считывании из FIFO всех символов данных.

Если установлен режим работы с FIFO (EFWO=1 в регистре FCR) и разрешены прерывания по приему (ERI=1 в регистре IER), то генерируется прерывание по таймауту, если с момента приема последнего символа в RCVR FIFO прошло время, равное длительности передачи 4-х символов и за это время не было:

- ни чтения RCVR FIFO;
- ни приема в RCVR FIFO очередного символа.

При 12-битном символе и скорости передачи 300 бод, прерывание по этой причине возникнет через 160 мс.

При возникновении прерывания по таймауту оно обнуляется при считывании символа из RCVR FIFO. При этом обнуляется и таймер, генерирующий данное прерывание. Если

прерывание по таймауту не возникло, то таймер таймаута обнуляется при приеме нового символа или при считывании символа из RCVR FIFO.

Если установлен режим работы с FIFO (EFWO=1 в регистре FCR) и разрешены прерывания по передаче данных (бит ETI=1 в регистре IER), то генерируется прерывание по передаче следующим образом:

- формируется прерывание THREI, если XMIT FIFO пусто. Это прерывание обнуляется, как только выполняется запись символа в регистр THR (при приеме данного прерывания в XMIT FIFO можно записать от 1 до 16 символов);
- индикатор TEMT в регистре LSR установится в единичное состояние через время равное длительности одного символа минус последний стоп бит, после установки THRE=1. Первое прерывание по передаче (если оно разрешено) формируется немедленно после установки EFWO=1.

11.4 Работа с FIFO по опросу

Если установлен режим работы с FIFO (EFWO=1 в регистре FCR) и запрещены прерывания, то обмен данными выполняется по опросу, а управление FIFO приема и передачи (RCVR, XMIT) выполняется раздельно.

В этом режиме опрос состояния RCVR и XMIT FIFO осуществляется программно, посредством считывания содержимого регистра LSR:

- бит RDR=1, пока есть данные в RCVR FIFO;
- биты OE, PE, FE, VI указывают на ошибки. Эти ошибки обрабатываются так же, как и при работе по прерыванию;
- бит THRE=1, если XMIT FIFO пусто;
- бит TEMT=1, если в XMIT FIFO и TSR нет данных.

При работе по опросу нет индикации таймаута и факта достижения порога RCVR FIFO. Однако оба RCVR и XMIT FIFO могут хранить символы данных.

12. КОНТРОЛЛЕР ETHERNET MAC 10/100

12.1 Введение

12.1.1 Назначение

Контроллер Ethernet MAC 10/100 (EMAC) предназначен для использования в качестве порта Ethernet для обмена данными через приемопередатчик PHY в сети Ethernet. Контроллер Ethernet MAC поддерживает обмен данными в сети Ethernet с быстродействием 10 Мбит/с, либо 100 Мбит/с.

12.1.2 Основные характеристики

Контроллер Ethernet MAC 10/100 имеет следующие основные характеристики:

- Соответствует стандарту Ethernet IEEE Std 802.3-2005;
- Поддерживает полудуплексный (CSMA/CD), дуплексный режимы работы;
- В состав контроллера входит буферное FIFO передаваемых данных размером 0,5К 64-разрядных слов или 4К байт;
- В состав контроллера входит буферное FIFO принятых данных размером 0,5К 64-разрядных слов или 4К байт;
- Передача данных из памяти в FIFO передаваемых данных обеспечивается каналом DMA (передача данных из памяти осуществляется с точностью до байта);
- Передача данных из FIFO принятых данных в память обеспечивается каналом DMA (передача данных в память осуществляется с точностью до байта);
- Передаваемый кадр MAC целиком помещается в FIFO, поэтому при возникновении коллизии повторная передача кадра будет выполняться из FIFO;
- Поддерживает режим зацикливания тракта приема данных на тракт передачи, в этом режиме контроллер принимает только передаваемые от него данные;
- Поддерживает различные режимы фильтрации принимаемых кадров MAC по адресу назначения: распознавание уникального адреса MAC, широковещательный адрес, распознавание группового адреса по маске либо по хэш-таблице;
- Поддерживает различные режимы отбрасывания принятых кадров MAC, при проверке которых были обнаружены ошибки: слишком короткий кадр, слишком длинный кадр, кадр с ошибкой в контрольной сумме, кадр с ошибкой длины;
- В состав контроллера входит FIFO статусов принятых кадров MAC размером 64 слова статуса.

12.1.3 Особенности использования

При использовании контроллера Ethernet необходимо соблюдать следующие условия:

- при работе порта Ethernet в режиме 100 Мбит/с частота CPU должна быть больше 100 МГц;
- при работе порта Ethernet в режиме 10 Мбит/с частота CPU должна быть больше 10 МГц.

12.2 Функциональное описание

12.2.1 Структурная схема

Контроллер Ethernet MAC 10/100 включает:

- Блок управления и состояния;
- Контроллер DMA;
- Блок передачи кадров – TransmitFrame;
- Блок приема кадров – ReceiveFrame;
- Порт управления PHY – MD_PORT.

На Рисунок 12.1 приведена структурная схема контроллера MAC 10/100.

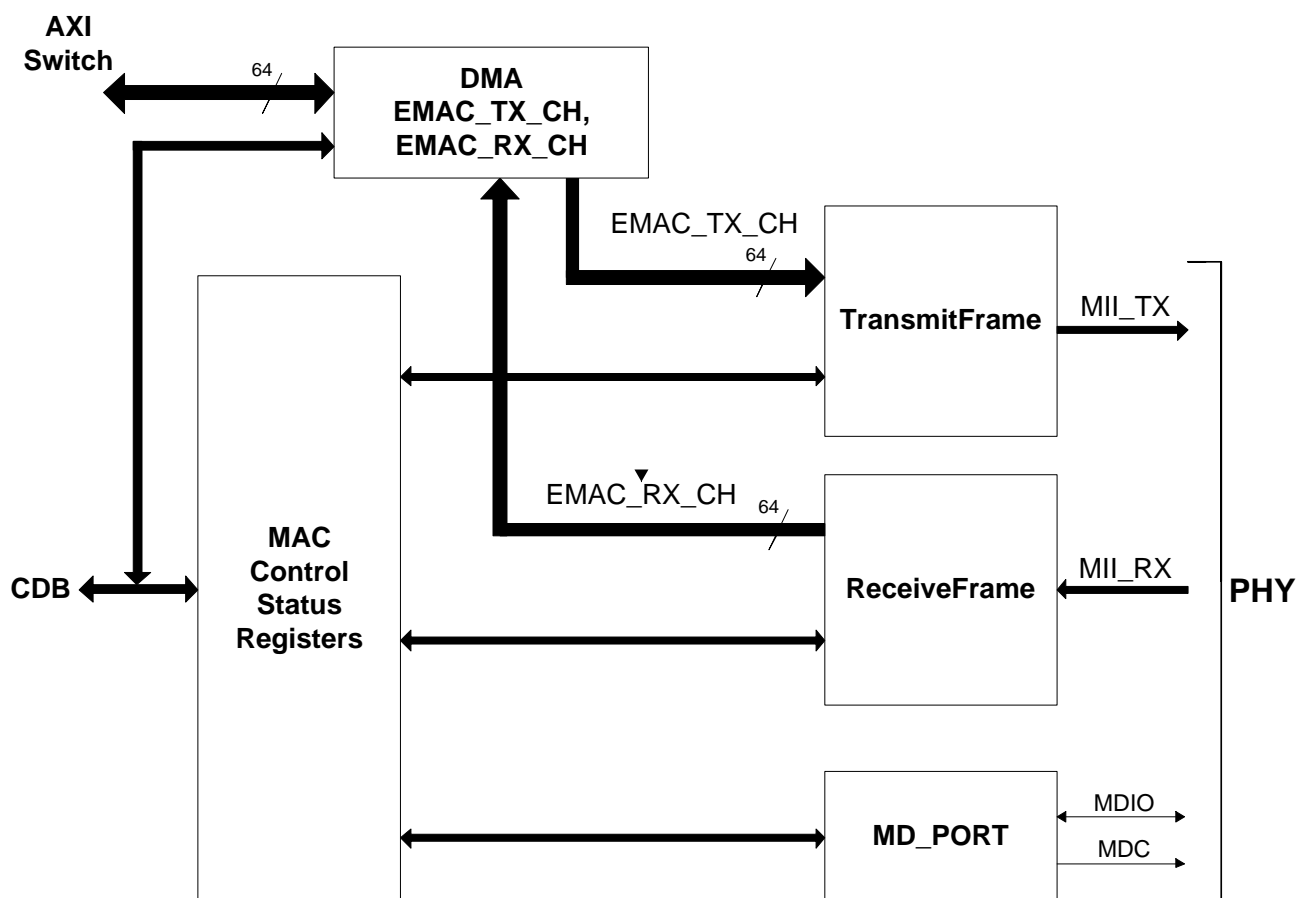


Рисунок 12.1. Структурная схема контроллера MAC 10/100

Блок управления и состояния содержит регистры управления и состояния контроллера MAC.

Каналы DMA EMAC_TX_CH, EMAC_RX_CH обеспечивают обмен данными между FIFO передаваемых/принятых данных и памятью (внешней или внутренней).

Блок передачи кадров – TransmitFrame – выполняет передачу кадров MAC по шине MII.

В состав блока передачи кадров входит TX_FIFO размером 4К байт, блок вычисления временной задержки перед повторной передачей кадра при обнаружении коллизии – BACKOFF, а также блок вычисления контрольной суммы передаваемого кадра – CALC_CRC32.

На Рисунок 12.2 приведена структурная схема блока передачи кадров.

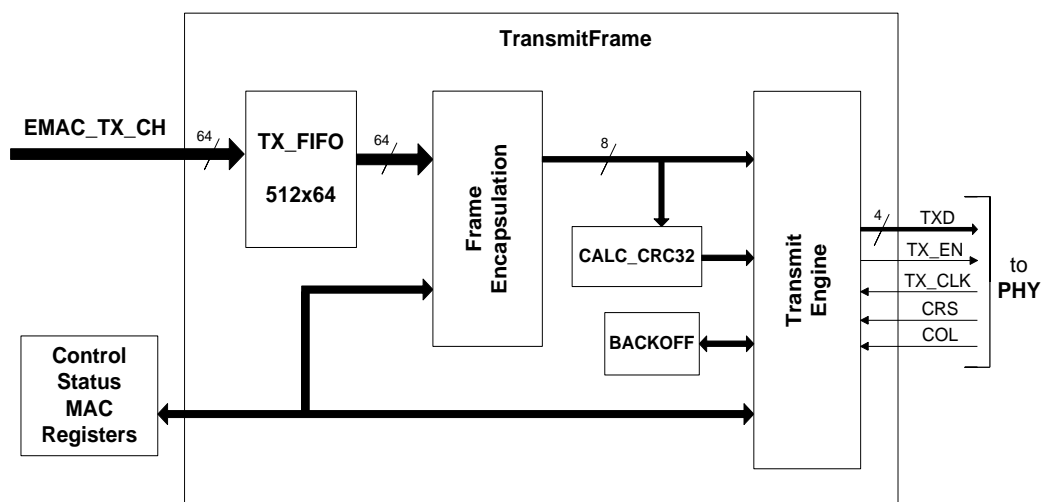


Рисунок 12.2. Структурная схема блока передачи кадров

Блок приема кадров – ReceiveFrame – выполняет прием кадров MAC по шине MII. В состав блока приема кадров входит RX_FIFO размером 4К байт, блок распознавания адреса назначения принятого кадра MAC – DADDR_CHECK, блок вычисления и проверки контрольной суммы принятого кадра – CRC32_CHECK, а также FIFO статусов принятых кадров размером 64 слова статуса.

На Рисунок 12.3 приведена структурная схема блока приема кадров.

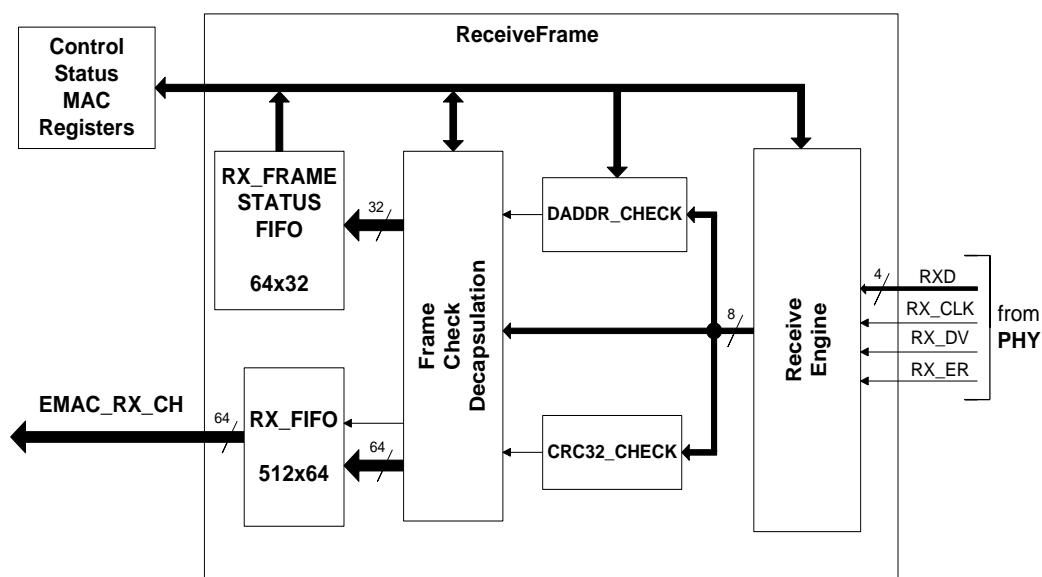


Рисунок 12.3. Структурная схема блока приема кадров

Порт управления PHY – MD_PORT – выполняет обмен управляющими и статусными данными с приемопередатчиком PHY.

12.3 Программная модель

12.3.1 Программирование контроллера Ethernet MAC 10/100

12.3.1.1 Контроллер прямого доступа (DMA)

DMA обеспечивает:

- по каналу EMAC_TX_CN передачу данных из памяти (внешней или внутренней) в TX_FIFO;
- по каналу EMAC_RX_CN передачу данных из RX_FIFO в память (внешнюю или внутреннюю).

Для передачи данных по каналу EMAC_TX_CN необходимо в регистре MAC_CONTROL установить EN_TX_DMA = 1, чтобы разрешить работу TX_FIFO с каналом DMA.

12.3.1.2 Порт управления PHY – MD_PORT

Порт управления PHY предназначен для обмена управляющими и статусными данными с приемопередатчиком PHY.

Обмен данными с приемопередатчиком PHY осуществляется по последовательному двухпроводному интерфейсу управления MD. Интерфейс управления MD состоит из двунаправленного сигнала для обмена данными MDIO и сигнала тактовой частоты MDC.

Тактовая частота MDC интерфейса управления MD формируется портом управления PHY и передается в приемопередатчик PHY для тактирования данных, передаваемых по сигналу MDIO. Для формирования тактовой частоты MDC используется делитель системной частоты HCLK, входящий в состав порта управления PHY.

Коэффициент деления системной частоты при формировании тактовой частоты MDC задается в разрядах регистра MD_MODE<7:0> = MDC_Divider. Для корректной работы порта управления PHY значение коэффициента деления системной частоты должно быть четным и не нулевым. Для корректного обмена данными по интерфейсу управления MD тактовая частота MDC не должна превышать 2,5 МГц.

Порт управления PHY выполняет следующие операции:

- запись в регистр приемопередатчика PHY;
- чтение регистра приемопередатчика PHY.

Для того чтобы запустить операцию на выполнение необходимо установить код операции в разрядах регистра управления порта – MD_CONTROL<31:30> = MD_OP. После завершения выполнения операции код операции MD_OP автоматически сбрасывается.

Адрес приемопередатчика PHY, с которым выполняется обмен данными, задается в разрядах регистра управления порта MD_CONTROL<28:24> = PHY_ADDR.

Адрес регистра приемопередатчика PHY, в который выполняется запись, либо из которого выполняется чтение данных, задается в разрядах регистра управления порта MD_CONTROL<20:16> = PHYREG_ADDR.

При выполнении операции записи в регистр приемопередатчика PHY 16-разрядные данные для записи должны быть установлены в разрядах регистра управления порта MD_CONTROL<15:0> = WR_DT.

После завершения выполнения операции чтения регистра приемопередатчика PHY прочтенные 16-разрядные данные сохраняются в разрядах регистра статуса порта MD_STATUS <15:0> = RD_DT.

После задания кода операции MD_OP порт начинает выполнять операцию и считается занятым, то есть недоступным для выполнения новой операции.

Для отслеживания состояния порта используется бит статусного регистра порта MD_STATUS<29> = MD_BUSY. Во время выполнения операции устанавливается бит занятости порта MD_BUSY, а после завершения выполнения операции бит MD_BUSY сбрасывается.

Обмен данными с приемопередатчиком PHY по интерфейсу управления MD выполняется в соответствии с форматом кадра управления. Формат кадра управления представлен в Таблица 12.1.

Таблица 12.1. Формат кадра управления

Число бит	Название поля	Поле кадра управления	Значение при операции записи	Значение при операции чтения
32	Преамбула	PRE	1111...1111	1111...1111
2	Начало кадра	ST	01	01
2	Код операции	OP	01	10
5	Адрес PHY	PHYAD	PHY_ADDR	PHY_ADDR
5	Адрес регистра	REGAD	PHYREG_ADDR	PHYREG_ADDR
2	Разворот (turnaround)	TA	10	Z0
16	Данные	DATA	WR_DT	RD_DT

Таким образом, при выполнении операции портом по интерфейсу MD последовательно передаются 64 бита кадра управления в течение 64 тактов частоты MDC. То есть временная задержка на выполнение операции портом управления PHY составляет 64 такта частоты MDC.

По завершении выполнения операции порт выставляет соответствующий флаг в разрядах регистра статуса порта MD_STATUS<31:30> = MD_OP_END. Флаги завершения выполнения операции MD_OP_END доступны для записи и могут быть сброшены записью нулей в соответствующие биты регистра MD_STATUS.

Во время выполнения операции регистр управления порта MD_CONTROL и разряды регистра статуса порта MD_STATUS<31:30> = MD_OP_END не доступны для записи.

Флаги завершения выполнения операции MD_OP_END являются запросом на прерывание от порта управления PHY. Запрос на прерывание от порта управления PHY маскируется.

В бите MD_CONTROL<29> = MD_MASK устанавливается маска запроса на прерывание от порта управления PHY.

Бит MD_MODE<8> = RST_MD предназначен для программного сброса порта управления PHY, а также регистров MD_MODE, MD_CONTROL, MD_STATUS. После установления бит RST_MD автоматически сбрасывается.

12.3.1.3 Блок передачи кадров TransmitFrame

Перед началом работы необходимо сконфигурировать блок передачи кадров – в регистре управления MAC установить бит MAC_CONTROL<0> = FULLD = 0/1 для задания полудуплексного/дуплексного режима работы контроллера. Также для разрешения работы блока передачи кадров должен быть установлен бит MAC_CONTROL<2> = EN_TX = 1.

Формирование кадра при передаче может выполняться в одном из двух режимов:

- передаваемый кадр формируется в блоке передачи кадров;
- в блок передачи кадров передается уже сформированный кадр.

На Рисунок 12.4 приведен формат кадра MAC.

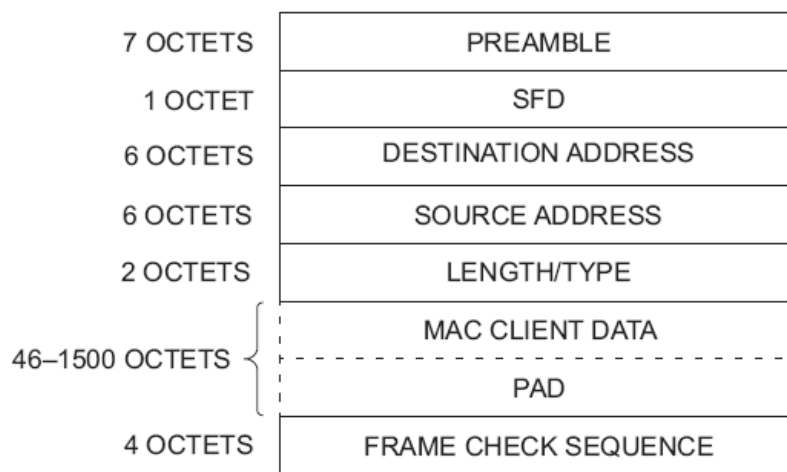


Рисунок 12.4. Формат кадра MAC

При передаче кадра блок передачи кадров автоматически вставляет в начале каждого передаваемого кадра 8 байт полей <PREAMBLE> и <SFD>. Каждый байт поля <PREAMBLE> имеет значение 0x55, а байт поля <SFD> имеет значение 0xD5.

12.3.1.3.1 Режим формирования передаваемого кадра в блоке передачи кадров

По умолчанию кадр формируется в блоке передачи кадров, при этом бит TX_FRAME_CONTROL<14> = DisEncapFR = 0, то есть разрешен режим формирования кадра в блоке передачи кадров.

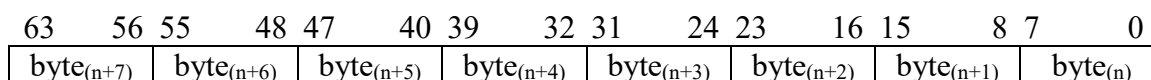
В этом режиме для формирования передаваемого кадра необходимо установить регистры MAC_ADDR_L, MAC_ADDR_H, DADDR_L, DADDR_H, TYPE, FCS_CLIENT, значение которых задает значение полей передаваемого кадра:


{MAC_ADDR_H, MAC_ADDR_L}	=> поле <SOURCE ADDRESS>;
{DADDR_H, DADDR_L}	=> поле <DESTINATION ADDRESS>;
TYPE	=> поле <LENGTH/TYPE>, используемое как поле <TYPE>;
FCS_CLIENT	=> поле <FCS> – уже вычисленная клиентом MAC контрольная сумма CRC32;

Разряды регистра

TX_FRAME_CONTROL<11:0> = LENGTH => задают значение поля <LENGTH/TYPE>, используемое как поле <LENGTH>;

Содержание поля <DATA> передается по DMA-каналу на запись DMA_EMAC_CH1 в передающее FIFO – TX_FIFO – в виде последовательности 64-разрядных слов. Каждое 64-разрядное слово состоит из 8 байт поля <DATA>, начиная с байта, который должен быть передан первым, и заканчивая байтом, который должен быть передан последним:




 Байты передаются, начиная с младшего

В случае если последнее 64-разрядное слово поля <DATA> содержит меньше чем 8 байт для передачи, то передаваемые байты помещаются в соответствующие младшие разряды слова: 1 байт – в разряды <7:0>, 2 байта – в разряды <15:0>, 3 байта – в разряды <23:0>, 4 байта – в разряды <31:0>, 5 байт – в разряды <39:0>, 6 байт – в разряды <47:0>, 7 байт – в разряды <55:0>. Оставшиеся старшие разряды слова заполняются произвольными (нулевыми) значениями. Признаком того, что все данные кадра переданы в TX_FIFO и, что можно аппаратно дополнить 64-разрядную строку нулями, является запись команды на передачу кадра TX_REQ.

Бит регистра TX_FRAME_CONTROL<12> = TYPE_EN – задает в каком качестве используется поле <LENGTH/TYPE> в передаваемом кадре.

Если бит TYPE_EN=0, то в кадре используется поле <LENGTH> и его значение определяется разрядами TX_FRAME_CONTROL<11:0>.

Если бит TYPE_EN=1, то в кадре используется поле <TYPE> и его значение определяется значением регистра TYPE.

Независимо от значения бита TYPE_EN необходимо установить разряды регистра TX_FRAME_CONTROL<11:0> = LENGTH для задания числа байт в поле <DATA> передаваемого кадра – этот параметр используется блоком передачи кадров при передаче кадра. Значение LENGTH должно быть не нулевым.

Бит регистра TX_FRAME_CONTROL<13> = FCS_CLT_EN – задает источник формирования поля <FCS>.

Если бит FCS_CLT_EN=0, то значение поля <FCS> – контрольная сумма CRC32 передаваемого кадра – вычисляется в блоке CALC_CRC32 при передаче кадра.

Если бит FCS_CLT_EN=1, то значение поля <FCS> – уже вычисленная клиентом MAC контрольная сумма CRC32, заданная в регистре FCS_CLIENT.

Бит регистра TX_FRAME_CONTROL<15> = Dis_PAD – запрещает/разрешает автоматическое добавление в кадр поля <PAD>, в случае когда число байт в поле <DATA> меньше 46 байт (минимальный размер поля <DATA> в соответствии со стандартом Ethernet).

Если бит Dis_PAD = 0, тогда:

если бит TX_FRAME_CONTROL<13> = FCS_CLT_EN = 0,
а значение TX_FRAME_CONTROL<11:0> = LENGTH < 46 байт, } =>

=> то в кадр после поля <DATA> добавляется поле <PAD>.

Число байт в поле <PAD> определяется как разность (46 – LENGTH).

Каждый байт поля <PAD> имеет значение 0x99.

Если бит Dis_PAD = 1, либо если бит TX_FRAME_CONTROL<13> = FCS_CLT_EN = 1, то, несмотря на число байт в поле <DATA>, автоматического добавления поля <PAD> в кадр выполняться не будет.

12.3.1.3.2 Режим передачи, при котором в блок передачи кадров передается уже сформированный кадр.

Для отключения режима формирования кадра в блоке передачи кадров необходимо установить бит TX_FRAME_CONTROL<14> = DisEncapFR = 1. В этом случае готовый для передачи сформированный кадр должен быть передан в блок передачи кадров.

Содержание кадра передается по DMA-каналу на запись DMA_EMAC_CH1 в передающее FIFO – TX_FIFO – в виде последовательности 64-разрядных слов. Каждое 64-разрядное слово состоит из 8 байт кадра, начиная с байта, который должен быть передан первым и заканчивая байтом, который должен быть передан последним:

63	56	55	48	47	40	39	32	31	24	23	16	15	8	7	0
byte _(n+7)		byte _(n+6)		byte _(n+5)		byte _(n+4)		byte _(n+3)		byte _(n+2)		byte _(n+1)		byte _(n)	

→
Байты передаются, начиная с младшего

В случае если последнее 64-разрядное слово кадра содержит меньше чем 8 байт для передачи, то передаваемые байты помещаются в соответствующие младшие разряды слова: 1 байт – в разряды <7:0>, 2 байта – в разряды <15:0>, 3 байта – в разряды <23:0>, 4 байта – в разряды <31:0>, 5 байт – в разряды <39:0>, 6 байт – в разряды <47:0>, 7 байт – в разряды <55:0>. Оставшиеся старшие разряды слова аппаратно заполняются произвольными (нулевыми) значениями. Признаком того, что все данные кадра переданы в TX_FIFO и, что можно аппаратно дополнить 64-разрядную строку нулями, является запись команды на передачу кадра TX_REQ.

Кадр, переданный в TX_FIFO, должен быть сформирован в соответствии с форматом кадра MAC, приведенным на Рисунок 12.4 и состоять из полей: <DESTINATION ADDRESS>, <SOURCE ADDRESS>, <LENGTH/TYPE>, <DATA>. Таким образом, сначала в TX_FIFO должно быть передано содержание поля <DESTINATION ADDRESS>, затем содержание поля <SOURCE ADDRESS>, далее содержание поля <LENGTH/TYPE> (старший байт первым), а затем содержание поля <DATA>. Также кадр, переданный в TX_FIFO, может содержать уже вычисленное значение поля <FCS>. Тогда содержание поля <FCS> должно быть передано сразу же вслед за содержанием поля <DATA>. При этом при компоновке байт полей кадра в 64-разрядные слова не должно быть пустых байт на границах полей. Таким образом, кадр после разбиения на 64-разрядные слова должен иметь следующую структуру (когда в состав кадра не входит поле <FCS>), представленную в Таблица 12.2.

Таблица 12.2. Структура кадра MAC, не включающего поле <FCS>

	63	48	47	32	31
Word 0					
0	SOURCE ADDRESS<15:0>		DESTINATION ADDRESS<47:32>		DESTINATION ADDRESS<31:0>
1	DATA<byte1, byte0>	LENGTH/TYPE<7:0>	LENGTH/TYPE<15:8>	SOURCE ADDRESS<47:16>	
2	DATA<byte9, byte8, byte7, byte6>			DATA<byte5, byte4, byte3, byte2>	
...	...				
N	DATA<byte _(LEN-1) , byte _(LEN-2) , byte _(LEN-3) , byte _(LEN-4) >			DATA<byte _(LEN-5) , byte _(LEN-6) , byte _(LEN-7) , byte _(LEN-8) >	
либо: N	0x00, DATA<byte _(LEN-1) , byte _(LEN-2) , byte _(LEN-3) >			DATA<byte _(LEN-4) , byte _(LEN-5) , byte _(LEN-6) , byte _(LEN-7) >	
либо: N	0x00, 0x00, DATA<byte _(LEN-1) , byte _(LEN-2) >			DATA<byte _(LEN-3) , byte _(LEN-4) , byte _(LEN-5) , byte _(LEN-6) >	
либо: N	0x00, 0x00, 0x00, DATA<byte _(LEN-1) >			DATA<byte _(LEN-2) , byte _(LEN-3) , byte _(LEN-4) , byte _(LEN-5) >	
либо: N	0x00, 0x00, 0x00, 0x00			DATA<byte _(LEN-1) , byte _(LEN-2) , byte _(LEN-3) , byte _(LEN-4) >	
либо: N	0x00, 0x00, 0x00, 0x00			0x00, DATA<byte _(LEN-1) , byte _(LEN-2) , byte _(LEN-3) >	
либо: N	0x00, 0x00, 0x00, 0x00			0x00, 0x00, DATA<byte _(LEN-1) , byte _(LEN-2) >	
либо: N	0x00, 0x00, 0x00, 0x00			0x00, 0x00, 0x00, DATA<byte _(LEN-1) >	

Где LEN – число байт в поле <DATA>: byte0, byte1, ..., byte_(LEN-1).

В случае, когда кадр, переданный в TX_FIFO, содержит уже вычисленное значение поля <FCS>, то кадр имеет следующую структуру, представленную в Таблица 12.3:

Таблица 12.3. Структура кадра MAC, включающего поле <FCS>

Word	63	48	47	32	31
0	SOURCE ADDRESS<15:0>		DESTINATION ADDRESS<47:32>		DESTINATION ADDRESS<31:0>
1	DATA<byte1, byte0>		LENGTH/TYPE<7:0>	LENGTH/TYPE<15:8>	SOURCE ADDRESS<47:16>
2	DATA<byte9, byte8, byte7, byte6>			DATA<byte5, byte4, byte3, byte2>	
...	...				
N-1	DATA<byte _(LEN-5) , byte _(LEN-6) , byte _(LEN-7) , byte _(LEN-8) >			DATA<byte _(LEN-9) , byte _(LEN-10) , byte _(LEN-11) , byte _(LEN-12) >	
N	FCS<31:0>			DATA<byte _(LEN-1) , byte _(LEN-2) , byte _(LEN-3) , byte _(LEN-4) >	
либо: N-1	DATA<byte _(LEN-4) , byte _(LEN-5) , byte _(LEN-6) , byte _(LEN-7) >			DATA<byte _(LEN-8) , byte _(LEN-9) , byte _(LEN-10) , byte _(LEN-11) >	
N	0x00, FCS<31:8>			FCS<7:0>, DATA<byte _(LEN-1) , byte _(LEN-2) , byte _(LEN-3) >	
либо: N-1	DATA<byte _(LEN-3) , byte _(LEN-4) , byte _(LEN-5) , byte _(LEN-6) >			DATA<byte _(LEN-7) , byte _(LEN-8) , byte _(LEN-9) , byte _(LEN-10) >	
N	0x00, 0x00, FCS<31:16>			FCS<15:0>, DATA<byte _(LEN-1) , byte _(LEN-2) >	
либо: N-1	DATA<byte _(LEN-2) , byte _(LEN-3) , byte _(LEN-4) , byte _(LEN-5) >			DATA<byte _(LEN-6) , byte _(LEN-7) , byte _(LEN-8) , byte _(LEN-9) >	
N	0x00, 0x00, 0x00, FCS<31:24>			FCS<23:0>, DATA<byte _(LEN-1) >	
либо: N-1	DATA<byte _(LEN-1) , byte _(LEN-2) , byte _(LEN-3) , byte _(LEN-4) >			DATA<byte _(LEN-5) , byte _(LEN-6) , byte _(LEN-7) , byte _(LEN-8) >	
N	0x00, 0x00, 0x00, 0x00			FCS<31:0>	
либо: N-1	FCS<7:0>, DATA<byte _(LEN-1) , byte _(LEN-2) , byte _(LEN-3) >			DATA<byte _(LEN-4) , byte _(LEN-5) , byte _(LEN-6) , byte _(LEN-7) >	
N	0x00, 0x00, 0x00, 0x00			0x00, FCS<31:8>	
либо: N-1	FCS<15:0>, DATA<byte _(LEN-1) , byte _(LEN-2) >			DATA<byte _(LEN-3) , byte _(LEN-4) , byte _(LEN-5) , byte _(LEN-6) >	
N	0x00, 0x00, 0x00, 0x00			0x00, 0x00, FCS<31:16>	
либо: N-1	FCS<23:0>, DATA<byte _(LEN-1) >			DATA<byte _(LEN-2) , byte _(LEN-3) , byte _(LEN-4) , byte _(LEN-5) >	
N	0x00, 0x00, 0x00, 0x00			0x00, 0x00, 0x00, FCS<31:24>	

Бит регистра TX_FRAME_CONTROL<13> = FCS_CLT_EN – задает источник формирования поля <FCS>.

Если бит $FCS_CLT_EN=0$, то значение поля $\langle FCS \rangle$ – контрольная сумма CRC32 передаваемого кадра – вычисляется в блоке $CALC_CRC32$ при передаче кадра.

При этом кадр, переданный в TX_FIFO , содержит следующие поля: $\langle DESTINATION ADDRESS \rangle$, $\langle SOURCE ADDRESS \rangle$, $\langle LENGTH/TYPE \rangle$, $\langle DATA \rangle$.

Если бит $FCS_CLT_EN=1$, то значение поля $\langle FCS \rangle$ – уже вычисленная клиентом MAC контрольная сумма CRC32, переданная вместе с остальными полями кадра в TX_FIFO .

При этом кадр, переданный в TX_FIFO , содержит поля: $\langle DESTINATION ADDRESS \rangle$, $\langle SOURCE ADDRESS \rangle$, $\langle LENGTH/TYPE \rangle$, $\langle DATA \rangle$, $\langle FCS \rangle$.

Также должны быть установлены разряды регистра $TX_FRAME_CONTROL\langle 11:0 \rangle = LENGTH$ для задания числа байт кадра, переданного в TX_FIFO , – этот параметр используется блоком передачи кадров при передаче кадра. Значение $LENGTH$ должно быть не нулевым.

В случае, когда $FCS_CLT_EN=0$, значение $LENGTH$ соответствует числу байт полей $\langle DESTINATION ADDRESS \rangle$, $\langle SOURCE ADDRESS \rangle$, $\langle LENGTH/TYPE \rangle$ и $\langle DATA \rangle$, то есть (12 байт + число байт поля $\langle DATA \rangle$).

В случае, когда $FCS_CLT_EN=1$, значение $LENGTH$ соответствует числу байт всех полей кадра: $\langle DESTINATION ADDRESS \rangle$, $\langle SOURCE ADDRESS \rangle$, $\langle LENGTH/TYPE \rangle$, $\langle DATA \rangle$ и $\langle FCS \rangle$, то есть (16 байт + число байт поля $\langle DATA \rangle$).

Бит регистра $TX_FRAME_CONTROL\langle 15 \rangle = Dis_PAD$ – запрещает/разрешает автоматическое добавление в кадр поля $\langle PAD \rangle$, в случае когда число байт в кадре меньше 64 байт (минимальный размер кадра в соответствии со стандартом Ethernet).

Если бит $Dis_PAD = 0$, тогда:

если бит $TX_FRAME_CONTROL\langle 13 \rangle = FCS_CLT_EN = 0$, $\left. \vphantom{\text{если}} \right\} \Rightarrow$

а значение $TX_FRAME_CONTROL\langle 11:0 \rangle = LENGTH < 60$ байт

(4 байта поля $\langle FCS \rangle$ вычисляются контроллером при передаче),

\Rightarrow то во время передачи кадра перед передачей поля $\langle FCS \rangle$ передается поле $\langle PAD \rangle$.

Число байт в поле $\langle PAD \rangle$ определяется как разность $(60 - LENGTH)$.

Каждый байт поля $\langle PAD \rangle$ имеет значение $0x99$.

Если бит `Dis_PAD = 1`, либо если бит `TX_FRAME_CONTROL<13> = FCS_CLT_EN = 1`, то, несмотря на число байт в кадре, автоматического добавления поля `<PAD>` при передаче кадра выполняться не будет.

12.3.1.3.3 Передача кадра

Для того чтобы запустить передачу кадра необходимо установить в регистре управления передачи кадра бит запроса на передачу кадра, то есть `TX_FRAME_CONTROL<16> = TX_REQ = 1`.

Перед тем как будет установлен бит запроса на передачу кадра, в блок передачи кадров должны быть переданы данные, необходимые для формирования кадра.

В случае, когда разрешен режим формирования кадра в блоке передачи кадров, тогда необходимо установить регистры `MAC_ADDR_L`, `MAC_ADDR_H`, `DADDR_L`, `DADDR_H`, `TYPE`, `FCS_CLIENT`, `TX_FRAME_CONTROL`, а также содержание поля `<DATA>` должно быть полностью передано в `TX_FIFO`.

В случае, когда в блок передачи кадров передается уже сформированный кадр, тогда необходимо установить регистр `TX_FRAME_CONTROL`, а содержание кадра должно быть полностью передано в `TX_FIFO`.

Перед тем как начать передавать данные в `TX_FIFO` должна быть разрешена работа передающего `TX_FIFO` с DMA-каналом на запись `DMA_EMAC_CH1`.

Для того чтобы разрешить работу передающего `TX_FIFO` с каналом `DMA_EMAC_CH1` необходимо установить в регистре управления MAC бит `MAC_CONTROL<1> = EN_TX_DMA = 1`.

Число 64-разрядных слов в передающем FIFO – `TX_FIFO` – отображается в разрядах регистра статуса `STATUS_TX<26:16> = TXW` (`TXW` содержит информацию о количестве данных в `TX_FIFO` с точностью до байта, но в регистре статуса отображена информация с точностью до 64-разрядного слова округленного в большую сторону).

Также, перед тем как будет установлен запрос на передачу кадра, должен быть сконфигурирован регистр `IFS` и режима обработки коллизий – `IFS_COLL_MODE`.

После выставления бита запроса на передачу кадра TX_REQ = 1 в связи с синхронизацией системной частоты HCLK и частоты передачи TX_CLK блоку передачи кадров требуется временная задержка, прежде чем он начнет обрабатывать запрос на передачу кадра. Для отслеживания состояния блока передачи кадров используется бит статусного регистра STATUS_TX<0> = ONTX_REQ. Как только блок передачи кадров начинает обработку запроса на передачу кадра устанавливается бит ONTX_REQ и продолжает стоять в течение обработки запроса на передачу кадра. По завершении обработки запроса на передачу кадра бит ONTX_REQ сбрасывается. Сразу после начала обработки запроса на передачу кадра блок передачи кадров буферизует содержимое регистров MAC_ADDR_L, MAC_ADDR_H, DADDR_L, DADDR_H, TYPE, FCS_CLIENT, TX_FRAME_CONTROL, IFS_COLL_MODE. Таким образом, после того как был установлен бит запроса на передачу кадра TX_REQ = 1 необходимо дождаться выставления бита ONTX_REQ = 1 в статусном регистре, и после этого все регистры блока передачи кадров могут быть переустановлены для передачи следующего кадра. В передающее TX_FIFO также может быть передано содержимое следующего кадра. В течении времени после того как был установлен бит TX_REQ, но еще не выставился бит ONTX_REQ попытка записи в регистры блока передачи кадров игнорируется.

После выставления бита запроса на передачу кадра TX_REQ = 1 – он не может быть сброшен и будет продолжать стоять в течение обработки запроса на передачу кадра. По завершении обработки запроса на передачу кадра бит TX_REQ автоматически сбрасывается. После этого бит запроса на передачу может быть выставлен снова для передачи следующего кадра.

Если бит разрешения работы блока передачи кадров MAC_CONTROL<2> = EN_TX будет сброшен, после того как блок передачи кадров начал обработку запроса на передачу кадра, то, не смотря на это, обработка текущего запроса на передачу будет продолжена.

Если был установлен бит запроса на передачу кадра TX_REQ = 1 и при этом бит разрешения работы блока передачи кадров MAC_CONTROL<2>=EN_TX=0, тогда блок передачи кадров сразу же завершает обработку запроса на передачу кадра и сообщает об этом выставлением в регистре статуса бита STATUS_TX<3> = TX_DONE = 1. По завершении обработки запроса на передачу кадра блок передачи кадров также сообщает результат передачи кадра в разрядах регистра статуса STATUS_TX<8:4> = TX_REZ = 0x01 – transmitDisabled – передача не разрешена.

Если был установлен бит запроса на передачу кадра $TX_REQ = 1$ и при этом число слов в передающем $TX_FIFO - TXW$ меньше, чем значение разрядов регистра $TX_FRAME_CONTROL<11:0>=LENGTH$, то есть $TXW < LENGTH$, тогда блок передачи кадров сразу же завершает обработку запроса на передачу кадра и сообщает об этом выставлением в регистре статуса бита $STATUS_TX<3>=TX_DONE = 1$. По завершении обработки запроса на передачу кадра блок передачи кадров также сообщает результат передачи кадра в разрядах регистра статуса $STATUS_TX<8:4> = TX_REZ = 0x02 - NotEnoughDataErr$ – в TX_FIFO недостаточно данных для передачи.

Если контроллер MAC работает в полудуплексном режиме (бит $MAC_CONTROL<0>=FULLD = 0$), то когда блок передачи кадров начинает обработку запроса на передачу кадра ($ONTX_REQ = 1$), то сначала он проверяет занята ли среда передача.

Для отслеживания занятости среды передачи используется бит статусного регистра $STATUS_TX<2> = BUSY$. Когда в среде передачи обнаруживается наличие несущей, это означает, что в среде идет передача от одной из передающих станций (в том числе и от контроллера MAC), тогда устанавливается бит $BUSY$ – среда занята. Как только среда передачи освобождается, бит $BUSY$ сбрасывается.

В случае если блок передачи кадров обнаруживает занятость среды передачи, тогда он задерживает передачу кадра и ожидает когда среда передачи освободится, то есть когда другая станция закончит свою передачу. После того, как среда передачи освобождается, блок передачи кадров, перед тем как начать передавать кадр, выдерживает временную задержку, называемую межкадровым интервалом – $interFrameSpacing$.

Значение межкадрового интервала $interFrameSpacing$ задается в разрядах регистра $IFS_COLL_MODE<31:24> = IFS$. В соответствии со стандартом Ethernet межкадровый интервал IFS по умолчанию равен времени передачи 96 бит, что соответствует 24 тактам частоты передачи TX_CLK . Значение IFS должно быть не меньше 4 тактов частоты передачи TX_CLK .

Межкадровый интервал рассматривается в качестве двух последовательных временных интервалов: начальный интервал, равный значению $(IFS - 8)$, что по умолчанию соответствует первым 16 тактам TX_CLK после начала отсчета межкадрового интервала, и заключительный интервал, который соответствует последующим 8 тактам TX_CLK . Блок передачи кадров начинает отсчитывать межкадровый интервал после того как освобождается среда передачи, если в течение начального интервала вновь обнаруживается занятость среды передачи, то блок передачи кадров снова ждет когда освободится среда и после этого заново начинает отсчитывать межкадровый интервал. Если же в течение начального интервала среда передачи остается свободной, то блок передачи кадров затем продолжает ожидать в течение заключительного интервала, но при этом уже не отслеживая занятость среды. Таким образом, как только истечет

заключительный интервал межкадрового интервала блок передачи кадров сразу же начинает передачу своего кадра в среду передачи.

Бит статусного регистра STATUS_TX<1>=ONTransmit позволяет отслеживать состояние блока передачи кадров. Когда блок передачи кадров передает кадр в среду передачи, тогда бит ONTransmit устанавливается и продолжает стоять в течение всей передачи кадра. Как только блок передачи кадров завершает передачу кадра, бит ONTransmit сбрасывается.

Если контроллер MAC работает в дуплексном режиме (бит MAC_CONTROL<0> = FULLD = 1), то среда передачи всегда доступна. Таким образом, в дуплексном режиме блок передачи кадров сразу же после начала обработки запроса на передачу начинает передавать кадр. Однако, в случае выполнения последовательных передач кадров блок передачи кадров между передачами выдерживает временную задержку – межкадровый интервал – interFrameSpacing. Межкадровый интервал interFrameSpacing в соответствии со стандартом Ethernet равен времени передачи 96 бит, что соответствует 24 тактам частоты передачи TX_CLK.

Во время передачи блок передачи кадров последовательно передает байты всех полей кадра: <DESTINATION ADDRESS>, <SOURCE ADDRESS>, <LENGTH/TYPE>, <DATA>, <FCS>.

Если контроллер MAC работает в полудуплексном режиме (бит MAC_CONTROL<0> = FULLD = 0) и во время передачи кадра не было обнаружено коллизии, либо если контроллер MAC работает в дуплексном режиме (бит MAC_CONTROL<0>= FULLD = 1), то блок передачи кадров, передав байты последнего поля <FCS>, завершает передачу кадра и затем завершает обработку запроса на передачу кадра и сообщает об этом выставлением в регистре статуса бита STATUS_TX<3>=TX_DONE= 1.

По завершении обработки запроса на передачу кадра блок передачи кадров также сообщает результат передачи кадра в разрядах регистра статуса STATUS_TX<8:4> = TX_REZ = 0x04 – transmitOK – передача кадра успешно выполнена.

По завершении обработки запроса на передачу кадра, если передача кадра была успешно выполнена, то число слов в передающем TX_FIFO – TXW декрементируется в соответствии с размером данных переданного кадра.

Флаг завершения обработки запроса на передачу кадра TX_DONE, а также код результата передачи кадра TX_REZ после их установки блоком передачи кадров продолжают стоять, а при выставлении следующего запроса на передачу кадра автоматически сбрасываются.

Флаг завершения обработки запроса на передачу кадра TX_DONE доступен по записи, когда блок передачи кадров не выполняет обработку запроса на передачу кадра, то есть когда бит TX_REQ = 0. Таким образом, после завершения обработки запроса на передачу

кадра флаг TX_DONE может быть сброшен записью нуля в соответствующий бит регистра STATUS_TX.

Код результата передачи кадра TX_REZ доступен только по чтению.

Бит MAC_CONTROL<9> = CP_TX предназначен для сброса указателей передающего TX_FIFO между передачами кадров. Когда установлен запрос на передачу кадра, то есть бит TX_REQ = 1, бит CP_TX не доступен по записи. В связи с синхронизацией системной частоты HCLK и частоты передачи TX_CLK сброс указателей передающего TX_FIFO происходит с временной задержкой. Также, если сброс указателей выполняется на фоне работы канала DMA на запись, то перед выполнением сброса указателей требуется временная задержка, необходимая для завершения запущенных на передачу по каналу DMA пакетов данных. После установки бит CP_TX продолжает стоять, при этом бит становится недоступным для записи и поэтому не может быть сброшен. После выполнения сброса указателей передающего TX_FIFO бит CP_TX автоматически сбрасывается, после чего бит снова доступен для записи. В результате сброса указателей число слов в передающем TX_FIFO обнуляется – STATUS_TX<26:16> = TXW = 0.

Флаг завершения обработки запроса на передачу кадра TX_DONE является запросом на прерывание от блока передачи кадров. Запрос на прерывание от блока передачи кадров маскируется. В бите MAC_CONTROL<3> = MASK_TX_DONE устанавливается маска запроса на прерывание от блока передачи кадров.

Бит MAC_CONTROL<10> = RST_TX предназначен для программного сброса блока передачи кадров, а также регистров MAC_ADDR_L, MAC_ADDR_H, DADDR_L, DADDR_H, TYPE, FCS_CLIENT, IFS_COLL_MODE, TX_FRAME_CONTROL, STATUS_TX и разрядов регистра MAC_CONTROL<3:0>. В связи с синхронизацией системной частоты HCLK и частоты передачи TX_CLK требуется временная задержка для выполнения программного сброса блока передачи кадров. Также, если программный сброс выполняется на фоне работы канала DMA на запись, то перед выполнением программного сброса требуется временная задержка, необходимая для завершения запущенных на передачу по каналу DMA пакетов данных. После установки бит RST_TX продолжает стоять, при этом бит становится недоступным для записи и поэтому не может быть сброшен. После выполнения программного сброса блока передачи кадров бит RST_TX автоматически сбрасывается, после чего бит снова доступен для записи.

На Рисунок 12.5 приведен порядок обработки запроса на передачу кадра блоком передачи кадров.

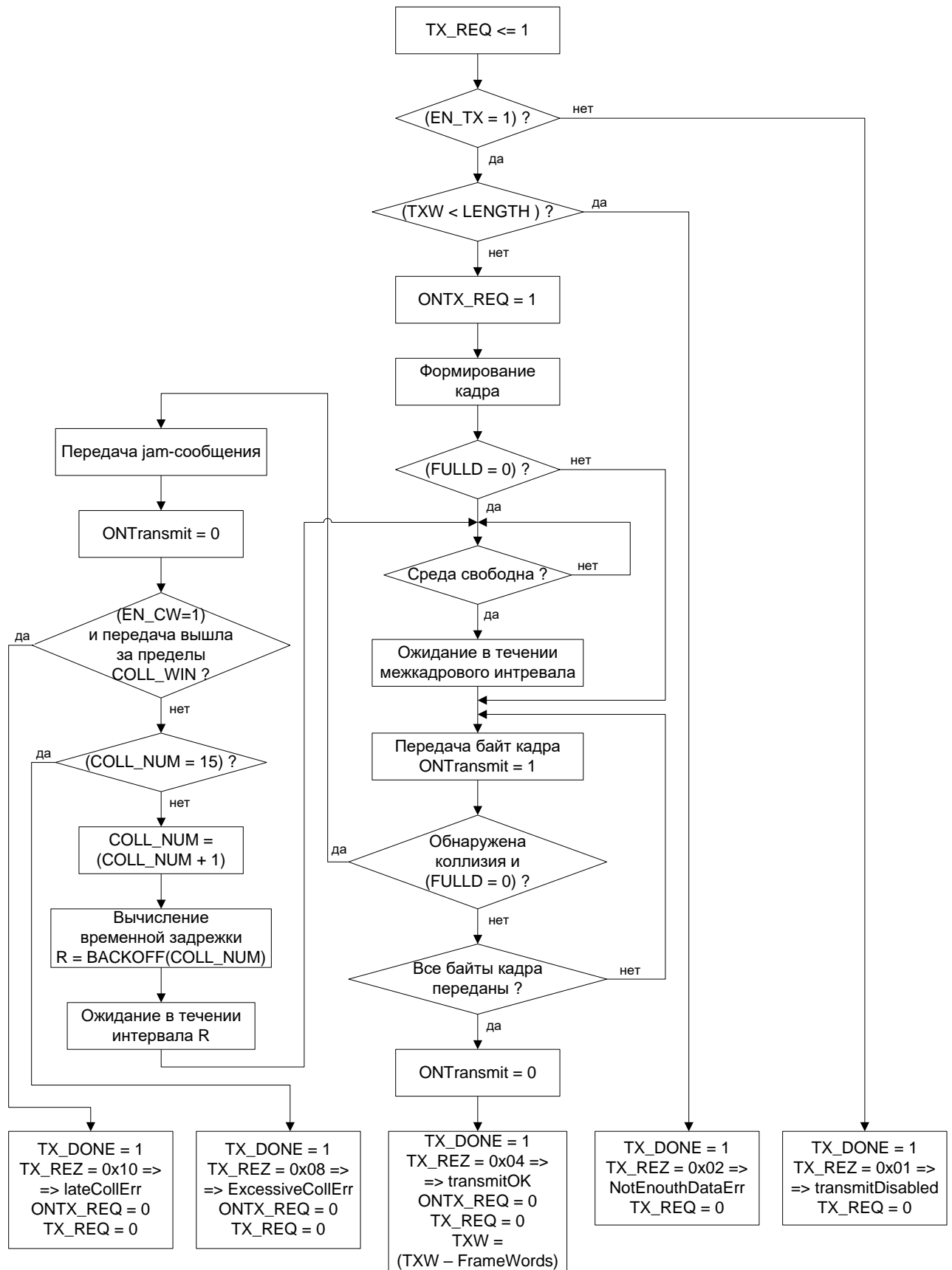


Рисунок 12.5. Порядок обработки запроса на передачу кадра

12.3.1.3.4 Обработка коллизий при передаче кадра

Когда контроллер MAC работает в полудуплексном режиме

(бит $MAC_CONTROL<0> = FULLD = 0$), то во время передачи кадра в среде передачи может произойти коллизия. В случае обнаружения коллизии во время передачи кадра, блок передачи кадров вместо содержимого кадра начинает передавать 32-разрядное jam-сообщение, состоящее из 4 повторяющихся байт, чтобы сообщить другим станциям об обнаружении коллизии. После передачи jam-сообщения блок передачи кадров останавливает передачу и инкрементирует счетчик попыток повторных передач.

Значение повторяющегося байта jam-сообщения задается в разрядах регистра $IFS_COLL_MODE<23:16> = JAMB$.

Наличие коллизии в среде передачи отслеживается значением бита регистра статуса $STATUS_TX<3> = ONCOL$.

Значение счетчика попыток повторных передач отображается в разрядах регистра статуса $STATUS_TX<15:12> = COLL_NUM$. Во время первой попытки передачи значение счетчика $COLL_NUM = 0$. Счетчик попыток повторных передач $COLL_NUM$ доступен только по чтению. Значение счетчика попыток повторных передач $COLL_NUM$ автоматически сбрасывается при выставлении следующего запроса на передачу кадра.

После завершения передачи jam-сообщения блок передачи кадров переходит в состояние ожидания. Блок передачи кадров находится в состоянии ожидания в течение временной задержки, вычисленной в блоке $BACKOFF$ в соответствии текущим значением номера попытки повторной передачи. По истечении временной задержки блок передачи кадров выполняет повторную попытку передачи кадра. В случае последующих обнаружений коллизий, блок передачи кадров будет выполнять повторные передачи кадра до тех пор, когда будет достигнуто максимальное количество попыток повторных передач кадра – $ATTEMPT_NUM$. Максимальное количество попыток повторных передач кадра задается в разрядах регистра $IFS_COLL_MODE<3:0> = ATTEMPT_NUM$ и по умолчанию равно 15. Таким образом, по умолчанию блок передачи кадров выполняет до 16 попыток передачи кадра в соответствии со стандартом Ethernet.

В случае, когда при передаче кадра достигается максимальное количество попыток повторных передач кадра $ATTEMPT_NUM$, и при этом последняя попытка передачи кадра также прерывается коллизией, тогда блок передачи кадров завершает обработку запроса на передачу кадра. Блок передачи кадров сообщает о завершении обработки запроса на передачу кадра выставлением в регистре статуса бита $STATUS_TX<3> = TX_DONE = 1$. По завершении обработки запроса на передачу кадра блок передачи кадров также сообщает результат передачи кадра в разрядах регистра статуса $STATUS_TX<8:4> = TX_REZ = 0x08$ – ExcessiveCollErr – ошибка превышения максимального количества попыток повторных передач кадра.

Во время передачи кадра в среде передачи обычно может быть обнаружена коллизия в течение определенного временного промежутка после начала передачи, который требуется для распространения сигнала от передающей станции до всех остальных станций в среде передачи. Такой временной промежуток с начала передачи кадра называется окном коллизии. Размер окна коллизии задается как число байт кадра, для передачи которых требуется определенный промежуток времени, и устанавливается в разрядах регистра $IFS_COLL_MODE\langle 23:16 \rangle = COLL_WIN$. Размер окна коллизии должен быть больше 14 байт. В соответствии со стандартом Ethernet размер окна коллизии равен временному интервалу $slotTime$, который равен времени передачи 512 бит, что соответствует времени передачи 64 байт кадра. Таким образом, по умолчанию размер окна коллизии $COLL_WIN$ равен 64 байта. Для разрешения отслеживания окна коллизии должен быть установлен бит $IFS_COLL_MODE\langle 4 \rangle = EN_CW = 1$. По умолчанию отслеживание окна коллизии разрешено.

В случае обнаружении коллизии во время передачи кадра, если разрешено отслеживание окна коллизии ($IFS_COLL_MODE\langle 4 \rangle = EN_CW = 1$), то блок передачи кадров проверяет вышла ли текущая передача за пределы окна коллизии. Таким образом, если обнаружена коллизия и при этом разрешено отслеживание окна коллизии ($IFS_COLL_MODE\langle 4 \rangle = EN_CW = 1$), а текущая передача вышла за пределы окна коллизии, то блок передачи кадров после завершения передачи jam-сообщения не делает повторных попыток передачи кадра, а завершает обработку запроса на передачу кадра. Блок передачи кадров сообщает о завершении обработки запроса на передачу кадра выставлением в регистре статуса бита $STATUS_TX\langle 3 \rangle = TX_DONE = 1$.

По завершении обработки запроса на передачу кадра блок передачи кадров также сообщает результат передачи кадра в разрядах регистра статуса $STATUS_TX\langle 8:4 \rangle = TX_REZ = 0x10$ – lateCollErr – ошибка поздней коллизии.

В случае, когда отслеживание окна коллизии не разрешено, то есть бит $IFS_COLL_MODE\langle 4 \rangle = EN_CW = 0$, тогда независимо от момента обнаружения коллизий, блок передачи кадров будет выполнять повторные попытки передачи кадра до тех пока передача кадра не будет успешно завершена или пока не будет достигнуто максимальное количество попыток повторных передач кадра.

Если коллизия обнаруживается в первые несколько тактов после успешного завершения передачи кадра, то блок передачи кадров завершает обработку запроса на передачу кадра и сообщает об этом выставлением в регистре статуса бита $STATUS_TX\langle 3 \rangle = TX_DONE = 1$, а также сообщает результат передачи кадра в разрядах регистра статуса $STATUS_TX\langle 8:4 \rangle = TX_REZ = 0x14$ – одновременно transmitOK и lateCollErr – передача кадра успешно выполнена и при этом ошибка поздней коллизии.

Когда контроллер MAC работает в дуплексном режиме (бит MAC_CONTROL<0> = FULLD = 1), тогда в среде передачи не может возникать коллизий. Таким образом, передача кадра при работе в дуплексном режиме не может быть прервана и всегда успешно завершается с первой попытки передачи.

12.3.1.4 Блок CALC_CRC32

Блок CALC_CRC32 вычисляет контрольную сумму CRC32 передаваемого кадра.

Контрольная сумма представляет собой 32-разрядное значение, которое вычисляется как функция от содержимого полей кадра: <DESTINATION ADDRESS>, <SOURCE ADDRESS>, <LENGTH/TYPE>, <DATA>, <PAD>.

Алгоритм вычисления контрольной суммы CRC32 определяется полиномом:

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1 ;$$

Разряды вычисленной контрольной суммы CRC<31:0> помещаются в поле <FCS> так, что старший разряд CRC<31> помещается в младший разряд поля FCS<0>, а младший разряд CRC<0> помещается в старший разряд поля FCS<31>. Таким образом, поле FCS<31:0> = {CRC<0>, CRC<1>, ..., CRC<30>, CRC<31>}.

Следует отметить, что если при передаче кадра используется регистр FCS_CLIENT, то в этот регистр помещается непосредственно значение контрольной суммы CRC<31:0>, то есть FCS_CLIENT<31:0> = CRC<31:0>.

Если же в TX_FIFO передается сформированный кадр, содержащий уже вычисленное значение поля <FCS>, то в этом случае формат поля <FCS> должен соответствовать выражению: FCS<31:0> = {CRC<0>, CRC<1>, ..., CRC<30>, CRC<31>}.

12.3.1.5 Блок BACKOFF

Блок BACKOFF вычисляет временную задержку перед повторной передачей кадра при обнаружении коллизии. Временная задержка определяется как целое число R временных интервалов slotTime. Временной интервал slotTime равен времени передачи 512 бит, что соответствует 128 тактам частоты передачи TX_CLK.

R – целое число временных интервалов slotTime – вычисляется как случайное значение в диапазоне $0 \leq R < 2K$,

где $K = \min(n, 10)$, $1 \leq n \leq 15$, n – номер попытки повторной передачи.

Для блока BACKOFF предусмотрен тестовый режим работы. Для включения тестового режима работы блока BACKOFF необходимо установить бит $IFS_COLL_MODE\langle 7 \rangle = TM_BACKOFF = 1$. В тестовом режиме работы целое число временных интервалов $slotTime - R$ – вычисляется в диапазоне: $0 \leq R \leq 1$.

12.3.1.6 Режим тестирования TX_FIFO

Для тестирования записи данных по DMA-каналу в передающее TX_FIFO предусмотрен режим тестирования TX_FIFO. Для включения режима тестирования TX_FIFO необходимо установить в регистре управления и состояния режима тестирования TX_FIFO бит разрешения режима тестирования – $TX_TEST_CSR\langle 0 \rangle = TM_TX_FIFO = 1$.

Когда разрешен режим тестирования передающего TX_FIFO, то обмен по каналу DMA с TX_FIFO невозможен. Данные поступающие на запись в TX_FIFO при разрешенном режиме тестирования игнорируются.

Если разрешен режим тестирования, то TX_FIFO доступно для чтения по адресу TX_FIFO. Таким образом, в режиме тестирования последовательными чтениями 32-разрядных слов может быть вычитано содержимое TX_FIFO. При этом чтение TX_FIFO начинается с нулевой ячейки.

Число прочтенных 32-разрядных слов из TX_FIFO отображается в разрядах регистра управления и состояния режима тестирования $TX_TEST_CSR\langle 14:4 \rangle = TM_TX_RDW$. После сброса бита разрешения режима тестирования TX_FIFO число прочтенных из TX_FIFO слов – TM_TX_RDW – обнуляется.

12.3.1.7 Блок приема кадров ReceiveFrame

Для разрешения работы блока приема кадров должен быть установлен бит $MAC_CONTROL\langle 4 \rangle = EN_RX = 1$.

Блок приема кадров может быть сконфигурирован для работы в режиме заикливания блока приема кадров на блок передачи кадров. Для задания режима заикливания в регистре управления MAC необходимо установить бит $MAC_CONTROL\langle 5 \rangle = LOOPBACK = 1$.

Для задания параметров фильтрации кадров по адресу назначения необходимо установить биты регистра $RX_FRAME_CONTROL\langle 9:6 \rangle$, а также регистры UCADDR_L, UCADDR_H, MCADDR_L, MCADDR_H, MCADDR_MASK_L, MCADDR_MASK_H, HASHT_L, HASHT_H.

В регистре $RX_FR_MaxSize$ необходимо установить значение максимального размера принимаемого кадра в байтах. По умолчанию максимальный размер принимаемого кадра равен 1518 байт в соответствии со стандартом Ethernet.

Также в разрядах регистра `RX_FRAME_CONTROL<5:0>` необходимо задать параметры проверки и обработки принятого кадра.

Блок приема кадров постоянно анализирует состояние сигнала `RX_DV` для обнаружения трансляции кадра в среде передачи.

В случае, когда блок приема кадров обнаруживает, что установился сигнал `RX_DV` и при этом бит разрешения работы блока приема кадров `MAC_CONTROL<4> = EN_RX = 0`, тогда блок приема кадров пропускает транслируемый кадр и сообщает об этом выставлением в регистре статуса бита `STATUS_RX<0> = RCV_Disabled = 1`. Бит `RCV_Disabled` после выставления продолжает стоять и будет автоматически сброшен после завершения трансляции пропускаемого кадра в среде передачи, то есть когда снимется сигнал `RX_DV`.

Когда блок приема кадров обнаруживает, что установился сигнал `RX_DV` и при этом установлен бит разрешения работы блока приема кадров `MAC_CONTROL<4> = EN_RX = 1`, тогда блок приема кадров начинает прием кадра.

Если бит разрешения работы блока приема кадров `MAC_CONTROL<4> = EN_RX` будет сброшен после того как блок приема кадров начал прием кадра, то, несмотря на это, прием текущего кадра будет продолжен.

Когда контроллер MAC работает в полудуплексном режиме (бит `MAC_CONTROL<0> = FULLD = 0`), то контроллер MAC может выполнять либо прием, либо передачу кадра. Таким образом, если в полудуплексном режиме блок передачи кадров выполняет передачу кадра, то во время передачи блок приема кадров пропускает транслируемые на прием кадры.

Бит регистра `MAC_CONTROL<6> = FULLD_RX` – включает тестовый режим работы блока приема кадров, при работе в котором блок приема кадров будет принимать транслируемые на прием кадры во время выполнения блоком передачи кадров передачи данных при работе контроллера в полудуплексном режиме (`FULLD=0`).

В начале приема кадра блок приема кадров ожидает на прием байты полей `<PREAMBLE>` и `<SFD>`. При этом поле `<PREAMBLE>` может содержать от 1 до 7 байт, либо поле `<PREAMBLE>` может отсутствовать, и тогда кадр начинается сразу с поля `<SFD>`.

Если после принятия 8 байт блок приема кадров не обнаружил поле `<SFD>`, 1 байт которого имеет значение `0xD5`, то блок приема кадров прекращает прием транслируемых данных, которые не являются корректным кадром.

Как только блок приема кадров при приеме первых 8 байт обнаруживает поле `<SFD>`, блок приема кадров начинает прием 6 байт поля `<DESTINATION ADDRESS>` – адреса назначения. Принятый 48-разрядный адрес назначения поступает в блок `DADDR_CHECK`.

В блоке DADDR_CHECK выполняется распознавание принятого адреса назначения в соответствии с заданными параметрами в битах регистра RX_FRAME_CONTROL<9:6>, а также в соответствии со значениями регистров UCADDR_L, UCADDR_H, MCADDR_L, MCADDR_H, MCADDR_MASK_L, MCADDR_MASK_H, HASHT_L, HASHT_H.

В случае, когда принятый адрес назначения не был распознан в блоке DADDR_CHECK, тогда блок приема кадров прекращает прием текущего транслируемого кадра, так как данный кадр считается предназначенным для другой станции.

В случае, когда принятый адрес назначения был распознан в блоке DADDR_CHECK, тогда текущий транслируемый кадр считается предназначенным для контроллера MAC и блок приема кадров продолжает прием остальных полей кадра.

Бит статусного регистра STATUS_RX<1> = ONReceive позволяет отслеживать состояние блока приема кадров. Если был распознан адрес назначения и блок приема кадров выполняет прием кадра, то бит ONReceive устанавливается и продолжает стоять в течение приема кадра. Как только блок приема кадров завершает прием кадра, бит ONReceive сбрасывается.


Во время приема кадра по принимаемым байтам полей кадра, за исключением 4 байт поля <FCS>, в блоке CRC32_CHECK вычисляется контрольная сумма CRC32. После завершения приема кадра в блоке CRC32_CHECK контрольная сумма CRC32, вычисленная по данным принятого кадра, сравнивается со значением принятого поля <FCS>. В случае, если вычисленное значение не совпадает с принятым, то блок CRC32_CHECK выставляет флаг ошибки контрольной суммы принятого кадра.

В случае если во время приема кадра устанавливается сигнал RX_ER, то блок приема кадров определяет, что была обнаружена ошибка принятых данных.

В случае, когда объем транслируемых данных превышает максимальный допустимый размер принимаемого кадра, заданный в регистре RX_FR_MaxSize, тогда после приема объема данных, равного максимальному размеру принимаемого кадра + 1 байт, дальнейший прием транслируемого кадра прекращается.

При приеме кадра блок приема кадров компонует поступающие байты полей кадра в 64-разрядные слова и сохраняет их в принимающее FIFO – RX_FIFO. Каждое 64-разрядное слово составляется из 8 принятых байт кадра в порядке их поступления, начиная с байта, который был принят первым:

63	56	55	48	47	40	39	32	31	24	23	16	15	8	7	0
byte _(n+7)	byte _(n+6)	byte _(n+5)	byte _(n+4)	byte _(n+3)	byte _(n+2)	byte _(n+1)	byte _(n)								



 Байты были приняты, начиная с младшего

В случае если для компоновки последнего 64-разрядного слова из принятых байт кадра остается меньше 8 принятых байт кадра, то последние принятые байты кадра помещаются в соответствующие младшие разряды слова: 1 байт – в разряды <7:0>, 2 байта – в разряды <15:0>, 3 байта – в разряды <23:0>, 4 байта – в разряды <31:0>, 5 байт – в разряды <39:0>, 6 байт – в разряды <47:0>, 7 байт – в разряды <55:0>. Оставшиеся старшие разряды слова заполняются нулевыми значениями.

Таким образом, при приеме кадра в принимающее RX_FIFO последовательно записываются поступающие поля кадра: <DESTINATION ADDRESS>, <SOURCE ADDRESS>, <LENGTH/TYPE>, <DATA>, <PAD>, <FCS>.

Если во время приема кадра при записи принятых байт кадра в принимающее RX_FIFO происходит переполнение принимающего RX_FIFO, то блок приема кадров прекращает прием транслируемого кадра, а уже принятые байты кадра отбрасываются. Для сообщения об этом блок приема кадров выставляет в регистре статуса флаг переполнения принимающего RX_FIFO – STATUS_RX<23> = RX_FIFO_OVF_Err = 1, а также инкрементируется число пропущенных кадров из-за переполнения FIFO – NUM_Missed_FR. Число пропущенных кадров отображается в разрядах регистра статуса STATUS_RX<29:24> = NUM_Missed_FR.

Как только сбрасывается сигнал RX_DV блок приема кадров завершает прием кадра. После завершения приема кадра блок приема кадров выполняет проверку и обработку принятого кадра в соответствии с заданными параметрами в разрядах регистра RX_FRAME_CONTROL<5:0>.

В случае если во время приема кадра поступает нечетное число полубайт данных, то блок приема кадров принимает целое число байт данных кадра, а нечетный полубайт данных отбрасывает.

Порядок проверки принятого кадра блоком приема кадров:

1. Если размер принятого кадра составляет меньше 18 байт, то такой кадр считается некорректным и блок приема кадров отбрасывает этот кадр.
2. Если размер принятого кадра составляет меньше 64 байт (минимальный размер кадра в соответствии со стандартом Ethernet), то такой кадр определяется как слишком короткий кадр и для него устанавливается статусный флаг – `RX_FRAME_STATUS<17> = frameTooShort = 1`.
3. Если во время приема кадра объем транслируемых данных превысил максимальный размер принимаемого кадра, заданный в регистре `RX_FR_MaxSize`, то такой кадр определяется как слишком длинный кадр и для него устанавливается статусный флаг – `RX_FRAME_STATUS<16> = frameTooLong = 1`.
4. Если при приеме кадра поступило нечетное число полубайт, то есть нецелое число байт данных, то для такого кадра устанавливается статусный флаг – `RX_FRAME_STATUS<18> = DribbleNibble = 1`.
5. Если блок `CRC32_CHECK` выставляет флаг ошибки контрольной суммы принятого кадра, а при приеме кадра поступило нечетное число полубайт данных, то принятый кадр определяется как кадр с ошибкой выравнивания и для него устанавливается статусный флаг – `RX_FRAME_STATUS<14> = alignmentError = 1`.
6. Если блок `CRC32_CHECK` выставляет флаг ошибки контрольной суммы принятого кадра, и при приеме кадра поступило целое число байт данных, либо если во время приема кадра была обнаружена ошибка принятых данных (`RX_ER = 1`), то принятый кадр определяется как кадр с ошибкой проверки кадра и для него устанавливается статусный флаг – `RX_FRAME_STATUS<15> = frameCheckError = 1`.
7. Если в принятом кадре значение поля `<LENGTH/TYPE>` ≤ 1500 байт, то в соответствии со стандартом Ethernet поле `<LENGTH/TYPE>` в данном кадре трактуется как поле `<LENGTH>`. Для такого кадра устанавливается статусный флаг – `RX_FRAME_STATUS<19> = LEN_FIELD = 1`.
8. Если для принятого кадра установлен статусный флаг `LEN_FIELD = 1`, в принятом кадре не обнаружено поле `<PAD>`, а число байт данных в поле `<DATA>` принятого кадра не совпадает со значением, принятого поля `<LENGTH>`, то принятый кадр определяется как кадр с ошибкой длины поля данных `<DATA>` и для него устанавливается статусный флаг – `RX_FRAME_STATUS<13> = lengthError = 1`.
9. Если при проверке принятого кадра для него не выставляется ни один из статусных флагов: `frameTooShort`, `frameTooLong`, `alignmentError`, `frameCheckError`, `lengthError`, – тогда кадр считается успешно принятым без обнаружения ошибок и для такого кадра устанавливается статусный флаг – `RX_FRAME_STATUS<12> = receiveOK = 1`.

После проверки принятого кадра блок приема кадров выполняет затем его обработку в соответствии с заданными параметрами в разрядах регистра RX_FRAME_CONTROL<5:0>:

1. Если для принятого кадра во время проверки был установлен статусный флаг frameTooShort = 1, а бит разрешения приема слишком коротких кадров RX_FRAME_CONTROL<2> = Accept_TooShort = 0, то принятый кадр отбрасывается.
2. Если для принятого кадра во время проверки был установлен статусный флаг frameTooLong = 1, а бит разрешения отбрасывания слишком длинных кадров RX_FRAME_CONTROL<3> = Discard_TooLong = 1, то принятый кадр отбрасывается.
3. Если для принятого кадра во время проверки был установлен статусный флаг alignmentError = 1 или статусный флаг frameCHeckError = 1, а бит разрешения отбрасывания кадров с ошибкой проверки контрольной суммы RX_FRAME_CONTROL<4> = Discard_FCSCHErr = 1, то принятый кадр отбрасывается.
4. Если для принятого кадра во время проверки был установлен статусный флаг lengthError = 1, а бит разрешения отбрасывания кадров с ошибкой длины поля данных RX_FRAME_CONTROL<5> = Discard_LengthErr = 1, то принятый кадр отбрасывается.
5. Если принятый кадр после проверки не был отброшен, а бит отключения сохранения поля <FCS> в принятом кадре RX_FRAME_CONTROL<0> = Dis_RCV_FCS = 1, то блок приема кадров удаляет из принятого кадра последние 4 байта – байты поля <FCS>. Блок приема кадров сообщает об удалении поля <FCS> в принятом кадре выставлением для него статусного флага – RX_FRAME_STATUS<20> = FCS_Del = 1.
6. Если принятый кадр после проверки не был отброшен, и при этом в принятом кадре было обнаружено поле <PAD>, бит отключения сохранения поля <FCS> в принятом кадре RX_FRAME_CONTROL<0> = Dis_RCV_FCS = 1, а бит отключения удаления в принятом кадре поля <PAD> RX_FRAME_CONTROL<1> = Dis_PAD_Del = 0, то блок приема кадров удаляет из принятого кадра байты поля <PAD>. Блок приема кадров сообщает об удалении поля <PAD> в принятом кадре выставлением для него статусного флага – RX_FRAME_STATUS<21> = PAD_Del = 1.

Значение числа байт в принятом кадре сохраняется в разрядах статуса принятого кадра RX_FRAME_STATUS<11:0> = RX_FR_LENGTH.

В случае, когда после проверки принятого кадра блок приема кадров отбрасывает кадр, тогда блок приема кадров никак не сообщает о том, что кадр принимался и был отброшен, число слов в принимающем `RX_FIFO – RXW` остается неизменным.

Число 64-разрядных слов в принимающем `FIFO – RX_FIFO` – отображается в разрядах регистра статуса `STATUS_RX<22:12> = RXW` (`RXW` содержит информацию о количестве данных в `RX_FIFO` с точностью до байта, но в регистре статуса отображена информация с точностью до 64-разрядного слова округленного в меньшую сторону).

В случае, когда после проверки и обработки принятого кадра блоком приема кадров кадр не был отброшен, тогда считается, что блок приема кадров принял кадр.

В процессе проверки и обработки принятого кадра блок приема кадров формирует статус принятого кадра `RX_FRAME_STATUS`. По принятию кадра блок приема кадров записывает сформированный статус принятого кадра `RX_FRAME_STATUS` в `FIFO` статусов принятых кадров – `RX_FRAME_STATUS_FIFO`. `FIFO` статусов принятых кадров имеет объем в 64 слова статусов кадров.

При этом по принятию кадра инкрементируется число принятых кадров – `NUM_RX_FR`. Число принятых кадров отображается в разрядах регистра статуса `STATUS_RX<10:4>= NUM_RX_FR`.

Также по принятию кадра число слов в принимающем `RX_FIFO – RXW` инкрементируется в соответствии с размером данных принятого кадра. После этого данные принятого кадра доступны для вычитывания по `DMA`-каналу чтения `DMA_EMAC_CH0`. Данные принятого кадра вычитываются по `DMA`-каналу чтения из принимающего `RX_FIFO` в виде последовательности 64-разрядных слов (с точностью до байта). Так как `DMA` может передавать данные с точностью до байта, то в случае когда длина кадра не кратна 8-ми байт, нет необходимости вычитывать нулевые байты дополняющие 64-разрядную строку. Выгрузку очередного кадра предваряет чтение `FIFO` статусов, что является командой к отбросу ненужных нулевых байтов. Для обнаружения наличия принятых кадров в принимающем `RX_FIFO` используется бит статусного регистра `STATUS_TX<3> = RX_DONE`. Флаг наличия принятых кадров в принимающем `RX_FIFO – RX_DONE` устанавливается, когда в `FIFO` статусов принятых кадров имеются неп прочитанные статусы принятых кадров, то есть `FIFO` статусов не пустое. После опустошения `FIFO` статусов принятых кадров флаг `RX_DONE` автоматически сбрасывается. При вычитывании слова статуса кадра из `FIFO` статусов принятых кадров, число принятых кадров `NUM_RX_FR` декрементируется. `FIFO` статусов принятых кадров доступно только по чтению. Указатели `FIFO` статусов принятых кадров могут быть сброшены путем выполнения записи по адресу `FIFO` статусов произвольного значения. При сбросе указателей `FIFO` статусов число принятых кадров `NUM_RX_FR` обнуляется.

Если `FIFO` статусов принятых кадров полное, то есть `NUM_RX_FR = 64`, и при этом блок приема кадров завершает прием нового кадра, тогда при попытке записи статуса

принятого кадра в заполненное FIFO статусов блок приема кадров обнаруживает переполнение FIFO статусов принятых кадров. При обнаружении переполнения FIFO статусов принятых кадров блок приема кадров отбрасывает принятый кадр и сообщает об этом выставлением в регистре статуса флага переполнения FIFO статусов принятых кадров – $STATUS_RX<11> = FR_STATUS_OVF_Err = 1$. Также при этом инкрементируется число пропущенных кадров из-за переполнения FIFO – NUM_Missed_FR . Так как принятый кадр отбрасывается, то число слов в принимающем $RX_FIFO - RXW$ остается неизменным.

Флаг переполнения FIFO статусов принятых кадров $FR_STATUS_OVF_Err$ и флаг переполнения принимающего $RX_FIFO - RX_FIFO_OVF_Err$ доступны по записи и в случае их выставления могут быть сброшены записью нулей в соответствующие биты регистра $STATUS_RX$.

Бит $MAC_CONTROL<11> = CP_RX$ предназначен для сброса указателей принимающего RX_FIFO между приемами кадров. Во время приема кадра ($ONReceive = 1$) бит CP_RX не доступен по записи. В связи с синхронизацией системной частоты $HCLK$ и частоты приема RX_CLK сброс указателей принимающего RX_FIFO происходит с задержкой. Также, если сброс указателей выполняется на фоне работы канала DMA на чтение, то перед выполнением сброса указателей требуется временная задержка, необходимая для завершения запущенных на передачу по каналу DMA пачек данных. После установки бит CP_RX продолжает стоять, при этом бит становится недоступным для записи и поэтому не может быть сброшен. После выполнения сброса указателей принимающего RX_FIFO бит CP_RX автоматически сбрасывается, после чего бит снова доступен для записи. В результате сброса указателей число слов в принимающем RX_FIFO обнуляется – $STATUS_RX<22:12> = RXW = 0$.

Флаг наличия принятых кадров в принимающем $RX_FIFO - RX_DONE$, а также флаги переполнения принимающего RX_FIFO , FIFO статусов принятых кадров – $RX_FIFO_OVF_Err$ и $FR_STATUS_OVF_Err$ – выставление одного из этих флагов является запросом на прерывание от блока приема кадров. Запрос на прерывание от блока приема кадров маскируется.

В бите $MAC_CONTROL<7> = MASK_RX_DONE$ устанавливается маска флага RX_DONE (флаг наличия принятых кадров в принимающем RX_FIFO), выставление которого является запросом на прерывание от блока приема кадров.

В бите $MAC_CONTROL<8> = MASK_RX_FIFO_OVF_ERR$ устанавливается маска флагов $RX_FIFO_OVF_Err$ и $FR_STATUS_OVF_Err$ (флагов переполнения принимающего RX_FIFO и FIFO статусов принятых кадров), выставление одного из которых является запросом на прерывание от блока приема кадров. На рисунке 12.6 приведен порядок приема кадров блоком приема кадров.

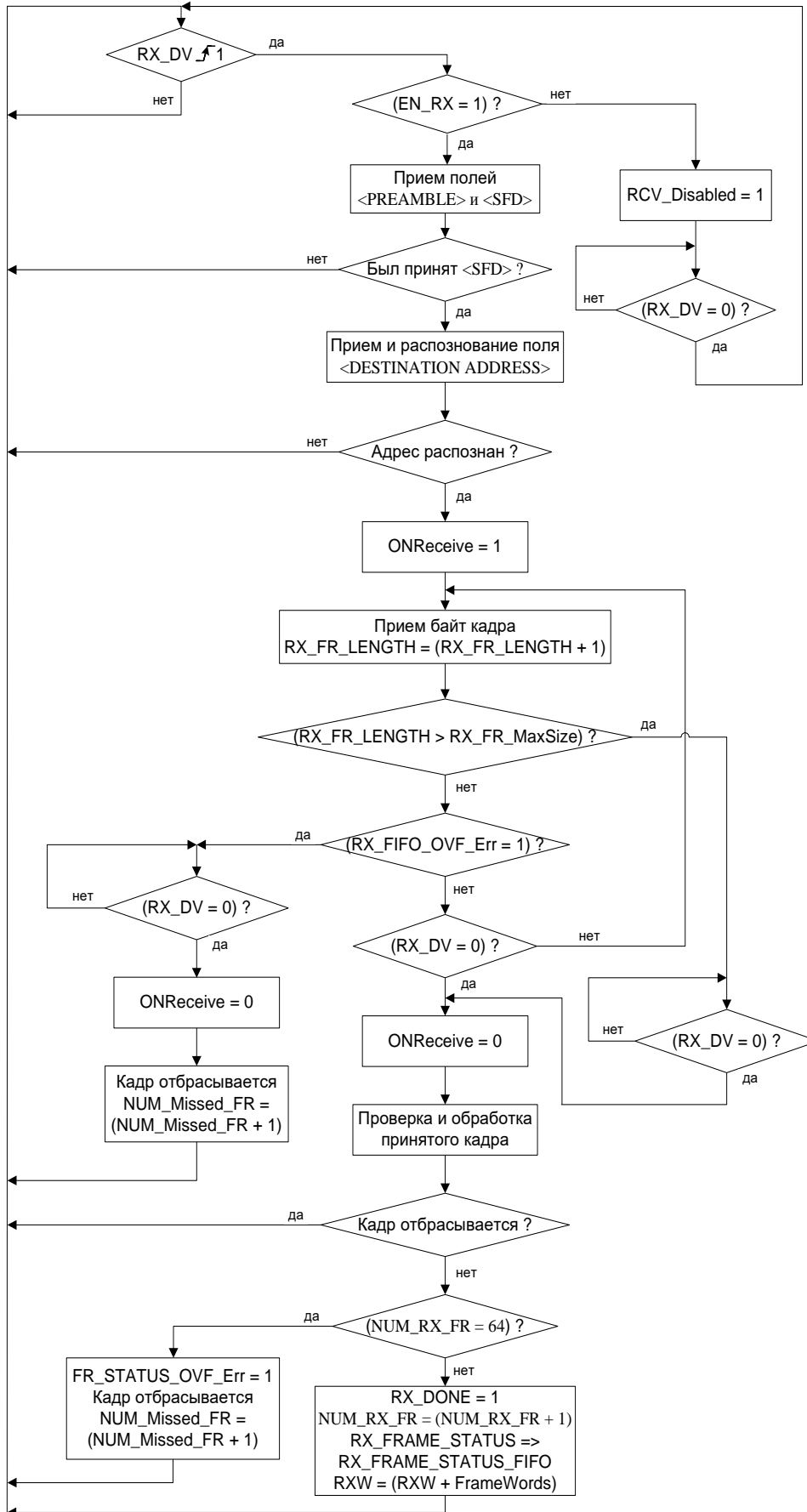


Рисунок 12.6. Порядок приема кадров

Бит `MAC_CONTROL<12>` = `RST_RX` предназначен для программного сброса блока приема кадров, а также регистров `UCADDR_L`, `UCADDR_H`, `MCADDR_L`, `MCADDR_H`, `MCADDR_MASK_L`, `MCADDR_MASK_H`, `HASHT_L`, `HASHT_H`, `RX_FR_MaxSize`, `RX_FRAME_CONTROL`, `STATUS_RX`, разрядов регистра `MAC_CONTROL<8:4>` и указателей FIFO статусов принятых кадров. В связи с синхронизацией системной частоты `HCLK` и частоты приема `RX_CLK` требуется временная задержка для выполнения программного сброса блока приема кадров.

Также, если программный сброс выполняется на фоне работы канала DMA на чтение, то перед выполнением программного сброса требуется временная задержка, необходимая для завершения запущенных на передачу по каналу DMA пачек данных. После установки бит `RST_RX` продолжает стоять, при этом бит становится недоступным для записи и поэтому не может быть сброшен. После выполнения программного сброса блока приема кадров бит `RST_RX` автоматически сбрасывается, после чего бит снова доступен для записи.

12.3.1.8 Блок `DADDR_CHECK`

Блок `DADDR_CHECK` после принятия в блоке приема кадров 6 байт поля `<DESTINATION ADDRESS>` выполняет распознавание принятого адреса назначения в соответствии с заданными параметрами в битах регистра `RX_FRAME_CONTROL<9:6>`, а также в соответствии со значениями регистров `UCADDR_L`, `UCADDR_H`, `MCADDR_L`, `MCADDR_H`, `MCADDR_MASK_L`, `MCADDR_MASK_H`, `HASHT_L`, `HASHT_H`.

Порядок распознавания принятого адреса назначения:

- Если установлен бит разрешения приема кадров с любым адресом назначения `RX_FRAME_CONTROL<9>` = `EN_ALL` = 1, то принятый адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг – `RX_FRAME_STATUS<16>` = `ALL` = 1.
- Если значение принятого 48-разрядного адреса назначения $DA<47:0> = 0xFFFFFFFFFFFF$, то такой адрес назначения является широковещательным. Если при этом не установлен бит запрещения приема кадров с широковещательным адресом назначения `RX_FRAME_CONTROL<6>` = `Dis_BC` = 0, то принятый адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг – `RX_FRAME_STATUS<25>` = `BC` = 1.
- Если принятый адрес назначения `DA` является индивидуальным адресом ($DA<0> = 0$), тогда принятый 48-разрядный адрес назначения `DA<47:0>` сравнивается с 48-разрядным значением уникального адреса MAC, сформированного из значения регистров `UCADDR_L`, `UCADDR_H`:

$$DA<47:0> = \{UCADDR_H<15:0>, UCADDR_L<31:0>\}.$$

При совпадении значения принятого адреса назначения и значения уникального адреса MAC, адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг – $RX_FRAME_STATUS<22> = UC = 1$.

- Если принятый адрес назначения DA является групповым адресом ($DA<0> = 1$) и при этом установлен бит $RX_FRAME_CONTROL<7> = EN_MCM = 1$, тогда принятый 48-разрядный адрес назначения $DA<47:0>$ сравнивается с 48-разрядным значением группового адреса MAC, сформированного из значения регистров $MCADDR_L$, $MCADDR_H$ с учетом наложения на 48-разрядные адреса маски, заданной в регистрах $MCADDR_MASK_L$, $MCADDR_MASK_H$. Таким образом, на значение принятого адреса назначения накладывается маска:

$$DA<47:0> \& \{MCADDR_MASK_H<15:0>, MCADDR_MASK_L<31:0>\},$$

также на значение группового адреса MAC накладывается маска:

$$\{MCADDR_H<15:0>, MCADDR_L<31:0>\} \& \{MCADDR_MASK_H<15:0>, MCADDR_MASK_L<31:0>\},$$

а затем полученные замаскированные значения адресов сравниваются:

$$DA \& MCADDR_MASK = MCADDR \& MCADDR_MASK.$$

При совпадении замаскированных адресов, адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг – $RX_FRAME_STATUS<23> = MCM = 1$.

- Если принятый адрес назначения DA является групповым адресом ($DA<0> = 1$) и при этом установлен бит

$$RX_FRAME_CONTROL<8> = EN_MCHT = 1,$$

тогда по принятому 48-разрядному адресу назначения $DA<47:0>$ в блоке $CRC32_CHECK$ вычисляется контрольная сумма $DA_CRC<31:0>$. Значение бита вычисленной контрольной суммы $DA_CRC<31>$ определяет младшая или старшая часть хэш-таблицы будет использоваться для распознавания адреса назначения. Если бит $DA_CRC<31> = 0$, то для распознавания адреса используется младшая часть хэш-таблицы, заданная в регистре $HASHT_L$. Если бит $DA_CRC<31> = 1$, то для распознавания адреса используется старшая часть хэш-таблицы, заданная в регистре $HASHT_H$. Значение пяти бит вычисленной контрольной суммы $DA_CRC<30:26>$ задает номер бита в используемой части (старшей или младшей) хэш-таблицы ($HASHT_L$ или $HASHT_H$). Таким образом, из 64 разрядов хэш-таблицы, заданной в регистрах $HASHT_L$ и $HASHT_H$, выбирается один бит. Если выбранный таким образом из хэш-таблицы бит установлен в 1, тогда адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг:

$$RX_FRAME_STATUS<24> = MCHT = 1.$$

На рисунке 12.7 приведен порядок распознавания принятого адреса назначения.

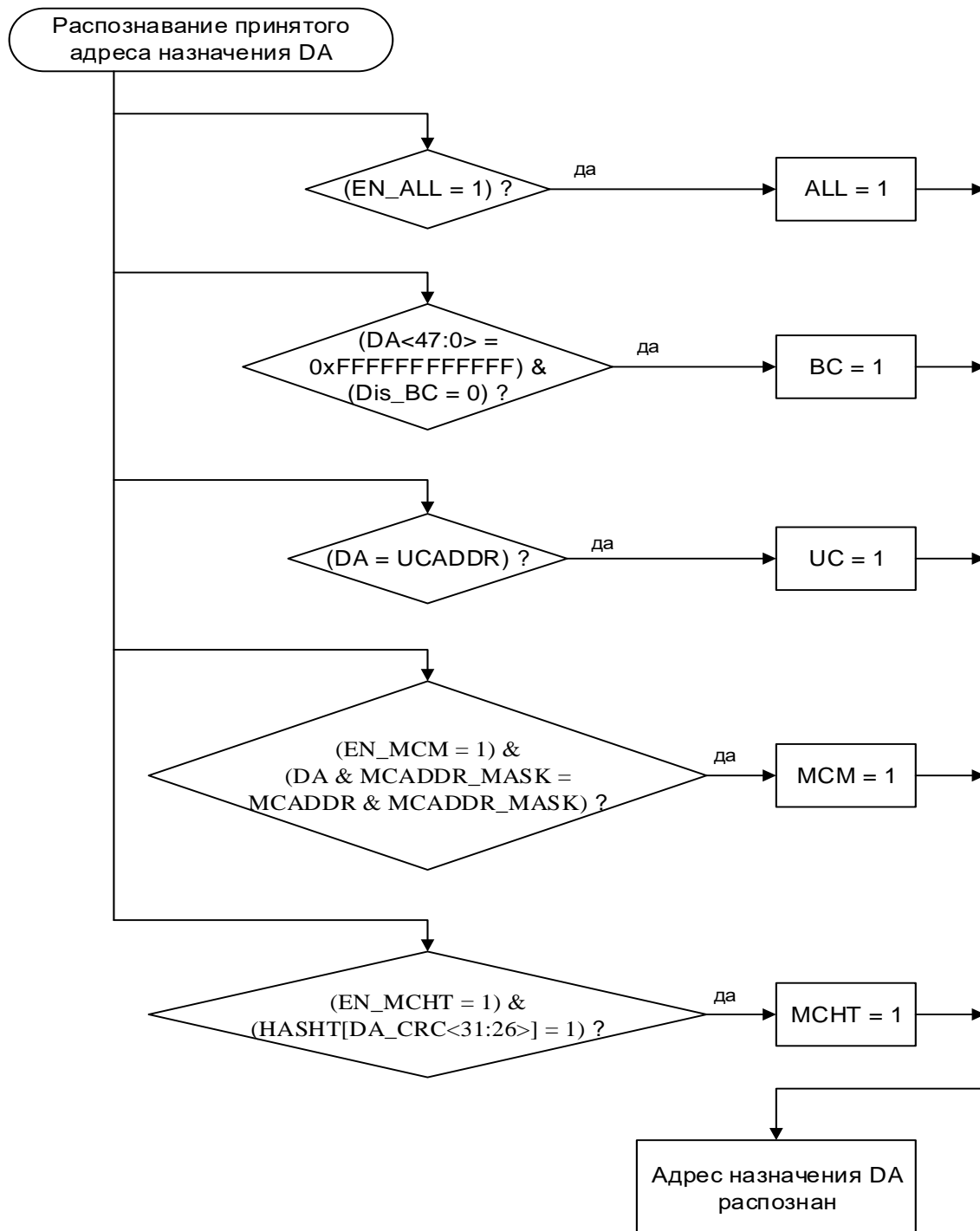


Рисунок 12.7. Порядок распознавания принятого адреса назначения

12.3.1.9 Блок CRC32_CHECK

Блок CRC32_CHECK во время приема кадра блоком приема кадров вычисляет по принимаемым байтам полей кадра контрольную сумму CRC32.

Контрольная сумма представляет собой 32-разрядное значение, которое вычисляется как функция от содержимого полей кадра: <DESTINATION ADDRESS>, <SOURCE ADDRESS>, <LENGTH/TYPE>, <DATA>, <PAD>.

Алгоритм вычисления контрольной суммы CRC32 определяется полиномом:

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1 ;$$

После завершения приема в блоке приема кадров всех полей кадра 32-разрядное значение вычисленной контрольной суммы CRC<31:0> сравнивается со значением принятых 4 байт поля <FCS>. Если вычисленное значение контрольной суммы CRC<31:0> не совпадает с поступившим значением FCS<31:0>, тогда блок CRC32_CHECK устанавливает флаг ошибки контрольной суммы принятого кадра.

Также блок CRC32_CHECK после принятия в блоке приема кадров 6 байт поля <DESTINATION ADDRESS> вычисляет для блока DADDR_CHECK контрольную сумму DA_CRC только по байтам поля <DESTINATION ADDRESS>.

12.3.1.10 Режим тестирования RX_FIFO

Для тестирования чтения данных по DMA-каналу из принимающего RX_FIFO предусмотрен режим тестирования RX_FIFO.

Для включения режима тестирования необходимо установить в регистре управления и состояния режима тестирования RX_FIFO бит разрешения режима тестирования – RX_TEST_CSR<0> = TM_RX_FIFO = 1. Бит разрешения режима тестирования TM_RX_FIFO не доступен по записи когда разрешена работа блока приема кадров MAC_CONTROL<4> = EN_RX = 1 или во время приема кадра (ONReceive = 1).

При установке бита разрешения режима тестирования RX_FIFO – TM_RX_FIFO = 1, автоматически устанавливается бит сброса указателей принимающего RX_FIFO – MAC_CONTROL<11> = CP_RX = 1. Таким образом, после разрешения режима тестирования RX_FIFO необходимо дождаться выполнения сброса указателей принимающего RX_FIFO, то есть дождаться когда бит CP_RX будет автоматически сброшен.

Когда разрешен режим тестирования, тогда RX_FIFO становится недоступным для чтения по DMA-каналу.

Если разрешен режим тестирования, то RX_FIFO доступно для записи по адресу RX_FIFO. Таким образом, в режиме тестирования последовательными записями 32-разрядных слов может быть заполнено RX_FIFO. При этом запись RX_FIFO начинается с нулевой ячейки.

Число записанных в RX_FIFO 32-разрядных слов отображается в разрядах регистра управления и состояния режима тестирования RX_TEST_CSR<14:4> = TM_RX_WRW. После сброса бита разрешения режима тестирования RX_FIFO число записанных в RX_FIFO слов – TM_RX_WRW – обнуляется.

При сбросе бита TM_RX_FIFO значение RXW обновляется в соответствии с числом записанных в тестовом режиме слов. После этого данные записанные в RX_FIFO в тестовом режиме могут быть вычитаны по DMA-каналу из RX_FIFO.

После сброса бита разрешения режима тестирования RX_FIFO и последующего вычитывания по DMA-каналу тестовых данных, записанных в RX_FIFO, для возможности дальнейшей корректной работы с RX_FIFO необходимо выполнить сброс указателей принимающего RX_FIFO. Для этого необходимо установить бит MAC_CONTROL<11> = CP_RX.

12.3.2 Регистры контроллера Ethernet MAC 10/100

В Таблица 12.4 приведен перечень программно-доступных регистров контроллера Ethernet MAC 10/100.

Таблица 12.4. Перечень регистров контроллера Ethernet MAC 10/100

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние
MAC_CONTROL[11:0]	Регистр управления MAC	WR/RD	0000_0000
MD_MODE[8:0]	Регистр режима работы порта MD	WR/RD	0000_0040
MD_CONTROL[31:0]	Регистр управления порта MD	WR/RD	0000_0000
MD_STATUS[31:0]	Регистр статуса порта MD	WR/RD	0000_0000
MAC_ADDR_L[31:0]	Регистр младшей части исходного адреса MAC	WR/RD	0000_0000
MAC_ADDR_H[15:0]	Регистр старшей части исходного адреса MAC	WR/RD	0000_0000
DADDR_L[31:0]	Регистр младшей части адреса назначения	WR/RD	0000_0000
DADDR_H[15:0]	Регистр старшей части адреса назначения	WR/RD	0000_0000
FCS_CLIENT[31:0]	Регистр контрольной суммы кадра	WR/RD	0000_0000
TYPE[15:0]	Регистр типа кадра	WR/RD	0000_0000
IFS_COLL_MODE[23:0]	Регистр IFS и режима обработки коллизии	WR/RD	18c3_401f
TX_FRAME_CONTROL[16:0]	Регистр управления передачи кадра	WR/RD	0000_0000

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние
STATUS_TX[26:0]	Регистр статуса передачи кадра	WR/RD	0000_0000
UCADDR_L[31:0]	Регистр младшей части уникального адреса MAC	WR/RD	0000_0000
UCADDR_H[15:0]	Регистр старшей части уникального адреса MAC	WR/RD	0000_0000
MCADDR_L[31:0]	Регистр младшей части группового адреса	WR/RD	0000_0000
MCADDR_H[15:0]	Регистр старшей части группового адреса	WR/RD	0000_0000
MCADDR_MASK_L[31:0]	Регистр младшей части маски группового адреса	WR/RD	0000_0000
MCADDR_MASK_H[15:0]	Регистр старшей части маски группового адреса	WR/RD	0000_0000
HASHT_L[31:0]	Регистр младшей части хэш-таблицы	WR/RD	0000_0000
HASHT_H[31:0]	Регистр старшей части хэш-таблицы	WR/RD	0000_0000
RX_FR_MaxSize[11:0]	Регистр максимального размера принимаемого кадра	WR/RD	0000_05ee
RX_FRAME_CONTROL[9:0]	Регистр управления приема кадра	WR/RD	0000_0000
STATUS_RX[29:0]	Регистр статуса приема кадра	WR/RD	0000_0000
RX_FRAME_STATUS_FIFO [26:0]	FIFO статусов принятых кадров	WR/RD	0000_0000
TX_TEST_CSR[14:0]	Регистр управления и состояния режима тестирования TX_FIFO	WR/RD	0000_0000
TX_FIFO[31:0]	Передающее TX_FIFO	RD	0000_0000
RX_TEST_CSR[14:0]	Регистр управления и состояния режима тестирования RX_FIFO	WR/RD	0000_0000
RX_FIFO[31:0]	Принимающее RX_FIFO	WR	0000_0000

12.3.2.1 Регистр управления MAC (MAC_CONTROL)

Таблица 12.5. Формат регистра управления MAC

Номер разряда	Условное обозначение	Описание
0	FULLD	Режим работы контроллера: FULLD=0 – полудуплексный режим, FULLD=1 – дуплексный режим. Доступен по чтению и записи. Значение в исходном состоянии – 0.
1	EN_TX_DMA	Разрешение работы передающего TX_FIFO с DMA-каналом. Доступен по чтению и записи. Значение в исходном состоянии – 0.
2	EN_TX	Разрешение работы блока передачи кадров. Доступен по чтению и записи. Значение в исходном состоянии – 0.

Номер разряда	Условное обозначение	Описание
3	MASK_TX_DONE	Маска запроса на прерывание от блока передачи кадров. Доступен по чтению и записи. Значение в исходном состоянии – 0.
4	EN_RX	Разрешение работы блока приема кадров. Доступен по чтению и записи. Значение в исходном состоянии – 0.
5	LOOPBACK	Режим зацикливания блока приема кадров на блок передачи кадров.
6	FULLD_RX	Тестовый режим работы блока приема кадров, включение которого при работе контроллера в полудуплексном режиме (FULLD=0) позволяет блоку приема кадров принимать данные во время выполнения блоком передачи кадров передачи данных.
7	MASK_RX_DONE	Маска запроса прерывания по наличию принятых кадров в принимающем FIFO. Доступен по чтению и записи. Значение в исходном состоянии – 0.
8	MASK_RX_FIFO_OVF_ERR	Маска запроса прерывания по переполнению принимающего FIFO, либо переполнению FIFO статусов принятых кадров. Доступен по чтению и записи. Значение в исходном состоянии – 0.
9	CP_TX	Сброс указателей передающего TX_FIFO. Доступен по чтению и записи. После установки в 1 не доступен по записи, сбрасывается автоматически. Во время обработки запроса на передачу кадра не доступен по записи. Значение в исходном состоянии – 0.
10	RST_TX	Программный сброс блока передачи кадров контроллера. Доступен по чтению и записи. После установки в 1 не доступен по записи, сбрасывается автоматически. Значение в исходном состоянии – 0.
11	CP_RX	Сброс указателей принимающего RX_FIFO. Доступен по чтению и записи. После установки в 1 не доступен по записи, сбрасывается автоматически. Во время приема кадра не доступен по записи. Значение в исходном состоянии – 0.
12	RST_RX	Программный сброс блока приема кадров контроллера. Доступен по чтению и записи. После установки в 1 не доступен по записи, сбрасывается автоматически. Значение в исходном состоянии – 0.

12.3.2.2 Регистр режима работы порта MD (MD_MODE)

Таблица 12.6. Формат регистра режима работы порта MD

Номер разряда	Условное обозначение	Описание
7: 0	MDC_Divider	Коэффициент деления системной частоты при формировании частоты MDC. Должен иметь четное, не нулевое значение. Доступен по чтению и записи. Значение в исходном состоянии – 0x40.
8	RST_MD	Программный сброс порта управления PHY. Доступен по чтению и записи. Автоматически сбрасывается после установки. Значение в исходном состоянии – 0.

12.3.2.3 Регистр управления порта MD (MD_CONTROL)

Таблица 12.7. Формат регистра управления порта MD

Номер разряда	Условное обозначение	Описание
15: 0	WR_DT	Данные для записи в регистр PHY. Доступны по чтению и записи. Значение в исходном состоянии – 0000.
20:16	PHYREG_ADDR	Адрес регистра PHY. Доступен по чтению и записи. Значение в исходном состоянии – 00.
23:21	–	Резерв
28:24	PHY_ADDR	Адрес PHY. Доступен по чтению и записи. Значение в исходном состоянии – 00.
29	MD_MASK	Маска запроса на прерывание от порта управления PHY. Доступен по чтению и записи. Значение в исходном состоянии – 0.
31:30	MD_OP	Код выполняемой операции: MD_OP = 00 – состояние IDLE; MD_OP = 01 – операция чтения; MD_OP = 10 – операция записи; MD_OP = 11 – запрещенная комбинация. Доступен по чтению и записи. Значение в исходном состоянии – 00.

12.3.2.4 Регистр статуса порта MD (MD_STATUS)

Таблица 12.8. Формат регистра статуса порта MD

Номер разряда	Условное обозначение	Описание
15: 0	RD_DT	Данные, прочтенные из регистра РНУ. Доступны только по чтению. Значение в исходном состоянии – 0000.
28:16	–	Резерв
29	MD_BUSY	Признак занятости порта управления РНУ – выполняется операция записи/чтения. Доступен только по чтению. Значение в исходном состоянии – 0.
31:30	MD_OP_END	Флаги завершения выполнения операции: MD_OP_END = 01 – завершилась операция чтения по порту MD; MD_OP_END = 10 – завершилась операция записи по порту MD. Доступны по чтению и записи. Значение в исходном состоянии – 00.

12.3.2.5 Регистр младшей части исходного адреса MAC (MAC_ADDR_L)

Таблица 12.9. Формат регистра младшей части исходного адреса MAC

Номер разряда	Условное обозначение	Описание
31: 0	MAC_ADDR_L	Младшая часть исходного адреса в поле <SOURCE ADDRESS> передаваемого кадра. Доступен по чтению и записи. Значение в исходном состоянии – 00000000.

12.3.2.6 Регистр старшей части исходного адреса MAC (MAC_ADDR_H)

Таблица 12.10. Формат регистра старшей части исходного адреса MAC

Номер разряда	Условное обозначение	Описание
15: 0	MAC_ADDR_H	Старшая часть исходного адреса в поле <SOURCE ADDRESS> передаваемого кадра. Доступен по чтению и записи. Значение в исходном состоянии – 0000.

12.3.2.7 Регистр младшей части адреса назначения (DADDR_L)

Таблица 12.11. Формат регистра младшей части адреса назначения

Номер разряда	Условное обозначение	Описание
31: 0	DADDR_L	Младшая часть исходного адреса в поле <DESTINATION ADDRESS> передаваемого кадра. Доступен по чтению и записи. Значение в исходном состоянии – 00000000.

12.3.2.8 Регистр старшей части адреса назначения (DADDR_H)

Таблица 12.12. Формат регистра старшей части адреса назначения

Номер разряда	Условное обозначение	Описание
15: 0	DADDR_H	Старшая часть исходного адреса в поле <DESTINATION ADDRESS> передаваемого кадра. Доступен по чтению и записи. Значение в исходном состоянии – 0000.

12.3.2.9 Регистр контрольной суммы кадра(FCS_CLIENT)

Таблица 12.13. Формат регистра контрольной суммы кадра

Номер разряда	Условное обозначение	Описание
31: 0	FCS_CLIENT	Вычисленная клиентом MAC контрольная сумма передаваемого кадра CRC32. Доступен по чтению и записи. Значение в исходном состоянии – 00000000.

12.3.2.10 Регистр типа кадра (TYPE)

Таблица 12.14. Формат регистра типа кадра

Номер разряда	Условное обозначение	Описание
15: 0	TYPE	Если DisEncapFR = 0, то регистр задает значение поля <TYPE> передаваемого кадра. Доступен по чтению и записи. Значение в исходном состоянии – 0000.

12.3.2.11 Регистр IFS и режима обработки коллизии (IFS_COLL_MODE)

Таблица 12.15. Формат регистра IFS и режима обработки коллизии

Номер разряда	Условное обозначение	Описание
3:0	ATTEMPT_NUM	Максимальное количество попыток повторных передач кадра. Доступен по чтению и записи. Значение в исходном состоянии – 0xF.
4	EN_CW	Разрешение отслеживания окна коллизии. Доступен по чтению и записи. Значение в исходном состоянии – 1.
6:5	–	Резерв
7	TM_BACKOFF	Включение тестового режима работы блока BACKOFF. Доступен по чтению и записи. Значение в исходном состоянии – 0.
15:8	COLL_WIN	Размер окна коллизии (число переданных байт). Доступен по чтению и записи. При записи значения $\leq 0xE$ (14 байт), автоматически устанавливается значение 0xF (15 байт). Значение в исходном состоянии – 0x40 (64 байта).
23:16	JAMB	Значение повторяющегося байта 32-разрядного jam-сообщения. Доступен по чтению и записи. Значение в исходном состоянии – 0xC3.
31:24	IFS	Значение межкадрового интервала – interFrameSpacing – в тактах частоты передачи TX_CLK. Доступен по чтению и записи. Значение в исходном состоянии – 0x18 (24 такта).

12.3.2.12 Регистр управления передачи кадра(TX_FRAME_CONTROL)

Таблица 12.16. Формат регистра управления передачи кадра

Номер разряда	Условное обозначение	Описание
11: 0	LENGTH	<p>Если DisEncapFR = 0, то LENGTH – число байт поля <DATA> передаваемого кадра в передающем TX_FIFO.</p> <p>Если DisEncapFR = 1, то LENGTH – число байт передаваемого кадра в передающем TX_FIFO.</p> <p>Если DisEncapFR = 0 и TYPE_EN = 0, то LENGTH также задает значение поля <LENGTH/TYPE> передаваемого кадра.</p> <p>Доступен по чтению и записи. Значение LENGTH должно быть не нулевым.</p> <p>Значение в исходном состоянии – 000.</p>
12	TYPE_EN	<p>Если DisEncapFR = 0, то бит TYPE_EN задает в каком качестве используется поле <LENGTH/TYPE> в передаваемом кадре.</p> <p>Если TYPE_EN = 0, то – поле <LENGTH>;</p> <p>Если TYPE_EN = 1, то – поле <TYPE>.</p> <p>Доступен по чтению и записи.</p> <p>Значение в исходном состоянии – 0.</p>
13	FCS_CLT_EN	<p>Если FCS_CLT_EN = 0, то значение поля <FCS> вычисляет блок передачи кадров при передаче кадра;</p> <p>Если FCS_CLT_EN = 1, то значение поля <FCS> – уже вычисленная контрольная сумма CRC32, заданная в регистре FCS_CLIENT.</p> <p>Доступен по чтению и записи.</p> <p>Значение в исходном состоянии – 0.</p>
14	DisEncapFR	<p>Запрещает/разрешает режим формирования кадра в блоке передачи кадров.</p> <p>Если DisEncapFR = 0, то разрешен режим формирования кадра в блоке передачи кадров;</p> <p>Если DisEncapFR = 1, то в блок передачи кадров передается уже сформированный кадр.</p> <p>Доступен по чтению и записи.</p> <p>Значение в исходном состоянии – 0.</p>
15	DisPAD	<p>Запрещает/разрешает автоматическое добавление в кадр поля <PAD>, в случае когда число байт в поле <DATA> меньше 46 байт / число байт в кадре меньше 64 байт.</p> <p>Доступен по чтению и записи.</p> <p>Значение в исходном состоянии – 0.</p>
16	TX_REQ	<p>Запрос на передачу кадра. По завершении обработки запроса на передачу бит TX_REQ автоматически сбрасывается.</p> <p>Доступен по чтению и записи. Во время обработки запроса на передачу кадра бит TX_REQ не доступен по записи.</p> <p>Значение в исходном состоянии – 0.</p>

12.3.2.13 Регистр статуса передачи кадра (STATUS_TX)

Таблица 12.17. Формат регистра статуса передачи кадра

Номер разряда	Условное обозначение	Описание
0	ONTX_REQ	Блок передачи кадров выполняет обработку запроса на передачу кадра. Доступен только по чтению. Значение в исходном состоянии – 0.
1	ONTransmit	Блок передачи кадров выполняет передачу кадра. Доступен только по чтению. Значение в исходном состоянии – 0.
2	BUSY	Среда передачи занята – обнаружено наличие несущей. Доступен только по чтению. Значение в исходном состоянии – 0.
3	TX_DONE	Флаг завершения обработки запроса на передачу кадра. Доступен по чтению и записи. Во время обработки запроса на передачу кадра бит TX_DONE не доступен по записи. Значение в исходном состоянии – 0.
8:4	TX_REZ	Код результата передачи кадра: TX_REZ = 0x01 – transmitDisabled – передача не разрешена; TX_REZ = 0x02 – NotEnoughDataErr – в передающем TX_FIFO недостаточно данных для передачи; TX_REZ = 0x04 – transmitOK – передача кадра успешно выполнена; TX_REZ = 0x08 – ExcessiveCollErr – ошибка превышения максимального количества попыток повторных передач кадра; TX_REZ = 0x10 – lateCollErr – ошибка поздней коллизии; TX_REZ = 0x14 – transmitOK и lateCollErr – передача кадра прошла успешно и сразу по завершении передачи была обнаружена коллизия; Доступен только по чтению. Значение в исходном состоянии – 00.
10:9	–	Резерв
11	ONCOL	Наличие коллизии в среде передачи. Доступен только по чтению. Значение в исходном состоянии – 0.
15:12	COLL_NUM	Счетчик попыток повторных передач кадра. Доступен только по чтению. Значение в исходном состоянии – 0.
25:16	TXW	Число 64-разрядных слов в передающем TX_FIFO (округлено в большую сторону). TXW = 0x000 – FIFO пустое; TXW = 0x200 – FIFO полное. Доступен только по чтению. Значение в исходном состоянии – 000.

12.3.2.14 Регистр младшей части уникального адреса MAC (UCADDR_L)

Таблица 12.18. Формат регистра младшей части уникального адреса MAC

Номер разряда	Условное обозначение	Описание
31: 0	UCADDR_L	Младшая часть уникального адреса MAC при приеме. Доступен по чтению и записи. Значение в исходном состоянии – 00000000.

12.3.2.15 Регистр старшей части уникального адреса MAC (UCADDR_H)

Таблица 12.19. Формат регистра старшей части уникального адреса MAC

Номер разряда	Условное обозначение	Описание
15: 0	UCADDR_H	Старшая часть уникального адреса MAC при приеме. Доступен по чтению и записи. Значение в исходном состоянии – 0000.

12.3.2.16 Регистр младшей части группового адреса (MCADDR_L)

Таблица 12.20. Формат регистра младшей части группового адреса

Номер разряда	Условное обозначение	Описание
31: 0	MCADDR_L	Младшая часть группового адреса при приеме. Доступен по чтению и записи. Значение в исходном состоянии – 00000001.

12.3.2.17 Регистр старшей части группового адреса (MCADDR_H)

Таблица 12.21. Формат регистра старшей части группового адреса

Номер разряда	Условное обозначение	Описание
15: 0	MCADDR_H	Старшая часть группового адреса при приеме. Доступен по чтению и записи. Значение в исходном состоянии – 0000.

12.3.2.18 Регистр младшей части маски группового адреса (MCADDR_MASK_L)

Таблица 12.22. Формат регистра младшей части маски группового адреса

Номер разряда	Условное обозначение	Описание
31: 0	MCADDR_MASK_L	Младшая часть маски группового адреса при приеме. Доступен по чтению и записи. Значение в исходном состоянии – 00000000.

12.3.2.19 Регистр старшей части маски группового адреса (MCADDR_MASK_H)

Таблица 12.23. Формат регистра старшей части маски группового адреса

Номер разряда	Условное обозначение	Описание
15: 0	MCADDR_MASK_H	Старшая часть маски группового адреса при приеме. Доступен по чтению и записи. Значение в исходном состоянии – 0000.

12.3.2.20 Регистр младшей части хэш-таблицы (HASHT_L)

Таблица 12.24. Формат регистра младшей части хэш-таблицы

Номер разряда	Условное обозначение	Описание
31: 0	HASHT_L	Младшая часть хэш-таблицы. Доступен по чтению и записи. Значение в исходном состоянии – 00000000.

12.3.2.21 Регистр старшей части хэш-таблицы (HASHT_H)

Таблица 12.25. Формат регистра старшей части хэш-таблицы

Номер разряда	Условное обозначение	Описание
31: 0	HASHT_H	Старшая часть хэш-таблицы. Доступен по чтению и записи. Значение в исходном состоянии – 00000000.

12.3.2.22 Регистр максимального размера принимаемого кадра (RX_FR_MaxSize)

Таблица 12.26. Формат регистра максимального размера принимаемого кадра

Номер разряда	Условное обозначение	Описание
11: 0	RX_FR_MaxSize	Максимальный размер принимаемого кадра в байтах. Доступен по чтению и записи. Значение в исходном состоянии – 000.

12.3.2.23 Регистр управления приема кадра (RX_FRAME_CONTROL)

Таблица 12.27. Формат регистра управления приема кадра

Номер разряда	Условное обозначение	Описание
0	Dis_RCV_FCS	Отключение сохранения поля <FCS> в принятом кадре. Доступен по чтению и записи. Значение в исходном состоянии – 0.
1	Dis_PAD_Del	Отключение удаления поля <PAD> в принятом кадре. Доступен по чтению и записи. Значение в исходном состоянии – 0.
2	Accept_TooShort	Разрешение приема слишком коротких кадров, размер которых меньше 64 байт. Доступен по чтению и записи. Значение в исходном состоянии – 0.
3	Discard_TooLong	Разрешение отбрасывания слишком длинных кадров, размер которых больше RX_FR_MaxSize. Доступен по чтению и записи. Значение в исходном состоянии – 0.
4	Discard_FCSCHErr	Разрешение отбрасывания кадров с ошибкой проверки контрольной суммы. Доступен по чтению и записи. Значение в исходном состоянии – 0.
5	Discard_LengthErr	Разрешение отбрасывания кадров с ошибкой длины поля данных. Доступен по чтению и записи. Значение в исходном состоянии – 0.
6	Dis_BC	Запрещение приема кадров с широковежательным адресом назначения. Доступен по чтению и записи. Значение в исходном состоянии – 0.
7	EN_MCM	Разрешение приема кадров с групповым адресом назначения, совпадающим с замаскированным групповым адресом назначения. Доступен по чтению и записи. Значение в исходном состоянии – 0.
8	EN_MCHT	Разрешение приема кадров с групповым адресом назначения, разрешенным для приема в хэш-таблице. Доступен по чтению и записи. Значение в исходном состоянии – 0.
9	EN_ALL	Разрешение приема кадров с любым адресом назначения. Доступен по чтению и записи. Значение в исходном состоянии – 0.

12.3.2.24 Регистр статуса приема кадра (STATUS_RX)

Таблица 12.28. Формат регистра статуса приема кадра

Номер разряда	Условное обозначение	Описание
0	RCV_Disabled	Прием не разрешен. Доступен только по чтению. Значение в исходном состоянии – 0.
1	ONReceive	Блок приема кадров выполняет прием кадра. Доступен только по чтению. Значение в исходном состоянии – 0.
2	–	Резерв
3	RX_DONE	Флаг наличия принятых кадров в принимающем RX_FIFO. Доступен только по чтению. Значение в исходном состоянии – 0.
10:4	NUM_RX_FR	Число принятых кадров. NUM_RX_FR = 0x00 => RX_DONE = 0 – FIFO статусов пустое; NUM_RX_FR ≠ 0x00 => RX_DONE = 1 – FIFO статусов не пустое; NUM_RX_FR = 0x40 – FIFO статусов полное. Доступен только по чтению. Значение в исходном состоянии – 00.
11	FR_STATUS_OVF_Err	Флаг переполнения FIFO статусов принятых кадров. Доступен по чтению и записи. Значение в исходном состоянии – 0.
21:12	RXW	Число 64-разрядных слов в принимающем RX_FIFO (округлено в меньшую сторону). RXW = 0x000 – FIFO пустое; RXW = 0x200 – FIFO полное. Доступен только по чтению. Значение в исходном состоянии – 000.
22	–	Резерв
23	RX_FIFO_OVF_Err	Флаг переполнения принимающего RX_FIFO. Доступен по чтению и записи. Значение в исходном состоянии – 0.
29:24	NUM_Missed_FR	Число пропущенных кадров из-за переполнения принимающего RX_FIFO или FIFO статусов принятых кадров. Доступен по чтению и записи. Значение в исходном состоянии – 00.

12.3.2.25 FIFO статусов принятых кадров (RX_FRAME_STATUS_FIFO)

Статус принятого кадра RX_FRAME_STATUS доступен только по чтению.

Значение в исходном состоянии – 00000000.

Таблица 12.29. Формат слова FIFO статусов принятых кадров

Номер разряда	Условное обозначение	Описание
11:0	RX_FR_LENGTH	Число байт в принятом кадре.
12	receiveOK	Флаг успешного принятия кадра без ошибок.
13	lengthError	Флаг ошибки длины поля данных в принятом кадре.
14	alignmentError	Флаг ошибки выравнивания в принятом кадре.
15	frameCheckError	Флаг ошибки при проверке принятого кадра.
16	frameTooLong	Флаг принятия слишком длинного кадра.
17	frameTooShort	Флаг принятия слишком короткого кадра.
18	DribbleNibble	Флаг поступления нечетного числа полубайт кадра.
19	LEN_FIELD	Флаг распознавания поля <LENGTH> в принятом кадре.
20	FCS_Del	Флаг удаления поля <FCS> в принятом кадре.
21	PAD_Del	Флаг удаления поля <PAD> в принятом кадре.
22	UC	Флаг распознавания адреса назначения принятого кадра при совпадении с уникальным адресом MAC.
23	MCM	Флаг распознавания группового адреса назначения принятого кадра при совпадении с замаскированным групповым адресом назначения MAC, когда разрешен прием кадров с таким адресом назначения.
24	MCMT	Флаг распознавания группового адреса назначения принятого кадра разрешенного для приема в хэш-таблице, когда разрешен прием кадров с таким адресом назначения.
25	BC	Флаг распознавания ширококвещательного адреса назначения принятого кадра когда разрешен прием кадров с ширококвещательным адресом назначения.
26	ALL	Флаг распознавания адреса назначения принятого кадра, когда разрешен прием кадров с любым адресом назначения.

12.3.2.26 Регистр управления и состояния режима тестирования TX_FIFO (TX_TEST_CSR)

Таблица 12.30. Формат регистра управления и состояния режима тестирования TX_FIFO

Номер разряда	Условное обозначение	Описание
0	TM_TX_FIFO	Разрешение режима тестирования TX_FIFO. Доступен по чтению и записи. Значение в исходном состоянии – 0.
3: 1	–	Резерв
14:4	TM_TX_RDW	Число прочтенных 32-разрядных слов из TX_FIFO в режиме тестирования. Доступен только по чтению. Значение в исходном состоянии – 000.

12.3.2.27 Регистр управления и состояния режима тестирования RX_FIFO (RX_TEST_CSR)

Таблица 12.31. Формат регистра управления и состояния режима тестирования RX_FIFO

Номер разряда	Условное обозначение	Описание
0	TM_RX_FIFO	Разрешение режима тестирования RX_FIFO. Доступен по чтению и записи. Значение в исходном состоянии – 0.
3: 1	–	Резерв
14:4	TM_RX_WRW	Число записанных 32-разрядных слов в RX_FIFO в режиме тестирования. Доступен только по чтению. Значение в исходном состоянии – 000.

13. УНИВЕРСАЛЬНЫЙ ПОРТ SPACEFIBRE/GIGASPACEWIRE-RUS (SPFMIC)

Контроллер SPFMIC имеет следующие функциональные параметры и возможности:

- Реализует стек протоколов в соответствии со стандартом GigaSpaceWire-RUS;
- Реализует стек протокола в соответствии со стандартом SpaceFibre;
- Дуплексный режим приема и передачи данных;
- Скорость приема и передачи данных – от 5 до 1250 Мбод;
- Аппаратное детектирование ошибок связи: рассоединение, ошибки четности;
- Четыре канала DMA (два канала данных и два канала дескрипторов пакетов);
- Обмен данными с памятью через DMA словами по 64 бита;
- Три линии прерываний.

13.1 Структурная схема

Структурная схема контроллера SPFMIC приведена на Рисунок 13.1.

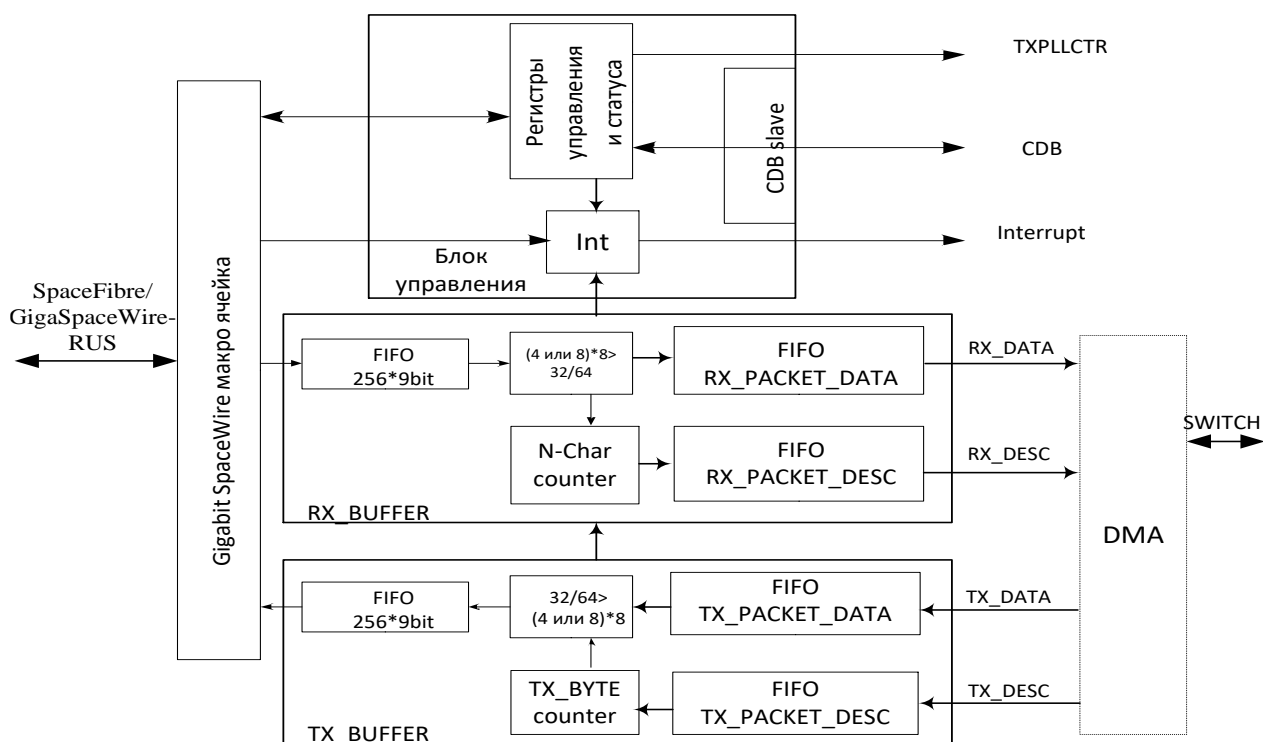


Рисунок 13.1. Структурная схема порта SPFMIC

Основой контроллера является Gigabit SpaceWire макро ячейка, реализующая функции кодера/декодера с помощью 8b/10b кодирования. Gigabit SpaceWire макро ячейка к физическим линиям связи интерфейса SpaceFibre/GigaSpaceWire-RUS подключается через PMA (Physical Media Attachment): PMA_TX (передатчик) и PMA_RX (приемник).

Контроллер канала SPFMIC взаимодействует с CPU через шину CDB (работа с программно-доступными регистрами контроллера) и FIFO-подобный интерфейс с DMA (прием/передача пакетов данных).

В состав SPFMIC входят следующие компоненты:

- Gigabit SpaceWire макро ячейка - контроллер канального уровня SpaceFibre/GigaSpaceWire-RUS;
- RX_BUFFER – блок буферизации данных, принимаемых из сети:
 - FIFO256*9bit – блок первичной буферизации;
 - FIFO RX_PACKET_DATA – блок пакетов данных, принимаемых из сети;
 - FIFO RX_PACKET_DESC – блок дескрипторов пакетов данных, принимаемых из сети;
 - Nchar_counter – счетчик принятых символов данных;
 - $\langle(4 \text{ или } 8) * 8 \rangle 32/64$ - блок преобразования разрядности слов.
- TX_BUFFER – блок буферизации данных, передаваемых в сеть:
 - FIFO TX_PACKET_DATA – блок пакетов данных, передаваемых в сеть;
 - FIFO TX_PACKET_DESC – блок дескрипторов пакетов данных, передаваемых в сеть;
 - byte_counter – счетчик переданных байтов данных;
 - $32/64 \langle(4 \text{ или } 8) * 8 \rangle$ - блок преобразования разрядности слов.
- - Блок управления;
 - регистры управления и статуса;
 - int – блок формирования сигналов прерываний;
 - CDB slave – интерфейс ведомого устройства на шине CDB (control data bus).

SPFMIC имеет следующие интерфейсы:

- SpaceFibre/GigaSpaceWire-RUS – последовательный интерфейс для подключения к сетям SpaceFibre/GigaSpaceWire-RUS;
- CDB - интерфейс ведомого устройства для подключения к шине Control Data Bus;
- группа интерфейсов RX_DATA, RX_DESC, TX_DATA, TX_DESC для подключения к блоку DMA обеспечивающему интерфейс с коммутатором SWITCH;
- interrupt – интерфейс прерываний.

Блок управления по командам центрального процессора задает режимы работы Gigabit Spacewire макроячейкой. Передача управляющих кодов, контроль состояния последнего полученного извне маркера времени, кода распределенного прерывания, кода подтверждения и кода CC11 производится через соответствующие регистры блока управления.

Код CC11 представляет собой управляющий код SpaceWire назначение которого и правила использования в текущей версии стандарта не определены. Данный код имеет следующий формат:

- T7, T6 - флаги управляющего кода, должны быть установлены в значение «11»;
- T5-T0 - Значение управляющего кода.

Блок формирования прерываний Int, расположенный в блоке управления, формирует необходимые прерывания по состоянию Gigabit Spacewire макроячейки.

Буфер приема RX_BUFFER имеет конвейерную организацию и состоит из двух ступеней. Сначала в FIFO_256*9bit буферизируются восьмиразрядные данные, принимаемые от Gigabit Spacewire макроячейки. Девятый служебный разряд несет информацию о признаке символа данных N-Char или символе конца пакета EOP. Затем в блоке преобразования формируются 32/64-разрядные слова данных и поступают в FIFO RX_PACKET_DATA. Дескриптор пакета формируется в счетчике N-Char_counter. При поступлении символа данных N-Char счетчик увеличивается на 1, при поступлении символа конца пакета значение счетчика переписывается в выходной буфер RX_PACKET_DESC, а сам счетчик сбрасывается в 0.

В буфер передачи TX_BUFFER с помощью канала передаваемых данных DMA записываются 32/64-разрядные слова данных. Содержимое пакетов и их дескрипторы буферизируются в двух FIFO TX_PACKET_DATA и TX_PACKET_DESC соответственно. Данные из буфера передачи в Gigabit SpaceWire макро ячейку выдаются побайтно через FIFO 256*9bit. Преобразование 32/64-хразрядных слов в байты осуществляется в блоке преобразования под управлением счетчика TX_BYTE counter. В счетчик заносится размер пакета из дескриптора передаваемого пакета. После передачи каждого байта этот счетчик уменьшается на 1. По достижении счетчиком значения 0, в поток передаваемых данных вставляется символ конца пакета EOP, а в счетчик заносится размер следующего передаваемого пакета из следующего дескриптора.

К SPFMIC подключены четыре канала DMA:

- канал дескрипторов передаваемых пакетов;
- канал данных передаваемых пакетов;
- канал дескрипторов принимаемых пакетов;
- канал данных принимаемых пакетов.

13.2 Перечень регистров SPFMIC

13.2.1 Общие положения

Перечень программно-доступных регистров контроллера SPFMIC приведен в Таблица 13.1. Все регистры - 32-разрядные.

При описании полей и значений регистров используются обозначения:

- R – только чтение;
- RW – чтение и запись;
- W – только запись.

Таблица 13.1. Перечень программно-доступных регистров SPFMIC

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние
HW_VER	Номер версии контроллера	R	0x00000003
STATUS	Регистр состояния	RW	0x00000000
RX_CODE	Регистр управляющего символа, принятого из сети (маркера времени, кода распределенного прерывания, кода подтверждения распределенного прерывания или кода CC11 – управляющего кода SpaceWire, назначение которого в текущей версии стандарта не определено)	R	0x00000000
MODE_CR	Регистр режима работы	W	0x00000000
TX_CONTROL	Регистр управления параметрами передачи	W	0x00001008
TX_CODE	Регистр управляющего символа (маркера времени, кода распределенного прерывания, кода подтверждения, кода CC11) для передачи в сеть	W	0x00000000
CNT_RX_PACK	Регистр счетчика принятых пакетов ненулевой длины	RW	0x00000000
ISR_L	Младшие разряды регистра ISR (Interrupt Status Register)	RW	0x00000000
ISR_H	Старшие разряды регистра ISR (Interrupt Status Register)	RW	0x00000000
TRUE_TIME	Регистр, содержащий значение последнего правильного маркера времени	R	0x00000000
TOUT_CODE	Регистр размера таймаутов	RW	0x00000000
ISR_tout_L	Младшие разряды регистра флагов таймаутов ISR	RW	0x00000000
ISR_tout_H	Старшие разряды регистра флагов таймаутов ISR	RW	0x00000000
LOG_ADDR	Регистр логического адреса	RW	0x00000000
PMA_STATE	Регистр состояния PMA	RW	0x00000000
PMA_MODE	Регистр режима PMA	RW	0x003842c0
PMA_TX_LB	Регистр режима LOOPBACK PMA_TX	RW	0x00000000
PMA_RX_LB	Регистр режима LOOPBACK PMA_RX	RW	0x00000000

13.3 Описание регистров SPFMIC

13.3.1 Регистр HW_VER

Регистр HW_VER содержит код номера версии контроллер - 0x0000004.

13.3.2 Регистр STATUS

Регистр STATUS предназначен для оперативного контроля состояния фаз работы контроллера. Регистр доступен как на чтение, так и на запись. Формат регистра STATUS приведен в Таблица 13.2.

Таблица 13.2. Назначение разрядов регистра STATUS

Номер разряда	Условное обозначение	Назначение
0	DC_ERR	Признак ошибки рассоединения (Disconnect Error): "1" – ошибка произошла; "0" – нет ошибки. Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания ERR посредством записи 1 в этот разряд.
1	P_ERR	Признак ошибки кодирования 8b/10b: "1" – ошибка произошла; "0" – нет ошибки. Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания ERR посредством записи 1 в этот разряд.
2	-	Не используется
3	CREDIT_ERR	Признак ошибки кредитования: "1" – ошибка произошла; "0" – нет ошибки. Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания ERR посредством записи 1 в этот разряд.
4	-	Не используется
5 - 7	STATE	Состояние Gigabit SpaceWire макро ячейки: "000" – ErrorReset; "001" – ErrorWait; "010" – Ready; "011" – Started; "100" – Connecting; "101" – Run
8	-	Не используется
9	RX_BUF_EMPTY	Состояние буфера приема: "1" – буфер пуст; "0" – в буфере есть данные
10	-	Не используется
11	TX_BUF_EMPTY	Состояние буфера передачи: "1" – буфер пуст; "0" – в буфере есть данные

Номер разряда	Условное обозначение	Назначение
12	GOT_FIRST_BIT	Запись "1" в этот бит сбрасывает прерывание INT_LINK, если оно было установлено, но не изменяет состояние GOT_FIRST_BIT
13	CONNECTED	"1" - Соединение установлено (DS_STATE=5); "0" - Соединение установлено (DS_STATE≠5)
14	GOT_TIME	Принят маркер времени из сети: "1" – принят маркер времени; "0" – Маркер времени не принят. Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания CCODE посредством записи 1 в этот разряд
15	GOT_INT	Принят код распределенного прерывания из сети: "1" – принят код распределенного прерывания времени; "0" – код распределенного прерывания не принят. Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания TOME посредством записи 1 в этот разряд
16	GOT_ACK	Принят код подтверждения из сети: "1" – принят код подтверждения; "0" – код подтверждения не принят. Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания TIME посредством записи 1 в этот разряд
17	FL_CONTROL	Признак готовности к передаче нового управляющего кода: "0" – готов; "1" – не готов. Контроллер занят передачей управляющего кода в канал
18	LINK	Признак прерывания при установке соединения (контроллер находится в состоянии RUN). Формируется при установке в единичное состояние бита GOT_FIRST_BIT. Сбрасывается при записи «1» в бит GOT_FIRST_BIT. Это прерывание может маскироваться при помощи регистра режима MODE_CR
19	ERR	Признак прерывания по разрыву соединения (контроллер выходит из состояния RUN). Формируется при единичном состоянии любого бита: DC_ERR, P_ERR, CREDIT_ERR. Сбрасывается при записи «1» в биты DC_ERR, P_ERR, CREDIT_ERR. Это прерывание может маскироваться при помощи регистра режима MODE_CR

Номер разряда	Условное обозначение	Назначение
20	TIME	Признак прерывания по факту приема управляющего кода. Формируется при единичном состоянии любого бита: GOT_TIME, GOT_INT, GOT_ACK, CC_01, CC_11, или если истекло время ожидания таймаута приема кода распределенного прерывания (см. регистр ISR_tout). Сбрасывается при записи «1» в биты GOT_TIME, GOT_INT, GOT_ACK, CC_01, CC_11 или (если данное прерывание установилось по факту истечения таймаута) необходимо сбросить в 0 разряды регистров ISR_tout_L и ISR_tout_H, установленные в 1 (для этого необходимо в них записать 1). Это прерывание (в том числе отдельно по каждой причине его возникновения) может маскироваться при помощи регистра режима MODE_CR
21	CC_11	Признак принятия управляющего кода C[7..6]=11: "1" – принят управляющий код; "0" – управляющий код не принят. Запись "1" в этот разряд сбрасывает его в "0"
22	CC_01	Признак принятия управляющего кода C[7..6]=01 (данный разряд используется только в режиме 5-и битных кодов распределенных прерываний и подтверждений): "1" – принят управляющий код; "0" – управляющий код не принят. Запись "1" в этот разряд сбрасывает этот разряд в "0"
23	COMMADET	Состояние выхода PMA_RX COMMA_DET (признак принятия из сети символа Comma). Запись "1" в этот разряд сбрасывает его в "0"
24	COMMADET_S	Данный разряд устанавливается в 1, если сигнал на выходе PMA_RX COMMA_DET переходит из 0 в 1. Запись "1" в этот разряд сбрасывает его в "0"
25:31	-	Не используется

13.3.3 Регистр RX_CODE

Регистр RX_CODE предназначен для хранения принятого из сети управляющего кода. Формат регистра RX_CODE приведен в Таблица 13.3.

Таблица 13.3. Назначение разрядов регистра RX_CODE

Номер разряда	Условное обозначение	Назначение
7:0	TIME_CODE	Значение маркера времени, принятого из сети последним (C[7..6]=00)
15:8	C01_CODE	Значение кода (разряды C[7..6]=01), принятого из сети последним. Это код распределенного прерывания, если используется режим 6-и битных кодов распределенных прерываний. Это код C01, если используется режим 5-и битных кодов распределенных прерываний
23:16	C10_CODE	Значение кода (разряды C[7..6]=10), принятого из сети последним. Это код подтверждения, если используется режим 6-и битных кодов распределенных прерываний или используется режим 5-и битных кодов распределенных прерываний и C[5]=1. Это код распределенного прерывания, если используется режим 5-и битных кодов распределенных прерываний и C[5]=0
31:24	C11_CODE	Значение кода C11 (разряды C[7..6]=11) принятого из сети последним

13.3.4 Регистр MODE_CR

Регистр MODE_CR предназначен для задания режима работы контроллера. Формат регистра MODE_CR приведен в Таблица 13.4.

Таблица 13.4. Назначение разрядов регистра MODE_CR

Номер разряда	Условное обозначение	Назначение
0	LinkDisabled	Запрещение работы SPFMIC: 1 – запрещение работы; 0 – разрешение работы
1	AutoStart	Разрешение автоматического перехода SPFMIC из состояния Ready в состояние Started по приему первого символа NULL: 1 – разрешение перехода; 0 – запрещение перехода
2	LinkStart	Разрешение автоматического перехода SPFMIC в состояние Started: 1 – разрешение перехода; 0 – запрещение перехода
3:4	-	Не используется
5	DSM_RST	Сброс Gigabit SpaceWire макроячейки
6	SWCORE_RST	Программный сброс контроллера (буферы приема и передачи)
7	-	Не используется

Номер разряда	Условное обозначение	Назначение
8	TEST_TYPE	Тип режима работы: 0 – рабочий; 1 – тестовый
9:11	-	Не используется
12	CODEC_Loopback	Режим Loopback (перед кодеком)
13	GSW_Loopback	Режим Loopback (перед Gigabit SpaceWire макроячейкой)
14	COEFF_10_WR	Разрешение модификации регистра коэффициента для подсчета таймаутов
15	-	Не используется
16	dirQ_regime	Режим передачи/приема кодов распределенных прерываний. Если этот бит установлен в 0, то используются 6-и битные коды распределенных прерываний, если в 1 – то используются 5-и битные коды распределенных прерываний
17	-	Не используется
18	LINK_MASK	Маска прерывания LINK. Если значение маски установлено в 1, то значение прерывания отображается в регистр STATUS. Если значение 0, значение прерывания не отображается в регистр STATUS
19	ERR_MASK	Маска прерывания ERR. Если значение маски установлено в 1, то значение прерывания отображается в регистр STATUS. Если значение 0, значение прерывания не отображается в регистр STATUS
20	TIME_MASK	Маска прерывания TIME. Если значение маски установлено в 1, то значение прерывания отображается в регистр STATUS. Если значение 0, значение прерывания не отображается в регистр STATUS
21	CTR	Если этот бит установлен в 1, то установка соединения выполняется без ожидания таймаутов (используется в отладочном режиме)
22	TCODE_MASK	Если этот разряд установлен в 0, то прерывание TIME при получении тайм-кода не устанавливается
23	INT_MASK	Если этот разряд установлен в 0, то прерывание TIME при получении кода распределенного прерывания или кода подтверждения не устанавливается
24	CC_11_MASK	Если этот разряд установлен в 0, то прерывание TIME при получении управляющего кода C[7..6]=11 не устанавливается
25	CC_01_MASK	Если этот разряд установлен в 0, то прерывание TIME при получении управляющего кода C[7..6]=01 (dirQ_regime=1) не устанавливается
26	INT_TOUT_MASK	Если этот разряд установлен в 0, то прерывание TIME по факту таймаута получения кода подтверждения не устанавливается
28:27	INT_TOUT_ALLOW	Разрешение контроля таймаутов получения кодов подтверждения: 00 – контроль таймаутов запрещен; 01 – выполняется контроль таймаутов и установка флагов истечения таймаутов; 10 – выполняется контроль таймаутов, установка флагов истечения таймаутов и отправка кода подтверждения в сеть
31:29	-	Не используется

После того, как в результате разрешения AutoStart или LinkStart установлено соединение (при LinkDisabled=0), буфер передачи в сеть начинает принимать данные из DMA. Если DMA передал все данные, то далее в сеть передаются символы NULL. Соединение при этом не прекращается. Соединение прекращается, если процессор осуществляет запись единицы в бит LinkDisabled.

13.3.5 Регистр TX_CONTROL

Регистр TX_CONTROL предназначен для управления параметрами передачи. Формат регистра TX_CONTROL приведен в Таблица 13.5.

Таблица 13.5. Назначение разрядов регистра TX_CONTROL

Номер разряда	Условное обозначение	Назначение
5:0	KOEFF_COMMA	Определяет частоту передачи символов COMMA. Значение по умолчанию «001000». Данное число обозначает количество байт данных и К-символов, умноженное на 8, после которых в сеть будет отослан символ COMMA
7:6	-	Не используется
8	PWDn_TX	Управление включением PMA_TX. Если данный разряд установлен в “1”, то PMA_TX включен
9	PWDn_RX	Управление включением PMA_RX. Если данный разряд установлен в “1”, то PMA_RX включен
13:10	DC_COU	Коэффициент, задающий максимально допустимый интервал времени, между последовательными поступлениями из сети символов COMMA. Значение по умолчанию «0100». Данное число, умноженное на 64, дает количество данных и К-символов, в течение которого должен прийти символ COMMA
19..14	-	Не используется
28:20	COEFF_10	Значение коэффициента для подсчета таймаутов установки соединения. В это поле записывается значение коэффициента для подсчета таймаутов установки соединения (6,4 мкс и 12,8 мкс). Значение данного коэффициента зависит от локальной частоты (на которой осуществляется подсчет таймаутов). Значение после сброса для этого регистра “0x0A”, что соответствует локальной частоте 100 МГц. Запись нового значения в этот регистр возможно только, если бит COEFF_10_WR (14) регистра MODE_CR (режима) установлен в 1
31..29	-	Не используется

13.3.6 Регистр TX_CODE

Регистр TX_CODE предназначен передачи в канал управляющих кодов. Формат регистра TX_CODE приведен в Таблица 13.6.

Таблица 13.6. Назначение разрядов регистра TX_CODE

Номер разряда	Условное обозначение	Назначение
5:0	CODE_VAL	Значение управляющего кода для отправки в сеть
7:6	CODE_TYPE	Тип управляющего кода для отправки в сеть (00 – код времени, 01 – код прерывания, 10 – код подтверждения прерывания, 11 – код CC11)
31:8	-	Не используется

Сразу же после записи в этот регистр начинается передача управляющего кода в сеть. Перед записью в регистр TX_CODE необходимо проверить бит FL_CONTROL регистра STATUS. Если данный бит находится в состоянии 1, то контроллер SPFMIC занят передачей предыдущего управляющего кода и нужно подождать, когда этот бит сбросится в 0.

13.3.7 Регистр CNT_RX_PACK

Регистр CNT_RX_PACK выводит содержимое счетчика принятых пакетов. Формат регистра CNT_RX_PACK приведен в Таблица 13.7.

Таблица 13.7. Назначение разрядов регистра CNT_RX_PACK

Номер разряда	Условное обозначение	Назначение
31:0	CNT	Число принятых пакетов

Значение регистра увеличивается на 1 каждый раз, когда из сети поступает символ конца пакета, если ему предшествовал хотя бы один символ данных.

При записи (любым значением), значение регистра обнуляется. Процессор может обнулить содержимое этого регистра для того, чтобы начать счет пакетов заново.

13.3.8 Регистр ISR

Регистр ISR содержит информацию о принятых и отправленных кодах распределенных прерываний и подтверждения. Регистр ISR состоит из младшей ISR_L и старшей ISR_H частей. Формат регистров ISR_L и ISR_H приведен в Таблица 13.8, Таблица 13.9.

Таблица 13.8. Назначение разрядов регистра ISR_L

Номер разряда	Условное обозначение	Назначение
31:0	ISR_L	Младшая часть регистра ISR

Таблица 13.9. Назначение разрядов регистра ISR_H

Номер разряда	Условное обозначение	Назначение
31:0	ISR_H	Старшая часть регистра ISR

Если из сети получено распределенное прерывание, то бит регистра ISR, соответствующий номеру распределенного прерывания устанавливается в 1 (если он уже не был установлен в 1). Аналогично, если в регистр TX_CODE осуществляется запись кода распределенного прерывания, соответствующий бит регистра ISR устанавливается в 1.

Если из сети получен код подтверждения, то бит регистра ISR, соответствующий номеру кода подтверждения, устанавливается в 0 (если он уже не был установлен в 0). Аналогично, если в регистр TX_CODE осуществляется запись кода подтверждения, соответствующий бит регистра ISR устанавливается в 0.

Необходимость данного регистра связана с тем, что коды распределенных прерываний и коды подтверждения могут приходиться из сети очень часто, быстрее, чем процессор может среагировать на очередное прерывание и прочитать код. Если даже в регистре RX_CODE код распределенного прерывания или код подтверждения будет перезаписан следующим, информация о нем не будет утрачена – она сохранится в регистре ISR.

Существует возможность программного сброса отдельных битов ISR. Для этого необходимо записать в соответствующие биты 1. (Если в бит записывается значение 0, то его значение не меняется).

13.3.9 Регистр TRUE_TIME

В регистр TRUE_TIME записывается значение последнего правильного маркера времени, в отличие от разрядов 5:0 регистра RX_CODE, в котором регистрируются все принятые маркеры времени. Формат регистра TRUE_TIME приведен в Таблица 13.10.

Таблица 13.10. Назначение разрядов регистра TRUE_TIME

Номер разряда	Условное обозначение	Назначение
5:0	TRUE_TIME	Значение последнего правильного маркера времени

13.3.10 Регистр TOUT_CODE

Формат регистра TOUT_CODE приведен в Таблица 13.11.

Таблица 13.11. Назначение разрядов регистра TOUT_CODE

Номер разряда	Условное обозначение	Назначение
15..0	GLOB_TOUT	Значение периода глобального счетчика (задается в тактах локальной частоты)
20..16	LOC_TOUT1	Значение таймаута ожидания кода подтверждения (на код прерывания, отправленный процессором через SPFMIC)
25..21	LOC_TOUT2	Значение таймаута ожидания кода подтверждения (на код прерывания, принятый из сети)

В регистр TOUT_CODE записываются значение периода для глобального счетчика таймаутов (в количестве тактов локальной частоты) и максимальные значения локальных счетчиков таймаутов ожидания кодов подтверждения распределенных прерываний. При этом не важно откуда придут ожидаемые коды подтверждения прерывания – из сети или от процессора.

Отдельный локальный счетчик таймаутов соответствует каждому разряду ISR. Если в SPFMIC поступает код распределенного прерывания, то запускается соответствующий ему счетчик локальных таймаутов. Он декрементируется каждый раз при завершении очередного периода счета глобального счетчика таймаутов.

Счётчик глобального периода постоянно уменьшается аппаратурой по модулю GLOB_COU и не сбрасывается в момент записи значений таймаутов LOC_COU1 и LOC_COU2. Таким образом, точность таймаута составляет $[-GLOB_COU+1 \dots 0]$ тактов. Например, при GLOB_COU=100 и LOC_COU1=10 таймаут сработает после того, как будет отсчитано от 901 до 1000 тактов.

При записи в GLOB_COU нового значения, сначала будет отсчитан до конца уже идущий период со старым значением GLOB_COU, а следующие периоды будут считаться с новым значением GLOB_COU.

13.3.11 Регистр ISR_tout

Регистр ISR_tout состоит из младшей ISR_tout и старшей ISR_tout частей. Формат регистров ISR_tout_L и ISR_tout_H приведен Таблица 13.12 и Таблица 13.13 соответственно.

Таблица 13.12. Назначение разрядов регистра ISR_tout_L

Номер разряда	Условное обозначение	Назначение
31:0	ISR_tout_L	Младшая часть регистра ISR_tout

Таблица 13.13. Назначение разрядов регистра ISR_tout_H

Номер разряда	Условное обозначение	Назначение
31:0	ISR_tout_H	Старшая часть регистра ISR_tout

Если в регистре ISR регистрируется код распределенного прерывания, то для него запускается счет таймаута (каждому разряду ISR соответствует отдельный счетчик). В зависимости от того, был ли код распределенного прерывания принят из сети или отправлен процессором начальное значение счетчика устанавливается в LOC_TOUT1 или LOC_TOUT2. (значение счетчика декрементируется каждый раз, когда глобальный счетчик досчитывает до определенного для него максимального значения). Если за время счета из сети не поступает соответствующий код подтверждения, то соответствующий разряд регистра ISR_tout устанавливается в 1. Для того, чтобы его сбросить, необходимо записать в этот разряд регистра ISR_tout 1. (При записи в бит значения 0, его значение не меняется).

Особенности настройки счётчиков таймаутов приведены в п. 13.3.10.

13.3.12 Регистр LOG_ADDR

Регистр LOG_ADDR предназначен для хранения логического адреса, добавляемого к пакету по умолчанию, если установлен соответствующий режим (см. 13.4.1.1). Длина логического адреса может быть от одного до 4 байтов, она определяется значением дескриптора пакета. Формат регистра LOG_ADDR приведен в Таблица 13.14.

Таблица 13.14. Назначение разрядов регистра LOG_ADDR

Номер разряда	Условное обозначение	Назначение
31:0	LOG_ADDR	Значение логического адреса.

13.3.13 Регистр PMA_STATE

В этом регистре хранится информация о текущем состоянии PMA_RX и PMA_TX.

Формат регистра PMA_STATE приведен в Таблица 13.15.

Таблица 13.15. Назначение разрядов регистра PMA_STATE

Номер разряда	Условное обозначение	Назначение
3:0	RX_ALIGN_STATE	Содержит число (от 0 до 9) полных периодов внутренней тактовой частоты PMA_RX, на которое сдвинулась несущая частота принимаемого кода после окончания выравнивания по символу COMMA
5:4	RX_LOCK	Состояние блока PMA_RX по захвату частоты принимаемого кода: 0 - захват частоты; 1 - обнаружение (грубый захват) частоты; 2 - нет захвата частоты
6	RX_ALIGN_ERROR	Признак обнаружения ошибки при выравнивании символов: 1 - ошибка обнаружена; 0 - ошибка не обнаружена
7	RX_OVR	Признак переполнения выходного регистра PMA_RX: 1 - есть переполнение; 0 - нет переполнения
8	-	Не используется
9	TX_UNR	Признак недозагрузки входного буфера PMA_TX: 1 – буфер недозагружен; 0 – буфер загружен
31..10	-	Не используется

13.3.14 Регистр PMA_MODE

В этом регистре хранится информация о режиме работы PMA_RX и PMA_TX.

Формат регистра PMA_MODE приведен в Таблица 13.16.

Таблица 13.16. Назначение разрядов регистра PMA_MODE

Номер разряда	Условное обозначение	Назначение
6:0	PMA_RX_SPEED	Скорость приема данных: 0x1 - 5 Мбод, 0x2 – 10 Мбод; 0x3 – 15 Мбод; ... 0x19 – 125 Мбод 0x20 - 312,5 Мбод; 0x40 - 625 Мбод; 0x60 - 1250 Мбод. Поля PMA_RX_SPEED и PMA_TX_SPEED должны иметь одинаковое содержимое
8:7	RX_ALIGN_MODE	Режим выравнивания символов при приеме: 0 – выравнивание не выполняется; 1 – выравнивание по каждому символу СОММА; 2 – выравнивание по первому символу СОММА
9	EN_PMA_RX	Признак разрешения приема данных в выходной регистр PMA_RX: 1 - прием разрешен; 0 - прием запрещен
11:10	RX_CDR_MODE	Разрешение сравнения несущей частоты принимаемого кода с частотой XT1125: 0 – после захвата фазы принимаемого кода никаких действий не выполняется; 1 - после захвата фазы принимаемого кода выполняется сравнение его несущей частоты с XT1125, и в случае их расхождения больше чем на 3% выполняется переключение работы PLL PMA_RX на работу от XT1125
13:12	-	Не используется
20:14	PMA_TX_SPEED	Скорость передачи данных: 0x1 - 5 Мбод, 0x2 – 10 Мбод; 0x3 – 15 Мбод; ... 0x19 – 125 Мбод 0x20 - 312,5 Мбод; 0x40 - 625 Мбод; 0x60 - 1250 Мбод
21	EN_PMA_TX	Признак разрешения приема данных во входной регистр PMA_TX: 1 - прием разрешен; 0 - прием запрещен
31..22	-	Не используется

13.3.15 Регистр PMA_TX_LB

Формат регистра PMA_TX_LB приведен в Таблица 13.17.

Таблица 13.17. Назначение разрядов регистра PMA_TX_LB

Номер разряда	Условное обозначение	Назначение
14:0	-	Не используется
15	TX_LB_EN	В PMA_TX включен режим LOOPBACK: 1 – режим LOOPBACK включен; 0 – режим LOOPBACK выключен. Штатная работа PMA_TX. Биты RX_LB_EN и TX_LB_EN в регистрах PMA_RX_LB и PMA_TX_LB должны иметь одинаковое состояние
31:16	-	Не используется

13.3.16 Регистр PMA_RX_LB

Формат регистра PMA_RX_LB приведен в Таблица 13.18.

Таблица 13.18. Назначение разрядов регистра PMA_RX_LB

Номер разряда	Условное обозначение	Назначение
14:0	-	Не используется
15	RX_LB_EN	В PMA_RX включен режим LOOPBACK: 1 – режим LOOPBACK включен; 0 – режим LOOPBACK выключен. Штатная работа PMA_RX. Биты RX_LB_EN и TX_LB_EN в регистрах PMA_RX_LB и PMA_TX_LB должны иметь одинаковое состояние
31:16	-	Не используется

13.4 Рекомендации по программированию

13.4.1 Пакеты данных, дескрипторы пакетов

В этой главе описывается формирование пакетов данных в памяти для передачи в сеть, формат пакетов данных, дескрипторов, передача данных из памяти в сеть, прием данных из сети в память, интерпретирование принятых данных, системные сообщения.

13.4.1.1 Формат дескриптора пакета

Дескриптор пакета имеет следующую структуру:

63:32 – не используется. Состояние этих разрядов не определено.

31 – признак заполнения дескриптора действительными данными. Бит учитывается только при приеме пакетов (позволяет процессору идентифицировать конец очереди дескрипторов в памяти). При передаче пакетов этот бит не учитывается (DMA вычитывает всю область дескрипторов, заданную процессором). До запуска приёма, все 31-е биты дескрипторов области приёма должны быть обнулены программно; DMA не обнуляет 31-е биты не принятых дескрипторов, DMA только записывает '1' в 31-е биты принятых дескрипторов.

30:29 – тип конца пакета:

00 – передавать данные пакета из регистра LOG_ADDR и не вставлять конец пакета;

01 – EOP;

10 – EEP;

11 – передавать данные пакета из памяти и не вставлять конец пакета;

28:25 – не используется (0000)

24:0 – размер пакета в байтах.

Тип конца пакета 00 рекомендуется использовать для того, чтобы формировать заголовки пакетов, используемые для маршрутизации при передаче пакетов через сеть, отдельно от собственно передаваемых данных. Заголовок пакета может включать в себя от 1 до 4 байт. Оформление такого заголовка как отдельного пакета позволяет избежать выравнивания собственно передаваемых данных при длине заголовка не кратной размеру слова. В дальнейшем будем называть заголовок пакета, оформленный как отдельный пакет, коммуникационным пакетом.

Тип конца пакета 11 рекомендуется использовать для того, чтобы формировать заголовки пакетов большего, чем 4 байта, размера или непрерывные потоки данных (пакеты неограниченной длины). В дальнейшем будем называть такой пакет, оформленный как отдельный пакет без маркера конца пакета, коммуникационным пакетом.

13.4.1.2 Расположение данных в памяти

Рассмотрим пример (см. Рисунок 13.2) представления данных в памяти. Пусть в память из сети было записано 3 пакета. Первый пакет имеет размер 10 байт и заканчивается символом EOP. Второй пакет имеет размер 8 байт и заканчивается символом EEP. Третий пакет имеет размер 11 байт и заканчивается символом EOP. Первый и третий пакеты дополнены шестью и пятью байтами соответственно, для выравнивания по границам 64-разрядных слов.

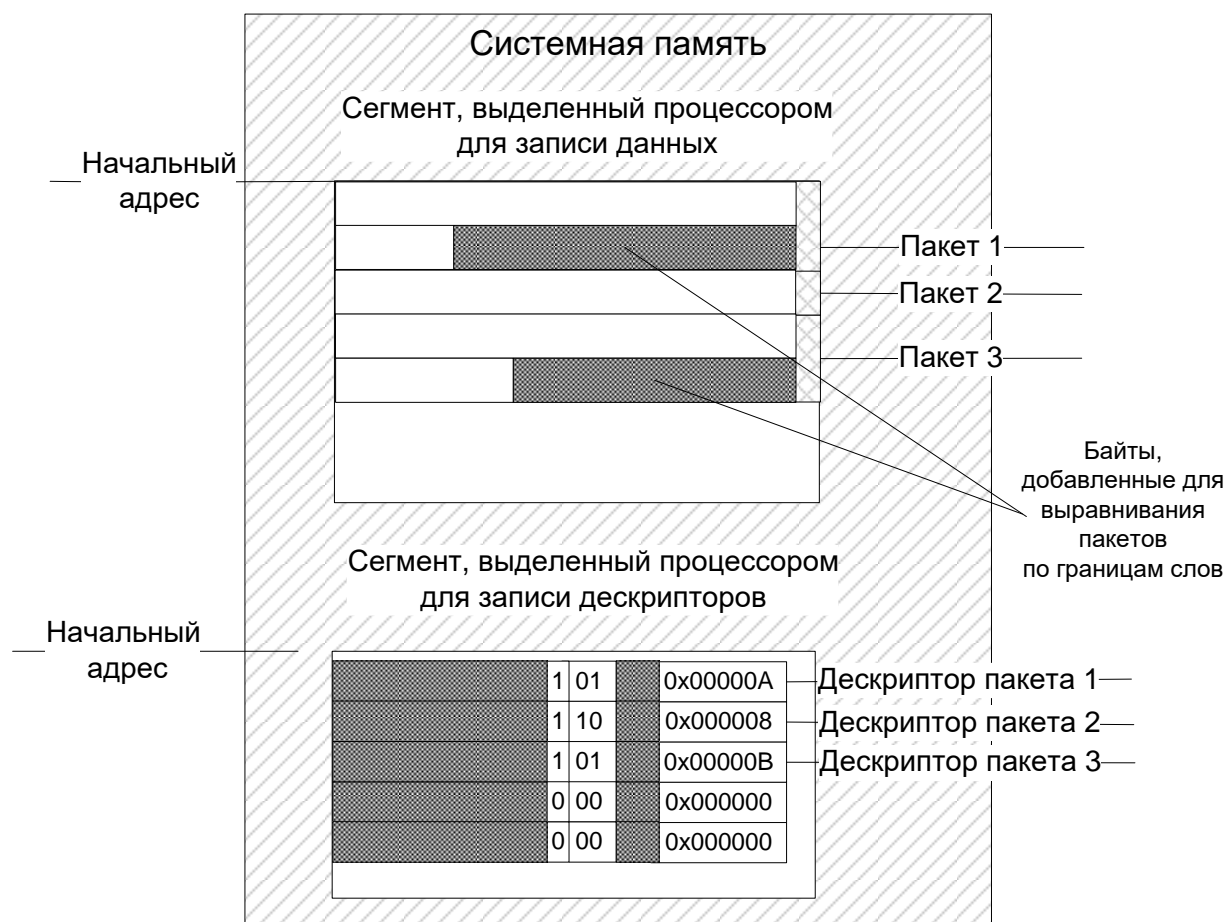


Рисунок 13.2. Представление данных в 64-разрядной памяти (пример)

Дескрипторы хранятся в памяти, выделенном процессором для записи дескрипторов. В дескрипторе указаны размеры пакетов в байтах – 0xA, 0x8 и 0xB соответственно. В дескрипторах хранится так же информация о типе конца пакета. В разряд 31 дескриптора записывается 1, что указывает процессору на то, что дескриптор заполнен действительными данными.

13.4.1.3 Схема обработки данных процессором

В данном примере пакеты могут быть обработаны процессором в соответствии со следующей схемой. Процессор прочитывает первое слово из блока, выделенного для дескрипторов – первый дескриптор. По дескриптору он определяет тип конца пакета, в соответствии с этим решает, как его обрабатывать. По дескриптору он определяет действительный размер пакета и извлекает данные, относящиеся к пакету 1. Для того чтобы вычислить начальный адрес второго пакета к начальному адресу блока данных добавляется размер первого пакета и выполняется округление до границы ближайшего слова. После того, как первый пакет полностью обработан, процессор прочитывает дескриптор второго пакета. Обработка остальных пакетов выполняется аналогично. Процесс обработки очереди пакетов заканчивается, когда 31 разряд очередного дескриптора равен 0.

13.4.1.4 Прием данных из канала

Маршрут принимаемых данных и схема их обработки приведены на Рисунок 13.3.

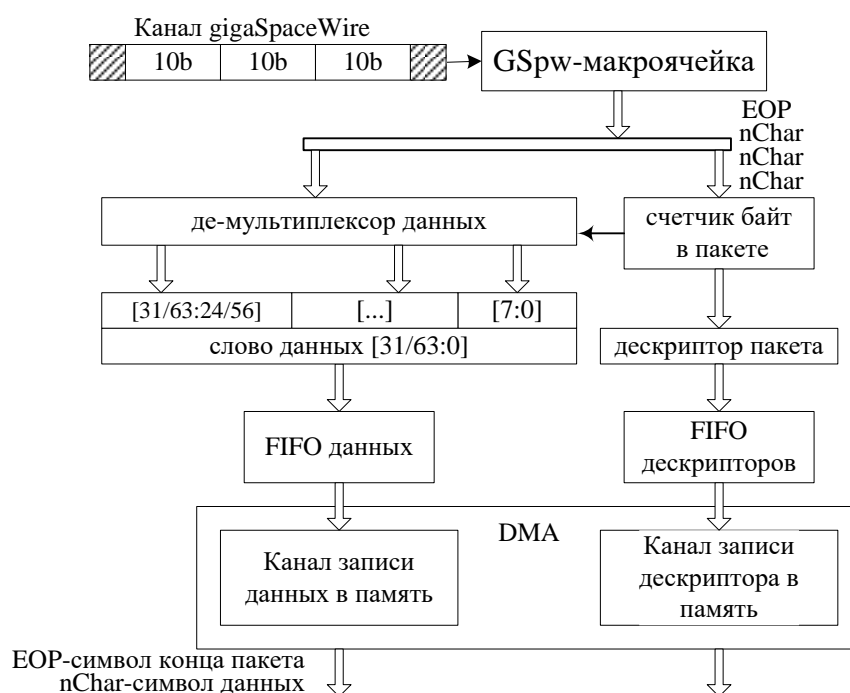


Рисунок 13.3. Схема приема данных из канала SpaceWire (пример)

Из канала GigaSpaceWire в GSpw-макросчейку символы данных поступают последовательно (побитно). GSpw-макросчейка выделяет из последовательности приходящих символов символы данных и символы концов пакетов, и передает их в блок приема.

Передача всех разрядов символа (9 разрядов, из них 8 используется для представления собственно байта данных, девятый бит является дополнительным и указывает, является ли этот байт символом данных nChar или символом конца пакета EOP) от GSpw-макроячейки в блок приема осуществляется в параллельном коде.

Подсчет числа символов nChar и формирование дескриптора при приеме символа конца пакета осуществляется в счетчике байт в пакете.

В блоке приема из байтов данных формируются 32-разрядные слова. При формировании слов первый поступивший байт размещается в разрядах 7:0, второй – в разрядах 15:8, третий – в разрядах 23:16, четвертый – в разрядах 31:24 и т.д. Распределение символов данных по разрядам слова данных производится по счетчику байт.

Для того чтобы сократить загрузку процессора в ходе последующей обработки пакетов данных, в этом блоке выполняется выравнивание границ пакетов по границам 64-разрядных слов и формирование дескрипторов пакетов, позволяющих процессору распознать границы отдельных пакетов.

Собственно пакеты данных и дескрипторы пакетов могут храниться в различных областях памяти. Местоположение этих областей в памяти определяется процессором при настройке каналов DMA. Дескрипторы пакетов записываются в память друг за другом и логически организованы в очередь.

Слова данных из буфера приема передаются в канал DMA записи данных в память. Дескрипторы из блока приема передаются в канал DMA записи дескриптора в память. Блок DMA записывает данные и дескрипторы в память в соответствии с настройками, выполненными процессором.

Процессор для канала записи дескрипторов в память определяет начальный адрес блока памяти и размер блока памяти. Для записи собственно пакетов данных в память может быть задан один блок памяти (так же, как и для канала записи дескриптора в память) или последовательность блоков памяти, физически расположенных в разных местах памяти.

13.4.1.5 Передача данных в канал сети

Процесс передачи пакетов данных из памяти в канал через контроллер, а также преобразование форматов данных показаны на Рисунок 13.4.

Пакеты данных загружаются из памяти в буфер передачи через каналы DMA чтения данных из памяти и чтения дескриптора из памяти.

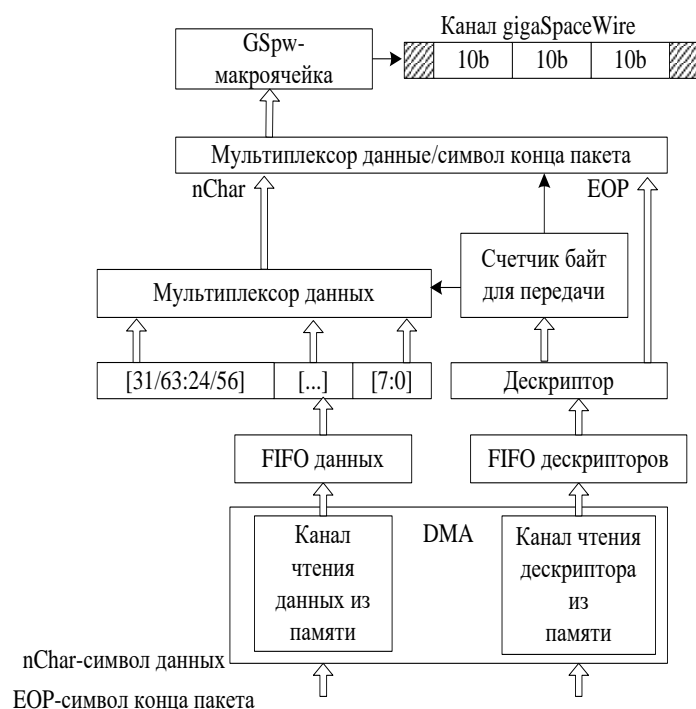


Рисунок 13.4. Передача данных из системной памяти в канал GigaSpaceWire

Блок передачи разбивает слова на отдельные байты. При этом из последовательности байтов в соответствии с информацией, содержащейся в дескрипторе, удаляются “лишние” байты – байты, добавленные для выравнивания пакетов по границам слов, и вставляются символы концов пакетов EOP или EEP. Если в канал GigaSpaceWire передаются пакеты, сгенерированные в данном узле, то предполагается, что они всегда должны заканчиваться символом EOP. Однако пакеты могут проходить через данный процессорный модуль транзитом. В этом случае они могут заканчиваться символом EEP. Коды маркеров EOP или EEP формируются контроллером аппаратно, на основании кодов дескриптора пакета на передачу (разряды 29:30 дескриптора пакета). Сами дескрипторы пакетов на передачу в сеть из памяти формируются программно.

Распаковка 64-разрядного слова в последовательность из 8 байт при передаче из контроллера выполняется по правилу, согласованному с правилом упаковки байтов при приеме данных из канала в контроллер.

Блок передачи вначале передает в сеть байт данных, находящийся в разрядах 7:0 слова, затем байт, находящийся в разрядах 15:8, затем байт, находящийся в разрядах 23:15, затем байт из разрядов 31:24 и т.д.

Символы данных и концов пакетов передаются блоком передачи в сеть младшими разрядами вперед.

13.4.2 Работа с управляющими кодами

13.4.2.1 Маркеры времени

Маркеры времени – системная функция стандарта SpaceWire. Они предназначены для синхронизации системных часов взаимодействующих систем.

При передаче данных маркеры времени имеют наивысший приоритет. Маркер времени записывается в регистр TX_CODE (этот же регистр используется и для передачи в сеть кодов распределенных прерываний, кодов подтверждения прерываний и кодов CC11). После записи Gigabit SpaceWire макро ячейка дожидается окончания передачи символа данных или служебного символа и начинает передачу маркера времени, после окончания передачи маркера времени продолжается передача потока данных. Для того, чтобы не произошло утраты управляющего символа в результате перезаписи его в регистре TX_CODE следующим управляющим символом до передачи в сеть необходимо программно отслеживать значение бита FL_CONTROL регистра STATUS. Если этот бит установлен в 0, то SPFMIC готов к передаче следующего управляющего символа.

В канале приема маркер времени выделяется из потока данных и при безошибочном приеме заносится в регистр RX_CODE (разряды 7:0) с выставлением соответствующего прерывания, если маркер времени является корректным. Корректным признается маркер времени на 1 больше, чем предыдущий, если предыдущий маркер времени имел значение меньше 63. Если предыдущий маркер времени имел значение 63, то следующий корректный маркер времени должен иметь значение 0. Если маркер времени не является корректным, то его значение так же заносится в соответствующие разряды регистра RX_CODE, однако, прерывание для процессора в данном случае не устанавливается. В начале работы устройства или после сброса маркер времени со значением 1 рассматривается как корректный.

Значение последнего корректного маркера времени хранится в регистре TRUE_TIME.

13.4.2.2 Коды распределенных прерываний и подтверждений

Коды распределенных прерываний и подтверждений являются расширением стандарта SpaceWire. Механизм передачи кодов распределенных прерываний и подтверждений в сеть аналогичен механизму передачи маркеров времени.

В SPFMIC поддерживается два режима работы с кодами распределенных прерываний – режим 5-и разрядных кодов и режим 6-и разрядных кодов. В режиме 5-и разрядных кодов распределенных прерываний используются следующие кодировки:

100xxxxx – коды распределенных прерываний

101xxxxx – коды подтверждений

Младшие 5 разрядов кода – номер распределенного прерывания или подтверждения

В режиме 6-и разрядных кодов распределенных прерываний используются следующие кодировки:

01xxxxxx – коды распределенных прерываний

10xxxxxx – коды подтверждений

Младшие 6 разрядов кода – номер распределенного прерывания или подтверждения

При передаче коды распределенных прерываний и подтверждений имеют приоритет, следующий после маркеров времени. Код распределенного прерывания/подтверждения, который необходимо передать в сеть, записывается в регистр TX_CODE. Отправка кода распределённого прерывания в канал происходит, только если соответствующий разряд регистра ISR равен 0 (после отправки этот бит устанавливается в 1). Отправка кода подтверждения прерывания в канал происходит, только если соответствующий разряд регистра ISR равен 1 (после отправки этот бит устанавливается в 0).

При приеме кода распределенного прерывания или подтверждения из сети выполняются следующие действия.

Данный код записывается в соответствующее поле регистра RX_CODE.

Если данный код является кодом распределенного прерывания и соответствующий ему разряд регистра ISR установлен в 0, то в него записывается 1 и может быть выставлено прерывание INT_CC CODE. Если же соответствующий разряд ISR установлен в 1, то данное распределенное прерывание игнорируется (никаких действий не выполняется).

Если данный код является кодом подтверждения и соответствующий ему разряд регистра ISR установлен в 1, то в него записывается 0 и может быть выставлено прерывание INT_CC CODE. Если же соответствующий разряд ISR установлен в 0, то данное подтверждение игнорируется (никаких действий не выполняется).

SPFMIC может выполнять так же функции администрирования по отношению к выбранным пользователем кодам распределенных прерываний и подтверждений. Данные функции предназначены для устранения блокировок прохождения по сети кодов распределенных прерываний и подтверждений вследствие того, что коды, которые рассылались ранее, были утрачены вследствие сбоя или отказов в сети SpaceWire. Для поддержки этих функций в SPFMIC предусмотрен механизм таймаутов.

Функции администрирования могут выполняться в двух режимах. В первом режиме, если по истечении времени таймаута после того, как разряд регистра ISR был установлен в 1, не поступил код подтверждения, выставляется прерывание INT_CC CODE. Во втором режиме, если по истечении времени таймаута после того, как разряд регистра ISR был

установлен в 1, не поступил код подтверждения, соответствующий разряд ISR сбрасывается в 0 и в сеть автоматически отправляется соответствующий код подтверждения. Во втором случае по истечении времени таймаута так же может быть выставлено прерывание INT_CCODE. Для задания нужного режима используется поле INT_Tout_allow регистра MODE_CR. По умолчанию данное поле установлено в значение 00 – функции администрирования кодов распределенных прерываний отключены, установка данного поля в значение 01 соответствует первому режиму администрирования, установка данного поля в значение 10 соответствует второму режиму администрирования.

Для того, чтобы включить механизм таймаутов, необходимо задать размер таймаутов (см. Регистр TOUT_CODE).

В регистре ISR_tout_L, ISR_tout_H разряды, соответствующие распределенным прерываниям, для которых истек таймаут ожидания, устанавливаются в 1. Для того, чтобы сбросить значение разряда, в него необходимо записать 1.

13.4.2.3 Управляющие коды, назначение которых не определено стандартом

К управляющим кодам, назначение которых на данный момент не определено стандартом, относятся коды C11 ($C[7..6]=11$) и при использовании 5-и битных кодов распределенных прерываний коды C01 ($C[7..6]=01$).

Для того, чтобы отправить такой код в сеть, необходимо записать его значение в регистр TX_CODE. Процесс отправки данного управляющего кода аналогичен процессу отправки маркера времени.

При приеме такого кода из сети он регистрируется в регистре RX_CODE (код C11 записывается в поле C11_CODE, код C01 записывается в поле C01_CODE). По факту приема управляющего кода может быть установлено прерывание INT_CCODE.

13.4.3 Установка соединения

Для разрешения процесса установки соединения необходимо записать лог "0" в разряд LinkDisabled и "1" в разряд LinkStart регистра режима работы MODE_CR – для запуска канала, (бит режима отладки CTR регистра MODE_CR при этом должен быть установлен в 0).

Критерием успешного установления соединения является: либо прохождение прерывания INT_LINK и отсутствие прерывания INT_ERR либо нахождение Gigabit SpaceWire макро ячейки в состоянии Run (в регистре STATUS поле DS_STATE=5).

После обнаружения прерывания INT_LINK, необходимо считать регистр STATUS и проверить биты DC_ERR, P_ERR, ESC_ERR, CREDIT_ERR на равенство «0». Бит CONNECTED должен быть равен «1». При выполнении этих условий - соединение с сетью установлено.

Для активации функции пассивной установки соединения необходимо записать лог "0" в разряды LinkDisabled и LinkStart, и "1" в разряд AutoStart. В этом случае SPFMIC будет ждать приёма первого NULL маркера. После приёма первого NULL маркера будет начата процедура установки соединения.

Бит COMMA_EN в регистре TX_CONTROL должен быть установлен в "1".

13.4.4 Разрыв соединения

Возможны три случая разрыва соединения - по ошибке в канале сети, потери синхронизации в канале сети или принудительно.

Для завершения соединения принудительно необходимо записать лог "1" в разряд LinkDisabled режима работы MODE_CR.

В обоих случаях канал перестает работать. При принудительной остановке канала в соседнем устройстве сети возникнет ошибки рассоединения.

При остановке работы канала может наблюдаться разрыв передаваемого пакета. Если в момент разрыва соединения передатчиком передавался пакет, то остаток пакета, который не передан, будет отброшен до конца пакета.

При остановке работы канала может наблюдаться разрыв принимаемого пакета. Если в момент разрыва соединения приемник принимал пакет, то пакет завершается принудительно вставкой символа EEP в месте разрыва.

14. КОММУТАТОР GIGASPWR

14.1 Основные характеристики

Мультипротокольный коммутатор GigaSpWR имеет следующие основные характеристики:

- число внешних портов по ГОСТ «Интерфейсы и протоколы высокоскоростного межприборного информационного обмена и комплексирования бортовых систем космических аппаратов. SPACEWIRE-RUS» (GigaSpaceWire) – 4;
- число внешних портов по стандарту ECSS-E-50-12C (SpaceWire) - 2;
- техническая скорость передачи данных каждого порта в режиме ГОСТ - от 5 Мбод до 125 Мбод с шагом 5 Мбод, 312,5 Мбод; 625 Мбод; 1,25 Гбод в каждом направлении;
- аппаратное детектирование ошибок связи: разрыв соединения, ошибки четности.

14.2 Таблица маршрутизации

Таблица маршрутизации содержит 1024 строки.

Таблица маршрутизации имеет базовый адрес 0x182F_A400.

Формат строк таблицы приведен в Таблица 14.1.

Таблица 14.1 Формат строк таблицы маршрутизации GigaSpWR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
0	FL_CONF_PORT0	Признак отправки пакета в конфигурационный порт	RD WR	0x0
2:1	FL_SPW_PORT	Признак отправки пакета в SpW порт	RD WR	0x00
6:3	FL_GIGASPW_PORT	Признак отправки пакета в GigaSpW порт	RD WR	0x00
7	PRIO	Уровень приоритета пакета	RD WR	0x0
8	DEL_POS	Признак отделения заголовка	RD WR	0x0
9	FL_FUNCT_ROUTING	Признак функциональной маршрутизации (в данном проекте не используется)	RD WR	0x0
10	FL_ADAPTIVE_ROUTING	Признак адаптивной маршрутизации по таблице маршрутизации	RD WR	0x0
11	FL_VALID_STRING	Признак действительности строки таблицы маршрутизации	RD WR	0x0
31:12	-	Не используется	RD	0x00

14.3 Программно-доступные регистры GigaSpWR

Программно-доступные регистры имеют базовый адрес 0x182F_A000.

Перечень программно-доступных регистров коммутатора GigaSpWR приведен в Таблица 14.2.

Таблица 14.2. Перечень регистров коммутатора GigaSpWR

Условное обозначение	Кол-во	Описание	Тип доступа	Смещение	Начальное значение
ID_VER	1	Регистр версии	RD	0x0	0x00000008
ID_SWITCH	1	Регистр идентификатора gigaSpWR	RD WR	0x4	0x00000000
ID_NET	1	Регистр идентификации сетевых линков gigaSpWR	RD WR	0x8	0x00000000
MODE_R	1	Регистр режима блока коммутатора gigaSpWR 1	RD WR	0xC	0x00000000
MODE_R1	1	Регистр режима блока коммутатора gigaSpWR 2	RD WR	0x10	0x00000059
STATE_R	1	Регистр состояния блока коммутатора gigaSpWR	RD WR	0x14	0x0001F800
RISC_IRQ_MASK	1	Регистр глобальных масок прерываний для встроенного процессорного ядра	RD WR	0x18	0x00001FF7
AUTO_COU	1	Регистр управления автоматической установкой соединения	RD WR	0x1C	0x00010148
CONTROL_CONNECTION	1	Регистр контроля соединения	RD WR	0x20	0x0008008A
STATE_CONNECTION	1	Регистр флагов состояния соединения	RD WR	0x24	0x00000000
SW_DAT_TOUTS	1	Регистр глобальных таймаутов данных	RD WR	0x28	0x00000000

Условное обозначение	Кол-во	Описание	Тип доступа	Смещение	Начальное значение
SW_DAT_TOUTS2	1	Регистр глобальных таймаутов данных 2	RD WR	0x2C	0x00000000
SW_DAT_TOUTS3	1	Регистр флагов глобальных таймаутов данных	RD WR	0x30	0x00000000
SPEC_ARB	1	Регистр специальных условий арбитража	RD WR	0x34	0x00000000
CCODE_OUT	1	Регистр управляющего кода для отправки в сеть	RD WR	0x38	0x00000000
CUR_TIME	1	Регистр маркера времени из сети	RD WR	0x3C	0x00000000
ISR_L	1	Младшая половина регистра ISR ISR_L	RD WR	0x40	0x00000000
ISR_H	1	Старшая половина регистра ISR ISR_H	RD WR	0x44	0x00000000
INTR_IRQ_MASK_L	1	Регистр маски прерывания для встроенного процессора при приеме кода распределенного прерывания (младшая половина)	RD WR	0x48	0x00000000
INTR_IRQ_MASK_H	1	Регистр маски прерывания для встроенного процессора при приеме кода распределенного прерывания (старшая половина)	RD WR	0x4C	0x00000000
INTA_IRQ_MASK_L	1	Регистр маски прерывания для встроенного процессора при приеме кода подтверждения (младшая половина)	RD WR	0x50	0x00000000

Условное обозначение	Кол-во	Описание	Тип доступа	Смещение	Начальное значение
INTA_IRQ_MASK_H	1	Регистр маски прерывания для встроенного процессора при приеме кода подтверждения (старшая половина)	RD WR	0x54	0x00000000
CCODES_MASK1	1	Регистр маски входных и выходных портов для управляющих кодов 1	RD WR	0x58	0x00000000
CCODES_MASK2	1	Регистр маски входных и выходных портов для управляющих кодов 1	RD WR	0x5C	0x00000000
DIST_INTS_TOUTS1	1	Регистр таймаутов распределенных прерываний 1	RD WR	0x60	0x00000000
DIST_INTS_TOUTS2	1	Регистр таймаутов распределенных прерываний 2	RD WR	0x64	0x00000000
ACK_NON_ACK_REGIME	1	Регистр флагов режима обработки распределенных прерываний (с подтверждением / без подтверждения)	RD WR	0x68	0x00000000
CCODES_SPEC_REGIME	1	Регистр специального режима работы с управляющими кодами	RD WR	0x6C	0x00000000
SPEC_ISR_REGIME	1	Регистр флагов автоматической отправки подтверждения	RD WR	0x70	0x00000000
INTER_HANDLER_TERM_FUNCT	1	Флаги-признаки обработчика для распределенных прерываний	RD WR	0x74	0x00000000

Условное обозначение	Кол-во	Описание	Тип доступа	Смещение	Начальное значение
ISR_SOURCE_TERM_FUNCT	1	Флаги-признаки источника для распределенных прерываний	RD WR	0x78	0x00000000
ISR_TOUTS_FLS_L	1	Младшая половина регистра флагов таймаутов	RD WR	0x7C	0x00000000
ISR_TOUTS_FLS_H	1	Старшая половина регистра флагов таймаутов	RD WR	0x80	0x00000000
ISR_1101	1	Значение регистра ISR для управляющих кодов, назначение которых не определено стандартом	RD WR	0x84	0x00000000
EXTERNAL_RESET_PARAMETERS	1	Регистр параметров удаленного сброса	RD WR	0x88	0x00000000
SPW_STATUS	2	Регистр состояния порта SpW	RD WR	0x8C	0x00000100
Служебный регистр	4	Служебный регистр	RD WR	0x94	0x00000000
SPW_MODE	2	Регистр режима работы порта SpW	RD WR	0xA4	0x02C83409
Служебный регистр	4	Служебный регистр	RD WR	0xAC	0x00000000
SPW_TX_SPEED	2	Регистр скорости передачи порта SpW	RD WR	0xBC	0x00000802
Служебный регистр	4	Служебный регистр	RD WR	0xC4	0x00000000
SPW_RX_SPEED	2	Регистр скорости приема порта SpW и порта gigaSpW	RD	0xD4	0x00000000
Служебный регистр	4	Служебный регистр	RD WR	0xE0	0x00000000
ADG	2	Регистр адаптивной групповой маршрутизации порта SpW	RD WR	0xEC	0x00000000

Условное обозначение	Кол-во	Описание	Тип доступа	Смещение	Начальное значение
Служебный регистр	4	Служебный регистр	RD WR	0xF4	0x00000000
Служебный регистр	4	Служебный регистр	RD	0x104	0x00000000
Служебный регистр	4	Служебный регистр	RD WR	0x114	0x00000000

14.4 Описание программно-доступных регистров GigaSpWR

14.4.1 Регистр ID_SWITCH

Назначение разрядов регистра ID_SWITCH приведено в Таблица 14.3.

Таблица 14.3

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	ID_SWITCH	Поле идентификатора сетевого коммутатора.	RD WR	0x00000000

14.4.2 Регистр ID_NET

Назначение разрядов регистра ID_NET приведено в Таблица 14.4.

Таблица 14.4

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
6:0	ID_NET	Поле идентификации сетевых линков. i разряд соответствует i порту, если i разряд установлен в 1, то пакеты, рассылаемые ширококестельно, в этот порт рассылаться не будут. (Определение того, является ли пакет ширококестельным, осуществляется по строке таблицы маршрутизации, соответствующей заголовку пакета.)	RD WR	0x0
31:7	-	Не используется.	RD	0x0

14.4.3 Регистр MODE_R

Назначение разрядов регистра MODE_R приведено в таблице Таблица 14.5

Таблица 14.5

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
8:0	MAIN_KOEFF10	Значение коэффициента локальной частоты. Коэффициент локальной частоты должен быть задан равным [локальная частота / 10], например, если локальная частота = 125Мгц, то коэффициент локальной частоты должен быть установлен в значение 12. Локальная частота, это частота, подаваемая на блок gigaSpWR.	RD WR	0x000
21:9	CUR_WIND_LENGTH	Значение длительности окна смены приоритетов при арбитраже запросов на передачу пакетов от контроллеров входных портов в контроллере выходного порта. Длительность окна смены приоритетов задается в количестве фаз запросов. Продолжительность одной фазы запроса составляет 3 такта локальной частоты. Период окна смены приоритетов начинает отсчитываться с момента очередной смены приоритетов портов. Если порт, имеющий в текущий момент времени наивысший приоритет, до истечения периода окна смены приоритетов не выставил запрос на передачу пакета, то по истечении периода окна смены приоритетов происходит очередная смена приоритетов портов. Если этот порт выставил запрос на передачу пакета, то смена приоритетов будет осуществлена после предоставления ему гранта.	RD WR	0x0000
22	NDEL_DROPPED_PACKETS	В данной версии не используется.	RD WR	0x0

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
23	DMA_ENABLED	Разрешение работы блоков сопряжения с интерфейсом DMA. При установке разряда в 0 - работа запрещена - блоки SWIC2DMA не вычитывают данные из gigaSpWR, блоки DMA2SWIC не передают данные в gigaSpWR, все блоки не выставляют сигналов готовности блоку DMA. При установке 1 в этот разряд работа разрешена. Разряд оказывает влияние на все 4 канала DMA.	RD WR	0x0
24	DMA_CLR_FIFO	Очистка буферов блоков сопряжения с интерфейсом DMA. Если этот разряд установлен в 0, то все работает в штатном режиме. При установке разряда в 1 выполняется сброс FIFO: указатели всех FIFO устанавливаются в 0, что эквивалентно их опустошению, все блоки выставляют фальшивый сигнал готовности блоку DMA. При этом DMA соответствующими каналами, может вычитывать бесконечное число недостоверных данных, или записывать бесконечное число данных, которые будут теряться. Данные из/в gigaSpWR не обрабатываются. Разряд оказывает влияние на все 4 канала DMA.	RD WR	0x0
25	GIGASPWR_WE	Разрешение работы блока gigaSpWR. Если этот разряд установлен в 0 - работа блока запрещена, 1 - работа разрешена	RD WR	0x0
31:26	-	Не используется.	RD	0x00

14.4.4 Регистр MODE_R1

Назначение разрядов регистра MODE_R1 приведено в Таблица 14.6.

Таблица 14.6

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
0	RISC_D_INT_ACK_REGIMES	Режим обработки кодов распределенных прерываний при работе (приеме/отправке) со стороны встроенного процессорного ядра. Если данное поле установлено в значение '0', то используются 6-и битные коды распределенных прерываний, если данное поле установлено в значение '1', то используются 5-и битные коды распределенных прерываний.	RD WR	0x1
3:1	RISC_INT_CODES	Кодировка INT при работе (приеме/отправке) со стороны встроенного процессорного ядра.	RD WR	0x4
6:4	RISC_ACK_CODES	Кодировка ACK при работе (приеме/отправке) со стороны встроенного процессорного ядра.	RD WR	0x5
31:7	-	Не используется.	RD	0x0000000

14.4.5 Регистр STATE_R

Назначение разрядов регистра STATE_R приведено в Таблица 14.7.

Таблица 14.7

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
0	GOT_TIME	Признак получения маркера времени (GOT_TIME). Запись 1 в это поле приводит к его сбросу.	RD WR	0x0
1	GOT_INT	Признак получения кода распределенного прерывания (GOT_INT). Запись 1 в это поле приводит к его сбросу.	RD WR	0x0
2	GOT_ACK	Признак получения подтверждения (GOT_ACK). Запись 1 в это поле приводит к его сбросу.	RD WR	0x0
3	GOT_C01_CODE	Признак получения кода C01 (кода вида 01xxxxxx, назначение которого не определено стандартом) (GOT_C01_CODE). Запись 1 в это поле приводит к его сбросу.	RD WR	0x0
4	GOT_C11_CODE	Признак получения кода C11 (кода вида 11xxxxxx, назначение которого не определено стандартом)(GOT_C11_CODE). Запись 1 в это поле приводит к его сбросу.	RD WR	0x0
10:5	SpW_connected	Признаки соединения по всем портам SpW и gigaSpW. i разряд данного поля установлен в 1 если в текущий момент времени по i порту установлено соединение.	RD WR	0x00
16:11	SpW_errored	Признаки разрыва соединения по всем портам SpW и gigaSpW. i разряд данного поля установлен в 1 если в текущий момент времени по i порту отсутствует соединение.	RD WR	0x3F
22:17	PORT_CONNECTED	Флаги установки соединения по всем портам SpW и gigaSpW. Запись 1 в это поле приводит к его сбросу. i разряд данного поля устанавливается в 1 если по i порту произошла установка соединения.	RD WR	0x00

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
28:23	PORT_ERRORED	Флаги разрыва соединения по всем портам SpW и gigaSpW Запись 1 в это поле приводит к его сбросу. i разряд данного поля устанавливается в 1 если по i порту произошел разрыв соединения.	RD WR	0x00
29	INT_RST	Признак получения команды сброса (External reset) от удаленного сетевого администратора. Запись 1 в это поле приводит к его сбросу.	RD WR	0x0
31:30	-	Не используется.	RD	0x0

14.4.6 Регистр RISC_IRQ_MASK

Назначение разрядов регистра RISC_IRQ_MASK приведено в Таблица 14.8

Таблица 14.8

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
0	IRQ_CONNECT_MASK	Маска прерывания по факту установки соединения IRQ_CONNECT_MASK. Если данный разряд установлен в 1, то прерывание замаскировано	RD WR	0x1
1	IRQ_DISCONNECT_MASK	Маска прерывания по факту разрыва соединения IRQ_DISCONNECT_MASK. Если данный разряд установлен в 1, то прерывание замаскировано	RD WR	0x1
2	IRQ_IA_CODE_GLOBAL_MASK	Маска прерывания по коду распределенного прерывания и подтверждения IRQ_CCODE_GLOBAL_MASK. Если данный разряд установлен в 1, то прерывание замаскировано.	RD WR	0x1
3	IRQ_TIME_MASK	Маска установки прерывания по управляющему коду при приходе маркера времени IRQ_TIME_MASK. Если данный разряд установлен в 1, то прерывание замаскировано	RD WR	0x0

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
4	IRQ_INT_MASK	Маска установки прерывания по управляющему коду при приходе кода распределенного прерывания IRQ_INT_MASK. Если данный разряд установлен в 1 и RISC_IRQ_MASK = '0'. IRQ_IA_CODE_GLOBAL_MASK='0', то при приходе кода распределенного прерывания прерывание по управляющему коду не будет установлено.	RD WR	0x1
5	IRQ_ACK_MASK	Маска установки прерывания по управляющему коду при приходе кода подтверждения IRQ_ACK_MASK. Если данный разряд установлен в 1 и RISC_IRQ_MASK = 0. IRQ_IA_CODE_GLOBAL_MASK='0', то при приходе кода подтверждения прерывание по управляющему коду не будет установлено.	RD WR	0x1
6	IRQ_C01_MASK	Маска установки прерывания по управляющему коду при приходе C01 (кода вида 01xxxxxx, назначение которого не определено стандартом) IRQ_C01_MASK. Если данный разряд установлен в 1, то прерывание замаскировано.	RD WR	0x1
7	IRQ_C11_MASK	Маска установки прерывания по управляющему коду при приходе C11 (кода вида 11xxxxxx, назначение которого не определено стандартом) IRQ_C11_MASK. Если данный разряд установлен в 1, то прерывание замаскировано.	RD WR	0x1
8	IRQ_INT_RST_MASK	Маска установки прерывания по приходу команды сброса от удаленного администратора IRQ_INT_RST_MASK. Если данный разряд установлен в 1 и RISC_IRQ_MASK. IRQ_IA_CODE_GLOBAL_MASK='0', то при приходе команды сброса от удаленного администратора прерывание по управляющему коду не будет установлено.	RD WR	0x1

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
9	IRQ_ISR_TOUTS_MASK	Маска установки прерывания по истечении таймаутов Th, Tg, ISR_change IRQ_ISR_TOUTS_MASK. Если данный разряд установлен в 1 и RISC_IRQ_MASK.IRQ_IA_CODE_GLOBAL_MASK='0', то по истечении таймаутов Th, Tg, ISR_change прерывание по управляющему коду не будет установлено.	RD WR	0x1
10	IRQ_TARB_MASK	Маска прерывания по факту истечения таймаута арбитража. Если данный разряд установлен в 1, то прерывание замаскировано.	RD WR	0x1
11	IRQ_TRES_MASK	Маска прерывания по факту истечения таймаута ожидания очередного символа при приеме. Если данный разряд установлен в 1, то прерывание замаскировано.	RD WR	0x1
12	IRQ_TSEND_MASK	Маска прерывания по факту истечения таймаута ожидания очередного символа при передаче. Если данный разряд установлен в 1, то прерывание замаскировано.	RD WR	0x1
31:13	-	Не используется.	RD	0x00000

14.4.7 Регистр AUTO_COU

Назначение разрядов регистра AUTO_COU приведено в Таблица 14.9.

Данный регистр используется только для портов SpaceWire.

Таблица 14.9

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
4:0	AUTO_COU	Количество неуспешных переходов на базовую скорость. В данном поле задается количество разрывов соединений при переходе на заданную базовую скорость, по достижении которого прекращаются попытки перехода на заданную базовую скорость.	RD WR	0x08

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
15:5	CONTROL_TIME	Таймаут успешного перехода на базовую скорость. Данный таймаут начинает отсчитываться после перехода порта в состояние run и установки базовой скорости. Если до истечения этого таймаута не произошел разрыв соединения, то считается, что переход на базовую скорость прошел успешно. По истечении этого таймаута текущее значение счетчика AUTO_COU сбрасывается в 0.	RD WR	0x00A
16	CONTROL_REGIME	Режим отсчета таймаута AUTO_COU.CONTROL_TIME. Если данное поле установлено в значение '0', то отсчет таймаута нахождения в состоянии run осуществляется в тактах PLL_CORE, если в '1' - то в мкс.	RD WR	0x1
22:17	AUTO_COU_FLAGS	Поле флагов истечения количества попыток прехода на базовую скорость. Запись 1 в это поле приводит к его сбросу.	RD WR	0x00
31:23	-	Не используется.	RD	0x000

14.4.8 Регистр CONTROL_CONNECTION

Назначение разрядов регистра CONTROL_CONNECTION приведено Таблица 14.10.

Таблица 14.10

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
5:0	CONN_HOLD_TOUT	Таймаут нахождения в состоянии Run. Данный таймаут начинает отсчитываться после перехода порта в состояние Run и установки базовой скорости. Если до истечения этого таймаута не произошел разрыв соединения, то считается, что соединение установилось (позволяет отследить ситуации дребезга - когда происходит переход в состояние run, но через небольшой период времени соединение разрывается).	RD WR	0x0A

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
6	CONN_HOLD_REGIME	Режим отсчета таймаута CONTROL_CONNECTION.CONN_HOLD_TOUT. Если данное поле установлено в значение '0', то отсчет таймаута нахождения в состоянии gup осуществляется в тактах PLL_CORE, если в '1' - то в мкс.	RD WR	0x0
17:7	UNCONNECT_TOUT	Таймаут отсутствия соединения Данный таймаут начинает отсчитываться, если происходит разрыв соединения. Если происходит восстановление соединения (и, если CONTROL_CONNECTION.CONN_HOLD_TOUT >0 оно сохраняется в течении заданного времени) , то счет этого таймаута сбрасывается.	RD WR	0x001
18	UNCONNECT_TOUT_REGIME	Режим отсчета таймаута CONTROL_CONNECTION.UNCONNECT_TOUT . Если данное поле установлено в значение '0', то отсчет таймаута нахождения в состоянии gup осуществляется в тактах PLL_CORE, если в '1' - то в мкс.	RD WR	0x0
19	UNCONNECT_TOUT_DEL_P	Разрешение стирать пакеты, адресованные в порт, для которого истек таймаут отсутствия соединения. Если данное поле установлено в значение '1', то по истечении таймаута отсутствия соединения пакеты будут стираться.	RD WR	0x1
31:20	-	Не используется.	RD	0x000

14.4.9 Регистр STATE_CONNECTION

Назначение разрядов регистра STATE_CONNECTION приведено в Таблица 14.11.

Таблица 14.11

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
5:0	CONN_HOLD_FLAGS	Поле флагов таймаутов нахождения в состоянии Run. Запись 1 в это поле приводит к его сбросу. Флаг устанавливается, если порт переходит в состояние run, но соединение рвется до истечения таймаута нахождения в состоянии Run.	RD WR	0x00
11:6	UNCONNECT_TOUT_FLAGS	Поле флагов таймаутов отсутствия соединения. Запись 1 в это поле приводит к его сбросу. Флаг устанавливается, если истек таймаут отсутствия соединения.	RD WR	0x00
31:12	-	Не используется.	RD	0x00000

14.4.10 Регистр SW_DAT_TOUTS

Назначение разрядов регистра SW_DAT_TOUTS приведено в Таблица 14.12.

Таблица 14.12

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
15:0	G_DAT_TOUT	Значение глобального периода подсчета таймаутов.	RD WR	0x0000
25:16	ARB_TOUT	Значение таймаута арбитража Подсчет таймаута арбитража осуществляется в глобальных периодах подсчета таймаутов. Счет таймаута арбитража запускается в контроллере входа порта в момент времени, когда он выставляет запрос на передачу очередного пакета данных. Если по истечении таймаута арбитража контроллер не получил грант, то запрос на передачу пакета снимается и пакет стирается. Если значение таймаута арбитража установлено в 0 или SW_DAT_TOUTS.G_DAT_TOUT = 0, то этот механизм отключен.	RD WR	0x000
26	T_MODE	Режим подсчета глобального периода таймаутов. Если данный разряд установлен в 0, то подсчет выполняется в тактах, если разряд установлен в 1, то в микросекундах	RD WR	0x0
31:27	-	Не используется.	RD	0x00

14.4.11 Регистр SW_DAT_TOUTS2

Назначение разрядов регистра SW_DAT_TOUTS2 приведено в Таблица 14.13.

Таблица 14.13

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
7:0	RT_TOUT	Значение таймаута ожидания приема и (или) передачи символа.	RD WR	0x00
8	R_TOUT_VALID	Флаг разрешения счета таймаута при приеме символов. Если этот флаг установлен в 1, значение SW_DAT_TOUTS2.RT_TOUT отлично от 0 и значение SW_DAT_TOUTS.G_DAT_TOUT отлично от 0, то выполняется контроль таймаута ожидания приема символов. Таймаут ожидания приема символов контролируется в контроллере входа порта. Счет таймаута начинается с момента приема очередного символа данных. Если Следующий символ данных не поступил из сети до истечения этого таймаута, то устанавливается сигнал прерывания для встроенного процессорного ядра, в выходной порт (выходные порты) отправляется символ ошибочного конца пакета EEP. В случае возникновения этой ситуации рекомендуется программно переустановить соединение по соответствующему порту.	RD WR	0x0
9	T_TOUT_VALID	Флаг разрешения счета таймаута при передаче символов. Если этот флаг установлен в 1, значение SW_DAT_TOUTS2.RT_TOUT отлично от 0 и значение SW_DAT_TOUTS.G_DAT_TOUT отлично от 0, то выполняется контроль таймаута ожидания возможности передать очередной символ. Таймаут ожидания передачи символов контролируется в контроллере выхода порта. Счет таймаута начинается с момента передачи очередного символа данных. Если порт не выставил сигнал готовности принять следующий символ данных или конца пакета до истечения этого таймаута, то устанавливается сигнал прерывания для встроенного процессорного ядра. В случае возникновения этой ситуации рекомендуется программно переустановить соединение по соответствующему порту.	RD WR	0x0

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:10	-	Не используется.	RD	0x000000

14.4.12 Регистр SW_DAT_TOUTS3

Назначение разрядов регистра SW_DAT_TOUTS3 приведено Таблица 14.14.

Таблица 14.14

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
5:0	T_TOUT_FLS	Флаги истечения таймаута при передаче символов. Запись 1 в это поле приводит к его сбросу.	RD WR	0x00
11:6	R_TOUT_FLS	Флаги истечения таймаута при приеме символов. Запись 1 в это поле приводит к его сбросу.	RD WR	0x00
18:12	ARB_TOUT_FLS	Флаги истечения таймаута при арбитраже. Запись 1 в это поле приводит к его сбросу.	RD WR	0x00
26:19	ARB_TOUT_ADDR_0	последнее значение адреса пакета, для которого истек таймаут арбитража для конф порта.	RD	0x00
31:27	-	Не используется.	RD	0x00

14.4.13 Регистр CCODE_OUT

Назначение разрядов регистра CCODE_OUT приведено в Таблица 14.15.

Таблица 14.15

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
7:0	CCODE_OUT	Значение управляющего кода (маркера времени, кода распределенного прерывания или подтверждения) который должен быть отправлен в сеть. При записи от встроенного процессорного ядра управляющего кода в это поле, выполняется его отправка в сеть либо через все порты gigaSpWR, если поле CCODE_OUT.TX_PORTS_FL установлено в 0, либо через набор портов, заданный в поле CCODE_OUT.TX_PORTS, если оно установлено в 1.	RD WR	0x00

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
13:8	TX_PORTS	маска специального набора портов для отправки управляющего кода в сеть. i разряд данного поля соответствует $i+1$ номеру порта gigaSpWR. Если при $CCODE_OUT.TX_PORTS_FL = 1$ i разряд этого поля установлен в 1, то управляющий код будет отправлен в этот порт, если в 0, то нет.	RD WR	0x00
14	TX_PORTS_FL	Признак специального набора портов. Если $CCODE_OUT.TX_PORTS_FL = 1$, то отправка будет в порты, указанные в $CCODE_OUT.TX_PORTS$. Если $CCODE_OUT.TX_PORTS_FL = 0$, то отправка будет во все порты, по которым есть соединение.	RD WR	0x0
31:15	-	Не используется.	RD	0x00000

14.4.14 Регистр CUR_TIME

Назначение разрядов регистра CUR_TIME приведено в Таблица 14.16.

Таблица 14.16

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
5:0	CUR_TIME	Поле текущего маркера времени. В данное поле записывается значение последнего маркера времени, принятого из сети.	RD WR	0x00
11:6	TRUE_TIME	Поле последнего правильного маркера времени. В данное поле записывается значение последнего правильного маркера времени, принятого из сети.	RD WR	0x00
31:12	-	Не используется.	RD	0x00000

14.4.15 Регистр ISR_L

Назначение разрядов регистра ISR_L приведено в Таблица 14.17.

Таблица 14.17

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	ISR_L	Младшая половина регистра ISR ISR_L В данный регистр отображаются разряды 31 - 0 регистра ISR.	RD WR	0x00000000

14.4.16 Регистр ISR_H

Назначение разрядов регистра ISR_H приведено в Таблица 14.18.

Таблица 14.18

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	ISR_H	Старшая половина регистра ISR ISR_H. В данный регистр отображаются разряды 63 - 32 регистра ISR (Используется только в 6-и битном режиме распределенных прерываний).	RD WR	0x00000000

14.4.17 Регистр CCODES_MASK1

Назначение разрядов регистра CCODES_MASK1 приведено в Таблица 14.19.

Таблица 14.19

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
5:0	TIME_SEND_MASK	Маска выходных портов для маркеров времени. i разряд этого поля соответствует i+1 порту gigaSpWR. Если i разряд установлен в 1, то маркеры времени в данный порт отправляться не будут.	RD WR	0x00
11:6	TIME_RECEIVE_MASK	Маска входных портов для маркеров времени. i разряд этого поля соответствует i+1 порту gigaSpWR. Если i разряд установлен в 1, то маркеры времени из данного порта приниматься не будут.	RD WR	0x00
17:12	INT_R_A_SEND_MASK	Маска выходных портов для кодов распределенных прерываний и подтверждений. i разряд этого поля соответствует i+1 порту gigaSpWR. Если i разряд установлен в 1, то коды распределенных прерываний и подтверждений в данный порт отправляться не будут.	RD WR	0x00
23:18	INT_R_A_RECEIVE_MASK	Маска входных портов для кодов распределенных прерываний и подтверждений. i разряд этого поля соответствует i+1 порту gigaSpWR. Если i разряд установлен в 1, то коды распределенных прерываний и подтверждений из данного порта приниматься не будут.	RD WR	0x00
31:24	-	Не используется.	RD	0x00

14.4.18 Регистр CCODES_MASK2

Назначение разрядов регистра CCODES_MASK2 приведено Таблица 14.20.

Таблица 14.20

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
5:0	INTR_SEND_MASK	Маска выходных портов для кодов распределенных прерываний. i разряд этого поля соответствует $i+1$ порту gigaSpWR. Если i разряд установлен в 1, то коды распределенных прерываний в данный порт отправляться не будут.	RD WR	0x00
11:6	INTR_RECEIVE_MASK	Маска входных портов для кодов распределенных прерываний i разряд этого поля соответствует $i+1$ порту gigaSpWR. Если i разряд установлен в 1, то коды распределенных прерываний из данного порта приниматься не будут.	RD WR	0x00
17:12	INTA_SEND_MASK	Маска выходных портов для кодов подтверждений i разряд этого поля соответствует $i+1$ порту gigaSpWR. Если i разряд установлен в 1, то коды подтверждений в данный порт отправляться не будут.	RD WR	0x00
23:18	INTA_RECEIVE_MASK	Маска входных портов для кодов подтверждений i разряд этого поля соответствует $i+1$ порту gigaSpWR. Если i разряд установлен в 1, то коды подтверждений из данного порта приниматься не будут.	RD WR	0x00
29:24	ADD_RECEIVE_MASK	Маска входных портов для кодов, назначение которых не определено стандартом SpaceWire i разряд этого поля соответствует $i+1$ порту gigaSpWR. Если i разряд установлен в 1, то коды, назначение которых не определено стандартом, из данного порта приниматься не будут.	RD WR	0x00
31:30	-	Не используется.	RD	0x0

14.4.19 Регистр DIST_INTS_TOUTS1

Назначение разрядов регистра DIST_INTS_TOUTS1 приведено в Таблица 14.21.

Таблица 14.21

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
15:0	GLOB_COU_VAL	Глобальный период счета таймаутов распределенных прерываний и подтверждений. Значение глобального периода счета таймаутов для распределенных прерываний и подтверждений. Все счетчики таймаутов распределенных прерываний и подтверждений выполняют подсчет в этих периодах.	RD WR	0x0000
19:16	LOC_COU_VAL_SW	TISR_reset_R таймаут (ack_regime). Значение таймаута ISR_reset при работе в режиме коммутатора для режима распределенных прерываний с подтверждениями. (Режим задается для каждого распределенного прерывания в поле ACK_NON_ACK_REGIME.ACK_NON_ACK_REGIME. Если для распределенного прерывания установлен бит в поле INTER_HANDLER_TERM_FUNC.T.INTER_HANDLER_TERM_FUNCNCT или ISR_SOURCE_TERM_FUNC.ISR_SOURCE_TERM_FUNC, то для него используется режим терминального узла, в противном случае - режим коммутатора.)	RD WR	0x0
23:20	LOC_COU_VAL_T1	TISR_reset_N таймаут (ack_regime). Значение таймаута ISR_reset при работе в режиме терминального узла для режима распределенных прерываний с подтверждениями.	RD WR	0x0
27:24	LOC_COU_VAL_T2	В данной версии не используется.	RD WR	0x0
31:28	-	Не используется.	RD	0x0

14.4.20 Регистр DIST_INTS_TOUTS2

Назначение разрядов регистра DIST_INTS_TOUTS2 приведено в Таблица 14.22.

Таблица 14.22

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
3:0	LOC_COU_VAL_SW_NACK	TISR_reset_R таймаут (non_ack_regime). Значение таймаута ISR_reset при работе в режиме коммутатора для режима распределенных прерываний без подтверждений.	RD WR	0x0
7:4	LOC_COU_VAL_T1_NACK	ISR_reset_N таймаут (non_ack_regime). Значение таймаута ISR_reset при работе в режиме терминального узла для режима распределенных прерываний без подтверждений.	RD WR	0x0
11:8	LOC_COU_VAL_TG	Значение таймаута TG для терминальных узлов.	RD WR	0x0
15:12	LOC_COU_VAL_TH	Значение таймаута Th для терминальных узлов.	RD WR	0x0
19:16	LOC_COU_VAL_ISR_CH_ACK	Значение таймаута TISR_change для режима с подтверждениями.	RD WR	0x0
23:20	LOC_COU_VAL_ISR_CH_NACK	В данной версии не используется.	RD WR	0x0
31:24	-	Не используется.	RD	0x00

14.4.21 Регистр ACK_NON_ACK_REGIME

Назначение разрядов регистра ACK_NON_ACK_REGIME приведено в Таблица 14.23.

Таблица 14.23

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	ACK_NON_ACK_REGIME	Режим обработки распределенных прерываний: с подтверждениями или без них. Если <i>i</i> разряд регистра установлен в '0', то для <i>i</i> распределенного прерывания используется режим с подтверждениями, если в '1', то без подтверждений.	RD WR	0x00000000

14.4.22 Регистр CCODES_SPEC_REGIME

Назначение разрядов регистра CCODES_SPEC_REGIME приведено в Таблица 14.24.

Таблица 14.24

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
1:0	CODE_TYPE	Тип кода. Используется при работе с полем ISR_1101.ISR_1101. Позволяет задать, какой из регистров ISR_11 или ISR_01 будет отображаться в это поле.	RD WR	0x0
2	CODE_HL	Признак младшей / старшей половины регистра. Данное поле используется при работе с полями INTER_HANDLER_TERM_FUNCT.INTER_HANDLER_TERM_FUNCT, ISR_SOURCE_TERM_FUNCT.ISR_SOURCE_TERM_FUNCT, ISR_1101.ISR_1101. Если данное поле установлено в 0, то в эти поля отображается младшая половина соответствующего регистра, если 1 - то старшая половина соответствующего регистра. Например, если данное поле установлено в 0, то в поле INTER_HANDLER_TERM_FUNCT.INTER_HANDLER_TERM_FUNCT отображается младшая половина INTER_HANDLER_TERM_FUNCT.	RD WR	0x0
8:3	CODE_NUM	Номер кода. В данном поле задается номер кода, назначение которого не определено стандартом, для которого в поле CCODES_SPEC_REGIME.LAST_PORT будет отображаться порт, из которого он пришел. Например, если нужно определить из какого порта последний раз поступил код 11_000001, в это поле должно быть записано значение 000001.	RD WR	0x00
13:9	LAST_PORT	Последний номер порта. Номер порта, из которого был принят последний на текущий момент времени код.	RD	0x00
31:14	-	Не используется.	RD	0x00000

14.4.23 Регистр SPEC_ISR_REGIME

Назначение разрядов регистра SPEC_ISR_REGIME приведено в Таблица 14.25.

Таблица 14.25

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	SPEC_ISR_REGIME	<p>Поле флагов автоматической отправки подтверждения. В зависимости от значения поля CCODES_SPEC_REGIME.CODE_HL этот регистр отображается на старшую или младшую половину 64-х разрядного регистра SPEC_ISR_REGIME. <i>i</i> разряд 64-х разрядного регистра SPEC_ISR_REGIME соответствует коду распределенного прерывания / подтверждения с номером <i>i</i>. Если <i>i</i> разряд этого регистра установлен в 1, и данное устройство является обработчиком для <i>i</i> кода распределенного прерывания (в соответствующем разряде поля INTER_HANDLER_TERM_FUNC.INTER_HANDLER_TERM_FUNC установлена 1), то после приема очередного корректного INTR_{<i>i</i>} и истечения для него таймаута Th, заданного в поле DIST_INTS_TOUTS2.LOC_COU_VAL_TH будет выполнена автоматическая отправка кода подтверждения в сеть.</p>	RD WR	0x00000000

14.4.24 Регистр INTER_HANDLER_TERM_FUNCT

Назначение разрядов регистра INTER_HANDLER_TERM_FUNCT приведено в Таблица 14.26.

Таблица 14.26

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	INTER_HANDLER_TERM_FUNCT	Флаги-признаки обработчика для распределенных прерываний. Если i разряд регистра установлен в '1', то для INTR i данный терминальный узел является обработчиком распределенного прерывания. При обработке кода прерывания/подтверждения для него отсчитывается таймаут, соответствующий функции обработчика.	RD WR	0x00000000

14.4.25 Регистр ISR_SOURCE_TERM_FUNCT

Назначение разрядов регистра ISR_SOURCE_TERM_FUNCT приведено в Таблица 14.27.

Таблица 14.27

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	ISR_SOURCE_TERM_FUNCT	Флаги-признаки источника для распределенных прерываний. Если i разряд регистра установлен в '1', то для INTR i данный терминальный узел является источником распределенного прерывания.	RD WR	0x00000000

14.4.26 Регистр ISR_TOUTS_FLS_L

Назначение разрядов регистра ISR_TOUTS_FLS_L приведено в Таблица 14.28.

Таблица 14.28

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	ISR_TOUTS_FLS_L	Младшая половина регистра флагов таймаутов. Запись 1 в это поле приводит к его сбросу. Запись 1 в это поле приводит к его сбросу. Если i разряд установлен в '1', то истек таймаут для кода i .	RD WR	0x00000000

14.4.27 Регистр ISR_TOUTS_FLS_H

Назначение разрядов регистра ISR_TOUTS_FLS_H приведено в Таблица 14.29.

Таблица 14.29

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	ISR_TOUTS_FLS_H	Старшая половина регистра флагов таймаутов. Запись 1 в это поле приводит к его сбросу. Запись 1 в это поле приводит к его сбросу. Если i разряд установлен в '1', то истек таймаут для кода i .	RD WR	0x00000000

14.4.28 Регистр ISR_1101

Назначение разрядов регистра ISR_1101 приведено в Таблица 14.30.

Таблица 14.30

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	ISR_1101	Значение регистра ISR для управляющих кодов, назначение которых не определено стандартом. В зависимости от значений поля CCODES_SPEC_REGIME.CODE_TYPE в этот регистр отображается регистр флагов приема управляющих кодов CC11 (ISR_11) или управляющих кодов CC01 (ISR_01). Если CCODES_SPEC_REGIME.CODE_TYPE = 0, то в этот регистр отображается ISR_01, в противном случае - ISR_11. В зависимости от значения поля CCODES_SPEC_REGIME.CODE_HL в него отображается старшая или младшая половина этого регистра. Если CCODES_SPEC_REGIME.CODE_HL = 0, то отображается младшая половина, в противном случае - старшая половина.	RD WR	0x00000000

14.4.29 Регистр EXTERNAL_RESET_PARAMETERS

Назначение разрядов регистра EXTERNAL_RESET_PARAMETERS приведено в Таблица 14.31.

Таблица 14.31

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
15:0	INT_RES_GLOB_COU	Значение глобального счетчика периода для команды удаленного сброса. Режим подсчета таймаута задается в поле EXTERNAL_RESET_PARAMETERS.INT_RES_MODE	RD WR	0x0000
21:16	INT_RES_LOC_COU	Значение локального счетчика периода для команды удаленного сброса. Подсчет локального периода таймаута запускается каждый раз при получении INTR0. Если после этого до истечения таймаута была получена последовательность кодов INTA0 - INTR0 - INTA0 - INTR0, то это является признаком получения команды удаленного сброса.	RD WR	0x00
30:22	RST_AFTER_COU	Значение периода времени между получением команды удаленного сброса и фактическим сбросом устройства. Задается в тактах локальной частоты.	RD WR	0x000
31	INT_RES_MODE	Режим подсчета глобального периода для команды удаленного сброса. Если данное поле установлено в значение 0, то подсчет таймаута осуществляется в тактах локальной частоты, если в 1 - то в мкс.	RD WR	0x0

14.4.30 Регистр SPW_STATUS

Назначение разрядов регистра SPW_STATUS приведено в Таблица 14.32.

Таблица 14.32

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
0	DC_ERR	Признак ошибки рассоединения. Запись 1 в это поле приводит к его сбросу.	RD WR	0x0
1	P_ERR	Признак ошибки паритета. Запись 1 в это поле приводит к его сбросу.	RD WR	0x0
2	ESC_ERR	Признак ошибки escape последовательности. Запись 1 в это поле приводит к его сбросу.	RD WR	0x0
3	CREDIT_ERR	Признак ошибки кредитования. Запись 1 в это поле приводит к его сбросу.	RD WR	0x0
6:4	BDS_STATE	Текущее состояние порта SpaceWire. Значение 000 - ErrorReset 001 - ErrorWait 010 - Ready 011 - Started 100 - Connecting 101 - Run Остальные возможные коды не используются.	RD	0x0
7	BUF_FULL	Признак того, что приемный буфер порта SpaceWire полон.	RD	0x0
8	BUF_EMPTY	Признак того, что приемный буфер порта SpaceWire пуст.	RD	0x1
9	DISC_D_SpW	Признак отсутствия физического канала на линии D. Если LVDS включен, то 1 означает отсутствие физического подключения. Используется только для SpW портов.	RD	0x0
10	DISC_S_SpW	Признак отсутствия физического канала на линии S. Если LVDS включен, то 1 означает отсутствие физического подключения. Используется только для SpW портов.	RD	0x0
11	LVDS_D_IN	LVDS_D_IN Если SPW_MODE.LVDS_CONTROL установлено в значение '1', то значение с LVDS D отображается в этом поле.	RD	0x0
12	LVDS_S_IN	LVDS_S_IN Если SPW_MODE.LVDS_CONTROL установлено в значение '1', то значение с LVDS S отображается в этом поле.	RD	0x0
20:13	ARB_TOUT_ADDR	Последнее значение адреса пакета, для которого истек таймаут арбитража. Если включен режим арбитража и контроллер входного порта запрашивает выходные порты в течении таймаута арбитража и так и не получает грант на их использование, то данный пакет стирается, а его адрес сохраняется в этом поле.	RD	0x00
31:21	-	Не используется.	RD	0x000

14.4.31 Регистр SPW_MODE

Назначение разрядов регистра SPW_MODE приведено в Таблица 14.33.

Таблица 14.33

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
0	LINKDISABLED	LinkDisabled. Значение данного разряда подается на вход LinkDisabled порта. Если данный разряд установлен в '1', то работа порта запрещена.	RD WR	0x1
1	AUTOSTART	AutoStart. Значение данного разряда подается на вход AutoStart порта. Если данный разряд установлен в '1', то разрешена работа в режиме AutoStart.	RD WR	0x0
2	LINKSTART	LinkStart. Значение данного разряда подается на вход LinkStart порта. Если данный разряд установлен в '1', то разрешена работа в режиме LinkStart.	RD WR	0x0
3	BDS_RESET	синхронный сброс порта SpW.	RD WR	0x1
4	CODEC_LOOPBACK	CODEC LOOPBACK. Если данный разряд установлен в '1', то включен режим петли обратной связи, расположенной перед блоком кодирования и декодирования символов порта.	RD WR	0x0
5	LVDS_LOOPBACK	LVDS LOOPBACK. Если данный разряд установлен в '1', то включен режим петли обратной связи, расположенной перед LVDS.	RD WR	0x0
6	RX_SINGLE	В данной версии не используется.	RD WR	0x0
7	TX_SINGLE	В данной версии не используется.	RD WR	0x0

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
8	BUF_MODE	Режим буферизации. Если данное поле установлено в значение 0, то используется режим без буферизации, если в 1 - то используется режим с буферизацией. При использовании режима без буферизации, если в приемном буфере порта находится заголовок пакета, он сразу может быть обработан в контроллере порта: определено множество выходных портов и установлены каналы передачи через коммутационную матрицу. Далее пакет передается в соответствующие выходные порты по мере его поступления во входной порт. Если установлен режим с буферизацией, заголовок пакета начинает обрабатываться только после того, как пакет целиком принят в приемный буфер или приемный буфер полон (в случае, если длина пакета превышает размер буфера.) Режим с буферизацией рекомендуется использовать в случае, если скорость в порту, по которому осуществляется прием пакета существенно ниже скорости в порту, в который осуществляется передача.	RD WR	0x0
9	AUTO_SPEED_MODE	режим установки соединения. Если данное поле установлено в значение 0, то установка соединения осуществляется под управлением встроенного ПО, если данный разряд установлен в значение 1 - то под управлением автомата установки соединения	RD WR	0x0
18:10	KOEFF_10_LOCAL	coeff_10_local Коэффициент локальной частоты должен быть задан равным [локальная частота / 10], например, если локальная частота = 125МГц, то коэффициент локальной частоты должен быть установлен в значение 12. Локальная частота, это частота, подаваемая на блок GigaSpWR.	RD WR	0x00D

14.4.32 SPW_TX_SPEED

Назначение разрядов регистра SPW_TX_SPEED приведено в Таблица 14.34.

Таблица 14.34

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
7:0	TX_SPEED	Коэффициент скорости передачи. Определяет скорость передачи данных (в режиме авто установки скорости используется как базовое значение после установки соединения), Мбит/с: 0x01 - 5; 0x02 – 10; 0x4F – 395; 0x50 – 400.	RD WR	0x02
8	PLL_TX_EN	Управление работой PLL_TX_SWIC: 1 – работа разрешена; 0 – работа запрещена. PLL_TX_SWIC находится в режиме пониженного энергопотребления	RD WR	0x0
9	LVDS_EN	Управление работой приемопередатчиков LVDS SWIC: 1 – работа разрешена; 0 – работа запрещена. LVDS SWIC находятся в режиме пониженного энергопотребления	RD WR	0x0
17:10	TX_SPEED10	Коэффициент скорости передачи, соответствующий 10Мбит/с Определяет скорость передачи данных при установке соединения (в режиме авто установки скорости). Должен быть записан код 0x02	RD WR	0x02
19:18	-	В данной версии не используется	RD WR	0x0
20	PLL_TX_EN_10	Управление работой PLL_TX_SWIC при восстановлении соединения: 1 – работа разрешена; 0 – работа запрещена. PLL_TX_SWIC находится в режиме пониженного энергопотребления Значения и должны быть одинаковыми	RD WR	0x0
21	LVDS_EN_10	Управление работой приемопередатчиков LVDS SWIC при восстановлении соединения: 1 – работа разрешена; 0 – работа запрещена. LVDS SWIC находятся в режиме пониженного энергопотребления Значения и должны быть одинаковыми	RD WR	0x0
31:22	-	Не используется.	RD	0x000

14.4.33 Регистр SPW_RX_SPEED

Назначение разрядов регистра SPW_RX_SPEED приведено в Таблица 14.35.

Таблица 14.35

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
9:0	RX_SPEED	Скорость приема. В данный регистр отображается оценочное значение скорости приема по соответствующему порту. Скорость определяется в соответствии с количеством символов SpW, поступивших из канала в единицу времени.	RD	0x000
31:10	-	Не используется.	RD	0x000000

14.4.34 Регистр ADG

Назначение разрядов регистра ADG приведено в таблице Таблица 14.36

Таблица 14.36

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
6:0	ADG	Вектор адаптивной групповой маршрутизации. i разряд данного поля соответствует i порту. Если данный разряд установлен в 1, то i порт может быть использован в качестве выходного, если пакет адресован в порт, соответствующий данному регистру. Если в регистре несколько разрядов установлено в 1, то пакет потенциально может быть отправлен в любой из множества этих портов. В этом случае среди данного множества портов выбирается подмножество, по которому в данный момент установлено соединение. Если оно пусто, то пакет стирается. В противном случае в подмножестве выбирается следующее подмножество портов, которые в текущий момент не заняты передачей пакетов. Если это подмножество пусто, то выполняется ожидание, пока хотя бы один порт не освободится. Если оно не пусто, то из него случайным образом выбирается один порт, в который и осуществляется передача пакета (никакой из портов, в частности порт, номер которого соответствует номеру регистра, не имеет преимуществ при этом выборе).	RD WR	0x00
31:10	-	Не используется.	RD	0x000000

14.5 Прерывания, формируемые коммутатором

Коммутатор GigaSpWR формирует следующие прерывания, описание которых сведено в Таблица 14.37.

Таблица 14.37

Условное обозначение	Причина	Примечание
LINK	Прерывание по факту установки соединения в порту SpW	В регистре STATE_R.PORT_CONNECTED указан порт (порты), по которым произошла установка соединения.
ERR	Прерывание по факту разрыва соединения в порту SpW	В регистре STATE_R.PORT_ERRORED указан порт (порты), по которым произошел разрыв соединения. Причина разрыва соединения может быть определена по регистру SPW_STATUS соответствующего порта.
TIME	Прерывание по факту приема маркера времени	<p>Данное прерывание устанавливается при приеме корректного маркера времени из любого порта. Маркер времени считается корректным, если его значение на 1 больше предыдущего принятого маркера времени (по модулю 64). Значение маркера времени может быть прочитано из поля CUR_TIME.TRUE_TIME.</p> <p>Для того, чтобы сбросить данное прерывание, необходимо записать 1 в STATE_R.GOT_TIME.</p> <p>Для того, чтобы замаскировать данное прерывание необходимо записать 0 в RISC_IRQ_MASK.IRQ_TIME_MASK. По умолчанию данное прерывание замаскировано.</p>

Условное обозначение	Причина	Примечание
INT_ACK	<p>Прерывание по факту приема кода распределенного прерывания, подтверждения, по факту истечения таймаутов, с ними связанных</p>	<p>Данное прерывание устанавливается при приеме корректного кода распределенного прерывания или подтверждения, по приему команды сброса от удаленного администратора, по истечении одного из таймаутов, заданных для распределенных прерываний.</p> <p>Для того, чтобы определить какая из этих причин привела к установке прерывания необходимо прочитать поля регистра STATE_R: если STATE_R.GOT_INT = 1 – был принят код распределенного прерывания, если STATE_R.GOT_ACK = 1 – был принят код подтверждения, если STATE_R.INT_RST=1 была принята команда сброса от удаленного администратора. Если ни один из этих флагов не установлен, значит причиной прерывания является истечение таймаутов. Для того, чтобы сбросить прерывание по причине, не связанной с таймаутами, необходимо записать в соответствующее поле регистра STATE_R.</p> <p>Для того, чтобы определить, номер прерывания, для которого сработал таймаут, необходимо прочитать ISR_TOUTS_FLS_L,H. Для сброса прерывания по факту истечения таймаута необходимо записать 1 в установленные в 1 разряды этого регистра.</p> <p>Для того, чтобы определить, какой был принят код распределенного прерывания или подтверждения необходимо выполнить чтение регистра ISR_L,H и сравнить его со значением, полученным в результате предыдущего чтения.</p> <p>Для маскирования прерывания по всем заданным причинам необходимо RISC_IRQ_MASK.IRQ_IA_CODE_GLOBAL_MASK установить в значение 0. Для маскирования прерывания по факту приема кода распределенного прерывания необходимо RISC_IRQ_MASK.IRQ_INT_MASK, для маскирования прерывания по факту приема кода подтверждения необходимо RISC_IRQ_MASK.IRQ_ACK_MASK установить в значение 0. Для маскирования прерывания по приему команды сброса от удаленного администратора необходимо RISC_IRQ_MASK.IRQ_INT_RST_MASK установить в значение 0. Для маскирования прерывания по факту истечения одного из таймаутов необходимо RISC_IRQ_MASK.IRQ_ISR_TOUTS_MASK установить в значение 0. По умолчанию данное прерывание замаскировано.</p>

Условное обозначение	Причина	Примечание
C01_C11	Прерывание по факту приема управляющего кода, назначение которого не определено стандартом	<p>Данное прерывание устанавливается при приеме управляющего кода, назначение которого не определено стандартом (C01 или C11) из любого порта SpFi. Значение маркера времени может быть прочитано из поля CUR_TIME.TRUE_TIME.</p> <p>Если из сети принят код C01, устанавливается STATE_R.GOT_C01_CODE. Если из сети принят код C11, устанавливается STATE_R.GOT_C11_CODE.</p> <p>Для того, чтобы сбросить данное прерывание, необходимо записать 1 в STATE_R.GOT_C01_CODE или STATE_R.GOT_C11_CODE соответственно.</p> <p>Для того, чтобы замаскировать данное прерывание по приему C01 необходимо записать 0 в RISC_IRQ_MASK.IRQ_C01_MASK. Для того, чтобы замаскировать данное прерывание по приему C11 необходимо записать 0 в RISC_IRQ_MASK.IRQ_C11_MASK.</p>
ARB	Прерывание по факту истечения таймаута арбитража	<p>Данное прерывание устанавливается по истечении таймаута арбитража – времени ожидания предоставления требуемого выходного порта для передачи пакета. Прерывание является информативным, используется для системного администрирования. Пакет, для которого истек таймаут, стирается в контроллере входа порта автоматически.</p> <p>Для того, чтобы определить в каком входном порту истек данный таймаут, необходимо прочитать SW_DAT_TOUTS3.ARB_TOUT_FL. 1 разряд этого поля соответствует 1 порту. Запись 1 в этот разряд приводит к сбросу флага и позволяет отслеживать ситуации повторного истечения таймаута для других пакетов.</p> <p>Для сброса данного прерывания необходимо сбросить все флаги SW_DAT_TOUTS3.ARB_TOUT_FL.</p> <p>Для того, чтобы замаскировать данное прерывание необходимо записать 0 в RISC_IRQ_MASK.IRQ_TARB_MASK. По умолчанию данное прерывание замаскировано.</p>

Условное обозначение	Причина	Примечание
NCHAR_SEN D	Прерывание по факту истечения таймаута ожидания отправки очередного символа данных	<p>Прерывание по факту истечения таймаута отправки очередного символа в сеть. Данное прерывание позволяет отследить ситуацию, когда в сети при установленном соединении невозможно передавать данные. Это может быть следствием каких-либо сбоев в управлении процессом передачи пакетов в соседнем узле. При возникновении этого прерывания рекомендуется выполнить сброс соединения в порту, для которого возникло это прерывание.</p> <p>Для того, чтобы определить для какого именно порта истек таймаут, необходимо прочитать SW_DAT_TOUTS3.DT_TOUT_FL. I разряд данного поля соответствует I порту. Запись 1 в I разряд приводит к его сбросу.</p> <p>Для того, чтобы сбросить данное прерывание, необходимо записать 1 во все установленные разряды SW_DAT_TOUTS3.DT_TOUT_FL.</p> <p>Для того, чтобы замаскировать данное прерывание необходимо записать 0 в RISC_IRQ_MASK.IRQ_TSEND_MASK. По умолчанию данное прерывание замаскировано.</p>
NCHAR_REC	Прерывание по факту истечения таймаута ожидания приема очередного символа данных.	<p>Прерывание по факту истечения таймаута ожидания приема очередного символа из сети (пакет начал приниматься и почему-то прекратилась передача без разрыва соединения). Данное прерывание позволяет отследить ситуацию, когда в сети при установленном соединении невозможно передавать данные. Это может быть следствием каких-либо сбоев в управлении процессом передачи пакетов в соседнем узле. При возникновении этого прерывания рекомендуется выполнить сброс соединения в порту, для которого возникло это прерывание.</p> <p>Для того, чтобы определить для какого именно порта истек таймаут, необходимо прочитать SW_DAT_TOUTS3.DR_TOUT_FL. I разряд данного поля соответствует I порту. Запись 1 в I разряд приводит к его сбросу.</p> <p>Для того, чтобы сбросить данное прерывание, необходимо записать 1 во все установленные разряды SW_DAT_TOUTS3.DR_TOUT_FL.</p> <p>Для того, чтобы замаскировать данное прерывание необходимо записать 0 в RISC_IRQ_MASK.IRQ_TRES_MASK. По умолчанию данное прерывание замаскировано.</p>

14.6 Рекомендации по использованию таймаутов

Для обеспечения защиты от сбоев и отказов, которые могут происходить в других устройствах сети, предусматриваются следующие механизмы таймаутов обработки пакетов данных (включение/отключение механизмов выполняется программно):

Таймаут арбитража

Таймаут ожидания приема очередного символа пакета

Таймаут ожидания отправки очередного символа пакета (ожидания приема FCT)

14.6.1 Таймаут арбитража

Вследствие того, что выходной порт (один из выходных портов, в которые должен быть передан широковещательный пакет) в течении долгого времени занят передачей другого пакета или по нему отсутствует соединение (при этом LINKDISABLED = 0), пакет может быть заблокирован на выходе из контроллера порта. В такой ситуации пакет по истечении таймаута будет уничтожен. Это позволит исключить блокировку пакетов, которые поступают в этот же порт коммутатора и участка сети, подключенного к этому порту коммутатора соответственно.

14.6.2 Таймаут приема очередного символа пакета

В ходе приема пакета очень долго не поступает следующий символ пакета. То есть был получен, по крайней мере один символ данных после приема символа конца пакета или после установки соединения. После этого следующий символ данных ли символ конца пакета не поступает в течении очень долгого времени. Это может произойти, например, если канал сильно загружен управляющими символами или в случае какого-либо сбоя или отказа на передающей стороне. В этой ситуации по истечении времени таймаута в конец уже принятой части пакета будет добавлен символ ЕЕР (признак ошибочного конца пакета). Это позволит исключить блокировку канала коммутационной матрицы внутри коммутатора и участка сети, по которому будет передаваться пакет дальше. После истечения таймаута этого типа встроенное ПО может выполнить переустановку соединения по соответствующему порту (его программный сброс). В этом случае следующий пакет (первый пакет принятый после переустановки соединения) будет обработан штатным образом. Если переустановка соединения не была выполнена, то контроллер порта все последующие поступающие в него символы данных вплоть до символа конца пакета будет воспринимать как остаточную часть пакета, который начал приниматься до истечения таймаута. Эта остаточная часть будет уничтожена в контроллере порта. Если таймаут возник в результате преобразования символа конца пакета в какой-либо корректный символ, это приведет к тому, что пакет, следующий за данным пакетом (в ходе приема которого возник таймаут) будет уничтожен. Если в таком случае не используется механизм таймаутов, то пакеты «слипнутся», в результате второй пакет будет доставлен в качестве части первого в терминальный узел, которому был адресован первый пакет. В любом случае второй пакет не будет получен адресатом.

14.6.3 Таймаут передачи очередного символа пакета (3)

Очередной символ пакета очень долго не удастся передать через порт назначения. Эта ситуация может возникнуть, если устройство, в которое передается пакет по какой-либо причине перестало слать FCT. Это позволит исключить блокировку входного порта, из которого осуществлялась передача пакета и участка сети, подключенного к этому входному порту. По истечении времени таймаута оставшийся непреданным остаток пакета уничтожается, программно осуществляется сброс порта и контроллера порта, для которого возник данный таймаут. Таймауты 2 и 3 являются логически связанными. Если выполняется соединение двух коммутаторов, в которых поддерживаются оба таймаута, например, порт I первого из коммутаторов соединяется с портом J второго коммутатора, то для контроллеров портов I и J можно включить или таймаут 2 или таймаут 3. Однако в тех случаях, когда коммутатор соединяется с устройством, которое не поддерживает этих таймаутов, может возникнуть необходимость в использовании обоих режимов.

14.7 Работа с портами SpaceWire и GigaSpaceWire

В этой главе описывается формирование пакетов данных в памяти для передачи в канал SpaceWire, формат пакетов данных, дескрипторов, передача данных из памяти в канал SpaceWire, прием данных из канала SpaceWire в память, интерпретирование принятых данных, настройки портов SpaceWire и коммутатора, обеспечивающие установку соединения по каналам SpaceWire и прием/передачу данных и управляющих кодов (маркеров времени, кодов распределенных прерываний и подтверждений).

При работе с GigaSpWR необходимо учитывать, что порты SpaceWire (и GigaSpaceWire) подключены к блоку маршрутизирующего коммутатора, реализующего сетевой уровень стандарта SpaceWire, через который и осуществляется обмен данными с DMA. DMA подключен к порту 0 маршрутизирующего коммутатора (так же называется конфигурационным портом), порты SpaceWire подключены к портам 1 и 2 маршрутизирующего коммутатора. В соответствии с этим для обеспечения приема/передачи данных необходимо выполнить настройки портов SpaceWire, блока коммутатора и DMA.

14.7.1 Настройки DMA для приема данных из канала SpaceWire

Для приёма пакетов принимающей стороне необходимо:

1. Остановить каналы DMA на приём.
 - a. `RX_DESC.RUN.RUN = "0"`.
 - b. `RX_DATA.RUN.RUN = "0"`.
2. Выделить области памяти для приёма.
 - a. Пакетов.
 - b. Дескрипторов.
3. Настроить каналы DMA на приём.
 - a. `RX_DESC.CSR.WCX` = размер области дескрипторов в 64-разрядных словах. Если необходимо, то и другие биты.
 - b. `RX_DESC.IR` = физический адрес начала области дескрипторов.
 - c. `RX_DATA.CSR.WCX` = размер области пакетов в 64-разрядных словах. Если необходимо, то и другие биты.
 - d. `RX_DATA.IR` = физический адрес начала области пакетов.
4. Запустить каналы DMA на приём.
 - a. `RX_DESC.RUN.RUN = "1"`.
 - b. `RX_DATA.RUN.RUN = "1"`.

После заполнения всей области пакетов, установятся:

1. `RX_DATA.CSR.END = "1"`.
2. `RX_DATA.CSR.WCX = "0xFFFF"`.
3. В `QSTR0.DMA_gSpWR` прерывание (если оно размаскировано в `RX_DATA.CSR.IM`) о завершении области данных на приём.

После заполнения всей области дескрипторов, установятся:

1. `RX_DESC.CSR.END = "1"`.
2. `RX_DESC.CSR.WCX = "0xFFFF"`.
3. В `QSTR0.DMA_gSpWR` прерывание (если оно размаскировано в `RX_DESC.CSR.IM`) о завершении области дескрипторов на приём.

14.7.2 Настройки DMA для передачи данных в канал SpaceWire

Для передачи пакетов передающей стороне необходимо:

1. Остановить каналы DMA на передачу.
 - a. TX_DESC.RUN.RUN = "0".
 - b. TX_DATA.RUN.RUN = "0".
2. Выделить области памяти для передачи.
 - a. Пакетов. Заполнить область пакетами.
 - i. Приём пакетов внутрь gspwr возможен только через его конфигурационный порт. Для этого в передаваемом пакете адрес должен быть записан так, чтобы на порт gspwr пакет пришёл с первым байтом "0" (адрес конфигурационного порта).
 - b. Дескрипторов. Заполнить область дескрипторами.
3. Настроить каналы DMA на передачу.
 - a. TX_DESC.CSR.WCX = размер области дескрипторов в 64-разрядных словах. Если необходимо, то и другие биты.
 - b. TX_DESC.IR = физический адрес начала области дескрипторов.
 - c. TX_DATA.CSR.WCX = размер области пакетов в 64-разрядных словах. Если необходимо, то и другие биты.
 - d. TX_DATA.IR = физический адрес начала области пакетов.
4. Запустить каналы DMA на передачу.
 - a. TX_DESC.RUN.RUN = "1".
 - b. TX_DATA.RUN.RUN = "1".

После завершения передачи пакетов из всей области данных, установятся:

1. TX_DATA.CSR.END = "1".
2. TX_DATA.CSR.WCX = "0xFFFF".
3. В QSTR0.DMA_gSpWR прерывание (если оно размаскировано в TX_DATA.CSR.IM) о завершении области данных на передачу.

После завершения передачи дескрипторов из всей области дескрипторов, установятся:

1. TX_DESC.CSR.END = "1".
2. TX_DESC.CSR.WCX = "0xFFFF".
3. В QSTR0.DMA_gSpWR прерывание (если оно размаскировано в TX_DESC.CSR.IM) о завершении области дескрипторов на передачу.

14.7.3 Схема расположения пакетов в памяти, выравнивание границ пакетов по границам слов

Расположение пакетов данных в памяти иллюстрируется на Рисунок 14.1. На данном рисунке представлена схема для принимаемых из сети данных, для данных, отправляемых в сеть, используется же схема. В памяти выделяется два сегмента:

- для принимаемых данных
- для дескрипторов принятых пакетов

Эти сегменты могут располагаться в памяти в произвольном порядке, но не должны перекрываться.

Дескриптор каждого пакета занимает одно 64-х битное слово (формат дескриптора будет рассмотрен далее). Данные пакетов располагаются в памяти с выравниванием по границам 32-х разрядных слов.

Рассмотрим выравнивание пакетов данных на примере. Если очередное слово данных сформировано не полностью (действительными данными заполнено менее 4-х байта слова), а следующий символ в последовательности – символ конца пакета, то заполнение данного слова прекращается. Первый символ следующего пакета будет записан в первый байт нового слова. Действительный размер пакета в байтах записывается в дескриптор пакета. Это позволяет процессору при обработке пакета исключить из рассмотрения “лишние” байты – байты, добавленные для выравнивания пакетов по границам слов. В дескриптор заносится также информация о типе конца пакета (нормальный конец пакета – EOP, или признак завершения пакета с ошибкой – EEP).

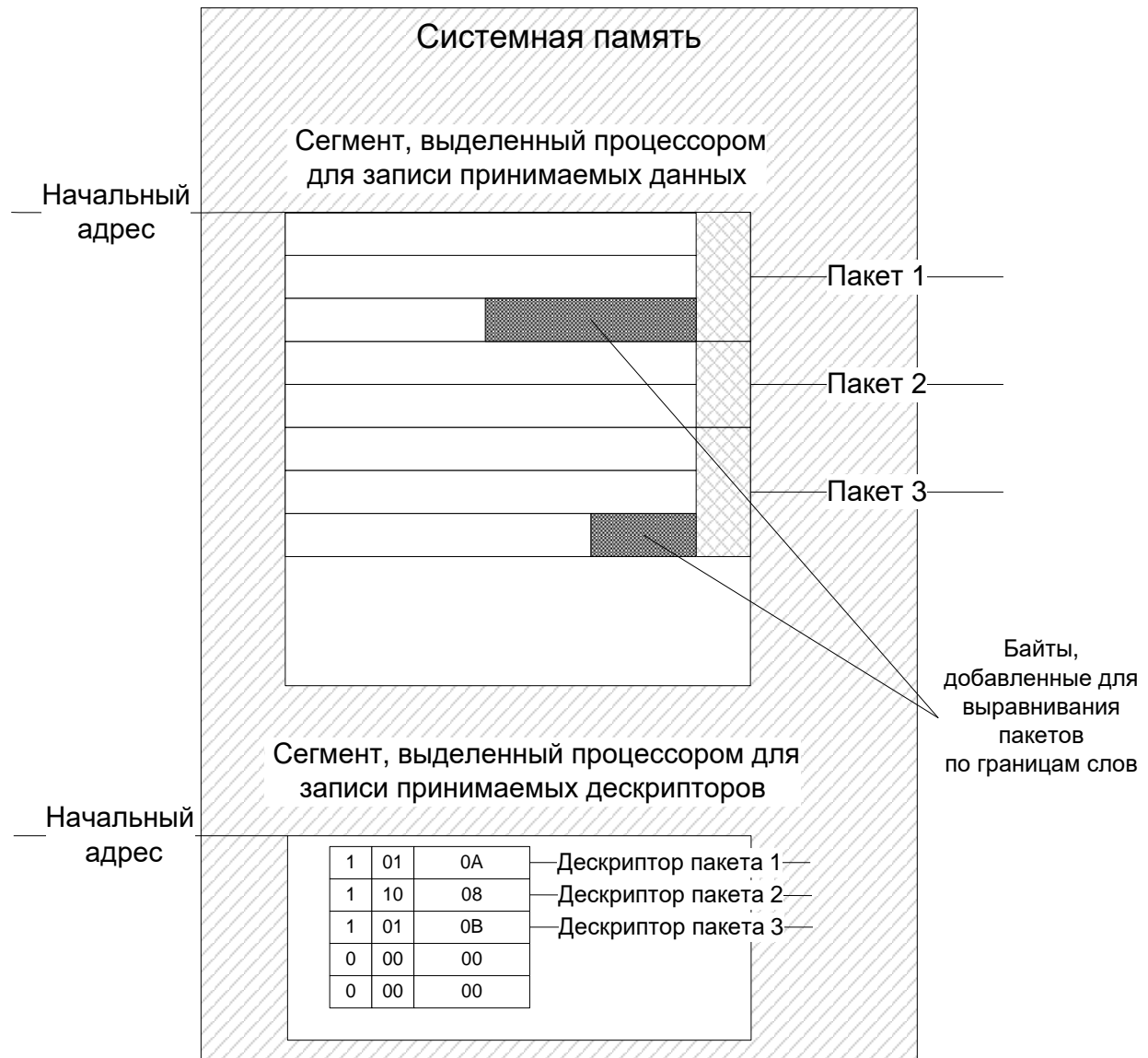


Рисунок 14.1. Представление данных в памяти (пример)

14.7.4 Формат дескриптора пакета

Формат дескриптора пакета (передающегося и принятого) показан Таблица 14.38.

Таблица 14.38

Номер бита	Описание
63:39	Не используются
38:32	Маска портов, в которые надо передать пакет
31	Признак заполнения дескриптора действительными данными. Бит учитывается только при приёме пакетов (позволяет процессору идентифицировать конец очереди дескрипторов в памяти). При передаче пакетов этот бит не учитывается (DMA вычитывает всю область дескрипторов, заданную процессором). До запуска приёма, все 31-е биты дескрипторов области приёма должны быть обнулены программно; DMA не обнуляет 31-е биты не принятых дескрипторов, DMA только записывает '1' в 31-е биты принятых дескрипторов
30:29	Тип конца пакета (01 – EOP; 10 – EEP)

Таблица 14.39. Соответствие старшего слова дескриптора передаваемого пакета портам коммутатора

Старшее слово дескриптора передаваемого пакета	Номер порта в который отправляется пакет
0x00000001	Conf port
0x00000002	swc0
0x00000004	swc1
0x00000006	пакет будет передан в порты swc0 и swc1

Таблица 14.40. Формат старшего слова дескриптора принятого пакета

Номер бита	Описание
63:35	Не используются
34:32	Номер порта, по которому принят пакет

При приеме данных в старшем слове дескриптора принимаемого пакета задан порт из которого был принят пакет. Соответствие старшего слова дескриптора принятого пакета к портам коммутатора показано в таблице ниже.

Таблица 14.41. Соответствие старшего слова дескриптора принятого пакета портам коммутатора

Старшее слово дескриптора принятого пакета	Номер порта из которого принят пакет
0x00000000	Conf port
0x00000001	swc0
0x00000002	swc1

14.7.5 Маркеры времени

Маркеры времени - системная функция стандарта SpaceWire. Они предназначены для синхронизации системных часов взаимодействующих систем.

При передаче данных маркеры времени имеют наивысший приоритет. Корректным признается маркер времени на 1 больше (по модулю 64), чем предыдущий.

Не корректные маркеры времени далее в сеть не передаются, но сохраняются в CUR_TIME.CUR_TIME. После установки соединения маркер времени со значения 1 рассматривается как корректный.

Блок gspwr имеет один общий регистр CCODE_OUT на все свои порты.

На передающей стороне маркер времени записывается в CCODE_OUT.CCODE_OUT (разряды 7:6 – "00", разряды 5:0 – значение кода времени). Если CCODE_OUT.TX_PORTS_FL = "1", то отправка будет в порты, указанные в CCODE_OUT.TX_PORTS. Если CCODE_OUT.TX_PORTS_FL = "0", то отправка будет во все порты, по которым есть соединение. В CUR_TIME.CUR_TIME должно прописаться значение CCODE_OUT.CCODE_OUT. Если маркер времени корректный, то в CUR_TIME.TRUE_TIME должно прописаться значение CCODE_OUT.CCODE_OUT.

На приёмной стороне в CUR_TIME.CUR_TIME должно прописаться значение CCODE_OUT.CCODE_OUT передающей стороны. Если маркер времени корректный, то в CUR_TIME.TRUE_TIME должно прописаться значение CCODE_OUT.CCODE_OUT передающей стороны. Также должны установиться: STATE_R.GOT_TIME = "1".

14.7.6 Коды распределенных прерываний

При передаче коды прерываний имеют приоритет, следующий после маркеров времени.

Блок gspwr имеет один общий регистр CCODE_OUT на все свои порты.

Блок gspwr имеет один общий регистр ISR на все свои порты.

На передающей стороне код прерывания записывается в CCODE_OUT.CCODE_OUT (для 6-битных кодов разряды 7:6 – "01", разряды 5:0 – номер прерывания) (для 5-битных кодов разряды 7:5 – значение MODE_R(для spfmic4)/MODE_R1 (для gspwr). RISC_INT_CODES, разряды 4:0 – номер прерывания). Если CCODE_OUT.TX_PORTS_FL = "1", то отправка будет в порты, указанные в CCODE_OUT.TX_PORTS. Если CCODE_OUT.TX_PORTS_FL = "0", то отправка будет во все порты, по которым есть соединение. Если разряд прерывания в регистре ISR равен "0", то прерывание будет отправлено в порты. Разряд прерывания в регистре ISR установится в "1". Разряды 7:5 должны соответствовать RISC_INT_CODES. Код начинает отправляться в порты через 2 такта после записи в этот регистр

На приёмной стороне прерывание будет принято, если разряд прерывания в регистре ISR равен "0". При приёме должны установиться:

1. Разряд прерывания в регистре ISR = "1".
2. STATE_R.GOT_INT = "1"

14.7.7 Коды подтверждения распределенных прерываний

При передаче коды подтверждений имеют приоритет, следующий после прерываний.

Блок gspwr имеет один общий регистр CCODE_OUT на все свои порты.

Блок gspwr имеет один общий регистр ISR на все свои порты.

На передающей стороне код подтверждения записывается в CCODE_OUT.CCODE_OUT (для 6-битных кодов разряды 7:6 – "10", разряды 5:0 – номер прерывания) (для 5-битных кодов разряды 7:5 – значение MODE_R(для spfmic4)/MODE_R1(для gspwr).RISC_ACK_CODES, разряды 4:0 – номер прерывания). Если CCODE_OUT.TX_PORTS_FL = "1", то отправка будет в порты, указанные в CCODE_OUT.TX_PORTS. Если CCODE_OUT.TX_PORTS_FL = "0", то отправка будет во все порты, по которым есть соединение. Если разряд прерывания в регистре ISR равен "1", то подтверждение будет отправлено в порты. Разряд прерывания в регистре ISR установится в "0".

На приёмной стороне подтверждение будет принято, если разряд прерывания в регистре ISR равен "1". При приёме должны установиться:

1. Разряд прерывания в регистре ISR = "0".
2. STATE_R.GOT_ACK = "1".

14.7.8 Установка скорости передачи данных по портам SpaceWire

Управление скоростью передачи осуществляется посредством регистра SPW_TX_SPEED.

Если не установлен режим автоматического контроля скорости (разряд AUTO_SPEED_MODE регистра SPW_MODE), то установка скорости передачи осуществляется путем записи коэффициента скорости в разряды 9:0 регистра SPW_TX_SPEED. Этот коэффициент напрямую передается в TX_PLL. До установки соединения в эти разряды должен быть записан коэффициент, соответствующий скорости передачи 10 Мбит/с. После установки соединения в эти разряды регистра могут быть записаны другие значения (соответствующие скорости передачи от 2 до 400 МГц, в соответствии со стандартом SpaceWire). Если происходит разрыв соединения, то в этот регистр снова необходимо записать коэффициент, соответствующий 10 Мбит/с.

Если установлен режим автоматического контроля скорости, то до установки соединения на TX_PLL подается коэффициент TX_SPEED_10 из разрядов 19:10 регистра SPW_TX_SPEED. Он должен соответствовать 10 Мбит/с. После установки соединения на TX_PLL будет подаваться коэффициент из разрядов 9:0 регистра SPW_TX_SPEED. В эти разряды регистра могут быть записаны значения соответствующие скорости передачи от 2 до 400 МГц. При разрыве соединения переход на коэффициент TX_SPEED_10 выполняется автоматически, при повторной установке соединения переход на SPW_TX_SPEED так же выполняется автоматически.

14.7.9 Установка соединения по портам SpaceWire

Для разрешения процесса установки соединения необходимо записать "0" в разряд LINKDISABLED и "1" в разряд LINKSTART регистра режима работы SPW_MODE – для запуска канала.

Критерием успешного установления соединения является прохождение прерывания INT_LINK и отсутствие прерывания INT_ERR.

Соединение установлено успешно, если:

1. DS-макроячейка находится в состоянии Run (SPW_STATUS.BDS_STATE = "5").
2. STATE_R.PORT_CONNECTED = "1".
3. STATE_R.SpW_CONNECTED = "1".
4. STATE_R.SpW_errored = "0".
5. В QSTR0.gSpWR присутствует прерывание (если оно размаскировано в регистре RISC_IRQ_MASK) об установке соединения (INT_LINK).
6. В QSTR0.gSpWR отсутствует прерывание (если оно размаскировано в регистре RISC_IRQ_MASK) об разрыве соединения (INT_ERR).

После обнаружения прерывания INT_LINK, необходимо считать регистр STATUS и проверить биты DC_ERR, P_ERR, ESC_ERR, CREDIT_ERR на равенство «0». При выполнении этих условий - соединение с удаленной системой установлено.

Для активации функции пассивной установки соединения необходимо записать:

1. SPW_MODE.LINKDISABLED = "0".
2. SPW_MODE.LINKSTART = "0".
3. SPW_MODE.AUTOSTART = "1".

В этом случае DS-макроячейка будет ждать приёма первого NULL маркера. После приёма первого NULL маркера будет начата процедура установки соединения.

Для spw по стандарту SpaceWire установка соединения должна выполняться на скорости 10 Мбит/с. Вследствие этого, при разрыве соединения по порту spw необходимо установить скорость передачи равной 10 Мбит/с.

14.7.10 Разрыв соединения по портам SpaceWire

Для разрыва соединения необходимо записать:

1. SPW_MODE.LINKDISABLED = "1".

Соединение разорвано, если:

1. DS-макроячейка вышла из состояния Run (SPW_STATUS.BDS_STATE < "5").
2. STATE_R.SpW_CONNECTED = "0".
3. STATE_R.SpW_errored = "1".
4. В QSTR0.gSpWR прерывание (если оно размаскировано в регистре RISC_IRQ_MASK) о разрыве соединения (INT_ERR).

14.7.11 Определение скорости приема данных по портам SpaceWire

Оценка скорости приема выполняется при разрешенной работе канала и установленном соединении. Скорость приема данных отображается в регистре SPW_RX_SPEED. После установления соединения скорость должна составлять 10 ± 1 Мбит/с при этом регистр RX_SPEED[9:0] будет равен $0x0000000A \pm 1$ МЗР. Разряды регистра с 8 по 31 не используются и при чтении содержат 0.

14.7.12 Настройка блока маршрутизирующего коммутатора

Настройка блока маршрутизирующего коммутатора включает в себя настройку регистров адаптивной маршрутизации и настройку таблицы маршрутизации. Данные настройки определяют правила передачи данных между портами SpaceWire и DMA.

Должна быть выполнена настройка регистров адаптивной групповой маршрутизации (ADG), соответствующих портам SpaceWire: ADG(0)=0x2, ADG(1)=0x4.

Для таблицы маршрутизации должны быть выполнены следующие настройки:

ROUTE_TABLE(0)=0x101

ROUTE_TABLE(1)=0x102

ROUTE_TABLE(2)=0x104

(Строки 0 – 2обеспечивают путевуюмаршрутизацию.)

В строки 3 – 31 – должно быть записано значение 0, поскольку порты с 3 по 31 не используются.

Строки с 32 по 255 могут быть записаны в соответствии с используемыми в системе логическими и регионально-логическими адресами. В случае их неиспользования должны быть заполнены 0.

Например, если пакет с ЛА=35 входящий из порта SpaceWire, должен быть передан в DMA, ROUTE_TABLE(35)=0x001.

Если пакет с ЛА=36 входящий из порта SpaceWire, должен быть передан в DMA, ROUTE_TABLE(36)=0x101 (поскольку адрес регионально-логический, установлен бит отделения заголовка).

14.8 Инициализация GigaSpWR

14.8.1 Описание алгоритма инициализации

Для инициализации портов SpaceWire необходимо выполнить следующие действия:

- Настройка регистра MODE_R – установка значение коэффициента локальной частоты, настройка режима работы DMA и блока GigaSpWR.
- Настройка регистра MODE_R1 - режим обработки кодов распределенных прерываний при помощи CPU.
- Инициализация прерыванийю
- Настройка регистра RISC_IRQ_MASK
- Инициализация служебных регистров, описана в пункте 14.8.2.
- Настройка регистров адаптивной групповой маршрутизации.
- Настройка таблицы маршрутизации.
- Инициализация портов SpaceWire.
- Настройка DMA.

14.8.2 Описание инициализации служебных регистров

Для корректной работы блока gigaspwr необходимо провести настройку служебных регистров.

Последовательность действий для настройки служебных регистров:

1. Сохранить значение регистра RISC_IRQ_MASK
2. Записать значение 0x00000FFE в регистр RISC_IRQ_MASK
3. Записать следующие значения в соответствии с таблицей ниже.

Таблица 14.42

Физический адрес	Значение
0x182FA0c4	0x1D08
0x182FA114	0x128294
0x182FA0AC	0x02C83414
0x182FA0c8	0x1D08
0x182FA118	0x128294
0x182FA0B0	0x02C83414
0x182FA0CC	0x1D08
0x182FA11C	0x128294
0x182FA0B4	0x02C83414
0x182FA0D0	0x1D08
0x182FA120	0x128294
0x182FA0B8	0x02C83414

4. Ждем пока в регистре STATE_R взведутся биты 19,20,21,22 (маска 0x00780000)
5. Записываем в регистр STATE_R значение 0x00780000.
6. Записываем по адресу 0x182FA024 значение 0x00000fff.
7. Восстанавливаем значение регистра RISC_IRQ_MASK

14.8.3 Код программы инициализации служебных регистров

```

void setREGs() {
    asm("ADDI $29, -16");
    asm("SW    $2, 0x0($29)");
    asm("SW    $3, 0x4($29)");
    asm("SW    $4, 0x8($29)");
    asm("SW    $5, 0xC($29)");
    asm("NOP");
    asm("LI    $2, 0x182FA018");
    asm("LW    $3, 0x0($2)");
    asm("LW    $5, 0x0($2)");
    asm("ANDI   $3, $3, 0x00000FFE");
    asm("SW    $3, 0x0($2)");
// gigaspw0
    asm("LI    $2, 0x182FA0c4");
    asm("LI    $3, 0x1D08");
    asm("SW    $3, 0x0($2)");
    asm("LI    $2, 0x182FA114");
    asm("LI    $3, 0x128294");
    asm("SW    $3, 0x0($2)");
    asm("LI    $2, 0x182FA0AC");
    asm("LI    $3, 0x02C83414");
    asm("SW    $3, 0x0($2)");
// gigaspw1
    asm("LI    $2, 0x182FA0c8");
    asm("LI    $3, 0x1D08");
    asm("SW    $3, 0x0($2)");
    asm("LI    $2, 0x182FA118");
    asm("LI    $3, 0x128294");
    asm("SW    $3, 0x0($2)");
    asm("LI    $2, 0x182FA0B0");
    asm("LI    $3, 0x02C83414");
    asm("SW    $3, 0x0($2)");
// gigaspw2
    asm("LI    $2, 0x182FA0cc");
    asm("LI    $3, 0x1D08");
    asm("SW    $3, 0x0($2)");
    asm("LI    $2, 0x182FA11C");
    asm("LI    $3, 0x128294");
    asm("SW    $3, 0x0($2)");
    asm("LI    $2, 0x182FA0B4");
    asm("LI    $3, 0x02C83414");
    asm("SW    $3, 0x0($2)");
// gigaspw3
    asm("LI    $2, 0x182FA0D0");
    asm("LI    $3, 0x1D08");
    asm("SW    $3, 0x0($2)");
    asm("LI    $2, 0x182FA120");
    asm("LI    $3, 0x128294");
    asm("SW    $3, 0x0($2)");

    asm("LI    $2, 0x182FA0B8");
    asm("LI    $3, 0x02C83414");
    asm("SW    $3, 0x0($2)");

```



```
asm("NOP");
asm("LI    $2, 0x182FA014");
asm("LI    $3, 0x00780000");
asm("1:");
asm("LW    $4, 0x0($2)");
asm("AND   $4, $3");
asm("NOP");
asm("BNE   $4, $3, 1b");
asm("NOP");
asm("LI    $2, 0x182FA014");
asm("LI    $3, 0x00780000");
asm("SW    $3, 0x0($2)");
asm("LI    $2, 0x182FA024");
asm("LI    $3, 0x00000fff");
asm("SW    $3, 0x0($2)");
asm("NOP");
asm("LI    $2, 0x182FA018");
asm("SW    $5, 0x0($2)");
asm("LW    $2, 0x0($29)");
asm("LW    $3, 0x4($29)");
asm("LW    $4, 0x8($29)");
asm("LW    $5, 0xC($29)");
asm("ADDI  $29, 16");
```

}

14.8.4 Состояние регистров коммутатора до инициализации портов SpW

```

[ 5.780000] =====ALL REGISTERS =====
[ 5.788000] ID_VER_gspwr 8
[ 5.792000] ID_SWITCH_gspwr 0
[ 5.796000] ID_NET_gspwr 0
[ 5.800000] MODE_R_gspwr 280000C
[ 5.804000] MODE_R1_gspwr 59
[ 5.808000] STATE_R_gspwr 1F80
[ 5.812000] RISC_IRQ_MASK_gspwr FFF
[ 5.816000] AUTO_COU_gspwr 10148
[ 5.820000] CONTROL_CONNECTION_gspwr 8008A
[ 5.824000] STATE_CONNECTION_gspwr 0
[ 5.828000] SW_DAT_TOUTS_gspwr 0
[ 5.832000] SW_DAT_TOUTS2_gspwr 0
[ 5.836000] SW_DAT_TOUTS3_gspwr 0
[ 5.840000] SPEC_ARB_gspwr 0
[ 5.844000] CCODE_OUT_gspwr 0
[ 5.848000] CUR_TIME_gspwr 0
[ 5.848000] ISR_L_gspwr 0
[ 5.852000] ISR_H_gspwr 0
[ 5.856000] INTR_IRQ_MASK_L_gspwr 0
[ 5.860000] INTR_IRQ_MASK_H_gspwr 0
[ 5.864000] INTA_IRQ_MASK_L_gspwr 0
[ 5.868000] INTA_IRQ_MASK_H_gspwr 0
[ 5.872000] CCODES_MASK1_gspwr 0
[ 5.876000] CCODES_MASK2_gspwr 0
[ 5.880000] DIST_INTS_TOUTS1_gspwr 0
[ 5.884000] DIST_INTS_TOUTS2_gspwr 0
[ 5.888000] ACK_NON_ACK_REGIME_gspwr 0
[ 5.896000] CCODES_SPEC_REGIME_gspwr 0
[ 5.900000] SPEC_ISR_REGIME_gspwr 0
[ 5.904000] INTER_HANDLER_TERM_FUNCT_gspwr 0
[ 5.908000] ISR_SOURCE_TERM_FUNCT_gspwr 0
[ 5.912000] ISR_TOUTS_FLS_L_gspwr 0
[ 5.916000] ISR_TOUTS_FLS_H_gspwr 0
[ 5.920000] ISR_1101_gspwr 0
[ 5.924000] EXTERNAL_RESET_PARAMETERS_gspwr 0
[ 5.928000] SPW_STATUS_gspwr (0) 720
[ 5.932000] SPW_STATUS_gspwr (1) 720
[ 5.936000] SPW_STATUS_gspwr (2) 150
[ 5.940000] SPW_STATUS_gspwr (3) 150
[ 5.948000] SPW_STATUS_gspwr (4) 150
[ 5.952000] SPW_STATUS_gspwr (5) 150
[ 5.956000] SPW_MODE_gspwr (0) 2C83409
[ 5.960000] SPW_MODE_gspwr (1) 2C83409
[ 5.964000] SPW_MODE_gspwr (2) 2C83414
[ 5.968000] SPW_MODE_gspwr (3) 2C83414
[ 5.972000] SPW_MODE_gspwr (4) 2C83414
[ 5.976000] SPW_MODE_gspwr (5) 2C83414
[ 5.980000] SPW_TX_SPEED_gspwr (0) 802
[ 5.984000] SPW_TX_SPEED_gspwr (1) 802
[ 5.988000] GIGA_SPW_TX_SPEED_gspwr (0) 1D08
[ 5.996000] GIGA_SPW_TX_SPEED_gspwr (1) 1D08

```

```
[ 6.000000] GIGA_SPW_TX_SPEED_gspwr (2) 1D08
[ 6.004000] GIGA_SPW_TX_SPEED_gspwr (3) 1D08
[ 6.008000] SPW_RX_SPEED_gspwr (0) 0
[ 6.012000] SPW_RX_SPEED_gspwr (1) 0
[ 6.016000] SPW_RX_SPEED_gspwr (2) 1
[ 6.020000] SPW_RX_SPEED_gspwr (3) 1
[ 6.024000] SPW_RX_SPEED_gspwr (4) 1
[ 6.028000] SPW_RX_SPEED_gspwr (5) 1
[ 6.036000] ADG_gspwr (0) 0
[ 6.036000] ADG_gspwr (1) 0
[ 6.040000] ADG_gspwr (2) 0
[ 6.044000] ADG_gspwr (3) 0
[ 6.048000] ADG_gspwr (4) 0
[ 6.052000] ADG_gspwr (5) 0
[ 6.052000] GIGA_PMA_STATUS_gspwr (0) 4
[ 6.060000] GIGA_PMA_STATUS_gspwr (1) 5
[ 6.064000] GIGA_PMA_STATUS_gspwr (2) 5
[ 6.068000] GIGA_PMA_STATUS_gspwr (3) 1
[ 6.072000] GIGA_SPW_PMA_MODE_gspwr (0) 128294
[ 6.076000] GIGA_SPW_PMA_MODE_gspwr (1) 128294
[ 6.080000] GIGA_SPW_PMA_MODE_gspwr (2) 128294
[ 6.088000] GIGA_SPW_PMA_MODE_gspwr (3) 128294
[ 6.092000] ROUTE_TABLE (0) 0
[ 6.096000] ROUTE_TABLE (1) 0
[ 6.100000] ROUTE_TABLE (2) 0
[ 6.104000] ROUTE_TABLE (3) 0
[ 6.108000] ROUTE_TABLE (4) 0
[ 6.112000] ROUTE_TABLE (5) 0
[ 6.116000] ROUTE_TABLE (6) 0
```

14.8.5 Состояние регистров коммутатора после инициализации портов SpW

```

[ 6.180000] ID_VER_gspwr 8
[ 6.184000] ID_SWITCH_gspwr 0
[ 6.188000] ID_NET_gspwr 0
[ 6.192000] MODE_R_gspwr 280000C
[ 6.196000] MODE_R1_gspwr 59
[ 6.200000] STATE_R_gspwr 7E0
[ 6.204000] RISC_IRQ_MASK_gspwr FFF
[ 6.208000] AUTO_COU_gspwr 10148
[ 6.212000] CONTROL_CONNECTION_gspwr 8008A
[ 6.216000] STATE_CONNECTION_gspwr 0
[ 6.220000] SW_DAT_TOUTS_gspwr 0
[ 6.224000] SW_DAT_TOUTS2_gspwr 0
[ 6.228000] SW_DAT_TOUTS3_gspwr 0
[ 6.232000] SPEC_ARB_gspwr 0
[ 6.236000] CCODE_OUT_gspwr 0
[ 6.240000] CUR_TIME_gspwr 0
[ 6.244000] ISR_L_gspwr 0
[ 6.244000] ISR_H_gspwr 0
[ 6.248000] INTR_IRQ_MASK_L_gspwr 0
[ 6.252000] INTR_IRQ_MASK_H_gspwr 0
[ 6.256000] INTA_IRQ_MASK_L_gspwr 0
[ 6.260000] INTA_IRQ_MASK_H_gspwr 0
[ 6.264000] CCODES_MASK1_gspwr 0
[ 6.268000] CCODES_MASK2_gspwr 0
[ 6.272000] DIST_INTS_TOUTS1_gspwr 0
[ 6.276000] DIST_INTS_TOUTS2_gspwr 0
[ 6.284000] ACK_NON_ACK_REGIME_gspwr 0
[ 6.288000] CCODES_SPEC_REGIME_gspwr 0
[ 6.292000] SPEC_ISR_REGIME_gspwr 0
[ 6.296000] INTER_HANDLER_TERM_FUNCT_gspwr 0
[ 6.300000] ISR_SOURCE_TERM_FUNCT_gspwr 0
[ 6.304000] ISR_TOUTS_FLS_L_gspwr 0
[ 6.308000] ISR_TOUTS_FLS_H_gspwr 0
[ 6.312000] ISR_1101_gspwr 0
[ 6.316000] EXTERNAL_RESET_PARAMETERS_gspwr 0
[ 6.320000] SPW_STATUS_gspwr (0) 750
[ 6.328000] SPW_STATUS_gspwr (1) 750
[ 6.332000] SPW_STATUS_gspwr (2) 150
[ 6.336000] SPW_STATUS_gspwr (3) 150
[ 6.340000] SPW_STATUS_gspwr (4) 150
[ 6.344000] SPW_STATUS_gspwr (5) 150
[ 6.348000] SPW_MODE_gspwr (0) 2C83404
[ 6.352000] SPW_MODE_gspwr (1) 2C83404
[ 6.356000] SPW_MODE_gspwr (2) 2C83414
[ 6.360000] SPW_MODE_gspwr (3) 2C83414
[ 6.364000] SPW_MODE_gspwr (4) 2C83414
[ 6.368000] SPW_MODE_gspwr (5) 2C83414
[ 6.372000] SPW_TX_SPEED_gspwr (0) 300B02
[ 6.376000] SPW_TX_SPEED_gspwr (1) 300B02
[ 6.384000] GIGA_SPW_TX_SPEED_gspwr (0) 1D08
[ 6.388000] GIGA_SPW_TX_SPEED_gspwr (1) 1D08
[ 6.392000] GIGA_SPW_TX_SPEED_gspwr (2) 1D08

```

```
[ 6.396000] GIGA_SPW_TX_SPEED_gspwr (3) 1D08
[ 6.404000] SPW_RX_SPEED_gspwr (0) A
[ 6.408000] SPW_RX_SPEED_gspwr (1) A
[ 6.412000] SPW_RX_SPEED_gspwr (2) 1
[ 6.416000] SPW_RX_SPEED_gspwr (3) 1
[ 6.420000] SPW_RX_SPEED_gspwr (4) 1
[ 6.424000] SPW_RX_SPEED_gspwr (5) 1
[ 6.428000] ADG_gspwr (0) 2
[ 6.432000] ADG_gspwr (1) 4
[ 6.432000] ADG_gspwr (2) 0
[ 6.436000] ADG_gspwr (3) 0
[ 6.440000] ADG_gspwr (4) 0
[ 6.444000] ADG_gspwr (5) 0
[ 6.448000] GIGA_PMA_STATUS_gspwr (0) 4
[ 6.452000] GIGA_PMA_STATUS_gspwr (1) 5
[ 6.456000] GIGA_PMA_STATUS_gspwr (2) 5
[ 6.460000] GIGA_PMA_STATUS_gspwr (3) 1
[ 6.464000] GIGA_SPW_PMA_MODE_gspwr (0) 128294
[ 6.472000] GIGA_SPW_PMA_MODE_gspwr (1) 128294
[ 6.476000] GIGA_SPW_PMA_MODE_gspwr (2) 128294
[ 6.480000] GIGA_SPW_PMA_MODE_gspwr (3) 128294
[ 6.484000] ROUTE_TABLE (0) 101
[ 6.488000] ROUTE_TABLE (1) 102
[ 6.492000] ROUTE_TABLE (2) 104
[ 6.496000] ROUTE_TABLE (3) 0
[ 6.500000] ROUTE_TABLE (4) 0
[ 6.504000] ROUTE_TABLE (5) 0
[ 6.508000] ROUTE_TABLE (6) 0
```

15. МНОГОФУНКЦИОНАЛЬНЫЙ БУФЕРИЗИРОВАННЫЙ ПОСЛЕДОВАТЕЛЬНЫЙ ПОРТ (MFBSР)

15.1 Особенности MFBSР

Многофункциональный буферизированный последовательный порт (MFBSР) позволяет вести обмен параллельно-последовательным кодом с другими микросхемами по линковому интерфейсу (LPORT), либо обмениваться аудиоданными и управляющей информацией с внешними устройствами по последовательным интерфейсам в дуплексном режиме, с возможностью независимой настройки приёмника и передатчика. Гибкость последовательного порта позволяет организовывать передачу с широким спектром внешних устройств. Дополнительно порт позволяет организовывать обмен данными с внешними устройствами, используя вводы-выводы общего назначения. На Рисунок 15.1. изображен MFBSР с каналом DMA (работающим либо на приём либо на передачу) в составе микропроцессора. Если канал DMA MFBSР работает в направлении передачи, то осуществляется передача данных внешнему устройству, подключенному к микропроцессору через MFBSР. Если канал DMA MFBSР работает в направлении приёма, то осуществляется приём данных из внешнего устройства, подключенного к микропроцессору через MFBSР.

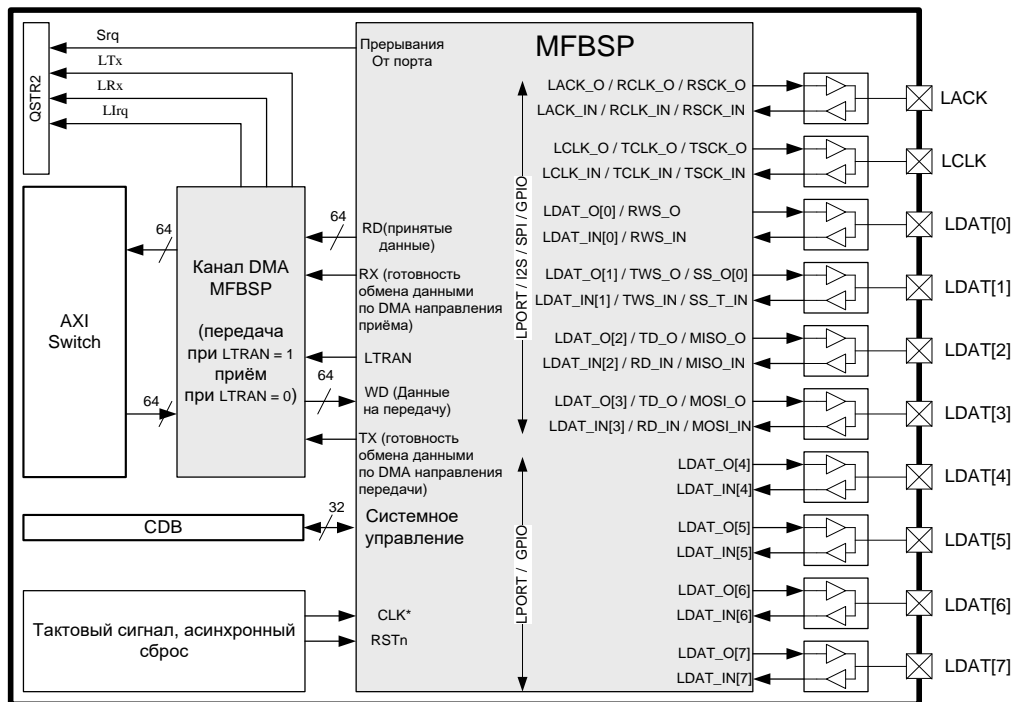


Рисунок 15.1. MFBSР в составе микропроцессора

15.1.1 Основные характеристики MFBSР в режиме I2S

В режиме I2S порт позволяет вести дуплексный обмен последовательными данными с внешними устройствами, используя следующие форматы передачи данных: Left-Justified, Right-Justified (при программной предобработке данных), DSP, I2S;

Приёмник и передатчик:

Поддерживается независимая настройка передатчика и приёмника, что позволяет организовать одновременные передачу и прием последовательных данных по разным последовательным интерфейсам и на различных частотах;

Возможен перевод приёмника в зависимый от передатчика режим (когда приемник использует тактовый и контрольный сигналы передатчика), что позволяет задействовать меньшее количество выводов;

Направление выводов данных и тактового сигнала задается программно, что заметно повышает гибкость при использовании порта;

Тактовые сигналы, как приемника, так и передатчика можно формировать аппаратными средствами порта MFBSР, либо принимать их от внешнего устройства;

В данной версии MFBSР формировать управляющие сигналы можно только средствами порта (работа только в режиме ведущего устройства)

Темп передачи данных:

Передача данных в режиме I2S может вестись на частотах от $CLK/2$ до $CLK/(2 \cdot 2^{10})$ (где CLK – тактовая частота, подаваемая на порт со стороны системы);

Частоту контрольного сигнала (TWS/RWS) можно задавать в пределах от $ICLK/2$ до $ICLK/(2 \cdot 2^5)$, где $ICLK$ – рабочая частота интерфейса (TCLK для передатчика и RCLK для приемника);

Приём и передача данных:

Порт позволяет принимать и передавать слова длиной от 2-х до 32-х бит, как младшим, так и старшим битом вперед;

В режиме I2S поддерживается режим паковки/распаковки 32-х разрядного слова в два 16-ти разрядных с автоматическим определением левого/правого канала;

Специальная логика обмена позволяет обнулять или дополнять старшим разрядом избыточные биты при чтении принятых слов длиной меньше 32 в обычном режиме и длиной меньше 16 в режиме паковки;

Буферы приёма и передачи:

Используется буферизация в направлении передачи на 4 32-разрядных слова;

Используется буферизация в направлении приёма на 4 32-разрядных слова;

Доступ к буферам приёма и передачи возможен как в 32-х разрядном режиме (обмен данными непосредственно с CPU), так и в 64-х разрядном режиме с использованием канала DMA;

15.1.2 Основные характеристики MFBSР в режиме SPI

В режиме SPI порт позволяет вести дуплексный обмен последовательными данными с внешними устройствами, порт поддерживает 4 формата передачи SPI (для всех сочетаний CPOL и CPHA по спецификации Motorola), при этом возможна передача данных как по стандарту Microwire (SDO, SDI), так и по стандарту Motorola (MOSI, MISO), а также по интерфейсу C-BUS (аналог SPI);

Приёмник и передатчик:

Поддерживается независимая настройка передатчика и приёмника, что позволяет организовать одновременные передачу и прием последовательных данных по разным последовательным интерфейсам и на различных частотах;

Возможен перевод приёмника в зависимый от передатчика режим (когда приемник использует тактовый и контрольный сигналы передатчика), что позволяет задействовать меньшее количество выводов;

Шина выбора ведомого устройства:

Тактовые сигналы и сигнал шины выбора ведомого устройства можно формировать аппаратными средствами порта MFBSР либо программно управлять шиной выбора ведомых устройств;

Темп передачи данных:

Передача данных в режиме SPI может вестись на частотах от $CLK/2$ до $CLK/(2*2^{10})$ (где CLK – тактовая частота, подаваемая на порт со стороны системы);

Приём и передача данных:

Порт позволяет принимать и передавать слова длиной от 2-х до 32-х бит, как младшим, так и старшим битом вперед;

Специальная логика обмена позволяет обнулять или дополнять старшим разрядом избыточные биты при чтении принятых слов длиной меньше 32 бит;

Буферы приёма и передачи:

Используется буферизация в направлении передачи на 4 32-разрядных слова;

Используется буферизация в направлении приёма на 4 32-разрядных слова;

Доступ к буферам приёма и передачи возможен как в 32-х разрядном режиме (обмен данными непосредственно с CPU), так и в 64-х разрядном режиме с использованием канала DMA;

В данной реализации порта не предусмотрена возможность соединения нескольких микропроцессоров по цепочке с использованием SPI интерфейса. микропроцессор может только управлять загрузкой последовательных данных в другие ведомые устройства, соединенные по цепочке.

15.1.3 Основные характеристики MFBSР в режиме LPORT

В режиме LPORT порт позволяет вести обмен с внешними устройствами по линковому интерфейсу (совместимому с ADSP21160 LINK PORT).

Приёмник и передатчик:

В режиме LPORT MFBSР может работать либо только как передатчик, либо только как приёмник (передача данных в одном направлении);

Темп передачи данных:

Передача данных по интерфейсу LPORT может вестись на частотах от CLK/32 до CLK/2 (где CLK – тактовая частота, подаваемая на порт со стороны системы). Максимальная частота передачи данных – не более 50 МГц;

Приём и передача данных:

По параллельно-последовательному интерфейсу LPORT возможна передача данных как тетрадами, так и байтами;

Буферы приёма и передачи:

Используется буферизация в направлении передачи на 8 32-разрядных слов;

Используется буферизация в направлении приёма на 10 32-разрядных слова;

Доступ к буферам приёма и передачи возможен как в 32-х разрядном режиме (обмен данными непосредственно с CPU), так и в 64-х разрядном режиме с использованием канала DMA.

15.1.4 Основные характеристики MFBSP в режиме порта ввода-вывода общего назначения

В режиме порта ввода-вывода общего назначения все 10 выводов порта могут использоваться как входы выводы общего назначения;

Направление каждого вывода задаётся программно;

В режиме последовательного порта(режимы SPI или I2S) 4 незадействованных в передаче последовательных данных вывода MFBSP (LDAT[7:4]) могут быть использованы в качестве вводов-выводов общего назначения.

15.2 Общие сведения об MFBSP

15.2.1 Режимы работы MFBSP

Многофункциональный порт MFBSP может быть использован как порт ввода-вывода общего назначения, как линковый порт (LPORT), либо как последовательный порт. В случае если MFBSP используется как последовательный порт, приёмник и передатчик могут настраиваться независимо. Как приёмник, так и передатчик MFBSP могут работать в режиме SPI либо в режиме I2S. Таким образом, для MFBSP существует 6 различных режимов работы, которые задаются битами LEN и SPI_I2S_EN регистра CSR_MFBSP, битом TMODE регистра TCTR и битом RMODE регистра RCTR. Режимы работы MFBSP и задающие их сочетания значений управляющих бит приведены в Таблица 15.1.

Таблица 15.1. Режимы работы MFBSP

Значение бит, задающих режим				Режим работы MFBSP
LEN	SPI_I2S_EN	TMODE	RMODE	
0	0	x	x	Порт ввода-вывода общего назначения
1	0	x	x	Линковый порт(LPORT)
0	1	0	0	Последовательный порт Передатчик – I2S Приёмник – I2S
0	1	0	1	Последовательный порт Передатчик – I2S Приёмник – SPI
0	1	1	0	Последовательный порт Передатчик – SPI Приёмник – I2S
0	1	1	1	Последовательный порт Передатчик – SPI Приёмник – SPI

Более подробное описание функциональных особенностей порта для режима I2S приведено в параграфе 15.3.

Более подробное описание функциональных особенностей порта для режима SPI приведено в параграфе 15.4.

Более подробное описание функциональных особенностей порта для режима LPORT приведено в параграфе 15.5.

Более подробное описание функциональных особенностей порта для режима порта ввода-вывода общего назначения приведено в параграфе 15.6.

15.2.2 Структурная схема многофункционального буферизированного последовательного порта

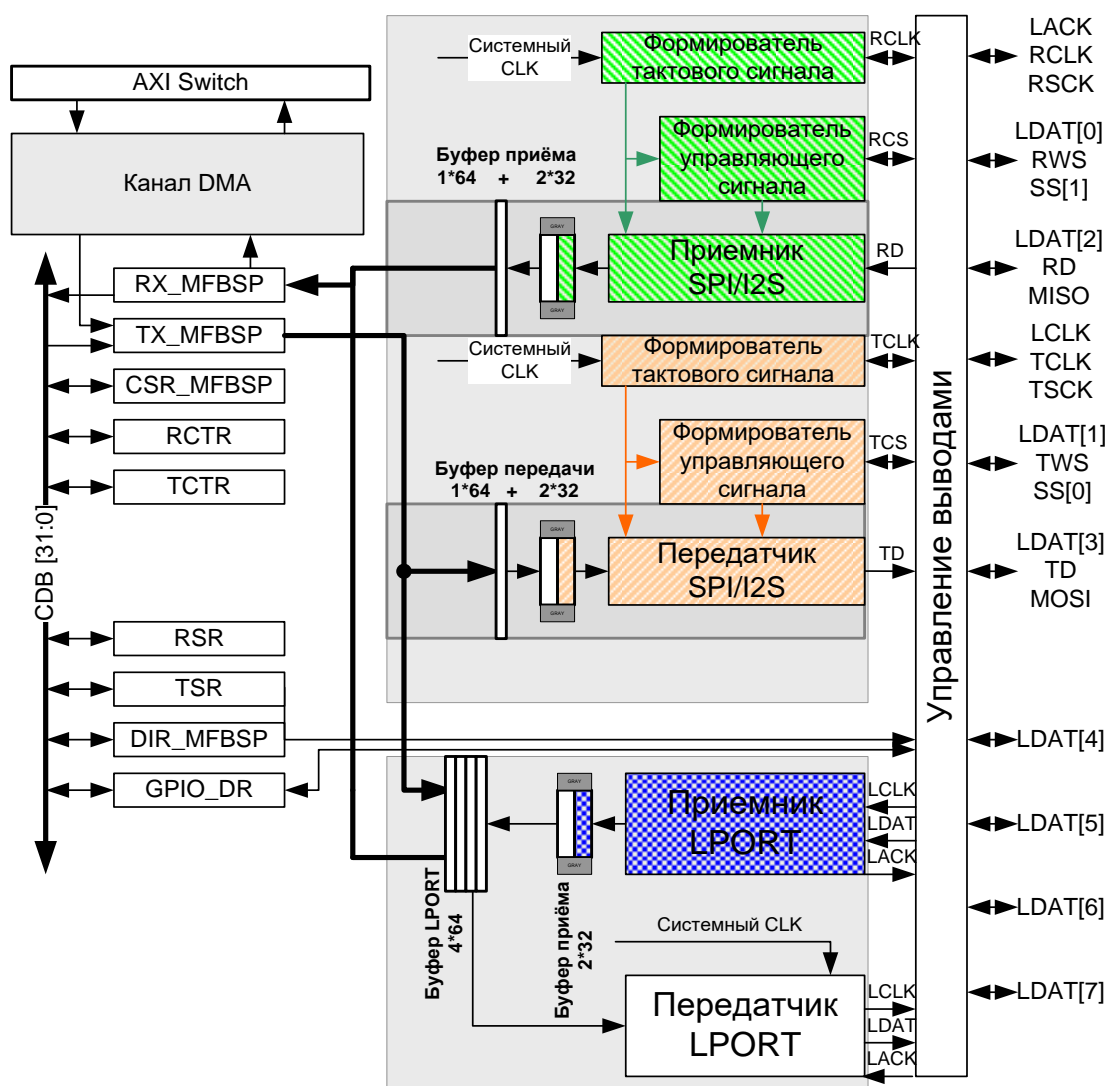


Рисунок 15.2. Структурная схема MFBSMP (Защищена патентом РФ №2360282 от 27 июня 2009 года)

На Рисунок 15.1. показан MFBSР в составе микропроцессора. Порт поддерживает дуплексный обмен последовательными данными, однако для каждого MFBSР предусмотрен только один канала DMA, в зависимости от значения бита LTRAN, регистра CSR_MFBSР канал работает либо в направлении приёма, либо в направлении передачи. Каждый из внешних выводов порта двунаправленный, направление каждого вывода задается независимо.

На Рисунок 15.2 представлена более подробная структурная схема MFBSР.

В состав совмещенного контроллера входят два основных блока: контроллер LPORT и контроллер SPI/I2S. Включение контроллера LPORT производится установкой бита LEN, регистра CSR_MFBSР в 1, включение контроллера SPI_I2S производится установкой бита SPI_I2S_EN, регистра CSR_MFBSР в 1. Одновременная работа блоков LPORT и SPI/I2S и соответственно установка бит LEN и SPI_I2S_EN в 1 не допускается.

В состав контроллера SPI/I2S входят приёмник, передатчик, буфер приёма и буфер передачи. Приёмник и передатчик могут работать одновременно и независимо. Приёмник осуществляет синхронный приём последовательного кода с внешнего вывода схемы и запись принятых данных в буфер приёма. Передатчик осуществляет чтение данных из буфера передачи и синхронную выдачу их последовательным кодом на внешний вывод схемы. Запись передаваемых данных в буфер передачи осуществляется при записи по адресу псевдорегистра TX_MFBSР (доступ со стороны CPU или DMA направления передачи), чтение принятых данных из буфера приёма осуществляется при чтении по адресу псевдорегистра RX_MFBSР (доступ со стороны CPU или DMA направления приёма).

Последовательным портом при обмене данными используется только 6 выводов LCLK, LACK, LDAT[3:0]. Если порт работает в режиме SPI/I2S, выходы LDAT[4:7] могут использоваться как входы-выводы общего назначения.

В состав контроллера LPORT входят приёмник, передатчик и буфер приёма LPORT и буфер передачи LPORT. В зависимости от направления обмена данными работает либо приёмник, либо передатчик. Приёмник осуществляет синхронный приём параллельно-последовательного кода с внешних выводов схемы и запись принятых данных в буфер приёма LPORT. Передатчик осуществляет чтение данных из буфера передачи LPORT и синхронную выдачу их параллельно последовательным кодом на внешние выходы схемы. Запись передаваемых данных в буфер LPORT осуществляется при записи по адресу псевдорегистра TX_MFBSР (доступ со стороны CPU или DMA направления передачи), чтение принятых данных из буфера LPORT осуществляется при чтении по адресу псевдорегистра RX_MFBSР (доступ со стороны CPU или DMA направления приёма).

LPORT при обмене данными использует выходы LCLK, LACK, LDAT[7:0].

МFBSPS использует системный тактовый сигнал CPU (CLK), при этом на МFBSP0 тактовый сигнал CLK подается постоянно, когда включен тактовый сигнал CPU, что позволяет реализовать режим начальной загрузки через МFBSP0. Для МFBSP1, МFBSP2, МFBSP3 и DMA МFBSP есть возможность программно включать и выключать подачу тактового сигнала

Включение частоты портов происходит не моментально, поэтому чтение из регистров или запись в регистры МFBSP сразу после команды включения частоты МFBSP может привести к ошибкам. Что бы убедиться, что обращение к регистрам происходит после фактического включения частоты необходимо прочитать регистр CLK_EN и провести с прочитанными данными любые действия, например:

```
sw r26, CLK_EN //включение частоты
lw r26, CLK_EN //чтение состояния CLK_EN
or r26, r26 //обработка прочитанных данных
```

При отключенной частоте МFBSP чтение и запись в регистры МFBSP1-МFBSP3 не допускается.

15.2.3 Назначение выводов порта в различных режимах

Таблица 15.2 содержит наименования выводов порта для каждого из режимов – LPORT, SPI, I2S. Таблица 15.3 содержит информацию о назначении каждого вывода в различных режимах.

Таблица 15.2. Обозначение выводов порта для различных режимов работы

LPORT	I2S	SPI
LDAT[7]	-	-
LDAT[6]	-	-
LDAT[5]	-	-
LDAT[4]	-	-
LDAT[3]	TD	MOSI
LDAT[2]	RD	MISO
LDAT[1]	TWS	SS[0]
LDAT[0]	RWS	SS[1]
LCLK	TCLK	TSCK
LACK	RCLK	RSCK

Таблица 15.3. Назначение выводов порта в различных режимах

Наименование вывода	Режим работы порта	Направление вывода	Назначение вывода
LDAT[7:0]	LPORT	IO	Внешняя шина данных LPORT.
LCLK	LPORT	IO	Тактовый сигнал LPORT
LACK	LPORT	IO	Подтверждение готовности приема
TD	I2S	IO	Передаваемые последовательные данные
RD	I2S	IO	Принимаемые последовательные данные
TCLK	I2S	IO	Тактовый сигнал передатчика I2S
RCLK	I2S	IO	Тактовый сигнал приемника I2S
TWS	I2S	IO	Сигнал выбора канала для передаваемых данных
RWS	I2S	IO	Сигнал выбора канала для принимаемых данных
MOSI	SPI	IO	Вывод последовательных данных. Направление вывода определяется программно
MISO	SPI	IO	Вывод последовательных данных. Направление вывода определяется программно
TSCK	SPI	IO	Тактовый сигнал передатчика SPI
RSCK	SPI	IO	Тактовый сигнал приемника SPI
SS [0]	SPI	IO	В режиме ведущего: Сигнал выбора устройства 0. В режиме ведомого: сигнал выбора ведомого. Низкий уровень на входе SS[0] обозначает, что передатчику MFBSP необходимо выдавать последовательные данные (если приёмник MFBSP находится в зависимом от передатчика режиме, то активизируется и приёмник).
SS [1]	SPI	IO	В режиме ведущего: Если приёмник в зависимом от передатчика режиме - сигнал выбора устройства 1. Если передатчик в независимом от приёмника режиме – сигнал выбора приёмником устройства 0. В режиме ведомого: Сигнал выбора ведомого. Только в случае когда приёмник в независимом от передатчика режиме. Низкий уровень на входе SS[1] обозначает, что приёмнику MFBSP необходимо принимать последовательные данные.

15.2.4 Перечень регистров MFBSР

Таблица 15.4 содержит перечень регистров многофункционального порта.

Таблица 15.4. Перечень регистров многофункционального буферизованного порта

Условное обозначение регистра	Внутренний Адрес	Название регистра
TX_MFBSP	0	Буфер передачи данных
RX_MFBSP	0	Буфер приёма данных
CSR_MFBSP	1	Регистр управления и состояния
DIR_MFBSP	2	Регистр управления направлением выводов порта ввода-вывода
GPIO_DR	3	Регистр данных порта ввода-вывода
TCTR	4	Регистр управления передатчиком
RCTR	5	Регистр управления приёмником
TSR	6	Регистр состояния передатчика
RSR	7	Регистр состояния приёмника

15.2.5 Каналы DMA многофункциональных портов MFBSР

Для каждого порта предусмотрен один канал DMA, работающий либо в направлении приёма данных, либо в направлении передачи данных.

Если бит LTRAN, регистра CSR_MFBSP установлен в 1, канал DMA работает в направлении передачи.

Если бит LTRAN, регистра CSR_MFBSP установлен в 0, канал DMA работает в направлении приёма.

Если канал DMA работает в направлении передачи, то через него осуществляется передача данных внешнему устройству, подключенному к микропроцессору через MFBSР. Если канал DMA работает в направлении приёма, то через него осуществляется приём данных из внешнего устройства, подключенного к микропроцессору через MFBSР.

При обмене данными через MFBSР в режиме линкового порта с использованием DMA максимальный размер пачки составляет 4 64-разрядных слова. Если значение бит WN в контрольном регистре DMA превосходит максимальный размер пачки, то WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

При обмене данными через MFBSР в режиме последовательного порта с использованием DMA максимальный размер пачки составляет 1 64-разрядное слово. Если значение бит WN в контрольном регистре DMA превосходит максимальный размер пачки, то WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

При работе передатчика с DMA заполнение буфера передачи происходит до тех пор, пока буфер в состоянии принять очередную пачку, размером WN.

По умолчанию при работе приёмника с DMA, считывание данных из буфера приёма происходит если в буфере чтения содержится число слов большее, либо равно размеру пачки (WN). Степень заполнения буфера приёма, при которой начинается откачка данных с помощью DMA регулируется установкой значения WN соответствующего канала DMA.

15.2.6 Прерывания от каналов DMA MFBSPP

Бит DMA_MFBSPP_IRQ, регистра QSTR2, устанавливается, если есть прерывание от соответствующего порту канала DMA направления передачи.

Если соответствующий канал DMA разрешен, то прерывания от канала DMA формируются по завершению передачи или приема всего блока данных.

15.2.7 Прерывания от MFBSPP

Бит MFBSPP_TXBUF, регистра QSTR2, устанавливается в случае, если число 64-х разрядных слов, находящихся в буфере передачи, меньше, либо равно пороговому значению TLEV, задаваемому в регистре TSR (Рисунок 15.3.). Для установки бита MFBSPP_TXBUF также необходимо, чтобы линковый порт был включен на передачу (LEN=1 и LTRAN=1) либо включен передатчик SPI/I2S (SPI_I2S_EN=1, TEN=1) и разрешено прерывание MFBSPP_TXBUF (MFBSPP_TXBUF_IRQ_EN).

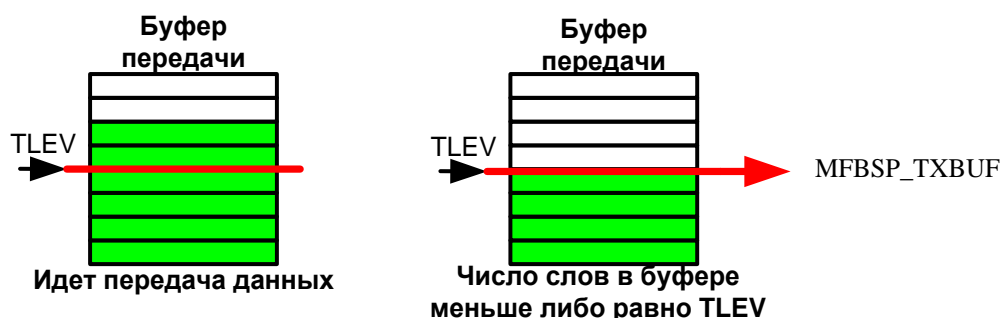


Рисунок 15.3. Назначение бит TLEV, регистра TSR

Прерывание MFBSPP_TXBUF автоматически сбрасывается, если число 64-х разрядных слов, находящихся в буфере передачи, становится больше порогового значения TLEV и при этом во время передачи не возникало ошибки (TERR = 0). Даже если описанное условие не выполнено, прерывание можно программно сбросить, прочитав регистр TSR. В этом случае прерывание сбросится и запомнится текущее значение слов в буфере передачи. Если число слов в буфере передачи начнет уменьшаться или произойдет ошибка передачи, то прерывание снова установится. Увеличение числа слов в буфере передачи не приведет к установке прерывания, даже, если число слов в буфере ниже порога TLEV (Рисунок 15.4.).

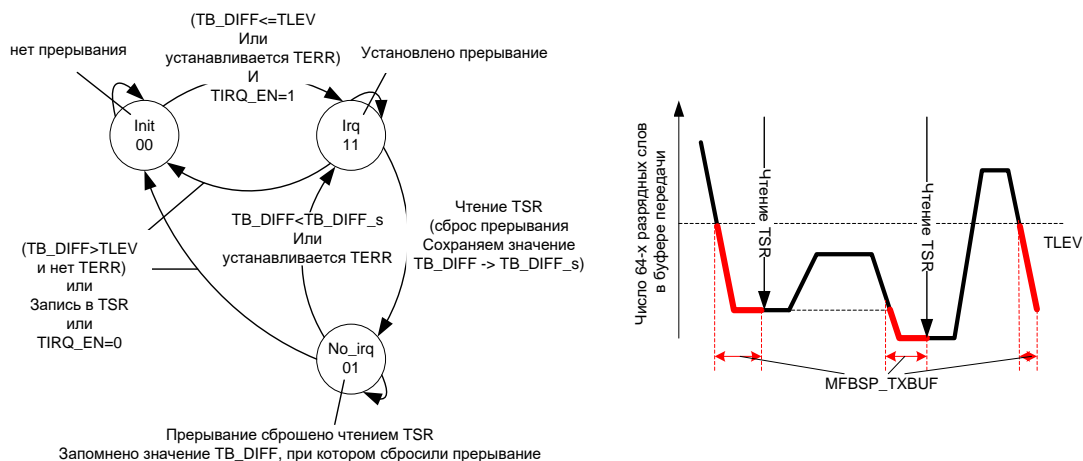


Рисунок 15.4. Механизм установки и сброса прерывания MFBSP_TXBUF. На рисунке $TIRQ_EN = (LEN \& LTRAN \parallel TEN \& SPI_I2S_EN)$

Бит MFBSP_RXBUF, регистра QSTR2, устанавливается в случае, если число 64-х разрядных слов в буфере приёма больше чем пороговое значение RLEV, задаваемое в регистре RSR (Рисунок 15.5.). Для установки бита MFBSP_RXBUF также необходимо, чтобы линковый порт был включен на приём ($LEN=1$ и $LTRAN=0$) либо включен приёмник SPI/I2S ($SPI_I2S_EN=1$, $REN=1$) и разрешено прерывание MFBSP_RXBUF ($MFBSP_RXBUF_IRQ_EN$).

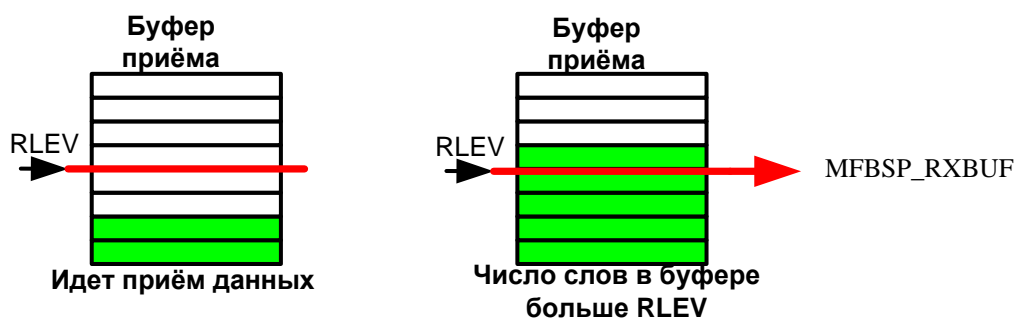


Рисунок 15.5. Назначение бит RLEV, регистра RSR

Прерывание MFBSP_RXBUF автоматически сбрасывается, если число 64-х разрядных слов, находящихся в буфере приёма, становится меньше порогового значения RLEV и при этом во время приёма не возникало ошибки ($RERR = 0$). Даже если описанное условие не выполнено, прерывание можно программно сбросить, прочитав регистр RSR. В этом случае прерывание сбросится и запомнится текущее значение слов в буфере чтения. Если число слов в буфере чтения начнет увеличиваться, то прерывание снова установится. Уменьшение числа слов в буфере чтения не приведет к установке прерывания, даже, если превышен порог RLEV (Рисунок 15.6.).

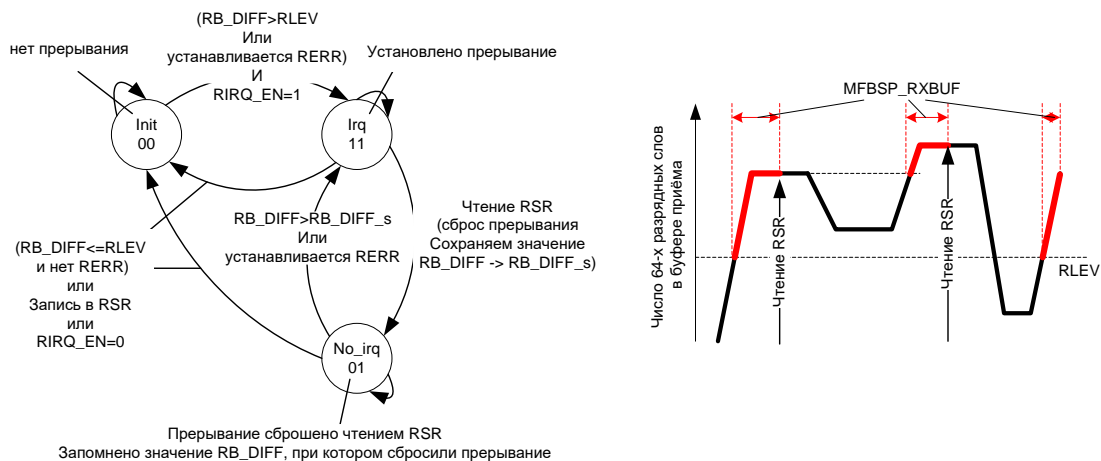


Рисунок 15.6. Механизм установки и сброса прерывания MFBSP_RXBUF. На рисунке $RIRQ_EN = (LEN \& !LTRAN \parallel REN \& SPI_I2S_EN)$

Бит SRQ, регистра QSTR2, формируется при запросе на обслуживание, если порт MFBSP выключен ($LEN=0$, $SPI_I2S_EN=0$) и на выводах LACK или LCLK высокий уровень, при условии, что разрешено прерывание по запросу на обслуживание ($LPT_IRQ_EN=1$).

15.3 Работа MFBSP в режиме I2S

15.3.1 Назначение MFBSP в режиме I2S

Режим I2S буферизированного последовательного порта предназначен для организации дуплексного обмена аудиоданными с внешними устройствами последовательным кодом.

Порт в режиме I2S позволяет одновременно передавать и принимать последовательные данные. Приемник и передатчик контроллера настраиваются независимо, при этом возможен перевод приёмника в зависимое от передатчика состояние.

Порт поддерживает передачу аудиоданных в формате I2S, с поочередной передачей левого и правого каналов.

Поддерживается независимое задание направления выводов данных и тактового сигнала порта, осуществляемое установкой соответствующих бит регистра DIR_MFBSP.

15.3.2 Регистр управления и состояния CSR_MFBSP (режим I2S)

Регистр CSR_MFBSP (Таблица 15.5) используется для включения режима последовательного порта и разрешения прерываний от MFBSP.

Таблица 15.5. Назначение разрядов регистра CSR_MFBSP в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	RX_RDY_MODE	Режим формирования признака готовности приема данных из DMA в MFBSP: 0 – штатный режим работы. Признак готовности формируется MFBSP аппаратно; 1 – признак готовности установлен в 1. Используется для приведение DMA в исходное состояние, если: устройство подключенное к MFBSP передало в него меньший объем данных, по сравнению с тем, что указано в DMA; необходимо программно остановить прием данных в MFBSP	RW	0
30	TX_RDY_MODE	Режим формирования признака готовности передачи данных из MFBSP в DMA: 0 – штатный режим работы. Признак готовности формируется MFBSP аппаратно; 1 – признак готовности установлен в 1. Используется для приведение DMA в исходное состояние, если: устройство подключенное к MFBSP приняло из него меньший объем данных, по сравнению с тем, что указано в DMA; необходимо программно остановить передачу данных из MFBSP	RW	0
29:17	-	Резерв	-	0
16	MFBSP_TXBUF_IRQ_EN	Разрешение прерывания MFBSP_TXBUF: 0 – прерывание запрещено; 1- прерывание разрешено.	RW	1
15	MFBSP_RXBUF_IRQ_EN	Разрешение прерывания MFBSP_RXBUF: 0 – прерывание запрещено; 1- прерывание разрешено.	RW	1
14:11	-	В режиме I2S не используется	-	0
10	-	Резерв	-	0
9	SPI_I2S_EN	Включение режима SPI/I2S: 0 – Работа в режиме LPORT 1 – Работа в режиме SPI/I2S	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
8:5	-	В режиме I2S не используется	-	0
4:3	LSTAT	Состояние буфера: При LTRAN = 0 показывает состояние буфера приёма При LTRAN = 1 показывает состояние буфера передачи 00 – буфер пуст; 10 – буфер не пуст; 11 – буфер полон.	R	0
2	-	В режиме I2S не используется	-	0
1	LTRAN	Назначение бит LSTAT: 0 - DMA работает в направлении приёма, LSTAT отображает состояние буфера приёма 1 – DMA работает в направлении передачи, LSTAT отображает состояние буфера передачи	RW	0
0	LEN	В режиме I2S должен быть установлен в 0	RW	0

Алгоритм использования бит RX_RDY_MODE, TX_RDY_MODE:

1. Остановить MFBSP, для чего в регистр CSR_MFBSP необходимо записать 0.
2. Выполнить операцию записи 0 в бит RUN регистра CSR соответствующего DMA MFBSP (при этом, бит RUN может в 0 не установиться).
3. Установить в 1 бит RX_RDY_MODE (TX_RDY_MODE).
4. Дождаться установки в 0 бита RUN регистра CSR DMA MFBSP.
5. Установить в 0 бит RX_RDY_MODE (TX_RDY_MODE).

15.3.3 Регистр управления направлением выводов DIR_MFBSP (режим I2S)

Регистр управления направлением выводов DIR_MFBSP (Таблица 15.6) предназначен для индивидуальной настройки направления каждого вывода последовательного порта.

Таблица 15.6. Назначение разрядов регистра DIR_MFBSP в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
9:6	-	Не используется в режиме I2S	-	0
5	TD_DIR	Направление вывода TD: 0 – TD – вход (при RD_DIR = 1 последовательные данные принимаются со входа TD) 1 – TD – выход (TD – является выходом для передачи последовательных данных)	RW	0
4	RD_DIR	Направление вывода RD: 0 – RD – вход (последовательные данные принимаются со входа RD) 1 – RD – выход (RD – является выходом для передачи последовательных данных)	RW	0
3	TCS_DIR	Направление вывода TWS: 0 – TWS – вход (Сигнал выбора слова TWS принимается от внешнего источника) 1 – TWS – выход (Сигнал выбора слова TWS формируется передатчиком)	RW	0
2	RCS_DIR	Направление вывода RWS: 0 – RWS – вход (Сигнал выбора слова RWS принимается от внешнего источника) 1 – RWS – выход (Сигнал выбора слова RWS формируется приёмником)	RW	0
1	TCLK_DIR	Направление вывода TCLK: 0 – TCLK – вход (тактовый сигнал TCLK принимается от внешнего источника) 1 – TCLK – выход (тактовый сигнал TCLK формируется передатчиком)	RW	0
0	RCLK_DIR	Направление вывода RCLK: 0 – RCLK – вход (тактовый сигнал RCLK принимается от внешнего источника) 1 – RCLK – выход (тактовый сигнал RCLK формируется приёмником)	RW	0

При RD_DIR = 0 и TD_DIR = 0 данные снимаются с RD, при RD_DIR = 1 и TD_DIR = 1 на TD и RD выдаются одинаковые данные с передатчика.

15.3.4 Регистр управления приёмником RCTR (режим I2S)

Таблица 15.7. Назначение разрядов регистра RCTR в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	Резерв	-	0
29	RCS_CONT	Включение непрерывного формирования сигнала RWS: 0 – RWS – Формируется если буфер приёма не полон. По заполнении буфера приёма формирование сигнала RWS прекращается. 1 – RWS – формируется непрерывно, если установлен бит REN	RW	0
28	RCLK_CONT	Включение непрерывного формирования сигнала RCLK: 0 – RCLK – формируется только во время приема (пока буфер приёма не полон). Если буфер приёма полон – сигнал не формируется 1 – RCLK – формируется непрерывно, если установлен бит REN	RW	0
27	RSWAP	Порядок упаковки в 32 разрядное слово, перед записью в буфер приёма: 0 – левый канал пишется в старшие 16 разрядов 1 – левый канал пишется в младшие 16 разрядов (Используется в режиме с включенным паковщиком)	RW	0
26	RSIGN	Значение заполнителя: Если длина принимаемого слова меньше 32 при отключенном паковщике или меньше 16 при включенном паковщике, то неиспользуемые биты принятого слова заполняются При RSIGN = 0 нулями При RSIGN = 1 значением старшего разряда в принятом слове	RW	0
25	RPACK	Включение режима паковки: 0 – режим паковки выключен. Данные, принятые по каждому из каналов пишутся отдельным 32-разрядным словом в буфер приёма 1 – режим паковки включен. Данные, принятые по левому и правому каналу пакуются в 32-х разрядное слово. При этом разрядность принимаемых слов не должна превышать 16.	RW	0
24:20	RWORDLEN	Длина принимаемого слова: Число бит в принимаемом слове равно RWORDLEN + 1. RWORDLEN должно быть больше 0.	RW	5'b0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
19	RMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW RW	1
18	RCSNEG	Полярность управляющего сигнала приёмника: При RDSPMODE=0: RCSNEG = 0 – левый канал принимается при высоком уровне RWS RCSNEG = 1 – левый канал принимается при низком уровне RWS каждый фронт контрольного сигнала является активным и инициирует приём нового слова. При RDSPMODE=1: задаёт полярность активного фронта: RCSNEG = 0 - передний фронт активный; RCSNEG = 1 - задний фронт активный;	RW	0
17	-	Резерв	-	0
16:12	RCS_RATE	Делитель частоты управляющего сигнала приёмника: Задаёт частоту управляющего сигнала приёмника, определяемую, как $RCLK/((RCS_RATE+1)*2)$, где RCLK – частота тактового сигнала приёмника	RW	0
11	RDEL	Задержка начала приёма данных на такт: 0 – захват бит принимаемого слова начинается по первому после активного фронта управляющего сигнала RWS фронту приёма такого сигнала RCLK (используется для передачи в форматах Left-Justified и Right-Justified) 1 – захват бит принимаемого слова начинается по второму после активного фронта управляющего сигнала RWS фронту приёма такого сигнала RCLK (используется для передачи в формате I2S)	RW	0
10	RNEG	Полярность тактового сигнала приёмника: Задаёт исходное состояние вывода RCLK и фронт, по которому осуществляется захват данных приёмником (фронт приёма) 0 – захват данных по заднему фронту RCLK. 1 – захват данных по переднему фронту RCLK. Исходное состояние RCLK = RNEG.	RW	0
9	RDSPMODE	Формат передачи данных: 0 – передача в формате I2S 1 – передача в формате DSP	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
8:4	RCLK_RATE [4:0]	Делитель частоты приёмника: В случае, если частота формируется самим приёмником, определяет частоту приёмника $RCLK = CLK / ((RCLK_RATE + 1) * 2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0
3	RCS_CP	Дублирование сигнала TWS: 0 – выводы TWS и RWS независимы 1 – сигнал RWS, идущий на блок приёмника, дублирует TWS	RW	0
2	RCLK_CP	Дублирование TCLK: 0 – выводы TCLK и RCLK независимы 1 – сигнал RCLK, идущий на блок приёмника, дублирует TCLK	RW	0
1	RMODE	Режим работы приёмника: 0 – режим I2S 1 – режим SPI	RW	0
0	REN	Разрешение работы приёмника: 0 – приемник выключен 1 – приемник включен	RW	0

15.3.5 Регистр управления передатчиком TCTR (режим I2S)

Таблица 15.8. Назначение разрядов регистра TCTR в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	В режиме I2S не используется	-	0
29	TCS_CONT	Включение непрерывного формирования сигнала TWS: 0 – TWS – формируется только если буфер передачи не пуст. После передачи последнего слова из буфера передачи формирование сигнала TWS прекращается 1 – TWS – формируется непрерывно, если установлен бит TEN	RW	0
28	TCLK_CONT	Включение непрерывного формирования сигнала TCLK: 0 – TCLK – формируется только во время передачи. Если буфер передачи пуст – сигнал не формируется 1 – TCLK – формируется непрерывно, если установлен бит TEN	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
27	TSWAP	Порядок распаковки 32-х разрядного слова: Определяет порядок распаковки из 32 разрядного слова 0 – в левый канал передаются старшие 16 разрядов 1 – в левый канал передаются младшие 16 разрядов (Используется в режиме с включенным распаковщиком)	RW	0
26	-	Резерв	-	0
25	TPACK	Включение режима распаковки: 0 – режим распаковки выключен. Каждое слово из буфера передачи используется для одной передачи по одному каналу 1 – режим распаковки включен. Слово из буфера передачи передается двумя посылками (по левому и правому каналу). При этом разрядность передаваемых слов не должна превышать 16 бит	RW	0
24:20	TWORDLEN	Длина передаваемого слова: Число бит в передаваемом слове равно TWORDLEN + 1. TWORDLEN должно быть больше 0.	RW	5'b0
19	TMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW	1
18	TCSNEG	Полярность управляющего сигнала передатчика: При TDSPMODE=0: TCSNEG = 0 – Левый канал передается с высоким уровнем TWS TCSNEG = 1 – Левый канал передается с низким уровнем TWS каждый фронт контрольного сигнала является активным и инициирует передачу нового слова. При TDSPMODE=1: задает полярность активного фронта: TCSNEG = 0 – передний фронт активный; TCSNEG = 1 – задний фронт активный;	RW	0
17	-	Резерв	-	0
16:12	TCS_RATE	Делитель частоты управляющего сигнала передатчика: Задаёт частоту управляющего сигнала передатчика, определяемую как $TCLK / ((RCS_RATE + 1) * 2)$, где TCLK – частота тактового сигнала передатчика.	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
11	TDEL	<p>Задержка начала передачи данных на такт:</p> <p>0 – выдача первого бита передаваемого слова начинается по первому после активного фронта управляющего сигнала TWS фронту выдачи такового сигнала TCLK (используется для передачи в форматах Left-Justified и Right-Justified)</p> <p>1 – выдача первого бита передаваемого слова начинается по второму после активного фронта управляющего сигнала TWS фронту выдачи такового сигнала TCLK (используется для передачи в формате I2S)</p>	RW	0
10	TNEG	<p>Полярность тактового сигнала передатчика:</p> <p>Задаёт исходное состояние вывода TCLK и фронт, по которому осуществляется выдача данных передатчиком (фронт выдачи)</p> <p>0 – выдача данных по переднему фронту TCLK.</p> <p>1 – выдача данных по заднему фронту TCLK. Исходное состояние TCLK = TNEG.</p>	RW	0
9	TDSPMODE	<p>Формат передачи данных:</p> <p>0 – передача в формате I2S</p> <p>1 – передача в формате DSP</p>	RW	0
8:4	TCLK_RATE	<p>Делитель частоты передатчика:</p> <p>В случае, если частота формируется самим передатчиком, определяет частоту передатчика $TCLK = CLK / ((TCLK_RATE + 1) * 2)$, где CLK – частота, подаваемая на порт со стороны системы.</p>	-	0
3	-	В режиме I2S не используется	-	0
2	TD_ZER_EN	<p>Обнуление избыточных бит передаваемого слова:</p> <p>0 – Если длина слова меньше размеров окна, отведенного под передачу слова, после передачи всех бит слова на внешней шине данных остаётся значение нулевого бита передаваемого слова.</p> <p>1 – Если длина слова меньше размеров окна, отведенного под передачу слова, после передачи всех бит слова на внешнюю шину данных подаётся 0, вплоть до начала передачи следующего слова.</p> <p>ВНИМАНИЕ! Режим с включенным обнулением избыточных бит при передаче слова корректно функционирует только при условии, что частота последовательного порта $TCLK \leq CLK / 4$, где CLK – рабочая частота подаваемая на порт, со стороны системы.</p>	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
1	TMODE	Режим работы передатчика: 0 – режим I2S 1 – режим SPI	RW	0
0	TEN	Разрешение работы передатчика: 0 – приемник выключен 1 – приемник включен	RW	0

15.3.6 Регистр состояния приёмника RSR (режим I2S)

Таблица 15.9. Назначение разрядов регистра RSR в режиме I2S

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	-	В режиме I2S не используется	-	0
23	-	резерв	-	0
22:20	RB_DIFF	Количество принятых 64-разрядных слов в буфере приёма (max 8).	R	0
19:17	-	резерв	-	0
16:12	RCLK_RATE [9:5]	Делитель частоты приёмника: В случае, если частота формируется самим приёмником, определяет частоту приёмника $RCLK = CLK / ((RCLK_RATE + 1) * 2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0
11	-	Резерв	-	
10	RRUN	Идёт приём: 0 – приёмник в состоянии ожидания 1 – идёт приём очередного слова	R	0
9	RERR	Ошибка передачи: 0 – приём проходил в штатном режиме 1 - была запись в полный буфер приёма (потеря данных). Флаг сбрасывается записью 0 в 6-й разряд регистра RSR.	RW	0
8	RSBF	Буфер пересинхронизации в направлении приёма полон: 0 – буфер пересинхронизации в направлении приёма не полон 1 – буфер пересинхронизации в направлении приёма полон	R	0
7	RSBE	Буфер пересинхронизации в направлении приёма пуст: 0 – буфер пересинхронизации в направлении приёма не пуст 1 – буфер пересинхронизации в направлении приёма пуст	R	1
6:4	RLEV	Порог прерывания от буфера приёма: Прерывание формируется если число принятых 64-х разрядных слов больше RLEV	RW	7

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
3	RBHL	Достигнут порог прерывания в буфере приёма: 1 – число 64-х разрядных слов в буфере приёма больше чем задано в RLEV 0 – число 64-х разрядных слов в буфере приёма меньше либо равно RLEV	R	0
2	RBHF	Буфер приёма полон на половину	R	0
1	RBF	Буфер приёма полон: 0 – буфер приёма не полон 1 – буфер приёма полон	R	0
0	RBE	Буфер приёма пуст: 0 – буфер приёма не пуст 1 – буфер приёма пуст	R	1

15.3.7 Регистр состояния передатчика TSR (режим I2S)

Таблица 15.10. Назначение разрядов регистра TSR в режиме I2S

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	-	В режиме I2S не используется	-	0
23	-	резерв	-	0
22:20	TB_DIFF	Количество свободных 64-разрядных позиций в буфере передачи (в буфер передачи можно записать еще TB_DIFF 64-разрядных слов).	R	8
19:17	-	резерв	-	0
16:12	TCLK_RATE [9:5]	Делитель частоты передатчика: В случае, если частота формируется самим передатчиком, определяет частоту передатчика $TCLK = CLK / ((TCLK_RATE + 1) * 2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0
11	-	Резерв	-	0
10	TRUN	Идёт передача: 0 – передатчик в состоянии ожидания 1 – идёт передача очередного слова	R	0
9	TERR	Ошибка передачи: 0 – передача проходила в штатном режиме 1 - было чтение из пустого буфера передачи (передача некорректных данных). Флаг сбрасывается записью 0 в 6-й разряд регистра TSR.	RW	0
8	TSBF	Буфер пересинхронизации в направлении передачи полон: 0 – буфер пересинхронизации в направлении передачи не полон 1 – буфер пересинхронизации в направлении передачи полон	R	0

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
7	TSBE	Буфер пересинхронизации в направлении передачи пуст: 0 – буфер пересинхронизации в направлении передачи не пуст 1 – буфер пересинхронизации в направлении передачи пуст	R	1
6:4	TLEV	Порог прерывания от буфера передачи: Прерывание формируется если число 64-х разрядных слов в буфере передачи меньше либо равно TLEV. В режиме передачи данных с использованием DMA определяет степень заполнения буфера передачи, при которой происходит запись в буфер очередной пачки данных	R	0
3	TBLL	Достигнут порог прерывания в буфере передачи: 1 – число 64-х разрядных слов в буфере передачи меньше либо равно TLEV 0 – число 64-х разрядных слов в буфере передачи больше TLEV	R	1
2	TBNF	Буфер передачи заполнен наполовину	R	0
1	TBF	Буфер передачи полон: 0 – буфер передачи не полон 1 – буфер передачи полон	R	0
0	TBE	Буфер передачи пуст: 0 – буфер передачи не пуст 1 – буфер передачи пуст	R	1

15.3.8 Структурная схема MFBSР для режима I2S

На Рисунок 15.7. представлена структурная схема MFBSР для режима I2S.

Включение режима I2S производится установкой бит LEN=0, SPI_I2S_EN=1, регистра CSR_MFBSР и TMODE = 0 регистра TCTR для передатчика, RMODE = 0 регистра RCTR для приёмника.

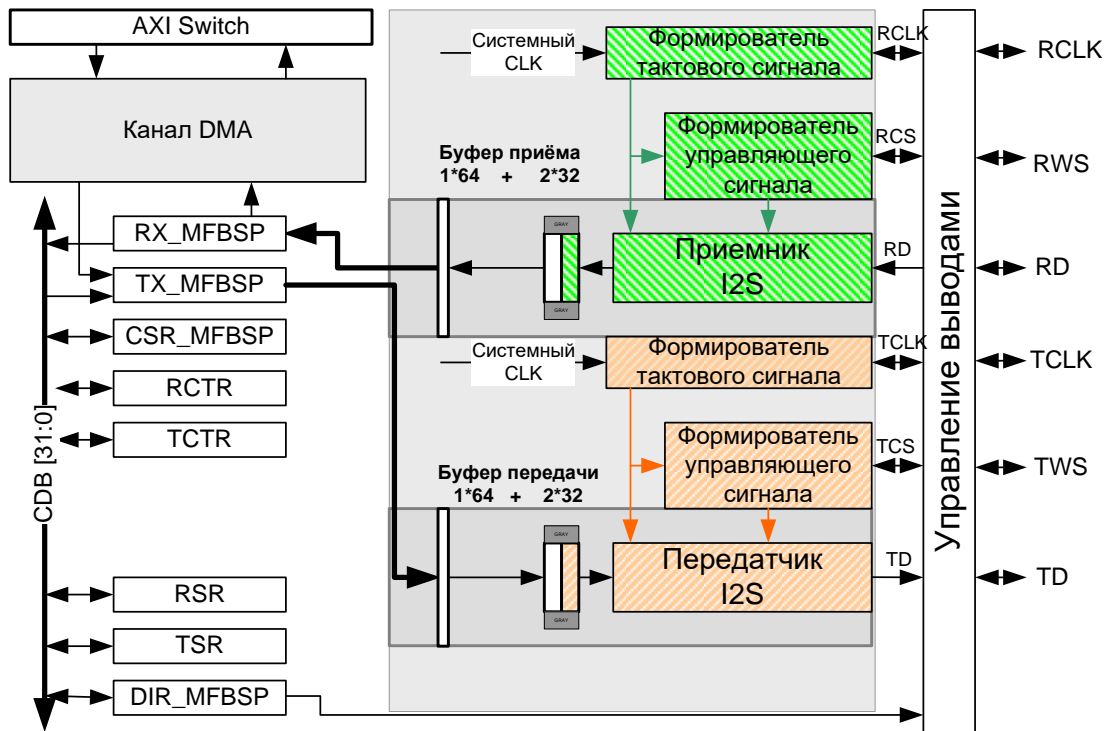


Рисунок 15.7. Структурная схема MFBSP для режима I2S

15.3.9 Варианты соединения порта с внешними устройствами

Программно управляя направлением выводов последовательного порта (см. описание регистра DIR_MFBSP) можно организовать множество вариантов соединения схемы с внешними устройствами через MFBSP (Рисунок 15.8., Рисунок 15.9., Рисунок 15.10.).

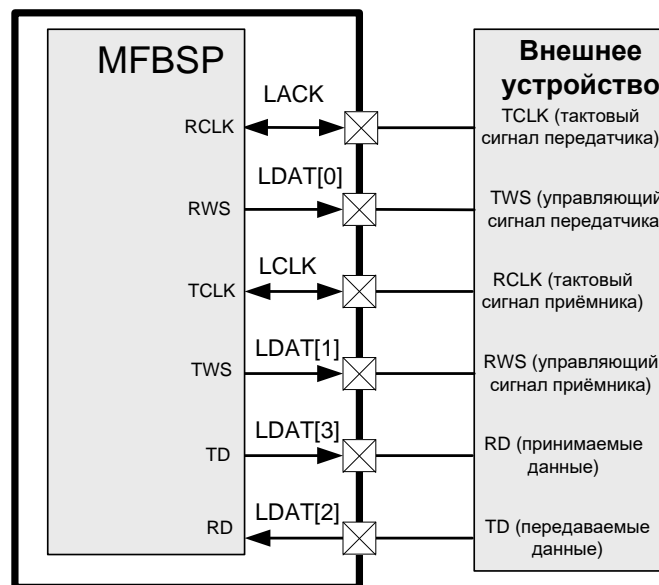


Рисунок 15.8. Соединение двух устройств по интерфейсу I2S в дуплексном режиме. Приёмник и передатчик независимые (задействовано 6 внешних выводов)

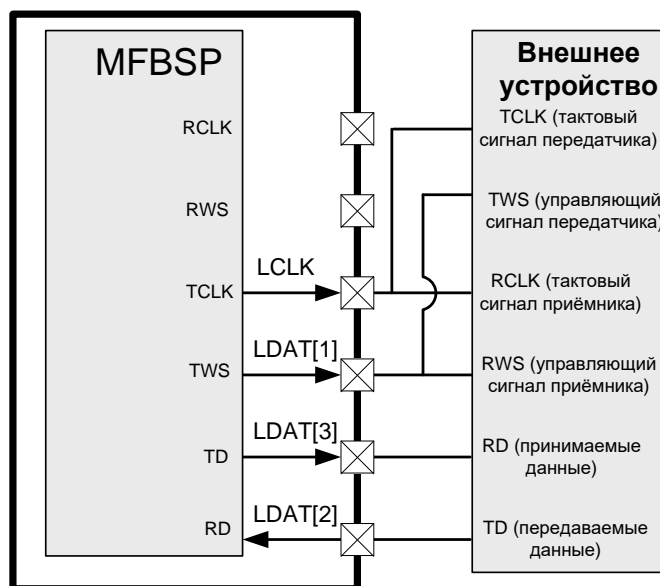


Рисунок 15.9. Соединение двух устройств по интерфейсу I2S в дуплексном режиме. Приёмник в зависимом от передатчика режиме (задействовано 4 внешних вывода)

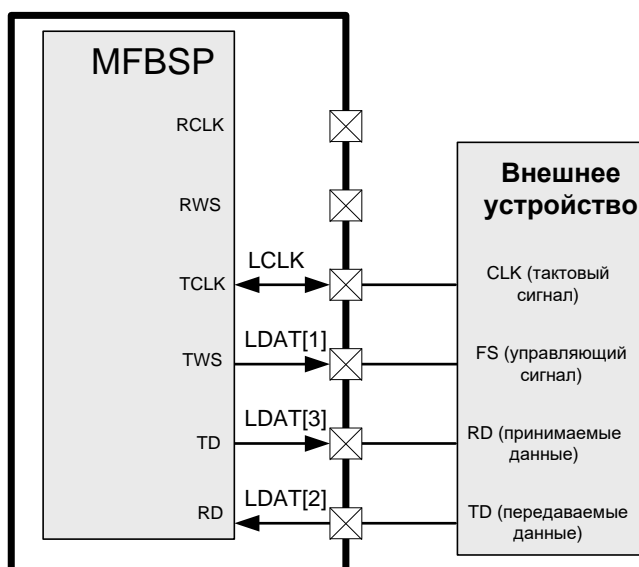


Рисунок 15.10. Соединение двух устройств по интерфейсу I2S в дуплексном режиме. Приёмник в зависимом от передатчика режиме (задействовано 4 внешних вывода). Как приёмником, так и передатчиком используются тактовый и управляющий сигналы с выводов TCLK и TWS

15.3.10 Передача данных в режиме I2S

В режиме I2S возможна передача аудио данных с использованием сигнала выбора канала (бит (T/R)DSPMODE = 0). При этом программно задаётся полярность тактового сигнала, полярность управляющего сигнала и наличие задержки выдачи данных относительно фронта управляющего сигнала (см. описание регистров TCTR и RCTR). На Рисунок 15.11. представлены временные диаграммы для данного режима.

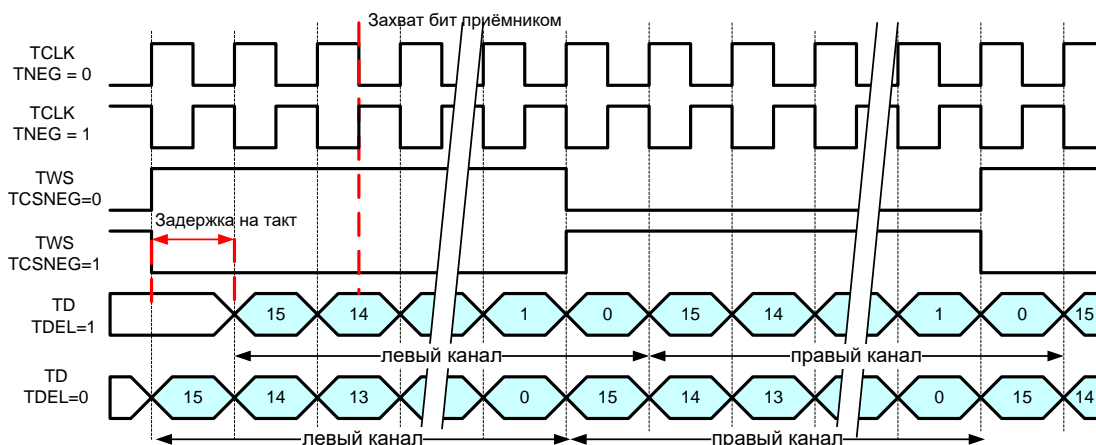


Рисунок 15.11. Передача в режиме I2S (формат I2S) $TMODE = 0$, $TDSPMODE=0$, $TMBF = 1$, $TCS_RATE = TWORDLEN = 15$ диаграммы тактового сигнала TCLK представлены для различных значений TNEG, диаграммы управляющего сигнала TWS представлены для различных значений TCSNEG, диаграммы для последовательных данных представлены для различных значений TDEL

В режиме I2S (бит (T/R)MODE = 0) также возможна передача последовательных слов с использованием сигнала синхронизации фрейма (бит (T/R)DSPMODE = 1). При этом программно задаётся полярность тактового сигнала, полярность активного фронта управляющего сигнала и наличие задержки выдачи данных относительно фронта управляющего сигнала (Рисунок 15.12.).

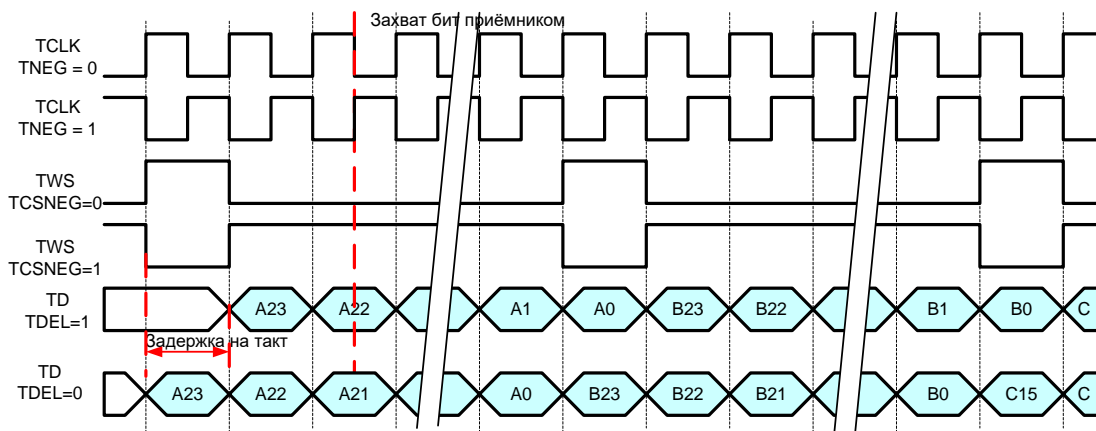


Рисунок 15.12. Передача в режиме I2S (формат DSP) $TMODE = 0$, $TDSPMODE=1$, $TMBF = 1$, $TCS_RATE = TWORDLEN = 23$ диаграммы тактового сигнала TCLK представлены для различных значений TNEG, диаграммы управляющего сигнала TWS представлены для различных значений TCSNEG, диаграммы для последовательных данных представлены для различных значений TDEL

Если управляющий сигнал формируется логикой MFBS (вывод (T/R)WS – сконфигурирован как выход), то частота управляющего сигнала (либо частота импульсов синхронизации в формате DSP) может задаваться программно от $ICLK/2$ до $ICLK/(2 \cdot 2^5)$, где ICLK – рабочая частота интерфейса TCLK для передатчика и RCLK для приемника (см. описание регистров TCTR_RATE и RCTR_RATE). Временные диаграммы для данного случая представлены на Рисунок 15.13..

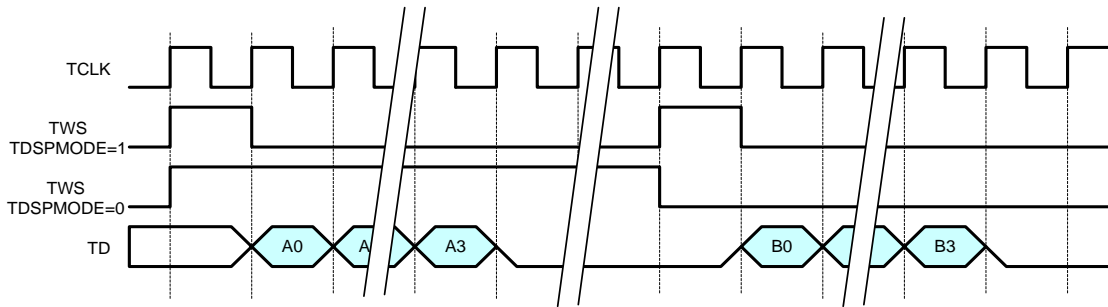


Рисунок 15.13. Передача в режиме I2S TMODE = 0, TMBF = 0, TWORDLEN = 3, TCS_RATE>TWORDLEN, TNEG = 0, TCSNEG=0, TDEL = 1. Диаграммы управляющего сигнала TWS представлены для различных значений TDSPMODE

В режиме I2S (только в формате I2S (T/R)DSPMODE=0) предусмотрен режим паковщика / распаковщика. В этом режиме 32 разрядные слова из буфера передачи автоматически разбиваются на 2 16-ти разрядных слова и передаются по разным каналам. Соответственно для приёмника два принятых по разным каналам слова группируются в одно 32-х разрядное слово, которое записывается в буфер приёма. В данном режиме длина передаваемого или принимаемого слова может быть в пределах от 2 до 16 бит. Порядок выдачи разбитого слова и порядок сборки определяется битами TCSNEG, TSWAP, RCSNEG, RSWAP.

15.3.11 Формирование тактовых сигналов приёмника (RCLK) и передатчика (TCLK) и передатчика (TCLK)

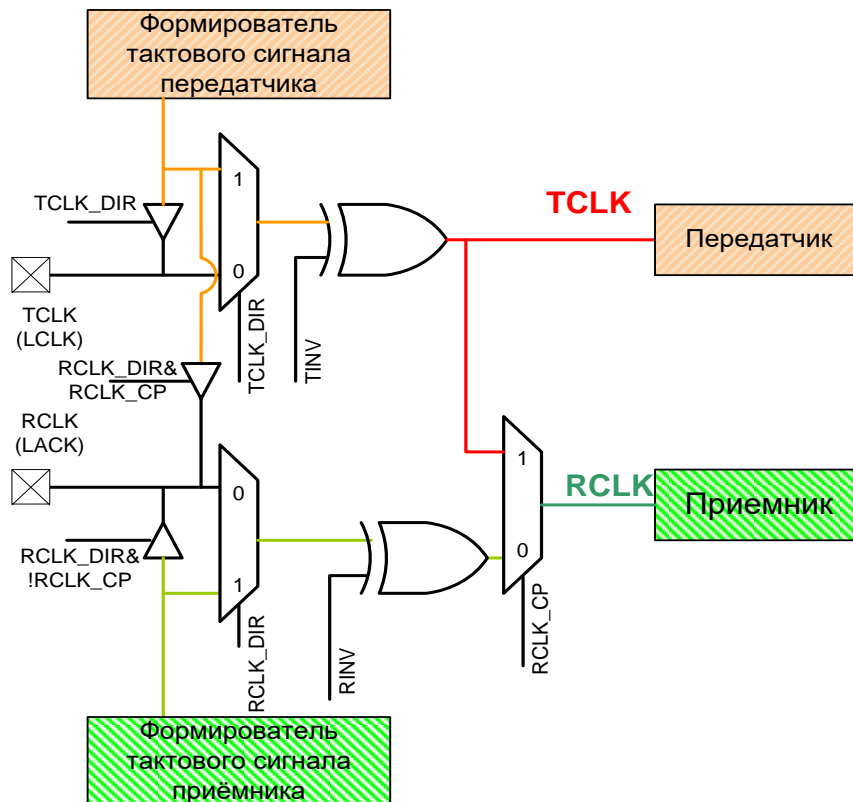


Рисунок 15.14. Схема формирования тактовых сигналов приёмника и передатчика в режиме I2S

На Рисунок 15.14. представлена схема формирования тактовых сигналов приёмника и передатчика в режиме I2S.

В зависимости от значения бита `TCLK_DIR`, тактовый сигнал передатчика `TCLK` может как формироваться самим передатчиком, так приниматься с внешнего вывода. В зависимости от значений бит `TMODE`, `TNEG` и `TDEL` тактовый сигнал либо передаётся передатчику без изменений, либо инвертируется.

В зависимости от значения бита `RCLK_DIR`, тактовый сигнал приёмника `RCLK` может как формироваться самим приёмником, так приниматься с внешнего вывода. В зависимости от значений бит `RMODE`, `RNEG` и `RDEL` тактовый сигнал либо передаётся приёмнику без изменений, либо инвертируется.

Если бит `RCLK_CP` установлен в 1, то тактовый сигнал приёмника копирует тактовый сигнал передатчика. Для корректной работы устройства в этом случае настройки полярности тактового сигнала приёмника и передатчика должны совпадать (`TNEG=RNEG`, `TDEL=RDEL`).

При `RCLK_CP = 1` тактовый сигнал передатчика передаётся на внешний вывод приёмника, только если передатчик сам формирует тактовый сигнал и вывод тактового сигнала приёмника сконфигурирован как выход (`TCLK_DIR=1`, `RCLK_DIR=1`).

Если биты `RCLK_CONT=1` и `RCLK_DIR=1` то `RCLK` формируется непрерывно, пока установлен бит `REN`. Если `RCLK_CONT=0` и `RCLK_DIR=1` то `RCLK` формируется только до момента заполнения буфера приёма. Если `RCLK_DIR=0`, то `RCLK` принимается с внешнего вывода схемы.

Если биты `TCLK_CONT=1` и `TCLK_DIR=1` то `TCLK` формируется непрерывно, пока установлен бит `TEN`. Если `TCLK_CONT=0` и `TCLK_DIR=1` то `TCLK` формируется только в процессе передачи очередного слова. Если `TCLK_DIR=0`, то `TCLK` принимается с внешнего вывода схемы.

15.3.12 Формирование управляющих сигналов приёмника и передатчика в режиме I2S

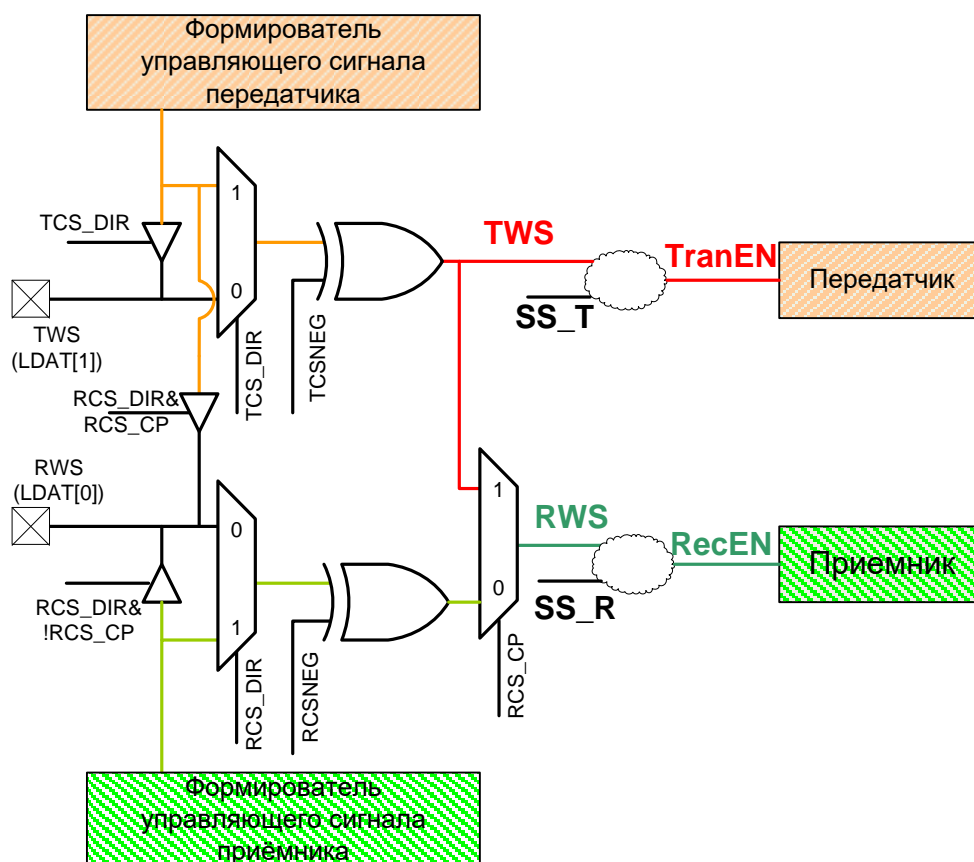


Рисунок 15.15. Схема формирования управляющих сигналов в режиме I2S

На Рисунок 15.15. представлена схема формирования управляющих сигналов в режиме I2S.

В зависимости от значения бита TCS_DIR, задающего направление вывода TWS, управляющий сигнал передатчика TWS может как формироваться самим передатчиком, так приниматься с внешнего вывода. В зависимости от значения бита TCSNEG управляющий сигнал либо передается передатчику без изменений, либо инвертируется.

В зависимости от значения бита RCS_DIR, задающего направление вывода RWS, управляющий сигнал приёмника RCLK может как формироваться самим приёмником, так приниматься с внешнего вывода. В зависимости от значения бита RCSNEG управляющий сигнал либо передается приёмнику без изменений, либо инвертируется.

Если бит RCS_CP установлен в 1, то управляющий сигнал приёмника копирует управляющий сигнал передатчика. Для корректной работы устройства в этом случае настройки полярности управляющего сигнала приёмника и передатчика должны совпадать (TCSNEG=RCSNEG).

При $RCS_CP = 1$ управляющий сигнал передатчика передается на внешний вывод приёмника, только если передатчик сам формирует управляющий сигнал и вывод управляющего сигнала приёмника сконфигурирован как выход ($TCS_DIR=1$, $RCS_DIR=1$).

Если направление вывода RWS задано как выход и $RCS_CONT=0$, то управляющий сигнал RWS формируется до тех пор, пока не заполнится буфер приёма, если $RCS_CONT=1$ то, RWS формируется непрерывно, пока установлен бит REN. Если направление вывода задано как вход, управляющий сигнал RWS принимается от внешнего устройства. Если установлен бит RCS_CP , RWS копирует TWS, независимо от направления вывода.

Если направление вывода TWS задано как выход и $TCS_CONT=0$, то управляющий сигнал TWS формируется только во время передачи очередного слова, если $TCS_CONT=1$ TWS формируется непрерывно, пока установлен бит TEN. Если направление вывода задано как вход, управляющий сигнал TWS принимается от внешнего устройства.

15.3.13 Тракт передачи данных

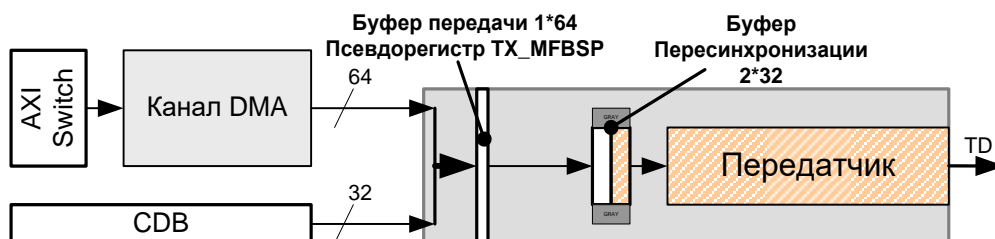


Рисунок 15.16. Тракт передачи данных для режима I2S

На Рисунок 15.16 представлен тракт передачи данных для режима I2S.

Что бы инициировать передачу данных по последовательному порту необходимо включить последовательный порт ($SPI_I2S_EN=1$) и передатчик ($TEN=1$), после чего либо начать производить запись передаваемых 32-х разрядных слов в буфер передачи по адресу псевдорегистра TX_MFBS , либо включить канал DMA в направления передачи для соответствующего порта (в этом случае обмен данными с портом будет вестись 64-х разрядными словами).

Данные записанные в буфер передачи автоматически перемещаются в буфер пересинхронизации направления передачи, если он не полон. Запись в буфер пересинхронизации направления передачи осуществляется на системной частоте CLK, чтение из буфера пересинхронизации осуществляется на частоте передатчика TCLK. Как только в буфере пересинхронизации оказалось хотя бы одно слово, передатчиком инициируется передача. Передатчиком производится последовательная выдача бит

очередного 32-х разрядного слова до тех пор, пока число переданных бит не достигнет $TWORDLEN+1$, после чего производится считывание очередного слова из буфера пересинхронизации. По мере передачи слов в освобождающийся буфер пересинхронизации перемещается слово из буфера передачи. После выборки последнего слова из буфера передачи (буфер передачи пуст) в буфере пересинхронизации остаётся еще два слова. Фактическое окончание передачи можно идентифицировать по состоянию буфера пересинхронизации, либо считав бит TRUN регистра TSR.

Если управляющий сигнал формируется передатчиком, то при считывании последнего слова из буфера пересинхронизации передача останавливается. Передача продолжится только после того как в буфер пересинхронизации снова начнут поступать данные.

Если передатчик использует внешнюю частоту и внешний управляющий сигнал, в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота передатчика, однако ее должно быть достаточно для того, что бы успеть переместить очередное слово в буфер пересинхронизации (за время передачи одного слова должно быть хотя бы три импульса системной частоты CLK). Если внешний управляющий сигнал инициировал передачу слова при пустом буфере пересинхронизации устанавливается флаг ошибки передачи (TERR), в этом случае передается ошибочное слово. Если управляющий сигнал формируется самим передатчиком, системная частота может быть много меньше частоты передатчика, однако это скажется на скорости передачи данных.

Установка бита TERR в процессе передачи говорит о том, что порт произвел попытку чтения из пустого буфера передачи. Это значит, что передатчиком было передано некорректное слово, кроме того могло быть нарушено состояние указателей в буфере передачи. Продолжать передачу в таком состоянии порта нельзя. В этом случае необходимо произвести выключение порта - установить бит `i2s_spi_en` в 0, что приведет к сбросу состояния всех буферов порта, после чего программно сбросить бит TERR записью в регистр TSR. После чего можно снова включить порт и продолжать передачу.

В направлении передачи порт обладает буферизацией на 4 32-х разрядных слова. В случае передачи данных посредством DMA запись блоков данных в буфер передачи происходит до тех пор, пока буфер готов принять очередной блок, размер которого определяется битами WN, регистра CSR соответствующего канала DMA.

Установка бита `SPI_I2S_EN` в 0 приведет к программному сбросу передатчика, и все данные находящиеся в буфере передачи будут утеряны.

15.3.14 Тракт приёма данных

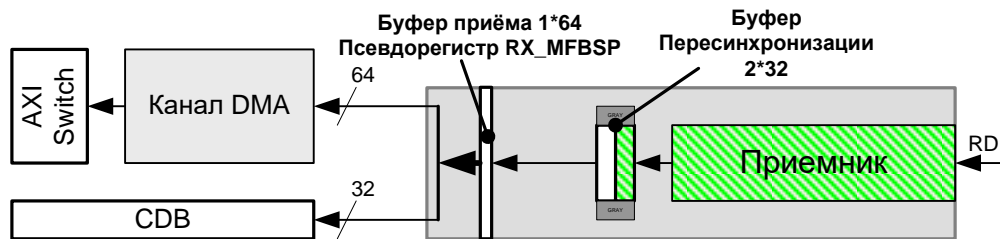


Рисунок 15.17. Тракт приёма данных в режиме I2S

На Рисунок 15.17. представлен тракт передачи данных для режима I2S.

Что бы перевести приёмник в режим готовности необходимо включить последовательный порт ($SPI_I2S_EN=1$) и приёмник ($REN=1$), после чего либо начать ожидание появления прочитанных данных в буфере приёма, либо включить канал DMA в направления приёма для соответствующего порта.

Приёмник принимает последовательные биты, поступающие с внешнего вывода до тех пор, пока число принятых бит не достигнет значения $RWORDLEN+1$. После этого принятое 32-х разрядное слово (если $RWORDLEN < 31$ незадействованные биты обнуляются) перемещается в буфер пересинхронизации. Запись в буфер пересинхронизации направления приёма осуществляется на частоте приёмника $RCLK$, чтение из буфера пересинхронизации осуществляется на системной частоте CLK . Из буфера пересинхронизации принятое слово автоматически перемещается в буфер приёма, если он не полон. Если в буфере приёма есть хотя бы одно 32-х разрядное слово, то принятые 32-х разрядные слова можно считывать, обращаясь по адресу псевдорегистра RX_MFBSR . Принимать данные можно также включив соответствующий порту канал DMA направления приёма (в этом случае обмен данными с портом осуществляется 64-х разрядными словами).

Если приёмник использует внешнюю частоту, то в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота приёмника, однако ее должно быть достаточно для того, что бы успеть переместить очередное слово из буфера пересинхронизации (за время приёма одного слова должно быть хотя бы три импульса системной частоты CLK). Если при заполненном буфере пересинхронизации приёмником был произведен приём очередного слова и инициирована попытка записи в буфер пересинхронизации устанавливается флаг ошибки приёма ($RERR$), а последнее принятое слово теряется.

Установка бита $RERR$ в процессе передачи говорит о том, что порт произвел попытку записи в полный буфер приёма. Это значит, что принятое слово было потеряно, кроме того могло быть нарушено состояние указателей в буфере приёма. Продолжать приём в таком состоянии порта нельзя. В этом случае необходимо произвести выключение порта - установить бит $i2s_spi_en$ в 0, что приведет к сбросу состояния всех буферов порта, после

чего программно сбросить бит RERR записью в регистр RSR. После чего можно снова включить порт и продолжать приём.

В направлении приёма порт обладает буферизацией на 4 32-х разрядных слова. В случае приёма данных посредством DMA чтение блоков данных из буфера приёма происходит до тех пор, пока в буфере приёма достаточно слов для чтения очередного блока, размер которого определяется битами WN, регистра CSR соответствующего канала DMA. DMA обмена возможны только 64 разрядными словами, таким образом, если было принято нечетное количество 32-х разрядных слов, после окончания работы DMA необходимо прочитать оставшееся слово, обратившись к псевдорегистру RX_MFBSP.

Установка бита SPI_I2S_EN в 0 приведет к программному сбросу приёмника и все данные находящиеся в буфере приёма будут утеряны.

15.3.15 Прерывания от последовательного порта

Прерывание MFBSP_RXBUF устанавливается, в случае если включен приемник (I2S_SPI_EN=1, REN = 1) и в буфер приёма записано количество слов большее, чем установлено уровнем прерывания RLEV, либо произошла ошибка приема (RERR = 1).

Прерывание MFBSP_TXBUF устанавливается, в случае если включен передатчик (I2S_SPI_EN=1, REN = 1) и в буфере передачи осталось количество слов меньшее, либо равное чем установлено уровнем прерывания TLEV, либо произошла ошибка передачи (TERR = 1).

15.4 Работа MFBSP в режиме SPI

15.4.1 Назначение последовательного порта в режиме SPI

Режим SPI буферизированного последовательного порта предназначен для организации дуплексного обмена последовательными данными с внешними устройствами.

Порт в режиме SPI позволяет одновременно передавать и принимать последовательные данные. Приемник и передатчик контроллера могут настраиваются независимо, при этом возможен перевод приёмника в зависимое от передатчика состояние.

Поддерживается независимое задание направления выводов последовательных данных порта, осуществляемое установкой соответствующих бит регистра DIR_MFBSP.

В режиме ведущего устройства к MFBSP параллельно может быть подключено до двух ведомых SPI устройств.

Формирование сигнала выбора ведомого возможно как в автоматическом так и в программном режиме. В автоматическом режиме после передачи каждого слова сигнал выбора ведомого возвращается в высокое состояние. При программном управлении

сигналами выбора ведомого данные сигналы изменяются посредством записи в контрольный регистр передатчика.

В данной реализации порта существует ограничение на выбор направления выводов в режиме SPI: тактовый и управляющий сигналы в режиме SPI должны быть либо оба заданы как вход, либо оба заданы как выход;

В данной реализации порта не предусмотрена возможность соединения нескольких микропроцессоров по цепочке с использованием SPI интерфейса. Микропроцессор может только управлять загрузкой последовательных данных в другие ведомые устройства, соединенные по цепочке.

В данной реализации порта в режиме ведомого устройства сигнал выбора ведомого предварительно пересинхронизируется на внутреннюю частоту порта, поэтому для устойчивой работы порта в режиме ведомого SPI устройства уровень сигнала SS, если необходима его установка в 1 между передачами, должен удерживаться как минимум два периода внутренней частоты CLK. Поэтому, если приемник работает в зависимом от передатчика режиме (RCS_CP=1, RCLK_CP=1), передатчик работает на максимальной частоте (TCLK_RATE=0) и формирует сигнал SS в автоматическом режиме (SS_DO=0, TCS_DIR=1), необходимо установить значение TSS_RATE \geq 1 чтобы удерживать сигнал SS в высоком уровне как минимум два периода внутренней частоты CLK.

15.4.2 Регистр управления и состояния CSR_MFBSP (режим SPI)

Регистр CSR_MFBSP (Таблица 15.11) используется для включения режима последовательного порта и разрешения прерываний от MFBSP.

Таблица 15.11. Назначение разрядов регистра CSR_MFBSP в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	RX_RDY_MODE	Режим формирования признака готовности приема данных из DMA в MFBSP: 0 – штатный режим работы. Признак готовности формируется MFBSP аппаратно; 1 – признак готовности установлен в 1. Используется для приведение DMA в исходное состояние, если: устройство подключенное к MFBSP передало в него меньший объем данных, по сравнению с тем, что указано в DMA; необходимо программно остановить прием данных в MFBSP	RW	0
30	TX_RDY_MODE	Режим формирования признака готовности передачи данных из MFBSP в DMA: 0 – штатный режим работы. Признак готовности формируется MFBSP аппаратно; 1 – признак готовности установлен в 1. Используется для приведение DMA в исходное состояние, если: устройство подключенное к MFBSP приняло из него меньший объем данных, по сравнению с тем, что указано в DMA; необходимо программно остановить передачу данных из MFBSP	RW	0
29:17	-	Резерв	R	0
16	MFBSP_TXBUF_IRQ_EN	Разрешение прерывания MFBSP_TXBUF: 0 – прерывание запрещено; 1- прерывание разрешено.	RW	1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15	MFBSR_RXBUF_IRQ_EN	Разрешение прерывания MFBSR_RXBUF: 0 – прерывание запрещено; 1- прерывание разрешено.	RW	1
14:11	-	В режиме SPI не используется	-	0
10	-	В режиме SPI не используется	-	1
9	SPI_I2S_EN	Включение режима SPI/I2S: 0 – Работа в режиме LPORT 1 – Работа в режиме SPI/I2S	RW	0
8:5	-	В режиме SPI не используется	-	0
4:3	LSTAT	Состояние буфера: При LTRAN = 0 показывает состояние буфера приёма При LTRAN = 1 показывает состояние буфера передачи 00 – буфер пуст; 10 – буфер не пуст; 11 – буфер полон.	R	0
2	-	В режиме SPI не используется	-	0
1	LTRAN	Назначение бит LSTAT: 0 - DMA работает в направлении приёма, LSTAT отображает состояние буфера приёма 1 – DMA работает в направлении передачи, LSTAT отображает состояние буфера передачи	RW	0
0	LEN	В режиме SPI должен быть установлен в 0	RW	0

Алгоритм использования бит RX_RDY_MODE, TX_RDY_MODE:

1. Остановить MFBSR, для чего в регистр CSR_MFBSR необходимо записать 0.
2. Выполнить операцию записи 0 в бит RUN регистра CSR соответствующего DMA MFBSR (при этом, бит RUN может в 0 не установиться).
3. Установить в 1 бит RX_RDY_MODE (TX_RDY_MODE).
4. Дождаться установки в 0 бита RUN регистра CSR DMA MFBSR.
5. Установить в 0 бит RX_RDY_MODE (TX_RDY_MODE).

15.4.3 Регистр управления направлением выводов DIR_MFBSP (режим SPI)

Регистр управления направлением выводов DIR_MFBSP (Таблица 15.12) предназначен для индивидуальной настройки направления каждого вывода последовательного порта.

Таблица 15.12. Назначение разрядов регистра DIR_MFBSP в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
9:6	-	В режиме SPI не используется	-	0
5	TD_DIR	Направление вывода MOSI: 0 – MOSI – вход (при RD_DIR = 1 последовательные данные принимаются со входа MOSI - эквивалент SDI) 1 – MOSI - выход (MOSI – является выходом для передачи последовательных данных и является эквивалентом SDO)	RW	0
4	RD_DIR	Направление вывода MISO: 0 – MISO – вход (последовательные данные принимаются со входа MISO - эквивалент SDI) 1 – MISO - выход (MISO – является выходом для передачи последовательных данных и является эквивалентом SDO)	RW	0
3	TCS_DIR	Направление вывода SS[0]: 0 – SS[0] – вход (управляющий сигнал для передатчика снимается с вывода SS[0]) 1 – SS[0] - выход, управляющий сигнал формируется передатчиком	RW	0
2	RCS_DIR	Направление вывода SS[1]: 0 – SS[1] – вход (управляющий сигнал для приёмника снимается с вывода SS[1]) 1 – SS[1] - выход, в этом случае на SS[1] в зависимости от состояния бита RCS_CP подаются управляющие сигналы, формируемые либо приемником, либо передатчиком	RW	0
1	TCLK_DIR	Направление вывода TSCK: 0 – TSCK – вход (тактовый сигнал TSCK принимается от внешнего источника) 1 – TSCK – выход (тактовый сигнал TSCK формируется передатчиком)	RW	0
0	RCLK_DIR	Направление вывода RSCK: 0 – RSCK – вход (тактовый сигнал RSCK принимается от внешнего источника) 1 – RSCK – выход (тактовый сигнал RSCK формируется приёмником)	RW	0

При RD_DIR = 0 и TD_DIR = 0 данные снимаются с MISO, при RD_DIR = 1 и TD_DIR = 1 на MOSI и MISO выдаются одинаковые данные с передатчика.

15.4.4 Регистр управления приёмником RCTR (режим SPI)

Таблица 15.13. Назначение разрядов регистра RCTR в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	Резерв	-	0
29	-	В режиме SPI не используется	-	0
28	-	В режиме SPI не используется	-	0
27	-	В режиме SPI не используется	-	0
26	RSIGN	Значение заполнителя: Если длина принимаемого слова меньше 32 при отключенном паковщике или меньше 16 при включенном паковщике, то неиспользуемые биты принятого слова заполняются При RSIGN = 0 нулями При RSIGN = 1 значением старшего разряда в принятом слове	RW	0
25	RPACK	В режиме SPI обязательно RPACK=0.	RW	0
24:20	RWORDLEN	Длина принимаемого слова: Число бит в принимаемом слове равно RWORDLEN + 1. RWORDLEN должно быть больше 0.	RW	5'b0
19	RMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW RW	1
18	-	В режиме SPI не используется	-	0
17:12	-	В режиме SPI не используется	-	0
11	RDEL	Задержка начала приёма данных на пол такта: (Эквивалентно CPHA в спецификации Motorola). Задаёт фронт, по которому производится захват данных приёмником (фронт приёма). Ниже приведено соответствие полярности фронта приёма значениям бит RNEG, RDEL: RNEG = 0, RDEL = 0 – захват по переднему фронту RSCK RNEG = 0, RDEL = 1 – захват по заднему фронту RSCK RNEG = 1, RDEL = 0 – захват по заднему фронту RSCK RNEG = 1, RDEL = 1 – захват по переднему фронту RSCK	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
10	RNEG	Полярность тактового сигнала приёмника: (эквивалентно CPOL в спецификации Motorola). Задаёт исходное состояние вывода RSCK и фронт, по которому производится захват данных приёмником (фронт приёма). Ниже приведено соответствие полярности фронта приёма значениям бит RNEG, RDEL: RNEG = 0, RDEL = 0 – захват по переднему фронту RSCK RNEG = 0, RDEL = 1 – захват по заднему фронту RSCK RNEG = 1, RDEL = 0 – захват по заднему фронту RSCK RNEG = 1, RDEL = 1 – захват по переднему фронту RSCK Исходное состояние RSCK = RNEG.	RW	0
9	-	В режиме SPI не используется	-	0
8:4	RCLK_RATE [4:0]	Делитель частоты приёмника: В случае, если частота формируется самим приёмником, определяет частоту приёмника $RSCK = CLK / ((RCLK_RATE + 1) * 2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0
3	RCS_CP	Управление сигналом выбора ведомого приёмника: 0 – сигнал SS[1] принимается приёмником с внешнего вывода или формируется самим приёмником. 1 – сигнал SS[1] формируется передатчиком и является сигналом выбора ведомого устройства 1. Приёмник осуществляет приём данных синхронно с передатчиком. (в этом случае RCLK_CP должно быть так же в 1).	RW	0
2	RCLK_CP	Дублирование сигнала RSCK: 0 – RSCK формируется или принимается независимо от передатчика 1 – RSCK приёмника дублирует TSCK передатчика (в этом случае RCS_CP должно быть так же в 1).	RW	0
1	RMODE	Режим работы приёмника: 0 – режим I2S 1 – режим SPI	RW	0
0	REN	Разрешение работы приёмника: 0 – приёмник выключен 1 – приёмник включен	RW	0

15.4.5 Регистр управления передатчиком TCTR (режим SPI)

Таблица 15.14. Назначение разрядов регистра TCTR в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	SS[1]	При SS_DO = 1 значение бита SS передаются на вывод LDAT[0]	-	0
30	SS[0]	<p>биты управления шиной Slave Select: Позволяет активировать подключенное ведомое устройство. При SS_DO = 0 установка соответствующего бита SS в 1 означает выбор ведомого устройства, с которым будет производиться обмен данными При SS_DO = 1 значения бит SS передаются на выходы SS напрямую</p>	RW	0
29	-	В режиме SPI не используется	-	0
28	-	В режиме SPI не используется	-	0
27	-	В режиме SPI не используется	-	0
26	-	Резерв	-	0
25	TPACK	В режиме SPI обязательно TPACK=0.	RW	0
24:20	TWORDLEN	<p>Длина передаваемого слова: Число бит в передаваемом слове равно TWORDLEN + 1. TWORDLEN должно быть больше 0.</p>	RW	5'b0
19	TMBF	<p>Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед</p>	RW	1
18	-	В режиме SPI не используется	-	0
17:12	-	В режиме SPI не используется	-	0
11	TDEL	<p>Задержка начала передачи данных на пол такта: (Эквивалентно CPHA в спецификации Motorola). Задаёт фронт, по которому производится выдача данных передатчиком (фронт выдачи). Ниже приведено соответствие полярности фронта выдачи значениям бит TNEG, TDEL: TNEG = 0, TDEL = 0 – выдача по заднему фронту TSCK TNEG = 0, TDEL = 1 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 0 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 1 – выдача по заднему фронту TSCK</p>	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
10	TNEG	Полярность тактового сигнала передатчика: (эквивалентно CPOL в спецификации Motorola). Задаёт исходное состояние вывода TSCK и фронт, по которому производится выдача данных передатчиком (фронт выдачи). Ниже приведено соответствие полярности фронта выдачи значениям бит TNEG, TDEL: TNEG = 0, TDEL = 0 – выдача по заднему фронту TSCK TNEG = 0, TDEL = 1 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 0 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 1 – выдача по заднему фронту TSCK Исходное состояние TSCK = TNEG.	RW	0
9	-	В режиме SPI не используется	-	0
8:4	TCLK_RATE	Делитель частоты передатчика: В случае, если частота формируется самим передатчиком, определяет частоту передатчика TSCK = $CLK / ((TCLK_RATE + 1) * 2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0
3	SS_DO	управление выводами SS: 0 – управление выводами SS производится в автоматическом режиме. С началом передачи вывод SS, для которого соответствующий бит SS, регистра TCRT установлен в 1 переводится в низкое состояние, с окончанием передачи вывод SS переводится в высокое состояние. Если соответствующий выводу бит SS установлен в 0 вывод SS всегда находится в высоком состоянии. 1 – значения бит SS напрямую передаются на внешние выводы. В этом случае необходимо программное управление шиной SS в процессе передачи	RW	0
2	-	В режиме SPI не используется	-	0
1	TMODE	Режим работы передатчика: 0 – режим I2S 1 – режим SPI	RW	0
0	TEN	Разрешение работы передатчика: 0 – приемник выключен 1 – приемник включен	RW	0

15.4.6 Регистр состояния приёмника RSR (режим SPI)

Таблица 15.15. Назначение разрядов регистра RSR в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	RSS_RATE	Если сигнал SS формируется приёмником, то задает время удержания сигнала SS в высоком уровне между передачами слов. Время удержания SS определяется как $TRCLK/2*(RSS_RATE+1)$, где TRCLK период тактового сигнала RCLK	RW	0
23	-	резерв	-	0
22:20	RB_DIFF	Количество принятых 64-разрядных слов в буфере приёма (max 8).	R	0
19:17	-	резерв	-	0
16:12	RCLK_RATE [9:5]	Делитель частоты приёмника: В случае, если частота формируется самим приёмником, определяет частоту приёмника $RCLK = CLK/((RCLK_RATE+1)*2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0
11	-	Резерв	-	
10	RRUN	Идёт приём: 0 – приёмник в состоянии ожидания 1 – идёт приём очередного слова	R	0
9	RERR	Ошибка передачи: 0 – приём проходил в штатном режиме 1 - была запись в полный буфер приёма (потеря данных). Флаг сбрасывается записью 0 в 6-й разряд регистра RSR.	RW	0
8	RSBF	Буфер пересинхронизации в направлении приёма полон: 0 – буфер пересинхронизации в направлении приёма не полон 1 – буфер пересинхронизации в направлении приёма полон	R	0
7	RSBE	Буфер пересинхронизации в направлении приёма пуст: 0 – буфер пересинхронизации в направлении приёма не пуст 1 – буфер пересинхронизации в направлении приёма пуст	R	1
6:4	RLEV	Порог прерывания от буфера приёма: Прерывание формируется если число принятых 64-х разрядных слов больше RLEV	RW	7
3	RBHL	Достигнут порог прерывания в буфере приёма: 1 – число 64-х разрядных слов в буфере приёма больше чем задано в RLEV 0 – число 64-х разрядных слов в буфере приёма меньше либо равно RLEV	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
2	RBHF	Буфер приёма полон на половину	R	0
1	RBF	Буфер приёма полон: 0 – буфер приёма не полон 1 – буфер приёма полон	R	0
0	RBE	Буфер приёма пуст: 0 – буфер приёма не пуст 1 – буфер приёма пуст	R	1

15.4.7 Регистр состояния передатчика TSR (режим SPI)

Таблица 15.16. Назначение разрядов регистра TSR в режиме SPI

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
31:28	-	резерв	-	0
27:24	TSS_RATE	Если сигнал SS формируется передатчиком, то задает время удержания сигнала SS в высоком уровне между передачами слов. Время удержания SS определяется как $TTCLK/2*(TSS_RATE+1)$, где TTCLK период тактового сигнала TCLK	RW	0
23	-	резерв	-	0
22:20	TB_DIFF	Количество свободных 64-разрядных позиций в буфере передачи (в буфер передачи можно записать еще TB_DIFF 64-разрядных слов).	R	8
19:17	-	резерв	-	0
16:12	TCLK_RATE [9:5]	Делитель частоты передатчика: В случае, если частота формируется самим передатчиком, определяет частоту передатчика $TCLK = CLK/((TCLK_RATE+1)*2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0
11	-	Резерв	-	0
10	TRUN	Идёт передача: 0 – передатчик в состоянии ожидания 1 – идёт передача очередного слова	R	0
9	TERR	Ошибка передачи: 0 – передача проходила в штатном режиме 1 - было чтение из пустого буфера передачи (передача некорректных данных). Флаг сбрасывается записью 0 в 6-й разряд регистра TSR.	RW	0
8	TSBF	Буфер пересинхронизации в направлении передачи полон: 0 – буфер пересинхронизации в направлении передачи не полон 1 – буфер пересинхронизации в направлении передачи полон	R	0

Номер разряда	Условное обозначение	назначение	Доступ	Исходное состояние
7	TSBE	Буфер пересинхронизации в направлении передачи пуст: 0 – буфер пересинхронизации в направлении передачи не пуст 1 – буфер пересинхронизации в направлении передачи пуст	R	1
6:4	TLEV	Порог прерывания от буфера передачи: Прерывание формируется если число 64-х разрядных слов в буфере передачи меньше либо равно TLEV. В режиме передачи данных с использованием DMA определяет степень заполнения буфера передачи, при которой происходит запись в буфер очередной пачки данных	R	0
3	TBLL	Достигнут порог прерывания в буфере передачи: 1 – число 64-х разрядных слов в буфере передачи меньше либо равно TLEV 0 – число 64-х разрядных слов в буфере передачи больше TLEV	R	1
2	TBNF	Буфер передачи заполнен на половину	R	0
1	TBF	Буфер передачи полон: 0 – буфер передачи не полон 1 – буфер передачи полон	R	0
0	TBE	Буфер передачи пуст: 0 – буфер передачи не пуст 1 – буфер передачи пуст	R	1

15.4.8 Структурная схема MFBSP для режима SPI

На Рисунок 15.18. представлена структурная схема MFBSP для режима SPI.

Включение режима SPI производится установкой бит LEN=0, SPI_I2S_EN=1, TMODE = 1 (для передатчика), RMODE = 1 (для приёмника).

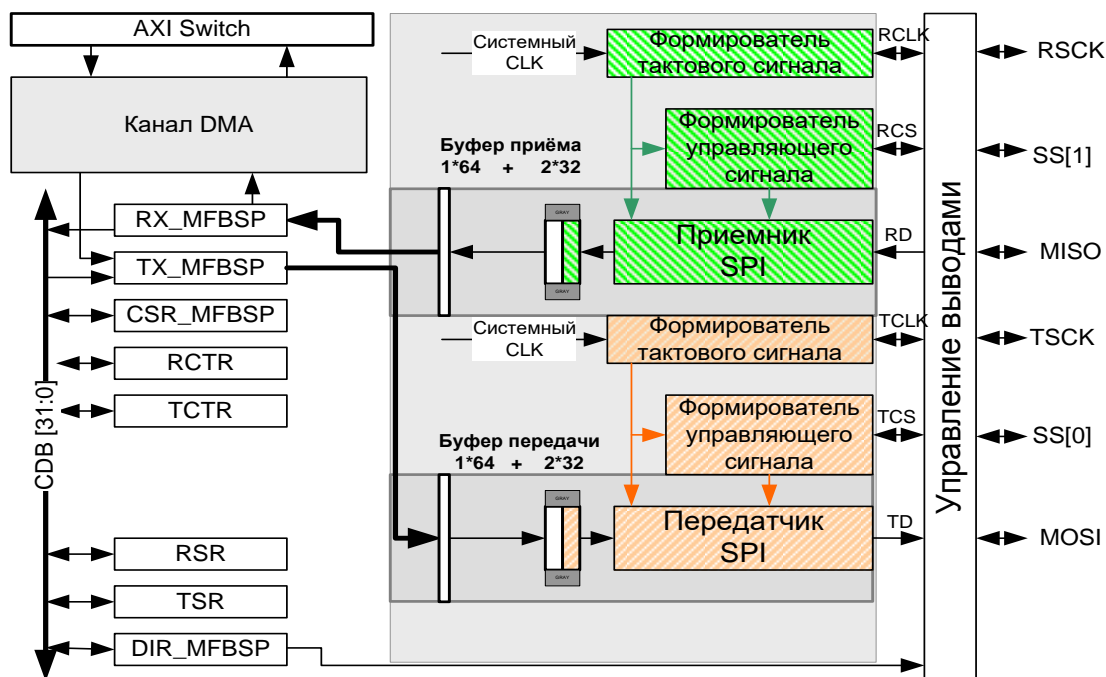


Рисунок 15.18. Структурная схема MFBSP для режима SPI

15.4.9 Варианты соединения порта с внешними устройствами

Программно управляя направлением выводов последовательного порта (см. описание регистра DIR_MFBSP) можно организовать различные варианты соединения схемы с внешними устройствами через MFBSP (Рисунок 15.19., Рисунок 15.20).

MFBSP позволяет подключить одно ведомое SPI устройство. Активация ведомого устройства с которым будет производиться обмен осуществляется битом SS[0], регистра TCTR.

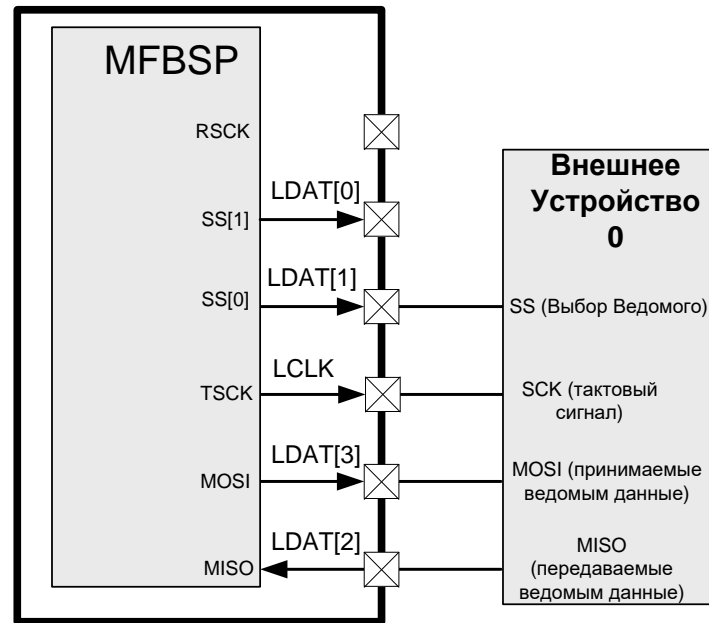


Рисунок 15.19. Подключение к MFBSP двух ведомых устройств по интерфейсу SPI. Приёмник в зависимом от передатчика режиме

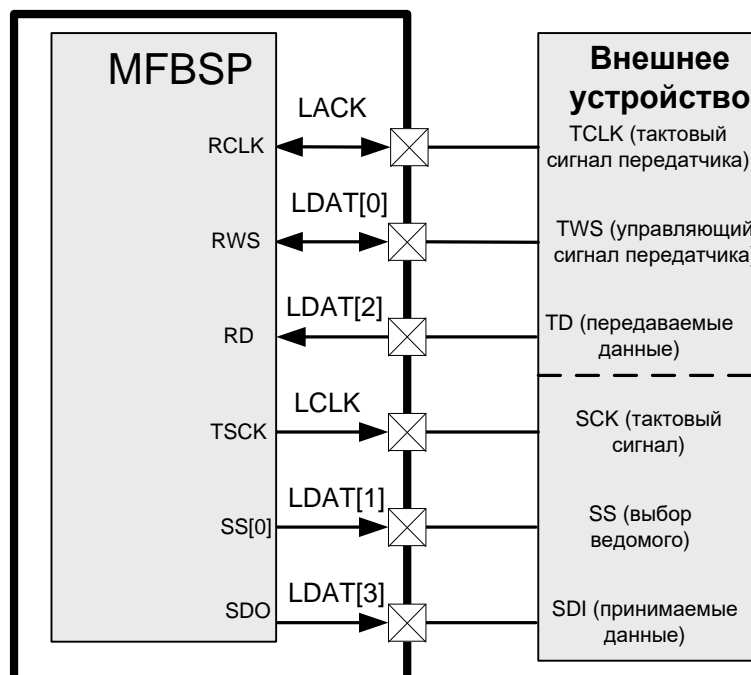


Рисунок 15.20. Организация передачи управляющих данных по интерфейсу SPI и приёма аудиоданных по интерфейсу I2S

15.4.10 Передача данных в режиме SPI

В режиме SPI возможна передача данных при четырёх сочетаниях бит TDEL и TNEG (Рисунок 15.21., Рисунок 15.22.). При этом TNEG – задает начальное состояние вывода TCLK и полярность фронта, по которому производится чтение. TDEL задает смещение передаваемых данных на пол фазы. Значения RNEG и RDEL приёмника должны соответствовать TNEG и TDEL передатчика. После аппаратного сброса SS_DO=0, в этом случае управление сигналом выбора ведомого производится в автоматическом режиме.

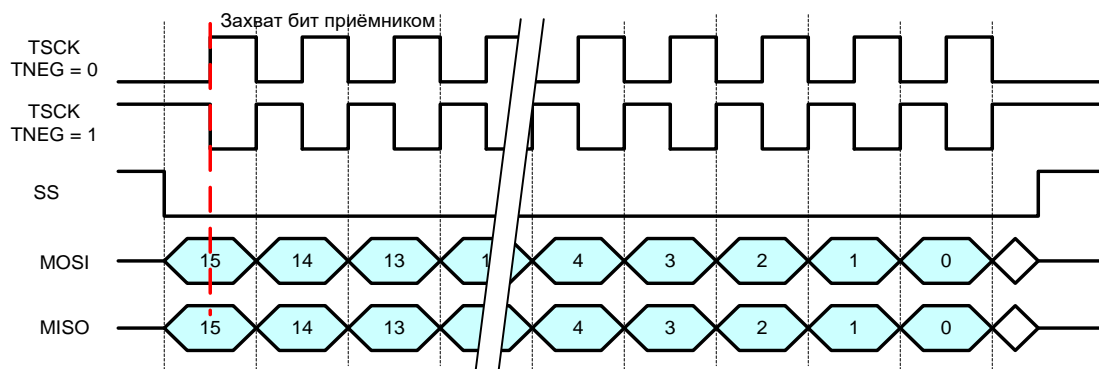


Рисунок 15.21. Передача одного слова в режиме SPI с автоматической генерацией управляющего сигнала TMODE = 1, TMBF = 1, TDEL = 0, SS_DO = 0. Диаграммы тактового сигнала TCK представлены для различных значений TNEG

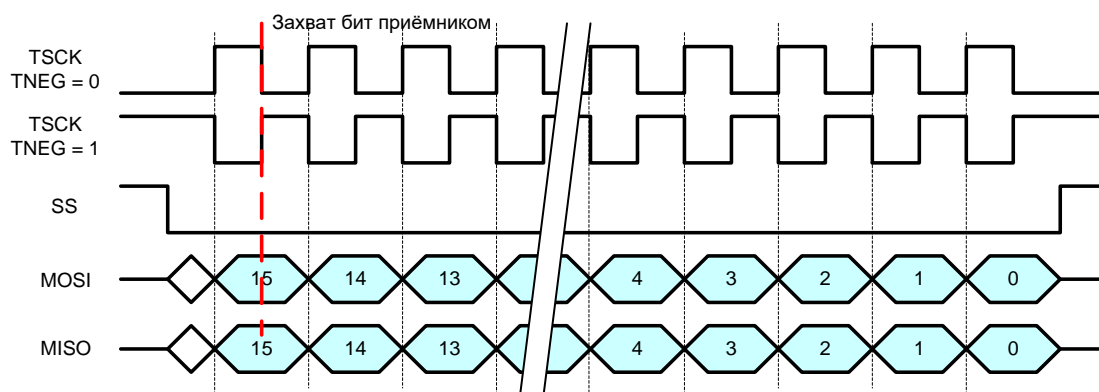


Рисунок 15.22. Передача одного слова в режиме SPI с автоматической генерацией управляющего сигнала TMODE = 1, TMBF = 1, TDEL = 1, SS_DO = 0. Диаграммы тактового сигнала TCK представлены для различных значений TNEG

Чтобы передать несколько слов без изменения уровня на внешнем выводе SS можно использовать программное управление внешним выводом SS, в этом случае SS_DO необходимо установить в 1, программно установить вывод SS в 0, записать передаваемые данные в буфер передачи (или включить канал DMA на передачу), дождаться фактического окончания передачи (бит TRUN регистра TSR сбрасывается в 0), после чего программно установить вывод SS в 1 (Рисунок 15.23.).

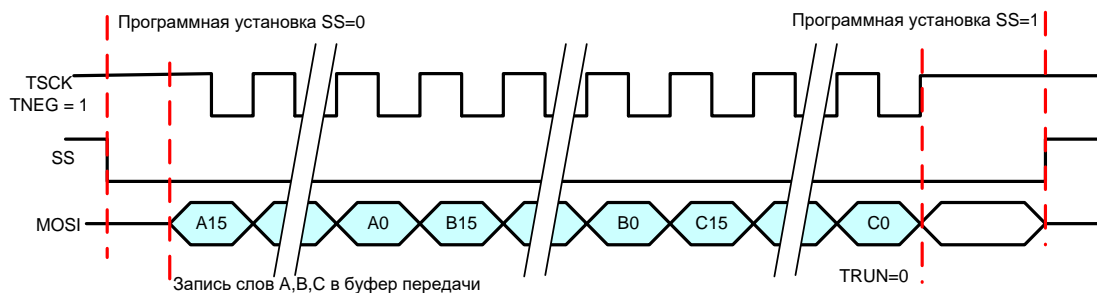


Рисунок 15.23. Передача трёх слов в режиме SPI с программным управлением сигналом SS, TMODE = 1, TMBF = 1, TDEL = 0, TNEG = 0, SS_DO = 1

В режиме ведомого устройства сигнал выбора ведомого предварительно пересинхронизируется на внутреннюю частоту порта, поэтому для устойчивой работы порта в режиме ведомого SPI устройства уровень сигнала SS, если необходима его установка в 1 между передачами, должен удерживаться как минимум два периода внутренней частоты CLK.

Непосредственно к тактовому сигналу TCK данное ограничение не применяется, т.е. частота TCK может быть больше CLK.

Когда MFBSР работает в режиме ведущего SPI устройства, время удержания сигнала SS при автоматическом формировании данного сигнала может регулироваться программно. В этом случае время между последним фронтом тактового сигнала для последней пересылки и установкой сигнала SS в 1 равно времени между установкой и сбросом сигнала SS и равно времени между сбросом сигнала SS первым фронтом тактового сигнала для новой пересылки. Это время определяется как $TSS = (TSS_RATE + 1) * TTCLK / 2$, где TTCLK – период тактового сигнала, генерируемого портом для последовательной передачи данных (Рисунок 15.24.). Если необходимо формировать сигнал SS средствами приёмника – то для этих целей используется поле RSS_RATE.

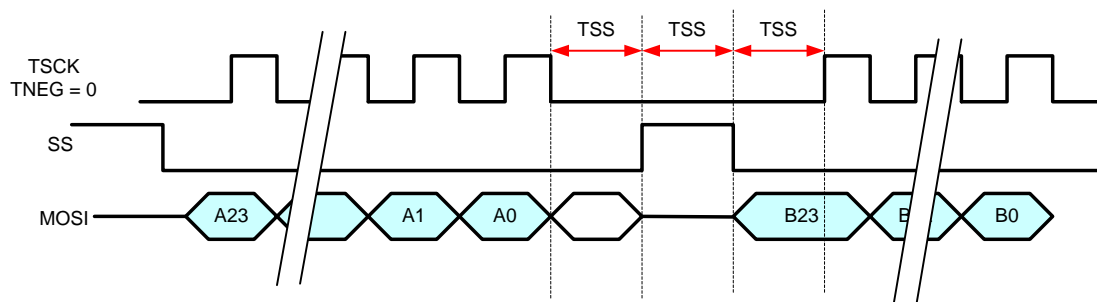


Рисунок 15.24. Управление временем удержания сигнала SS в высоком уровне между передачами, на картинке TNEG = 0, TDEL = 0, TMBF = 1, TWORDLEN = 23, TSS_RATE = 1

15.4.11 Пример чтения 8 разрядного слова по заданному адресу из ведомого устройства с интерфейсом C-BUS

Для чтения слова по указанному адресу по интерфейсу C-BUS необходима передача двух 8ми битных слов.

Для организации такого чтения необходимо записать соответствующий ведомому устройству бит SS, регистра TCTR, 1;

Перевести порт в режим SPI (LEN = 0, SPI_I2S_EN = 1, RMODE = 1, TMODE = 1);

Настроить приемник и передатчик: TDEL = RDEL = 0; TNEG = RNEG = 0; TWORDLEN = RWORDLEN = 5'h0F; RCLK_CP = 1; RCS_CP = 1, SS_DO = 0;

Включить приемник и передатчик REN = 1, TEN = 1;

Записать в регистр LTX 32-х разрядное слово, содержащее во втором байте 7ми разрядный адрес и бит WR, значение младшего байта не важно.

Ожидаем до тех пор, пока в буфер приёма не будет записано принятое слово (RSR[0] сбрасывается в 0)

В прочитанном по адресу LRX 32-х разрядном слове, младшие 8 бит – слово, прочитанное из ведомого устройства.

На Рисунок 15.25. представлены временные диаграммы для передачи по интерфейсу CBUS.

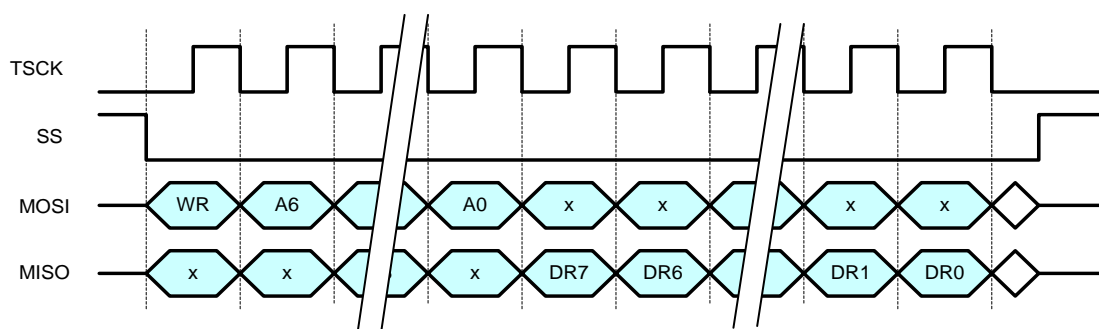


Рисунок 15.25. Пример чтения 8-ми разрядного слова из ведомого устройства (интерфейс C-BUS)

15.4.12 Формирование тактовых сигналов приёмника (RSCK) и передатчика (TSCK)

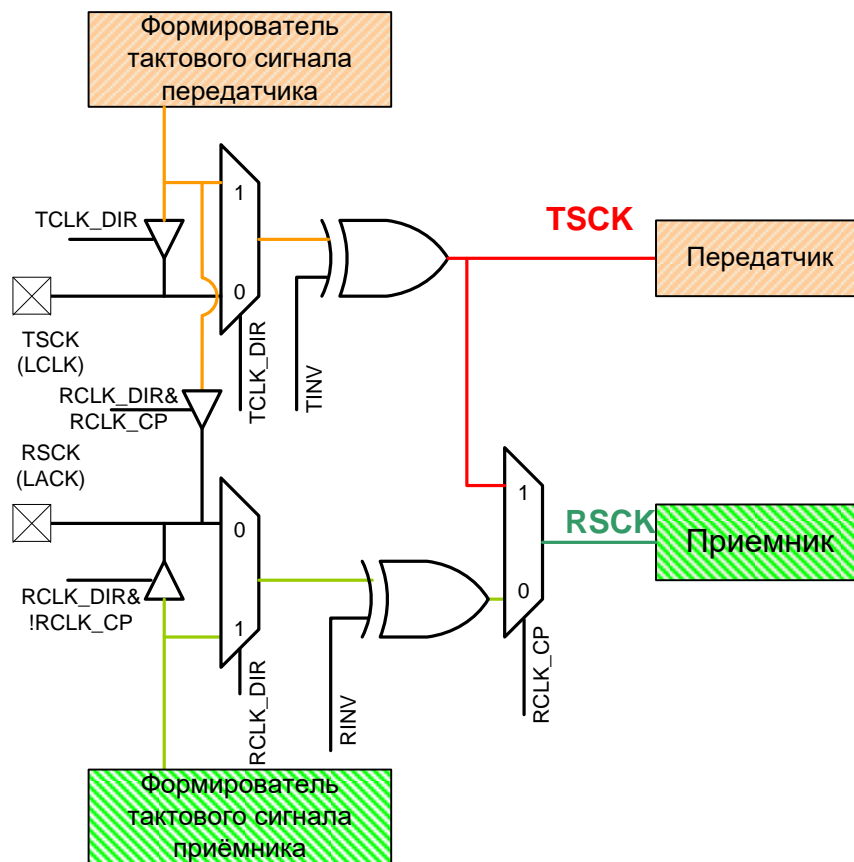


Рисунок 15.26. Схема формирования тактовых сигналов приёмника и передатчика в режиме SPI

На Рисунок 15.26. представлена схема формирования тактовых сигналов приёмника и передатчика в режиме SPI.

В зависимости от значения бита `TCLK_DIR`, тактовый сигнал передатчика `TSCK` может как формироваться самим передатчиком, так приниматься с внешнего вывода. В зависимости от значений бит `TMODE`, `TNEG` и `TDEL` тактовый сигнал либо передается передатчику без изменений, либо инвертируется.

В зависимости от значения бита `RCLK_DIR`, тактовый сигнал приёмника `RSCK` может как формироваться самим приёмником, так приниматься с внешнего вывода. В зависимости от значений бит `RMODE`, `RNEG` и `RDEL` тактовый сигнал либо передается приёмнику без изменений, либо инвертируется.

Если бит `RCLK_CP` установлен в 1, то тактовый сигнал приёмника копирует тактовый сигнал передатчика. Для корректной работы устройства в этом случае настройки полярности тактового сигнала приёмника и передатчика должны совпадать (`TNEG=RNEG`, `TDEL=RDEL`).

При $RCLK_CP = 1$ тактовый сигнал передатчика передаётся на внешний вывод приёмника, только если передатчик сам формирует тактовый сигнал и вывод тактового сигнала приёмника сконфигурирован как выход ($TCLK_DIR=1, RCLK_DIR=1$).

15.4.13 Формирование управляющих сигналов приёмника и передатчика в режиме SPI

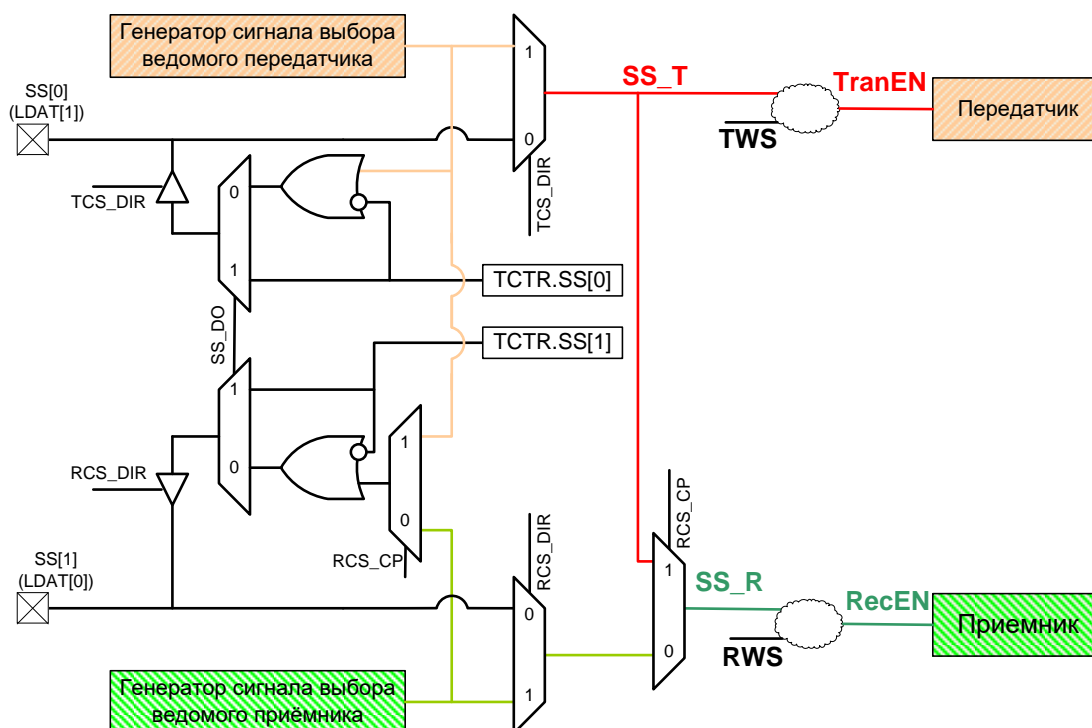


Рисунок 15.27. Схема формирования управляющих сигналов в режиме SPI

На Рисунок 15.27. представлена схема формирования управляющих сигналов в режиме SPI.

SS – шина выбора ведомого устройства. Низкий уровень сигнала SS, поданный на ведомое устройство означает, что данное устройство выбрано и с приходом тактового сигнала SCK должно начать обмен данными с ведущим устройством.

MFBSР с зависимым от передатчика приёмником в режиме ведущего позволяет параллельно подключать до двух ведомых устройств по шине SPI и формировать сигналы выбора ведомого устройства как в автоматическом режиме, так и программно.

MFBSР с зависимым от передатчика приёмником может работать как ведомое SPI устройство, управляемое внешним сигналом SS[0] и внешней тактовой частотой TSCK, обеспечивая обмен данными в дуплексном режиме.

MFBSР позволяет организовать независимый приём и передачу данных по интерфейсу SPI. В этом случае SS[0] – управляющий сигнал передатчика, SS[1] – управляющий сигнал приёмника.

При $TCS_DIR = 1$ передатчик SPI формирует сигнал выбора ведомого, $SS[0]$ - выход. В автоматическом ($SS_DO=0$) режиме формирования управляющего сигнала перед началом передачи очередного слова сигнал выбора ведомого переводится в низкий уровень, а по окончании передачи слова сигнал выбора ведомого снова переводится в высокий уровень. Изменение уровня на выводе $SS[0]$ происходит только в случае, если соответствующий бит $SS[0]$ регистра $TCTR$ установлен в 1. Если приёмник в зависимом от передатчика режиме ($RCS_CP = 1$) и $SS[1]$ сконфигурирован как выход ($RCS_DIR=1$), то вывод $SS[1]$ используется как сигнал выбора дополнительного ведомого устройства. Изменение уровня на выводе $SS[1]$ происходит только, в случае, если соответствующий бит $SS[1]$ регистра $TCTR$ установлен в 1. В случае программного управления шиной SS ($SS_DO = 1$) значения бит $SS[1:0]$ контрольного регистра $TCTR$ передаются непосредственно на выходы $SS[1:0]$.

Если приёмник в зависимом от передатчика режиме ($RCS_CP=1$) и вывод $SS[0]$ сконфигурирован как вход ($TCS_DIR = 0$), тогда $MFBS$ работает в режиме дуплексного ведомого SPI устройства. Сигнал выбора ведомого принимается с внешнего вывода $SS[0]$ и используется как приёмником, так и передатчиком.

Если приёмник работает в независимом от передатчика режиме ($RCS_CP=0$), то в режиме ведущего, когда вывод $SS[1]$ сконфигурирован как выход ($RCS_DIR=1$) формируемый приёмником сигнал выбора ведомого направляется на вывод $SS[1]$. При автоматическом формировании управляющего сигнала ($SS_DO = 0$) перед началом приёма очередного слова сигнал $SS[1]$ автоматически переводится в низкий уровень и переводится в высокий уровень по окончании приёма каждого слова. В режиме ведущего устройства приём слов приёмником ведётся до заполнения буфера приёма. В режиме ведомого устройства, когда вывод $SS[1]$ сконфигурирован как вход ($RCS_DIR=0$) независимый приёмник ($RCS_CP=0$) принимает сигнал выбора ведомого с вывода $SS[1]$.

В режиме SPI направление выводов тактового сигнала и управляющего сигнала должно строго совпадать. Т.е. $TCLK_DIR=TCS_DIR$. В случае если приёмник работает независимо от передатчика, то $RCLK_DIR=RCS_DIR$.

15.4.14 Тракт передачи данных

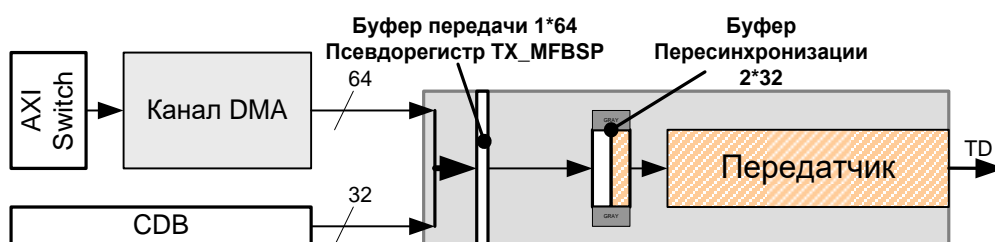


Рисунок 15.28. Тракт передачи данных для режима SPI

На Рисунок 15.28 представлен тракт передачи данных для режима SPI.

Чтобы инициировать передачу данных по последовательному порту, необходимо включить последовательный порт ($SPI_I2S_EN=1$) и передатчик ($TEN=1$), после чего либо начать производить запись передаваемых 32-х разрядных слов в буфер передачи по адресу псевдорегистра TX_MFBSR , либо включить канал DMA в направлении передачи для соответствующего порта (в этом случае обмен данными с портом будет вестись 64-х разрядными словами).

Данные записанные в буфер передачи автоматически перемещаются в буфер пересинхронизации направления передачи, если он не полон. Запись в буфер пересинхронизации направления передачи осуществляется на системной частоте CLK , чтение из буфера пересинхронизации осуществляется на частоте передатчика $TCLK$. Как только в буфере пересинхронизации оказалось хотя бы одно слово, передатчиком инициируется передача. Передатчиком производится последовательная выдача бит очередного 32-х разрядного слова до тех пор, пока число переданных бит не достигнет $TWORDLEN+1$, после чего производится считывание очередного слова из буфера пересинхронизации. По мере передачи слов в освобождающийся буфер пересинхронизации перемещается слово из буфера передачи. После выборки последнего слова из буфера передачи (буфер передачи пуст) в буфере пересинхронизации остаётся еще два слова. Фактическое окончание передачи можно идентифицировать по состоянию буфера пересинхронизации, либо считав бит $TRUN$ регистра TSR .

Если управляющий сигнал формируется передатчиком, то при считывании последнего слова из буфера пересинхронизации передача останавливается. Передача продолжится только после того как в буфер пересинхронизации снова начнут поступать данные.

Если передатчик использует внешнюю частоту и внешний управляющий сигнал, в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота передатчика, однако ее должно быть достаточно для того, что бы успеть переместить очередное слово в буфер пересинхронизации (за время передачи одного слова должно быть хотя бы три импульса системной частоты CLK). Если внешний управляющий сигнал инициировал передачу слова при пустом буфере пересинхронизации устанавливается флаг ошибки передачи ($TERR$), в этом случае передается ошибочное слово. Если управляющий сигнал формируется самим передатчиком, системная частота может быть много меньше частоты передатчика, однако это скажется на скорости передачи данных.

Установка бита $TERR$ в процессе передачи говорит о том, что порт произвел попытку чтения из пустого буфера передачи. Это значит, что передатчиком было передано некорректное слово, кроме того могло быть нарушено состояние указателей в буфере передачи. Продолжать передачу в таком состоянии порта нельзя. В этом случае необходимо произвести выключение порта - установить бит $i2s_spi_en$ в 0, что приведет к сбросу состояния всех буферов порта, после чего программно сбросить бит $TERR$ записью в регистр TSR . После чего можно снова включить порт и продолжать передачу.

В направлении передачи порт обладает буферизацией на 4 32-х разрядных слова. В случае передачи данных посредством DMA запись блоков данных в буфер передачи происходит до тех пор, пока буфер готов принять очередной блок, размер которого определяется битами WN, регистра CSR соответствующего канала DMA.

Установка бита SPI_I2S_EN в 0 приведет к программному сбросу передатчика, и все данные находящиеся в буфере передачи будут утеряны.

15.4.15 Тракт приёма данных

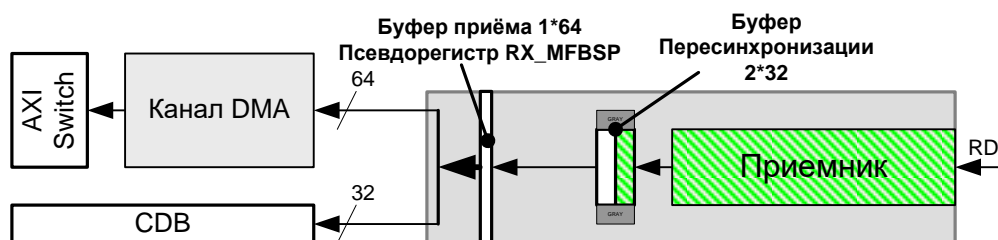


Рисунок 15.29. Тракт приёма данных в режиме SPI

На Рисунок 15.29. представлен тракт передачи данных для режима SPI.

Что бы перевести приёмник в режим готовности необходимо включить последовательный порт (SPI_I2S_EN=1) и приёмник (REN=1), после чего либо начать ожидание появления прочитанных данных в буфере приёма, либо включить канал DMA в направления приёма для соответствующего порта.

Приёмник принимает последовательные биты, поступающие с внешнего вывода до тех пор, пока число принятых бит не достигнет значения RWORDLEN+1. После этого принятое 32-х разрядное слово (если RWORDLEN<31 незадействованные биты обнуляются) перемещается в буфер пересинхронизации. Запись в буфер пересинхронизации направления приёма осуществляется на частоте приёмника RCLK, чтение из буфера пересинхронизации осуществляется на системной частоте CLK. Из буфера пересинхронизации принятое слово автоматически перемещается в буфер приёма, если он не полон. Если в буфере приёма есть хотя бы одно 32-х разрядное слово, то принятые 32-х разрядные слова можно считывать, обращаясь по адресу псевдорегистра RX_MFBSP. Принимать данные можно также включив соответствующий порту канал DMA направления приёма (в этом случае обмен данными с портом осуществляется 64-х разрядными словами).

Если приёмник использует внешнюю частоту, то в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота приёмника, однако ее должно быть достаточно для того, что бы успеть переместить очередное слово из буфера пересинхронизации (за время приёма одного слова должно быть хотя бы три импульса системной частоты CLK). Если при заполненном буфере пересинхронизации приёмником был произведен приём очередного слова и инициирована попытка записи в буфер

пересинхронизации устанавливается флаг ошибки приёма (RERR), а последнее принятое слово теряется.

Установка бита RERR в процессе передачи говорит о том, что порт произвел попытку записи в полный буфер приёма. Это значит, что принятое слово было потеряно, кроме того могло быть нарушено состояние указателей в буфере приёма. Продолжать приём в таком состоянии порта нельзя. В этом случае необходимо произвести выключение порта - установить бит `i2s_spi_en` в 0, что приведет к сбросу состояния всех буферов порта, после чего программно сбросить бит RERR записью в регистр RSR. После чего можно снова включить порт и продолжать приём.

В направлении приёма порт обладает буферизацией на 4 32-х разрядных слова. В случае приёма данных посредством DMA чтение блоков данных из буфера приёма происходит до тех пор, пока в буфере приёма достаточно слов для чтения очередного блока, размер которого определяется битами WN, регистра CSR соответствующего канала

ла DMA. DMA обмены возможны только 64 разрядными словами, таким образом, если было принято нечетное количество 32-х разрядных слов, после окончания работы DMA необходимо прочитать оставшееся слово, обратившись к псевдорегистру `RX_MFBSP`.

Установка бита `SPI_I2S_EN` в 0 приведет к программному сбросу приёмника и все данные находящиеся в буфере приёма будут утеряны.

15.4.16 Прерывания от последовательного порта

Прерывание `MFBSP_RXBUF` устанавливается, в случае если включен приемник (`I2S_SPI_EN=1`, `REN = 1`) и в буфер приёма записано количество слов большее, чем установлено уровнем прерывания `RLEV`, либо произошла ошибка приема (`RERR = 1`).

Прерывание `MFBSP_TXBUF` устанавливается, в случае если включен передатчик (`I2S_SPI_EN=1`, `REN = 1`) и в буфере передачи осталось количество слов меньшее, либо равное чем установлено уровнем прерывания `TLEV`, либо произошла ошибка передачи (`TERR = 1`).

15.5 Работа MFBSP в режиме линкового порта (LPORT)

15.5.1 Назначение линкового порта

Линковый порт предназначен для обмена данными между различными микросхемами последовательно-параллельным кодом.

Порт может передавать 32-х разрядные слова частями по 4 бита за 8 пересылок, либо частями по 8 бит за 4 пересылки, выбор одного из этих режимов осуществляется установкой бита `LDW`, регистра `CSR_MFBSP`.

15.5.2 Регистр управления и состояния CSR_MFBSP (режим LPORT)

Таблица 15.17. Назначение разрядов регистра CSR_MFBSP в режиме LPORT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	RX_RDY_MODE	Режим формирования признака готовности приема данных из DMA в MFBSP: 0 – штатный режим работы. Признак готовности формируется MFBSP аппаратно; 1 – признак готовности установлен в 1. Используется для приведение DMA в исходное состояние, если: устройство подключенное к MFBSP передало в него меньший объем данных, по сравнению с тем, что указано в DMA; необходимо программно остановить прием данных в MFBSP	RW	0
30	TX_RDY_MODE	Режим формирования признака готовности передачи данных из MFBSP в DMA: 0 – штатный режим работы. Признак готовности формируется MFBSP аппаратно; 1 – признак готовности установлен в 1. Используется для приведение DMA в исходное состояние, если: устройство подключенное к MFBSP приняло из него меньший объем данных, по сравнению с тем, что указано в DMA; необходимо программно остановить передачу данных из MFBSP	RW	0
29:17	-	Резерв	R	0
16	MFBSPTXBUF_IRQ_EN	Разрешение прерывания MFBSPTXBUF: 0 – прерывание запрещено; 1- прерывание разрешено.	RW	1
15	MFBSPRXBUF_IRQ_EN	Разрешение прерывания MFBSPRXBUF: 0 – прерывание запрещено; 1- прерывание разрешено.	RW	1
14:11	LCLK_RATE [4:1]	Делитель частоты LPORT: $LCLK = CLK / (2 * (LCLK_RATE + 1))$	RW	0
10	LPT_IRQ_EN	Разрешение прерывания SRQ: 0 – прерывания по запросу обслуживания LPORT запрещены 1 – прерывания по запросу обслуживания LPORT разрешены	RW	1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
9	SPI_I2S_EN	В режиме LPORT должен быть установлен в 0	RW	0
8	SRQ_RX	Признак запроса обслуживания на прием данных	RW	0
7	SRQ_TX	Признак запроса обслуживания на передачу данных	RW	0
6	LDW	Разрядность внешней шины данных: 0 - 4-разряда (32-разрядное слово передается за 8 посылок); 1 - 8-разряда (32-разрядное слово передается за 4 посылки).	RW	0
5	LRERR	Ошибка приема данных: 0 – приняты все биты данных; 1 – приняты не все биты данных.	R	0
4:3	LSTAT	Состояние буфера: При LTRAN = 0 показывает состояние буфера приёма При LTRAN = 1 показывает состояние буфера передачи 00 – буфер пуст; 10 – буфер не пуст; 11 – буфер полон.	R	0
2	LCLK_RATE[0]	Делитель частоты LPORT: $LCLK = CLK / (2 * (LCLK_RATE + 1))$	RW	0
1	LTRAN	Режим работы порта: 0 – приемник; 1 – передатчик.	RW	0
0	LEN	Разрешение работы порта: 0 – все выходы порта находятся в высокоимпедансном состоянии; 1 – порт работает в соответствии с состоянием бита LTRAN.	RW	0

Биты LSTAT, LRERR сбрасываются при LEN=0.

Алгоритм использования бит RX_RDY_MODE, TX_RDY_MODE:

1. Остановить MFBSPP, для чего в регистр CSR_MFBSPP необходимо записать 0.
2. Выполнить операцию записи 0 в бит RUN регистра CSR соответствующего DMA MFBSPP (при этом, бит RUN может в 0 не установиться).
3. Установить в 1 бит RX_RDY_MODE (TX_RDY_MODE).
4. Дождаться установки в 0 бита RUN регистра CSR DMA MFBSPP.
5. Установить в 0 бит RX_RDY_MODE (TX_RDY_MODE).

15.5.3 Структурная схема MFBSPP для режима линкового порта

На Рисунок 15.30. представлена структурная схема MFBSPP для режима линкового порта.

Включение линкового порта происходит при установке бита LEN в 1 и бита SPI_I2S_EN в 0.

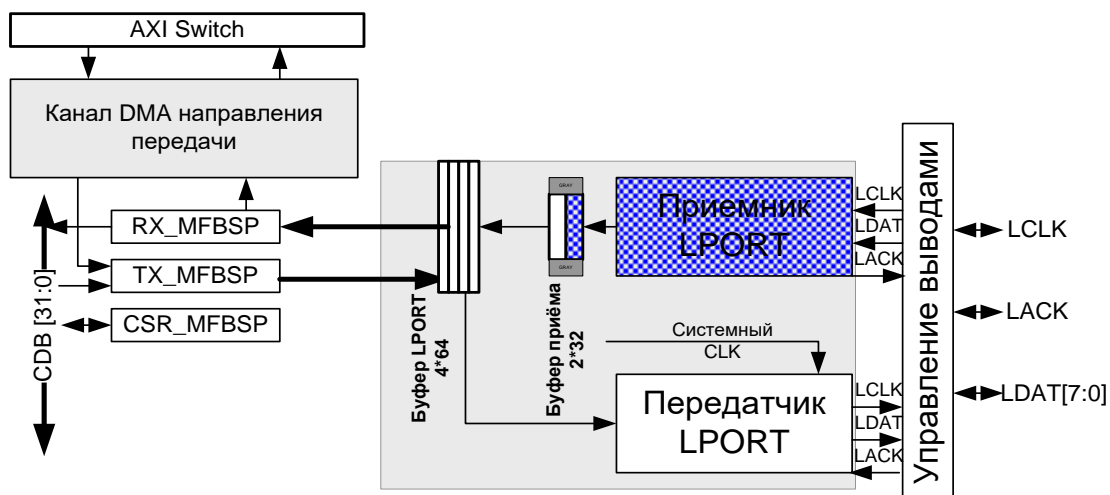


Рисунок 15.30. Структурная схема MFBSP для режима LPORT

15.5.4 Соединение с внешними устройствами

На Рисунок 15.31 и Рисунок 15.32 представлены варианты соединения MFBSP с внешними устройствами в режиме линкового порта.

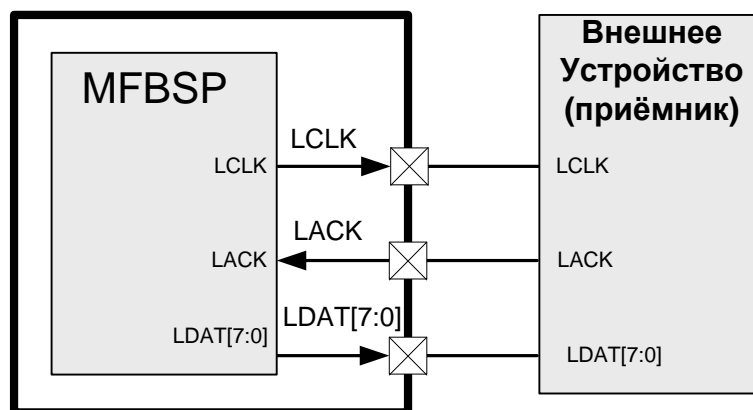


Рисунок 15.31. MFBSP в режиме передатчика LPORT (LCLK, LDAT-выходы, LACK - вход)

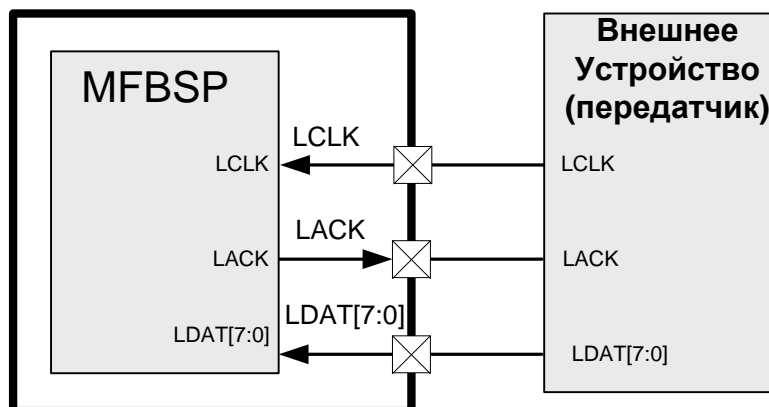


Рисунок 15.32. MFBSP в режиме приёмника LPORT (LCLK, LDAT-входы, LACK - выход)

15.5.5 Передача данных по линковому порту

По линковому порту передача данных происходит в одном направлении (либо передача данных, либо приём данных).

Для смены направления обмена данными по линковому порту необходимо сначала выключить порт (установить бит LEN, регистра CSR_MFBSP в 0), затем включить порт, установив требуемое значение направления передачи данных (бит LTRAN, регистра CSR_MFBSP)

Передача данных по линковому порту возможна для любых сочетаний частот приёмника и передатчика, кроме случаев, когда системная частота приёмника, более чем в 4 раза меньше, чем частота передачи данных по линковому порту. Скорость передачи данных будет определяться самым медленным устройством.

Для корректной передачи данных необходимо, чтобы значение бита LDW у приёмника и у передатчика совпадало.

Если для передатчика LDW=1, а для приёмника LDW=0 приёмник будет упаковывать два 32-х разрядных слова в одно 32-х разрядное слово, выкидывая из каждого байта старшие 4 бита.

Установка значений LDW для передатчика LDW=0, а для приёмника LDW=1 не допускается.

Временная диаграмма работы линкового порта приведена на Рисунок 15.33.

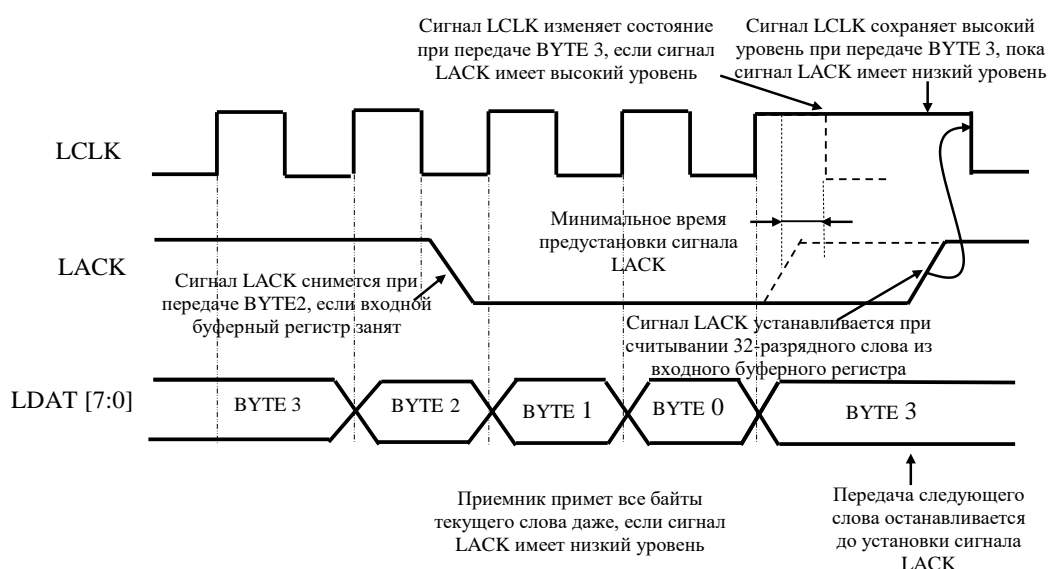


Рисунок 15.33. Временная диаграмма работы линкового порта (LDW=1)

При LDW=0 передача 32-разрядного слова выполняется за 8 посылок, а при LDW=1 - за 4 посылки. Передатчик изменяет данные LDAT по положительному фронту LCLK, а приемник защелкивает данные в буфере приёма по отрицательному фронту.

Исходное состояние сигнала LACK – высокий уровень. Сигнал LACK снимется приемником по заднему фронту LCLK при передаче BYTE 2, если в буфере приёма осталось место для приёма всего одного слова. При этом приемник примет все байты текущего 32-разрядного слова даже, если сигнал LACK имеет низкий уровень. Сигнал LACK устанавливается при считывании 32-разрядного слова из входного буферного регистра.

Передатчик после выставления BYTE 3 анализирует состояние сигнала LACK. Если LACK=1, то LCLK продолжает изменять свое состояние и после BYTE 3 передается BYTE 2 и так далее. Если LACK=0, то LCLK сохраняет высокий уровень при передаче BYTE 3, пока сигнал LACK имеет низкий уровень.

Если линковый порт деактивизирован (LEN=0) сигналы LDAT, LCLK LACK являются входами. Поэтому эти сигналы необходимо привязывать к земле через резисторы 10 кОм. Если порт настроен как передатчик, LDAT и LCLK становятся выходами, а LACK – входом. Если порт настроен как приемник, LDAT и LCLK становятся входами, а LACK – выходом.

LPORT может выполнять либо только приём, либо только передачу данных. Поэтому LPORT снабжен одним буфером на 4 64-х разрядных слова, используемом как в направлении приёма, так и в направлении передачи. В направлении приёма дополнительно встроен буфер на 2 32-х разрядных слова, используемый для пересинхронизации с внешней частоты LCLK на внутреннюю системную частоту.

Таким образом, LPORT обладает буферизацией в направлении передачи на 4 64-разрядных слова (8 32-разрядных слов) и буферизацией в направлении приёма на 5 64-разрядных слов (10 32-разрядных слов).

Принимаемые портом данные сначала помещаются в буфер пересинхронизации и только через два такта перемещаются в буфер LPORT. При опросе контрольных регистров порта доступно состояние только буфера LPORT без учёта буфера пересинхронизации. Таким образом, после заполнения основного буфера LPORT могут быть приняты ещё два 32-х разрядных слова, которые будут перемещаться из буфера пересинхронизации в общий буфер LPORT по мере освобождения буфера LPORT.

Запись данных в буфер пересинхронизации LPORT осуществляется по внешней частоте LCLK, а перемещение данных из буфера пересинхронизации в буфер LPORT осуществляется по внутренней системной частоте CLK. Если внутренняя системная частота более чем в 4 раза меньше внешней частоты LCLK, скорости перемещения данных между двумя буферами может быть недостаточно, что будет приводить к периодическому заполнению буфера пересинхронизации. К потере данных это не приведет, поскольку в LPORT предусмотрен механизм останова передачи по заполнению буфера приёма, однако это приведёт к замедлению обмена данными по линковым портам.

15.5.6 Прерывания от линковых портов

Если линковый порт не активизирован ($LEN=0$, $SPI_I2S_EN=0$), он формирует прерывание по запросу обслуживания, если:

- на внешней шине выставлены данные на прием (активное состояние сигнала LCLK);
- из внешней шины поступил запрос на выдачу данных (активное состояние сигнала LACK).

Данное прерывание сбрасывается после установки $LEN=1$.

Если MFBSP используется в режиме линкового порта, то чтобы избежать ложной установки прерывания SRQ в случае, когда порт выключен и на выводах LACK или LCLK установлено высокоимпедансное состояние, необходимо к выводам LACK и LCLK подключить pull-down резисторы.

При $LPT_IRQ_EN=0$ данное прерывание маскируется

Если включен линковый порт ($LEN=1$) прерывания от MFBSP формируются в случае если в буфер приёма записано количество слов большее, чем установлено уровнем прерывания RLEV (MFBSP_RXBUF), либо если при включенном передатчике в буфере передачи осталось количество слов меньшее, либо равное чем установлено уровнем прерывания TLEV (MFBSP_TXBUF).

15.6 Работа MFBSP в режиме порта ввода-вывода общего назначения

Если многофункциональный порт выключен ($LEN=0$, $SPI_I2S_EN=0$), внешние линии LDAT[7:0], LCLK, LACK можно использовать как 10-разрядный двунаправленный порт ввода-вывода.

Если включен режим последовательного порта ($SPI_I2S_EN=1$), незадействованные в организации последовательной передачи данных выводы LDAT[7:4] могут быть использованы в качестве вводов-выводов общего назначения. Единственным ограничением в данной ситуации является то, что для определения режима работы последовательного порта используются биты LDIR[5:0], которые не должны меняться в процессе передачи данных по последовательному порту. Поэтому при управлении выводами общего назначения LDAT[7:4] (управляются битами DIR_MFBSP [9:6]) запись в регистр DIR_MFBSP необходимо проводить таким образом, чтобы текущие значения бит DIR_MFBSP [5:0] не менялись.

При работе в режиме выводов общего назначения данные с внешних выводов порта защелкиваются по положительному фронту тактового сигнала. Поэтому следует учитывать, что чтение данных с внешних выводов порта будет происходить с задержкой в 1 такт.

15.6.1 Регистр данных порта ввода вывода GPIO_DR

10-разрядный регистр данных порта ввода-вывода (GPIO_DR) предназначен для реализации гибкого интерфейса с внешними устройствами. Внешние выходы порта ввода-вывода совмещены с внешними выводами линкового порта.

Соответствие разрядов регистра GPIO_DR и внешних линий линкового порта приведено в Таблица 15.18.

Таблица 15.18. Назначение разрядов регистра GPIO_DR

Номер разряда Регистра GPIO_DR	Внешние выходы MFBSP	Значение после сброса
9:2	LDAT[7:0]	0
1	LCLK	0
0	LACK	0

15.6.2 Регистр управления направлением выводов DIR_MFBSP

Настройка направления выводов порта ввода-вывода осуществляется программно при помощи 10-разрядного регистра DIR_MFBSP. Если DIR_MFBSP установлен в 0, то соответствующий разряд порта ввода-вывода является входом, если же разряд DIR_MFBSP установлен в 1, то соответствующий разряд порта ввода-вывода является выходом.

Таблица 15.19. Назначение разрядов регистра DIR_MFBSP

Номер разряда Регистра DIR_MFBSP	Внешние выходы MFBSP	Значение после сброса
9:2	Направление выводов LDAT[7:0]	0
1	Направление вывода LCLK	0
0	Направление вывода LACK	0

16. КОНТРОЛЛЕР SPI

Архитектура и логика работы контроллера SPI соответствует MFBSPI в режиме SPI со следующими различиями:

- контроллер SPI не имеет DMA-контроллера;
- поддерживает работу только в режиме Master;
- вывод ведомого устройства SS[1] отсутствует;
- вывод сигнала синхронизации приемника RSCCK отсутствует.

Таблица 166.1. Перечень регистров контроллера SPI

Условное обозначение регистра	Название регистра	Адрес регистра
TX_SPI	Буфер передачи данных	182F_6000
RX_SPI	Буфер приёма данных	182F_6000
CSR_SPI	Регистр управления и состояния	182F_6004
DIR_SPI	Регистр управления направлением выводов порта ввода-вывода	182F_6008
TCTR	Регистр управления передатчиком	182F_6010
RCTR	Регистр управления приёмником	182F_6014
TSR	Регистр состояния передатчика	182F_6018
RSR	Регистр состояния приёмника	182F_601C

17. КОНТРОЛЛЕР ИНТЕРФЕЙСА USB

17.1 Общие положения

Контроллер интерфейса USB, (Universal Serial Bus Interface Controller - далее по тексту USBIC) имеет следующие характеристики:

- соответствует спецификации USB 1.1;
- поддержка режима Plug-and-play;
- является Function-устройством в терминологии стандарта USB;
- фиксированная скорость передачи данных 12Мбит/сек (Full Speed), скорость 1.5Мбит/сек (LowSpeed) не поддерживается;
- поддерживает четыре пользовательских EndPoint (EP#1- EP#4), направление EndPoint – фиксированное EP1,EP3 – In-EndPoint, EP2,EP4 – Out-EndPoint;
- каждый EndPoint может конфигурироваться независимо от остальных EndPoint в режимах BULK, Interrupt, Isochronous;
- каждый EndPoint имеет в своем составе буфер FIFO размером 512 байт;
- поддерживается максимальный размер пакета в режиме BULK до 512 байт включительно;
- поддерживается автоматическое отбрасывание принятого пакета при обнаружении ошибок и выдаче хосту квитанции NACK;
- поддерживается автоматический повтор передаваемого пакета при получении от хоста квитанции NACK;
- каждый EndPoint имеет собственный канал DMA для обмена 64-х разрядными словами с памятью.
- интегрированные аналоговые приемопередатчики стандарта USB1.1.

17.2 Структурная схема

Структурная схема USBIC приведена на Рисунок 17.1. USBIC состоит из следующих узлов:

- Analog TX/RX: аналоговый приёмопередатчик;
- TX_PHY: устройство реализации протокола USB физического уровня (передатчик);
- RX_PHY: устройство реализации протокола USB физического уровня (приёмник);
- PA (Packet assembler): сборщик пакетов;
- PD (Packet disassembler): распаковщик пакетов;
- PE (Protocol engine): устройство реализации протокола USB пакетного уровня;
- ControlEndPoint: конфигурационный EndPoint;
- Data Selector: двунаправленный мультиплексор данных;
- DDD (Device Descriptor Data): массив дескрипторов устройства;
- FIFO: буфер данных организованный как FIFO размером 64 слова;
- INT_CTR: (Interrupt Controller) – устройство управления прерываниями;

- USB_CSR (Control Status Registers): регистры управления и состояния USB;
- DMA_CSR: регистры управления и состояния каналами DMA;
- Ch0-Ch3: каналы DMA с 0 по 3;
- ARBITER: устройство арбитража каналов DMA по доступу к шине AXI.

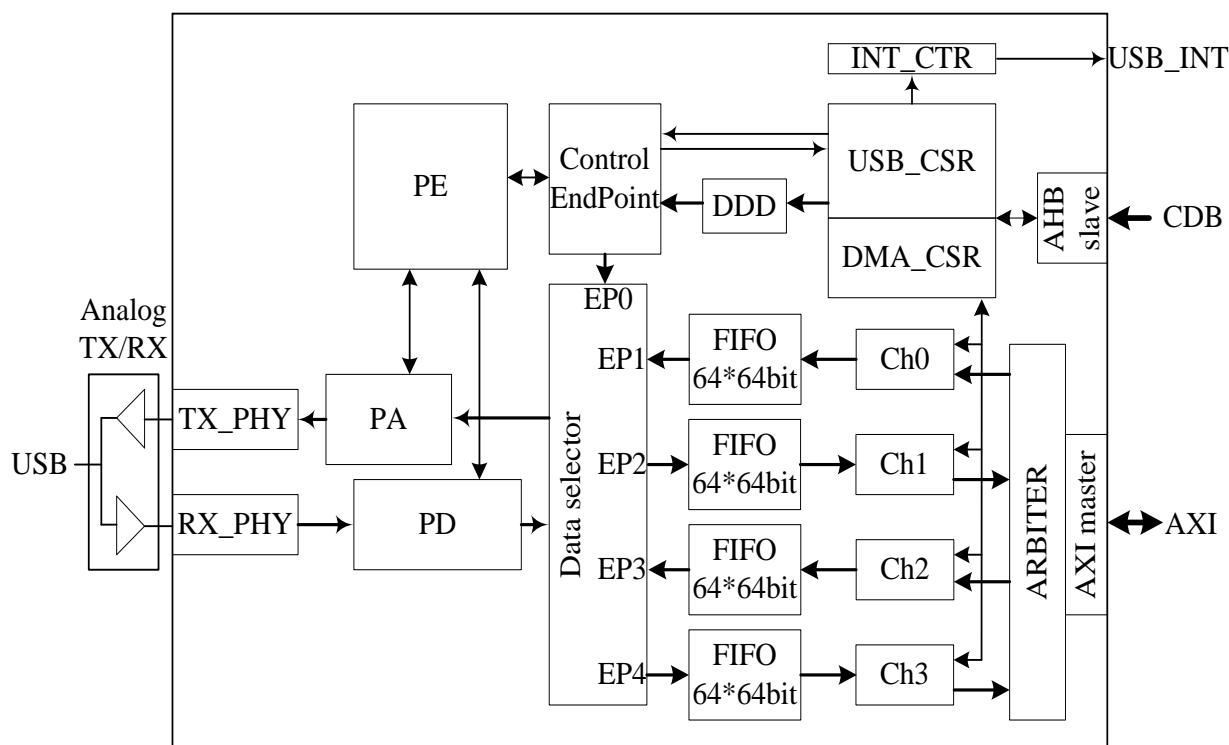


Рисунок 17.1. Структурная схема USBIC

17.3 Регистры USBIC

Список регистров USBIC приведен в Таблица 17.1.

Таблица 17.1. Регистры USBIC

Наименование	Назначение регистра	Тип доступа
CSR_USB	Регистр управления и статуса контроллера	WR/RD
INT_CSR	Регистр управления и статуса прерываний	WR/RDC
VENDOR_DATA	Данные для передачи по Vendor-каналу	WR
VENDOR_INDEX	Указатель на данные по Vendor-каналу	RD
VENDOR_VALUE	Принятые данные по Vendor-каналу	RD
CFG_ADDR	Регистр адреса массива конфигурации	WR
CFG_DATA	Регистр данных массива конфигурации	WR
REVISION	Номер ревизии	RD
CSR_EP1	Регистр управления и статуса EndPoint 1	WR/RD
CSR_EP2	Регистр управления и статуса EndPoint 2	WR/RD
CSR_EP3	Регистр управления и статуса EndPoint 3	WR/RD
CSR_EP4	Регистр управления и статуса EndPoint 4	WR/RD

WR – доступен на запись RD – доступен на чтение RDC – доступен на чтение, с изменением (сбросом) содержимого.

17.3.1 Регистр управления и состояния USBIC

Регистр управления режимами DMA, работы аналогового приемопередатчика. Регистр доступен на запись и на чтение. При записи регистр работает как регистр управления, по чтению является регистром статуса.

Таблица 17.2. Регистр управления CSR_USB

Разряд регистра	Назначение
31:9	Не используется (рекомендуются 0 значения)
8	INTERNAL_LOOP 1 – тестовый режим: разрешена внутренняя петля между EP1-EP2 и EP3-EP4; 0 – основной режим (по сигналу RST).
7	Не используется (рекомендуются 0 значения)
6	DMA_EN 1 - работа DMA разрешена; 0 – взаимодействие с блоком DMA запрещено (по сигналу RST).
5	Не используется (рекомендуются 0 значения)
4	SUSPEND выключение аналогового приемопередатчика 1 – приемопередатчик переведен в режим пониженного энергопотребления, блок USBIC переведен в режим сброса установок (по сигналу RST); 0 – приемопередатчик включен, работа USBIC разрешена.
3	CLR_EP4_FIFO 1 – FIFO EP4 находится в исходном состоянии; 0 – FIFO EP4 находится в рабочем состоянии.
2	CLR_EP3_FIFO 1 – FIFO EP3 находится в исходном состоянии; 0 – FIFO EP3 находится в рабочем состоянии.
1	CLR_EP2_FIFO 1 – FIFO EP2 находится в исходном состоянии; 0 – FIFO EP2 находится в рабочем состоянии.
0	CLR_EP1_FIFO 1 – FIFO EP1 находится в исходном состоянии; 0 – FIFO EP1 находится в рабочем состоянии.

Перевод FIFO EP в исходное состояние (очистку) через регистр CSR_USB следует выполнять следующим образом. Установить биты [3:0] CSR_USB в 1. Установить эти биты в 0 после того, как поле LEVEL CSR EP станет равно 0.

Сигнал USB_INT переходит в активное состояние при возникновении условий прерывания. Источник прерывания фиксируется в соответствующих разрядах INT_CSR. Сигнал USB_INT находится в активном состоянии до чтения регистра INT_CSR и устранения причины прерывания. Если произвести чтение регистра INT_CSR, но не устранить причину прерывания, линия USB_INT останется в активном состоянии. Управление прерываниями осуществляется через регистр INT_CSR, который доступен по чтению как регистр состояния, а по записи как регистр маскирования источников прерываний.

Таблица 17.3. Регистр состояния/маскирования прерываний INT_CSR

Разряд регистра	Наименование флага	Маскируемое прерывание
31:15	-	Не используется
14	halted	Устройство остановлено USB хостом
13	configured	Выбрана конфигурация при подключении
12	adressed	Устройству присвоен адрес при подключении
11	Rx_Err	Обнаружена ошибка NRZI кодирования в блоке приема
10	Ncdword_ep4	Принят пакет с длиной не кратной 8 байтам в EP4
9	Ncdword_ep2	Принят пакет с длиной не кратной 8 байтам в EP2
8	Usb_Rst	Произошел "сброс" SE0_RESET по шине USB
7	usb_busy	Состоялась транзакция
6	crc16_err	обнаружено несоответствие контрольной суммы
5	vendor_set_int	получен Vendor Request
4	vendor_set_feat	получено слово по Vendor –каналу
3	Ep4_full_int	Произошло заполнение приемного буфера EP4
2	Ep3_empty_int	Произошло опустошение передающего буфера EP3
1	Ep2_full_int	Произошло заполнение приемного буфера EP2
0	Ep1_empty_int	Произошло опустошение передающего буфера EP1

Запись "0" в разряд порта запрещает соответствующее прерывание, запись "1" – разрешает. По включению питания содержание регистра 0x00, т.е. прерывания от всех источников запрещены, вывод USB_INT находится в состоянии лог "0".

После чтения регистра все флаги прерываний сбрасываются в исходное состояние (#00). Маска разрешения прерываний не изменяется.

Система отслеживания прерываний – накопительная, т.е. при возникновении условий незамаскированного (разрешенного) прерывания, вывод USB_INT переходит в состояние лог "1", источник прерывания фиксируется в регистрах USB_INT_CSR, соответственно источнику. При возникновении следующего условия прерывания линия USB_INT останется в активном состоянии, и источник нового прерывания зафиксируется в соответствующих разрядах регистра. Если повторное прерывание имеет тот же источник что и предыдущее, то в соответствующий разряд регистров "по ИЛИ" будет записана ещё одна "1". Замаскированное прерывание (соответствующий бит маски = «0»), будет отображено в регистре источника прерывания, но линия USB_INT в высокое состояние переведена не будет.

Фронты (переходы в активное состояние) сигналов признака опустошения или заполнения FIFO EndPoint вызовут прерывание. Срезы или постоянное активное состояние этих сигналов прерывание не вызывают. По прерыванию USB_INT в обработчике прерывания считывается регистр USB_INT_CSR, по его содержимому определяется причина прерывания. Дополнительно - считать статусные регистры включенных EndPoint, и анализировать признаки наполнения буферов FIFO.

17.3.2 Регистры управления и статуса EndPoint

Регистры управления и статуса EndPoint (CSR_EP) имеют разный формат при записи и чтении. Запись в эти регистры используется для задания конфигурации EndPoint. Чтение этих регистров используется для определения статуса EndPoint.

Формат регистров CSR_EP при записи приведен в Таблица 17.4.

Таблица 17.4. Формат регистров CSR_EP при записи

Разряд регистра	Назначение						
31:15	Не используются						
14							
13	Тип	0	ISO	1	BULK	0	INT
12	EndPoint*	1		0		0	
11	Направление	0		IN	0		OUT
10		0			1		
9		EndPoint*	1		0		
8	Максимальный размер пакета **						
7							
6							
5							
4							
3							
2							
1							
0							

* Другие комбинации битов зарезервированы для будущих применений

** Девятибитовое число. Необходимо руководствоваться рекомендациями стандарта USB при выборе размеров пакета Max_Packet_Size.

По включению питания устанавливается содержание регистра #001FF, что соответствует 512 байтам максимального размера пакета.

Формат регистров CSR_EP при чтении приведен в Таблица 17.5.

Таблица 17.5. Формат регистров CSR_EP при чтении

Разряд регистра	Наименование	Назначение
31:27	-	Не используется.
26	EMPTY64	Буфер 64-х разрядных слов пуст
25	FULL64	Буфер 64-х разрядных слов полон
24	EMPTY	FIFO данного EndPoint пуст
23	FULL	FIFO данного EndPoint полон
22:14	LEVEL	Число байт в FIFO
13:9	CFG	Тип и направление EP (повторяет EP_CR)
8:0	CFG	Максимальный размер пакета (повторяет EP_CR)

17.3.3 Регистры массива конфигурации

Таблица 17.6. Регистры массива конфигурации

Наименование	Назначение	Доступ
USB_CFG_ADDR	регистр адреса	WR
USB_CFG_DATA	регистр данных	WR

Регистры USB_CFG_ADDR и USB_CFG_DATA предназначены для наполнения массива конфигурации данными (DDD) об устройстве USB, в конкретном применении для текущего сеанса работы. Соответствие адресов массива параметрам конфигурации приведено в Таблица 17.7. Запись в массив конфигурации производится путем выставления адреса в массиве в регистре адреса (USB_CFG_ADDR) и записи данных в регистр USB_CFG_DATA. Физическая запись в массив (ОЗУ) производится при записи в регистр данных. Массив конфигурации доступен только на запись. Размер конфигурационного массива -128 байт. Старший бит регистра USB_CFG_ADDR – игнорируется. Рекомендуется пользоваться полной системой адресации (USB_CFG_ADDR[7] = 0). Заполнение массива конфигурации производится путем последовательной записи адреса и данных в регистры USB_CFG_ADDR и USB_CFG_DATA. При записи необходимо учитывать строгое соответствие записываемых данных адресам записи. Вначале записывается адрес в регистр USB_CFG_ADDR, а затем в регистр USB_CFG_DATA записывается байт данных соответствующий записанному ранее в регистр USB_CFG_ADDR адресу в массиве. Допускается заполнение массива конфигурации в любом порядке.

Таблица 17.7. Назначение ячеек массива конфигурации

Адрес (HEX)	Назначение
	USB_DEVICE_DESCRIPTOR
00	Длина дескриптора (18 байт)
01	Тип дескриптора (USB_DEVICE_DESCRIPTOR)
02	Версия USB LSB
03	Версия USB MSB
04	Класс устройства
05	Субкласс устройства
06	Протокол, поддерживаемый устройством
07	Максимальный размер пакета (8 байт) для EP0 (control EP)
08	Идентификатор производителя (Vendor ID LSB)
09	Идентификатор производителя (Vendor ID MSB)
0A	Идентификатор устройства (Product ID LSB)
0B	Идентификатор устройства (Product ID MSB)
0C	Версия продукта LSB
0D	Версия продукта MSB
0E	Индекс Текстового дескриптора "Производитель"
0F	Индекс Текстового дескриптора "Продукт"
10	Индекс Текстового дескриптора "Серийный №"
11	Число возможных конфигураций

Адрес (HEX)	Назначение
	USB_CONFIGURATION_DESCRIPTOR
12	Длина дескриптора(9 байт)
13	Тип дескриптора(USB_CONFIGURATION_DESCRIPTOR)
14	Суммарная длина оставшихся дескрипторов LSB
15	Суммарная длина оставшихся дескрипторов MSB
16	Число интерфейсов
17	Число конфигураций
18	Индекс Текстового дескриптора конфигурации (?)
19	Характеристики конфигурации устройства
1A	Максимальное потребление от шины USB
	USB_INTERFACE_DESCRIPTOR
1B	Длина дескриптора(9 байт)
1C	Тип дескриптора(USB_INTERFACE_DESCRIPTOR)
1D	Номер интерфейса
1E	Альтернативные установки
1F	Число EndPoint в устройстве
20	Класс интерфейса
21	Субкласс интерфейса
22	Протокол интерфейса
23	Индекс текстового описателя интерфейса
	USB_ENDPOINT_1_DESCRIPTOR
24	Длина дескриптора(7 байт)
25	Тип дескриптора(USB_ENDPOINT_1_DESCRIPTOR)
26	Направленность и номер EndPoint
27	Тип EndPoint
28	Максимальный размер пакета LSB
29	Максимальный размер пакета MSB
2a	Polling Interval
	USB_ENDPOINT_2_DESCRIPTOR
2b	Длина дескриптора(7 байт)
2c	Тип дескриптора(USB_ENDPOINT_2_DESCRIPTOR)
2d	Направленность и номер EndPoint
2e	Тип EndPoint
2f	Максимальный размер пакета LSB
30	Максимальный размер пакета MSB
31	Polling Interval
	USB_STRING_DESCRIPTOR_LANGUAGE_ID
55	Длина дескриптора(6 байт)
56	Тип дескриптора (USB_STRING_DESCRIPTOR_LANGUAGE_ID)
57	Language ID 0 LSB
58	Language ID 0 MSB
59	Language ID 1 LSB
5a	Language ID 1 MSB
	USB_STRING_DESCRIPTOR_VENDOR_ID
5b	Длина дескриптора(10 байт)
5c	Тип дескриптора (USB_STRING_DESCRIPTOR_VENDOR_ID)
5d-64	Символы в UNICODE ASCII кодировке (4 символа/8байт)
	USB_STRING_DESCRIPTOR_DEVICE_ID
65	Длина дескриптора(10 байт)
66	Тип дескриптора (USB_STRING_DESCRIPTOR_DEVICE_ID)
67-6e	Символы в UNICODE ASCII кодировке (4 символа/8байт)

Адрес (HEX)	Назначение
	USB_STRING_DESCRIPTOR_SERIAL_NUMBER_ID
6f	Длина дескриптора(10 байт)
70	Тип дескриптора (USB_STRING_DESCRIPTOR_SERIAL_NUMBER_ID)
71-78	Символы в UNICODE ASCII кодировке (4 символа/8байт)
	USB_STRING_DESCRIPTOR_CONFIGURATION_ID
79	Длина дескриптора(7 байт)
7a	Тип дескриптора (USB_STRING_DESCRIPTOR_SERIAL_NUMBER_ID)
7b-7F	Символы в UNICODE ASCII кодировке (5 символов/5байт)

Назначение дескрипторов см. п.п. 9.5, 9.6, 9.7 спецификации USB 1.1.

17.3.4 Регистр идентификации

Регистр предназначен для определения центральным процессором наличия и версии ядра контроллера интерфейса USB в составе микросхемы.

Таблица 17.8. Регистр идентификации

Наименование	Назначение	Значение для данной реализации	Доступ
USBIC_REV	Номер ревизии ядра контроллера	0x09090110	R

18. ПРИНЦИПЫ КОРРЕКЦИИ ОШИБОК

Для защиты памяти используется модифицированный код Хэмминга, то есть к контрольным разрядам по обычному коду Хэмминга добавляется общий разряд контроля четности.

Все защищаемые кодом Хэмминга модули памяти (ICACHE, ITAG, DCACHE, DTAG, SRAM и внешняя память) организуются в виде двух блоков: основной блок для хранения данных и блок для хранения контрольных разрядов. Для памяти, имеющих байтовую организацию (SRAM и внешняя память), контрольные разряды формируются операцией “чтение-модификация-запись”. Количество контрольных разрядов для 32-разрядных данных – 7 (см. Рисунок 18.1).

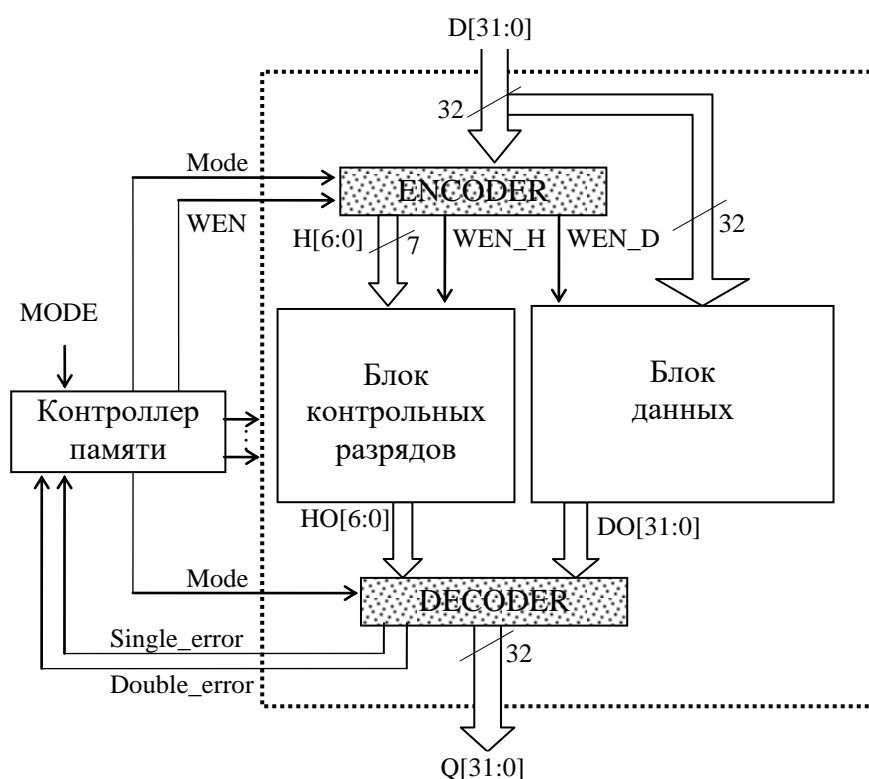


Рисунок 18.1. Структурная схема 32-разрядного модуля памяти с коррекцией ошибок

Данные, записываемые в память, поступают на блок ENCODER, который вычисляет контрольные разряды. При чтении из памяти данные поступают на блок DECODER, который анализирует контрольные разряды и определяет наличие одиночных и двойных ошибок в считанных данных либо одиночных ошибок в контрольных битах. Одиночные ошибки исправляются, двойные – фиксируются. Одновременно с достоверными данными (в случае отсутствия ошибок или коррекции одиночной ошибки) DECODER формирует сигналы Single_Error. При обнаружении двойной ошибки, данные, не корректируются, и формируется сигнал Double_Error.

Каждый модуль памяти имеет регистр управления и состояния CSR: CSR_ICACHE, CSR_DCACHE, CSR_CRAM0A, CRAM0B (для контроля кодом Хэмминга память CRAM разбита на 4 блока объемом по 32 Кбайт; память CRAM имеет 2 порта: А – со стороны CPU и В – со стороны DMA), CSR_CRAM1A, CSR_CRAM1B, CSR_CRAM2A, CSR_CRAM2B, CSR_CRAM3A, CSR_CRAM3B. Формат регистра CSR приведен в Таблица 18.1.

Таблица 18.1. Формат регистра CSR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
1:0	MODE	Режим работы памяти: 00 - режим без коррекции ошибок. Обмен данными выполняется только с блоком данных памяти; 01 - режим с коррекцией ошибок. В обмене данными участвуют блок данных и блок контрольных разрядов; 10 - режим тестирования блока контрольных разрядов; 11 - резерв.	W/R	0
2	NEMPTY	Признак наличия данных в FIFO ошибочных адресов	R	0
7:3	-	Резерв	-	0
15:8	Cnt_DERR	Счетчик двойных ошибок. При значении 255 останавливается. Прерывание сбрасывается при обнулении Cnt_DERR.	W/R	0
23:16	Num_SERR	Число одиночных ошибок данных, при котором формируется прерывание.	W/R	FF
31:24	Cnt_SERR	Счетчик одиночных ошибок. При значении 255 останавливается. Прерывание сбрасывается при $Cnt_CERR \leq Num_CERR$.	W/R	0

Форматы регистров CSR внешней памяти, памяти DSP и памяти ACC приведены в п. 0, п. 4.4.4 и п. 0 соответственно.

Для CSR_CRAM0, CSR_CRAM1, CSR_CRAM2, CSR_CRAM3 поле MODE едино и может быть записано (и считано) по любому адресу CSR_CRAM[i]. Например, при записи поля MODE в регистр CSR_CRAM2, это же значение принимают все остальные поля MODE регистров CSR_CRAM0, CSR_CRAM1 и CSR_CRAM3.

Основные режимы работы (MODE) контроллера памяти приведены в Таблица 18.2. Используются следующие обозначения: DI[31:0] – входная шина данных модуля, DO[31:0] – выход блока данных, H[6:0] – вход блока контрольных разрядов при 32-разрядной организации памяти, Q[31:0] – выходная шина данных модуля памяти.

Таблица 18.2. Режимы работы контроллера памяти

MOD E	Разрядность	Запись в блок данных	Запись в блок контрольных разрядов	Формирование выходной шины данных Q[31:0]
00	32	DI[31:0]	-	DO[31:0]
01	32	DI[31:0]	H[6:0]	DO[31:0] с коррекцией по H[6:0]
10	32	-	DI[6:0]	{25'h00000,HO[6:0]}

При отключенном режиме коррекции ошибок (MODE=0) запись осуществляется только в блок данных, содержимое блока контрольных разрядов остается неизменным. При чтении данные, считываемые из блока данных, поступают на выход напрямую в обход схемы коррекции ошибок. Сигналы ошибок не формируются.

Ошибки Single_Error накапливаются в счетчике Cnt_SERR. Ошибки Double_Error накапливаются в счетчике Cnt_DERR. Контроллер памяти формирует прерывание при $Cnt_CERR > Num_CERR$ или при обнаружении двойной ошибки. Для маскирования прерываний от одиночных ошибок Num_CERR устанавливается в состояние "FF" (т.к. Cnt_CERR не может быть больше значения "FF") при этом ошибочные адреса при возникновении Single_Error в FIFO записываются.

Для целей тестирования предусматривается специальный режим (MODE=2), в котором запись данных с входной шины модуля памяти осуществляется в блок контрольных разрядов напрямую, минуя схему кодирования. Содержимое блока данных остается неизменным. При чтении из памяти на выходную шину поступают данные из блока контрольных разрядов. Старшие разряды дополняются нулями.

Каждый модуль памяти содержит блок FIFO ошибочных адресов AERROR (AERROR_ICACHE, AERROR_DCACHE, AERROR_CRAM0A, AERROR_CRAM0B, AERROR_CRAM1A, AERROR_CRAM1B, AERROR_CRAM2A, AERROR_CRAM2B, AERROR_CRAM3A, AERROR_CRAM3B), объемом 16 слов. В нем запоминаются адреса ячеек, в которых были обнаружены одиночные или двойные ошибки. FIFO доступно только по чтению. Формат регистров FIFO приведен в Таблица 18.3 - Таблица 18.5.

Таблица 18.3. Формат регистров FIFO ошибочных адресов AERROR_CRAM0, AERROR_CRAM1, AERROR_CRAM2, AERROR_CRAM3

Номер разряда	Условное обозначение	Назначение
1:0	Code_ERR	Код ошибки: 0 – нет ошибки; 1 – одиночная ошибка; 2 – двойная ошибка; 3 – ошибка в контрольном разряде общей четности
14:2	ADDR[14:2]	Адрес слова памяти, в котором произошла ошибка.
31:15	-	0

Таблица 18.4. Формат регистра FIFO ошибочных адресов ICACHE

Номер разряда	Условное обозначение	Назначение
1:0	Code_ERR_ICACHE	Код ошибки памяти ICACHE. 0 – нет ошибки 1 – одиночная ошибка 2 - двойная ошибка 3 – ошибка в контрольном разряде общей четности
3:2	Code_ERR_ITAG	Код ошибки памяти ITAG. 0 – нет ошибки 1 – одиночная ошибка 2 - двойная ошибка 3 – ошибка в контрольном разряде общей четности
15:4	PC[13:2]	Адрес слова, в котором произошла ошибка.
31:16	-	0

При возникновении двойной ошибки в ICACHE, ITAG происходит перезапись данной строки в ICACHE из внешней памяти (процедура Refill).

Таблица 18.5. Формат регистра FIFO ошибочных адресов DCACHE

Номер разряда	Условное обозначение	Назначение
1:0	Code_ERR_DCACHE	Код ошибки памяти DCACHE. 0 – нет ошибки 1 – одиночная ошибка 2 - двойная ошибка 3 – ошибка в контрольном разряде общей четности
3:2	Code_ERR_DTAG	Код ошибки памяти DTAG. 0 – нет ошибки 1 – одиночная ошибка 2 - двойная ошибка 3 – ошибка в контрольном разряде общей четности
15:4	ADDR[13:2]	Адрес слова, в котором произошла ошибка.
31:16	-	0

При возникновении двойной ошибки в DCACHE, DTAG необходимо записать 1 в бит FLUSH_D регистра CSR.

Форматы регистров FIFO ошибочных адресов внешней памяти, памяти DSP и памяти АСС приведены в п. 9.2.11, п. 4.4.4 и п. 0 соответственно.

19. ПОРТ JTAG И ВСТРОЕННЫЕ СРЕДСТВА ОТЛАДКИ ПРОГРАММ

В данную микросхему встроен порт JTAG, реализованный в соответствии со стандартом IEEE 1149.1. Этот порт предназначен только для доступа к встроенным средствам отладки программ (OnCD) и не реализует Boundary Scan.

Модуль OnCD обеспечивает:

- выполнение остановки программы CPU по контрольным точкам (Breakpoint);
- выполнение заданного числа команд CPU (трассы) в реальном масштабе времени или пошаговое выполнение команд;
- доступ к адресуемым регистрам и памяти микросхемы.

Для подключения микросхемы к персональному компьютеру через порт JTAG необходимо использовать эмулятор JTAG, предназначенный для работы с данным микропроцессором.

20. ЭЛЕКТРИЧЕСКИЕ И ВРЕМЕННЫЕ ПАРАМЕТРЫ

20.1 Электропитание

Номинальные значения напряжений электропитания микросхемы приведены в Таблица 21.12. Допустимые отклонения напряжений электропитания микросхемы от номинального значения - не более $\pm 5\%$.

При включении на микросхему сначала необходимо подать напряжение электропитания ядра (CVDD) U_{CC3} , а затем напряжение электропитания периферии (PVDD) U_{CC1} . Задержка между подачей напряжений электропитания должна быть не более 10 мс. Входные сигналы подаются после подачи напряжений электропитания или одновременно с напряжением электропитания периферии U_{CC1} . Фронт нарастания напряжений электропитания должен быть не более 5 мс;

При выключении микросхемы необходимо сначала снять входные сигналы, затем напряжение электропитания периферии U_{CC1} , затем, с задержкой не более 10 мс, напряжение электропитания ядра U_{CC2} .

Для фильтрации напряжений электропитания микросхемы, необходимо подключить к каждому источнику (U_{CC1} и U_{CC2}) не менее десяти высокочастотных конденсаторов номиналом 0,1 мкФ типа СС 0603 Y5V 0,1 uF Z 25V. Конденсаторы необходимо разместить по возможности равномерно по периметру корпуса микросхемы между выводами PVDD и GND, а так же CVDD и GND. При этом расстояние между контактами микросхемы и площадками подсоединения конденсаторов должно быть не более 3 мм.

20.2 Электрические параметры

Электрические параметры микросхемы приведены в Таблица 20.1.

Таблица 20.1. Электрические параметры микросхемы

Наименование параметров, единица измерения, режим измерения	Буквенное обозначение	Норма		Температура °C
		не менее	не более	
1 Рабочая частота CPU, МГц при: $U_{CCP}=3,14$ В, $U_{CCC}=1,71$ В	F_{CPU}	120	-	от минус 60 до +85
2 Рабочая частота DSP, МГц при: $U_{CCP}=3,14$ В, $U_{CCC}=1,71$ В	F_{DSP}	140	-	от минус 60 до +85
3 Рабочая частота ACC (FFT/JPEG), МГц при: $U_{CCP}=3,14$ В, $U_{CCC}=1,71$ В	F_{ACC}	175	-	от минус 60 до +85
4 Ток потребления ядра (выводы CVDD) в динамическом режиме при работе CPU: $U_{CCP}=3,47$ В, $U_{CCC}=1,9$ В, включены 3 канала CPU (120 МГц), MPORT (70 МГц)	I_{CPU}	-	640	от минус 60 до +85
5 Ток потребления ядра в динамическом режиме при одновременной работе CPU и DSP: $U_{CCP}=3,47$ В, $U_{CCC}=1,9$ В, включены 3 канала CPU (120 МГц), MPORT (70 МГц), DSP (140 МГц)	I_{CPU_DSP}	-	1950	от минус 60 до +85
6 Ток потребления ядра в динамическом режиме при одновременной работе CPU и JPEG, $U_{CCP}=3,47$ В, $U_{CCC}=1,9$ В, включены 3 канала CPU (120 МГц), MPORT (70 МГц), ACC (175 МГц)	I_{CPU_JPEG}	-	850	от минус 60 до +85
7 Ток потребления ядра в динамическом режиме при одновременной работе CPU и FFT, $U_{CCP}=3,47$ В, $U_{CCC}=1,9$ В, включены 3 канала CPU (120 МГц), MPORT (70 МГц), ACC (175 МГц)	I_{CPU_FFT}	-	1280	от минус 60 до +85
8 Ток потребления ядра в динамическом режиме при одновременной работе CPU, DSP и ACC: $U_{CCP}=3,47$ В, $U_{CCC}=1,9$ В, включены 3 канала CPU (120 МГц), MPORT (70 МГц), DSP (140 МГц), ACC (175 МГц)	$I_{CPU_DSP_ACC}$	-	2600	от минус 60 до +85
9 Ток потребления по цепи питания DDR_PVDD в динамическом режиме при работе каждого из портов DDR_PORT: $U_{CCP}=3,47$ В, $U_{CCC}=1,9$ В, $U_{CCD}=2,6$ В, включены 3 канала CPU (120 МГц), MPORT (70 МГц), DDR_PORT (260 МГц)	I_{CCD}	-	500	от минус 60 до +85
10 Ток потребления периферии в статическом режиме, мА при: $U_{CCP}=3,47$ В, $U_{CCC}=1,9$ В, ХТИ=0	I_{CCP}	-	10	от минус 60 до +85
11 Ток потребления ядра в статическом режиме, мА при: $U_{CCP}=3,47$ В, $U_{CCC}=1,9$ В, ХТИ=0	I_{CCC}	-	30	от минус 60 до +85

Наименование параметров, единица измерения, режим измерения	Буквенное обозначение	Норма		Температура °C
		не менее	не более	
12 Ток утечки высокого и низкого уровня на входе, мкА при: $U_{CCP}=3,47$ В, $U_{CCC}=1,9$ В	I_{IL}	–	10	от минус 60 до +85
13 Выходное напряжение низкого уровня, В при: $I_{OL}=4$ мА, $U_{CCP}=3,47$ В	U_{OL}	–	0,4	от минус 60 до +85
14 Выходное напряжение высокого уровня, В при: $I_{OH}=-2,8$ мА, $U_{CCP}=3,13$ В	U_{OH}	2,4	–	от минус 60 до +85
15 Входная емкость, пФ	C_I	–	30	25 ± 10
16 Емкость входа/выхода, пФ	$C_{I/O}$	–	30	25 ± 10

Значения предельно-допустимых и предельных электрических режимов эксплуатации микросхемы приведены в Таблица 20.2.

Таблица 20.2. Значения предельно-допустимых и предельных электрических режимов эксплуатации

Наименование параметра, единица измерения	Буквенное обозначение	Норма			
		Предельно допустимый режим		Предельный Режим	
		не менее	не более	не менее	не более
1. Напряжение питания периферии, В	U_{CCP}	3,13	3,47	–	3,9
2. Напряжение питания ядра, В	U_{CCC}	1,7	1,9	–	2,3
3. Входное напряжение высокого уровня, В	U_{OH}	2,0	$U_{CCP}+0,2$	–	$U_{CCP}+0,3$
4. Входное напряжение низкого уровня, В	U_{OL}	0	0,8	-0,3	–
5. Емкость нагрузки каждого выхода, пФ	C_L	-	30	-	50

20.3 Динамическая потребляемая мощность

Динамическая потребляемая мощность микросхемы имеет две составляющие: потребление ядра (по цепи CVDD) и потребление выходных драйверов (по цепи PVDD).

Мощность, потребляемая ядром микросхемы по цепи CVDD, зависит от последовательности выполняемых процессорными ядрами команд, от операндов, а также от активности DMA и периферийных устройств.

Мощность, потребляемая выходными драйверами по цепи PVDD, зависит от следующих параметров:

- число выходных драйверов (O);
- максимальная частота, на которой выходные драйверы переключаются (F);
- емкости нагрузки выходных драйверов (C);

- величина напряжения электропитания выходных драйверов (U_{CC1}).

Мощность, потребляемая выходными драйверами по цепи PVDD, определяется следующим уравнением:

$$P_{ext} = O * C * U_{CC1}^2 * F.$$

Рассмотрим для примера расчет мощности, потребляемой выходными драйверами при непрерывной записи данных в память типа SRAM (при $U_{CC1} = 3,3$ В). Максимальная частота обмена данными со SRAM = $CLK/4$, где CLK – тактовая частота работы порта внешней памяти (например, 80 МГц). При обращении по произвольным адресам можно предположить, что с частотой $CLK/4$ изменяются 50% разрядов адреса. Также можно допустить, что каждый цикл изменяются 50% разрядов шины данных. Данные для расчета потребляемой мощности приведены в Таблица 20.3.

Таблица 20.3

Название драйвера	Число драйверов	Емкость нагрузки	F, МГц	U_{CC1}^2	P_{ext} , мВт
A[31:0]	16	30	20	10,9	100
nWR[3:0]	4	30	20	10,9	25
D[63:0]	32	30	20	10,9	200
SCLK	1	30	80	10,9	25
Итого:					350

То есть, при тактовой частоте порта внешней памяти 80 МГц и $C=30$ пФ при непрерывной записи данных в SRAM потребление составляет 350 мВт. При чтении данных из SRAM выходные драйверы не активизируются. Поэтому, если запись данных в SRAM чередуется с чтением, то реальное энергопотребление микросхемы будет существенно меньше.

Оценим мощность, потребляемую драйверами линкового порта при передаче данных с частотой 40 МГц. Потребление по LCLK составляет 12 мВт, а потребление по данным (изменяется 50% 8-разрядных данных с частотой 20 МГц) - 24 мВт. Суммарно – 36 мВт.

20.4 Временные параметры

Временные параметры при обмене данными с внешней памятью и устройствами приведены в Таблица 20.4.

Таблица 20.4. Временные параметры при обмене данными с внешней памятью и устройствами

Наименование параметра, единица измерения	Буквенное обозначение	Норма		Температура оС
		не менее	не более	
Время задержки выходных сигналов A, D, nWR, nWE, nRD, nCS, SRAS, SCAS, SWE, DQM, СKE, A10, BA, nFLYBY, nOE после переднего фронта частоты SCLK, нс	t_{DOSC}	2	5	от -60 до +85
Время предустановки считываемых данных из асинхронной памяти перед задним фронтом частоты SCLK, нс	t_{SDSC}	6	-	от -60 до +85
Время удержания считываемых данных из асинхронной памяти после фронта снятия сигнала nRD, нс (t_{CLK} – период частоты CLK)	t_{HDRD}	0	$0,5 t_{CLK}$	от -60 до +85
Время предустановки считываемых данных из синхронной памяти перед передним фронтом частоты SCLK, нс	t_{SDSC}	5	-	от -60 до +85
Время удержания считываемых данных из синхронной памяти после переднего фронта частоты SCLK, нс	t_{HDSC}	0	$0,5 t_{CLK}$	от -60 до +85

Временная диаграмма при чтении данных из асинхронной памяти приведена на Рисунок 20.1. Считываемые данные фиксируются в микросхеме по заднему фронту частоты SCLK перед снятием сигнала nRD.

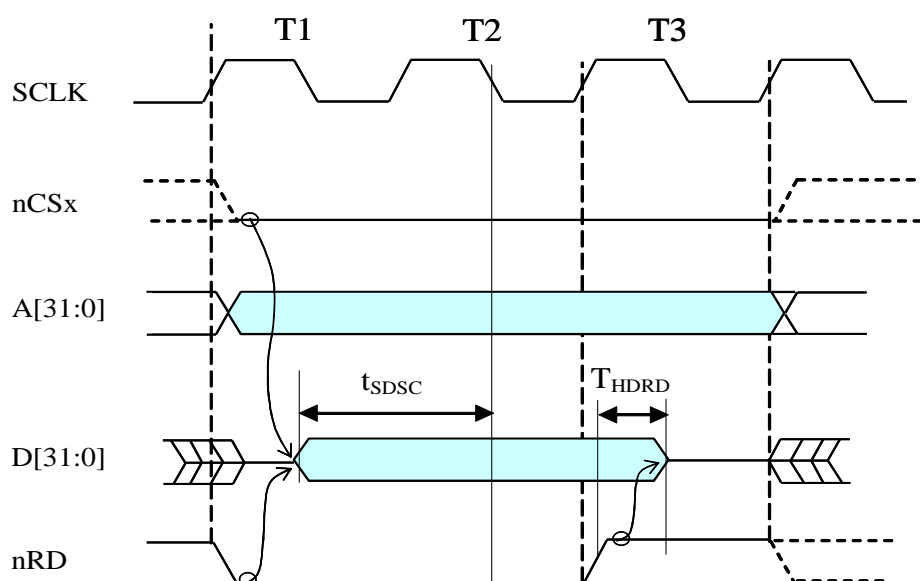


Рисунок 20.1. Чтение асинхронной памяти без дополнительных тактов ожидания

21. ОПИСАНИЕ ВНЕШНИХ ВЫВОДОВ

Перечень сигналов микросхемы 1892ВМ15Ф по группам, приведен в Таблица 21.1.

Таблица 21.1

Назначение	Число выводов
Порт внешней памяти, 64 разряда	155
2 порта DDR	75*2=150
Управление	23
2 портов SpaceWire	16
6 портов SpaceFibre	24
2 UART	4
4 порта MFBSP	40
Ethernet MAC	17
USB	7
SPI	4
Итого сигналов	440 (цифровых – 400)
Электропитание	280
Итого	720

Все неиспользуемые выводы типа «I», «IO» необходимо подключить к земле, если в этих таблицах не указано иное требование (кроме выводов шины данных D).

Выводы шины данных D подключать через резисторы к земле или электропитанию не требуется.

При сопряжении данной микросхемы с внешними устройствами, например, памятью, в зависимости от параметров платы, необходимо устанавливать схемы последовательного или параллельного согласования. Необходимость их установки определяет разработчик аппаратуры самостоятельно.

Описание выводов микросхемы 1892ВМ15Ф приведено в Таблица 21.2 - Таблица 21.12.

Таблица 21.2. Порт внешней памяти

Название вывода	Количество	Тип	Назначение
A[26:0]	27	O	Шина адреса (256 Мбайт)
D[63:0]	64	IO	Шина данных
DHN[6:0]	7	IO	Шина данных контроля по коду Хэмминга (старшие разряды).
DHL[6:0]	7	IO	Шина данных контроля по коду Хэмминга (младшие разряды).
nWRL[3:0], nWRH[3:0]	8	O	Сигналы записи данных в асинхронную память: nWRL[0] – разряды с 0 по 7; nWRL[1] – разряды с 8 по 15; nWRL[2] – разряды с 16 по 23; nWRL[3] – разряды с 24 по 31; nWRH[0] – разряды с 32 по 39; nWRH[1] – разряды с 40 по 47; nWRH[2] – разряды с 48 по 55; nWRH[3] – разряды с 56 по 63. Формируются автоматически
nWEL, nWEH	2	O	Сигналы записи данных в асинхронную память
nWEHL, nWEHH	2	O	Запись кода Хэмминга в асинхронную память, соответственно по шинам DHL и DHN
nRDL, nRDH	2	O	Чтение асинхронной памяти, соответственно с 0 по 31 разряд и с 32 по 63 разряд
ACK	1	I	Готовность асинхронной памяти
nCS[4:0]	5	O	Разрешение выборки банков памяти
SRASH, SRASL	2	O	Строб адреса строки SDRAM
SCASH, SCASL	2	O	Строб адреса колонки SDRAM
SWEH, SWEL	2	O	Разрешение записи SDRAM
DQM[7:0]	8	O	Маска выборки байта
DQMHL, DQMHH	2	O	Маска записи кода Хэмминга в SDRAM
SCLKL, SCLKH	2	O	Тактовая частота работы выходных каскадов MPORT и памяти типа SDRAM
CKE	1	O	Разрешение частоты
A_10	1	O	10 разряд адреса
BA[1:0]	2	O	Номер банка
nFLYBY[3:0]	4	O	Признак режима передачи DMA “Flyby”
nOE[3:0]	4	O	Разрешение чтения внешнего устройства (асинхронного)
Всего 155 вывода			

Таблица 21.3. Порт DDR (2 штуки)

Название вывода	Количество	Тип	Назначение
A[12:0]	13	O	Шина адреса.
DQ[31:0]	32	IO	Шина данных
DQH[6:0]	7	IO	Шина данных контроля по коду Хэмминга
nCS	1	O	Разрешение выборки блоков внешней памяти
RAS	1	O	Строб адреса строки
CAS	1	O	Строб адреса колонки
WE	1	O	Разрешение записи
DQS[3:0]	4	O	Строб данных
DQSH	1	O	Строб данных кода Хэмминга
DM[3:0]	4	O	Маска выборки байта
DMH	1	O	Маска выбора байта кода Хэмминга
CK[2:0], CKn[2:0]	6	O	Тактовая частота
CKE	1	O	Разрешение частоты
BA[1:0]	2	O	Номер банка
Всего 75 выводов			

Таблица 21.4. Управление

Название вывода	Количество	Тип	Назначение
nDMAR[3:0]	4	I	Запрос канала DMA
NMI	1	I	Немаскируемое прерывание
nIRQ[3:0]	4	I	Запросы прерывания. Потенциальные сигналы, активный низкий уровень. Эти сигналы устанавливаются асинхронно источником запроса прерывания. После обработки соответствующего запроса прерывания источник прерывания должен быть сброшен программно
BYTE	1	I	Разрядность блока внешней памяти, подключенного к выводу nCS[3] микросхемы: 0 – 32 разряда; 1 – 8 разрядов
WDT	1	O	Признак срабатывания сторожевого таймера. Этот сигнал формируется, если в программе произошел сбой. Его можно подать на системный контроллер, который будет принимать решение, что делать в данной ситуации
XTI	1	I	Системная тактовая частота. Если PLL_EN = 1, то на вход XTI допускается подавать частоту от 10 до 12 МГц. Если PLL_EN = 0, то на вход XTI допускается подавать частоту от 1 до 100 МГц
RTC_XTI	1	I	Тактовая частота реального времени, как правило - 32,768 кГц. Поступает на вход таймеров IT0, IT1
XTI48	1	I	Сигнал тактовой частоты 48 МГц для контроллера USB

Название вывода	Количество	Тип	Назначение
XTI125	1	I	Сигнал тактовой частоты 125 МГц для работы портов по стандартам SpaceFibre и GigaSpaceWire-RUS
nRST	1	I	Установки исходного состояния
TCK	1	I	Тестовый тактовый сигнал (JTAG)
TRST	1	I	Установка исходного состояния (JTAG). При использовании микросхемы без возможности подключения эмулятора JTAG вывод TRST должен быть подключен к шине GND. Если микросхема используется с возможностью подключения эмулятора JTAG, то при включении электропитания микросхемы вывод TRST должен иметь низкий уровень и переключаться на высокий уровень через время не менее 1 мс после установки стабильного электропитания и стабильной тактовой частоты на входе XTI.
TMS	1	I	Выбор режима теста (JTAG)
TDI	1	I	Вход данных теста (JTAG)
TDO	1	O	Выход данных теста (JTAG)
nDE	1	IO	Состояние DEBUG. Сигнал предназначен для отладки программного обеспечения нескольких MC-12 (до 8), работающих одновременно. Для этого выводы nDE у этих микросхем необходимо объединить в проводное ИЛИ. Если совместная отладка не используется, то вывод nDE должен быть незадействованным.
TEST_MODE	1	I	Режим тестирования BSR
Всего 23 вывода			

Таблица 21.5. Порты SpaceWire (2 штуки)

Название вывода	Количество	Тип	Назначение
DINp0, DINp1	2	I	Вход данных положительный
DINn0, DINn1	2	I	Вход данных отрицательный
SINp0, SINp1	2	I	Вход строга положительный
SINn0, SINn1	2	I	Вход строга отрицательный
DOUp0, DOUp1	2	O	Выход данных положительный
DOUn0, DOUn1	2	O	Выход данных отрицательный
SOUTp0, SOUTp1	2	O	Выход строга положительный
SOUTn0, SOUTn1	2	O	Выход строга отрицательный
Всего 16 выводов			

Таблица 21.6. Порты GigaSpaceWire (4 штуки), SpaceFibre (2 штуки)

Название вывода	Тип	Назначение
GigaSpaceWire 0		
gSW_TXP0/gSW_TXN0	O	Дифференциальный выход передачи данных.
gSW_RXP0/gSW_RXN0	I	Дифференциальный вход приема данных.
GigaSpaceWire 1		
gSW_TXP1/gSW_TXN1	O	Дифференциальный выход передачи данных.
gSW_RXP1/gSW_RXN1	I	Дифференциальный вход приема данных.
GigaSpaceWire 2		
gSW_TXP2/gSW_TXN2	O	Дифференциальный выход передачи данных.
gSW_RXP2/gSW_RXN2	I	Дифференциальный вход приема данных.
GigaSpaceWire 3		
gSW_TXP3/gSW_TXN3	O	Дифференциальный выход передачи данных.
gSW_RXP3/gSW_RXN3	I	Дифференциальный вход приема данных.
SpaceFibre 0		
SpF_TXP0/SpF_TXN0	O	Дифференциальный выход передачи данных.
SpF_RXP0/SpF_RXN0	I	Дифференциальный вход приема данных.
SpaceFibre 1		
SpF_TXP1/SpF_TXN1	O	Дифференциальный выход передачи данных.
SpF_RXP1/SpF_RXN1	I	Дифференциальный вход приема данных.
Всего 24 вывода		

Таблица 21.7. MFBSF (4 штуки)

Наименование сигнала	Количество	Тип	Назначение
LDAT	8	IO	Шина данных.
LCLK	1	IO	Синхронизация
LACK	1	IO	Подтверждение
Всего 10*4=40 выводов			

Таблица 21.8. UART (2 штуки)

Наименование сигнала	Количество	Тип	Назначение
SIN	1	I	Вход последовательных данных
SOUT	1	O	Выход последовательных данных
Всего 2*2=4 вывода			

Таблица 21.9. Порт Ethernet MAC

Название вывода	Количество	Тип	Назначение
MD	1	IO	Входные и выходные данные по интерфейсу MD
MDC	1	O	Тактовая частота обмена данными по интерфейсу MD
TX_CLK	1	I	Тактовая частота передачи данных по интерфейсу MII

Название вывода	Количество	Тип	Назначение
TX_EN	1	O	Признак передачи данных по интерфейсу МП
TXD[3:0]	4	O	Шина передаваемых данных по интерфейсу МП
CRS	1	I	Сигнал наличия несущей в среде передачи
COL	1	I	Сигнал обнаружения коллизии в среде передачи
RX_CLK	1	I	Тактовая частота приема данных по интерфейсу МП
RX_DV	1	I	Признак наличия данных для приема по интерфейсу МП
RXD[3:0]	4	I	Шина принимаемых данных по интерфейсу МП
RX_ER	1	I	Признак обнаружения ошибки в принимаемых данных
Всего 17 выводов			

Таблица 21.10. Шина USB

Наименование сигнала	Количество	Тип	Назначение
RX_D	1	I	Принимаемые данные
RX_DP	1	I	Принимаемые данные (прямой)
RX_DN	1	I	Принимаемые данные (инверсный)
TX_OE	1	O	Признак передачи
TX_DP	1	O	Передаваемые данные (прямой)
TX_DN	1	O	Передаваемые данные (инверсный)
SUSPEND	1	O	Признак приостановки
Всего 7 выводов			

Таблица 21.11. Порт SPI

Наименование сигнала	Количество	Тип	Назначение
SCK	1	O	Сигнал тактовой частоты
SO (MOSI)	1	O	Выход данных
SI (MISO)	1	I	Вход данных
CS	1	O	Сигнал выбора внешнего устройства
Всего 4 вывода			

Таблица 21.12. Электропитание

Название вывода	Количество	Назначение
CVDD	66	Напряжение электропитания ядра (U_{CC0}), (1,8 В)
PVDD	30	Напряжение электропитания входных и выходных драйверов (U_{CC1}), (3,3 В)
gSW_VDD_0 – gSW_VDD_3	4	Напряжение электропитания цифровой части приемопередатчиков портов GigaSpaceWire (1,8 В)
SpF_VDD_0 – SpF_VDD_1	2	Напряжение электропитания цифровой части приемопередатчиков портов SpaceFibre (1,8 В)
GND	138	Земля ядра, входных и выходных цифровых драйверов
gSW_TXVDD_0 – gSW_TXVDD_3	4	Напряжение электропитания аналоговой части передатчиков портов GigaSpaceWire (1,8 В)

Название вывода	Количество	Назначение
gSW_TXGND_0 – gSW_TXGND_3	4	Земля аналоговой части передатчиков портов GigaSpaceWire
gSW_RXVDD_0 – gSW_RXVDD_3	4	Напряжение электропитания аналоговой части приемников портов GigaSpaceWire (3,3 В)
gSW_RXGND_0 – gSW_RXGND_3	4	Земля аналоговой части приемников портов GigaSpaceWire
SpF_TXVDD_0 – SpF_TXVDD_1	2	Напряжение электропитания аналоговой части передатчиков портов SpaceFibre (1,8 В)
SpF_TXGND_0 – SpF_TXGND_1	2	Земля аналоговой части передатчиков портов SpaceFibre
SpF_RXVDD_0 – SpF_RXVDD_1	2	Напряжение электропитания аналоговой части приемников портов SpaceFibre (3,3 В)
SpF_RXGND_0 – SpF_RXGND_1	2	Земля аналоговой части приемников портов SpaceFibre
DDR0_PVDD	7	Напряжение электропитания приемопередатчиков SSTL порта DDR0_PORT (U_{CCD0}), (2,5 В)
DDR1_PVDD	7	Напряжение электропитания приемопередатчиков SSTL порта DDR1_PORT (U_{CCD1}), (2,5 В)
VREF0, VREF1	2	Относительное напряжение для приемников типа SSTL порта DDR_PORT (1,25 В)
Всего 280 выводов		

Нумерация выводов микросхемы 1892BM15Ф в корпусе CPGA-720 приведена на Рисунок 21.1 - Рисунок 21.5.

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
A	CVDD	CVDD	GND	SCLKH	A[5]	A[10]	A[14]	A[17]	A[21]	A[25]	DMH0	DQH0[0]	DQH0[2]	DQH0[4]	DQH0[6]
B	CVDD	CVDD	CVDD	A[1]	A[4]	A[7]	A[11]	A[16]	A[20]	A[24]	A0[1]	DQSH0	DQH0[1]	DQH0[3]	DQH0[5]
C	GND	CVDD	CVDD	A[0]	A[3]	A[8]	A[12]	A[15]	A[19]	A[23]	A0[0]	A0[2]	A0[3]	A0[6]	A0[9]
D	nFLYBY[3]	nFLYBY[2]	CVDD	CVDD	A[2]	A[6]	A[9]	A[13]	A[18]	A[22]	A[26]	BA[0]	BA[1]	A0[5]	A0[8]
E	nFLYBY[1]	nFLYBY[0]	nOE[0]	CVDD	CVDD	nCS[0]	nCS[2]	nCS[4]	nDMAR[1]	nDMAR[3]	NMI	nIRQ[2]	A_10	A0[4]	A0[7]
F	nOE[3]	nOE[2]	nOE[1]	CKE	CVDD	CVDD	nCS[1]	nCS[3]	nDMAR[0]	nDMAR[2]	nIRQ[1]	nIRQ[0]	nIRQ[3]	PVDD	PVDD
G	D[63]	D[62]	D[61]	D[60]	SRASH	CVDD									
H	D[59]	D[58]	D[57]	D[56]	D[55]	SCASH									
J	D[54]	D[53]	D[52]	D[51]	D[50]	SWEH									
K	D[49]	D[48]	D[47]	D[46]	D[45]	DQM[7]				CVDD	CVDD	CVDD	CVDD	GND	GND
L	D[44]	D[43]	D[42]	D[41]	D[40]	DQM[6]				CVDD	CVDD	CVDD	CVDD	GND	GND
M	D[39]	D[38]	D[37]	D[36]	D[35]	DQM[5]				CVDD	CVDD	GND	GND	GND	GND
N	D[34]	D[33]	D[32]	SRASL	SCASL	DQM[4]				CVDD	CVDD	GND	GND	GND	GND
P	D[31]	D[30]	D[29]	D[28]	SWEL	PVDD				GND	GND	GND	GND	GND	GND
R	D[27]	D[26]	D[25]	D[24]	DQM[3]	PVDD				GND	GND	GND	GND	GND	GND

Рисунок 21.1

T	D[23]	D[22]	D[21]	D[20]	DQM[2]	CVDD				GND	GND	GND	GND	GND	GND
U	D[19]	D[18]	D[17]	D[16]	DQM[1]	CVDD				GND	GND	GND	GND	GND	GND
V	D[15]	D[14]	D[13]	D[12]	DQM[0]	DHL[0]				CVDD	CVDD	GND	GND	GND	GND
W	D[11]	D[10]	D[9]	D[8]	nRDH	nRDL				CVDD	CVDD	GND	GND	GND	GND
Y	D[7]	D[6]	D[5]	D[4]	nWEHH	nWEHL				PVDD	PVDD	CVDD	CVDD	GND	GND
AA	D[3]	D[2]	D[1]	D[0]	nWRH[1]	nWRH[0]				PVDD	PVDD	CVDD	CVDD	GND	GND
AB	DHH[6]	DHH[5]	DQMH	nWRH[3]	nWRH[2]	BYTE									
AC	DHH[4]	DHH[3]	DHH[2]	nWRL[3]	nWRL[1]	nWRL[2]									
AD	DHH[1]	DHH[0]	DQMH	RTC_XT	nWRL[0]	PVDD									
AE	DHL[5]	DHL[6]	DHL[3]	WDT	PVDD	PVDD	nWEH	nWEL	SOUT1	SIN1	SOUT0	SIN0	gSW_VDD_0	GND	gSW_VDD_1
AF	DHL[4]	DHL[1]	DHL[2]	PVDD	PVDD	TXD[0]	RX_ER	COL	CRS	MDC	MD	XTH25	PVDD	PVDD	CVDD
AG	ACK	SCLK	PVDD	PVDD	nDE	TXD[1]	RX_DV	RXD[0]	DINn1	DINp1	DINp0	DINn0	gSW_TXN[0]	gSW_TXP[0]	gSW_TXN[1]
AH	GND	PVDD	PVDD	TRST	TDO	TXD[2]	RX_CLK	RXD[1]	SINn1	SINp1	SINp0	SINn0	gSW_RXN[0]	gSW_RXP[0]	gSW_RXN[1]
AJ	PVDD	PVDD	PVDD	nRST	TDI	TXD[3]	TX_CLK	RXD[2]	SOUTn1	SOUTp1	SOUTp0	SOUTn0	gSW_RXGND_0	gSW_TXGND_0	gSW_RXGND_1
AK	PVDD	PVDD	GND	XTI	TMS	TCK	TX_EN	RXD[3]	DOUn1	DOUp1	DOUp0	DOUn0	gSW_RXVDD_0	gSW_TXVDD_0	gSW_RXVDD_1
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15

Рисунок 21.2

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	
CK0[0]	DQS0[2]	DQ0[17]	DQ0[19]	DQ0[21]	DQ0[22]	CKN0[2]	DM0[3]	DQ0[25]	DQ0[27]	DQ0[29]	DQ0[31]	CVDD	GND	GND	A
CKN0[0]	DM0[2]	DQ0[16]	DQ0[18]	DQ0[20]	DQ0[23]	CK0[2]	DQS0[3]	DQ0[24]	DQ0[26]	DQ0[28]	DQ0[30]	GND	GND	GND	B
DQS0[0]	DQ0[1]	DQ0[2]	DQ0[4]	DQ0[6]	CKN0[1]	DQS0[1]	DQ0[9]	DQ0[11]	DQ0[13]	DQ0[15]	VREF0	GND	GND	CVDD	C
DM0[0]	DQ0[0]	DQ0[3]	DQ0[5]	DQ0[7]	CK0[1]	DM0[1]	DQ0[8]	DQ0[10]	DQ0[12]	DQ0[14]	GND	VREF1	A1[0]	DMH1	D
A0[10]	A0[12]	A0[11]	BA0[1]	BA0[0]	CAS0	nCS0	WE0	RAS0	CKE0	GND	A1[1]	A1[2]	DQSH1	DQH1[0]	E
CVDD	CVDD	DDR0_PVDD	DDR0_PVDD	DDR0_PVDD	DDR0_PVDD	DDR0_PVDD	DDR0_PVDD	DDR0_PVDD	GND	A1[3]	A1[4]	A1[5]	DQH1[1]	DQH1[2]	F
									DDR1_PVDD	A1[6]	A1[7]	A1[8]	DQH1[3]	DQH1[4]	G
									DDR1_PVDD	A1[9]	A1[10]	A1[11]	DQH1[5]	DQH1[6]	H
									DDR1_PVDD	BA1[0]	BA1[1]	A1[12]	CKN1[0]	CK1[0]	J
GND	GND	CVDD	CVDD	GND	GND				DDR1_PVDD	nCS1	DM1[0]	DQS1[0]	DM1[2]	DQS1[2]	K
GND	GND	CVDD	CVDD	GND	GND				DDR1_PVDD	CAS1	DQ1[0]	DQ1[1]	DQ1[16]	DQ1[17]	L
GND	GND	GND	GND	CVDD	CVDD				DDR1_PVDD	RAS1	DQ1[2]	DQ1[3]	DQ1[18]	DQ1[19]	M
GND	GND	GND	GND	CVDD	CVDD				DDR1_PVDD	WE1	DQ1[4]	DQ1[5]	DQ1[20]	DQ1[21]	N
GND	GND	GND	GND	GND	GND				PVDD	CKE1	DQ1[6]	DQ1[7]	DQ1[22]	DQ1[23]	P
GND	GND	GND	GND	GND	GND				PVDD	DQ1[31]	CKN1[1]	CK1[1]	CKN1[2]	CK1[2]	R

Рисунок 21.3

GND	GND	GND	GND	GND	GND			T
GND	GND	GND	GND	GND	GND			U
GND	GND	GND	GND	CVDD	CVDD			V
GND	GND	GND	GND	CVDD	CVDD			W
GND	GND	CVDD	CVDD	GND	GND			Y
GND	GND	CVDD	CVDD	GND	GND			AA
								AB
								AC
								AD
GND	gSW_VDD_2	GND	gSW_VDD_3	GND	SpF_VDD_0	GND	SpF_VDD_1	AE
CVDD	PVDD	PVDD	CVDD	CVDD	PVDD	PVDD	CVDD	AF
gSW_TXP[1]	gSW_TXN[2]	gSW_TXP[2]	gSW_TXN[3]	gSW_TXP[3]	SpF_TXN[0]	SpF_TXP[0]	SpF_TXN[1]	AG
gSW_RXP[1]	gSW_RXN[2]	gSW_RXP[2]	gSW_RXN[3]	gSW_RXP[3]	SpF_RXN[0]	SpF_RXP[0]	SpF_RXN[1]	AH
gSW_TXGND_1	gSW_RXGND_2	gSW_TXGND_2	gSW_RXGND_3	gSW_TXGND_3	SpF_RXGND_0	SpF_TXGND_0	SpF_RXGND_1	AJ
gSW_TXVDD_1	gSW_RXVDD_2	gSW_TXVDD_2	gSW_RXVDD_3	gSW_TXVDD_3	SpF_RXVDD_0	SpF_TXVDD_0	SpF_RXVDD_1	AK
16	17	18	19	20	21	22	23	

Рисунок 21.4

	CVDD	SO	DM1[1]	DQS1[1]	DM1[3]	DQS1[3]	T
	CVDD	CS	DQ1[8]	DQ1[9]	DQ1[24]	DQ1[25]	U
	SI	TEST_MODE	DQ1[10]	DQ1[11]	DQ1[26]	DQ1[27]	V
	LACK0	LCLK0	DQ1[12]	DQ1[13]	DQ1[28]	DQ1[30]	W
	LDAT0[0]	LDAT0[1]	DQ1[14]	DQ1[15]	DQ1[29]	SCK	Y
	LDAT0[2]	LDAT0[3]	LDAT0[4]	LDAT0[5]	LDAT0[6]	LDAT0[7]	AA
	LACK1	LCLK1	LDAT1[0]	LDAT1[1]	LDAT1[2]	LDAT1[3]	AB
	LDAT1[4]	LDAT1[5]	LDAT1[6]	LDAT1[7]	LACK2	LCLK2	AC
	LDAT2[0]	LDAT2[1]	LDAT2[2]	LDAT2[3]	LDAT2[4]	LDAT2[5]	AD
GND	GND	LDAT2[6]	LDAT2[7]	LACK3	LCLK3	LDAT3[0]	AE
CVDD	GND	GND	LDAT3[1]	LDAT3[2]	LDAT3[3]	LDAT3[4]	AF
SpF_TXP[1]	GND	GND	GND	LDAT3[5]	LDAT3[6]	LDAT3[7]	AG
SpF_RXP[1]	RX_DN	TX_DN	GND	GND	GND	CVDD	AH
SpF_TXGND_1	RX_DP	TX_DP	SUSPEND	GND	GND	GND	AJ
SpF_TXVDD_1	RX_D	TX_OE	XTI48	CVDD	GND	GND	AK
24	25	26	27	28	29	30	

Рисунок 21.5

22. ИСТОРИЯ ИЗМЕНЕНИЙ

22.1 28 августа 2014 г

- уточнен пункт 1.2 в части суммарной пиковой производительности DSP-кластера.

22.2 19 ноября 2014 г

- уточнено исходное состояние полей CLKEN_CPU1, CLKEN_CPU2 регистра CLK_EN (табл. 2.6) и поля CPU_MODE регистра CSR (табл. 2.12).

22.3 16 марта 2015 г

- в табл. 2.4 приведены регистры контроллера USB и его DMA.

22.4 24 марта 2015 г

- в табл. 2.4 приведены регистры DMA SPFMIC, DMA GigaSpWR и уточнены адреса регистров DDR_PORT.

22.5 03 апреля 2015 г

- уточнена табл. 2.4 в части регистров контроллера SPI;
- уточнен п. 8.3 в части остановки MFBSP и его DMA;
- заменены разделы 14 и 15.

22.6 29 сентября 2015 г

- скорректированы адреса регистров интервальных таймеров IT0 и IT1;
- исправлены значения битов [31:23] регистра QSTR0 в Таблице 2.8. Формат регистра QSTR0;
- обновлены колонтитулы.

22.7 2 октября 2015 г

- обновлены колонтитулы;
- добавлен номер РАЯЖ на титульный лист.

22.8 18 июля 2016 г

- уточнен рисунок 20 в части выводов DOUTn0, DOUTp0, SOUTn0, SOUTp0, SINn0, SINp0, DINn0, DINp0, DHL[6:0], ACK, nWRL[2:0], WDT, BYTE, RTC_XTI, TEST_MODE, SI, SO, CS, SCK, DQ1[31:29], DM0[3], DQS0[3], DQ0[23, 22, 7:2], RAS0, WE0, nCS0, CAS0, BA0[1:0], A0[12:11], nIRQ[1:0], A[14:7], CKN0[2], CK0[2], CKN0[1], CK0[1];
- уточнена таблица 19.1 в части динамического тока потребления.

22.9 12 июля 2017 г

- уточнен п. 2.2.1 в части назначения PLL_DDR;
- уточнена табл. 2.5 в части назначения разряда 31;
- уточнен абзац 4 после табл. 2.7;
- в п. 10.2 введено описание формата регистра базового адреса DDR_BAR;
- пункт 10.2.2 назван: “Регистр конфигурации DDR_CON”;
- пункт 10.2.4 назван: “Регистр состояний и управления DDR_CSR”;
- уточнена табл. 9.16 в части разряда 6;
- уточнена табл. 10.7 в части разряда 8.

22.10 11 августа 2017 г

- на рисунке 1.1 изменены названия gigaSpaceWire на GigaSpaceWire и gigaSpWR на GigaSpWR;
- в таблицу 2.4 добавлены значения базовых адресов регистров коммутатора GigaSpWR и таблицы маршрутизации;
- уточнена таблица 2.10 в части прерываний SPFMIC и DMA SPFMIC.

22.11 27 марта 2019 г

- введена глава 14 «КОММУТАТОР GigaSpWR»;
- уточнена таблица 20.4.

22.12 25 октября 2019 г

- таблица 2.5: явно указано, что частота на выходе DDR_PLL (задаваемая множителем CR_PLL[30:24]) делится на два и выдается на выходы СК/СКп;
- глава 14: удалено описание неиспользуемых регистров (SPEC_ARB, INTR_IRQ_MASK_L, INTR_IRQ_MASK_H, INTA_IRQ_MASK_L, INTA_IRQ_MASK_H).

22.13 10 мая 2020 г

- скорректирована таблица 5.16 (rf#13581).

22.14 26 мая 2021 г

- дополнена глава 16 «Контроллер SPI». Уточнено, что он поддерживает работу только в режиме Master и вывод ведомого устройства SS[1] отсутствует;
- добавлено уточнение в таблицу 21.11: SO (MOSI), SI (MISO).

22.15 4 августа 2021 г

- введена глава 8.3.1 - «Особенности DMA порта Ethernet MAC» (rf#14557);

- введена глава 2.1.1 «Карта доступа CPU, DSP, DMA к памяти и регистрам периферии» (rf#14561).

22.16 13 марта 2023 г

- в разделе 15.5.5 исправлена ошибка в последовательности передачи байтов по MFBSР в режиме LPORT.