

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ 1892ВМ206

РУКОВОДСТВО ПОЛЬЗОВАТЕЛЯ

ОГЛАВЛЕНИЕ

1. ВВЕДЕНИЕ.....	13
1.1 Порядок использования данного документа.....	13
1.2 Назначение.....	13
1.3 Функциональные параметры и возможности.....	14
1.4 Структурная схема.....	17
1.5 Инструментальное программное обеспечение	19
1.6 Операционная система для микросхемы 1892BM206.....	19
2. СИСТЕМНАЯ ОРГАНИЗАЦИЯ МИКРОСХЕМЫ	20
2.1 Система синхронизации	20
2.1.1 Входы синхронизации и умножители частоты	20
2.1.2 Управление работой PLL.....	21
2.1.3 Отключение и включение тактовой частоты.....	22
2.2 Контроллер прерываний.....	24
2.3 Системные регистры.....	27
2.3.1 Регистр управления и состояния CSR.....	27
2.3.2 Регистр программного сброса контроллеров	29
2.3.3 Регистр управления приоритетом доступа контроллеров DMA к устройствам памяти 30	
2.4 Процедура начальной загрузки	32
2.5 Логика взаимодействия CPU и DSP	33
2.5.1 Функции CPU	33
2.5.2 Функции DSP.....	33
2.6 Карта памяти CPU.....	34
3. ЦЕНТРАЛЬНЫЙ ПРОЦЕССОР.....	39
3.1 Основные характеристики CPU.....	39
3.2 Блок-схема	39
3.3 Составляющие логические блоки.....	40
3.3.1 Устройство исполнения.....	40
3.3.2 Устройство умножения/деления (MDU).....	40
3.3.3 Системный управляющий сопроцессор.....	41
3.3.4 Сопроцессор арифметики в формате с плавающей точкой (FPU)	41
3.3.5 Устройство управления памятью (MMU).....	41
3.3.6 Контроллер кэш.....	41
3.3.7 Устройство шинного интерфейса (BIU – Bus Interface Unit).....	41
3.3.8 OnCD контроллер.....	41
3.4 Конвейер	42
3.4.1 Стадии конвейера	42
3.4.2 Операции умножения и деления.....	43
3.4.3 Задержка выполнения команд перехода (Jump, Branch)	43
3.4.4 Обходные пути передачи данных (Data bypass).....	44
3.4.5 Задержка загрузки данных	45
3.5 Сопроцессор арифметики в формате с плавающей точкой (FPU).....	45
3.5.1 Введение.....	45
3.5.2 Регистры FPU.....	46
3.5.3 Исключения FPU	52
3.5.4 Время выполнения команд FPU.....	56
3.6 Устройство управления памятью (MMU)	56

3.6.1	Введение.....	56
3.6.2	Режимы работы.....	57
3.6.3	Буфер быстрого преобразования адреса (TLB).....	62
3.6.4	Преобразование виртуального адреса в физический в режиме TLB.	64
3.7	Исключения.....	68
3.7.1	Условия исключений.....	69
3.7.2	Приоритеты исключений.....	69
3.7.3	Расположение векторов исключений.....	70
3.7.4	Обработка общих исключений.....	71
3.7.5	Исключения.....	72
3.7.6	Алгоритмы обработки исключений.....	78
3.8	Регистры CP0.....	81
3.8.1	Назначение.....	81
3.8.2	Обзор регистров CP0.....	81
3.8.3	Регистры CP0.....	82
3.9	Кэш.....	96
3.10	Особенности реализации процессорного ядра.....	97
4.	ЦИФРОВОЙ СИГНАЛЬНЫЙ ПРОЦЕССОР.....	98
4.1	Введение.....	98
4.2	Основные технические характеристики DSP-кластера DELcore-30MH.....	98
4.3	Структурная схема.....	98
4.3.1	Внешний интерфейс DSP-кластера DELcore-30MH.....	99
4.3.2	Организация работы DSP-кластера DELcore-30MH.....	100
4.4	Организация памяти.....	100
4.4.1	Дисциплина отработки одновременных обращений к общему полю памяти данных со стороны DSP-ядер (арбитраж).....	102
4.4.2	Доступ DSP кластера к ресурсам процессора.....	102
4.4.3	Контроллеры Хэминга памяти DSP.....	104
4.5	Регистры управления и состояния DELcore-30MH.....	108
4.5.1	Регистр маски прерываний (MASKR_DSP).....	109
4.5.2	Регистр запросов прерываний (QSTR_DSP).....	109
4.5.3	Регистр управления и состояния (CSR_DSP).....	109
4.5.4	Счетчик тактов (TOTAL_CLK_CNTR).....	110
4.5.5	Счетчик тактов в состоянии RUN (TOTAL_RUN_CNTR).....	110
4.5.6	Регистр запросов прерываний (QSTR_HEM_DSP).....	110
4.6	Буфер обмена XBUF.....	111
4.6.1	Регистр флагов обмена EFR.....	111
4.6.2	Режимы обменов с XBUF.....	111
4.7	Структурная схема DSP-ядра ELcore-30M.....	112
4.8	Программная модель DSP-ядра ELcore-30M.....	113
4.9	Вычислительная секция (ALU).....	114
4.9.1	Операционные блоки (MS/SH, FMU, AU/LU, FASU).....	114
4.9.2	Регистровый файл.....	115
4.9.3	Регистры-аккумуляторы.....	117
4.9.4	Регистр PDNR.....	117
4.9.5	Регистр CCR.....	118
4.10	Устройства генерации адресов памяти данных (AGU, AGU-Y).....	119
4.10.1	Архитектура AGU.....	119
4.10.2	Программная модель AGU.....	121

4.10.3	Архитектура AGU-Y	121
4.10.4	Программная модель AGU-Y	123
4.10.5	Назначение регистров адресных генераторов.....	123
4.10.6	Типы адресной арифметики.....	123
4.10.7	Особенности X- и Y- указателей.....	125
4.10.8	Разрядность адресной арифметики	126
4.10.9	Регистр адреса вектора прерывания IVAR.....	126
4.11	Устройство программного управления (PCU)	126
4.11.1	Архитектура PCU.....	126
4.11.2	Назначение и состав PCU.....	127
4.11.3	Регистр управления и состояния DCSR.....	128
4.11.4	Программный счетчик PC.....	128
4.11.5	Регистр состояния SR	128
4.11.6	Регистр-идентификатор IDR.....	129
4.11.7	Регистр адреса окончания цикла LA.....	130
4.11.8	Регистр счетчика циклов LC.....	130
4.11.9	Стеки SS, CSL, CSH.....	130
4.11.10	Регистр указателей стека SP	130
4.11.11	Регистры адреса останова SAR, SAR1-SAR7.....	131
4.11.12	Счетчик команд CNTR	131
4.11.13	Регистры управления прерываниями и DMA-обменами	131
4.11.14	Механизм отработки прерываний.....	132
4.11.15	Регистр запросов на прерывание DSP (IRQR)	132
4.11.16	Регистры масок запросов на прерывание DSP (IMASKR, QMASKR0, QMASKR1, QMASKR2, QMASKR3).....	133
4.11.17	Регистр запуска DMA со стороны DSP (DSTART)	133
4.11.18	Регистр таймера (TMR)	134
4.11.19	Регистр управления локальным арбитром (ARBR).....	134
4.11.20	Регистр спецфункций (SFR).....	136
4.11.21	Отладочные регистры.....	136
4.11.22	Регистр dbDCSR.....	137
4.11.23	Регистры dbSAR, dbSAR1-dbSAR7.....	138
4.11.24	Регистр dbCNTR.....	138
4.11.25	Регистр Cnt_RUN.....	138
4.12	Программный конвейер DSP-ядра ELcore-30M.....	138
4.13	Перечень адресуемых регистров DSP-кластера.....	140
5.	ИНТЕРВАЛЬНЫЙ ТАЙМЕР	146
5.1	Назначение.....	146
5.2	Структурная схема IT	146
5.3	Описание регистров интервального таймера	147
5.4	Программирование IT.....	148
6.	СТОРОЖЕВОЙ ТАЙМЕР	149
6.1	Назначение.....	149
6.2	Структурная схема.....	149
6.3	Описание регистров WDT.....	150
6.4	Программирование WDT	152
7.	КОНТРОЛЛЕР ПРЯМОГО ДОСТУПА В ПАМЯТЬ (DMA)	154
7.1	Каналы DMA типа память-память	155

7.2	Каналы DMA периферийных портов	161
7.2.1	Особенности DMA порта Ethernet MAC	163
7.3	Процедура самоинициализации	164
7.4	Прерывания DMA	165
8.	ПОРТ ВНЕШНЕЙ ПАМЯТИ.....	166
8.1	Введение	166
8.2	Регистры порта внешней памяти.....	166
8.2.1	Регистр конфигурации CSCON0.....	167
8.2.2	Регистр конфигурации CSCON1.....	168
8.2.3	Регистр конфигурации CSCON2.....	168
8.2.4	Регистр конфигурации CSCON3.....	169
8.2.5	Регистр конфигурации CSCON4.....	171
8.2.6	Регистр FLY_WS	171
8.2.7	Регистр конфигурации SDRCON.....	172
8.2.8	Регистр параметров SDRTMR.....	174
8.2.9	Регистр управления и состояния SDRCSR	175
8.2.10	Регистр CSR_EXT	177
8.2.11	Регистр AERROR_EXT	178
8.3	Временные диаграммы обмена данными	179
8.3.1	Общие положения	179
8.3.2	Обмен данными с асинхронной памятью	180
8.3.3	Обмен данными с синхронной динамической памятью.....	184
8.3.4	Обмен данными в режиме Flyby	188
8.4	Рекомендации по подключению внешней памяти.....	191
8.4.1	Память типа SDRAM	191
8.4.2	Память типа Flash.....	191
9.	УНИВЕРСАЛЬНЫЙ АСИНХРОННЫЙ ПОРТ (UART).....	193
9.1	Общие положения.....	193
9.2	Регистры UART.....	194
9.2.1	Общие положения	194
9.2.2	Регистр LCR.....	194
9.2.3	Регистр FCR.....	195
9.2.4	Регистр LSR	196
9.2.5	Регистр IER	197
9.2.6	Регистр IIR	197
9.2.7	Регистр MCR.....	198
9.2.8	Программируемый генератор скорости обмена.....	199
9.3	Работа с FIFO по прерыванию	199
9.4	Работа с FIFO по опросу	200
10.	КОНТРОЛЛЕР ИНТЕРФЕЙСА SPACEWIRE (SWIC).....	201
10.1	Общие положения.....	201
10.2	Структура контроллера	201
10.3	Прерывания	204
10.4	Перечень регистров SWIC	204
10.4.1	Общие положения.....	204
10.5	Описание регистров SWIC	206
10.5.1	Регистр HW_VER.....	206
10.5.2	Регистр STATUS	206

10.5.3	Регистр RX_CODE.....	208
10.5.4	Регистр MODE_CR.....	208
10.5.5	Регистр TX_SPEED.....	210
10.5.6	Регистр TX_CODE.....	211
10.5.7	Регистр RX_SPEED.....	212
10.5.8	Регистр CNT_RX_PACK.....	212
10.5.9	Регистр ISR_L.....	212
10.5.10	Регистр ISR_H.....	213
10.5.11	Регистр TRUE_TIME.....	213
10.5.12	Регистр TOUT_CODE.....	213
10.5.13	Регистр ISR_tout_L.....	214
10.5.14	Регистр ISR_tout_H.....	214
10.5.15	Регистр LOG_ADDR.....	214
10.5.16	Регистр ACK_NONACK_REGIME.....	215
10.5.17	Регистр ISR_TOUTS2.....	215
10.5.18	Регистр ISR_handler_term_funct.....	215
10.5.19	Регистр специальных кодов ISR_spec.....	216
10.5.20	Регистр ISR_1101.....	217
10.5.21	Регистр ISR_mack_1101.....	217
10.5.22	Регистр INT_RESET.....	217
10.5.23	Регистр STATUS2.....	218
10.5.24	Регистр MODE_CR2.....	218
10.5.25	Регистр маски распределенных прерываний – Int_H, L_mask.....	219
10.5.26	Регистр маски ack кодов – Ack_H, L_mask.....	220
10.5.27	Регистр AUTO_SPEED_MANAGE.....	220
10.5.28	Регистр ISR_spec_term_funct.....	221
10.5.29	Регистр ISR_L_reset.....	221
10.5.30	Регистр ISR_H_reset.....	221
10.6	Рекомендации по программированию.....	222
10.6.1	Пакеты данных, дескрипторы пакетов.....	222
10.6.2	Работа с управляющими кодами.....	228
10.6.3	Управление установкой соединения и скоростью передачи данных.....	234
10.6.4	Работа с прерываниями.....	235
10.6.5	Тестирование LVDS.....	236
10.6.6	Работа с портами, неподключенными к кабелю.....	237
11.	МНОГОФУНКЦИОНАЛЬНЫЙ	БУФЕРИЗИРОВАННЫЙ
	ПОСЛЕДОВАТЕЛЬНЫЙ ПОРТ (MFBSP).....	238
11.1	Особенности MFBSP.....	238
11.1.1	Основные характеристики MFBSP в режиме I2S.....	239
11.1.2	Основные характеристики MFBSP в режиме SPI.....	240
11.1.3	Основные характеристики MFBSP в режиме LPORT.....	241
11.1.4	Основные характеристики MFBSP в режиме порта ввода-вывода общего назначения.....	242
11.2	Общие сведения об MFBSP.....	242
11.2.1	Режимы работы MFBSP.....	242
11.2.2	Структурная схема многофункционального буферизированного последовательного порта.....	243
11.2.3	Назначение выводов порта в различных режимах.....	245
11.2.4	Перечень регистров MFBSP.....	246

11.2.5	Каналы DMA многофункциональных портов MFBSP	246
11.2.6	Прерывания от каналов DMA MFBSP	247
11.2.7	Прерывания от MFBSP	247
11.3	Работа MFBSP в режиме I2S	249
11.3.1	Назначение MFBSP в режиме I2S	249
11.3.2	Регистр управления и состояния CSR_MFBSP (режим I2S)	250
11.3.3	Регистр управления направлением выводов DIR_MFBSP (режим I2S) ..	250
11.3.4	Регистр управления приёмником RCTR (режим I2S)	251
11.3.5	Регистр управления передатчиком TCTR (режим I2S)	254
11.3.6	Регистр состояния приёмника RSR (режим I2S)	256
11.3.7	Регистр состояния передатчика TSR (режим I2S)	257
11.3.8	Регистр управления темпом приёма RCTR_RATE (режим I2S)	259
11.3.9	Регистр управления темпом передачи TCTR_RATE (режим I2S)	259
11.3.10	Псевдорегистр TSTART (режим I2S)	260
11.3.11	Псевдорегистр RSTART (режим I2S)	260
11.3.12	Регистр аварийного управления портом EMERG_MFBSP (режим I2S) .	260
11.3.13	Регистр маски прерываний от порта IMASK_MFBSP (режим I2S)	261
11.3.14	Структурная схема MFBSP для режима I2S	263
11.3.15	Варианты соединения порта с внешними устройствами	263
11.3.16	Передача данных в режиме I2S	265
11.3.17	Формирование тактовых сигналов приёмника (RCLK) и передатчика (TCLK)	269
11.3.18	Формирование управляющих сигналов приёмника и передатчика в режиме I2S	270
11.3.19	Тракт передачи данных	271
11.3.20	Тракт приёма данных	272
11.3.21	Прерывания от последовательного порта	273
11.4	Работа MFBSP в режиме SPI	274
11.4.1	Назначение последовательного порта в режиме SPI	274
11.4.2	Регистр управления и состояния CSR_MFBSP (режим SPI)	274
11.4.3	Регистр управления направлением выводов DIR_MFBSP (режим SPI) ..	275
11.4.4	Регистр управления передатчиком TCTR (режим SPI)	279
11.4.5	Регистр состояния приёмника RSR (режим SPI)	280
11.4.6	Регистр состояния передатчика TSR (режим SPI)	282
11.4.7	Регистр управления темпом приёма RCTR_RATE (режим SPI)	283
11.4.8	Регистр управления темпом передачи TCTR_RATE (режим SPI)	283
11.4.9	Псевдорегистр TSTART (режим SPI)	284
11.4.10	Псевдорегистр RSTART (режим SPI)	284
11.4.11	Регистр аварийного управления портом EMERG_MFBSP (режим SPI) .	284
11.4.12	Регистр маски прерываний от порта IMASK_MFBSP (режим SPI)	285
11.4.13	Структурная схема MFBSP для режима SPI	286
11.4.14	Варианты соединения порта с внешними устройствами	287
11.4.15	Передача данных в режиме SPI	289
11.4.16	Пример чтения 8-разрядного слова по заданному адресу из ведомого устройства с интерфейсом C-BUS	291
11.4.17	Формирование тактовых сигналов приёмника (RSCK) и передатчика (TSCK)	292
11.4.18	Формирование управляющих сигналов приёмника и передатчика в режиме SPI	293
11.4.19	Тракт передачи данных	294

11.4.20	Тракт приёма данных.....	296
11.4.21	Прерывания от последовательного порта.....	297
11.5	Работа MFBSР в режиме линкового порта (LPORT)	297
11.5.1	Назначение линкового порта	297
11.5.2	Регистр управления и состояния CSR_MFBSР (режим LPORT)	297
11.5.3	Регистр состояния приёмника RSR (режим LPORT)	298
11.5.4	Регистр состояния передатчика TSR (режим LPORT)	299
11.5.5	Регистр аварийного управления портом EMERG_MFBSР (режим LPORT).....	300
11.5.6	Регистр маски прерываний от порта IMASK_MFBSР (режим LPORT)..	301
11.5.7	Структурная схема MFBSР для режима линкового порта.....	302
11.5.8	Соединение с внешними устройствами	303
11.5.9	Передача данных по линковому порту	304
11.5.10	Прерывания от линковых портов	306
11.6	Работа MFBSР в режиме порта ввода-вывода общего назначения.....	306
11.6.1	Регистр данных порта ввода вывода GPIO_DR	306
11.6.2	Регистр управления направлением выводов DIR_MFBSР	307
11.7	Рекомендации по аварийному выключению передатчика.....	307
12.	КОНТРОЛЛЕР ARINC429	308
12.1	Назначение.....	308
12.2	Архитектура и функционирование порта ARINC429	308
12.3	Программно-доступные регистры.....	309
12.3.1	Регистр состояния каналов 5-0 (RGS0).....	310
12.3.2	Регистр состояния каналов 11-6 (RGS1).....	312
12.3.3	Регистр состояния каналов 14-12 (RGS2).....	313
12.3.4	Регистр настройки масок прерываний (RGM)	313
12.3.5	Регистры масок прерываний (R_RGM0, R_RGM1, R_RGM2).....	314
12.3.6	Регистр настройки частоты каналов (RGF).....	314
12.3.7	Регистр выбора способа кодирования (R_CODE)	315
12.3.8	Регистр направления передачи (R_DIR).....	316
12.3.9	Регистр прерываний (R_IRQ)	316
12.3.10	Регистр включения режима прямого доступа порта в память (R_DMA)	317
12.3.11	Регистр включения приема/передачи в режиме DMA (R_EN).....	317
12.3.12	Регистр настройки канала (RGC)	318
12.3.13	Регистр настройки максимальной длительности слова (R_LW_MAX) ..	318
12.3.14	Регистр настройки минимальной длительности слова (R_LW_MIN)	319
12.3.15	Регистр настройки от ложного срабатывания (R_ERR).....	319
12.3.16	Регистр настройки захвата данных (RCO_LCI)	319
12.3.17	Регистр настройки длины паузы между словами (RCO_PLEN)	320
12.3.18	Регистр настройки маски слова (R_MASK)	320
12.3.19	Регистр слова для формирования прерывания (R_WORD_IRQ)	320
12.3.20	Регистр количества слов (R_NUM_WORD).....	321
12.3.21	Регистр настройки паузы между импульсами слова (RCO_PIMP).....	321
12.3.22	Регистр настройки количества разрядов слова (RC_BIT).....	321
12.3.23	Регистр данных канала приема (KP_DRAM)	322
12.3.24	Регистр данных канала выдачи (KV_DRAM)	322
12.3.25	Регистр настройки файлового приема (FILE)	322
12.4	Режимы работы порта.....	323
12.4.1	Режим передачи без прямого доступа в память.....	323
12.4.2	Режим приема без прямого доступа в память	324

12.4.3	Режим контроля	325
12.4.4	Режим передачи с прямым доступом в память	325
12.4.5	Режим приема с прямым доступом в память	325
13.	КОНТРОЛЛЕР CANBIC.....	327
13.1	Общие сведения	327
13.1.1	Функциональные параметры и возможности.....	327
13.1.2	Совместимость протоколов CANBIC и ARINC825.....	327
13.1.3	Структурная схема.....	328
13.2	Адресное пространство контроллера CANBIC.....	329
13.2.1	Фильтры стандартных сообщений	329
13.2.2	Фильтры расширенных сообщений	329
13.2.3	Элемент буфера Rx FIFO	330
13.2.4	Элемент буфера Tx Event FIFO.	331
13.2.5	Элемент буфера Tx Buff.....	332
13.2.6	Элемент события.....	332
13.3	Регистры контроллера CANBIC	333
13.3.1	CCCR – Регистр контроля и конфигурации	335
13.3.2	BTP – Регистр конфигурации скорости передачи	335
13.3.3	TSCC – Регистр конфигурации счётчика Timestamp	336
13.3.4	TSCV – Регистр значения счётчика Timestamp	336
13.3.5	ECR – Регистр счётчика ошибок	336
13.3.6	PSR – Регистр статуса протокола CAN	337
13.3.7	IR – Регистр прерываний.....	338
13.3.8	IE – Регистр разрешения прерываний.....	339
13.3.9	GFC – Регистр общей конфигурации фильтров.....	340
13.3.10	SIDFC – Регистр конфигурации фильтров стандартных сообщений.....	341
13.3.11	XIDFC – Регистр конфигурации фильтров расширенных сообщений....	341
13.3.12	XIDAM – Регистр маски для фильтров расширенных сообщений.....	341
13.3.13	HPMS – Регистр состояния приоритетного сообщения.....	341
13.3.14	RXF0C – Регистр конфигурации буфера Rx FIFO.....	342
13.3.15	RXF0S – Регистр статуса буфера Rx FIFO	343
13.3.16	RXF0A – Регистр подтверждения считывания буфера Rx FIFO.....	343
13.3.17	TXBC – Регистр конфигурации буфера передачи Tx Buff	343
13.3.18	TXBRP – Регистр ожидания передачи буфера Tx Buffer.....	344
13.3.19	TXBAR – Регистр запроса передачи для буфера Tx Buffer	344
13.3.20	TXBCR – Регистр запроса отмены передачи буфера Tx Buffer	345
13.3.21	TXBTO – Регистр подтверждения передачи буфера Tx Buffer.....	345
13.3.22	TXBCF – Регистр подтверждения отмены передачи буфера Tx Buffer ..	345
13.3.23	TXBTIE – Регистр разрешения прерывания по окончании передачи буфера Tx Buffer	345
13.3.24	TXBCIE – Регистр разрешения прерывания при подтверждении отмены передачи буфера Tx Buffer	346
13.3.25	TXEFC – Регистр конфигурации буфера Tx Event FIFO	346
13.3.26	TXEFS – Регистр статуса буфера Tx Event FIFO.....	346
13.3.27	TTRMC – Регистр конфигурации опорного сообщения	347
13.3.28	TTOCF – Регистр конфигурации режима планирования событий	347
13.3.29	TTMLM – Регистр конфигурации системной матрицы	348
13.3.30	TURCF – Регистр конфигурации делителя TUR	349
13.3.31	TTOCN – Регистр управления режимом планирования событий.....	349

13.3.32	TTIR – Регистр прерываний в режиме планирования событий	350
13.3.33	TTIE – Регистр разрешения прерываний в режиме планирования событий.....	351
13.3.34	TTOST – Регистр статуса режима планирования событий.....	351
13.3.35	TURNA – Регистр текущего значения делителя TUR.....	352
13.3.36	TTLGT – Регистр локального и глобального времени.....	353
13.3.37	TTCTC – Регистр времени цикла и номера цикла	353
13.4	Функциональное описание.....	353
13.4.1	Программная инициализация	353
13.4.2	Отключение автоматического повтора передачи.	354
13.4.3	Режим монитора.....	354
13.4.4	Режим Loop Back	354
13.4.5	Режим внутренний Loop Back	354
13.4.6	Режим внешний Loop Back	355
13.4.7	Временные метки (Timestamp)	355
13.4.8	Watchdog таймер	355
13.4.9	Прием сообщения	356
13.4.10	Передача сообщения.....	358
13.4.11	Режим Bus_Off	359
13.4.12	Режим планирования событий.....	360
13.4.13	Прерывания	370
14.	КОНТРОЛЛЕР 1553ВІС	371
14.1	Общие положения.....	371
14.2	Описание работы контроллера	371
14.3	Регистры контроллера	372
14.3.1	Перечень регистров контроллера.....	372
14.3.2	Формат регистров контроллера	373
14.4	Форматы слов	389
14.4.1	Командное слово	390
14.4.2	Слово данных	390
14.4.3	Ответное слово	391
14.5	Форматы сообщений.....	391
14.6	Команды управления	394
14.7	Распределение адресного пространства	396
14.8	Режимы работы контроллера.....	398
14.8.1	Работа контроллера в режиме КК	399
14.8.2	Работа контроллера в режиме ОУ	403
14.8.3	Работа контроллера в режиме монитора	406
14.9	Прерывания	406
14.9.1	Прерывания в режиме КК	407
14.9.2	Прерывания в режиме ОУ	407
14.9.3	Прерывания в режиме монитора	407
15.	КОНТРОЛЛЕР ЕМАС	409
15.1	Общие положения.....	409
15.2	Режимы работы контроллера.....	409
15.2.1	Режим Ethernet.....	409
15.2.2	Режим AFDX	410
15.3	Структурная схема.....	411
15.4	Регистры и дескрипторы контроллера.....	412

15.4.1	Перечень регистров контроллера	412
15.4.2	Формат регистров контроллера	413
15.4.3	Дескрипторы передачи	433
15.4.4	Дескрипторы приема	436
15.5	Передача кадра	439
15.5.1	Передача кадров	439
15.5.2	Формирование кадра на передачу	440
15.5.3	Прерывания при передаче кадров	441
15.5.4	Ошибки передачи	441
15.5.5	Управление буфером передачи	441
15.5.6	Обработка коллизий	442
15.5.7	Алгоритм обработки коллизий	442
15.5.8	Временная задержка BACKOFF	443
15.5.9	Вычисление контрольной суммы FCS	443
15.6	Прием кадра	444
15.6.1	Прием кадров посредством дескрипторов	444
15.6.2	Прием кадра из сети	445
15.6.3	Ошибки приема кадра	445
15.6.4	Прерывания при приеме кадров	447
15.6.5	Управление буфером приема	447
15.6.6	Заполнение полей дескриптора приема	447
15.7	Структура кадра	448
15.8	Программный сброс контроллера	450
15.9	Порт управления Ethernet PHY – MD_PORT	450
16.	КОНТРОЛЛЕР SPFMIC	453
16.1	Общие положения	453
16.2	Описание программно-доступных компонентов блока SPFMIC	453
16.2.1	Перечень программно-доступных регистров	453
16.2.2	Описание программно-доступных регистров блока регистры порта SPFMIC	455
16.3	Описание основных режимов работы	485
16.3.1	Управление соединением по всем типам портов	485
16.3.2	Работа с управляющими кодами	488
16.3.3	Передача Данных	489
16.3.4	Работа с ширококешательными сообщениями Broadcast	493
17.	ПОРТ ВВОДА-ВЫВОДА ОБЩЕГО НАЗНАЧЕНИЯ (GPIO)	495
17.1	Общие положения	495
17.2	Регистры порта GPIO	495
18.	ПРИНЦИПЫ КОРРЕКЦИИ ОШИБОК	496
19.	ПОРТ JTAG И ВСТРОЕННЫЕ СРЕДСТВА ОТЛАДКИ ПРОГРАММ	500
20.	ЭЛЕКТРИЧЕСКИЕ И ВРЕМЕННЫЕ ПАРАМЕТРЫ	501
4.5	Электропитание	501
4.6	Электрические параметры	501
4.7	Динамическая потребляемая мощность	502

21. ОПИСАНИЕ ВНЕШНИХ ВЫВОДОВ	504
22. ПЕРЕЧЕНЬ ОГРАНИЧЕНИЙ	515
22.1 Перечень ограничений контроллера 1553ВІС	515
23. ИСТОРИЯ ИЗМЕНЕНИЙ	516
23.1 22 марта 2018.....	516
23.2 27 декабря 2018	516
23.3 22 октября 2019	516
23.4 30 января 2020	516
23.5 08 мая 2020	516
23.6 01 июня 2020	516
23.7 26 августа 2020	516
23.8 31 августа 2020	517
23.9 03 августа 2021	517
23.10 24 декабря 2021	517
23.11 29 июня 2022	517
23.12 08 сентября 2022	517
23.13 05 апреля 2023	517
23.14 07 апреля 2023	517
23.15 05 мая 2023	518
23.16 31 мая 2023	518
23.17 11 июля 2023.....	518
23.18 14 сентября 2023	518
23.19 18 декабря 2023	518

1. ВВЕДЕНИЕ

1.1 Порядок использования данного документа

В данном документе рассмотрены вопросы архитектуры и функционирования микросхемы 1892ВМ206. Приведены ее электрические параметры, а также чертеж корпуса и назначение выводов. Рассмотрены вопросы типового включения микросхемы в систему и даны рекомендации по ее программированию.

Настоящая документация охраняется действующим законодательством Российской Федерации об авторском праве и смежных правах, в частности, законом Российской Федерации «Об авторском праве и смежных правах». АО НПЦ «ЭЛВИС» является единственным правообладателем исключительных авторских прав на настоящую документацию.

Настоящую документацию, не иначе как по предварительному согласию АО НПЦ «ЭЛВИС», запрещается:

воспроизводить, т.е. изготавливать один или более экземпляров настоящей документации, ее части, в любой форме, любым способом;

сдавать в прокат;

публично показывать, исполнять или сообщать для всеобщего сведения;

переводить;

переделывать или другим образом перерабатывать (дорабатывать).

АО НПЦ «ЭЛВИС» оставляет за собой право в любой момент вносить изменения (дополнения) в настоящую документацию без предварительного уведомления о таком изменении (дополнении).

АО НПЦ «ЭЛВИС» не несет ответственности за вред, причиненный при использовании настоящей документации.

Передача настоящей документации не означает передачи каких-либо авторских прав АО НПЦ «ЭЛВИС» на нее.

Возникновение каких-либо прав на материальный носитель, на котором передается настоящая документация, не влечет передачи каких-либо авторских прав на данную документацию.

Все указанные в настоящей документации товарные знаки принадлежат их владельцам.

АО НПЦ «ЭЛВИС» ©, 2020

1.2 Назначение

Микросхема интегральная 1892ВМ206 (МСТ-06) спроектирована как однокристалльная двухпроцессорная «система на кристалле» на базе IP-ядерной (IP-intellectual property) платформы «МУЛЬТИКОР», разработанной в АО НПЦ «ЭЛВИС».

По общепринятой классификации СБИС, разрабатываемых на базе платформы «МУЛЬТИКОР», микросхема 1892ВМ206 относится к сигнальным микропроцессорам мини-конфигурации с плавающей и фиксированной точкой.

Микросхема 1892BM206 содержит 32-разрядный центральный процессор (CPU – Central Processing Unit) и 2-ядерный DSP-кластер «DELcore-30M» (Dual ELVEESs Core) для цифровой обработки сигналов (DSP – Digital Signal Processing) с плавающей/фиксированной точкой, обеспечивающий обработку информации с переменными форматами данных от битовых форматов, до стандартных форматов данных с плавающей точкой в формате IEEE754.

Микропроцессор 1892BM206 сочетает в себе лучшие качества двух классов приборов: микроконтроллеров и цифровых процессоров обработки сигналов, что особенно важно для микроминиатюрных встраиваемых применений, когда приходится решать в рамках ограниченных габаритов одновременно обе задачи: управления и высокоточной обработки информации, включая сигналы и изображение.

Для разработчика системы обеспечивается уникальная возможность применения новых алгоритмов принятия решений в CPU на основе параллельно выполняемых процедур адаптивного анализа и обработки сигналов в DSP, что реализуется в пределах одной и той же микросхемы, что особенно важно для сверхминиатюрных применений. Для этих целей разработаны методы применения RLS/LNS алгоритмов на базе микросхем серий «МУЛЬТИКОР», в частности для адаптивных антенных решеток.

Микропроцессор 1892BM206 обеспечивает работу под операционной системой Linux, а также под другими операционными системами для встраиваемых применений.

Микропроцессор 1892BM206 предназначен для применения в следующих приложениях: локация и гидроакустика;

связь;

сигнальная обработка: БПФ, фильтрация, корреляция, быстрая свертка;

управление объектами с использованием высокоточных адаптивных методов;

высокоточная обработка данных для малогабаритных мобильных и встраиваемых систем;

графические ускорители;

системы промышленного контроля.

1.3 Функциональные параметры и возможности

Микросхема 1892BM206 имеет следующие функциональные параметры и возможности: центральный процессор CPU (Central Processor Unit):

- архитектура – MIPS32;
- 32-х битные шины передачи адреса и данных;
- кэш команд объемом 32 Кбайт;
- кэш данных объемом 32 Кбайт;
- архитектура привилегированных ресурсов в стиле ядра R4000:
 - регистры Count/Compare для прерываний реального времени;
 - отдельный вектор обработки исключений по прерываниям;
- программируемое устройство управления памятью:
 - два режима работы – с TLB (Translation Lookaside Buffer) и FM (Fixed Mapped);
 - 16 строк в режиме TLB;
- устройство умножения и деления;

- сопроцессор арифметики в формате с плавающей точкой;
- JTAG IEEE 1149.1, встроенные средства отладки программ;
- оперативная память центрального процессора (CRAM) объемом 128 Кбайт;
- 5 внешних запросов прерывания, в том числе немаскируемое прерывание (NMI);

цифровой сигнальный процессор DSP (Digital Signal Processor):

- 2-ядерный DSP-кластер DELcore-30M - симметричный мультипроцессор (СМП), состоящий из 2-х DSP-ядер ELcore-30M - DSP0 и DSP1, работающих на общем поле памяти данных, имеющих набор общих регистров управления/состояния, а также буфера обмена XBUF;
- MIMD (Multiple Instruction Multiple Data) организация потоков команд и данных;
- каждое из двух DSP-ядер ELcore-30M имеет гарвардскую архитектуру с внутренним параллелизмом по потокам обрабатываемых данных и предназначено для обработки информации в форматах с фиксированной и с плавающей точкой;
- система инструкций, реализующих параллельно несколько вычислительных операций и пересылок;
- 7-фазный программный конвейер и гибкие адресные режимы позволяют реализовать алгоритмы сигнальной обработки с высокой производительностью;
- расширенные возможности по динамическому диапазону обрабатываемых данных, позволяют обрабатывать данные в 8/16/32-разрядных форматах с фиксированной точкой, либо в одном из форматов с плавающей точкой – 24E8 (стандарт IEEE 754) или 32E16 (расширенный формат). Обеспечение при этом компромиссного выбора между точностью и производительностью. Аппаратные меры повышения точности и динамического диапазона (блочная плавающая точка; режим насыщения; инструкции преобразования форматов);
- аппаратная поддержка программных циклов;
- каждое из DSP-ядер имеет свою программную память (PRAM) объемом 32 Кбайт и общую для всех память данных XYRAM объемом 128 Кбайт;
- суммарная пиковая производительность DSP-кластера:
 - в формате одинарной плавающей точки (24e8, стандарт IEEE754) - 16 операций за 1 такт;
 - в формате фиксированной точки (int32) – 16 операций за 1 такт;
 - в формате фиксированной точки (int16) – 64 операций за 1 такт;
 - в формате фиксированной точки (int8) – 96 операций за 1 такт;

порт внешней памяти MPORT (Memory Port):

- шина данных – 64 разряда, шина адреса – 27 разрядов;

- встроенный контроллер управления статической асинхронной памятью типа SRAM, FLASH, ROM и синхронной динамической памятью типа SDRAM;
- программное конфигурирование типа блоков памяти и их объема;
- программное задание циклов ожидания при обмене со статической асинхронной памятью;
- формирование сигналов выборки 5 блоков внешней памяти;
- перевод SDRAM в режим энергосбережения.

периферийные устройства:

- четыре контроллера SWIC (SpaceWire Interface Controller) по стандарту ECSS-E-50-12C (SpaceWire) с пропускной способностью от 2 до 300 Мбод каждый;
- два мультипротокольных контроллера SPFMIC (Space Fibre Multiprotocol Interface Controller) по стандартам SpaceFibre или GigaSpaceWire (SpaceWire-RUS);
- EMAC – два контроллера Ethernet MAC 10/100 МГц или дублированный контроллер AFDX (Avionics Full-Duplex Switched Ethernet);
- два контроллера CANBIC (CAN Bus Interface Controller) по стандарту ARINC-825 (CAN – Controller Area Network);
- контроллер ARINC429 по стандарту ARINC-429 (15 каналов приема или передачи данных);
- два контроллера 1553BIC (1553 Bus Interface Controller) по ГОСТ Р 52070-2003 (MIL-STD-1553B);
- два многофункциональных буферизированных последовательных порта MFBSP (Multi-Functional Buffered Serial Port) с функциями SPI, I2S, LPORT, GPIO;
- порт ввода-вывода общего назначения GPIO (32 внешних вывода);
- два 8-канальных контроллера прямого доступа (DMA) типа память-память. Поддержка 2-мерной и разрядно-инверсной адресации. Четыре внешних запросов прямого доступа. Возможность передачи данных в режиме Flyby (подобный режиму, реализованному в ADSP-TS201) между внешними устройствами и внешней памятью;
- контроллер прерываний;
- универсальный асинхронный порт (UART) типа 16550;
- шестнадцать универсальных 32-разрядных интервальных таймеров реального времени с тремя источниками входной частоты: CLK, XTI, RTCXTI;
- 32-разрядный сторожевой таймер;

дополнительные возможности и особенности:

- умножители/делители входной частоты на основе узлов фазовой автоподстройки частоты (PLL);

- коррекция ошибок внутренней и внешней памяти: исправление однократных ошибок и обнаружение двукратных ошибок при помощи модифицированного кода Хэмминга;
- встроенные средства отладки программ (OnCD) с портом JTAG в соответствии со стандартом IEEE 1149.1;
- режимы энергосбережения;
- поддержка операционной системы Linux;
- керамический корпус типа CPGA-720.

1.4 Структурная схема

Структурная схема микросхемы 1892ВМ206 приведена на рисунке 1.1.

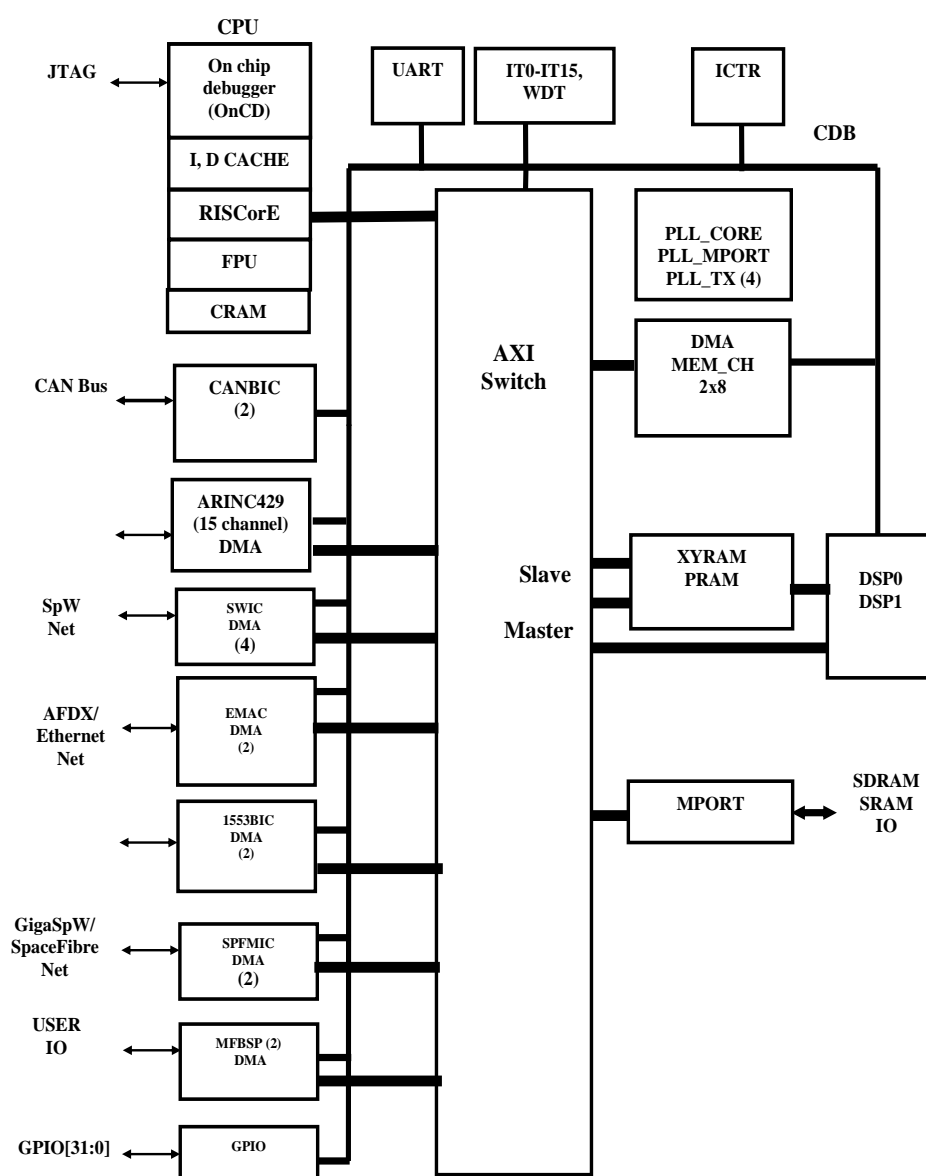


Рисунок 1.1. Структурная схема микросхемы 1892ВМ206

В состав микропроцессора 1892ВМ206 входят следующие основные узлы:

CPU – Central Processor Unit, центральный процессор на основе RISC-ядра и сопроцессора с плавающей точкой (FPU – Floating Point Unit);

I, D CACHE – кэш команд и кэш данных CPU по 32 Кбайт;

CRAM – CPU RAM, ОЗУ встроенное в CPU объемом 128 Кбайт;

DSP – Digital Signal Processor, 2-ядерный DSP-кластер;

XYRAM – память данных DSP-кластера объемом 256 Кбайт;

PRAM – память программ DSP-ядер объемом по 32 Кбайт;

CDB – шина данных управления;

MPORT – порт внешней памяти общего назначения с шиной данных 64 разряда;

DMA MEM_CH – 2 8-канальных контроллера передачи данных память-память;

AXI Switch – коммутатор;

PLL – умножители частоты на основе PLL;

SWIC0 – SWIC3 – четыре контроллера SpaceWire по стандарту ECSS-E-50-12C с внешними DMA. Пропускная способность контроллеров от 2 до 300 Мбит/с поддержкой протокола RMAP;

MFBSPO, MFBSPI – два многофункциональных буферизированных последовательных порта (SPI, I2S, LPORT, GPIO) с внешним DMA;

CANBIC0, CANBIC1 – два контроллера интерфейса по стандарту ARINC-825;

ARINC429 – контроллер интерфейса по стандарту ARINC-429 (15 каналов приема или передачи данных) с внешним DMA;

SPFMIC0, SPFMIC1 – два контроллера мультипротокольного линка SpaceFibre/GigaSpaceWire (SpaceWire-RUS) с внешними DMA;

EMAC – два контроллера Ethernet MAC 10/100 МГц или дублированный контроллер AFDX (Avionics Full-Duplex Switched Ethernet);

1553VIC0, 1553VIC1 – два контроллера по ГОСТ Р 52070-2003 (MIL-STD-1553B);

GPIO – порт ввода-вывода общего назначения (32 внешних вывода);

ICTR – контроллер прерываний;

UART – универсальный асинхронный порт типа 16550;

IT0 - IT15 – шестнадцать универсальных таймеров, интервальных/реального времени;

WDT – сторожевой таймер;

OpCD – встроенные средства отладки программ;

JTAG – отладочный порт.

Коммутатор обеспечивает передачу данных между любым исполнительным устройством (Slave) и любым задатчиком (Master). При этом процесс передачи данных между любыми парами Slave ⇔ Master выполняется параллельно и без конфликтов.

Исполнительными устройствами являются блоки внутренней памяти CRAM или любая внешняя память, доступная через MPORT. Задатчиками могут быть CPU, каналы DMA SWIC, MFBSPI, SPFMIC, AFDX, ARINC429, 1553VIC, каналы DMA типа память-память.

1.5 Инструментальное программное обеспечение

Для данной микросхемы имеется интегрированная среда проектирования программного обеспечения MCStudio, которая обеспечивает полный цикл разработки и отладки программ. Эта среда функционирует на инструментальной машине IBM PC в среде Windows.

Интегрированная среда проектирования включает:

среду разработки программ для CPU и DSP;

среду отладки программ в исходных текстах, исполняемых на программном симуляторе, и отладчик для работы с платой отладочного модуля для данной микросхемы или целевым устройством. Целевое устройство подключается к персональному компьютеру через эмулятор JTAG;

средства программного моделирования;

возможность доступа пользователю ко всем инструментам через один интерфейс.

1.6 Операционная система для микросхемы 1892BM206

Linux – свободно распространяемое ядро Unix-подобной операционной системы. Linux обладает всеми свойствами современной Unix-системы, включая полноценную многозадачность, развитую подсистему управления памятью и сетевую подсистему.

Ядро Linux, поставляемое вместе со свободно распространяемыми прикладными и системными программами образует полнофункциональную универсальную операционную систему. Большую часть базовых системных компонент Linux унаследовал от проекта GNU, целью которого является создание свободной микроядерной операционной системы с лицом Unix.

2. СИСТЕМНАЯ ОРГАНИЗАЦИЯ МИКРОСХЕМЫ

Перечень и адреса системных регистров микросхемы представлен в Таблица 2.1.

Таблица 2.1. Системные регистры микросхемы

Условное обозначение регистра	Название регистра	Адрес регистра
Системные регистры		
CR_PLL	Регистр управления PLL	182F_4000
CLK_EN	Регистр управления отключением частоты от устройств	182F_4004
CSR	Регистр управления и состояния	182F_4008
MASKR0	Регистр маски прерываний из регистра QSTR0	182F_4010
QSTR0	Регистр запросов прерываний	182F_4014
MASKR1	Регистр маски прерываний из регистра QSTR1	182F_4018
QSTR1	Регистр запросов прерываний	182F_401C
MASKR2	Регистр маски прерываний из регистра QSTR2	182F_4020
QSTR2	Регистр запросов прерываний	182F_4024
MASKR3	Регистр маски прерываний из регистра QSTR3	182F_4028
QSTR3	Регистр запросов прерываний	182F_402C
IRQM	Регистр управления режимом приема внешних прерываний nIRQ[3:0]	182F_4030
MASKR4	Регистр маски прерываний из регистра QSTR3	182F_4034
QSTR4	Регистр запросов прерываний	182F_4038
RST_PROG	Регистр программного сброса портов ARINC429, CANBIC, SPFMIC, SWIC	182F_403C
AXI_RND	Регистр управления приоритета доступа контроллеров DMA к устройствам памяти	182F_404C

2.1 Система синхронизации

2.1.1 Входы синхронизации и умножители частоты

Микросхема 1892BM206 имеет следующие входы синхронизации:

XTI – частота 10 МГц для синхронизации всех умножителей частоты микросхемы;

XTI125 – частота 125 МГц для опорной частоты контроллеров SPFMIC;

XTI11 – частота 11059200 Гц для синхронизации контроллера ARINC429;

RTCXTI – частота 32 КГц для таймера реального времени.

Для синхронизации работы узлов микросхемы 1892BM206 используются умножители частоты на основе схемы фазовой автоподстройки частоты (PLL). Имеются следующие умножители частоты:

PLL_CORE – генерирует тактовую частоту для работы CPU, UART, IT, WDT, коммутатора AXI, системной части всех устройств микросхемы;

PLL_DSP – генерирует тактовую частоту для работы DSP;

PLL_MPORT – генерирует тактовую частоту для работы входных и выходных каскадов MPORT, а также для формирования выходной тактовой частоты SCLK для работы памяти типа SDRAM, подключенной к MPORT;

PLL_50 – генерирует тактовую частоту для приема и передачи данных контроллеров 1553VIC0, 1553VIC1;

PLL_TX_SWIC0, PLL_TX_SWIC1, PLL_TX_SWIC2, PLL_TX_SWIC3 – формирует тактовую частоту для передачи последовательного кода из контроллеров SWIC0, SWIC1, SWIC2, SWIC3 соответственно, в сеть SpaceWire.

Частота, поступающая на вход, ХТИ делится на 2 и далее поступает на входы всех PLL.

2.1.2 Управление работой PLL

Управление работой PLL осуществляется при помощи регистра CR_PLL, формат которого приведен в Таблица 2.2.

Таблица 2.2. Формат регистра CR_PLL

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	PLL_50_EN	Режим работы PLL_50: 1 - PLL_50 включена; 0 – PLL_50 выключена. На ее выход поступает частота ХТИ	R/W	0
30:24	CLK_SEL_50[6:0]	Коэффициент умножения/деления входной частоты PLL_50 (частота ХТИ, деленная на 2): 00 – 1/16; 01 – 1 02 – 2; 03 – 3; ... 7F – 127.	R/W	0
23	PLL_DSP_EN	Режим работы PLL_DSP: 1 - PLL_DSP включена; 0 – PLL_DSP выключена. На ее выход поступает частота ХТИ	R/W	0
22:16	CLK_SEL_DSP[6:0]	Коэффициент умножения/деления входной частоты PLL_DSP (частота ХТИ, деленная на 2): 00 – 1/16; 01 – 1 02 – 2; 03 – 3; ... 7F – 127.	R/W	0
15	PLL_MPORT_EN	Режим работы PLL_MPORT: 1 - PLL_MPORT включена; 0 – PLL_MPORT выключена. На ее выход поступает частота ХТИ	R/W	0
14:8	CLK_SEL_MPORT[6:0]	Коэффициент умножения/деления входной частоты PLL_MPORT (частота ХТИ, деленная на 2): 00 – 1/16; 01 – 1 02 – 2;	R/W	1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
		03 – 3; ... 7F – 127.		
7	PLL_CORE_EN	Режим работы PLL_CORE: 1 - PLL_CORE включена; 0 – PLL_CORE выключена. На ее выход поступает частота ХТІ	R/W	0
6:0	CLK_SEL_CORE[6:0]	Коэффициент умножения/деления входной частоты PLL_CORE (частота ХТІ, деленная на 2): 00 – 1/16; 01 – 1 02 – 2; 03 – 3; ... 7F – 127.	R/W	1

Нумерация разрядов всех регистров соответствует нумерации разрядов памяти CPU. Если разряды регистров доступны только по записи или не используются (резерв), то при чтении из них считываются нули. Если разряды регистров доступны только по чтению или не используются, то при записи в них необходимо указывать нули.

2.1.3 Отключение и включение тактовой частоты

В данной микросхеме имеется два режима энергосбережения:
уменьшение тактовой частоты работы устройств;
отключение тактовой частоты работы устройств.

Уменьшение тактовой частоты устройств выполняется при записи необходимого кода в поле SEL_PLL регистра CR_PLL. При этом значение тактовой частоты изменится через время не более чем 2 мс.

Отключение тактовой частоты от устройств выполняется при помощи регистра CLK_EN, формат которого приведен в Таблица 2.3.

Таблица 2.3. Формат регистра CLK_EN

Номер разряда	Условное обозначение	Назначение	Доступ	Исх. сост.
31:30	-	Резерв		
29:26	CLKEN_SWIC[3:0]	Управление включением тактовой частоты SWIC[3:0], поступающей от PLL_CORE: 1 – частота включена; 0 – частота выключена	R/W	0
25:22	-	Резерв	-	0
21:20	CLKEN_EMAC[1:0]	Управление включением тактовой частоты Ethernet MAC[1:0], поступающей от PLL_CORE: 1 – частота включена; 0 – частота выключена.	R/W	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исх. сост.
19	-	Резерв		
18:17	CLKEN_MFBSP[1:0]	Управление включением тактовой частоты MFBSP[1:0], поступающей от PLL_CORE: 1 – частота включена; 0 – частота выключена	R/W	0
16	CLKEN_ARINC429	Управление включением тактовой частоты ARINC429, поступающей от PLL_CORE: 1 – частота включена; 0 – частота выключена	R/W	0
15:14	CLKEN_1553BIC[1:0]	Управление включением тактовой частоты 1553BIC[1:0], поступающей от PLL_CORE: 1 – частота включена; 0 – частота выключена	R/W	0
13:12	CLKEN_DMA[1:0]	Управление включением тактовой частоты каналов DMA MEM_CH10 – MEM_CH17 и MEM_CH00 – MEM_CH07 соответственно, поступающей от PLL_CORE: 1 – частота включена; 0 – частота выключена.	R/W	0
11:10	-	Резерв		
9:8	CLKEN_SPFMIC[1:0]	Управление включением тактовой частоты SPFMIC[1:0], поступающей от PLL_CORE: 1 – частота включена; 0 – частота выключена	R/W	0
7:6	CLKEN_CANBIC[1:0]	Управление включением тактовой частоты CANBIC[1:], поступающей от PLL_CORE: 1 – частота включена; 0 – частота выключена	R/W	0
5:4	CLKEN_DSP[1:0]	Управление включением тактовой частоты DSP1 и DSP0 соответственно, поступающей от PLL_CORE: 1 – частота включена; 0 – частота выключена.	R/W	0
3:1	-	Резерв		
0	CLKEN_CORE	Управление включением тактовой частоты, поступающей от PLL_CORE: 1 – частота включена; 0 – частота выключена.	R/W	1

При CLKEN_CORE = 1:

частота от PLL_CORE всегда поступает на CPU, UART, IT0 - IT15, WDT, коммутатор AXI Switch микросхемы;

частота от PLL_MPORT поступает на MPORT и формируются выходные частоты SCLK;

частота от PLL_CORE поступающая на DSP, DMA, MFBSP, SWIC, SPFMIC, ARINC429, CANBIC, 1553BIC, EMAC может быть отключена, при помощи соответствующего разряда регистра CLK_EN.

Устройство, входная частота которого отключается, должно быть в неактивном состоянии. Все передачи данных, выполняемые им, должны быть завершены.

Отключение внутренней тактовой частоты ядра микросхемы, должно выполняться следующим образом:

программа CPU должна выполняться из кэш программ или из внутренней памяти SRAM; DMA, все контроллеры и порты переводятся в неактивное состояние. Все передачи данных должны быть завершены;
записать 1 в разряд SREF регистра SDRCSR MPORT. По данной операции SDRAM переводится в режим саморегенерации;
произвести запись 0 в разряд CLKEN_CORE регистра CLK_EN. По этой операции внутренняя тактовая частота ядра микросхемы отключается. За этой командой должна стоять команда NOP.

Включение внутренней тактовой частоты осуществляется по любому внешнему прерыванию nIRQ[3:0] или NMI. Обработка исключения по данным прерываниям в этом случае должна выполняться следующим образом:

записать 1 в разряд EXIT регистра SDRCSR MPORT. По данной операции SDRAM выводится из режима саморегенерации;
выполнить 10 команд NOP.

2.2 Контроллер прерываний

Все сигналы внутренних и внешних прерываний поступают на входы псевдорегистров. Эти регистры не имеют элементов памяти и доступны только по чтению.

Каждый разряд регистров QSTR содержит запрос прерывания от внутренних узлов микросхемы и от внешних сигналов прерывания nIRQ[3:0] вне зависимости от состояния соответствующих разрядов регистров MASKR:

0 – нет запроса;

1 – есть запрос.

Сигналы внутренних прерываний формируются в соответствующих устройствах при выполнении определенных условий. В процессе обслуживания прерывания необходимо проанализировать состояние устройства для определения причины его возникновения. Сброс прерывания осуществляется в момент исключения причины возникновения данного прерывания. Например, прерывание от LPORT сбрасывается при записи данных в буфер LTx или при чтении данных из буфера LRx.

Все незамаскированные прерывания объединяются по «или» и поступают в поле IP[7:2] регистр Cause CPU.

Исходное состояние регистров QSTR – нули.

Каждое внутреннее прерывание можно замаскировать. Для этого имеются регистры маски MASKR0 – MASK4 форматы которых аналогичны форматам соответствующих регистров QSTR0 – QSTR4. Исходное состояние регистров маски – нули (все прерывания запрещены). Регистры маски доступны по записи и чтению.

Форматы регистров QSTR приведены в Таблица 2.4 - Таблица 2.7.

Таблица 2.4. Формат регистра QSTR0

Номер разряда	Условное обозначение прерывания	Название прерывания
31:23	-	Не используется
22	IT0	Прерывание от таймера IT0
21	IT1	Прерывание от таймера IT1
20	WDT	Прерывание от таймера WDT
19:5	-	Не используется
4	UART	Прерывание от UART
3	IRQ3	Внешнее прерывание nIRQ[3]
2	IRQ2	Внешнее прерывание nIRQ[2]
1	IRQ1	Внешнее прерывание nIRQ[1]
0	IRQ0	Внешнее прерывание nIRQ[0]

Таблица 2.5. Формат регистра QSTR1

Номер разряда	Условное обозначение прерывания	Название прерывания
31:16	IT[15:0]	Прерывание от интервальных таймеров
15:8	IRQM1[7:0]	Прерывания от каналов DMA MEM_CH1[7:0]
7:0	IRQM0[7:0]	Прерывания от каналов DMA MEM_CH0[7:0]

Таблица 2.6. Формат регистра QSTR2

Номер разряда	Условное обозначение прерывания	Название прерывания
31:28	IRQ_DMA_MAC1[3:0]	Прерывания вниз: EMAC1_TX_DAT, EMAC1_TX_DES, EMAC1_RX_DAT, EMAC1_RX_DES
27:24	IRQ_MAC1[3:0]	Прерывания вниз, см. Таблицу 15.27: TX_INT, TX_ERROR_INT, RX_INT, RX_ERROR_IN
23	INT_MD_MAC1	MD_INT, см. Таблицу 15.27
22:19	IRQ_DMA_MAC0[3:0]	Прерывания вниз: EMAC0_TX_DAT, EMAC0_TX_DES, EMAC0_RX_DAT, EMAC0_RX_DES
18:15	IRQ_MAC0[3:0]	Прерывания вниз, см. Таблицу 15.27: TX_INT, TX_ERROR_INT, RX_INT, RX_ERROR_IN
14	INT_MD_MAC0	MD_INT, см. Таблицу 15.27
13:10	IRQ_DMA_SPFMIC1[3:0]	Прерывания вниз: SPFMIC1_TX_DAT, SPFMIC1_TX_DES, SPFMIC1_RX_DAT, SPFMIC1_RX_DES
9:7	IRQ_SPFMIC1[2:0]	IRQ_SPFMIC1[2] - CCODE (получен управляющий код TIME_CODE или BROADCAST) IRQ_SPFMIC1[1] - ERR (соединение разорвано) IRQ_SPFMIC1[0] - LINK (соединение установлено)
6:3	IRQ_DMA_SPFMIC0[3:0]	Прерывания вниз: SPFMIC0_TX_DAT, SPFMIC0_TX_DES, SPFMIC0_RX_DAT, SPFMIC0_RX_DES
2:0	IRQ_SPFMIC0[2:0]	IRQ_SPFMIC0[2] - CCODE (получен управляющий код TIME_CODE или BROADCAST) IRQ_SPFMIC0[1] - ERR (соединение разорвано) IRQ_SPFMIC0[0] - LINK (соединение установлено)

Таблица 2.7. Формат регистра QSTR3 – объединен с QSTR4 для прерывания INT3

Номер разряда	Условное обозначение прерывания	Название прерывания
31	ARINC_IRQ_DMA-	Прерывание от DMA ARINC429
30	ARINC_IRQ	Прерывание от портов ARINC429

Номер разряда	Условное обозначение прерывания	Название прерывания
29:28	IRQ_DMA_MFBSPs[3:2]	Прерывания от DMA MFBSP1: IRQ_DMA_MFBSPs[3]: прерывание от приемного канала DMA MFBSP1 IRQ_DMA_MFBSPs[2]: прерывание от передающего канала DMA MFBSP1
27:25	IRQ_MFBSP1[2:0]	Прерывания от MFBSP1: IRQ_MFBSP1[2]: прерывание от приемного буфера MFBSP1 IRQ_MFBSP1[1]: прерывание от передающего буфера MFBSP1 IRQ_MFBSP1[0]: прерывание от MFBSP1
24:23	IRQ_DMA_MFBSPs[1:0]	Прерывания от DMA MFBSP0: TX_INT, RX_INT
22:20	IRQ_MFBSP0[2:0]	Прерывания от MFBSP0
19:18	INT_CAN1[1:0]	Прерывание от CANBIC1
17:16	INT_CAN0[1:0]	Прерывание от CANBIC0
15	IRQ_1553BIC1	Прерывание от 1553BIC1
14:13	IRQ_DMA_1553BIC1[1:0]	Прерывание от DMA 1553BIC1
12	IRQ_1553BIC0	Прерывание от 1553BIC0
11:10	IRQ_DMA_1553BIC0[1:0]	Прерывание от DMA 1553BIC 0
9	INT_HmDSP1	Прерывания по Хэммингу от DSP1
8	INT_HmDSP0	Прерывания по Хэммингу от DSP0
7	INT_HmMPORT	Прерывания по Хэммингу от MPORT
6	-	Не используется
5	INT_HmDCACHE	Прерывания по Хэммингу кэш данных
4	INT_HmICACHE	Прерывания по Хэммингу кэш инструкций
3:0	INT_HmCRAM[3:0]	Прерывания по Хэммингу от памяти CRAM[3:0]

Таблица 2.8. Формат регистра QSTR4 – объединен QSTR3 для прерывания INT3

Номер разряда	Условное обозначение прерывания	Название прерывания
31:28	IRQ_DMA_SWIC3[3:0]	Прерывание от каналов DMA SWIC3 (вниз): SWIC3_TX_DAT, SWIC3_TX_DES, SWIC3_RX_DAT, SWIC3_RX_DES
27	-	
26:24	IRQ_SWIC3[2:0]	Прерывание от SWIC3: 26 - CCODE (Получен управляющий код) 25 - ERR (Обнаружена ошибка в канале связи) 24 - LINK (Соединение установлено)
23:20	IRQ_DMA_SWIC2[3:0]	Прерывание от каналов DMA SWIC2
19	-	
18:16	IRQ_SWIC2[2:0]	Прерывание от SWIC2
15:12	IRQ_DMA_SWIC1[3:0]	Прерывание от каналов DMA SWIC1
11	-	
10:8	IRQ_SWIC1[2:0]	Прерывание от SWIC1
7:4	IRQ_DMA_SWIC0[3:0]	Прерывание от каналов DMA SWIC0
3	-	
2:0	IRQ_SWIC0[2:0]	Прерывание от SWIC0

Для управления режимом приема внешних прерываний nIRQ[3:0] имеется регистр IRQM, формат которого приведен в Таблица 2.9.

Таблица 2.9. Формат регистра IRQM

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:12	-	Резерв	-	0
11:8	IRQ_MODE	Режим приема внешних прерываний nIRQ[3:0]: 0 – потенциальные сигналы, активный низкий уровень; 1 – прерывание формируется при переходе состояния входного сигнала с высокого уровня на низкий уровень. Прерывание запоминается на регистре. Регистр обнуляется при помощи разрядов IRQ_NULL	R/W	0
7:4	-	Резерв	-	0
3:0	IRQ_NULL	Обнуление запомненных прерываний при IRQ_MODE = 1. Прерывания nIRQ[3:0] обнуляются при записи 1 в разряды [3:0] соответственно.	RW1C	0

2.3 Системные регистры

2.3.1 Регистр управления и состояния CSR

Формат регистра управления и состояния CSR приведен в Таблица 2.10.

Таблица 2.10

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	PLL_TEST_EN	Сигнал разрешения выдачи тестового сигнала: 0 – на выходе PLL_TEST – постоянный нулевой уровень; 1 – выход PLL_TEST разрешен.	RW	0
30	-	Не используется	-	0
29:28	PLL_TEST_PR ESC[1:0]	Выбор коэффициента деления частоты выбранного сигнала (PLL_TEST_SEL) для выдачи тестового сигнала PLL_TEST: 0 – без деления; 1 – частота выбранного сигнала делится на 2; 2 – частота выбранного сигнала делится на 4; 3 – частота выбранного сигнала делится на 8;	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
27:24	PLL_TEST_SEL[3:0]	Выбор источника тактового сигнала в качестве тестового сигнала PLL_TEST: 0 – сигнал с постоянным уровнем логического нуля; 1 – тактовый сигнал CLK_CORE; 2 – тактовый сигнал CLK_MPORT; 3 – тактовый сигнал CLK_RX_SPFMIC0; 4 – тактовый сигнал CLK_RX_SPFMIC1; 5 – тактовый сигнал CLK_PLL_SWIC0; 6 – тактовый сигнал CLK_PLL_SWIC1; 7 – тактовый сигнал CLK_PLL_SWIC2; 8 – тактовый сигнал CLK_PLL_SWIC3; 9 – тактовый сигнал CLK_PLL50; 10 – тактовый сигнал CLK_DSP; 11:15 – сигнал с постоянным уровнем логического нуля.	RW	0
23:16	-	Не используются	-	
15	LL_CLR	Сброс LL-бита	RW	0
14	FLUSH_D	При записи 1 в данный разряд кэш данных CPU останавливается в исходное состояние, то есть ее содержимое девалидируется. Эта процедура может использоваться для обеспечения когерентности кэш при работе DMA.	W	0
13	-	Не используется	-	0
12	FLUSH_I	При записи 1 в данный разряд кэш команд CPU останавливается в исходное состояние, то есть ее содержимое девалидируется. Эта процедура может использоваться для обеспечения когерентности кэш при работе DMA.	W	0
11	TST_CACHE	Режим работы кэш программ и кэш данных: 0 – нормальный режим; 1 – режим тестирования. Используется только при технологическом тестировании кэш программ. Пользователям устанавливать этот режим запрещено	R/W	0
10:2	-	Не используется	-	0
1	TR_CRAM	Режим размещения векторов прерываний при BEV = 0 (регистр Status CPU): 0 – вектора прерываний размещаются во внешней памяти (базовый адрес 0x80000000); 1 – вектора прерываний размещаются во внутренней памяти CRAM (базовый адрес 0a8000000)	RW	1
0	FM	Режим преобразования виртуальных адресов CPU в физические адреса: 0 – с использованием TLB; 1 – Fixed Mapped (FM).	RW	1

2.3.2 Регистр программного сброса контроллеров

Для контроллеров CANBIC, ARINC429, SWIC, SPFMIC предусмотрена возможность программного сброса, после которого соответствующий контроллер будет находиться в состоянии аналогичном как после общего сигнала сброса nRST. Формат регистра сброса RST_PROG приведен в Таблица 2.11.

Таблица 2.11. Формат регистра программного сброса RST_PROG

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:10	-	Не используется	-	0
9:8	RST_CAN[1:0]	Для сброса соответствующего контроллера CANBIC необходимо сначала отключить частоту контроллера в регистре CLK_EN, затем последовательно записать в соответствующий бит значение 0-сброс, затем 1-снятие сброса. После этого можно включать частоту контроллера для дальнейшей работы.	RW	0x3
7:6	RST_SPF[1:0]	Для сброса соответствующего контроллера SPFMIC необходимо сначала остановить обмена DMA данного канала (сбросить бит RUN и дождаться его сброса), затем отключить частоту контроллера в регистре CLK_EN, затем последовательно записать в соответствующий бит значение 0-сброс, затем 1-снятие сброса. После этого можно включать частоту контроллера для дальнейшей работы.	RW	0x3
5:2	RST_SWIC[3:0]	Для сброса соответствующего контроллера SWIC необходимо сначала остановить обмена DMA данного канала (сбросить бит RUN и дождаться его сброса), отключить частоту контроллера в регистре CLK_EN, затем последовательно записать в соответствующий бит значение 0-сброс, затем 1-снятие сброса. После этого можно включать частоту контроллера для дальнейшей работы.	RW	0xF
1	RST_ARINC	Для сброса контроллера ARINC429 необходимо сначала остановить обмена DMA данного канала (сбросить бит RUN и дождаться его сброса), отключить частоту контроллера в регистре CLK_EN, затем последовательно записать в данный бит значение 0-сброс, затем 1-снятие сброса. После этого можно включать частоту контроллера для дальнейшей работы.	RW	1
0	-	Не используется	-	0

2.3.3 Регистр управления приоритетом доступа контроллеров DMA к устройствам памяти

По умолчанию схема доступа ведущих устройств к ведомым устройствам шины AXI осуществляется по сквозному приоритету для CPU и DSP и по циклической смене приоритетов (Round-robin) с учетом последнего запроса от всех DMA-контроллеров (Рисунок 2.1)

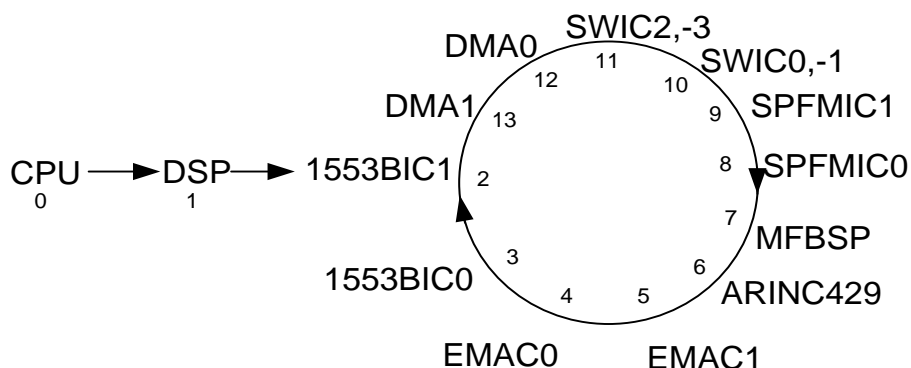


Рисунок 2.1. Схема приоритетов после сброса

После того, как был получен доступ какого-либо ведущего устройства согласно схеме приоритетов, кольцо проворачивается по часовой стрелке, так, что приоритет у этого устройства оказался низшим. Например, после того, как был получен доступ от DMA контроллера EMAC1, наивысшим приоритетом в кольце будет обладать DMA контроллера ARINC429 (Рисунок 2.2).

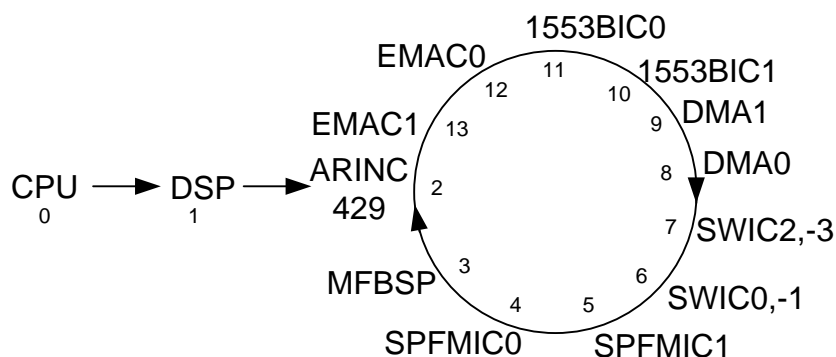


Рисунок 2.2. Схема приоритетов после запроса от DMA контроллера EMAC1

Таблица 2.12. Формат регистра управления приоритета доступа

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	-	Не используется	-	0
15	RND_DIS	1 - отключение режима кольца, схема приоритетов становится сквозной; 0 – режим с кольцевой схемой.	RW	0
14:4	-	Не используется	-	0x000
3:0	AXI_LIN[3:0]	При сквозной схеме, приоритеты предоставляются в следующем порядке: 0x0 : CPU > 1553BIC1 > 1553BIC0 > EMAC0 > EMAC1 > ARINC429 > MFBSP > SPFMIC0 >	RW	0x2

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
		<p>SPFMIC1 > SWIC0,1 > SWIC2,3 > DMA0 > DMA1 > DSP;</p> <p>0x1 : DSP > 1553BIC1 > 1553BIC0 > EMAC0 > EMAC1 > ARINC429 > MFBSP > SPFMIC0 > SPFMIC1 > SWIC0,1 > SWIC2,3 > DMA0 > DMA1 > CPU;</p> <p>0x2 : CPU > DSP > 1553BIC1 > 1553BIC0 > EMAC0 > EMAC1 > ARINC429 > MFBSP > SPFMIC0 > SPFMIC1 > SWIC0,1 > SWIC2,3 > DMA0 > DMA1;</p> <p>0x3 : CPU > DSP > 1553BIC0 > EMAC0 > EMAC1 > ARINC429 > MFBSP > SPFMIC0 > SPFMIC1 > SWIC0,1 > SWIC2,3 > DMA0 > DMA1 > 1553BIC1;</p> <p>0x4 : CPU > DSP > EMAC0 > EMAC1 > ARINC429 > MFBSP > SPFMIC0 > SPFMIC1 > SWIC0,1 > SWIC2,3 > DMA0 > DMA1 > 1553BIC1 > 1553BIC0;</p> <p>0x5 : CPU > DSP > EMAC1 > ARINC429 > MFBSP > SPFMIC0 > SPFMIC1 > SWIC0,1 > SWIC2,3 > DMA0 > DMA1 > 1553BIC1 > 1553BIC0 > EMAC0;</p> <p>0x6 : CPU > DSP > ARINC429 > MFBSP > SPFMIC0 > SPFMIC1 > SWIC0,1 > SWIC2,3 > DMA0 > DMA1 > 1553BIC1 > 1553BIC0 > EMAC0 > EMAC1;</p> <p>0x7 : CPU > DSP > MFBSP > SPFMIC0 > SPFMIC1 > SWIC0,1 > SWIC2,3 > DMA0 > DMA1 > 1553BIC1 > 1553BIC0 > EMAC0 > EMAC1 > ARINC429;</p> <p>0x8 : CPU > DSP > SPFMIC0 > SPFMIC1 > SWIC0,1 > SWIC2,3 > DMA0 > DMA1 > 1553BIC1 > 1553BIC0 > EMAC0 > EMAC1 > ARINC429 > MFBSP;</p> <p>0x9 : CPU > DSP > SPFMIC1 > SWIC0,1 > SWIC2,3 > DMA0 > DMA1 > 1553BIC1 > 1553BIC0 > EMAC0 > EMAC1 > ARINC429 > MFBSP > SPFMIC0;</p> <p>0xA : CPU > DSP > SWIC0,1 > SWIC2,3 > DMA0 > DMA1 > 1553BIC1 > 1553BIC0 > EMAC0 > EMAC1 > ARINC429 > MFBSP > SPFMIC0 > SPFMIC1;</p>		

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
		<p>0xB : CPU > DSP > SWIC2,3 > DMA0 > DMA1 > 1553BIC1 > 1553BIC0 > EMAC0 > EMAC1 > ARINC429 > MFBSPP > SPFMIC0 > SPFMIC1 > SWIC0,1;</p> <p>0xC, 0xD, 0xE : CPU > DSP > DMA0 > DMA1 > 1553BIC1 > 1553BIC0 > EMAC0 > EMAC1 > ARINC429 > MFBSPP > SPFMIC0 > SPFMIC1 > SWIC0,1 > SWIC2,3;</p> <p>0xF : CPU > DSP > DMA1 > 1553BIC1 > 1553BIC0 > EMAC0 > EMAC1 > ARINC429 > MFBSPP > SPFMIC0 > SPFMIC1 > SWIC0,1 > SWIC2,3 > DMA0</p>		

2.4 Процедура начальной загрузки

После снятия сигнала nRST выполняется следующее:
 все устройства микросхемы 1892BM206 устанавливаются в исходное состояние;
 в CPU возникает исключение, вектор которого расположен по физическому адресу 0x1FC0_0000 в блоке 3 (как правило, ПЗУ) внешней памяти;

В зависимости от состояния сигнала на выводах BOOT* блок 3 внешней памяти может быть 8 – или 32 – разрядным.

В блоке 3 внешней памяти может находиться или только программа начальной загрузки или все программы микросхемы 1892BM206. В первом случае основная программа может быть загружена, например, через MFBSPP.

Программа начальной загрузки должна обеспечивать конфигурирование всех устройств микросхемы 1892BM206.

Внешние выводы BOOT[1:0] - определение источника и разрядности данных при начальной загрузке программ микропроцессора после снятия сигнала nRST:

00 – загрузка производится из 32-разрядного блока памяти, подключенного к выводу nCS[3] MPORT. В этом случае разрядность этого блока памяти изменить нельзя;

01 – загрузка производится из 8-разрядного блока памяти, подключенного к выводу nCS[3] MPORT. В этом случае разрядность этого блока памяти изменить нельзя;

10 – не используется;

11 – загрузка производится из порта SPI MFBSPP. При этом к выводу nCS[3] MPORT может быть подключен 32- разрядный блок памяти.

2.5 Логика взаимодействия CPU и DSP

2.5.1 Функции CPU

CPU является ведущим. Он имеет свою операционную систему (планировщик или монитор) и выполняет основную программу.

CPU имеет доступ к следующим ресурсам DSP:

- памяти данных;
- регистру управления и состояния DCSR;
- программному счетчику PC;
- регистру адреса останова SAR;
- памяти программ;
- архитектурным регистрам.

Обмен данными с этими ресурсами выполняется по командам Load, Store. Память DSP и его регистры для CPU являются словными, то есть состояние двух младших разрядов адреса является безразличным.

При штатной, работе доступ к архитектурным регистрам DSP, как правило, не используется, а применяется только для его диагностики или для отладки программного обеспечения.

DSP формирует прерывание в CPU. CPU в DSP прерываний не формирует.

CPU управляет работой DSP посредством передачи ему задания (макрокоманды) и его запуска (перевод из режима STOP в режим RUN). Данная процедура выполняется в следующей последовательности:

CPU передает в память DSP данные и параметры их обработки. Эта операция может отсутствовать;

CPU передает в программную память DSP программный код, который должен быть выполнен. Эта операция может отсутствовать;

CPU передает в DSP адрес первой выполняемой команды посредством записи в программный счетчик. Эта операция может отсутствовать, например, если следующая макрокоманда DSP должна выполняться с его текущего состояния;

CPU переводит DSP в состояние RUN посредством записи в его регистр управления и состояния DCSR.

2.5.2 Функции DSP

DSP является ведомым. Он работает под управлением CPU и выполняет его макрокоманды (задания). Операционной системы и какого-либо монитора не имеет.

Для управления его работы DSP имеет программно доступный регистр управления и состояния DCSR.

DSP может находиться в состояниях STOP или RUN и работает в старт стоповом режиме. То есть, после выполнения очередного задания CPU он останавливается и переходит в режим STOP посредством выполнения одноименной команды. DSP из состояния STOP в состояние RUN может перейти:

по команде CPU;
по сигналам от каналов DMA MEM_CH.

DSP может выполнить запуск работы каналов DMA MEM_CH посредством записи 1 в соответствующие разряды регистра DCSR.

2.6 Карта памяти CPU

Карта физической памяти CPU приведена в Таблица 2.13. Здесь и далее, если это не оговорено специально, коды адреса и данных указаны в шестнадцатеричной системе счисления. Объемы областей памяти указаны с учетом ее дальнейшего расширения.

Таблица 2.13. Карта физической памяти CPU

Диапазон адресов	Название области	Объем области, Мбайт
FFFF_FFFF 2000_0000	Внешняя память	3584
1FFF_FFFF 1C00_0000	Внешняя память (ПЗУ)	64
1BFF_FFFF 1800_0000	Внутренняя память	64
17FF_FFFF 0000_0000	Внешняя память	384

Вся внешняя память доступна через порт внешней памяти (MPORT).

Для CPU все адресное пространство памяти является 32-разрядным. Память SRAM, а также внешняя память, могут адресоваться с точностью до байта.

Каналы DMA MEM_CH могут передавать данные через AXI Switch 32 или 64-разрядными словами, в зависимости от состояния бита EN64 регистра CSR DMA. Для всех каналов DMA байтная адресация отсутствует.

Для указания разрядности сегментов внешней памяти в регистрах CSCON0:CSCON4 порта внешней памяти имеется бит W64: 0 – сегмент 32-разрядный, 1 – сегмент 64-разрядный. Данные в 64-разрядном сегменте располагаются следующим образом:

Таблица 2.14

Номер 64-разрядного слова	Адрес старшей 32-разрядной части (H)	Адрес младшей 32-разрядной части (L)
0	0x0000_0004	0x0000_0000
1	0x0000_000C	0x0000_0008
2	0x0000_0014	0x0000_0010
3	0x0000_001C	0x0000_0018

Адресом 64-разрядного слова является адрес его младшей части.

Обмен 64-разрядными данными каналами DMA MEM_CH может выполняться только при W64 = 1 и EN64 = 1.

Карта внутренней памяти микросхемы 1892BM206 приведена в Таблица 2.15.

Таблица 2.15. Карта внутренней памяти

Диапазон адресов	Название области	Объем области, Кбайт
1BFF_FFFF 1880_0000	Резерв	56000
1840_0000 1888_055C	Память и регистры DSP-ядра	4096
183F_FFFF 1830_7000	Резерв	996
1830_6FFF 182F_0000	Регистры CPU	28
182E_FFFF 1802_0000	Резерв	3000
1801_FFFF 1800_0000	Память CRAM	128

Перечень базовых адресов программно доступных регистров для CPU и DSP приведен в Таблице 2.16.

Таблица 2.16. Базовые адреса регистров микросхемы

Условное обозначение	Название	Базовый адрес
DMA MEM_Ch00	Регистры канала 0 DMA MEM типа память-память	182F_0000
DMA MEM_Ch01	Регистры канала 1 DMA MEM типа память-память	182F_0080
DMA MEM_Ch02	Регистры канала 2 DMA MEM типа память-память	182F_0100
DMA MEM_Ch03	Регистры канала 3 DMA MEM типа память-память	182F_0180
DMA MEM_Ch04	Регистры канала 4 DMA MEM типа память-память	182F_0200
DMA MEM_Ch05	Регистры канала 5 DMA MEM типа память-память	182F_0280
DMA MEM_Ch06	Регистры канала 6 DMA MEM типа память-память	182F_0300
DMA MEM_Ch07	Регистры канала 7 DMA MEM типа память-память	182F_0380
DMA MEM_Ch10	Регистры канала 10 DMA MEM типа память-память	182F_0400
DMA MEM_Ch11	Регистры канала 11 DMA MEM типа память-память	182F_0480
DMA MEM_Ch12	Регистры канала 12 DMA MEM типа память-память	182F_0500
DMA MEM_Ch13	Регистры канала 13 DMA MEM типа память-память	182F_0580
DMA MEM_Ch14	Регистры канала 14 DMA MEM типа память-память	182F_0600
DMA MEM_Ch15	Регистры канала 15 DMA MEM типа память-память	182F_0680
DMA MEM_Ch16	Регистры канала 16 DMA MEM типа память-память	182F_0700
DMA MEM_Ch17	Регистры канала 17 DMA MEM типа память-память	182F_0780
MPORT	Регистры настройки порта внешней памяти	182F-1000
UART	Регистры настройки порта UART	182F-3000
CSR	Системные регистры и регистры синхронизации	182F-4000
Hm CRAM	Регистры настройки коррекции ошибок в CRAM	182F-4400
Hm ICACHE	Регистры настройки коррекции ошибок в ICACHE	182F-4800
Hm DCACHE	Регистры настройки коррекции ошибок в DCACHE	182F-4C00
IT0	Регистры интервального таймера IT0	182F-5000
WDT	Регистры сторожевого таймера WDT	182F-5010

Условное обозначение	Название	Базовый адрес
IT1	Регистры интервального таймера IT1	182F-5020
IT2	Регистры интервального таймера IT2	182F-5040
IT3	Регистры интервального таймера IT3	182F-5050
IT4	Регистры интервального таймера IT4	182F-5060
IT5	Регистры интервального таймера IT5	182F-5070
IT6	Регистры интервального таймера IT6	182F-5080
IT7	Регистры интервального таймера IT7	182F-5090
IT8	Регистры интервального таймера IT8	182F-50A0
IT9	Регистры интервального таймера IT9	182F-50B0
IT10	Регистры интервального таймера IT10	182F-50C0
IT11	Регистры интервального таймера IT11	182F-50D0
IT12	Регистры интервального таймера IT12	182F-50E0
IT13	Регистры интервального таймера IT13	182F-50F0
IT14	Регистры интервального таймера IT14	182F-5100
IT15	Регистры интервального таймера IT15	182F-5110
SPFMIC0	Регистры контроллера SPFMIC0	182F_7000
DMA SPFMIC0	Регистры DMA-канала записи в память дескрипторов принимаемых пакетов (SPFMIC0_RX_DES)	182F_7800
	Регистры DMA-канала записи в память принимаемых слов данных (SPFMIC0_RX_DAT)	182F_7840
	Регистры DMA-канала чтения из памяти дескрипторов передаваемых пакетов (SPFMIC0_TX_DES)	182F_7880
	Регистры DMA-канала чтения из памяти передаваемых слов данных (SPFMIC0_TX_DAT)	182F_78C0
SPFMIC1	Регистры контроллера SPFMIC1	182F_8000
DMA SPFMIC1	Регистры DMA-канала записи в память дескрипторов принимаемых пакетов (SPFMIC1_RX_DES)	182F_8800
	Регистры DMA-канала записи в память принимаемых слов данных (SPFMIC1_RX_DAT)	182F_8840
	Регистры DMA-канала чтения из памяти дескрипторов передаваемых пакетов (SPFMIC1_TX_DES)	182F_8880
	Регистры DMA-канала чтения из памяти передаваемых слов данных (SPFMIC1_TX_DAT)	182F_88C0
SWIC0	Регистры контроллера SWIC0	182F_9000
SWIC1	Регистры контроллера SWIC1	182F_A000
DMA SWIC01	Регистры DMA-канала записи в память дескрипторов принимаемых пакетов (SWIC0_RX_DES)	182F_A800
	Регистры DMA-канала записи в память принимаемых слов данных (SWIC0_RX_DAT)	182F_A840
	Регистры DMA-канала чтения из памяти дескрипторов передаваемых пакетов (SWIC0_TX_DES)	182F_A880
	Регистры DMA-канала чтения из памяти передаваемых слов данных (SWIC0_TX_DAT)	182F_A8C0
	Регистры DMA-канала записи в память дескрипторов принимаемых пакетов (SWIC1_RX_DES)	182F_A900

Условное обозначение	Название	Базовый адрес
	Регистры DMA-канала записи в память принимаемых слов данных (SWIC1_RX_DAT)	182F_A940
	Регистры DMA-канала чтения из памяти дескрипторов передаваемых пакетов (SWIC1_TX_DES)	182F_A980
	Регистры DMA-канала чтения из памяти передаваемых слов данных (SWIC1_TX_DAT)	182F_A9C0
SWIC2	Регистры контроллера SWIC2	182F_B000
SWIC3	Регистры контроллера SWIC3	182F_C000
DMA SWIC23	Регистры DMA-канала записи в память дескрипторов принимаемых пакетов (SWIC2_RX_DES)	182F_C800
	Регистры DMA-канала записи в память принимаемых слов данных (SWIC2_RX_DAT)	182F_C840
	Регистры DMA-канала чтения из памяти дескрипторов передаваемых пакетов (SWIC2_TX_DES)	182F_C880
	Регистры DMA-канала чтения из памяти передаваемых слов данных (SWIC2_TX_DAT)	182F_C8C0
	Регистры DMA-канала записи в память дескрипторов принимаемых пакетов (SWIC3_RX_DES)	182F_C900
	Регистры DMA-канала записи в память принимаемых слов данных (SWIC3_RX_DAT)	182F_C940
	Регистры DMA-канала чтения из памяти дескрипторов передаваемых пакетов (SWIC3_TX_DES)	182F_C980
	Регистры DMA-канала чтения из памяти передаваемых слов данных (SWIC3_TX_DAT)	182F_C9C0
EMAC0	Регистры контроллера EMAC0	182F_D000
DMA EMAC0	Регистры DMA-канала записи в память дескрипторов принимаемых пакетов (EMAC0_RX_DES)	182F_D800
	Регистры DMA-канала записи в память принимаемых слов данных (EMAC0_RX_DAT)	182F_D840
	Регистры DMA-канала чтения из памяти дескрипторов передаваемых пакетов (EMAC0_TX_DES)	182F_D880
	Регистры DMA-канала чтения из памяти передаваемых слов данных (EMAC0_TX_DAT)	182F_D8C0
EMAC1	Регистры контроллера EMAC1	182F_E000
DMA EMAC1	Канал записи в память дескрипторов принимаемых пакетов (EMAC1_RX_DES)	182F_E800
	Регистры DMA-канала записи в память принимаемых слов данных (EMAC1_RX_DAT)	182F_E840
	Регистры DMA-канала чтения из памяти дескрипторов передаваемых пакетов (EMAC1_TX_DES)	182F_E880
	Регистры DMA-канала чтения из памяти передаваемых слов данных (EMAC1_TX_DAT)	182F_E8C0
ARINC429	Регистры контроллера ARINC429	1830_0000

Условное обозначение	Название	Базовый адрес
DMA ARINC429	Регистры DMA-канала ARINC0 записи/чтения в память данных	1830_1000
	Регистры DMA-канала ARINC1 записи/чтения в память данных	1830_1040
	Регистры DMA-канала ARINC2 записи/чтения в память данных	1830_1080
	Регистры DMA-канала ARINC3 записи/чтения в память данных	1830_10C0
	Регистры DMA-канала ARINC4 записи/чтения в память данных	1830_1100
	Регистры DMA-канала ARINC5 записи/чтения в память данных	1830_1140
	Регистры DMA-канала ARINC6 записи/чтения в память данных	1830_1180
	Регистры DMA-канала ARINC7 записи/чтения в память данных	1830_11C0
	Регистры DMA-канала ARINC8 записи/чтения в память данных	1830_1200
	Регистры DMA-канала ARINC9 записи/чтения в память данных	1830_1240
	Регистры DMA-канала ARINC10 записи/чтения в память данных	1830_1280
	Регистры DMA-канала ARINC11 записи/чтения в память данных	1830_12C0
	Регистры DMA-канала ARINC12 записи/чтения в память данных	1830_1300
	Регистры DMA-канала ARINC13 записи/чтения в память данных	1830_1340
Регистры DMA-канала ARINC14 записи/чтения в память данных	1830_1380	
1553BIC0	Регистры контроллера 1553BIC0	1830_1800
1553BIC1	Регистры контроллера 1553BIC1	1830_2800
MFBSPO	Регистры порта MFBSPO	1830_3800
MFBSPI	Регистры порта MFBSPI	1830_4000
DMA_MFBSP	Регистры DMA-канала чтения из памяти передаваемых данных (MFBSB0_TX_DAT)	1830_4800
	Регистры DMA-канала записи в память принимаемых данных (MFBSPO_RX_DAT)	1830_4840
	Регистры DMA-канала чтения из памяти передаваемых данных (MFBSB1_TX_DAT)	1830_4880
	Регистры DMA-канала записи в память принимаемых данных (MFBSPI_RX_DAT)	1830_48C0
CANBIC0	Память и регистры контроллера CANBIC0	1830_5000
CANBIC1	Память и регистры контроллера CANBIC1	1830_6000
DSP0	Память и регистры DSP0	1848_0000
DSP1	Память и регистры DSP1	1888_0000

3. ЦЕНТРАЛЬНЫЙ ПРОЦЕССОР

3.1 Основные характеристики CPU

архитектура – MIPS32;

32-х битные пути передачи адреса и данных;

кэш команд объемом 32 Кбайт;

кэш данных объемом 32 Кбайт;

архитектура привилегированных ресурсов в стиле ядра R4000:

- регистры Count/Compare для прерываний реального времени;
- отдельный вектор обработки исключений по прерываниям;

программируемое устройство управления памятью:

- два режима работы – с TLB и Fixed Mapped (FM);
- 16 строк в режиме TLB;
- в режиме FM адресные пространства отображаются с использованием битов регистров;

устройство умножения и деления;

сопроцессором арифметики в формате с плавающей точкой;

поддержка отладки JTAG.

3.2 Блок-схема

Блок схема процессорного ядра RISCore32 приведена на Рисунок 3.1.

Ядро содержит следующие узлы:

устройство исполнения (Execution Core);

устройство целочисленного умножения и деления (MDU);

системный управляющий сопроцессор (CP0);

сопроцессор арифметики в формате с плавающей точкой (FPU);

устройство управления памятью (MMU – Memory Management Unit);

контроллер кэш (Cache Controller);

устройство шинного интерфейса (BIU);

кэш команд (Instruction Cache);

кэш данных (Data Cache);

преобразователь виртуального адреса в физический адрес (TLB/FM);

средства отладки программ (OnCD – On Chip Debugger) с JTAG портом.

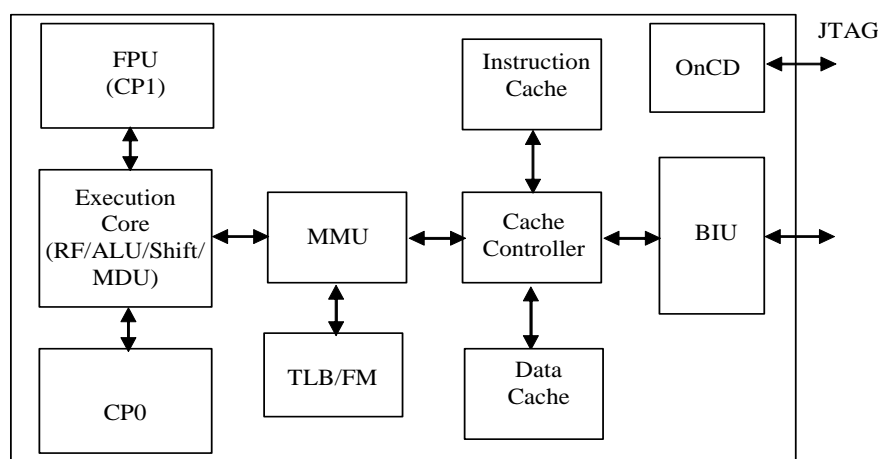


Рисунок 3.1. Блок схема процессорного ядра RISCore32

3.3 Составляющие логические блоки

В следующих подразделах описываются устройства, входящие в состав процессорного ядра.

3.3.1 Устройство исполнения

Входящее в ядро устройство исполнения реализует архитектуру load-store (загрузка-сохранение) с одноктактными операциями арифметического логического устройства (АЛУ) (логические операции, операции сдвига, сложение и вычитание). В ядре имеется тридцать два 32-х битных регистра общего назначения, используемых для скалярных целочисленных операций и вычисления адреса. В регистровом файле есть два порта чтения и один порт записи. Также используются обходные пути передачи данных для минимизации количества остановок конвейера.

В состав устройства исполнения входят:

32-х битный сумматор, используемый для вычисления адреса данных;

адресное устройство для вычисления адреса следующей команды;

логика определения перехода и вычисления адреса перехода;

блок выравнивания при загрузке данных;

мультиплексоры обходных путей передачи данных для исключения остановок конвейера в тех случаях, когда команды, производящие данные и команды, использующие эти данные, расположены в программе достаточно близко;

блок обнаружения Нуля/Единицы для реализации команд CLZ и CLO;

АЛУ для выполнения побитных операций;

сдвигающее устройство и устройство выравнивания при сохранении данных.

3.3.2 Устройство умножения/деления (MDU)

Устройство умножения/деления выполняет соответствующие операции. MDU выполняет операции умножения за 17 тактов, операции умножения с накоплением за 18 тактов, операции деления за 33 такта и операции деления с накоплением за 34 такта. Попытка активизировать следующую команду умножения/деления до завершения выполнения

предыдущей, так же, как и использование результата этой операции до того, как она закончена, вызывает остановку конвейера. В MDU имеется вывод, определяющий формат операции – знаковый или беззнаковый.

3.3.3 Системный управляющий сопроцессор

Сопроцессор отвечает за преобразование виртуального адреса в физический, протоколы кэш, систему управления исключениями, выбор режима функционирования (Kernel/User) и за разрешение/запрещение прерываний. Конфигурационная информация доступна посредством чтения регистров CP0 (см. раздел 3.8 «Регистры CP0»).

3.3.4 Сопроцессор арифметики в формате с плавающей точкой (FPU)

Сопроцессор арифметики в формате с плавающей точкой выполняет операции в соответствии со стандартом ANSI/IEEE Standard 754-1985, «IEEE Standard for Binary Floating-Point Arithmetic.» Поддерживаются операции, как с одинарной, так и с двойной точностью. Сопроцессор выполняет дополнительные операции, не определенные стандартом. Сопроцессор содержит 16 64-разрядных регистра для хранения операндов с одинарной и двойной точностью. Сопроцессор также содержит регистры управления и состояния, которые обеспечивают обработку исключений в соответствии с требованиями стандарта.

3.3.5 Устройство управления памятью (MMU)

Процессорное ядро содержит устройство управления памятью (MMU), реализующее интерфейс между исполнительным блоком и контроллером кэш. Ядро может работать как в режиме TLB – с 16-строчной, полностью ассоциативной матрицей TLB, так и в режиме FM (Fixed Mapped), когда используются простые преобразования виртуального адреса в физический адрес.

3.3.6 Контроллер кэш

В данной версии процессора реализованы кэш команд и кэш данных, виртуально индексируемые и контролируемые по физическому тэгу типа direct mapped, что позволяет осуществлять доступ к кэш параллельно с преобразованием виртуального адреса в физический. Объем каждой кэш составляет 16 Кбайт.

3.3.7 Устройство шинного интерфейса (BIU – Bus Interface Unit)

Устройство шинного интерфейса управляет внешними интерфейсными сигналами в соответствии со спецификацией шины АНВ (Advanced High-performance Bus) архитектуры АМВА (Advanced Microcontroller Bus Architecture).

3.3.8 OnCD контроллер

В ядре имеется устройство для отладки программ OnCD с портом JTAG.

3.4 Конвейер

В CPU-ядре процессора реализован конвейер, состоящий из пяти стадий и аналогичный конвейеру ядра R3000. Конвейер дает возможность процессору работать на высокой частоте, при этом минимизируется сложность устройства, а также уменьшается стоимость и потребление энергии.

В этой главе содержатся следующие подразделы:

«Стадии работы конвейера»;

«Операции умножения и деления»;

«Задержка выполнения команд перехода»;

«Обходные пути передачи данных (Data bypass)»;

«Задержка загрузки данных»;

«Особые случаи при выполнении команд (Instruction Hazards)».

3.4.1 Стадии конвейера

Конвейер содержит пять стадий:

выборка команды (стадия I – Instruction);

дешифрация команды (стадия D – Data);

исполнение команды (стадия E – Execution);

выборка из памяти (стадия M – Memory);

обратная запись (стадия W – Write Back).

На Рисунок 3.2 показаны операции, выполняемые RISC-ядром на каждом этапе конвейера.

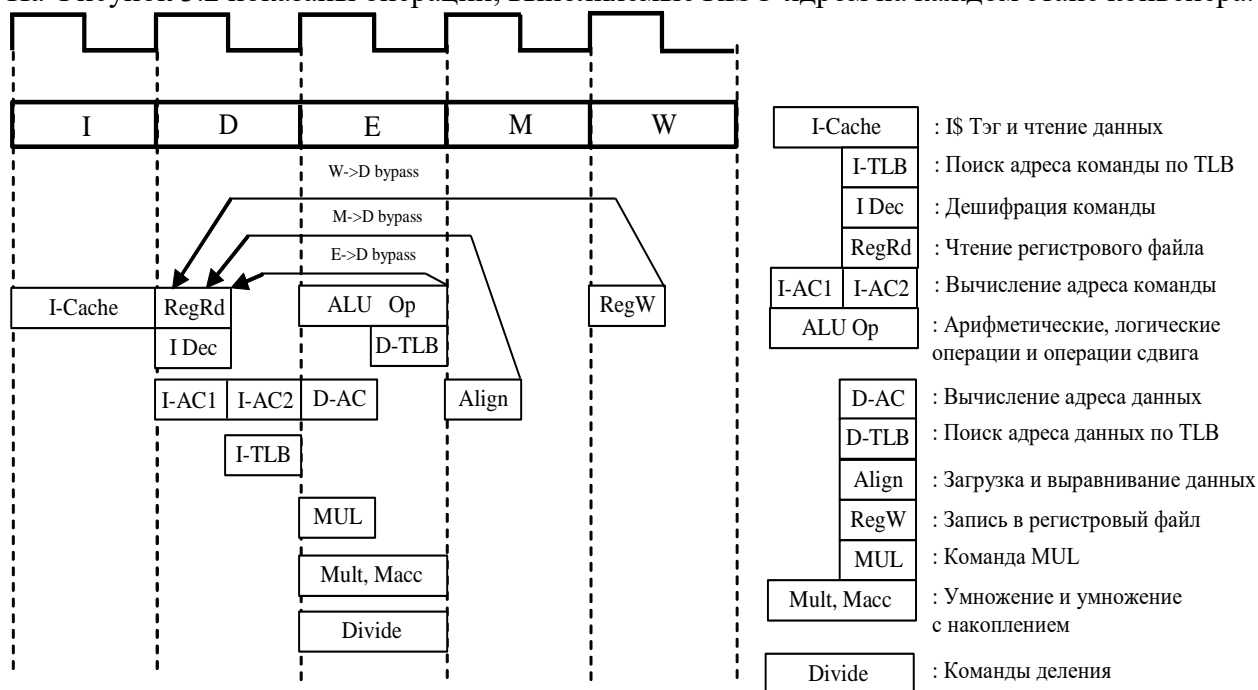


Рисунок 3.2

Стадия I: выборка команды

На этой стадии команда выбирается из командного кэш.

Стадия D: дешифрация команды

На этой стадии:

операнды выбираются из регистрового файла;

операнды передаются на эту стадию со стадий E, M и W;

ALU определяет, выполняется ли условие перехода и вычисляет виртуальный адрес перехода для команд перехода;

осуществляется преобразование виртуального адреса в физический адрес;

производится поиск адреса команды по TLB и вырабатывается признак hit/miss;

командная логика выбирает адрес команды.

Стадия E: исполнение

На этой стадии:

ALU выполняет арифметические или логические операции для команд типа регистр-регистр;

производится преобразование виртуального адреса в физический адрес для данных, используемых командами загрузки и сохранения;

производится поиск данных по TLB и вырабатывается признак hit/miss;

все операции умножения и деления выполняются на этой стадии.

Стадия M: выборка из памяти

На этой стадии осуществляется загрузка и выравнивание загруженных данных в границах слова.

Стадия W: обратная запись

На этой стадии для команд типа регистр-регистр или для команд загрузки результат записывается обратно в регистровый файл.

3.4.2 Операции умножения и деления

Время выполнения этих операций соответствует 17 тактам для команд умножения и 18 тактам для команд умножения с накоплением, а также 33 тактам для команд деления и 34 тактам для команд деления с накоплением.

3.4.3 Задержка выполнения команд перехода (Jump, Branch)

Конвейер осуществляет выполнение команд перехода с задержкой в один такт. Однотактная задержка является результатом функционирования логики, ответственной за принятие решения о переходе на стадии D конвейера. Эта задержка позволяет использовать адрес перехода, вычисленный на предыдущей стадии, для доступа к команде на следующей D-стадии. Слот задержки перехода (branch delay slot) позволяет отказаться от остановок конвейера при переходе. Вычисление адреса и проверка условия перехода выполняются одновременно на стадии D. Итоговое значение РС (счетчика команд) используется для выборки очередной команды на стадии I, которая является второй командой после перехода. На Рисунок 3.3 показан слот задержки перехода.

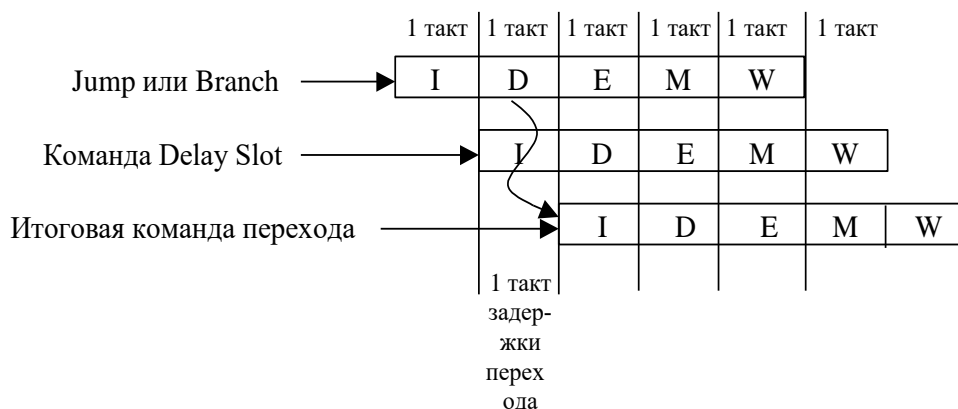


Рисунок 3.3. Слот задержки перехода

3.4.4 Обходные пути передачи данных (Data bypass)

Для большинства команд MIPS32 исходными операндами являются значения, хранящиеся в регистрах общего назначения. Эти операнды выбираются из регистрового файла в первой половине D-стадии. После исполнения на ALU результат, в принципе, готов для использования другими командами. Но запись результата в регистровый файл осуществляется только на стадии W. Это лишает следующую команду возможности использовать результат в течение 3-х циклов, если ее операндом является результат выполнения последней операции, сохраненный в регистровом файле. Для преодоления этой проблемы используются обходные пути передачи данных.

Мультиплексоры обходных путей передачи данных для обоих операндов располагаются между регистровым файлом и ALU (Рисунок 3.4). Они позволяют передавать данные с выхода стадий E, M и W конвейера прямо на стадию D, если один из регистров источника (source) декодируемой команды совпадает с регистром назначения (target) одной из предшествующих команд. Входы мультиплексоров подключены к обходным путям M→D и E→D, а также W→D.

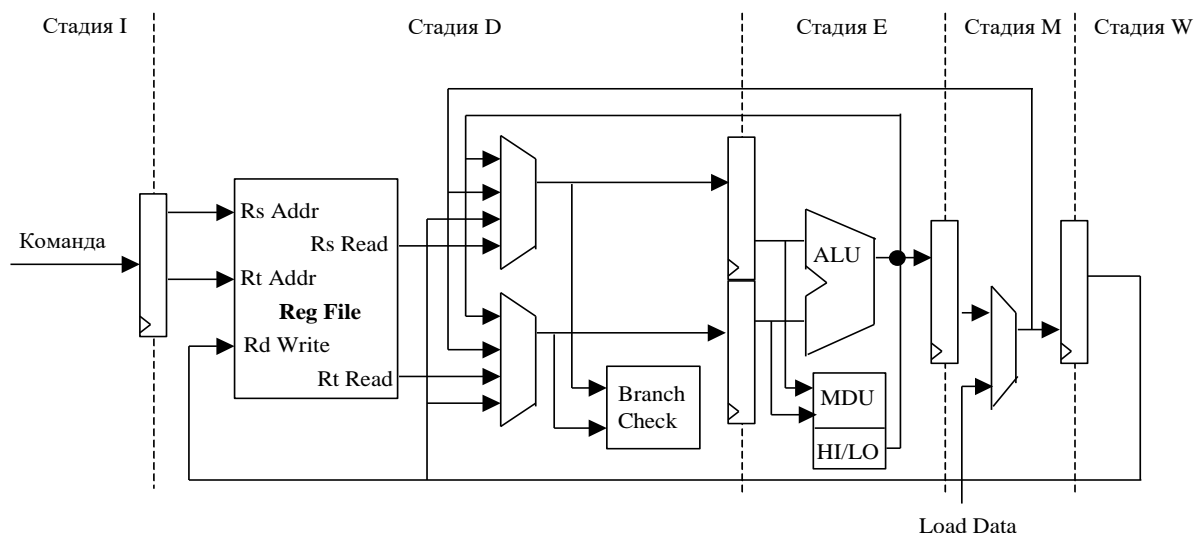


Рисунок 3.4

На Рисунок 3.5 показаны обходные пути передачи данных для команды Add₁, за которой следует команда Sub₂ и затем снова Add₃. Поскольку команда Sub₂ в качестве одного из операндов использует результат операции Add₁, используется обходной путь E→D. Следующая команда Add₃ использует результаты обеих предшествующих операций: Add₁

и Sub2. Так как данные команды Add1 в это время находятся на стадии M, используется обходной путь M→D. Кроме того, вновь используется обходной путь E→D для передачи результата операции Sub2 команде Add3.

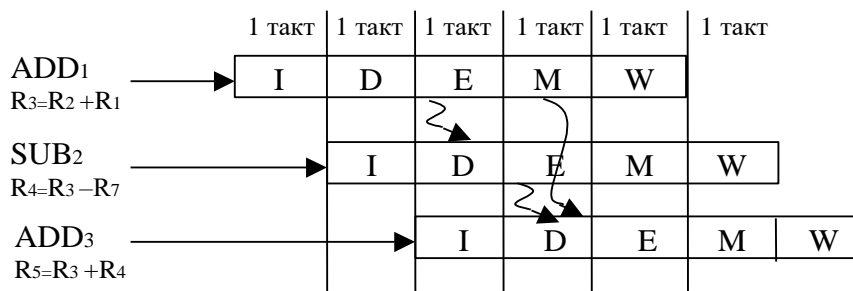


Рисунок 3.5

3.4.5 Задержка загрузки данных

Данные, выбираемые командами загрузки (Load), становятся доступными на конвейере только после выравнивания на стадии M. При этом данные, являющиеся исходными операндами, должны предоставляться командам для обработки уже на стадии D. Поэтому, если сразу за командой загрузки следует команда, для которой один из регистров исходных операндов совпадает с регистром, в который производится загрузка данных, это вызывает приостановку в работе конвейера на стадии D. Эта приостановка осуществляется аппаратной вставкой команды NOP. Во время этой задержки часть конвейера, которая находится дальше стадии D, продолжает продвигаться. Если же команда, использующая загружаемые данные, следует за командой загрузки не сразу, а через одну или через две, то для обеспечения бесперебойной работы конвейера используется один из обходных путей передачи данных: M→D или W→D (Рисунок 3.6).

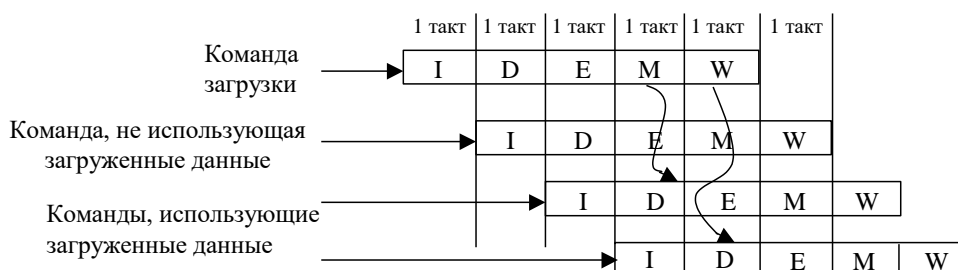


Рисунок 3.6

3.5 Сопроцессор арифметики в формате с плавающей точкой

3.5.1 Введение

Сопроцессор арифметики в формате с плавающей точкой выполняет операции в соответствии со стандартом ANSI/IEEE Standard 754-1985, «IEEE Standard for Binary Floating-Point Arithmetic.» Поддерживаются операции, как с одинарной, так и с двойной точностью (single- or double-precision). Сопроцессор выполняет дополнительные операции, не определенные стандартом. Сопроцессор содержит 16 64-разрядных регистра для хранения операндов с одинарной и двойной точностью. Сопроцессор также содержит

регистры управления и состояния, которые обеспечивают обработку исключений в соответствии с требованиями стандарта.

FPU реализован как сопроцессор CP1.

3.5.2 Регистры FPU

Типы регистров

В FPU имеется три типа регистров:

регистры общего назначения (FGR);

регистры в формате с плавающей точкой (FPR);

регистры управления (FCR).

32-разрядные регистры FGR являются прямо адресуемыми. FPU содержит 32 таких регистра.

64-разрядные регистры в формате с плавающей точкой FPR являются логическими и используются для хранения данных в процессе выполнения операций в формате с плавающей точкой. Эти регистры образованы конкатенацией двух соседних регистров FGR. В зависимости от операции, FPR содержит величину с одинарной или двойной точностью.

Регистры управления регистры FCR используются для выбора режима округления, обработки исключений и сохранения состояния.

В Таблица 3.1. приведены регистры управления FPU в порядке возрастания нумерации.

Таблица 3.1. Управляющие регистры FPU

Номер регистра	Название регистра	Функция
0	FIR	Регистр версии и реализации (Implementation and Revision register)
25	FCCR	Регистр кодов условий (Condition Codes register)
26	FEXR	Регистр исключений (Exceptions register)
28	FENR	Регистр разрешения исключений (Enables register)
31	FCSR	Регистр управления и состояния (Control/Status register)

В командах CTC1 и CFC1 регистры FCCR, FEXR и FENR получают доступ к соответствующим частям регистра FCSR, т.е. эти регистры являются отражением соответствующих частей регистра FCSR.

Доступ к регистрам управления FPU не является привилегированным. Любая программа, которая выполняет инструкции с плавающей точкой, имеет доступ к регистрам управления FPU. Доступ к ним осуществляется посредством CTC1 и CFC1 команд.

Регистры общего назначения и регистры в формате с плавающей точкой

32 регистра общего назначения (FGR) являются 32-разрядными и могут непосредственно адресоваться. Они используются в операциях в формате с плавающей точкой и индивидуально доступны по командам move, load и store. Перечень регистров FGR приведен в Таблица 3.2.

Таблица 3.2. Регистры FGR и FPR

Номер регистра FGR	Название регистра FGR	Название регистра FPR
0	FGR0	FPR0 (least)
1	FGR1	FPR0 (most)
2	FGR2	FPR2 (least)
3	FGR3	FPR2 (most)
.	.	.
.	.	.
.	.	.
28	FGR28	FPR28 (least)
29	FGR29	FPR28 (most)
30	FGR30	FPR30 (least)
31	FGR31	FPR30 (most)

Регистры в формате с плавающей точкой (FPR) формируются из регистров FGR, посредством их конкатенации. Для адресации этих регистров используется только четный номер. Нечетный номер является недопустимым. В процессе операций с одинарной точностью используется только младшая часть (least) регистра FPR используется.

Форматы величин, хранящихся в регистрах FPR

В отличие от процессора целочисленной арифметики, FPU не интерпретирует двоичную кодировку входных операндов и не производит двоичное кодирование результатов каждой операции. Значение, хранящееся в регистре FPR, имеет определенный формат или тип. Этот формат могут использовать только те команды, которые оперируют с ним (этим форматом). Формат может быть неизвестным (не интерпретируемым) либо одним из существующих числовых форматов: формат с плавающей точкой одинарной или двойной точностью, слово или двойное слово с фиксированной точкой.

Числовая величина в регистре FPR всегда установлена, когда она записана в этот регистр: при загрузке регистра FPR по команде `load` в регистр записываются двоичные данные, формат которых не интерпретируется;

команды вычисления в формате с плавающей точкой или команды `move`, формируют в регистре FPR результат формата `fmt`.

Когда регистр FPR с не интерпретируемым значением используется как входной операнд для команды, которая требует значение в формате `fmt` и рассматривает двоичное содержимое как значение в формате `fmt`, значение в регистре FPR изменяется к значению в формате `fmt`. То есть, двоичное содержимое этого регистра не может рассматриваться в другом формате.

Если регистр FPR содержит значение в формате `fmt`, то вычислительные команды не должны использовать этот регистр как входной операнд другого формата. Если такое происходит, то значение в регистре становится неизвестным и результат команды также является неизвестным значением. Использование FPR регистра с неизвестным значением в качестве входного операнда команды приводит к результату, значение которого также неизвестно.

Формат величины, находящейся в регистре FPR, не изменяется, когда происходит чтение этого регистра командой `store`. Команда `store` выводит двоичную кодировку в соответствии со значением, содержащимся в регистре FPR. Если значение в регистре FPR неизвестно, то закодированное двоичное значение, выведенное операцией, неопределенно.

Управляющие регистры

Регистр реализации (FIR, CP1 Control Register 0)

Регистр реализации (Floating Point Implementation Register - FIR) - это 32-битный регистр доступный только на чтение. Он содержит информацию, которая определяет возможности FPU, идентификацию FPU и номер версии FPU. На Рисунок 3.7 показан формат регистра FIR, а в Таблица 3.3 описаны поля этого регистра.

31	18	17	16	15 8	7	0
0		D	S	Processor ID	Revision	

Рисунок 3.7. Формат FIR регистра

Таблица 3.3. Описание полей регистра FIR

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
-	31:18	Не используется	0	0
D	17	Указывает, реализованы ли тип данных двойной точности (D) и соответствующие инструкции: 0 – не реализованы 1 – реализованы	R	1
S	16	Указывает, реализованы ли тип данных одинарной точности (S) и соответствующие инструкции: 0 – не реализованы 1 – реализованы	R	1
Processor ID	15:8	Идентификация типа процессора вычислений с плавающей точкой (FPU)	R	0000 0000
Revision	7:0	Номер версии FPU. Это поле позволяет программам различать разные версии одного типа FPU.	R	0000 0000

Регистр управления и состояния (FCSR, CP1 Control Register 31)

Регистр управления и состояния (Floating Point Control and Status Register – FCSR) – это 32-битный регистр, который управляет работой FPU и содержит информацию о состоянии FPU:

выбор режима округления для арифметических операций;

выборочное разрешение исключений при возникновении соответствующих условий исключений;

управление некоторыми опциями обработки денормализованных чисел;

сообщает о любых IEEE исключениях, произошедших во время последней выполненной команды;

сообщает о IEEE исключениях, произошедших в совокупности выполненных команд;

показывает код условия, который является результатом команд сравнения.

Доступ к регистру *FCSR* не является привилегированным. Любая программа, которая имеет доступ к FPU (если он разрешён в регистре *Status*), может читать из или записывать в регистр *FCSR*. На Рисунок 3.8 представлен формат *FCSR* регистра, в Таблица 3.8 описаны поля этого регистра.

31	25	24	23	22	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	----	----	----	----	----	----	----	----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

FCC							FS	FCC	0	Cause					Enables				Flags				RM			
7	6	5	4	3	2	1		0		E	V	Z	O	U	I	V	Z	O	U	I	V	Z	O	U	I	

Рисунок 3.8. Формат регистра FCSR

Таблица 3.4. Описание полей регистра FCSR

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
FCC	31:25, 23	Коды условий. Эти биты содержат результат выполнения FPU команд сравнения и используются в командах условных переходов и в командах условных перемещений данных. Какой FCC бит используется точно определено в команде перехода или перемещения.	R/W	Не определено
FS	24	Сброс в ноль. Когда FS=1, денормализованный результат операции сбрасывается в ноль вместо появления исключения «Нереализованная операция» (Unimplemented Operation).	R/W	Не определено
-	22:18	Не используются	0	0
Cause	17:12	Биты причины. Эти биты показывают условия исключений, которые возникают во время выполнения арифметических команд. Бит устанавливается в 1, если соответствующая исключительная ситуация появилась во время выполнения команды и устанавливается в 0 в противоположном случае. По значениям этих бит можно определить какая исключительная ситуация вызвана выполнением предыдущей арифметической команды. Значение каждого бита данного поля представлено в Таблица 3.5.	R/W	Не определено
Enables	11:7	Биты разрешения соответствующего исключения при возникновении любой из пяти IEEE исключительных ситуаций. Исключение происходит в случае, когда соответствующие бит Cause и бит Enables одновременно установлены либо во время выполнения арифметической операции, либо при перемещении нового значения в регистр FCSR или FEXR и FENR по команде move. Заметьте, что бит E в поле Cause не имеет соответствующего бита в поле Enables, так как исключение «Нереализованная Операция» всегда разрешено. Значение каждого бита данного поля представлено в Таблица 3.5.	R/W	Не определено

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
Flags	6:2	<p>Флаговые биты. Это поле показывает любые исключительные ситуации, вызванные завершившимися командами со времени последнего программного сброса данного поля. Когда при арифметической операции возникает исключительная ситуация, которая не приводит к FPU исключению (соответствующий бит в Enables сброшен), то соответствующий бит (биты) устанавливается в поле Flags. В других ситуациях поле Flags остаётся без изменений.</p> <p>Арифметические операции, которые приводят к возникновению FPU исключения (бит в Enables установлен), не изменяют состояния бит в поле Flags.</p> <p>У этого поля нет аппаратного сброса, оно должно явно сбрасываться программой.</p> <p>Значение каждого бита данного поля представлено в Таблица 3.5.</p>	R/W	Не определено
RM	1:0	<p>Режим округления. Обозначает режим округления, который используется большинством операций в формате с плавающей точкой (некоторые операции используют специфический режим округления).</p> <p>Возможные кодировки этого поля представлены в Таблица 3.6.</p>	R/W	Не определено

Поля FCC, FS, Cause, Enables, Flags и RM в регистрах FCSR, FCCR, FEXR и FENR всегда обозначают правильные состояния. Это означает что, если новое значение поля записывается в FCSR регистр, то это новое значение можно прочитать в соответствующем альтернативном регистре FCCR, FEXR или FENR. И наоборот, записав новое значение поля в альтернативный регистр, его можно прочитать в FCSR регистре.

Таблица 3.5. Описание бит в полях Cause, Enables и Flags

Имя бита	Значение бита
E	Нереализованная операция (Unimplemented Operation) Этот бит существует только в поле Cause
V	Недействительная операция (Invalid Operation)
Z	Деление на ноль (Divide by Zero)
O	Переполение (Overflow)
U	Потеря значимости (Underflow)
I	Неточность (Inexact)

Таблица 3.6. Описание режимов округления

Кодировка поля RM	Описание
0	<p>RN – округление к ближайшему (round to nearest)</p> <p>Округление результата к ближайшему представимому значению. Когда два представимых значения одинаково близки, результат округляется к значению, чей наименее значащий бит равен 0 (чётный)</p>
1	<p>RTZ – округление к нулю (round towards zero)</p> <p>Округление результата к ближайшему значению, величина (модуль) которого не больше величины результата</p>

Кодировка поля RM	Описание
2	RP – округление к плюс бесконечности (round towards plus infinity) Округление результата к ближайшему значению не меньшему чем сам результат
3	RM – округление к минус бесконечности (round towards minus infinity) Округление результата к ближайшему значению не большему чем сам результат.

Регистр кодов условий (FCCR, CP1 Control Register 25)

Регистр кодов условий (Floating Point Condition Codes Register – FCCR) является альтернативным регистром для чтения и записи поля кодов условий FCC, которое также хранятся в регистре FCSR. В отличие от FCSR регистра, в регистре FCCR восемь бит поля FCC являются смежными. На Рисунок 3.9 представлен формат *FCSR* регистра, в Таблица 3.7 описаны поля этого регистра.

31 8	7 0
0000 0000 0000 0000 0000 0000	FCC
	7 6 5 4 3 2 1 0

Рисунок 3.9. Формат регистра FCCR

Таблица 3.7. Описание полей регистра FCCR

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
-	31:8	Не используются	0	0
FCC	7:0	Коды условий. Эти биты содержат результат выполнения FPU команд сравнения и используются в командах условных переходов и в командах условных перемещений данных. Какой FCC бит используется точно определено в команде перехода или перемещения. См. описание поля FCC в регистре <i>FCSR</i> в Таблица 3.4.	R/W	Не определено

Регистр исключений (FEXR, CP1 Control Register 26)

Регистр исключений (Floating Point Exceptions Register – FEXR регистр) является альтернативным регистром для чтения и записи полей Cause и Flags, которые также хранятся в регистре FCSR. На Рисунок 3.10 представлен формат *FEXR* регистра, в Таблица 3.8 описаны поля этого регистра.

31 18	17 16 15 14 13 12	11 7	6 5 4 3 2 1 0
0	Cause	0	Flags 0
	E V Z O U I		V Z O U I

Рисунок 3.10. Формат регистра FEXR

Таблица 3.8. Описание полей регистра FEXR

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
-	31:18, 11:7, 1:0	Не используются	0	0

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
Cause	17:12	Биты причины. Эти биты показывают исключительные ситуации, которые возникают во время выполнения FPU арифметических команд. См. описание поля Cause в регистре <i>FCSR</i> в Таблица 3.4.	R/W	Не определено
Flags	6:2	Флаговые биты. Это поле показывает любые исключительные ситуации, вызванные завершившимися командами со времени последнего программного сброса данного поля. См. описание поля Flags в регистре <i>FCSR</i> в Таблица 3.4.	R/W	Не определено

Регистр разрешения исключений (FENR, CP1 Control Register 28)

Регистр разрешения исключений (Floating Point Enable Register – *FENR регистр*) является альтернативным регистром для чтения и записи полей Enables, FS и RM, которые также хранятся в регистре *FCSR*. На Рисунок 3.11 представлен формат *FENR* регистра, в Таблица 3.9 описаны поля этого регистра.

31 12	11 10 9 8 7	6 3	2	1 0
0000 0000 0000 0000 0000		Enables	0000	FS RM
		V Z O U I		

Рисунок 3.11. Формат регистра *FENR*

Таблица 3.9. Описание полей регистра *FENR*

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
0	31:12, 6:3	Не используется	0	0
Enables	11:7	Биты разрешения соответствующего исключения при возникновении любой из пяти IEEE исключительных ситуаций. См. описание поля Enables в регистре <i>FCSR</i> в Таблица 3.4.	R/W	Не определено
FS	2	Сброс в ноль. Когда FS = 1, денормализованный результат операции сбрасывается в ноль вместо появления исключения «Нереализованная операция» (Unimplemented Operation). См. описание поля FS в регистре <i>FCSR</i> в Таблица 3.4.	R/W	Не определено
RM	1:0	Режим округления. Обозначает режим округления, который используется большинством операций с плавающей точкой. См. описание поля RM в регистре <i>FCSR</i> в Таблица 3.4.	R/W	Не определено

3.5.3 Исключения FPU

Формирование исключения

При возникновении исключения команда, вызвавшая его, а также все последующие команды не выполняются и не изменяют содержимого регистров FGR. При необходимости, после обработки исключения выполнение прерванного потока команд может быть возобновлено.

В поле *Cause* содержатся признаки исключений. Оно обновляется при выполнении каждой арифметической операции в формате с плавающей точкой. Признак устанавливается в 1, если возникает соответствующее условие исключения, иначе он устанавливается в 0.

Исключение возникает каждый раз, если одновременно признак поля *Cause* и соответствующий ему бит *Enable* установлены в 1. Это происходит или во время выполнения операции в формате с плавающей точкой или, при передаче данных в регистр FCSR по команде *move*. Бита *Enable* для Unimplemented Operation не существует, то есть исключение по этому условию возникает всегда.

Содержимое поля *Cause* используется в обработчике исключения. Перед выходом из обработчика исключения по операции в формате с плавающей точкой, или перед установкой бит поля *Cause* по команде *move*, необходимо сначала обнулить соответствующие биты *Enable*, для того, чтобы предотвратить повторное возникновение исключения.

Пользовательским программам не доступны биты поля *Cause*. Если эта информация необходима этим программам, то она должна быть доступна им другими путями, а не через регистр *Status*.

Если операция в формате с плавающей точкой устанавливает только неразрешенные биты поля *Cause*, то исключения не происходит, и записывается результат, определяемый стандартом IEEE (см. Таблица 3.10). Когда операция в формате с плавающей точкой не вызывает исключения, программа может контролировать условия исключения, считывая содержимое поля *Cause*.

Поле *Flag* – совокупная накопленная информация по условиям исключений. Команды, которые вызывают исключения, не обновляют биты поля *Flag*. Биты поля *Flag* устанавливаются в 1, если соответствующее условие исключения возникает, иначе биты остаются без изменения. Бита для условия исключения типа Unimplemented Operation в этом поле не предусмотрено. В результате выполнения операции в формате с плавающей точкой биты поля *Flag* никогда не сбрасываются, но могут быть установлены или сброшены (обнулены) при записи данных в регистр FCSR по команде *move*.

3.5.3.1 Условие исключений

В этом пункте описаны следующие пять условий исключения, определенных стандартом ANSI/IEEE Standard 754-1985:

- исключение по недопустимой операции (Invalid Operation Exception);
- исключение при делении на ноль (Division By Zero Exception);
- исключение по ложному переполнению (Underflow Exception);
- исключение по переполнению (Overflow Exception);
- неточное исключение (Inexact Exception).

Этот пункт также содержит описание исключения по нереализованной операции (unimplemented operation). Оно используется для сообщения о необходимости программной эмуляции команды. Обычно арифметическая операция IEEE может вызывать только одно условие исключения. Единственный случай, когда два исключения могут происходить в то же самое время, это Inexact With Overflow и Inexact With Underflow.

Под управлением программы, условие исключения IEEE может вызывать прерывание (trap) процессора или не вызывать его. Стандарт IEEE определяет результат операции при возникновении условия исключения для случая, когда прерывание процессора по этому

исключению не разрешено. Для этого случая результаты операций приведены в Таблица 3.10. При переполнении результат операции зависит от режима округления.

Таблица 3.10. Результаты операций при исключениях

Бит	Описание	Результат операции
V	Invalid Operation	Quiet NaN
Z	Divide by Zero	Properly signed infinity
U	Underflow	Округленный результат (Rounded result)
I	Inexact	Округленный результат. Если это исключение вызвано переполнением (Overflow) при неразрешенном прерывании, то формируется результат с переполнением.
O	Overflow	Зависит от режима округления: 0 (RN) – infinity со знаком промежуточного результата; 1 (RZ) – format’s infinity со знаком промежуточного результата; 2 (RP) – при положительном переполнении – positive infinity. При отрицательном переполнении - format’s most negative infinity; 3 (RM) – при положительном переполнении – format’s largest finite number. При отрицательном переполнении – minus infinity.

3.5.3.2 Исключение по недопустимой операции

Это исключение возникает, если один или оба операнда недопустим для выполняемой операции.

Недопустимые операции:

один или оба операнда являются NaN (за исключением не арифметических команд MOV.fmt, MOVT.fmt, MOVF.fmt, MOVN.fmt, и MOVZ.fmt);

сложение или вычитание: вычитание бесконечных величин, таких как $(+\infty) + (-\infty)$ или $(-\infty) - (-\infty)$;

умножение: $0 * \infty$, с любыми знаками;

деление: $0/0$ или ∞ / ∞ , с любыми знаками;

квадратный корень: операнд меньше чем 0 (-0 является допустимым значением);

преобразование числа в формате с плавающей запятой к формату с фиксированной запятой, если возникает переполнение, или значение операнда равное infinity или NaN препятствуют точному представлению данных в необходимом формате;

некоторые операции сравнения, в которых один или оба операнда имеют значение QNaN.

3.5.3.3 Исключение при делении на ноль

Это исключение возникает, если делитель равен нулю, а делимое является конечным числом, отличным от нуля. Результат, когда не возникает прерывания, равен бесконечности. Деление $(0/0)$ и $(\infty/0)$ не приводят к исключению. При делении $(0/0)$ возникает исключение по недопустимой операции. Результат $(\infty/0)$ – бесконечность со знаком.

3.5.3.4 Исключение по ложному переполнению (потеря значимости)

Два связанных события могут повлиять на возникновение ложного переполнения:

близость результата к нулю (tininess): создание бесконечно малого результата отличного от нуля, находящегося в промежутке между $\pm 2^{E_{\min}}$, который из-за своей малой величины

может вызывать впоследствии какое-либо другое исключение, например, как переполнение при делении;
потеря точности: экстраординарная потеря точности во время аппроксимации таких малых чисел ненормированными числами.

Стандарт IEEE определяет, что «близость результата к нулю» может быть обнаружена в любой из следующих моментов времени:

после округления, когда не нулевой результат получен из предположения неограниченности диапазона экспоненты и находится строго между $\pm 2^{E_{\min}}$;

пред округлением, когда не нулевой результат получен из предположения неограниченности, как диапазона экспоненты, так и точности, и находится строго между $\pm 2^{E_{\min}}$.

В FPU близость результата к нулю обнаруживается после округления.

Стандарт IEEE определяет, что потеря точности может быть получена в результате любого из следующих условий:

нарушение нормализации (denormalization), когда полученный результат отличается от вычисленного без ограничений диапазона экспоненты;

неточный результат (inexact result), когда полученный результат отличается от вычисленного без ограничений диапазона экспоненты и точности.

В FPU потеря точности формируется, если получен неточный результат.

Если прерывание процессора при ложном переполнении не разрешено, признак U вырабатывается, когда обнаруживается одновременно и близость к нулю и потеря точности. При этом, результат может быть нулевым, ненормализованным или $2^{E_{\min}}$.

Если прерывание процессора при ложном переполнении разрешено, признак U вырабатывается, когда обнаруживается только близость к нулю, вне зависимости от потери точности.

3.5.3.5 Исключение при переполнении

Это исключение возникает, когда величина округленного результата в формате с плавающей запятой (где диапазон экспоненты не ограничен) больше, чем наибольшее конечное число результирующего формата (destination format's largest finite number).

Если прерывание процессора при переполнении не разрешено, результат определяется режимом округления и знаком промежуточного результата.

3.5.3.6 Неточное исключение

Неточное исключение возникает, если:

округленный результат операции не является точным;

округленный результат операции вызывает переполнение, а прерывание по переполнению не разрешено.

3.5.3.7 Исключение по нереализованной операции

Это исключения не регламентировано стандартом IEEE. Операции, которые не полностью поддерживаются аппаратурой, вызывают исключение, для того, чтобы программное обеспечение могло выполнить соответствующую операцию.

Для этого условия исключения не предусмотрено разрешающего бита, то есть прерывание процессора возникает всегда. После того, как соответствующее эмулирование будет выполнено, прерванная программа возобновляется.

3.5.4 Время выполнения команд FPU

Время выполнения команд в формате с плавающей точкой приведено в Таблица 3.11.

Таблица 3.11. Время выполнения команд FPU

Команда	Время выполнения, такты
BC1F, BC1T, FLOOR, ROUND, TRUNC	1
CFC1, CTC1, MFC1, MOVF	1
CVT.S, CVT.D, CEIL	2
ABS, ADD, SUB, MULL, NEG	3
SQRT.S/SQRT.D	6/15
DIV.S/DIV.D	11/16

3.6 Устройство управления памятью (MMU)

3.6.1 Введение

Процессорное ядро содержит устройство управления памятью (MMU), реализующее интерфейс между устройством исполнения и контроллером кэш. MMU преобразует виртуальный адрес в физический прежде, чем посылает запрос контроллеру кэш для сравнения тэга или блоку шинного интерфейса для доступа к внешнему запоминающему устройству. Это преобразование является очень полезным свойством функционирования операционных систем при управлении физической памятью таким образом, чтобы в ней размещались несколько процессов, активных в одной и той же области памяти, и может быть даже на одном виртуальном адресе, но обязательно в различных областях физической памяти. Другие свойства MMU - защита зон памяти и определение протокола кэш.

MMU может выполнять преобразование адресов в двух режимах: в режиме TLB и в режиме FM. Режим преобразования определяется битом FM регистра CSR.

В режиме TLB используется полностью ассоциативная таблица преобразования адресов (TLB), имеющая 16 парных строк (entries). Во время преобразования осуществляется поиск соответствия по TLB. Если искомая строка отсутствует, генерируется прерывание.

В режиме FM (Fixed Mapped) работа MMU основана на простом алгоритме, обеспечивающем преобразование виртуального адреса в физический посредством механизма фиксированного отображения. Правила преобразования отличаются для различных областей виртуального адресного пространства (useg/kuseg, kseg0, kseg1, kseg2, kseg3).

На Рисунок 3.12 показано, взаимодействие MMU с процедурой доступа к кэш в режиме TLB, а на Рисунок 3.13 – в режиме FM.

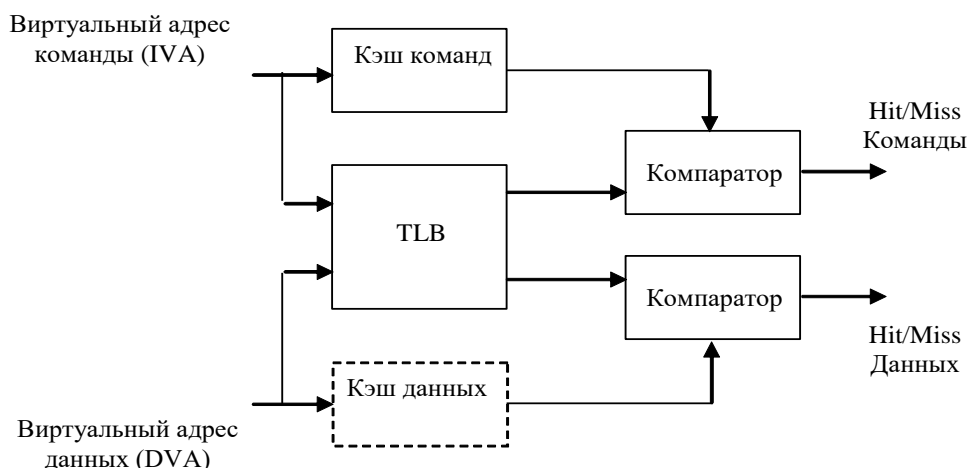


Рисунок 3.12

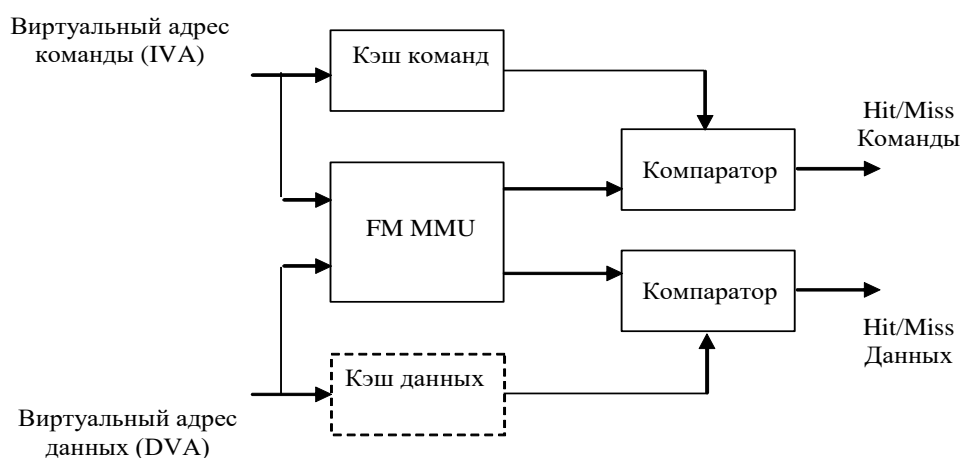


Рисунок 3.13

3.6.2 Режимы работы

Процессорное ядро поддерживает два режима работы:
 режим User (непривилегированный режим);
 режим Kernel (привилегированный режим).

Режим User в основном используется для прикладных программ. Режим Kernel обычно используется для обработки исключительных ситуаций и привилегированных функций операционной системы, включая управление сопроцессором CP0 и доступ к устройствам ввода-вывода.

Преобразования, выполняемые MMU, зависят от режима работы процессора.

Виртуальные сегменты памяти

Виртуальные сегменты памяти, на которые делится адресное пространство, различаются в зависимости от режима работы процессора. На Рисунок 3.14 показана сегментация для 4 Гбайт (2^{32} байт) виртуального адресного пространства, адресуемого 32-разрядным виртуальным адресом для обоих режимов работы.

Ядро входит в режим Kernel после аппаратного сброса, или когда происходит исключение. В режиме Kernel программное обеспечение имеет доступ к полному адресному пространству и ко всем регистрам CP0. В режиме User доступ ограничен подмножеством виртуального адресного пространства (0x0000_0000 - 0x7FFF_FFFF) и запрещен доступ к функциям CP0. В режиме User недоступны виртуальные адреса 0x8000_0000 – 0xFFFF_FFFF и обращение к ним вызывает исключение.

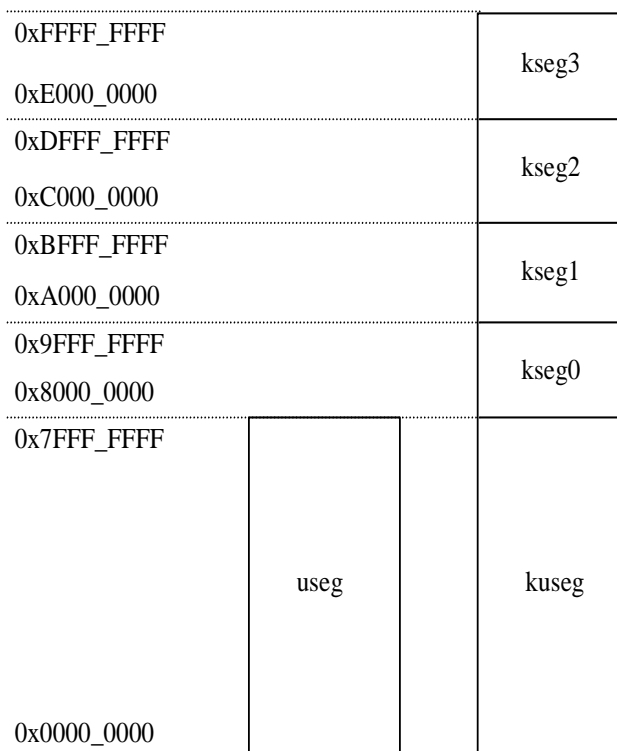


Рисунок 3.14. Карта виртуальной памяти для режимов User и Kernel

Каждый из сегментов, показанных на Рисунок 3.14, является либо отображаемым (mapped), либо неотображаемым (unmapped). Различие объясняется в следующих двух разделах.

Неотображаемые сегменты

В неотображаемом сегменте механизмы TLB или FM для преобразования виртуального адреса в физический адрес не используются. Особенно важно иметь неотображаемые сегменты памяти после аппаратного сброса, потому что TLB еще не запрограммировано и не может осуществлять преобразования.

Для неотображаемых сегментов преобразование виртуального адреса в физический является фиксированным.

Все неотображаемые сегменты, за исключением kseg0, никогда не кэшируемы. Кэшируемость kseg0 определяется полем K0 регистра Config CP0.

Отображаемые сегменты

В отображаемом сегменте для преобразования виртуального адреса в физический адрес используются TLB или FM.

В режиме TLB преобразование отображаемых сегментов имеет страничную основу. При преобразовании выявляется информация о кэшируемости страницы, а также атрибуты защиты, относящиеся к странице.

Для режима FM отображаемые сегменты имеют закрепленное преобразование виртуального адреса в физический. Кэшируемость сегмента определяется значениями

полей K23 и KU регистра Config CP0. При FM-преобразовании невозможна защита сегментов от записи.

Режим User

В режиме User доступно однородное виртуальное адресное пространство размером 2 Гбайт (байт), называемое сегментом пользователя.

На Рисунке 3.15 показано размещение виртуального адресного пространства режима User.

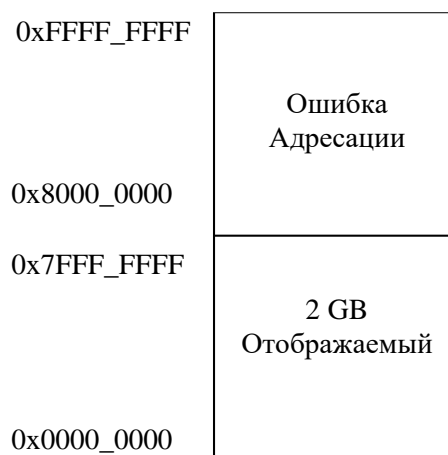


Рисунок 3.15

Сегмент потребителя начинается с адреса 0x0000_0000 и заканчивается адресом 0x7FFF_FFFF. Обращения по всем остальным адресам вызывают прерывания по ошибке адресации.

Процессор находится в режиме User, если в регистре Status CP0 установлены следующие значения разрядов:

UM = 1;

EXL = 0;

ERL = 0.

В Таблица 3.12 приводятся характеристики сегмента useg режима User.

Таблица 3.12

Адрес	Регистр Состояния			Имя сегмента	Диапазон адресов	Размер сегмента
	EXL	ERL	UM			
A(31) = 0	0	0	1	useg	0x0000_0000 → 0x7FFF_FFFF	2GB (2^{31} байт)

Для всех допустимых виртуальных адресов режима User старший значащий бит адреса равен нулю, поскольку в режиме User допустимо обращение только к нижней половине карты виртуальной памяти. Любая попытка обращения по адресу со старшим битом, равным 1, в режиме User вызывает прерывание по ошибке адресации.

В режиме TLB виртуальный адрес перед преобразованием расширяется содержимым 8-разрядного поля ASID, образуя уникальный виртуальный адрес. Кэшируемость ссылки для страницы в этом режиме определяется установкой определенных бит строки TLB.

В режиме FM, область виртуальных адресов 0x0000_0000-0x7FFF_FFFF преобразуется в область физических адресов 0x4000_0000-0xBFFF_FFFF. Кэшируемость задается полем KU регистра Config CP0.

Режим Kernel

Процессор находится в режиме Kernel, когда регистр Status CP0 содержит хотя бы одно из следующих значений:

UM = 0;

ERL = 1;

EXL = 1.

Когда обнаруживается исключение, биты EXL или ERL устанавливаются, и процессор входит в режим Kernel. При завершении процедуры обработки исключения обычно выполняется команда возвращения из исключения (ERET). Команда ERET осуществляет переход по PC исключения, очищает ERL и EXL (если ERL=0). В результате возможен возврат процессора в режим User.

Виртуальное адресное пространство режима Kernel разделено на области в соответствии со значением старших битов виртуального адреса, как показано на Рисунок 3.16. Кроме того, в Таблица 3.13 содержатся характеристики сегментов режима Kernel.

0xFFFF_FFFF	Kernel virtual address space Mapped, 512 MB	kseg3
0xE000_0000		
0xDFFF_FFFF	Kernel virtual address space Mapped, 512 MB	kseg2
0xC000_0000		
0xBFFF_FFFF	Kernel virtual address space Unmapped, Uncached, 512 MB	kseg1
0xA000_0000		
0x9FFF_FFFF	Kernel virtual address space Unmapped, 512 MB	kseg0
0x8000_0000		
0x7FFF_FFFF	Mapped, 2048 MB	kuseg
0x0000_0000		

Рисунок 3.16

Таблица 3.13

Адрес	Регистр Состояния			Имя сегмента	Диапазон адресов	Размер сегмента
	EXL	ERL	UM			
A(31) = 0	UM = 0			kuseg	0x0000_0000 → 0x7FFF_FFFF	2 GB (2 ³¹)

Адрес	Регистр Состояния			Имя сегмента	Диапазон адресов	Размер сегмента
	EXL	ERL	UM			
$A(31:29) = 100_2$	или			kseg0	0x8000_0000 → 0x9FFF_FFFF	512 MB (2^{29})
$A(31:29) = 101_2$	EXL=1	или		kseg1	0xA000_0000 → 0xBFFF_FFFF	512 MB (2^{29})
$A(31:29) = 110_2$	ERL=1			kseg2	0xC000_0000 → 0xDFFF_FFFF	512 MB (2^{29})
$A(31:29) = 111_2$				kseg3	0xE000_0000 → 0xFFFF_FFFF	512 MB (2^{29})

Режим Kernel, Пространство пользователя (kuseg)

Если старший значащий бит виртуального адреса $A[31] = 0$, то выбирается виртуальное адресное пространство kuseg объемом 2 Гбайт, отображенное на адреса 0x0000_0000 - 0x7FFF_FFFF.

При $ERL = 0$ в режиме TLB виртуальный адрес расширяется 8-битным значением поля ASID для образования уникального виртуального адреса. Кэшируемость определяется полем C строки TLB.

При $ERL = 0$ в режиме FM, область виртуальных адресов 0x0000_0000-0x7FFF_FFFF преобразуется в область физических адресов 0x4000_0000-0xBFFF_FFFF. Кэшируемость задается полем KU регистра Config CP0.

При $ERL = 1$ в режимах TLB и FM, область адресов пользователя становится неотображаемым и некэшируемым адресным пространством. Виртуальный адрес kuseg соответствует тому же физическому адресу и не включает поле ASID. То есть, область виртуальных адресов kuseg соответствует области физических адресов 0x0000_0000-0x7FFF_FFFF.

Режим Kernel, пространство 0 режима Kernel (kseg0)

Если в режиме Kernel три старших бита виртуального адреса равны, выбирается виртуальное адресное пространство kseg0. Это область размером 2^{29} байт (512 MB), которая расположена внутри границ, определяемых адресами 0x8000_0000 и 0x9FFF_FFFF.

Вне зависимости от состояния бита ERL и режима работы ссылки к kseg0 не отображаются, а физический адрес получается вычитанием 0x8000_0000 из виртуального адреса. Кэшируемость сегмента kseg0 определяется значением поля K0 регистра Config CP0.

Режим Kernel, пространство 1 режима Kernel (kseg1)

Если в режиме Kernel три старших бита виртуального адреса равны, выбирается виртуальное адресное пространство kseg1. Это область размером 2^{29} байт (512 MB), которая расположена внутри границ, определяемых адресами 0xA000_0000 и 0xBFFF_FFFF.

Вне зависимости от состояния бита ERL и режима работы ссылки к kseg1 не отображаются, а физический адрес получается вычитанием 0xA000_0000 из виртуального адреса.

Режим Kernel, пространство 2 режима Kernel (kseg2)

Если в режиме Kernel три старших бита виртуального адреса равны, выбирается виртуальное адресное пространство kseg2.

В режиме TLB вне зависимости от состояния бита ERL это виртуальное пространство отображается через TLB и его кэшируемость определяется полем C строки TLB.

В режиме FM вне зависимости от состояния бита ERL это виртуальное пространство зафиксировано в физических адресах 0xC000_0000 - 0xDFFF_FFFF и его кэшируемость определяется полем K23 Регистра Config CP0.

Режим Kernel, пространство 3 режима Kernel (kseg3)

- Если в режиме Kernel три старших бита виртуального адреса равны, выбирается 32-разрядное виртуальное адресное пространство kseg3.
- В режиме TLB вне зависимости от состояния бита ERL это пространство отображается через TLB и его кэшируемость определяется полем C строки TLB.
- В режиме FM вне зависимости от состояния бита ERL это виртуальное пространство зафиксировано в физических адресах 0xE000_0000 – 0xFFFF_FFFF и его кэшируемость определяется полем K23 регистра Config.

3.6.3 Буфер быстрого преобразования адреса (TLB)

В этой главе описывается управление памятью с помощью буфера быстрого преобразования адреса (TLB), которое осуществляется в режиме TLB.

В режиме TLB реализуется полностью ассоциативный буфер быстрого преобразования адреса (TLB), содержащий 16 двойных строк, позволяющих отображать 32 виртуальных страницы в соответствующие физические адреса. TLB организовано в виде 16 парных строк – четных и нечетных, содержащих адреса страниц размером от 4 Кбайт до 16 Мбайт, которые хранятся в 4 Гбайтном физическом адресном пространстве. Задача TLB состоит в преобразовании виртуальных адресов и их соответствующего идентификатора адресного пространства (ASID) в физический адрес памяти. Преобразование выполняется путем сравнения старших разрядов виртуального адреса (вместе с битами поля ASID) с каждой из строк тэговой порции TLB и иначе называется поиском соответствия по TLB (поиском соответствия тэга одной из строк виртуальному адресу на входе TLB).

Буфер TLB организован в виде страничных пар для минимизации общего количества хранящейся информации. Каждая строка тэговой порции соответствует двум физическим строкам данных – строке четных страниц и строке нечетных страниц. Самый старший разряд виртуального адреса, не участвующий в сравнении тэгов, определяет какая строка из двух строк данных используется. Поскольку размер страницы может варьироваться для каждой пары страниц, определение адресных разрядов, участвующих в сравнении и разряда, задающего четность страницы, должно осуществляться динамически при поиске по TLB.

На Рисунок 3.17 показано содержание одной из 16 двойных строк TLB.

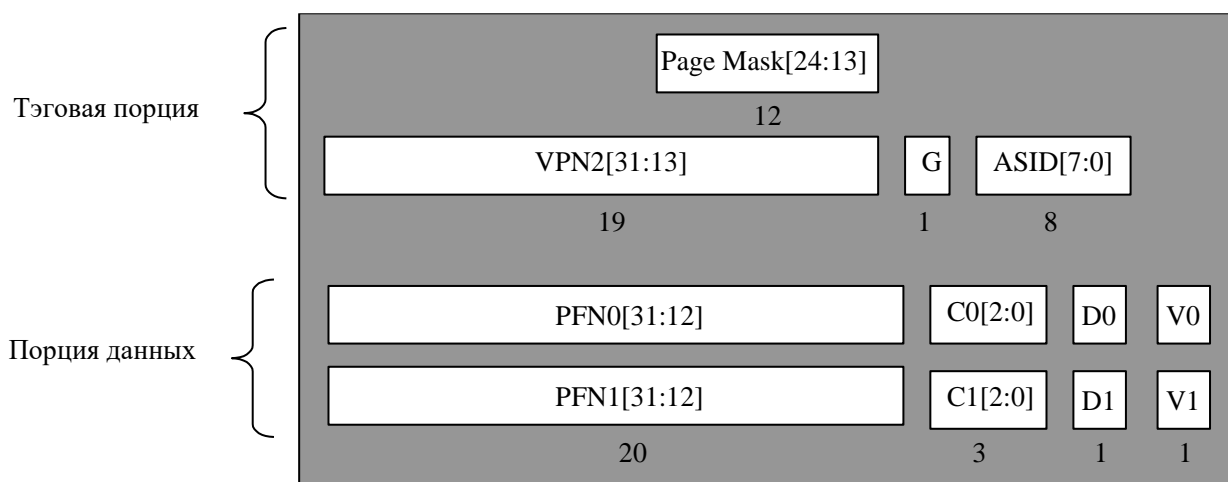


Рисунок 3.17

Описание полей строки TLB приведены в Таблица 3.14.

Таблица 3.14

Название поля	Описание																								
Page Mask[24:13]	<p>Значение маски размера страницы. Определяет размер страницы маской соответствующих разрядов VPN2, и тем самым исключением их из рассмотрения. Также используется для задания адресного разряда, определяющего четность страницы (PFN0-PFN1). См. следующую таблицу:</p> <table border="1"> <thead> <tr> <th>Page Mask[11:0]</th> <th>Размер страницы</th> <th>Бит определения четности</th> </tr> </thead> <tbody> <tr> <td>0000 0000 0000</td> <td>4 КБ</td> <td>VAddr[12]</td> </tr> <tr> <td>0000 0000 0011</td> <td>16 КБ</td> <td>VAddr[14]</td> </tr> <tr> <td>0000 0000 1111</td> <td>64 КБ</td> <td>VAddr[16]</td> </tr> <tr> <td>0000 0011 1111</td> <td>256 КБ</td> <td>VAddr[18]</td> </tr> <tr> <td>0000 1111 1111</td> <td>1 МБ</td> <td>VAddr[20]</td> </tr> <tr> <td>0011 1111 1111</td> <td>4 МБ</td> <td>VAddr[22]</td> </tr> <tr> <td>1111 1111 1111</td> <td>16 МБ</td> <td>VAddr[24]</td> </tr> </tbody> </table> <p>В столбце Page Mask приведены все возможные значения Page Mask. Поскольку каждая пара битов этого поля всегда имеет одинаковое значение, физическая строка в TLB содержит сокращенную версию Page Mask, содержащую только 6 бит. Однако для программы это значение всегда преобразуется в 12-битное.</p> <p>Следует иметь в виду, что при кэшируемых ссылках, страницы размером 4 Кбайт использовать нельзя.</p>	Page Mask[11:0]	Размер страницы	Бит определения четности	0000 0000 0000	4 КБ	VAddr[12]	0000 0000 0011	16 КБ	VAddr[14]	0000 0000 1111	64 КБ	VAddr[16]	0000 0011 1111	256 КБ	VAddr[18]	0000 1111 1111	1 МБ	VAddr[20]	0011 1111 1111	4 МБ	VAddr[22]	1111 1111 1111	16 МБ	VAddr[24]
Page Mask[11:0]	Размер страницы	Бит определения четности																							
0000 0000 0000	4 КБ	VAddr[12]																							
0000 0000 0011	16 КБ	VAddr[14]																							
0000 0000 1111	64 КБ	VAddr[16]																							
0000 0011 1111	256 КБ	VAddr[18]																							
0000 1111 1111	1 МБ	VAddr[20]																							
0011 1111 1111	4 МБ	VAddr[22]																							
1111 1111 1111	16 МБ	VAddr[24]																							
VPN2[31:13]	Виртуальный номер страницы, поделенный на 2. Данное поле содержит старшие разряды виртуального номера страницы. Виртуальный номер разделен на 2 потому, что он соответствует паре страниц TLB. Разряды 31:25 всегда участвуют в сравнении. Участие в сравнении разрядов 24:13 зависит от размера страницы, задаваемого полем Page Mask.																								
G	Бит глобальности. Если он установлен, данная строка является глобальной для всех процессов и подпроцессов, и таким образом, поле ASID исключается из рассмотрения.																								
ASID[7:0]	Идентификатор адресного пространства. Определяет процесс или подпроцесс, с которым ассоциируется данная строка TLB.																								
PFN0[31:12], PFN1[31:12]	Физический номер кадра. Задаёт старшие разряды физического адреса. Для страниц размером более 4 Кбайт используется подмножество этого поля.																								

Название поля	Описание																		
C0[2:0], C1[2:0]	<p>Кэшируемость. Содержит закодированное значение атрибута кэшируемости и определяет должна ли страница помещаться в кэш или нет. Поле кодируется следующим образом:</p> <table border="1"> <thead> <tr> <th>C[2:0]</th> <th>Атрибуты когерентности</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>001</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>010</td> <td>Некэшируемая страница</td> </tr> <tr> <td>011</td> <td>Кэшируемая страница</td> </tr> <tr> <td>100</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>101</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>110</td> <td>При записи преобразуется в код 011</td> </tr> <tr> <td>111</td> <td>При записи преобразуется в код 010</td> </tr> </tbody> </table>	C[2:0]	Атрибуты когерентности	000	При записи преобразуется в код 011	001	При записи преобразуется в код 011	010	Некэшируемая страница	011	Кэшируемая страница	100	При записи преобразуется в код 011	101	При записи преобразуется в код 011	110	При записи преобразуется в код 011	111	При записи преобразуется в код 010
C[2:0]	Атрибуты когерентности																		
000	При записи преобразуется в код 011																		
001	При записи преобразуется в код 011																		
010	Некэшируемая страница																		
011	Кэшируемая страница																		
100	При записи преобразуется в код 011																		
101	При записи преобразуется в код 011																		
110	При записи преобразуется в код 011																		
111	При записи преобразуется в код 010																		
D0, D1	«Dirty» (Грязная страница) – бит разрешения записи. Показывает, что в страницу была сделана запись и/или разрешена запись в данную страницу. Если этот бит установлен, разрешены операции сохранения в данной странице. Если не установлен, сохранения в данной странице будут вызывать исключения модификации.																		
V0, V1	Бит валидности. Показывает, что данная строка TLB и, соответственно, отображение виртуальной страницы, действительны. Если этот бит установлен, то обращения к данной странице разрешены. Если не установлен, то обращения к странице будут вызывать исключения TLB (TLB invalid).																		

Для заполнения строки TLB используются команды TLBWI и TLBWR (см. документ «Процессорное ядро RISCore32. Система команд»). Перед запуском этих команд нужно обновить некоторые регистры CP0, записав в них значения, которые будут затем помещены в строку TLB.

значение Page Mask задается в регистре Page Mask CP0;

значения VPN2 и ASID задаются в регистре EntryHi CP0;

значения PFN0, C0, D0, V0 и G задаются в регистре EntryLo0 CP0;

значения PFN1, C1, D1, V1 и G задаются в регистре EntryLo1 CP0.

Биты глобальности G входят в оба регистра EntryLo0 и EntryLo1. Бит G строки TLB является результатом логической операции «И», проведенной над битами глобальности из EntryLo0 и EntryLo1. Более подробно эти регистры описаны в разделе 2.7 «Регистры CP0».

Наличие идентификатора адресного пространства (ASID) дает возможность уменьшить частоту попаданий при поисках по TLB на контекстной основе. Это определяет возможность одновременного существования нескольких процессов как в TLB, так и в кэш команд. Значение ASID хранится в регистре EntryHi и сравнивается со значением ASID каждой строки.

3.6.4 Преобразование виртуального адреса в физический в режиме TLB.

Преобразование виртуального адреса в физический начинается со сравнения полученного виртуального адреса с виртуальными адресами, хранящимися в TLB. Соответствие имеет место, если виртуальный номер страницы (VPN) адреса совпадает с полем VPN строки TLB с учетом маски, хранящейся в этой строке, а также выполняется одно из двух условий:

установлен бит глобальности (G) для четных и нечетных страниц в строке TLB;

поле ASID виртуального адреса совпадает с полем ASID строки TLB.

Это соответствие называется попаданием TLB. Если не имеется ни одного соответствия, возникает исключение промаха TLB и программному обеспечению дается возможность пополнить TLB из расположенной в памяти таблицы страниц виртуальных /физических адресов. На Рисунок 3.18 показана логика преобразования виртуального адреса в физический.

На этом рисунке виртуальный адрес расширяется 8-разрядным идентификатором адресного пространства (ASID), который уменьшает частоту попаданий при просмотрах TLB на контекстной основе. Это 8-разрядное поле ASID содержит номер, присвоенный процессу, и хранится в регистре EntryHi CP0.

1. Виртуальный адрес (VA), представленный виртуальным номером страницы (VPN), сравнивается с тэгом из строки TLB (VPN2) с учетом маски (PageMask).
2. Если имеется соответствие, номер страничного кадра (PFN0 или PFN1, в зависимости от значения бита четности – самого старшего бита, не участвующего в сравнении) извлекается и помещается в старшие разряды физического адреса (PA)
3. В младшие разряды физического адреса помещается смещение (Offset), не участвующее в сравнении.

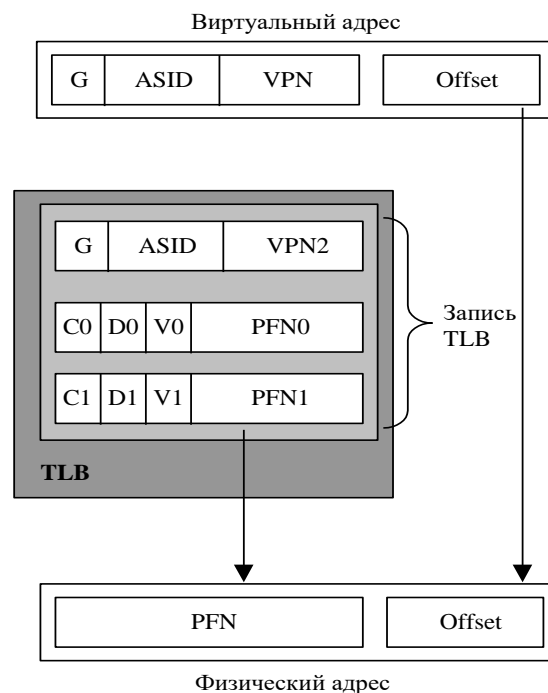


Рисунок 3.18

Когда происходит совпадение виртуальных адресов при поиске по TLB, физический номер кадра (PFN) извлекается из соответствующей физической порции строки TLB и дополняется смещением, взятым из виртуального адреса, формируя, таким образом, физический адрес. Смещение представляет собой адрес в пределах пространства страничного кадра. Как показано на рисунке, смещение не пропускается через TLB.

На Рисунок 3.19 показана блок-схема процесса преобразования адреса. В верхней части рисунка показан виртуальный адрес для страницы размером 4 Кбайт. Ширина поля смещения определяется размером страницы.

В нижней части рисунка показан виртуальный адрес для страницы размером 16 Мбайт.

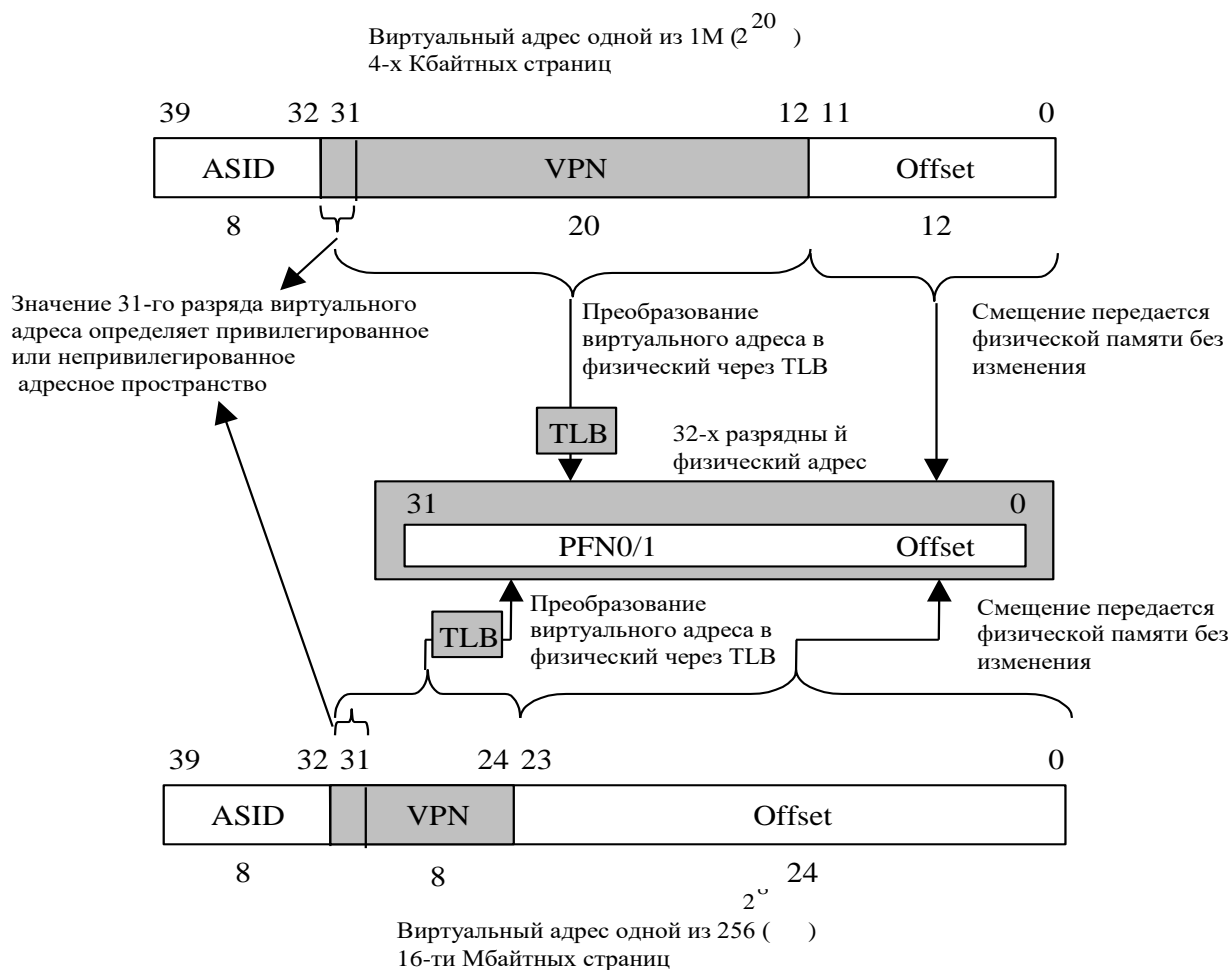


Рисунок 3.19

3.6.4.1 Попадания (hits), промахи (misses), и множественные попадания (multiple matches)

Каждая строка TLB содержит тэг и два поля данных. Если найдено соответствие, старшие разряды виртуального адреса заменяются физическим номером кадра (PFN), хранящимся в соответствующей строке массива данных TLB. Способ разбиения памяти при отображении определяется в терминах TLB-страниц. TLB поддерживает страницы различных размеров в пределах от 4 КБ до 16 МБ с шагом по степеням 4. Если соответствие найдено, но строка является запрещенной (т.е., бит V в поле данных равен 0), выработывается исключение TLB Invalid.

Если соответствие не найдено, возникает исключение TLB Refill, и программное обеспечение пополняет TLB из таблицы страниц, находящейся в памяти. На Рисунок 3.20 показан алгоритм преобразования и условия возникновения исключений TLB.

Программное обеспечение может делать записи в конкретные строки TLB или использовать аппаратный механизм записи в случайно выбранные строки. Регистр Random определяет, в какую строку будет сделана запись командой TLBWR. Этот регистр декрементируется на каждом такте продвижения конвейера, возвращаясь к максимальному значению после достижения величины, равной значению регистра Wired. Таким образом, строки TLB, чей номер меньше значения регистра Wired, не затрагиваются командой TLBWR, что позволяет зарезервировать TLB-отображения первостепенной важности.

В режиме TLB также реализован механизм сравнения при записи с целью предотвращения возникновения нескольких соответствий (множественных попаданий). Работает он следующим образом. При выполнении операции записи в TLB, поле VPN2 сравнивается с одноименными полями всех строк TLB. Если будет найдено соответствие, возникнет аппаратно обрабатываемое исключение, которое установит бит TS регистра Status CP0 и прервет эту операцию. Подробно исключения описаны в п. 3.7. В каждой строке TLB имеется скрытый бит, обнуляемый при аппаратном сбросе. Устанавливается этот бит при записи в данную строку, разрешая просмотр этой строки при поисках соответствий. Поэтому непроинициализированные строки не вызывают неадекватные преобразования адресов.

Замечание: этот скрытый бит инициализации приводит все строки TLB к запрещенному состоянию после аппаратного сброса, что делает ненужной процедуру очистки (flush) TLB. Но для совместимости с другими MIPS – процессорами рекомендуется заполнять значения тэгов уникальными величинами и обнулять бит валидности (V).

Очистить строку TLB (вывести ее из рассмотрения при поиске) можно, записав в нее значение с неотображаемым через TLB адресом.

Смена размера маски или других переменных строки TLB не приводит к исключению, если она не вводит в противоречие данной строки с другими строками. Например, увеличение размера страницы расширением маски в одной строке TLB может привести к перекрытию данной страницы с другими страницами TLB.

3.6.4.2 Размеры страниц и алгоритм замещения

Для управления общим количеством отображаемого адресного пространства и характеристиками замещения в различных областях памяти ядро обеспечивает два механизма. Первый заключается в том, что размер страницы может быть задан относительно каждой строки TLB, что позволяет отображать страницы размером от 4 Кбайт до 16 Мбайт (по степеням 4). В регистр Page Mask CP0 загружается требуемый размер страницы, который при выполнении операции записи попадает в очередную строку TLB. Таким образом, операционная система может задавать отображения особых назначений. Например, характерный кадровый буфер (frame buffer) может быть отображен на память всего одной строкой TLB.

Второй механизм управляет замещением, когда возникает промах при просмотре TLB. Для выбора строки TLB, в которую будет записано новое отображение, в процессорном ядре предусмотрен алгоритм случайного замещения. Но существует также способ программно предотвратить случайное замещение зарезервированных отображений, количество которых определяется значением регистра Wired CP0. (см. также п. 3.8.3.6).

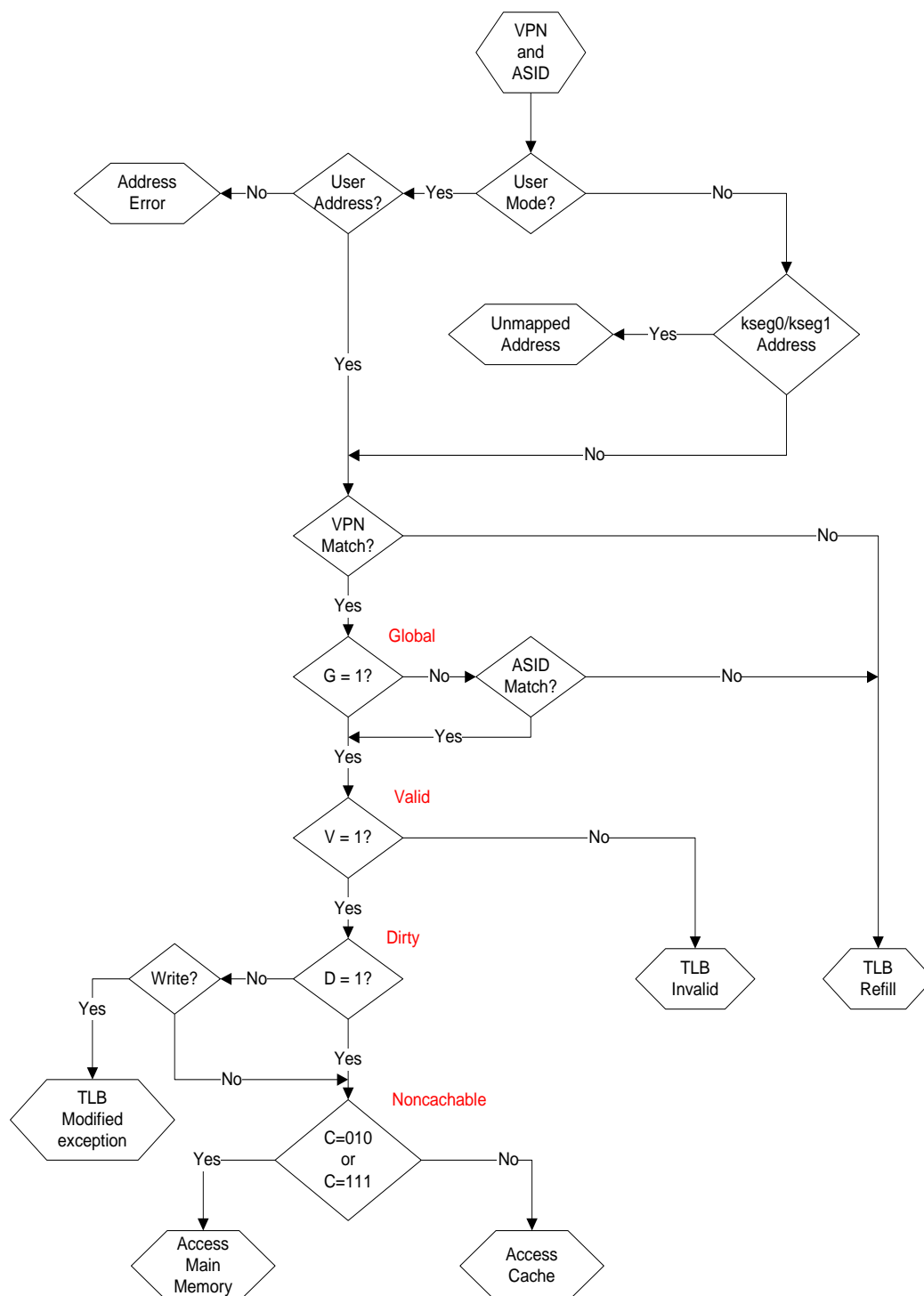


Рисунок 3.20. Алгоритм преобразования адреса через TLB

3.7 Исключения

Процессорное ядро способно принимать исключения от ряда источников, в том числе промах буфера преобразования адресов (TLB), арифметические переполнение, прерывание ввода-вывода, и системные вызовы. Обнаружив одно из этих исключений, CPU приостанавливает нормальную последовательность исполнения команд и процессор входит в режим Kernel.

В режиме Kernel ядро отключает прерывания и вынуждает процессор запустить программу обработчика исключений, расположенную в фиксированных адресах памяти. Обработчик сохраняет контекст процессора – содержимое счетчика команд, текущий режим процессора и статус разрешения прерываний. Таким образом, контекст может быть восстановлен по завершению обработки исключения.

При возникновении исключения в регистр Exception Program Counter (EPC) загружается адрес, начиная с которого исполнение команд может возобновиться после завершения обработки исключения. В регистр EPC помещается адрес команды, вызвавшей исключение или, если команда находилась в слоте задержки перехода, адрес команды перехода, предшествующей слоту задержки. Чтобы различить эти ситуации, программное обеспечение должно проанализировать бит BD (branch delay) в регистре Cause CP0.

3.7.1 Условия исключений

Исключения обрабатываются на стадии M конвейера. Когда исключительная ситуация обнаруживается, команда, находящаяся на стадии M, и все команды, следующие за ней на конвейере, отменяются. Соответственно, все условия остановки конвейера, относящиеся к этой команде, а также условия последующих исключений, которые также могут относиться к ней, игнорируются, поскольку обслуживание приостановок для отмененной команды не приносит выигрыша.

Когда условие исключения обнаруживается на стадии M, процессор заполняет необходимые регистры CP0 значениями, относящимися к состоянию исключения, изменяет счетчик команд (PC) на адрес соответствующего вектора обработки исключения и очищает признаки исключения, относящиеся к более ранним стадиям конвейера.

Такая реализация позволяет завершить исполнение команды, находящейся на стадии W, и запретить завершение последующих команд. Таким образом, значения, сохраненного в регистре EPC (в случае ошибок – в Error PC), достаточно для возобновления исполнения. Это также обеспечивает поступление исключений в соответствии с порядком исполнения команд – команда, вызывающая исключение, может быть уничтожена командой с более поздней стадии конвейера, также вызвавшей исключение.

3.7.2 Приоритеты исключений

В Таблица 3.15. перечислены все возможные исключения со своими относительными приоритетами от высшего к низшему. Некоторые из этих исключений могут случаться одновременно, в этом случае вызывается исключение с наивысшим приоритетом.

Таблица 3.15

Исключение	Описание
Reset	Аппаратный сброс
NMI	Внешнее немаскируемое прерывание и прерывание от таймера WDT (см. Таблица 6.2).
TLB_Ri, TLB_Ii	Промех TLB при выборке команды, Попадание в запрещенную страницу TLB (V = 0) при выборке команды
AdELi	Ошибка выравнивания адреса при выборке команды; Ссылка на адрес режима Kernel при работе в режиме User при выборке команды

Исключение	Описание
MCheck	Запись в TLB, создающая конфликт с существующей строкой TLB
Sys	Выполнение команды SYSCALL
Bp	Выполнение команды BREAK
SpU	Выполнение команды сопроцессора в режиме User
RI	Выполнение зарезервированной команды
Ov	Переполнение в арифметической команде
Tr	Выполнение trap (когда условие trap истинно)
AdELd	Ошибка выравнивания адреса при загрузке данных;
AdES	Ссылка на адрес режима Kernel при работе в режиме User при загрузке данных Ошибка выравнивания адреса при сохранении данных; Попытка сохранения по адресу Kernel в режиме User
TLB_Rd, TLB_Id	Промех TLB при загрузке данных; Попадание в запрещенную страницу TLB (V = 0) при загрузке данных
TLB_M	Сохранение в TLB-странице с D = 0
Interrupt	Установка немаскируемых HW или SW - прерываний

3.7.3 Расположение векторов исключений

Векторы исключений аппаратного сброса и NMI всегда находятся по адресу 0xBFC_0000. Адреса всех других исключений являются комбинациями векторных смещений и базового адреса. В Таблица 3.16 приведены базовые адреса как функции исключения и состояния бита BEV Регистра Status. В Таблица 3.17. приведены смещения от базового адреса как функции исключения. В Таблица 3.18 эти две таблицы сведены в одну таблицу, содержащую все возможные адреса векторов исключений как функции состояний, влияющих на выбор этих векторов.

Таблица 3.16

Исключение	Status _{BEV}	
	0	1
Reset, NMI	0xBFC0_0000	
Остальные исключения	0x8000_0000 при TR_CRAM = 0 регистра CSR (Таблица 2.10); 0xB800_0000 при TR_CRAM = 1 регистра CSR	0xBFC0_0200

Таблица 3.17. Базовые адреса векторов исключений

Исключение	Смещение вектора
TLB Refill, EXL = 0	0x000
Reset, NMI	0x000
Исключения общего характера (General Exeptions)	0x180
Interrupt, Cause _{IV} = 1	0x200

Таблица 3.18. Векторы исключений

Исключение	BEV	EXL	IV	Вектор
Reset, NMI	-	-	-	0xBFC0_0000
TLB Refill	0	0	-	0x8000_0000
TLB Refill	0	1	-	0x8000_0180
TLB Refill	1	0	-	0xBFC0_0200
TLB Refill	1	1	-	0xBFC0_0380
Interrupt	0	0	0	0x8000_0180
Interrupt	0	0	1	0x8000_0200

Исключение	BEV	EXL	IV	Вектор
Interrupt	1	0	0	0xBFC0_0380
Interrupt	1	0	1	0xBFC0_0400
Остальные	0	-	-	0x8000_0180
Остальные	1	-	-	0xBFC0_0380

3.7.4 Обработка общих исключений

Кроме исключений аппаратного сброса и NMI, которые обслуживаются особым образом, обработка всех остальных исключений происходит в соответствии со следующим основным маршрутом:

если бит EXL Регистра Состояния (Status) очищен, в регистр EPC загружается значение PC, по которому выполнение программы будет перезапущено, и при необходимости устанавливается бит VD в Регистре Причины (Cause). Если команда не находится в слоте задержки перехода, бит VD в Регистре Причины будет очищен, а в регистр EPC загружается значение, соответствующее текущему PC. Если же команда находится в слоте задержки перехода, бит VD в Регистре Причины устанавливается в «1», и в EPC загружается значение, равное PC - 4. Если бит EXL в Регистре Состояния установлен, в регистр EPC ничего не загружается, и бит VD в Регистре Причины не модифицируется; в поля SE и ExcCode Регистра Причины загружаются значения, соответствующие исключению;

устанавливается бит EXL в Регистре Состояния (Status);
процессор стартует с вектора исключения.

Значение, загруженное в EPC, представляет собой адрес возврата из исключения и в обычной ситуации программе обработки исключения не требуется его модифицировать. Программе также не нужно просматривать бит VD в Регистре Причины, если не возникает потребность определить действительный адрес команды, вызвавшей исключение.

```
Operation:
if StatusEXL == 0 then
if InstructionInBranchDelaySlot then
EPC <= PC - 4
CauseBD <= 1
else
EPC <= PC
CauseBD <= 0
endif
if (ExceptionType == TLBRefill) then
vectorOffset <= 0x000
elseif (ExceptionType == Interrupt) and
(CauseIV == 1) then
vectorOffset <= 0x200
else
vectorOffset <= 0x180
endif
else
vectorOffset <= 0x180
endif
CauseCE <= FaultingCoprocesorNumber
CauseExcCode <= ExceptionType
StatusEXL <= 1
if (StatusBEV == 1) then
PC <= 0xBFC0_0200 + vectorOffset
else
PC <= 0x8000_0000 + vectorOffset
Endif
```

3.7.5 Исключения

В следующих разделах описаны все исключения в порядке, соответствующем Таблица 3.15.

3.7.5.1 Исключение по аппаратному сбросу (Reset Exception)

Это немаскируемое исключение, которое происходит при установке сигнала аппаратного сброса. Когда возникает исключение аппаратного сброса, процессор выполняет полную начальную инициализацию, то есть приводит автоматы к начальному состоянию и переводит процессор в состояние, из которого он может начать запуск команд, находящихся в некешируемой и неотображаемой области. После возникновения исключения аппаратного сброса состояние процессора не определено, за исключением следующего:

- регистр Random устанавливается в значение, равное количеству строк TLB - 1.
- регистр Wired устанавливается в 0;
- регистр Config устанавливается в свое начальное состояние (boot state);
- поля BEV, TS, NMI и ERL Регистра Status устанавливаются в заданные значения;
- в PC загружается значение 0xBFC0_0000 (виртуальный адрес).

Вектор исключения:

```

Reset (0xBFC0_0000)
Operation:
Random <= TLBEntries - 1
Wired <= 0
Config <= ConfigurationState
StatusBEV <= 1
StatusTS <= 0
StatusNMI <= 0
StatusERL <= 1
PC <= 0xBFC0_0000

```

3.7.5.2 Исключение по немаскируемому прерыванию (Non Maskable Interrupt – NMI Exception)

Немаскируемое прерывание возникает по положительному фронту входного сигнала NMI или при срабатывании сторожевого таймера WDT. Исключение NMI происходит только в пределах границ команды, поэтому оно не вызывает сброса или другую переинициализацию аппаратных средств. Состояние кэш, памяти, а также другие состояния процессора остаются неизменными. Значения регистров также сохраняются за исключением следующего:

поля BEV, TS, NMI и ERL регистра Status принимают заданные значения.

в регистр ErrorEPC загружается значение PC - 4, если прерывание произошло на фоне команды в слоте задержки перехода. В противном случае в регистр ErrorEPC загружается значение PC.

в PC загружается значение 0xBFC0_0000.

Вектор исключения:

```

Reset (0xBFC0_0000)
Operation:
StatusBEV <= 1
StatusTS <= 0
StatusNMI <= 1

StatusERL <= 1
if InstructionInBranchDelaySlot then
ErrorEPC <= PC - 4
else
ErrorEPC <= PC
endif
PC <= 0xBFC0_0000

```

3.7.5.3 Исключение по обновлению TLB – выборка команды или доступ к данным (TLB Refill Exception – Instruction Fetch or Data Access)

Исключение TLB Refill происходит во время выборки команды или доступа к данным, если в TLB нет ни одной строки, соответствующей ссылке к отображенному адресному пространству, и бит EXL в регистре Status равен 0.

Значение поля ExcCode регистра Cause:

TLBL: Произошла ссылка по загрузке данных или выборке команды

TLBS: Произошла ссылка по сохранению данных

Дополнительно сохраняемые состояния:

Таблица 3.19

Состояние регистра	Значение
BadVAddr	Ошибочный адрес
Context	Поле BadVPN2 содержит VA _{31:13} ошибочного адреса
EntryHi	Поле VPN2 содержит VA _{31:13} ошибочного адреса; поле ASID содержит ASID отсутствующей ссылки

Вектор исключения:

Вектор TLB Refill (смещение 0x000)

3.7.5.4 Исключение TLB Invalid – выборка команды или доступ к данным (TLB Invalid Exception – Instruction Fetch or Data Access)

Исключение TLB Invalid происходит во время выборки команды или доступа к данным в одном из следующих случаев:

в TLB нет ни одной строки, соответствующей ссылке к отображенному адресному пространству, и бит EXL в регистре Status равен 1;
строка TLB соответствует ссылке к отображенному адресу, но ее бит валидности выключен.

Значение поля ExcCode регистра Cause:

TLBL: Произошла ссылка по загрузке данных или выборке команды

TLBS: Произошла ссылка по сохранению данных

Дополнительно сохраняемые состояния:

Таблица 3.20

Состояние регистра	Значение
BadVAddr	Ошибочный адрес
Context	Поле BadVPN2 содержит VA _{31:13} ошибочного адреса
EntryHi	Поле VPN2 содержит VA _{31:13} ошибочного адреса; поле ASID содержит ASID отсутствующей ссылки

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

3.7.5.5 Исключение по ошибке адресации – выборка команды / доступ к данным (Address Error Exception – Instruction Fetch / Data Access)

Исключение по ошибке адресации во время доступа к команде или данным возникает при попытке выполнить одно из следующих действий:

выбрать команду, загрузить или сохранить слово данных, если они не выровнены в границах слова;

загрузить или сохранить половину слова, если оно не выровнено в границах половины слова;

обратиться по адресу пространства Kernel при работе в режиме User.

Значение поля ExcCode регистра Cause:

ADEL: Произошла ссылка по загрузке данных или выборке команды

ADES: Произошла ссылка по сохранению данных

Дополнительно сохраняемые состояния:

Таблица 3.21

Состояние регистра	Значение
BadVAddr	Ошибочный адрес

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

3.7.5.6 Исключение по аппаратному контролю (Mcheck – Machine Check Exception)

Данное исключение возникает, если при выполнении команды записи в TLB (TLBWI или TLBWR) обнаруживается, что поле виртуального адреса записываемой строки соответствует такому же полю одной из строк, уже хранящихся в TLB.

При возникновении данной ситуации запись в TLB не выполняется и устанавливается бит TS в регистре Status. Этот бит является статусным и не влияет на функционирование процессорного ядра. Сбрасывается он программно после разрешения данной ситуации, осуществляемого очисткой конфликтных строк в TLB.

Значение поля ExcCode регистра Cause:

Mcheck

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

3.7.5.7 Исключение исполнения – системный вызов (System Call Exception)

Исключение System Call является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение System Call возникает при исполнении команды SYSCALL.

Значение поля ExcCode регистра Cause:

Sys

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

3.7.5.8 Исключение исполнения – Breakpoint (Execution Exception – Breakpoint)

Исключение Breakpoint является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение Breakpoint возникает при исполнении команды BREAK.

Значение поля ExcCode регистра Cause:

Вр

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

3.7.5.9 Исключение исполнения – зарезервированная команда (Execution Exception – Reserved Instruction)

Исключение зарезервированной команды является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение зарезервированной команды вызывается при исполнении команды с неопределенным кодом операции или полем функции.

Значение поля ExcCode регистра Cause:

RI

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

3.7.5.10 Исключение исполнения – недоступен сопроцессор (Execution Exception – Coprocessor Unusable)

Исключение недоступности сопроцессора является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение недоступности сопроцессора вызывается при попытке исполнения команды сопроцессора CP0 в режиме User.

Значение поля ExcCode регистра Cause:

СрU

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

3.7.5.11 Исключение исполнения – целочисленное переполнение (Execution Exception – Integer Overflow)

Исключение целочисленного переполнения является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение целочисленного переполнения вызывается, когда выбранные целочисленные команды приводят к переполнению в двоичном коде.

Значение поля ExcCode регистра Cause:

0v

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

3.7.5.12 Исключение исполнения – Trap (Execution Exception – Trap)

Исключение Trap является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение Trap вызывается, если условие команды trap истинно (TRUE).

Значение поля ExcCode регистра Cause:

Tr

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

3.7.5.13 Исключение сохранения в запрещенной области (TLB Modified Exception)

Это исключение возникает при обращении по записи данных к отображенному адресу, если выполняется следующее условие:
найденная строка TLB действительна, но страница запрещена для записи.

Значение поля ExcCode регистра Cause:

Mod

Дополнительно сохраняемые состояния:

Таблица 3.22

Состояние регистра	Значение
BadVAddr	Ошибочный адрес
Context	Поля BadVPN2 содержат VA _{31:13} ошибочного адреса
EntryHi	Поле VPN2 содержит VA _{31:13} ошибочного адреса; поле ASID содержит ASID отсутствующей ссылки

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

3.7.5.14 Исключение прерывания (Interrupt Exception)

Исключение прерывания возникает, когда сигнал одного или более разрешенных регистром Status прерываний устанавливается на входе процессора.

Значение поля ExcCode регистра Cause:

Int

Дополнительно сохраняемые состояния:

Таблица 3.23

Состояние регистра	Значение
Cause _{IP}	Указывает код прерывания

Вектор исключения:

Общий Вектор исключения (смещение 0x180), если бит IV регистра Cause равен 0;

Вектор прерывания (смещение 0x200), если бит IV регистра Cause равен 1.

3.7.6 Алгоритмы обработки исключений

В этом разделе приведены алгоритмы обработки следующих исключений:
общие исключения;

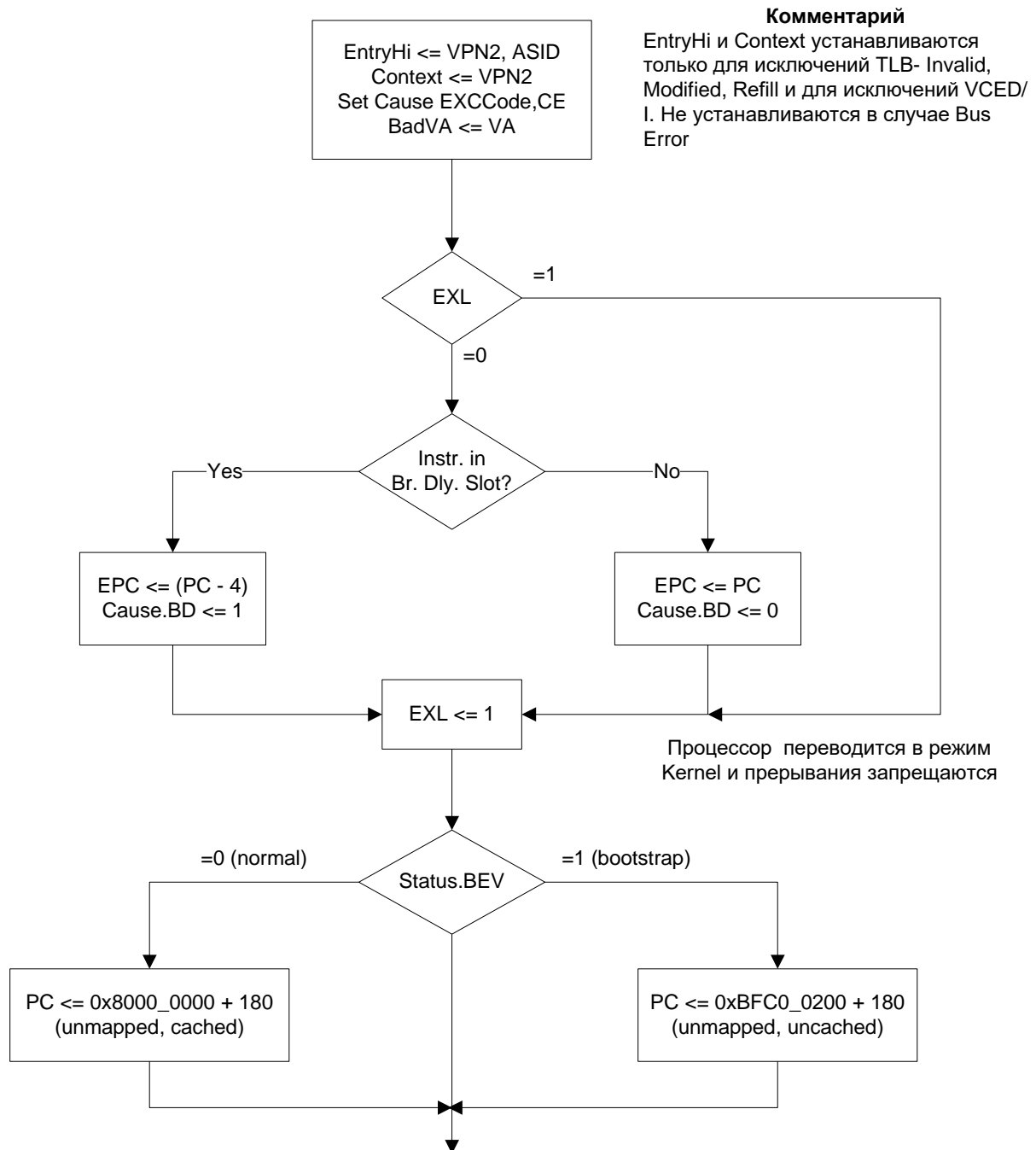
исключения пропуска при поиске по TLB;

исключения Reset и NMI;

Исключения аппаратно обрабатываются, а затем программно обслуживаются.

Алгоритмы обработки исключений приведены на Рисунок 3.21, Рисунок 3.22, Рисунок 3.23.

Все исключения кроме Reset, NMI и TLB-miss первого уровня. Прерывания могут быть замаскированы битами IE и IM



**Программное обслуживание
исключений**

Рисунок 3.21. Обработка общих исключений

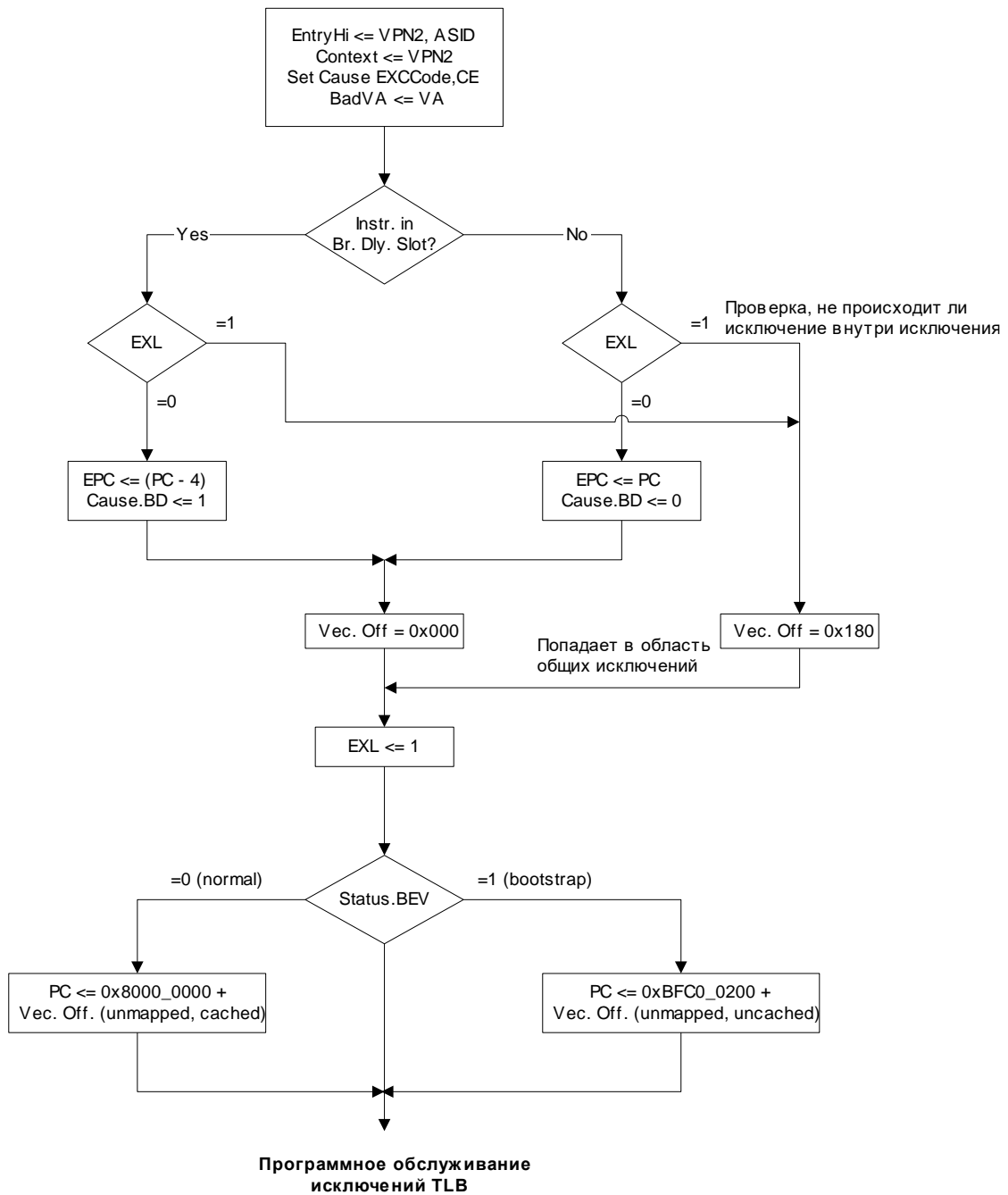


Рисунок 3.22. Обработка исключений TLB Refill и TLB Invalid

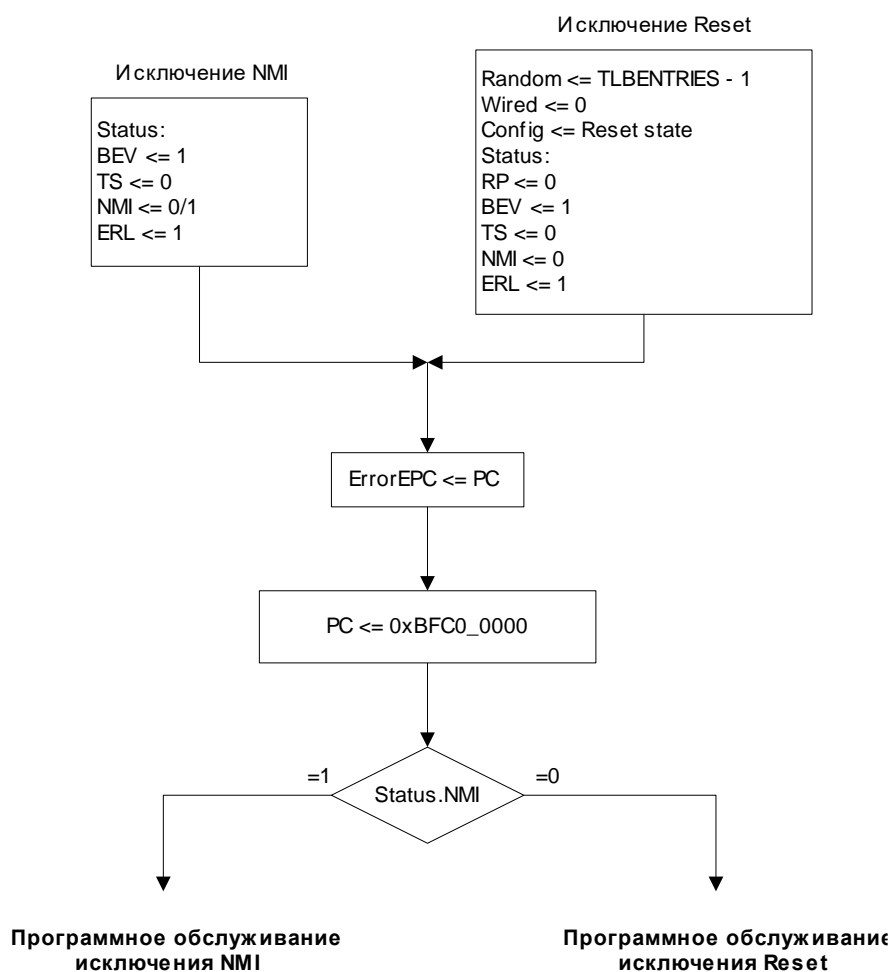


Рисунок 3.23. Обработка исключений Reset и NMI

3.8 Регистры CP0

3.8.1 Назначение

Системный Управляющий Сопроцессор (CP0) обеспечивает регистровый интерфейс с процессорным ядром MIPS32 и поддерживает управление памятью, преобразование адреса, обработку исключений и другие привилегированные операции. Каждому регистру CP0 соответствует определяющий его уникальный номер; этот номер называется *номером регистра*. Например, регистру PageMask соответствует 5-й номер регистра.

После записи нового значения в регистр CP0 (с помощью команды MTC0), его обновление происходит не сразу, а по прошествии периода от 0 и более команд. Этот период называется периодом особой ситуации.

3.8.2 Обзор регистров CP0

В Таблица 3.24 приведены все регистры CP0 в порядке возрастания нумерации. В разделе 5.3 каждый из этих регистров описан отдельно.

Таблица 3.24. Регистры CP0

Номер регистра	Название регистра	Функция
0	Index ¹	Индекс матрицы TLB (режим TLB)
1	Random ¹	Случайным образом сгенерированный индекс для буфера TLB (режим TLB)
2	EntryLo0 ¹	Младшая часть строки TLB для виртуальных страниц с четными номерами (режим TLB)
3	EntryLo1 ¹	Младшая часть строки TLB для виртуальных страниц с нечетными номерами (режим TLB)
4	Context ²	Указатель на строку в таблице страниц памяти (режим TLB)
5	PageMask ¹	Управление переменным размером страниц строк TLB (режим TLB)
6	Wired ¹	Управление количеством закрепленных «привязанных» строк TLB (режим TLB)
7	Reserved	Резерв
8	BadVAddr ²	Содержит адрес, вызвавший последнее связанное с адресацией исключение
9	Count ²	Счетчик процессорных циклов
10	EntryHi ¹	Старшая часть строки TLB (режим TLB)
11	Compare ²	Управление прерыванием таймера
12	Status ²	Состояние и управление процессором
13	Cause ²	Причина последнего исключения
14	EPC ²	Значение счетчика команд во время последнего исключения
15	PRId	Идентификация и ревизия процессора
16	Config/Config1	Конфигурационный регистр
17	LLAddr	Загрузка адреса сопряжения
18-19	Не реализованы	
20-22	Reserved	Резерв
23-24	Не реализованы	
25-27	Reserved	Резерв
28-29	Не реализованы	
30	ErrorEPC ²	Значение счетчика команд при последней ошибке
31	Не реализован	

¹Регистры, используемые при управлении памятью.

²Регистры, используемые при обработке исключений.

3.8.3 Регистры CP0

Регистры CP0 обеспечивают интерфейс между системой команд (ISA) и архитектурой процессора. Каждый регистр, описанный в этом разделе, представлен своим порядковым номером и значением поля select.

Все поля описанных регистров характеризуются свойствами записи / чтения, а также значением после аппаратного сброса. Свойства записи / чтения охарактеризованы в Таблица 3.25.

Таблица 3.25

Свойства записи/чтения	Аппаратная интерпретация	Программная интерпретация
R/W	Поле, в котором все биты программно и аппаратно доступны по записи и чтению. Аппаратное обновление этого поля доступно для программы при чтении программой. Программное обновление этого поля доступно для процессора при чтении процессором. Если значение поля после сброса не определено, программа или процессор должны проинициализировать это поле, чтобы первое чтение возвратило предсказуемое значение.	
R	Поле, значение которого постоянно или обновляется только процессором. Значение поля после начальной установки восстанавливается также при включении питания. Если значение поля не определено после начальной установки, процессор обновляет его только при условиях, определенных при описании поля.	Поле, для которого значение, записанное программой, процессором игнорируется. Программное прочтение этого поля возвращает последнее обновленное процессором значение. Если значение поля не определено после начальной установки, программное прочтение этого поля возвратит непредсказуемое значение кроме тех случаев, когда произошло обновление процессором значения этого поля по возникновению условий, определенных в описании поля условий.
0	Поле, значение которого процессором не обновляется и всегда равно нулю.	Программное чтение всегда возвращает нуль.

Регистр Index (Регистр 0 CP0, Select 0)

Регистр Index является 32-х разрядным регистром, доступным для чтения и записи. Он содержит индекс доступа к TLB для команд TLBP, TLBR и TLBWI. Ширина поля индекса зависит от количества строк TLB и равна 4.

Функционирование процессора НЕОПРЕДЕЛЕНО, если в регистр Index записано значение большее или равное количеству строк TLB.

Формат регистра Index

31	30	4	3
0			
R	0		Index

Таблица 3.26. Описание полей регистра Index

Поля		Описание	Чтение/запись	Начальное состояние
Имя	Биты			
R	31	Неудачная проба. Устанавливается в 1, если предыдущей командой TLBProbe (TLBP) не было найдено соответствия в TLB.	R	Не определено
0	30:4	При чтении возвращается нуль	0	0
Index	3:0	Индекс строки TLB, к которой относятся команды TLBRead и TLBWrite	R/W	Не определено

Регистр Random (Регистр CP0 1, Select 0)

Регистр Random доступен только для чтения, и его значение используется как индекс TLB для команды TLBWR. Ширина поля Random определяется таким же образом, как для регистра Index.

Значение этого регистра изменяется между верхней и нижней границами следующим образом:

нижняя граница определяется количеством строк TLB, зарезервированных для использования операционной системой (содержимое регистра Wired). Строка, чей индекс равен значению Wired, является первой из доступных для записи командой TLB Write Random (TLBWR);

верхняя граница равна общему количеству строк TLB минус 1.

Регистр Random уменьшается на 1 при продвижении конвейера RISC, возвращаясь к максимальному значению по достижению величины, равной значению регистра Wired.

Процессор инициализирует регистр Random значением, равным верхней границе по возникновению исключения Reset и по записи в регистр Wired.

Формат регистра Random

31				4	3
0					
0					Random

Таблица 3.27. Описание полей регистра Random

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
0	31:4	При чтении возвращается нуль	0	0
Random	3:0	Случайный индекс строки TLB	R	TLB Entries - 1

EntryLo0, EntryLo1 (Регистры 2 и 3 CP0, Select 0)

Пара регистров EntryLo действует как интерфейс между TLB и командами TLBR, TLBWI, TLBWR.

В режиме TLB EntryLo0 содержит строки для четных страниц TLB, а EntryLo1 – для нечетных страниц.

После ошибки адресации и возникновения исключений TLB refill, TLB invalid и TLB modified, содержимое регистров EntryLo0 и EntryLo1 не определено.

Формат регистров EntryLo0, EntryLo1

31	30	29	26		25	6		5	3		2
1	0										
R	0	PFN				C	D	V	G		

Таблица 3.28. Описание полей регистров EntryLo0 и EntryLo1

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
R	31:30	Резервные. При чтении возвращается нуль	R	0
0	29:26	При чтении возвращается нуль	R	0
PFN	25:6	Номер страничного кадра. Соответствует битам 31:12 физического адреса.	R/W	Не определено
C	5:3	Атрибут когерентности страницы. См. таблицу 2.18.	R/W	Не определено

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
D	2	«Dirty» – бит, разрешающий запись. Указывает на то, что в страницу была сделана запись, и/или страница открыта для записи. Если этот бит равен 1, разрешается сохранение в этой странице. Если он равен 0, сохранение в этой странице вызывает исключение TLB Modified.	R/W	Не определено
V	1	Бит валидности. Указывает, на то, что строка TLB и, соответственно, отображение виртуальной страницы, является действительным. Если этот бит равен 1, доступ к странице разрешается. Если этот бит равен 0, доступ к странице вызывает исключение TLB Invalid.	R/W	Не определено
G	0	Бит глобальности. При записи в TLB битом G в строке TLB становится логическое «И» битов G EntryLo0 и EntryLo1. Если бит G строки TLB равен 1, результат сравнения полей ASID игнорируется при поиске по TLB. При чтении строки TLB биты G EntryLo0 и EntryLo1 отражают состояние бита G TLB.	R/W	Не определено

В Таблица 3.29. приведена кодировка для поля C регистров EntryLo0 и EntryLo1 и полей K0, K23 и KU регистра Config.

Таблица 3.29. Атрибуты когерентности кэш

Значение C[5:3]	Описание
0, 1, 3*, 4, 5, 6	Кэшируемая, некогерентная область
2*, 7	Некэшируемая область
* - Архитектура MIPS32 предусматривает только эти два значения. Остальные значения не используются и отображаются в используемые значения. Например, 0, 1, 4, 5 и 6 отображается в 3, а 7 – в 2.	

Регистр Context (Регистр 4 CP0, Select 0)

Регистр Context доступен для чтения и записи, и содержит указатель на строку в матрице PTE (page table entry). Эта матрица является структурой данных операционной системы, в которой содержатся преобразования виртуального адреса в физический. При возникновении промаха TLB, операционная система загружает в TLB недостающее преобразование из матрицы PTE. Регистр Context дублирует часть информации, содержащейся в регистре BadVAddr, но организован таким образом, что операционная система может прямо ссылаться к 8-байтной матрице PTE в памяти.

При возникновении исключения TLB (TLB Refill, TLB Invalid, или TLB Modified) биты VA_{31:13} виртуального адреса записываются в поле BadVPN2 регистра Context. Поле PTEBase записывается и используется операционной системой.

После возникновения исключения ошибки адресации значение поля BadVPN2 регистра Context не определено.

Формат регистра Context

31	23	22	4	3
0				
PTEBase	BadVPN2			

Таблица 3.30. Описание полей регистра Context

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
PTEBase	31:23	Это поле используется операционной системой и обычно содержит значение, позволяющее операционной системе использовать регистр Context в качестве указателя на текущую матрицу PTE в памяти.	R/W	Не определено
BadVPN2	22:4	Это поле заполняется процессором при промахе TLB. Оно содержит биты VA _{31:13} пропущенного виртуального адреса	R	Не определено
0	3:0	При чтении возвращается нуль	0	0

Регистр PageMask (Регистр 5 CP0, Select 0)

Регистр PageMask доступен для чтения и записи, и используется для чтения TLB и записи в TLB. Он содержит маску сравнения, которая устанавливает переменную размера страниц для каждой строки TLB, как показано в Таблица 3.32.

Если значение регистра отлично от значений, приведенных в таблице, поведение процессора при поиске по TLB не определено.

Формат регистра PageMask

31	25	24	13	12
0	Mask			0

Таблица 3.31. Описание полей регистра PageMask

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
Mask	24:13	Бит маски, содержащий «1», указывает на то, что соответствующий бит виртуального адреса не должен принимать участие при поиске соответствия по TLB	R/W	Не определено
0	31:25, 12:0	При чтении возвращается нуль	0	0

Таблица 3.32. Таблица возможных значений поля Mask регистра PageMask

Размер страницы	Бит											
	24	23	22	21	20	19	18	17	16	15	14	13
4 Кбайт	0	0	0	0	0	0	0	0	0	0	0	0
16 Кбайт	0	0	0	0	0	0	0	0	0	0	1	1
64 Кбайт	0	0	0	0	0	0	0	0	1	1	1	1
256 Кбайт	0	0	0	0	0	0	1	1	1	1	1	1
1 Мбайт	0	0	0	0	1	1	1	1	1	1	1	1
4 Мбайт	0	0	1	1	1	1	1	1	1	1	1	1
16 Мбайт	1	1	1	1	1	1	1	1	1	1	1	1

Регистр Wired (Регистр 6 CP0, Select 0)

Регистр Wired доступен для чтения и записи. Этот регистр определяет границу между случайными и «привязанными» строками TLB, как показано на Рисунок 3.24. Ширина поля Wired определяется так же, как для описанного выше регистра Index. «Привязанные» строки зафиксированы, то есть они не являются удаляемыми и не могут быть перезаписаны командой TLBWR. Эти строки могут быть перезаписаны только командой TLBWI.

Регистр Wired устанавливается в нулевое состояние исключением по аппаратному сбросу (Reset). Запись в регистр Wired вызывает установку регистра Random в значение, равное его верхней границе.

Если значение, записанное в регистр Wired, больше или равно числу строк TLB, операция процессора не определена.

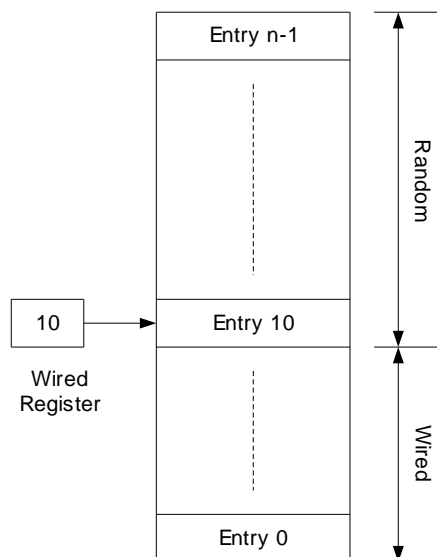


Рисунок 3.24. «Привязанные» и случайные строки TLB

Формат регистра Wired

31	4	3	0
0	Wired		

Таблица 3.33. Описание полей регистра Wired

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
0	31:4	При чтении возвращается нуль	0	0
Wired	3:0	Граница между «привязанными» и случайными строками TLB.	R/W	0

Регистр BadVAddr (Регистр 8 CP0, Select 0)

Регистр BadVAddr доступен только для чтения и содержит последний виртуальный адрес, вызвавший одно из следующих исключений:

ошибка адреса (AdEL или AdES);

TLB Refill;

TLB Invalid;

TLB Modified;

Формат регистра BadVAddr

31	0
BadVAddr	

Таблица 3.34. Описание полей регистра BadVAddr

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
BadVAddr	31:0	Виртуальный адрес, вызвавший исключение	R	Не определено

Регистр Count (Регистр 9 CP0, Select 0)

Регистр Count действует как таймер, увеличивающий свое значение каждый такт.

Регистр Count может быть записан в функциональных или диагностических целях, включая установку или синхронизацию процессора.

Формат регистра Count

31	0
Count	

Таблица 3.35. Описание полей регистра Count

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
Count	31:0	Счетчик	R/W	Не определено

Регистр EntryHi (Регистр 10 CP0, Select 0)

Регистр EntryHi содержит информацию соответствия виртуального адреса, используемого при чтении, записи и операциях доступа к TLB.

При возникновении исключений TLB (TLB Refill, TLB Invalid или TLB Modified) биты VA_{31:13} виртуального адреса записываются в поле VPN2 регистра EntryHi. В поле ASID, которое используется в процессе сравнения при поиске по TLB, программно записывается идентификатор текущего адресного пространства.

Поле VPN2 регистра EntryHi не определено после прерывания по ошибке адресации.

Формат регистра EntryHi

31	0
VPN2	ASID

Таблица 3.36. Описание полей регистра EntryHi

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
VPN2	31:13	Разряды VA _{31:0} виртуального адреса (виртуальный номер страницы, деленный на 2). Это поле записывается аппаратно при исключении TLB или при чтении TLB, и программно перед записью в TLB.	R/W	Не определено
0	12:8	При чтении возвращается нуль	0	0
ASID	7:0	Идентификатор адресного пространства. Это поле записывается аппаратно при чтении TLB, и программно при установке текущего значения ASID для записи в TLB и для сравнения при поиске по TLB с соответствующими полями ASID в строках TLB.	R/W	Не определено

Регистр Compare (Регистр 11 CP0, Select 0)

Регистр Compare действует совместно с регистром Count с целью реализации функции таймера и прерывания по таймеру.

Результат сравнения регистров Count и Compare заведен на 15 разряд регистра Cause. Когда значение регистра Count равняется значению регистра Compare, этот бит имеет единичное состояние. Он остается в этом состоянии, пока в регистр Compare не будет произведена запись.

Для диагностических целей регистр Compare доступен для чтения и записи. Однако при нормальном функционировании регистр Compare используется только для записи. При записи значения в регистр Compare в качестве побочного эффекта происходит очистка бита прерывания по таймеру.

Формат регистра Compare

31	0
Compare	

Таблица 3.37. Описание полей регистра Compare

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
Compare	31:0	Период счета таймера	R/W	Не определено

Регистр Status (Регистр 12 CP0, Select 0)

Регистр Status (SR) является регистром, доступным для чтения и записи. Он содержит поля рабочего режима, разрешения прерываний и диагностические состояния процессора. Для задания режимов функционирования процессора, поля этого регистра объединяются следующим образом:

Разрешение прерываний: Прерывания разрешаются, когда истинны все следующие условия:

IE = 1;

EXL = 0;

ERL = 0.

Если эти условия выполнены, прерывания разрешаются установкой битов IM.

Рабочие режимы: Процессор всегда находится в одном из двух режимов – Kernel или User. Режим задается установкой следующих битов регистра Status CPU.

режим User: UM = 1, EXL = 0, and ERL = 0;

режим Kernel: UM = 0 или EXL = 1 или ERL = 1.

Формат Status регистра

31	28	27	26	23	22	21	20	19	18	16	15	8	7	5	4	3	2
1	0																
CU3- CU0	0	0	BEV	T S	0	NMI	0	IM7- IM0	0	U M	0	ERL	EXL	IE			

Таблица 3.38. Описание полей регистра Status

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
CU3-CU0	31:28	Не используются	R/W	Не определено
-	27	Не используется	0	0
-	26:23	При чтении возвращается нуль	0	0

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
BEV	22	Управление размещением векторов исключения: 0: Нормальный 1: Начальная загрузка	R/W	1
TS	21	TLB-закрытие системы. Этот бит устанавливается, если при выполнении команд TLBWI или TLBWR образуется команда, которая приводит к условию закрытия, если оно разрешено. Программа может записывать в этот разряд только 0, чтобы очистить его, и не может вызвать переход этого бита из 0 в 1.	R/W	0
NMI	19	Указывает, что вход в вектор исключения начальной установки был осуществлен по причине возникновения NMI. 0: Не NMI (Аппаратный сброс) 1: NMI Программное обеспечение может записывать в этот бит только 0, чтобы очистить его, и не может записать 1.	R/W	1 для NMI, иначе 0
-	18:16	При чтении возвращается нуль	0	0
IM[7:0]	15:8	Маска прерываний: управление разрешением внешних, внутренних и программных прерываний. Прерывание принимается в случае, если установлен бит IE регистра Status и установлены соответствующие биты как в поле IM[7:0] регистра Status, так и в поле IP[7:0] регистра Cause. 0: Запрос на прерывание не разрешен. 1: Запрос на прерывание разрешен.	R/W	Не определено
-	7:5	При чтении возвращается нуль	0	0
UM	4	Указывает на то, что процессор работает в непривилегированном режиме (User): 0: Процессор работает в привилегированном режиме (Kernel) 1: Процессор работает в непривилегированном режиме (User) Замечание: процессор может также находиться в режиме Kernel, если установлены биты EXL или ERL. Это условие не влияет на состояние бита UM.	R/W	Не определено
-	3	При чтении возвращается нуль	0	0

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
ERL	2	Уровень ошибки. Устанавливается процессором при возникновении исключений Reset и NMI. 0: Нормальный уровень 1: Уровень ошибки Когда бит ERL установлен: Процессор находится в режиме Kernel. Прерывания запрещены. Команда ERET использует адрес возврата, содержащийся в EregEPC вместо EPC. kuseg используется как неотображаемая и неэкэшируемая область. Это позволяет иметь доступ к главной памяти при ошибках кэш. Поведение процессора не определено, если бит ERL установлен при выполнении кода из useg/kuseg.	R/W	1
EXL	1	Уровень Исключения. Устанавливается процессором при возникновении любого исключения, кроме Reset и NMI. 0: Нормальный уровень 1: Уровень исключения Когда бит EXL установлен: Процессор переходит в привилегированный режим (Kernel). Прерывания запрещены. Исключения TLB Refill используют общий вектор исключения вместо вектора TLB Refill. Если происходит другое исключение, EPC не модифицируется.	R/W	Не определено
IE	0	Разрешение Прерывания. 0: Отключает прерывания 1: Разрешает прерываниям	R/W	Не определено

Регистр Cause (Регистр 13 CP0, Select 0)

Регистр Cause, в основном, описывает причину последнего исключения. Кроме того, поля регистра управляют запросами на программные прерывания и определяют вектор, которым обрабатываются прерывания. Все поля регистра Cause, за исключением IP[1:0], IV и WP, доступны только для чтения.

Формат регистра Cause

31	30	24	23	22	16	15	10	9	8	7	6	2	1	0
BD	0	IV		0	IP[7:2]	IP[1:0]	0	Exc Code	0					0

Таблица 3.39. Описание полей регистра Cause

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
BD	31	Указывает на то, что последнее исключение произошло в слоте задержки перехода: 0: Не в слоте задержки 1: В слоте задержки Замечание: бит BD не модифицируется на новом исключении, если установлен бит EXL.	R	Не определено
0	30:24	При чтении возвращается нуль	0	0
IV	23	Указывает, какой вектор используется для обслуживания исключений прерывания – общий или специальный вектор прерываний: 0: Используется общий вектор исключения (0x180) 1: Используется специальный вектор прерываний (0x200)	R/W	Не определено
0	22:16	При чтении возвращается нуль	0	0
IP[7:2]	15:10	Указывает, какое прерывание установлено: 15 – прерывание при сравнении содержимого регистров Count и Compare; 14 – прерывания от DSP; 13 – прерывания регистра QSTR3, объединенные по ИЛИ; 12 – прерывания регистра QSTR2, объединенные по ИЛИ; 11 – прерывания регистра QSTR1, объединенные по ИЛИ; 10 – прерывания регистра QSTR0, объединенные по ИЛИ	R	Не определено
IP[1:0]	9:8	Управляет запросами программных прерываний (посредством записи «1» в данные разряды): 9: Запрос программного прерывания 1; 8: Запрос программного прерывания 0	R/W	Не определено
ID	7	Прерывание от встроенных средств отладки программ (OpCD).	R/W	0
Exc Code	6:2	Код исключения – см. Таблица 3.40		
0	1:0	При чтении возвращается нуль	0	0

Таблица 3.40. Описание поля Exc Code регистра Cause

Значение Exc Code	Мнемоника	Описание
0	Int	Прерывание
1	Mod	TLB-исключение модификации
2	TLBL	TLB-исключение (загрузка или вызов команды)
3	TLBS	TLB-исключение (сохранение)
4	AdEL	Прерывание по ошибке адресации (загрузка или вызов команды)
5	AdES	Прерывание по ошибке адресации (сохранение)
6-7	-	Не используются
8	Sys	Системное исключение

Значение Exc Code	Мнемоника	Описание
9	Bp	Исключение Breakpoint
10	RI	Исключение зарезервированной команды
11	SpU	Исключение недоступности сопроцессора
12	Ov	Исключение целочисленного переполнения
13	Tr	Исключение Trap
14	-	Не используются
15	FPE	Исключение от сопроцессора арифметики в формате с плавающей точкой (FPU)
16-23	-	Не используются
24	MCheck	Аппаратный контроль
25-31	-	Не используются

Регистр EPC (Регистр 14 CP0, Select 0)

Программный счетчик исключения (EPC) является регистром, доступным для чтения и записи. EPC содержит адрес, начиная с которого возобновляется исполнение программы после завершения обработки исключения. Все биты регистра EPC значимы и должны перезаписываться.

Для синхронных (точных) исключений, EPC содержит одно из следующего:
 виртуальный адрес команды, которая была прямой причиной исключения;
 виртуальный адрес команды перехода (Branch или Jump), непосредственно предшествующей исключению, если команда, вызвавшая исключение, находится в слоте задержки перехода и установлен бит BD в регистре Cause.

Если установлен бит EXL в регистре Status, процессор не записывает адрес в регистр EPC при возникновении новых исключений. Однако, новое значение можно записать в EPC командой MTC0.

Формат регистра EPC

31	0
EPC	

Таблица 3.41. Описание полей регистра EPC

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
EPC	31:0	Программный счетчик исключения	R/W	Не определено

Регистр PRId (Регистр 15 CP0, Select 0)

Регистр идентификации процессора (PRId) – это 32-х разрядный регистр, доступный только для чтения. Он содержит информацию, идентифицирующую изготовителя, опции изготовителя, идентификацию процессора, и версию процессора.

Формат регистра PRId

31	24 23	16 15	8 7	0
R	Company ID	Processor ID	Revision	

Таблица 3.42. Описание полей регистра PRId

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
R		При чтении возвращается нуль	R	0

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
Company ID	23:16	Идентификация компании, которая проектировала или изготовляла процессор.	R	1010
Processor ID	15:8	Идентификация типа процессора.	R	10010
Revision	7:0	Номер версии процессора. Позволяет программам различать разные версии одного типа процессора.	R	0

Регистр Config (Регистр 16 CP0, Select 0)

Регистр Config определяет различную конфигурационную информацию, а также информацию о возможностях процессора. Большинство полей регистра Config инициализируется аппаратно при выполнении исключения Reset или имеет постоянное значение, и только поле K0 должно быть проинициализировано программно обработчиком исключения Reset.

Формат регистра Config

31	30	28	27	25	24	21	20	19	18	17	16	15	14	13	12	10	9	7	6	3	2	0	
M	K23	KU	0	MDU	R	MM	BM	BE	AT	AR	MT	0	K0										

Таблица 3.43. Описание полей регистра Config

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
M	31	Этот бит аппаратно устанавливается в высокий уровень, указывая на наличие регистра Config1	R	1
K23	30:28	Это поле управляет кэшируемостью адресных сегментов kseg2 и kseg3 в режиме FM. В режиме TLB не используется. См. таблицу 2.33.	FM: R/W	FM:010
			TLB: R	TLB:000
KU	27:25	Это поле управляет кэшируемостью адресных сегментов kuseg и useg в режиме FM. В режиме TLB не используется. См. таблицу 2.33.	FM: R/W	FM:010
			TLB: R	TLB:000
0	24:21	Не используются	0	0
MDU	20	Тип MDU: итеративный умножитель и делитель	R	1
R	19	При чтении возвращается нуль	0	0
MM	18:17	Режим No Merging для 32 bit collapsing write buffer	R	0
BM	16	Тип передачи Burst: последовательный	R	0
BE	15	Режим endian: Little endian	R	0
AT	14:13	Тип архитектуры, реализованной процессором: MIPS32.	R	0
AR	12:10	Номер версии: 1	R	0
MT	9:7	Тип MMU: 1: Стандартный TLB (FM = 0) 3: Фиксированное отображение (FM = 1) 0, 2, 4-7: зарезервированы	R	TLB: 01
				FM: 11
R	6:3	При чтении возвращается нуль	0	0

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
K0	2:0	Алгоритм когерентности для кseg0, см. Таблица 3.29.	R/W	010

Таблица 3.44. Атрибуты когерентности кэш

Значение C[5:3]	
0, 1, 3*, 4, 5, 6	Кэшируемая, некогерентная область
2*, 7	Некэшируемая область
* - Архитектура MIPS32 предусматривает только эти два значения. Остальные значения не используются и отображаются в используемые значения. Например, 0, 1, 4, 5 и 6 отображаются в 3, а 7 – в 2.	

Регистр Config1 (Регистр 16 CP0, Select 1)

Регистр Config1 является дополнением к регистру Config и кодирует дополнительную информацию о возможностях процессора. Все поля регистра Config1 доступны только для чтения.

Формат регистра Config1

31	30	25	24	22	21	19	18	16	15	13	12	10	9	7	6	5	4	3	2	1	0
R	MMUSize	IS	IL	IA	DS	DL	DA	R	PC	WR	CA	EP	FP								

Таблица 3.45. Описание полей Config1 регистра

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
R	31	При чтении возвращается ноль	0	0
Размер MMU	30:25	Это поле содержит количество строк TLB минус 1. В режиме TLB возвращается код 15 в десятичном формате, в режиме Fixed Mapping – 0.	R	001111 (FM = 0) 000000 (FM = 1)
IS	24:22	Количество наборов кэш команд; резервная опция	R	111
IL	21:19	Размер строки кэш команд: 16 байт	R	011
IA	18:16	Тип кэш команд: Direct mapped	R	0
DS	15:13	Нет кэш данных	R	0
DL	12:10	Нет кэш данных	R	0
DA	9:7	Нет кэш данных	R	0
R	6:5	При чтении возвращается ноль	0	0
PC	4	Нет регистра Performance Counter	R	0
WR	3	Нет регистра WATCH	R	0
CA	2	Не реализовано	R	0
EP	1	EJTAG не реализован	R	0
FP	0	Нет плавающей арифметики	R	0

Регистр LLAddr – Load Linked Address (Регистр 17 CP0, Select 0)

Регистр LLAddr содержит физический адрес последней команды Load Linked (LL). Этот регистр используется только для диагностических целей.

Формат LLAddr регистра

31	28	27	0
			Paddr[31:4]

Таблица 3.46. Описание полей LLAddr регистра

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
0	31:28	При чтении возвращается нуль	0	0
Paddr[31:4]	27:0	Физический адрес последней команды LL	R	Не определено

Регистр ErrorEPC (Регистр 30 CP0, Select 0)

Доступный для чтения и записи, регистр ErrorEPC полностью подобен регистру EPC, но используется при возникновении исключений ошибок. Все биты регистра ErrorEPC значимы и должны перезаписываться. Регистр ErrorEPC также используется для сохранения значения счетчика команд при возникновении исключений Reset и немаскируемого прерывании (NMI).

Регистр ErrorEPC содержит виртуальный адрес, начиная с которого может возобновиться исполнение программы после обработки ошибочной ситуации.

Этот адрес может быть:

виртуальным адресом команды, вызвавшей исключение;

виртуальным адресом команды перехода (Branch или Jump), непосредственно

предшествующей исключению, если команда, вызвавшая ошибку, находится в слоте задержки перехода.

В отличие от регистра EPC, для регистра ErrorEPC не имеется соответствующего признака слота задержки перехода.

Формат регистра ErrorEPC

31	0
ErrorEPC	

Таблица 3.47. Описание полей регистра ErrorEPC

Поля		Описание	Чтение/ запись	Начальное состояние
Имя	Биты			
ErrorEPC	31:0	Счетчик команд при исключении ошибки	R/W	Не определен

Регистры WatchLo, WatchHi, Debug, DEPC, TagLo, DataLo, DeSave не реализованы

3.9 Кэш

СРУ имеет кэш команд и кэш данных типа direct mapped объемом по 32 Кбайт. Кэш данных работает по протоколу write-through.

Кэш состоит из двух массивов – массива тэгов и массива данных. Кэш индексируется виртуально, поскольку для выбора соответствующей строки в обоих массивах используется виртуальный адрес. Это позволяет осуществлять доступ к кэш параллельно с преобразованием виртуального адреса в физический. Контроль осуществляется по физическому тэгу, так-так массив тэгов содержит физический, а не виртуальный адрес.

На Рисунок 3.25 представлен формат каждой строки массивов тэгов и данных. Тэговая строка содержит 20 старших бита физического адреса (биты [31:12]) и бит валидности.

Строка данных содержит 4 32-х разрядных слова – всего 16 байт. До получения всей строки кэш конвейер останавливается.

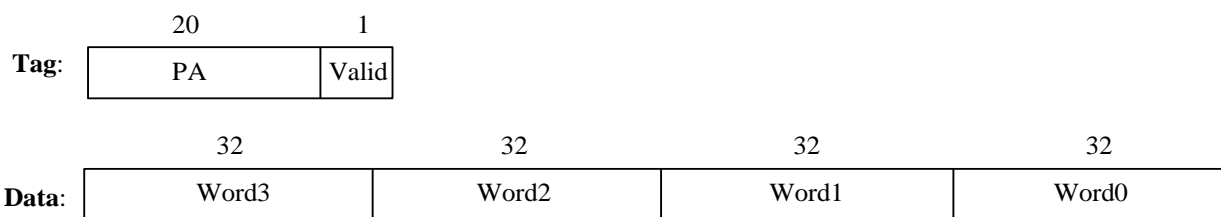


Рисунок 3.25. Формат массива кэш

Кэш имеет только два атрибута кэшируемости. Область может быть либо кэшируемой, либо некэшируемой (см. Таблица 3.44).

3.10 Особенности реализации процессорного ядра

Процессорное ядро RISCore32 может иметь ряд архитектурных особенностей в зависимости от реализации в каждой конкретной микросхеме. Далее перечислены особенности ядра RISCore32 для микросхемы 1892BM206, которые нужно учитывать при разработке программного обеспечения.

1. В слотах задержки любых команд перехода разрешена только команда NOP.
2. Если используется пошаговая отладка программ, то после команд загрузки LWC1, LDC1, LW, LWL, LWR, LB, LBU, LH, LHU, LL разрешена только команда NOP.
3. После записи памяти командой SDC1 (сохранение 64 бит) нельзя выполнять операцию чтения памяти разрядностью меньше 64 бит (LW, LWC1, LH, LB) при включённом кэше данных.
4. При входе в любой обработчик прерывания должна быть реализована девалидация кэша инструкций, путем записи «1» в поля FLUSH_I регистра CSR микросхемы. После записи регистра CSR для синхронизации состояния необходимо произвести контрольное чтение из него.

4. ЦИФРОВОЙ СИГНАЛЬНЫЙ ПРОЦЕССОР

4.1 Введение

В состав микросхемы 1892ВМ206 входит 2-ядерный DSP-кластер DELcore-30M - симметричный мультипроцессор (СМП), состоящий из 2-х DSP-ядер ELcore-30M - DSP0 и DSP1, работающих на общем поле памяти данных, имеющих набор общих регистров управления/состояния, а также буфера обмена XBUF.

Каждое из двух DSP-ядер ELcore-30M представляет собой ядро сопроцессора-акселератора сигнальной обработки. Оно имеет гарвардскую архитектуру с внутренним параллелизмом по потокам обрабатываемых данных и предназначено для обработки информации в форматах с фиксированной и с плавающей точкой.

Система инструкций, реализующих параллельно несколько вычислительных операций и пересылок, 7-фазный программный конвейер и гибкие адресные режимы позволяют реализовать алгоритмы сигнальной обработки с высокой производительностью. Каждое DSP-ядро функционирует под управлением CPU и расширяет его возможности по обработке сигналов.

4.2 Основные технические характеристики DSP-кластера DELcore-30MH

2 вычислительных ядра DSP ELcore-30M;

объем общей памяти данных 128 Кбайт (64 Кбайт на ядро);

объем памяти программ 32 Кбайт на ядро;

пропускная способность коммутатора ядер с памятью – 512 бит за такт;

скорость обмена данными внешних устройств с памятью кластера – 64 бит за такт;

суммарная пиковая производительность кластера:

- 16 операций с плавающей точкой (IEEE 754) за 1 такт;
- 16 32-битных операций с фиксированной точкой за 1 такт;
- 48 16-битных операций с фиксированной точкой за 1 такт.

4.3 Структурная схема

Структурная схема 2-ядерного DSP-кластера DELcore-30MH приведена на Рисунок 4.1.

На схеме приняты следующие обозначения:

DSP0 – DSP1 – два DSP-ядра ELcore-30M;

PMEM – память программ;

XUMEM – память данных;

АНВ – контроллер шины CDB (slave);

MEM_EXT_PORT, MEM_MUX_OUT – распределенный контроллер AXI Switch (slave);

XBUF_02 – буфер обмена (регистровый файл 32 слова по 64 разряда, 6 портов);

ArbBuf, MA_LocalArb – распределенный арбитр;

DSP_logic – вычислительное ядро;

AGU, AGU-Y – адресные генераторы памяти данных;

PAG – адресный генератор памяти программ;

PDC_17 – программный декодер;

RF9 – регистровый файл 32 слова по 128 разрядов, 9 портов;

COMM5 – коммутатор входных данных операционных устройств;

OP1_unit, OP2_unit – операционные (вычислительные) устройства;

CCR_REG, PDN – регистры признаков результата операции и параметра денормализации.

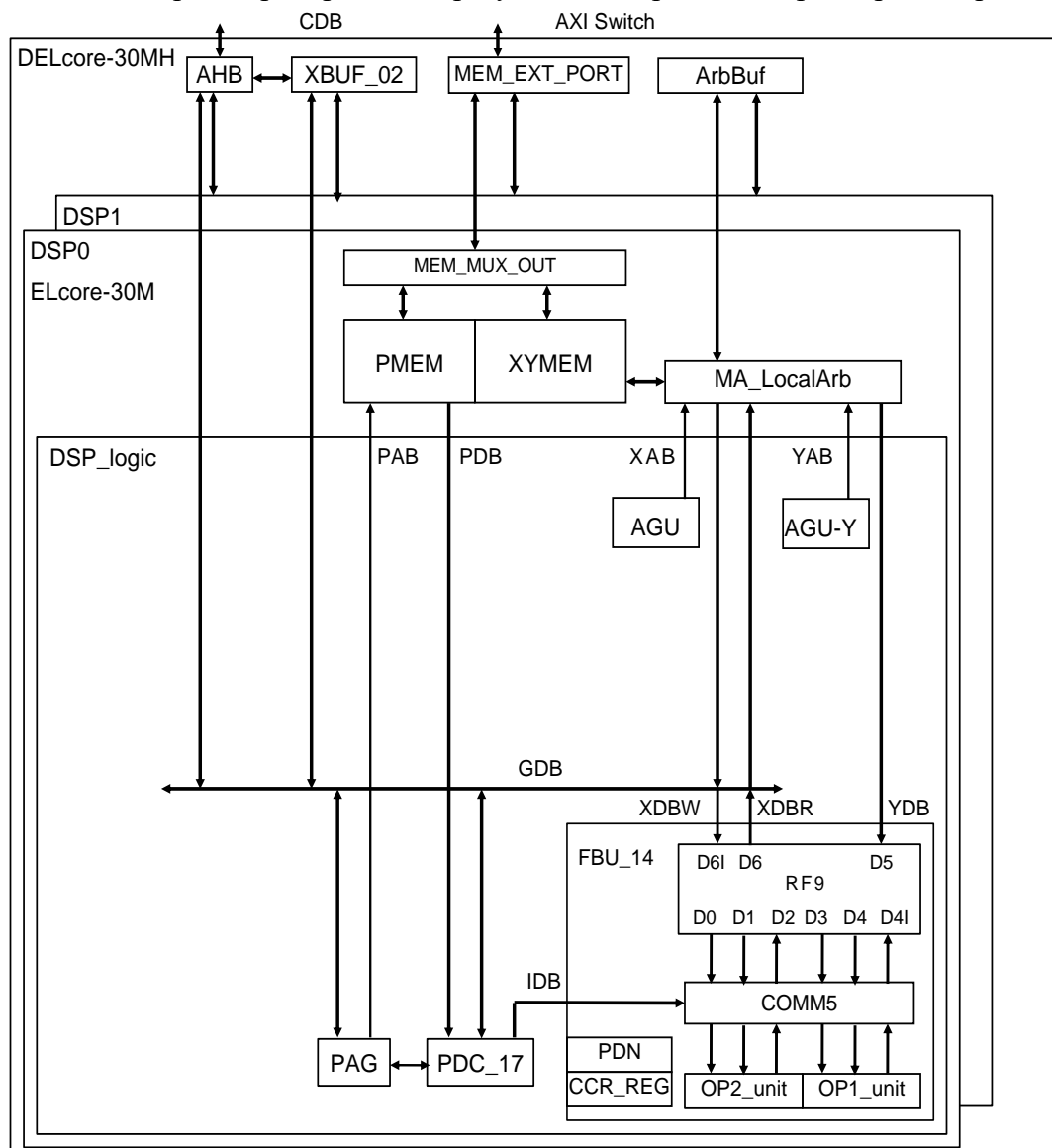


Рисунок 4.1. Структурная схема 2-ядерного DSP-кластера DELcore-30MH

4.3.1 Внешний интерфейс DSP-кластера DELcore-30MH

Управление кластером DSP осуществляется CPU. Внешний доступ ко всем регистрам DSP ядер, регистрам обменного буфера XBUF, а также контрольным регистрам общим для обоих ядер DSP кластера осуществляется по шине CDB.

Доступ к программной памяти и памяти данных осуществляется по интерфейсу AXI Switch, позволяющий передавать по 64 бита за такт. При этом каждое DSP-ядро может запустить

DMA обмен, используя один из доступных контроллеров DMA, а также получить прерывание от контроллера DMA, закончившего обмен. Для этих целей в интерфейсе кластера предусмотрены четыре пары векторных выводов, по которым передается информация, о том какой контроллер DMA должен быть запущен, и от какого именно контроллера поступило прерывание для конкретного DSP ядра.

Для каждого из DSP ядер кластера предусмотрен собственный сигнал синхронизации (тактовый сигнал), поэтому кроме системного такового сигнала шины CDB и AXI SWitch, в кластер заводятся 2 тактовых сигнала для каждого из 2-х DSP ядер. Это сделано для обеспечения возможности независимого отключения тактовой частоты от каждого из DSP ядер с целью снижения энергопотребления.

4.3.2 Организация работы DSP-кластера DELcore-30MH

Кластер DSP представляет собой 2-ядерную MIMD систему. Каждое DSP ядро обладает собственной программной памятью, и может работать независимо.

Для синхронизации работы DSP ядер в кластере предусмотрено два механизма: механизм прерываний и механизм обменов через XBUF в синхронном режиме.

Каждое DSP ядро может сформировать прерывание для другого ядра. Ядро, получившее прерывание, переходит в состояние RUN, если было остановлено, и начинает исполнение подпрограммы, адрес которой храниться в специальном регистре этого ядра.

Для оперативных обменов данными между CPU, DSP0, DSP1 в составе кластера имеется буфер обмена XBUF, состоящий из 32-х 64-разрядных регистров X0-X31, доступных по записи и чтению для всех процессорных ядер.

Буфер обмена XBUF представляет собой многопортовую память и допускает одновременное чтение одной и той же ячейки со стороны нескольких абонентов - CPU, DSP0, DSP1. При одновременном запросе на запись в одну и ту же ячейку приоритет отдается CPU, затем - DSP0, затем - DSP1.

Обменный буфер может работать в обычном режиме, когда при обмене данными через него не происходит никаких блокировок и в синхронном режиме. В синхронном режиме для конкретного регистра XBUF обязательно должны чередоваться операции чтения записи, если какое-либо ядро пытается осуществить запись после записи или чтение после чтения – оно блокируется. Обмен через XBUF в синхронном режиме является дополнительным программным способом синхронизации ядер DSP.

Программная память и память данных кластера DSP физически организована как двухпортовая. По одному порту производятся внешние обращения от RISC ядра и контроллеров DMA, по другому порту производятся обращения от ядер DSP. Такая организация позволяет производить бесконфликтный фоновый обмен данными между памятью кластера DSP и внешними устройствами.

4.4 Организация памяти

Кластер DSP организован как система с асимметричным доступом к памяти (NUMA). Общее адресное пространство кластера состоит из локальных памяти XYRAM0, XYRAM1 каждого из DSP ядер. Таким образом, вся память разбита на 2 сегмента, при этом для каждого DSP ядра есть ближний (свой) сегмент памяти, обращения к которому в случае, если нет конфликтов с другим ядром, не приводят к простоям ядра. Другой же сегмент для

него является дальним (чужим) и обращения к нему могут приводить к простоям ядра даже в отсутствие конфликтов между ядрами. Обращения к чужому сегменту памяти проходит через очередь обращений.

Операция записи является буферизованной, т.е. в отсутствие конфликтов между ядрами запись в дальний сегмент памяти не приводит к простоям ядра. Однако программисту следует учитывать, что физически запись в память происходит не сразу после исполнения инструкции, а через время, требуемое для прохождения данных по очереди обращений и на разрешение конфликтов (в отсутствие конфликтов запись корректных данных в дальнюю память осуществляется через 2 такта после исполнения инструкции записи в память).

- Карта памяти

Карта памяти DSP кластера в составе микросхемы 1892BM206 приведена на Рисунок 4.2.

Каждое из DSP-ядер имеет свою программную память (PRAM) объемом 32 Кбайт и общую для всех память данных XYRAM объемом 256 Кбайт.

Адреса в пространстве CPU		Внутренние адреса DSP
DSP0	DSP1	
0x187F_FFFC 0x187F_FF00		Буфер обмена XBUF (32*64)
		Резерв
0x1848_055C 0x1848_0000	0x1888_055C 0x1888_0000	Регистры данных и управления
		Резерв
0x1844_7FFC 0x1844_0000	0x1884_7FFC 0x1884_0000	Память программ PRAM 2*(8К*32)
		0x1FFF = PC_max PC 0x0000 = PC_min
0x1881_FFFC 0x1880_0000		Память данных XYRAM сегмент 1 (32К*32)
		0xFFFF
0x1841_FFFC 0x1840_0000		Память данных XYRAM сегмент 0 (32К*32)
		0x8000 A0-A7, AT
		0x7FFF
		0x0000

Рисунок 4.2. Карта памяти DSP0-DSP1 в составе микросхемы 1892BM206

Объем PRAM (DSP0) – 8К 32-разрядных слов (32 Кбайт).

Объем PRAM (DSP1) – 8К 32-разрядных слов (32 Кбайт).

Объем XYRAM – 64К 32-разрядных слов (128 Кбайт).

Для обеспечения возможности одновременного доступа к памяти программ и данных DSP как со стороны CPU (DMA), так и со стороны DSP блоки памяти XYRAM и PRAM аппаратно реализованы как 2-портовые. С внешней стороны возможны как 32-разрядные (CPU), так и 64-разрядные обращения (DMA). Со стороны DSP0–DSP1 возможны 32/64/128-разрядные обращения (чтение и запись) к памяти данных XYRAM. Программная память PRAM со стороны DSP доступна только для чтения 32/64-разрядных слов инструкций.

Два входящих в состав микросхемы 1892BM206 DSP-ядра работают на общем поле памяти данных XYRAM. Для каждого DSP-ядра сегмент памяти с соответствующим номером является «ближней» памятью, доступ к которой осуществляется с наименьшей задержкой. Доступ к остальной («дальней») памяти производится с дополнительной задержкой, необходимой для выполнения арбитража.

Указатели A0-A7 адресного генератора AGU и указатель AT адресного генератора AGU-Y полностью равноправны, т.е. по указателям A0-A7, AT каждому из DSP-ядер доступна вся память данных XYRAM.

Начальное состояние регистров A0-A7, AT каждого из DSP-ядер приведено в Таблица 4.1.

Таблица 4.1. Начальное состояние регистров A0-A7, AT

Условное обозначение	Разрядность	Наименование	Начальное состояние	
			DSP0	DSP1
A0-A7	32 R/W	Адресный регистр AGU	0x0000	0x8000
AT	32 R/W	Адресный регистр AGU-Y	0x2000	0xA000

Таким образом, при начальной установке регистры A0-A7 указывают на начало, а регистры AT – на середину ближней (локальной) памяти соответствующего DSP-ядра.

4.4.1 Дисциплина отработки одновременных обращений к общему полю памяти данных со стороны DSP-ядер (арбитраж)

Так как память данных XYRAM является общим ресурсом для обоих DSP-ядер, при одновременном обращении к ней со стороны нескольких DSP-ядер возможны коллизии.

Для уменьшения числа таких коллизий память данных XYRAM разделена на 2 сегмента, каждый из которых содержит 2 страницы объемом 8К 32-разрядных слов. Аппаратно каждая страница реализована в виде четырех блоков памяти по 2К*32 бит каждый.

Таким образом, обращения от различных DSP-ядер к различным страницам памяти могут происходить одновременно и не приводит к коллизиям (конфликтам) и задержкам. Кроме того, возможны два одновременных обращения по X и Y указателям от одного DSP-ядра к одной странице памяти, при условии, что обращения идут к разным блокам памяти.

Коллизии возникают лишь при одновременном обращении нескольких DSP-ядер к одной и той же странице, либо при одновременном обращении X-указателя (A0-A7) и Y-указателя (AT) одного из DSP-ядер к одному физическому блоку памяти.

4.4.2 Доступ DSP кластера к ресурсам процессора

Каждое DSP ядро может обращаться к ресурсам процессора (внешняя и внутренняя память, регистры, периферия).

В целях совместимости адресация внутренней памяти DSP кластера не изменена.

Адресное пространство DSP находится в диапазоне адресов 0x00000000 – 0x000FFFFFF при пословной адресации, которая применяется в ядрах DSP, что соответствует диапазону 0x00000000 – 0x003FFFFFFC при побайтовой адресации, используемой в адресном пространстве всей системы на кристалле.

Таким образом, обращаясь к адресам адресного пространства DSP (0x00000000 – 0x000FFFFFF - пословная) ядро выполняет обращение к внутренней памяти кластера. В этом случае обращения в зависимости от адреса и номера DSP ядра могут направляться либо в ближний сегмент памяти данного ядра (быстрые обращения), либо в дальний сегмент памяти другого ядра (обращения через коммутатор кластера).

При обращениях к старшим адресам адресного пространства, лежащим вне адресного пространства DSP (0x000FFFFFF - 0xFFFFFFFF - пословная), обращение от DSP ядра перенаправляется на глобальный коммутатор AXI и может быть направлено к любому адресуемому регистру или ячейке памяти, за исключением диапазона 0x00000000 – 0x003FFFFFFC (адреса полностью соответствуют карте памяти RISC ядра). Важной особенностью внешних обращений DSP, о которой необходимо помнить программисту, является тот факт, что при переходе из адресного пространства DSP с пословной адресацией в глобальное пространство с побайтовой адресацией выполняется аппаратный сдвиг значения адресного указателя на 2 бита влево. Так, например, обращение DSP ядра по значению A0 = 0x2FF00001 приведет к обращению по физическому адресу 0xBFC00004.

(DSP адресует память 32-х разрядными словами, поэтому реальный физический адрес внешнего обращения получается сдвигом влево на два разряда текущего значения адресного указателя).

Весь DSP кластер является одним мастером для шины AXI (все ядра кластера выполняют внешние обращения через один общий порт), таким образом, между обращениями от разных DSP ядер могут иметь место конфликты, даже если эти обращения выполняются к различным ресурсам процессора.

DSP ядро поддерживает 32-, 64-, 128-разрядные пересылки, в то время, как доступ ко многим ресурсам процессора возможен только 64/32 или даже только 32-х разрядными обращениями.

В связи с этим введен механизм разбиения обращения от DSP ядра на 32-х или 64-х разрядные обращения. Для управления режимом разбиения в регистре SR введены биты SplitMode = SR[15:14], назначение которых приведено в Таблица 4.2.

Таблица 4.2. Режим разбиения в зависимости от значения бит SR[15:14] = SplitMode[1:0]

SplitMode[1:0]	Разрядность обращения от DSP	Обращения к ресурсам процессора
00/11 нет разбиения	32	одно 32-х разрядное
00/11 нет разбиения	64	одно 64-х разрядное
00/11 нет разбиения	128	одно 64-х разрядное. биты [127:96] как для данных на запись, так и читаемых данных игнорируются
01 разбиение на 32-х разрядные обращения	32	одно 32-х разрядное

SplitMode[1:0]	Разрядность обращения от DSP	Обращения к ресурсам процессора
01 разбиение на 32-х разрядные обращения	64	два 32-х разрядных
01 разбиение на 32-х разрядные обращения	128	четыре 32-х разрядных
10 разбиение на 64-х разрядные обращения	32	одно 32-х разрядное
10 разбиение на 64-х разрядные обращения	64	одно 64-х разрядное
10 разбиение на 64-х разрядные обращения	128	два 64-х разрядных

Запись во внешнюю память является буферизованной, таким образом операции записи не приводят к останову конвейера DSP ядра за исключением следующих случаев:

Идут непрерывные 128 разрядные записи и включено разбиение обращений (SplitMode = 01 или SplitMode = 10), либо идут непрерывные 128 или 64 разрядные записи и SplitMode = 01, в этом случае пропускной способности внешнего порта не хватает, буфер обращений переполняется и до готовности принять новое обращение ядро блокируется. Такая же ситуация может возникнуть при конфликтах между ядрами при одновременном обращении к внешнему адресному пространству.

Любое чтение по адресам из внешнего для DSP адресного пространства приводит к останову конвейера вплоть до момента получения прочитанных данных.

Поскольку каждое чтение приводит к останову, имеет смысл группировать чтения в два 128 разрядных обращения. Так, например, чтение группы регистров, выполненное по следующей программе:

```
Move (a0)+i0, r2.l
Move (a0)+i0, r4.l
Move (a0)+i0, r6.l
Move (a0)+i0, r8.l
Move (a0)+i0, r10.l
Move (a0)+i0, r12.l
Move (a0)+i0, r14.l
Move (a0)+i0, r16.l
```

в среднем занимает в 5.5-6 раз больше тактов, чем чтение пакета из 8 слов, выполненное командой

```
Move (a0), r2.q (at), r0.q.
```

4.4.3 Контроллеры Хэмминга памяти DSP

4.4.3.1 Контроллер Хэмминга внешнего порта памяти DSP

4.4.3.1.1 Регистр управления внешнего порта памяти DSP (CSR_He)

Адрес - 0x1848_0300

31	24 23	16 15	8 7	3	2	1	0
cnt_Serr	num_Serr	cnt_Derr	–	NE	H	MD	

cnt_Serr[7:0] - Счетчик одиночных ошибок в данных, либо в коде Хэмминга (в том числе ошибка бита четности).

num_Serr[7:0] – Если cnt_Serr > num_Serr, то формируется запрос на прерывание;

cnt_Derr - Счетчик двойных ошибок в данных, либо в коде Хэмминга;

Если cnt_Derr ≠ 0, то формируется запрос на прерывание;

NE - Not Empty – FIFO ошибочных адресов не пустое;

H_MD - Режим работы контроллера:

00 – без формирования и проверки кодов Хэмминга;

01 – режим формирования и проверки кодов Хэмминга;

10 – тестовый режим – обращения идут напрямую к памяти кодов Хэмминга;

4.4.3.1.2 FIFO ошибочных адресов внешнего порта памяти DSP (FIFO_He)

FIFO – 32×32, FIFO содержит первые 32 ошибочных адресов, доступно только по чтению.

Запись по адресу FIFO обнуляет указатели чтения/записи FIFO.

Адрес - 0x1848_0304

31	28	27	26	25	24	23
0						
–	ER_H	ER_L	MEM_ADDR[23:0]			

MEM_ADDR[23:0] – младшие 24 разряда адреса памяти DSP, при чтении из которого обнаружена ошибка.

ER_L – Код ошибки, при чтении 32-слова из памяти,

либо код ошибки младшего 32-слова, при чтении 64-слова из памяти, если обнаружены ошибки в младшем слове,

либо код ошибки старшего 32-слова, при чтении 64-слова из памяти, если обнаружены ошибки только в старшем слове.

ER_H – Код ошибки старшего 32-слова, при чтении 64-слова из памяти, если обнаружены ошибки и в старшем, и в младшем слове.

ER_L/ER_H: 00 – нет ошибки;

01 – одиночная ошибка в данных, либо в коде Хэмминга;

10 – двойная ошибка в данных, либо в коде Хэмминга;

11 – ошибка бита четности.

4.4.3.2 Контроллеры Хэмминга внутренних портов памяти DSP

Hx0 - контроллер Хэмминга обращений к памяти XYMEM ядра DSP0/1 от внутренней AGU_X данного ядра DSP0/1.

Hу0 - контроллер Хэмминга обращений к памяти XYMEM ядра DSP0/1 от внутренней AGU_Y данного ядра DSP0/1.

Hx1 - контроллер Хэмминга обращений к памяти XYMEM ядра DSP0/1 от внешней AGU_X другого ядра DSP1/0.

Hx1 - контроллер Хэмминга обращений к памяти XYMEM ядра DSP0/1 от внешней AGU_Y другого ядра DSP1/0.

Hр0 - контроллер Хэмминга внутреннего порта памяти программ PRAM_L – младшее слово.

Hр1 - контроллер Хэмминга внутреннего порта памяти программ PRAM_H – старшее слово.

Адреса регистров управления CSR и FIFO этих контроллеров приведены в таблице ниже.

Таблица 4.3

Контроллер	Регистр	Адрес регистра (DSP0)	Адрес регистра (DSP1)
Hx0	CSR_x0	0x1848_0308	0x1888_0308
	FIFO_x0	0x1848_030C	0x1888_030C
Hу1	CSR_y0	0x1848_0310	0x1888_0310
	FIFO_y0	0x1848_0314	0x1888_0314
Hx1	CSR_x1	0x1848_0318	0x1888_0318
	FIFO_x1	0x1848_031C	0x1888_031C
Hу1	CSR_y1	0x1848_0320	0x1888_0320
	FIFO_y1	0x1848_0324	0x1888_0324
Hр0	CSR_xy	0x1848_0328	0x1888_0328
	CSR_p0	0x1848_032C	0x1888_032C
Hр1	FIFO_p0	0x1848_0330	0x1888_0330
	CSR_p1	0x1848_0334	0x1888_0334
	FIFO_p1	0x1848_0338	0x1888_0338

4.4.3.3.1 Регистры управления CSR_x0, CSR_y0, CSR_x1, CSR_y1 контроллеров Хэмминга Hx0, Hу0, Hx1, Hу1

31	24	23	16	15	8	7	3
2	1	0					
cnt_Serr	num_Serr		cnt_Derr		–	NE	–

cnt_Serr[7:0] – Счетчик одиночных ошибок в данных, либо в коде Хэмминга (в том числе ошибка бита четности).

num_Serr[7:0] – Если cnt_Serr > num_Serr, то формируется запрос на прерывание.

cnt_Derr – Счетчик двойных ошибок в данных, либо в коде Хэмминга.

Если cnt_Derr ≠ 0, то формируется запрос на прерывание.

NE - Not Empty – FIFO ошибочных адресов не пустое.

4.4.3.3.2 Регистр управления CSR_xу

Общий для контроллеров Хэмминга Hx0, Hy0, Hx1, Hy1

31	6	5	4	3	2	
1	0					
–		NE_Y1	NE_X1	NE_Y0	NE_X0	H_MD

NE_X0 - Not Empty – FIFO_x0 ошибочных адресов контроллера Hx0 не пустое.

NE_Y0 - Not Empty – FIFO_y0 ошибочных адресов контроллера Hy0 не пустое.

NE_X1 - Not Empty – FIFO_x1 ошибочных адресов контроллера Hx1 не пустое.

NE_Y1 - Not Empty – FIFO_y1 ошибочных адресов контроллера Hy1 не пустое.

H_MD - Режим работы контроллеров Хэмминга Hx0, Hy0, Hx1, Hy1:

00 – без формирования и проверки кодов Хэмминга;

01 – режим формирования и проверки кодов Хэмминга;

10 – тестовый режим – обращения идут напрямую к памяти кодов Хэмминга.

4.4.3.3.3 FIFO ошибочных адресов FIFO_x0, FIFO_y0, FIFO_x1, FIFO_y1 контроллеров Хэмминга Hx0, Hy0, Hx1, Hy1

FIFO – 32×8. FIFO содержит первые 8 ошибочных адресов, доступно только по чтению.

Запись по адресу FIFO обнуляет указатели чтения/записи FIFO.

31	30	29	28	27	26	25	24	23	22	21	20	19
0												
SIZE		ER_3	ER_2	ER_1	ER_0	–		MEM_ADDR[19:0]				

MEM_ADDR[19:0] – младшая часть адреса памяти 128-разрядной страницы памяти DSP, при чтении из которого обнаружена ошибка.

ER_0 – Код ошибки, при чтении младшего 32-слова из 128-разрядной страницы памяти DSP.

ER_1 – Код ошибки, при чтении второго 32-слова из 128-разрядной страницы памяти DSP.

ER_2 – Код ошибки, при чтении третьего 32-слова из 128-разрядной страницы памяти DSP.

ER_3 – Код ошибки, при чтении старшего 32-слова из 128-разрядной страницы памяти DSP.

ER_0/ER_1/ER_2/ER_3:

00 – нет ошибки;

01 – одиночная ошибка в данных, либо в коде Хэмминга;

10 – двойная ошибка в данных, либо в коде Хэмминга;

11 – ошибка бита четности.

SIZE[1:0] – размер чтения из 128-разрядной страницы памяти DSP, при выполнении которого обнаружена ошибка:

00 – 32-разрядное чтение из страницы памяти DSP;

10 – 64-разрядное чтение из страницы памяти DSP;

11 – 128-разрядное чтение из страницы памяти DSP.

4.4.3.3.4 Регистр управления CSR_p0, CSR_p1 контроллеров Хэмминга Нp0, Нp1

31	24	23	16	15	8	7	3	2
1	0							
cnt_Serr		num_Serr		cnt_Derr		–	NE	H_MD

cnt_Serr[7:0] – Счетчик одиночных ошибок в данных, либо в коде Хэмминга (в том числе ошибка бита четности).

num_Serr[7:0] – Если cnt_Serr > num_Serr, то формируется запрос на прерывание.

cnt_Derr – Счетчик двойных ошибок в данных, либо в коде Хэмминга.

Если cnt_Derr ≠ 0, то формируется запрос на прерывание.

NE - Not Empty – FIFO ошибочных адресов не пустое.

H_MD - Режим работы контроллера:

00 – без формирования и проверки кодов Хэмминга;

01 – режим формирования и проверки кодов Хэмминга;

10 – тестовый режим – обращения идут напрямую к памяти кодов Хэмминга.

4.4.3.3.5 FIFO ошибочных адресов FIFO_p0, FIFO_p1 контроллеров Хэмминга Нp0, Нp1

FIFO – 32×8. FIFO содержит первые 8 ошибочных адресов, доступно только по чтению.

Запись по адресу FIFO обнуляет указатели чтения/записи FIFO.

31	30	29	28	27	26	25	24	23	22	21	20	19	
0													
–								ER	–	MEM_ADDR[19:0]			

MEM_ADDR[19:0] – младшая часть адреса памяти DSP, при чтении из которого обнаружена ошибка.

ER – Код ошибки, при чтении 32-слова из памяти DSP.

ER:

00 – нет ошибки;

01 – одиночная ошибка в данных, либо в коде Хэмминга;

10 – двойная ошибка в данных, либо в коде Хэмминга;

11 – ошибка бита четности.

4.5 Регистры управления и состояния DELcore-30MH

На верхнем уровне кластера DSP имеются 4 регистра управления и состояния. Назначение и адреса этих регистров указаны в Таблица 4.4.

Таблица 4.4. Назначение и адреса регистров управления и состояния кластера DSP

Имя	Разрядность	Тип обращений	Назначение	Адрес
MASKR_DSP	32	R/W	Регистр маски прерываний	0x1848_1000

Имя	Разрядность	Тип обращений	Назначение	Адрес
QSTR_DSP	32	R	Регистр запросов прерываний	0x1848_1004
CSR_DSP	32	R/W	Регистр управления и состояния	0x1848_1008
TOTAL_RUN_CNTR	32	R/W	Счетчик тактов в состоянии RUN	0x1848_100C
TOTAL_CLK_CNTR	32	R/W	Счетчик тактов	0x1848_1010
QSTR_HEM_DSP	32	R/W	Регистр запросов прерываний от контроллеров Хэмминга	0x1848_1014

4.5.1 Регистр маски прерываний (MASKR_DSP)

Регистр маски прерываний MASKR_DSP содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») запрос на прерывание в CPU от соответствующего разряда регистра запросов прерываний QSTR_DSP. Регистр доступен по чтению и записи. Начальное состояние регистра MASKR_DSP=0x0.

4.5.2 Регистр запросов прерываний (QSTR_DSP)

Регистр запросов прерываний QSTR_DSP доступен только по чтению и содержит флаги запросов прерываний от 2-х DSP-ядер. Назначение разрядов регистра QSTR_DSP приведено в Таблица 4.5.

Таблица 4.5. Назначение разрядов регистра QSTR_DSP

Номер разряда	Наименование разряда	Назначение
0	PI0	Программное прерывание DSP0
1	SE0	Прерывание по ошибке стека DSP0
2	BREAK0	Прерывание по останову BREAK DSP0
3	STP0	Прерывание по останову STOP DSP0
4:7	-	Резерв
8	PI1	Программное прерывание DSP1
9	SE1	Прерывание по ошибке стека DSP1
10	BREAK1	Прерывание по останову BREAK DSP1
11	STP1	Прерывание по останову STOP DSP1
12:27	-	Резерв
28	WAIT	Прерывание по состоянию ожидания обоих DSP-ядер
29:31	-	Резерв

Начальное состояние регистра QSTR_DSP = 0x0.

4.5.3 Регистр управления и состояния (CSR_DSP)

Регистр управления и состояния CSR_DSP доступен по чтению и записи и содержит биты управления кластером DSP-ядер. Назначение разрядов регистра CSR_DSP приведено в Таблица 4.6.

Таблица 4.6. Назначение разрядов регистра CSR_DSP

Номер разряда	Наименование разряда	Назначение
0	SYNSTART	Одновременный старт DSP0 – DSP3

Номер разряда	Наименование разряда	Назначение
1	SYNWORK	Работа XBUF в синхронном режиме
2:15	-	Резерв
16	HEN	Включение режима определения высокой плотности потоков
17	DEN	Разрешение установки явного приоритета (статический режим)
18	LEN	Бит разрешения ограничителя
19	-	Резерв
20:21	DPTR	Номер ядра, обладающего наивысшим приоритетом
24:29	Limit	Максимальное значение счетчика обращений
2-31	-	Резерв

Начальное состояние регистра CSR_DSP=0x0.

Запись «1» в разряд SYNSTART приводит к одновременному запуску четырёх DSP-ядер. При этом в регистрах DCSR каждого из DSP-ядер бит RUN устанавливается в «1», состояние других разрядов не изменяется. Запись «1» в разряд SYNWORK устанавливает буфер обмена XBUF в синхронный режим.

4.5.3.1 Арбитраж.

Для управления арбитражем обращений от различных DSP ядер в регистр CSR_DSP введены дополнительные разряды HEN, DEN, LEN, DPTR, Limit.

Более подробно данные биты описаны в 4.11.19.1.

4.5.4 Счетчик тактов (TOTAL_CLK_CNTR)

32-разрядный счетчик тактов (TOTAL_CLK_CNTR) выполняет подсчет числа тактов. Любая запись в данный счетчик приводит к его обнулению.

Начальное состояние счетчика тактов также равно нулю: TOTAL_CLK_CNTR = 0x0.

4.5.5 Счетчик тактов в состоянии RUN (TOTAL_RUN_CNTR)

32-разрядный счетчик тактов (TOTAL_RUN_CNTR) выполняет подсчет числа тактов, в течение которых хотя бы одно из DSP-ядер находилось в состоянии RUN. Любая запись в данный счетчик приводит к его обнулению.

Начальное состояние счетчика тактов также равно нулю: TOTAL_RUN_CNTR = 0x0.

4.5.6 Регистр запросов прерываний (QSTR_HEM_DSP)

Регистр запросов прерываний от контроллеров Хэмминга QSTR_HEM_DSP доступен только по чтению и содержит флаги запросов прерываний от контроллеров Хэмминга 2-х DSP-ядер. Назначение разрядов регистра QSTR_HEM_DSP приведено в Таблица 4.7

Таблица 4.7. Назначение разрядов регистра QSTR_HEM_DSP

Номер разряда	Наименование разряда	Назначение
0	IR_Hm_p0_0	Запрос на прерывание от контроллера Хэмминга Hp0 ядра DSP0
1	IR_Hm_x0_0	Запрос на прерывание от контроллера Хэмминга Hx0 ядра DSP0

Номер разряда	Наименование разряда	Назначение
2	IR_Hm_y0_0	Запрос на прерывание от контроллера Хэмминга Ну0 ядра DSP0
3	IR_Hm_p1_0	Запрос на прерывание от контроллера Хэмминга Нр1 ядра DSP0
4	IR_Hm_x1_0	Запрос на прерывание от контроллера Хэмминга Нх1 ядра DSP0
5	IR_Hm_y1_0	Запрос на прерывание от контроллера Хэмминга Ну1 ядра DSP0
6	-	Резерв
7	IR_HmE_0	Запрос на прерывание от контроллера Хэмминга внешнего порта памяти ядра DSP0
8	IR_Hm_p0_1	Запрос на прерывание от контроллера Хэмминга Нр0 ядра DSP1
9	IR_Hm_x0_1	Запрос на прерывание от контроллера Хэмминга Нх0 ядра DSP1
10	IR_Hm_y0_1	Запрос на прерывание от контроллера Хэмминга Ну0 ядра DSP1
11	IR_Hm_p1_1	Запрос на прерывание от контроллера Хэмминга Нр1 ядра DSP1
12	IR_Hm_x1_1	Запрос на прерывание от контроллера Хэмминга Нх1 ядра DSP1
13	IR_Hm_y1_1	Запрос на прерывание от контроллера Хэмминга Ну1 ядра DSP1
14	-	Резерв
15	IR_HmE_1	Запрос на прерывание от контроллера Хэмминга Нехт внешнего порта памяти ядра DSP1
16:31	-	Резерв

Начальное состояние регистра QSTR_HEM_DSP=0x0.

4.6 Буфер обмена XBUF

Для оперативных обменов данными между CPU, DSP0 – DSP1 в составе микросхемы 1892BM206 имеется буфер обмена XBUF, состоящий из 32-х 64-разрядных регистров X0-X31, доступных по записи и чтению для всех процессорных ядер.

Буфер обмена XBUF представляет собой многопортовую память и допускает одновременное чтение одной и той же ячейки со стороны нескольких абонентов – CPU, DSP0 – DSP1. При одновременном запросе на запись в одну и ту же ячейку приоритет отдается CPU, затем - DSP0, затем - DSP1.

Особенностью работы XBUF в составе микросхемы 1892BM206 является то, что обмены со стороны DSP0 – DSP1 – 64-разрядные, а со стороны CPU – 32-разрядные. Размещение 64-разрядных регистров X0-X31 в адресном пространстве CPU приведено в Таблица 4.23.

4.6.1 Регистр флагов обмена EFR

Регистр флагов обмена (EFR) является общим для всего кластера DSP и предназначен для отображения флагов обменов через буфер XBUF. Регистр EFR содержит 32 бита, доступных только по чтению каждому из DSP-ядер и CPU, начальное состояние EFR=0x0.

Каждый разряд этого регистра формируется аппаратно и отображает тип последней транзакции, выполненной с соответствующей ячейкой XBUF (0 – чтение из XBUF, 1 – запись). Заметим, что при 8/16/32-разрядных обращениях со стороны CPU изменение состояния EFR происходит только при обращении к младшему байту 64-разрядной ячейки XBUF.

4.6.2 Режимы обменов с XBUF

Имеются два режима обменов с XBUF – обычный и синхронный (семафорный).

В обычном режиме (устанавливается битом 1 регистра CSR_DSP SYNWORK=0) любой из абонентов - CPU, DSP0 – DSP1 - в любое время может обращаться к любой ячейке XBUF, и это обращение немедленно исполняется (с учетом приоритета по записи).

В синхронном режиме (устанавливается битом 1 регистра CSR_DSP SYNWORK=1): CPU обращается к XBUF так же, как и в обычном режиме;

Обращения со стороны DSP0 – DSP1 могут выполняться с задержкой в зависимости от состояния регистра EFR и типа обращения. Если тип обращения не совпадает с типом последней транзакции, выполненной с данной ячейкой XBUF (то есть если за записью следует чтение, а за чтением - запись) то исполнение такого обращения происходит без задержки. Если же за записью вновь следует запрос на запись в ту же ячейку (либо за чтением – вновь запрос на чтение), то такое обращение выполняется с задержкой.

Выдавшее запрос DSP переводится в состояние ожидания, продолжающееся до тех пор, пока соответствующий бит EFR не сменит свое значение на противоположное.

В регистре DCSR каждого DSP-ядра имеется бит WT=DCSR[4], указывающий на то, что DSP находится в состоянии ожидания при обращении к XBUF.

4.7 Структурная схема DSP-ядра ELcore-30M

Структурная схема DSP-ядра ELcore-30M приведена на Рисунок 4.3.

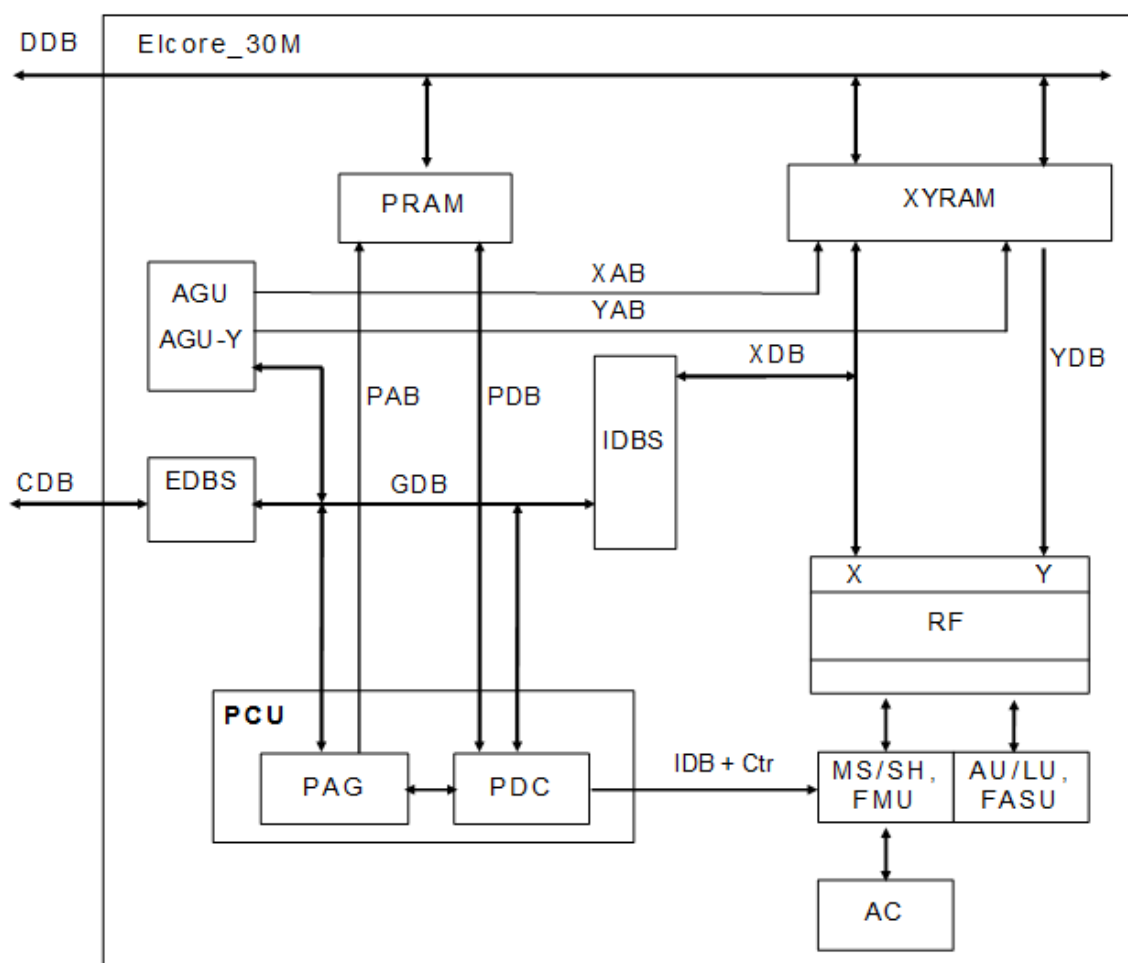


Рисунок 4.3. Структурная схема DSP-ядра ELcore-30M

4.8 Программная модель DSP–ядра ELcore-30M

Программная модель DSP–ядра включает в себя память (программ и данных) и программно-доступные регистры. Регистры обменного буфера XBUF и регистр флагов обмена EFR являются общими для всего DSP–кластера, остальные регистры принадлежат конкретному DSP–ядру и входят в состав одного из его исполнительных устройств. К исполнительным устройствам DSP–ядра относятся:

вычислительная секция ALU;

адресные генераторы для XY-памяти данных (AGU и AGU-Y);

устройство программного управления PCU.

По своему назначению все регистры делятся на регистры данных, объединенные в регистровый файл (RF), и регистры управления (все остальные). Регистры управления разделены на 4 подмножества:

регистры адресных генераторов AGU, AGU-Y;

регистры обменного буфера XBUF;

регистры устройства управления PCU;

регистры-аккумуляторы (в составе ALU).

Программно-доступные регистры DSP–ядра (включая стеки и регистровый файл) приведены на Рисунок 4.4.

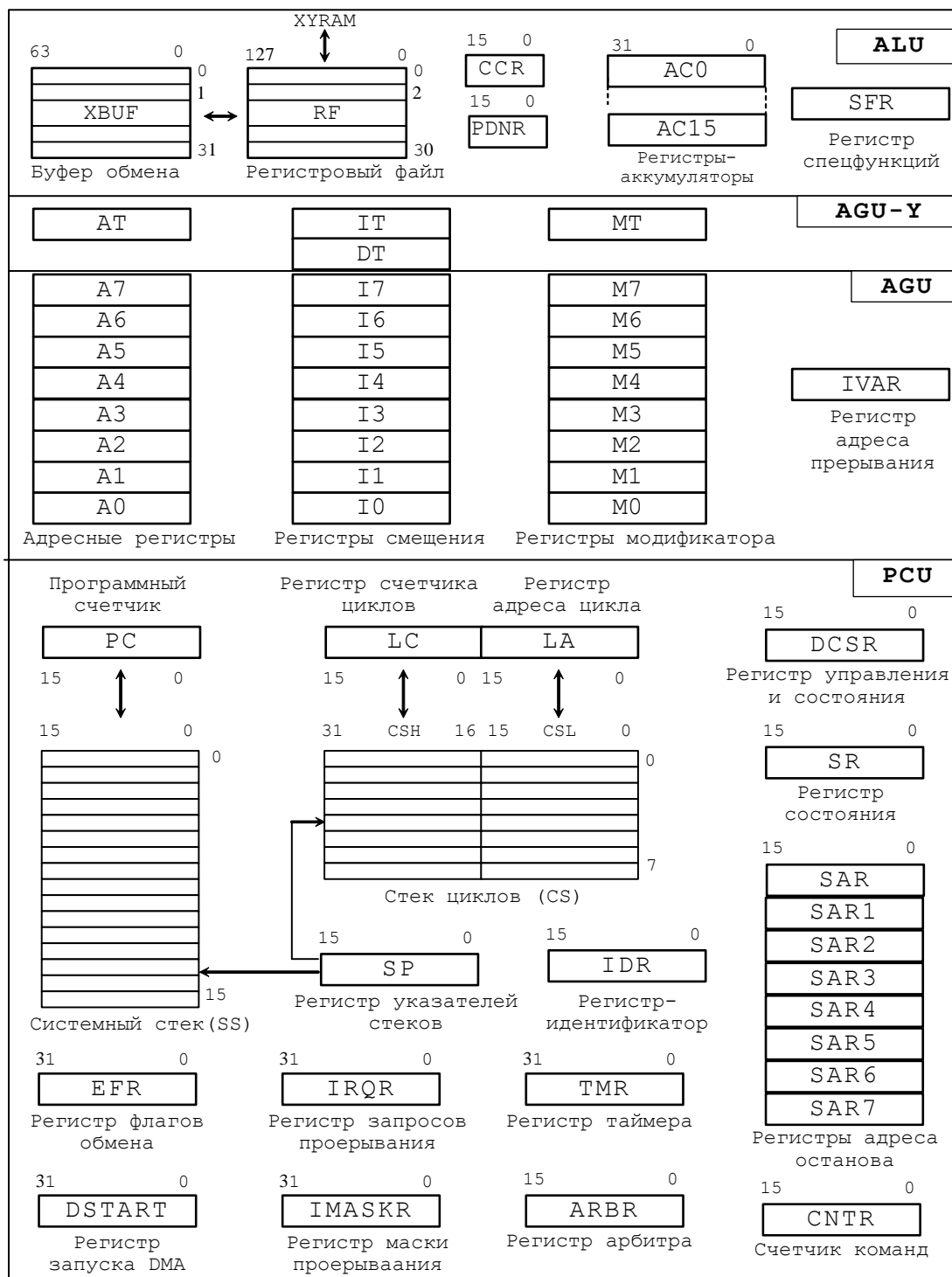


Рисунок 4.4. Программно-доступные регистры DSP-ядра ELcore-30M

4.9 Вычислительная секция (ALU)

4.9.1 Операционные блоки (MS/SH, FMU, AU/LU, FASU)

Операционные блоки выполняют следующие операции.

Умножитель-сдвигатель для форматов с фиксированной точкой (MS/SH)

Операции умножения с целыми числами со знаком и без знака;

Операции умножения чисел со знаком в дробном формате с фиксированной точкой (fractional);

Операции многоразрядного арифметического и логического сдвига в форматах с фиксированной точкой.

Умножитель для формата с плавающей точкой IEEE-754 (FMU)

Операции умножения чисел в формате с плавающей точкой IEEE-754;

Операции FIN (получение 8-разрядного приближения обратной величины);

Операции FINR (получение 8-разрядного приближения обратной величины квадратного корня).

Арифметическое устройство для форматов с фиксированной точкой (AU), включая логическое устройство (LU) и узел битовой обработки (BFU)

Арифметические операции в форматах с фиксированной точкой;

Преобразования форматов чисел;

Ограничение результатов с целью устранения выхода за пределы разрядной сетки (Saturation);

Логические операции;

Операции с битовыми полями.

Арифметическое устройство для формата с плавающей точкой (FASU)

Арифметические операции в форматах с плавающей точкой;

Преобразования форматов чисел.

4.9.2 Регистровый файл

Исходные данные и результаты всех операций ALU хранятся в регистровом файле (RF), который представляет собой реконфигурируемый массив регистров данных (16 регистров по 128 разрядов; или 32 регистра по 64 разряда; или 32 регистра по 32 разряда; или 32 регистра по 16 разрядов). Структура регистрового файла приведена на Рисунке 4.5.

Для определения форматов регистров вводятся следующие мнемоники:

R – 16-разрядные регистры;

R.L – 32-разрядные регистры;

R.D – 64-разрядные регистры;

R.Q – 128-разрядные регистры.

16/32/64-разрядные регистры данных могут иметь номера с R0 по R31, а 128-разрядные регистры – только четные номера с R0 по R30. Четный и нечетный (с номером, большим на единицу) регистры одинаковой разрядности объединяются попарно и образуют 16 регистров большей разрядности с четными номерами, например, два 16-разрядных регистра R0 и R1 образуют 32-разрядный регистр R0.L.

127	63	32	31	16	15	0
64						
R0.Q						
R1.D	R0.D					
	R1.L	R0.L				
		R1	R0			
R2.Q						
R2.D	R2.D					
	R3.L	R2.L				
		R3	R2			
R4.Q						
R5.D	R4.D					
	R5.L	R4.L				
		R5	R4			
R6.Q						
R7.D	R6.D					
	R7.L	R6.L				
		R7	R6			
R8.Q						
R9.D	R8.D					
	R9.L	R8.L				
		R9	R8			
R10.Q						
R11.D	R10.D					
	R11.L	R10.L				
		R11	R10			
R12.Q						
R13.D	R12.D					
	R13.L	R12.L				
		R13	R12			
R14.Q						
R15.D	R14.D					
	R15.L	R14.L				
		R15	R14			

127	64	63	32	31	16	15	0
R16.Q							
R17.D	R16.D						
	R17.L	R16.L					
		R17	R16				
R18.Q							
R19.D	R18.D						
	R19.L	R18.L					
		R19	R18				
R20.Q							
R21.D	R20.D						
	R21.L	R20.L					
		R21	R20				
R22.Q							
R23.D	R22.D						
	R23.L	R22.L					
		R23	R22				
R24.Q							
R25.D	R24.D						
	R25.L	R24.L					
		R25	R24				
R26.Q							
R27.D	R26.D						
	R27.L	R26.L					
		R27	R26				
R28.Q							
R29.D	R28.D						
	R29.L	R28.L					
		R29	R28				
R30.Q							
R31.D	R30.D						
	R31.L	R30.L					
		R31	R30				

Рисунок 4.5. Структура регистрового файла ELcore-30M

4.9.3 Регистры-аккумуляторы

Регистры-аккумуляторы предназначены для хранения данных, получаемых в результате выполнения операций умножения с накоплением. Начальное состояние регистров-аккумуляторов равно нулю.

Каждое DSP-ядро ELcore-30M содержит шестнадцать 32-разрядных регистров-аккумуляторов AC0-AC15, которые могут попарно объединяться в восемь 64-разрядных, либо четыре 128-разрядных регистра.

Структура регистрационного файла регистров-аккумуляторов приводится на Рисунок 4.6.

AC.L – 32-разрядные регистры.

AC.D – 64-разрядные регистры.

AC.Q – 128-разрядные регистры.

Регистры-аккумуляторы доступны по записи и по чтению как со стороны CPU, так и со стороны DSP.

Адреса регистров-аккумуляторов в адресном пространстве CPU приведены в Таблица 4.23.

Начальное состояние регистров-аккумуляторов равно нулю.

127	64	63	32	31	0
AC0.Q					
AC2.D			AC0.D		
AC3.L	AC2.L	AC1.L	AC0.L		
AC4.Q					
AC6.D			AC4.D		
AC7.L	AC6.L	AC5.L	AC4.L		
AC8.Q					
AC10.D			AC8.D		
AC11.L	AC10.L	AC9.L	AC8.L		
AC12.Q					
AC14.D			AC12.D		
AC15.L	AC14.L	AC13.L	AC12.L		

Рисунок 4.6. Структура регистрационного файла регистров-аккумуляторов ELcore-30M

4.9.4 Регистр PDNR

Регистр PDNR - регистр управления, предназначенный для измерения параметра денормализации (PDN) и управления режимом блочной экспоненты и режимом масштабирования (Scaling).

Назначение разрядов регистра PDNR приведено в Таблица 4.8.

Таблица 4.8. Назначение разрядов регистра PDNR

Разряды регистра	Идентификатор	Назначение
0 – 4	Cp _{pdn}	Текущий код PDN
5	F	(X/L) – формат анализируемой информации (0 – Long, 1 – X16)
7	Ep _{pdn}	Программный признак разрешения детектирования и изменения PDN (0 – нет разрешения, 1 – разрешение)
8,9	SC	величина масштабирования результата (00 – нет сдвига, 01 – сдвиг на 1 разряд, 10 – сдвиг на 2 разряда)
15	Esc	Признак разрешения масштабирования результата (0 – нет разрешения, 1 – разрешение)
6,10-14	-	Не используются

Начальное состояние регистра PDNR = 0x0000.

4.9.5 Регистр CCR

Регистр CCR - регистр управления, предназначенный для хранения признаков результатов вычислительных операций. Регистр CCR содержит два поля признаков: основное {Ev,U,N,Z,V,C} (разряды [5:0]) и дополнительное {Evm,Um,Nm,Zm,Vm,Cm} (разряды [15:10]). Поле признаков в младшем байте регистра CCR является основным, т.к. на его основе формируются условия исполнения команд.

Назначение разрядов регистра CCR приведено в Таблица 4.9.

Таблица 4.9. Назначение разрядов регистра CCR

Разряды регистра	Идентификатор	Назначение
0	C	Признак переноса, сформированного в результате выполнения операции (0 – нет переноса, 1 – есть перенос)
1	V	Признак переполнения результата (0 – нет переполнения, 1 – есть переполнение)
2	Z	Признак нулевого результата (0 – результат не нулевой, 1 – результат нулевой)
3	N	Знак результата (0 – знак положительный, 1 – знак отрицательный)
4	U	Признак ненормализованного результата (0 – нормализованный результат, 1 – ненормализованный результат)
5	Ev	Запомненный ранее возникший признак переполнения результата (0 – не было переполнения, 1 – было переполнение)
6	E	Экспоненциальный признак (формируется командой CMPE)
7	t	Признак истинности условия после исполнения условной команды (t=0 – безусловная команда либо условие ложно; t=1 – условие истинно)
8	S	Бит включения режима насыщения результата (0 – отключение режима насыщения, 1 – включение режима насыщения)
9	RND	Бит управления режимом округления результата (0 – CR (Convergent Rounding), 1 – TCR (Two's-Complement Rounding))
10	Cm	Признак переноса сформированного в результате выполнения операции OP2 (0 – нет переноса, 1 – есть перенос)
11	Vm	Признак переполнения результата операции OP2 (0 – нет переполнения, 1 – есть переполнение)
12	Zm	Наличие нулевого результата операции OP2 (0 – результат не нулевой, 1 – результат нулевой)
13	Nm	Значение знака результата операции OP2 (0 – знак положительный, 1 – знак отрицательный)

Разряды регистра	Идентификатор	Назначение
14	Um	Признак ненормализованного результата операции OP2 (0 – нормализованный результат, 1 – ненормализованный результат)
15	Evm	Запомненный ранее возникший признак переполнения результата операции OP2 (0 – не было переполнения, 1 – было переполнение)

Поля признаков формируются по следующим правилам:

при выполнении одной операции типа OP1 (AU/LU/FASU) ее признаки помещаются только в основное поле;

при выполнении одной операции типа OP2 (MS/SH/FMU) ее признаки помещаются в оба поля;

при одновременном выполнении двух вычислительных операций признаки, формируемые операцией типа OP1 поступают в основное поле, признаки операции типа OP2 – в дополнительное поле;

в тех случаях, когда операция типа OP1 заполняет только часть признаков в основном поле, оставшиеся формируются операцией OP2.

Регистр CCR содержит также специальные признаки E, t и два управляющих разряда RND и S. Начальное состояние регистра CCR = 0x0000.

4.10 Устройства генерации адресов памяти данных (AGU, AGU-

Общее пространство памяти данных DSP-ядра состоит из двух областей: X- и Y-памяти. Генерация адресов для памяти данных при внутренних обменах DSP осуществляется адресными генераторами - AGU и AGU-Y.

Устройства AGU, AGU-Y производят вычисление адресов, используя целочисленную 16-разрядную арифметику. При этом используется три типа арифметики: линейная, модульная и арифметика с обратным переносом. Устройства генерации адресов функционируют параллельно с другими ресурсами DSP, что обеспечивает высокую производительность обработки данных.

4.10.1 Архитектура AGU

Адресный генератор AGU формирует адрес XAB, обслуживающий память данных XRAM, а также, при определенных условиях, адрес YAB для памяти данных YRAM.

Блок-схема адресного генератора AGU приведена на Рисунок 4.7.

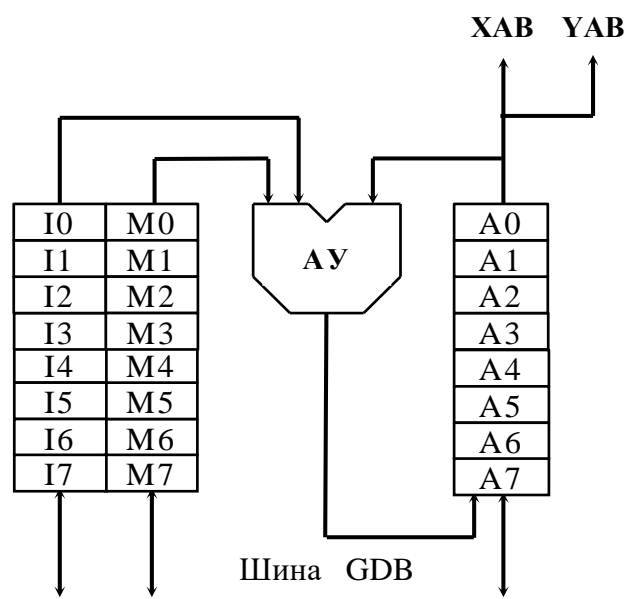


Рисунок 4.7. Блок-схема адресного генератора AGU

AGU содержит восемь наборов из трех регистров (триплетов), в число которых входят: регистр адреса A_n , регистр смещения I_n и регистр модификатора M_n ($n=0, 1, \dots, 7$).

AGU может модифицировать один адресный регистр из своего набора регистров в течение одного командного цикла. При этом содержание соответствующего регистра модификатора определяет тип используемой арифметики.

Входящее в состав адресного генератора арифметическое устройство АУ содержит три сумматора.

Первый 16-разрядный полный сумматор, называемый сумматором смещения, выполняет следующие операции модификации адреса:

- увеличение на 1;
- уменьшение на 1;
- увеличение на величину смещения I_n ;
- уменьшение на величину смещения I_n ;

Второй полный сумматор, называемый модульным сумматором, добавляет (или вычитает) к результату первого сумматора величину модуля, которая хранится в соответствующем регистре модификатора M_n .

Третий полный сумматор, называемый сумматором обратного переноса, выполняет следующие операции модификации адреса с обратным направлением распространения переноса (от старших разрядов к младшим):

- увеличение на 1;
- уменьшение на 1;
- увеличение на величину смещения I_n ;
- уменьшение на величину смещения I_n .

Сумматор смещения работает параллельно с сумматором обратного переноса и имеет с ним общие входы. Единственная разница между ними состоит в направлении распространения переноса. Управляющая логика определяет, результат которого из трех сумматоров является выходом адресного генератора.

В состав AGU входят регистры адреса A0-A7, регистры смещения I0-I7 и регистры модификатора M0-M7. Регистры An, In, Mn, где n = 0, ...,7, составляют триплет. Это означает, что при модификации адресного регистра An могут быть использованы только регистры, имеющие тот же индекс – In, Mn.

Восемь регистровых триплетов адресного генератора:

A0:I0:M0;

A1:I1:M1;

A2:I2:M2;

A3:I3:M3;

A4:I4:M4;

A5:I5:M5;

A6:I6:M6;

A7:I7:M7.

Запись или чтение каждого из указанных регистров осуществляются через глобальную шину данных (GDB) DSP.

4.10.2 Программная модель AGU

С точки зрения программиста, адресный генератор AGU представляет собой восемь наборов по три регистра, как показано на Рисунок 4.8. Эти регистры могут использоваться для хранения адресных указателей или других данных. При косвенной адресации операндов в памяти автоматически включается механизм обновления адресных указателей. Адресные регистры могут быть запрограммированы для линейной адресации, модульной адресации или реверсивной адресации.

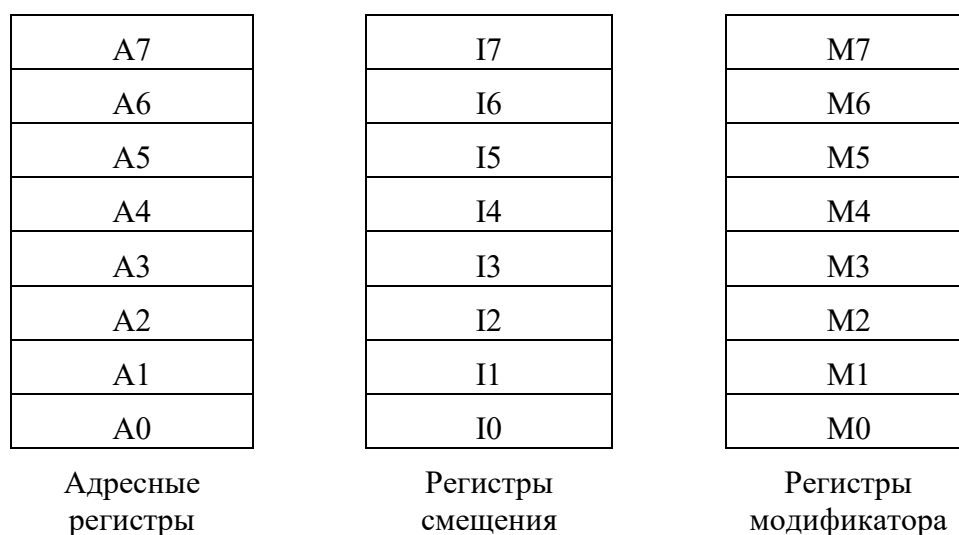


Рисунок 4.8. Программная модель AGU

4.10.3 Архитектура AGU-Y

Адресный генератор AGU-Y формирует адрес YAB для памяти данных YRAM.

В каждой секции DSP имеется отдельное устройство AGU-Y для генерации адресов сегмента памяти YRAM соответствующей секции.

Блок-схема адресного генератора AGU-Y приведена на Рисунок 4.9.

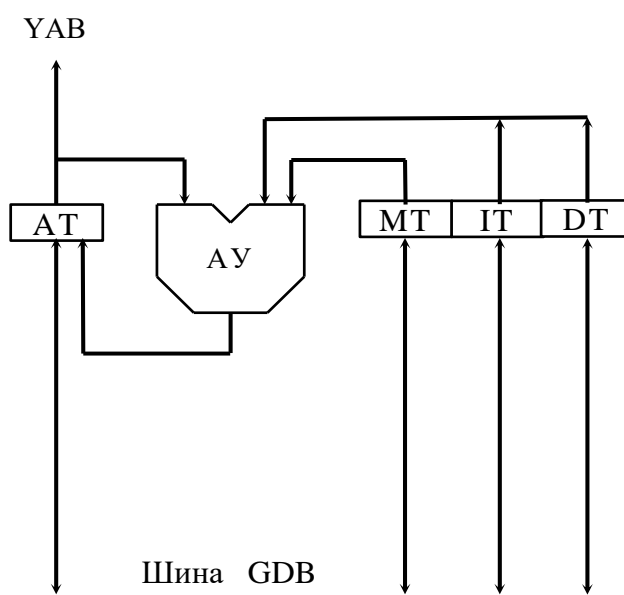


Рисунок 4.9. Блок-схема адресного генератора AGU-Y

AGU-Y содержит набор регистров, в число которых входят: регистры адреса AT, регистры смещения IT и DT, регистр и модификатора MT.

AGU-Y может модифицировать адресный регистр AT в течение одного командного цикла. При этом содержание соответствующего регистра модификатора MT определяет тип используемой арифметики.

Адрес, генерируемый AGU-Y, подается на адресную шину YAB.

Входящее в состав адресного генератора арифметическое устройство AU содержит три сумматора.

Первый 16-разрядный полный сумматор, называемый сумматором смещения, выполняет следующие операции модификации адреса:

- увеличение на величину смещения IT;
- увеличение на величину смещения DT.

Второй полный сумматор, называемый модульным сумматором, добавляет (или вычитает) к результату первого сумматора величину модуля, которая хранится в регистре модификатора MT.

Третий полный сумматор, называемый сумматором обратного переноса, может выполнять следующие операции модификации адреса с обратным направлением распространения переноса – от старших разрядов к младшим:

- увеличение на величину смещения IT;
- увеличение на величину смещения DT.

Сумматор смещения работает параллельно с сумматором обратного переноса и имеет с ним общие входы. Единственная разница между ними состоит в направлении распространения

переноса. Управляющая логика определяет, результат которого из трех сумматоров является выходом адресного генератора.

В состав AGU-Y входят регистр адреса AT, регистры смещения IT, DT и регистр модификатора MT.

Запись или чтение каждого из указанных регистров осуществляется через глобальную шину данных (GDB) DSP.

4.10.4 Программная модель AGU-Y

С точки зрения программиста, адресный генератор представляет собой восемь наборов по три регистра (AALU1) и набор из четырех регистров (AALU2), как показано на Рисунке 4.10. Регистр MT может быть запрограммирован для линейной адресации, модульной адресации или реверсивной адресации.



Рисунок 4.10. Программная модель AGU-Y

4.10.5 Назначение регистров адресных генераторов

32-разрядные адресные регистры A0-A7, AT содержат адреса памяти данных. Содержимое адресного регистра может непосредственно указывать на данные в памяти либо используется для формирования указателя со смещением. Адресный регистр обновляется после формирования адресного указателя (пост-модификация).

16-разрядные регистры смещений I0-I7, IT содержат значения смещений, используемых для инкрементации или декрементации адресных регистров при выполнении обновления адреса.

16-разрядные регистры модификаторов M0-M7, MT определяют тип адресной арифметики, применяемой при модификации адреса.

Адресные АЛУ поддерживают три типа арифметики: *линейную, модульную и арифметику с обратным переносом*. Для модульной арифметики содержимое регистров модификаторов определяет также модуль.

4.10.6 Типы адресной арифметики

Значения модификатора Mn и соответствующие им типы адресной арифметики указаны в Таблица 4.10.

Таблица 4.10. Типы адресной арифметики

Модификатор Mn	Адресная арифметика
\$0000	Арифметика с обратным переносом
\$0001	Модуль 2
\$0002	Модуль 3
...	...
\$7FFE	Модуль 32767 ($2^{15} - 1$)

Модификатор Mn	Адресная арифметика
\$7FFF	Модуль 32768 (2^{15})
\$8001	Модуль 2 с кратным обращением
\$8003	Модуль 4 с кратным обращением
\$8007	Модуль 8 с кратным обращением
...	...
\$9FFF	Модуль 2^{13} с кратным обращением
\$BFFF	Модуль 2^{14} с кратным обращением
\$FFFF	Линейная арифметика (Модуль 2^{16})
Остальные комбинации – резерв	

Линейная адресная арифметика (Mn = \$FFFF)

Модификация адреса выполняется с использованием обычной 16-разрядной линейной (по модулю 65536) арифметики. 16-разрядное смещение, In, +1 или -1 могут использоваться для вычисления адреса. Диапазон значений может рассматриваться как знаковый (от -32768 до +32767) либо как беззнаковый (от 0 до 65535), так как адресное ALU работает в обоих случаях одинаково.

Адресная арифметика с обратным переносом (Mn = \$0000)

Этот вариант адресной арифметики выбирается посредством установки регистра модификатора в 0. Модификация адреса в этом случае выполняется аппаратно с распространением переноса в обратном направлении – от старших разрядов к младшим.

Операция модификации адреса с обратным переносом эквивалентна последовательному выполнению следующих процедур:

изменению на обратный порядок следования разрядов в регистрах адреса и смещения (при этом старший бит становится младшим и т.д.);

модификации адреса посредством нормальной операции сложения;

возвращению первоначального порядка следования разрядов адреса;

в случае, когда величина смещения составляет $2^{(k-1)}$ (целая степень двойки), такая модификация адреса эквивалентна:

- обращению порядка следования k младших разрядов An;
- увеличению на 1;
- возвращению исходного порядка следования k младших разрядов An.

Рассматриваемый режим адресной арифметики удобен при реализации алгоритма быстрого преобразования Фурье (БПФ).

Модульная адресная арифметика (Mn = Modulus – 1)

Модификация адреса выполняется по модулю M, где M - целое число в пределах от 2 до 32768. Арифметика по модулю M вынуждает значение адреса оставаться в пределах диапазона значений, отличающихся друг от друга не более чем на M-1.

Величина M-1 хранится в регистре модификатора адреса. Нижняя граница диапазона (базовый адрес) должна иметь нули в младших k разрядах, где $2^k \geq M$. Верхняя граница диапазона определяется как сумма нижней границы и модуля минус единица (базовый адрес + M - 1). Нижняя и верхняя границы диапазона определяются значением An.

При этом необязательно устанавливать An равным базовому адресу. Достаточно того, чтобы величина An находилась в пределах требуемого диапазона.

Если при вычислении адреса в этом режиме используется смещение In, его величина не должна превышать M.

Данный тип адресной арифметики удобен при организации циклических буферов для реализации на их основе структур данных типа очередей (FIFO), линий задержки и т.п.

Кратная модификация адреса по модулю

Этот тип адресной арифметики выбирается посредством установки в «1» 15-го разряда регистра модификатора M_n , как это показано в Таблица 4.10.

Модификация адреса выполняется по модулю M , где M - степень двойки в пределах от 2^1 до 2^{14} . Арифметика по модулю M вынуждает значение адреса оставаться в пределах диапазона значений, отличающихся друг от друга не более чем на $M-1$.

Величина $M-1$ хранится в младших 15-ти разрядах регистра модификатора адреса M_n . Нижняя граница диапазона (базовый адрес) должна иметь нули в младших k разрядах, где $2^k \geq M$. Верхняя граница диапазона определяется как сумма нижней границы и модуля минус единица (базовый адрес + $M - 1$).

Нижняя и верхняя границы диапазона определяются значением A_n . При этом необязательно устанавливать A_n равным базовому адресу. Достаточно того, чтобы величина A_n находилась в пределах требуемого диапазона.

4.10.7 Особенности X- и Y- указателей

Виды адресации памяти данных XRAM сведены в Таблица 4.11. Режим адресации определяется полем «mode» командного слова инструкции.

Таблица 4.11. Виды X-адресации памяти данных (указатели A0-A7)

Код режима адресации (mode)	Обозначение	Пояснение
000	-	Отмена пересылки
001	(An)	Косвенная
010	(An)+	Пост - автоинкремент
011	(An)-	Пост - автодекремент
100	(An)+In	Пост - автоувеличение
101	(An)-In	Пост - автоуменьшение
110	(An+In)	Индексирование (A_n не меняется)
111	(An+dspl)	С непосредственным смещением (A не меняется)

Примечание. По установленному признаку «u» в командном слове вычисляется исполнительный адрес без выполнения самой пересылки.

Виды Y-адресации сведены в Таблица 4.12. Режим адресации определяется полем «AT» инструкции и управляющим параметром YM (11-й разряд регистра SR).

Таблица 4.12. Виды Y-адресации памяти данных (указатель AT)

Код режима адресации (поле «AT»)	YM	Обозначение	Пояснение
00	X	-	Отмена пересылки
01	X	(AT)	Косвенная
10	X	(AT)+IT	Пост - автоувеличение
11	0	(AT)+IT	Индексирование (A_n не меняется)
11	1	(AT)+DT	Пост - автоувеличение

4.10.8 Разрядность адресной арифметики

В ELCORE-30M расширен до 32 разрядов формат адресных регистров A0 – A7, AT. Это вызвано расширением адресного пространства DSP и выходом его за пределы доступности 16-разрядных адресных регистров, существовавших в предшествующих модификациях DSP ELCORE-xx. При этом регистры смещения I0–I7, IT, DT и регистры модификаторов M0–M7 являются 16-разрядными. Важной особенностью адресной арифметики является то, что операции инкремента и декремента выполняются в 16-разрядном формате.

4.10.9 Регистр адреса вектора прерывания IVAR

В ELCORE-30M реализован механизм прерываний. При обработке прерывания автоматически выполняется команда JSR IVAR, по которой происходит переход на подпрограмму обработки прерываний, находящуюся по адресу, содержащемуся в регистре адреса вектора прерывания IVAR (16 бит, запись/чтение).

Начальное состояние регистра IVAR = 0x1F00.

4.11 Устройство программного управления (PCU)

В настоящем разделе рассматривается устройство программного управления (PCU) и работа программного конвейера DSP.

4.11.1 Архитектура PCU

Устройство PCU включает в себя два аппаратных блока:
 программный адресный генератор PAG;
 программный декодер PDC.

Устройство PDC декодирует инструкции, поступающие из программной памяти, и генерирует сигналы управления программным конвейером.

Программный адресный генератор PAG выполняет вычисление адреса инструкции в программной памяти, организует выполнение программных циклов DO, управляет работой стеков. Ниже на Рисунке 4.11 приведена структурная схема PCU.

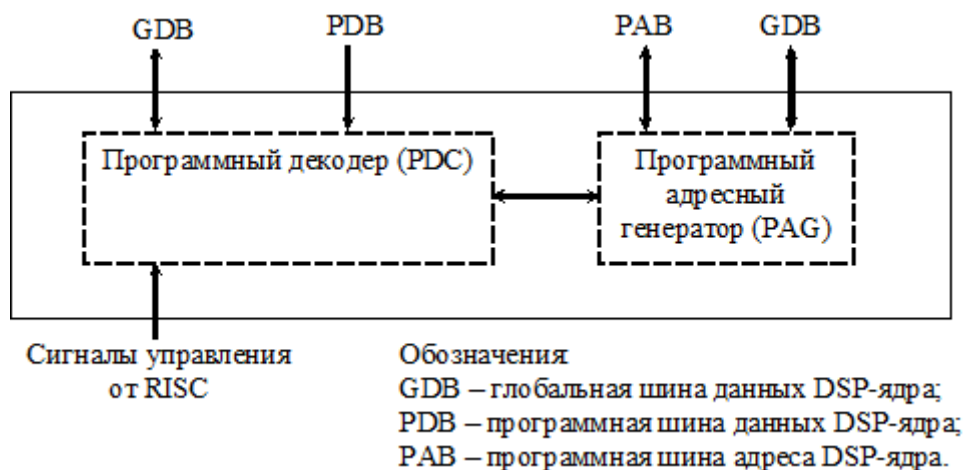


Рисунок 4.11. Структурная схема устройства программного управления (PCU)

4.11.2 Назначение и состав PCU

Устройство программного управления PCU контролирует выборку команд, их декодирование, аппаратно поддерживает организацию цикла DO. Программная модель PCU содержит следующие регистры и стеки:

- регистр управления и состояния DCSR;
- программный счетчик PC;
- регистр состояния SR;
- регистр-идентификатор IDR;
- регистр флагов обмена EFR;
- регистр запуска DMA DSTART;
- регистр запросов на прерывание IRQR;
- регистры масок запросов на прерывания IMASKR, QMASKR0, QMASKR1, QMASKR2;
- регистр управления арбитром памяти ARBR;
- регистр таймера TMR;
- регистр адреса окончания цикла LA;
- регистр счетчика циклов LC;
- системный стек SS;
- стеки циклов CSL, CSH;
- регистр указателей стека SP;
- регистры адреса останова SAR, SAR1 – SAR7;
- счетчик команд CNTR;
- регистр спецфункций SFR;
- отладочные регистры.

Устройство PCU содержит системный стек (SS) и стек циклов (CS). В дополнение к стандартным ресурсам программного управления – операциям программных переходов и ветвления – поддерживается механизм программных циклов DO.

Системный стек SS представляет собой внутреннюю последовательно адресуемую память объемом 15 16-разрядных слов, используемую для автоматического сохранения содержимого регистра программного счетчика PC при входе в подпрограмму или в программный цикл (DO, DOFOR).

Стек циклов CS предназначен для сохранения содержимого регистров счетчика цикла и адреса окончания цикла (LC и LA) при организации вложенных программных циклов. Каждая 32-разрядная ячейка стека адресуется как два 16-разрядных регистра – верхний CSH и нижний CSL регистры стека. Адресация стеков осуществляется при помощи регистра указателей стека SP.

Другие данные могут сохраняться в стеках и считываться из них при соответствующих обращениях. Стеки участвуют в обменах как 16-разрядные регистры управления – SS, CSL и CSH.

Устройство PCU управляет режимами работы DSP-ядра. DSP-ядро всегда находится в одном из трех возможных состояний (режимов):

- режим сброса (RESET);
- режим останова (STOP);

режим выполнения программы (RUN).

В штатном режиме функционирования устройство PCU организует выполнение инструкций при помощи программного конвейера, включающего семь фаз.

4.11.3 Регистр управления и состояния DCSR

Регистр управления и состояния (DCSR) содержит разряды управления, определяющие состояние и режим работы DSP-ядра, а также прерывания, формируемые DSP-ядром для обработки в RISC-ядре.

Назначение разрядов регистра DCSR указано в Таблица 4.13.

Начальное состояние DCSR = 0x0000.

Таблица 4.13. Назначение разрядов регистра DCSR

Разряды регистра	Идентификатор	Назначение
0	PI	Программное прерывание PI.
1	SE	Прерывание по ошибке стека SE
2	BRK	Прерывание по останову BREAK
3	STP	Прерывание по останову STOP
4	WT	Состояние ожидания обмена с XBUF
5-13	-	Не используется
14	RUN	Состояние исполнения программы
15	-	Не используется

4.11.4 Программный счетчик PC

Регистр программного счетчика PC предназначен для хранения 16-разрядного адреса инструкции в программной памяти. Инкрементированное значение PC заносится в системный стек при инициализации нового программного цикла DO, DOFOR и при входе в подпрограмму.

Начальное состояние PC = 0x0000.

4.11.5 Регистр состояния SR

Регистр состояния SR содержит параметры управления и состояния DSP-ядра. Разряды [7:0] регистра SR доступны только по чтению, остальные - по записи/чтению.

Назначение разрядов регистра SR указано в Таблица 4.14.

Таблица 4.14. Назначение разрядов регистра SR

Разряды регистра	Идентификатор	Назначение
0	C	Перенос
1	V	Признак переполнения
2	Z	Признак нулевого результата
3	N	Признак отрицательного результата
4	U	Признак ненормализованного результата
5	Ev	Флаг переполнения (с сохранением)
6	E	Экспоненциальный признак

Разряды регистра	Идентификатор	Назначение
7	t	Признак истинности последнего условия
8	–	Не используется
9	DD	Управление режимом записи результата в инструкциях ADDSUB, ADDSUBL, ADDSUBX, FAS, CVFE (Double Destination)
10	BD	Управление блокировкой конвейера (Blocking Disabled)
11	YM	Режим адресации памяти YRAM
12:13	–	Не используются
14:15	SplitMode	Управление режимом разбиения пересылок

Начальное состояние регистра SR = 0x0000.

Разряды [7:0] регистра SR содержат интегральные признаки предыдущей арифметической операции.

Бит DD (Double Destination) = SR[9] предназначен для выбора режимов исполнения вычислительных команд, формирующих двойной результат: ADDSUB, ADDSUBL, ADDSUBX, FAS, CVFE. При DD = 0 (по умолчанию) указанные команды выполняются в варианте с двумя результатами и двумя адресами записи, при DD = 1 один результат удвоенного формата записывается по одному адресу D.L(D.D). (Более подробную информацию можно получить из описания указанных инструкций).

Бит BD (Blocking Disabled) = SR[10] предназначен для управления автоматической блокировкой программного конвейера: при BD = 0 блокировка включена, при BD = 1 отключена.

Пояснение: автоматическая блокировка (включена по умолчанию при BD = 0) вызывает торможение программного конвейера в тех случаях, когда последующая инструкция использует еще не сформированный результат предыдущей инструкции. Отключение автоматической блокировки (BD = 1) может производиться с целью ускорения работы программы при условии хорошего понимания работы программного конвейера.

Отключение автоматической блокировки не оказывает влияния на остановки вычислительного ядра, вызванные конфликтами при обращении к памяти.

Назначение бита YM = SR[11] описано в Таблица 4.12.

DSP ядро поддерживает 32/64/128 разрядные пересылки, в то время, как доступ ко многим ресурсам процессора возможен только 32/64 или даже только 32-х разрядными обращениями. В связи с этим введен механизм разбиения обращений от DSP ядра на 32-х или 64-х разрядные. Для управления режимом разбиения в регистре SR введены биты SplitMode = SR[15:14], назначение которых описано в п.3.3.3.

4.11.6 Регистр-идентификатор IDR

Состояние регистров-идентификаторов DSP-ядер ELcore-30M в составе DSP-кластера: IDR=0xn108, где n = 0, 1 – номер DSP-ядра.

4.11.7 Регистр адреса окончания цикла LA

Регистр адреса окончания цикла LA содержит адрес последней инструкции в программном цикле DO, DOFOR. Этот регистр заносится в стек SS по команде DO, DOFOR и извлекается обратно по окончании вложенного цикла либо по команде ENDDO.

Начальное состояние LA = 0x0000.

4.11.8 Регистр счетчика циклов LC

Формат регистра LC приведен в Таблица 4.15.

Таблица 4.15. Назначение разрядов регистра LC

Разряды регистра	Идентификатор	Назначение
0:13	Nc	Текущее значение 14-разрядного счетчика программных циклов Nc – разряды 0-13 регистра LC
14	LF	Флаг цикла DO – разряд 14 регистра LC
15	FV	Флаг цикла DOFOR – разряд 15 регистра LC

Значение счетчика программных циклов Nc определяет количество повторений программного цикла DO, в пределах от 1 до $(2^{14} - 1)$. Этот регистр заносится в верхнюю (старшую) половину стека циклов CSL по команде DO (образуется вложенный программный цикл) и извлекается обратно по окончании вложенного цикла либо по команде ENDDO.

Начальное состояние LC = 0x0000.

4.11.9 Стеки SS, CSL, CSH

Устройство программного управления содержит системный стек SS и стеки циклов CSL, CSH. Системный стек SS имеет объем 15 16-разрядных слов и используется для автоматического сохранения содержимого регистра программного счетчика PC при входе в подпрограмму или в цикл DO, DOFOR. Стеки циклов имеют объем по 7×16 бит и предназначены для хранения соответственно длины цикла и адреса последней инструкции цикла (LC и LA). Стеки участвуют в обменах как 16-разрядные регистры управления – SS, CSL и CSH.

4.11.10 Регистр указателей стека SP

Регистр указателей стека SP содержит указатели на последнее записанное в стеки SS, CSH слово. Назначение разрядов регистра SP указано в Таблица 4.16.

Таблица 4.16. Назначение разрядов регистра SP

Разряды регистра	Идентификатор	Назначение
0:3	SP	Указатель системного стека
4	SSE	Флаг ошибки системного стека
5	UFS	Флаг переполнения системного стека
6:7	–	Не используются
8:10	CP[2:0]	Указатель стека циклов

Разряды регистра	Идентификатор	Назначение
11	CSE	Флаг ошибки стека циклов
12	UFC	Флаг переполнения стека циклов
13:15	–	Не используются

Младший байт регистра SP содержит указатель и флаги системного стека; старший байт - указатель и флаги стека циклов.

Начальное состояние SP = 0x0000.

4.11.11 Регистры адреса останова SAR, SAR1-SAR7

Регистры адреса останова SAR, SAR1–SAR7 являются специализированными 16-разрядными регистрами, используемыми при отладке DSP-ядра. Регистры SAR, SAR1–SAR7 определяют точки останова (Breakpoint) - адрес инструкции, непосредственно перед исполнением которой должен произойти останов DSP-ядра. Перед исполнением инструкции с указанным адресом DSP-ядро переходит в состояние останова (RUN=0) и флаг прерывания BRK устанавливается в «1».

Начальное состояние SAR, SAR1–SAR7 = 0xFFFF.

4.11.12 Счетчик команд CNTR

Счетчик команд CNTR – специализированный 16-разрядный регистр, предназначенный для отладки DSP-ядра. Регистр CNTR задает пошаговый режим исполнения программ в соответствии с Таблица 4.17.

Начальное состояние CNTR = 0x0000.

Таблица 4.17. Назначение разрядов регистра CNTR

Счетчик CNTR	Режим исполнения программ
0x0000	Нормальный режим исполнения программ. Число исполняемых команд не ограничено.
N > 0	Пошаговый режим исполнения программ. После исполнения N инструкций DSP-ядро переходит в состояние останова (RUN=0) и флаг прерывания BRK устанавливается в «1».

4.11.13 Регистры управления прерываниями и DMA-обменами

В ELcore-30M имеется механизм прерываний, с помощью которого, в частности, осуществляется запуск DSP со стороны DMA. Кроме того, прерывания в DSP ELcore-30M могут поступать также со стороны CPU, другого DSP-ядра, таймеров.

Для управления DMA-обменами и прерываниями имеется следующий набор регистров: вводится регистр запросов на прерывание DSP со стороны DMA, CPU, других DSP-ядер, таймеров – IRQR;

вводится регистр маски запросов на прерывание DSP – IMASKR;

вводится псевдорегистр (только запись) запуска со стороны DSP каналов DMA и других DSP-ядер – DSTART.

4.11.14 Механизм обработки прерываний

Обработка запросов на прерывание (в том числе на запуск DSP со стороны DMA) обрабатывается одинаковым образом:

аппаратно взводится в состояние «1» соответствующий бит регистра IRQR;

аппаратно переводится в состояние «1» бит RUN регистра DCSR (если он еще не находится в этом состоянии);

автоматически выполняется команда JSR IVAR, по которой происходит переход на подпрограмму обработки прерываний, находящуюся по адресу, содержащемуся в регистре адреса вектора прерывания IVAR. Подпрограмма обработки прерываний должна оканчиваться командой возврата из подпрограммы обработки прерывания RTI.

Поступающие прерывания не имеют иерархии приоритетов и обрабатываются последовательно. Если во время обработки прерывания приходит новый запрос, то обработка его начнется только после завершения текущей подпрограммы обработки прерывания.

4.11.15 Регистр запросов на прерывание DSP (IRQR)

Регистр IRQR содержит флаги запросов («1» – наличие запроса, «0» – отсутствие запроса) на прерывание DSP со стороны DMA, CPU, других DSP-ядер, таймера. Назначение разрядов регистра IRQR приведено в Таблица 4.18.

Регистр IRQR доступен по записи и чтению со стороны CPU и DSP.

Таким образом, состояние разрядов регистра IRQR может изменяться как аппаратно – при приходе соответствующего сигнала запроса на прерывание, так и программно – при записи со стороны CPU или DSP.

Таблица 4.18. Назначение разрядов регистра IRQR

Номер разряда	Наименование разряда	Назначение
0	DRQ00	Запрос на прерывание DSP со стороны канала DMA0 MemCh0
1	DRQ01	Запрос на прерывание DSP со стороны канала DMA0 MemCh1
2	DRQ02	Запрос на прерывание DSP со стороны канала DMA0 MemCh2
3	DRQ03	Запрос на прерывание DSP со стороны канала DMA0 MemCh3
4	DRQ04	Запрос на прерывание DSP со стороны канала DMA0 MemCh4
5	DRQ05	Запрос на прерывание DSP со стороны канала DMA0 MemCh5
6	DRQ06	Запрос на прерывание DSP со стороны канала DMA0 MemCh6
7	DRQ07	Запрос на прерывание DSP со стороны канала DMA0 MemCh7
8	DRQ10	Запрос на прерывание DSP со стороны канала DMA1 MemCh0
9	DRQ11	Запрос на прерывание DSP со стороны канала DMA1 MemCh1
10	DRQ12	Запрос на прерывание DSP со стороны канала DMA1 MemCh2
11	DRQ13	Запрос на прерывание DSP со стороны канала DMA1 MemCh3
12	DRQ14	Запрос на прерывание DSP со стороны канала DMA1 MemCh4
13	DRQ15	Запрос на прерывание DSP со стороны канала DMA1 MemCh5
14	DRQ16	Запрос на прерывание DSP со стороны канала DMA1 MemCh6
15	DRQ17	Запрос на прерывание DSP со стороны канала DMA1 MemCh7
16:23	–	Резерв
24	IRQ0	Запрос на прерывание DSP со стороны DSP0
25	IRQ1	Запрос на прерывание DSP со стороны DSP1

Номер разряда	Наименование разряда	Назначение
26:27	–	Резерв
28	INT_TMR	Запрос на прерывание DSP со стороны таймера TMR
29	FPE	Исключение при исполнении операции в формате плавающей точки (V = 1)
30	QT0	Запрос на прерывание DSP со стороны CPU (QSTR0)
31	QT1	Запрос на прерывание DSP со стороны CPU (QSTR1, QSTR2, QSTR3)

Начальное состояние регистра IRQR = 0x0.

4.11.16 Регистры масок запросов на прерывание DSP (IMASKR, QMASKR0, QMASKR1, QMASKR2, QMASKR3)

Регистр IMASKR содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») запрос на прерывание DSP от соответствующего разряда регистра запросов прерываний IRQR. Регистр доступен по чтению и записи со стороны CPU или DSP. Начальное состояние регистра IMASKR=0x0.

Регистр маски запросов на прерывание QMASKR0 содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») прерывание DSP от соответствующего разряда регистра запросов прерываний со стороны CPU (регистр QSTR0).

Регистр маски запросов на прерывание QMASKR1 содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») прерывание DSP от соответствующего разряда регистра запросов прерываний со стороны CPU (регистр QSTR1).

Регистр маски запросов на прерывание QMASKR2 содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») прерывание DSP от соответствующего разряда регистра запросов прерываний со стороны CPU (регистр QSTR2).

Регистр маски запросов на прерывание QMASKR3 содержит 32 разряда, каждый из которых разрешает («1») либо запрещает («0») прерывание DSP от соответствующего разряда регистра запросов прерываний со стороны CPU (регистр QSTR3).

Начальное состояние регистров QMASKR0, QMASKR1, QMASKR2, QMASKR3 - нулевое.

4.11.17 Регистр запуска DMA со стороны DSP (DSTART)

Регистр DSTART доступен по только записи и предназначен для запуска соответствующего канала DMA со стороны DSP. Назначение разрядов регистра DSTART приведено в Таблица 4.19.

Таблица 4.19. Назначение разрядов регистра DSTART

Номер разряда	Наименование разряда	Назначение
0	DE00	Запрос со стороны DSP на запуск канала DMA0 MemCh0
1	DE01	Запрос со стороны DSP на запуск канала DMA0 MemCh1
2	DE02	Запрос со стороны DSP на запуск канала DMA0 MemCh2
3	DE03	Запрос со стороны DSP на запуск канала DMA0 MemCh3
4	DE04	Запрос со стороны DSP на запуск канала DMA0 MemCh4
5	DE05	Запрос со стороны DSP на запуск канала DMA0 MemCh5

Номер разряда	Наименование разряда	Назначение
6	DE06	Запрос со стороны DSP на запуск канала DMA0 MemCh6
7	DE07	Запрос со стороны DSP на запуск канала DMA0 MemCh7
8	DE10	Запрос со стороны DSP на запуск канала DMA1 MemCh0
9	DE11	Запрос со стороны DSP на запуск канала DMA1 MemCh1
10	DE12	Запрос со стороны DSP на запуск канала DMA1 MemCh2
11	DE13	Запрос со стороны DSP на запуск канала DMA1 MemCh3
12	DE14	Запрос со стороны DSP на запуск канала DMA1 MemCh4
13	DE15	Запрос со стороны DSP на запуск канала DMA1 MemCh5
14	DE16	Запрос со стороны DSP на запуск канала DMA1 MemCh6
15	DE17	Запрос со стороны DSP на запуск канала DMA1 MemCh7
16:23	-	Резерв
24	DSP0	Запрос на прерывание DSP0
25	DSP1	Запрос на прерывание DSP1
26:31	-	Резерв

4.11.18 Регистр таймера (TMR)

Регистр таймера TMR (32 разряда, запись/чтение) предназначен для формирования периодических запросов на прерывание DSP. Период запросов определяется значением, содержащимся в регистре TMR по формуле: $T_{INT} = (TMR + 1) * T_{CLK}$, где T_{CLK} – период тактовой частоты DSP.

При $TMR = 0$ запросы на прерывание DSP не формируются.

Регистр TMR доступен по записи и чтению. Начальное состояние регистра $TMR = 0x0$.

4.11.19 Регистр управления локальным арбитром (ARBR)

Принципы арбитража и режимы работы

Вся память DSP кластера разбита на 2 сегмента, каждый из которых соответствует определенному DSP ядру и состоит из 4 страниц каждый. Таким образом, для каждого ядра существует сегмент «своей» или ближней памяти. В архитектуре глобального коммутатора предусмотрены 2 локальных арбитра, каждый из них осуществляет арбитраж обращений к определенному сегменту памяти. Каждый из локальных арбитров настраивается и работает независимо от другого арбитра. Таким образом, одно ядро может иметь высший приоритет для обращений к одному сегменту памяти и низший для обращений к другому.

Каждая страница памяти состоит из 4-х физических блоков по 4К 32 разрядных слов каждый. Для организации чтения 128 разрядных слов, а также для повышения производительности при 32-х разрядных обменах с памятью применена технология расслоения памяти. Т.е. любые 4 последовательно идущих адреса одной страницы располагаются в 4-х разных физических блоках.

В случае если оба ядра обращаются к одной странице памяти, обрабатывается обращение от ядра, имеющего на данный момент высший приоритет (другое ядро останавливается до момента получения высшего приоритета). Если обращения идут к разным страницам (даже внутри одного сегмента), конфликтов не возникает. Конфликтов так же не возникает при обращении одного ядра по X и Y указателям к одной странице памяти, при условии, что обращения идут к разным физическим блокам (условие бесконфликтного обращения

одного DSP к одной странице памяти: для 32-х и 64-х разрядных обращений $XAB \% 4 \neq YAB \% 4$).

Обращения к своей памяти не приводят к останову конвейера, если отсутствуют конфликты с другими ядрами, либо для данного ядра явно установлен высший приоритет для обращений к своей памяти (заданы значения бит $DEN = 1$ и $DPTR = 0$ в регистре ARBR данного ядра).

Остальная память является для текущего ядра дальней. Чтение из дальней памяти неизбежно приводит к останову конвейера на четыре дополнительных такта. Одиночная запись в дальнюю память буферизуется и не приводит к блокировкам. Поддерживается пакетная запись в дальнюю память, которая так же проходит без дополнительных блокировок конвейера. Поддержка пакетных обращений имеет место при работе в режиме захвата, либо при явном задании высшего приоритета для данного ядра. При работе в режиме ограничения, максимальная длина пакета определяется значением ограничителя.

Локальный арбитр может работать в режиме *захвата* (режим по умолчанию). В этом режиме, ядро, получившее разрешение для обращений к определенному сегменту памяти, получает высший приоритет, и сохраняет его до тех пор, пока есть обращения к данному сегменту памяти. Как только обращения от текущего ядра прекращаются, право на захват циклически передается следующему ядру.

Так же предусмотрен режим *ограничения*. В этом режиме включаются счетчики обращений для каждого ядра. Если значение счетчика обращений от ядра, обладающего высшим приоритетом, превышает заданный лимит, то высший приоритет автоматически передается следующему ядру, осуществляющему обращение к памяти. Если обращений со стороны других ядер нет – счетчик сбрасывается, и передачи приоритета не происходит.

В *статическом* режиме приоритет ядер задается явно.

Регистры управления локальными арбитрами располагаются в каждом из DSP ядер и задают режим работы соответствующего локального арбитра.

Назначение разрядов регистра ARBR приведено в Таблица 4.20.

Таблица 4.20. Назначение разрядов регистра ARBR

Номер разряда	Наименование разряда	Назначение
0	HEN	Включение режима определения высокой плотности потоков
1	DEN	Разрешение установки явного приоритета (статический режим)
2	LEN	Бит разрешения ограничителя
3	–	Резерв
4:5	DPTR	Номер ядра, обладающего наивысшим приоритетом
6:7	–	Резерв
8:13	Limit	Максимальное значение счетчика обращений
14:15	–	Резерв

HEN – Включение режима определения высокой плотности потоков. Используется в режиме захвата ($LEN = 0$). Если $HEN = 1$, то включаются счетчики, определяющие плотность обращений ядер к данному сегменту. Если плотность обращений хотя бы от одного ядра больше 75% – то при значениях $HEN = 1$ и $LEN = 0$ передача приоритета происходит каждый такт.

DEN – разрешение установки явного приоритета (статический режим). Если данный бит установлен в 1, то при возникновении конфликта приоритет отдается обращению от ядра, номер которого определяется битами DPTR.

DPTR – определяет номер ядра, обладающего наивысшим приоритетом при обращении к сегменту памяти данного DSP. DPTR = 0 задает высший приоритет для данного ядра, 1 – высший приоритет для соседа с меньшим номером, далее циклически в сторону уменьшения номера ядра.

LEN – бит разрешения ограничителя. Если данный бит установлен в 1, арбитр работает в режиме ограничения, если бит установлен в 0 арбитр работает в режиме захвата.

Limit – задает максимальное значение счетчика обращений, в режиме ограничения. В этом режиме предусмотрена автоматическая смена приоритета.

Механизм передачи приоритета

Передача приоритета осуществляется циклически, между ядрами, осуществляющими обращение к памяти. Механизм передачи приоритета срабатывает в следующих случаях: ядро, обладавшее высшим приоритетом, не обращается к текущему сегменту памяти; в режиме захвата при LEN = 0 и HEN = 1 плотность обращений хотя бы от одного ядра больше 75%;

в режиме ограничения LEN = 1, если значение счетчика обращений от ядра с высшим приоритетом достигло значения Limit.

В статическом режиме передачи приоритета не осуществляется.

Начальное состояние регистра ARBR = 0x0F01.

4.11.20 Регистр спецфункций (SFR)

Регистр спецфункций SFR (32 разряда, запись/чтение) предназначен для реализации специальных вычислительных функций. Назначение разрядов регистра SFR определяется реализуемой функцией.

Начальное состояние регистра SFR = 0.

4.11.21 Отладочные регистры

В ELcore-30M вводятся специализированные отладочные регистры и изменяется назначение связанных с отладкой бит в регистре управления DCSR. Состав и адреса специализированных отладочных регистров приведены в Таблица 4.21. Указанные регистры предназначены только для поддержки режима отладки. Их мнемонические имена не поддерживаются ассемблером DSP-ядра ELcore-30M. С введением данных регистров существующие регистры DCSR, SAR, CNTR, SAR1-SAR7 освобождаются от отладочных функций и могут использоваться только самой прикладной программой.

Регистры стадий программного счетчика dbPCx доступны только по чтению.

Таблица 4.21. Специализированные отладочные регистры ELcore-30M

Условное обозначение	Разрядность	Наименование	Адрес регистра (DSP0)	Адрес регистра (DSP1)
dbDCSR	16 R/W	Регистр управления в режиме отладки	0x1848_0500	0x1888_0500
Cnt_RUN	32 R	Счетчик тактов	0x1848_0518	0x1888_0518
dbPCe	16 R	Программный счетчик, стадия a	0x1848_0520	0x1888_0520
dbPCa	16 R	Программный счетчик, стадия f	0x1848_0524	0x1888_0524
dbPCf	16 R	Программный счетчик, стадия d	0x1848_0528	0x1888_0528
dbPCd	16 R	Программный счетчик, стадия e	0x1848_052C	0x1888_052C
dbPCe1	16 R	Программный счетчик, стадия e1	0x1848_0530	0x1888_0530
dbPCe2	16 R	Программный счетчик, стадия e2	0x1848_0534	0x1888_0534
dbPCe3	16 R	Программный счетчик, стадия e3	0x1848_0538	0x1888_0538
dbSAR	16 R/W	Регистр адреса останова 0 в режиме отладки	0x1848_053C	0x1888_053C
dbCNTR	16 R/W	Счетчик исполненных команд в режиме отладки	0x1848_0540	0x1888_0540
dbSAR1	16 R/W	Регистр адреса останова 1 в режиме отладки	0x1848_0544	0x1888_0544
dbSAR2	16 R/W	Регистр адреса останова 2 в режиме отладки	0x1848_0548	0x1888_0548
dbSAR3	16 R/W	Регистр адреса останова 3 в режиме отладки	0x1848_054C	0x1888_054C
dbSAR4	16 R/W	Регистр адреса останова 4 в режиме отладки	0x1848_0550	0x1888_0550
dbSAR5	16 R/W	Регистр адреса останова 5 в режиме отладки	0x1848_0554	0x1888_0554
dbSAR6	16 R/W	Регистр адреса останова 6 в режиме отладки	0x1848_0558	0x1888_0558
dbSAR7	16 R/W	Регистр адреса останова 7 в режиме отладки	0x1848_055C	0x1888_055C

4.11.22 Регистр dbDCSR

Назначение разрядов регистра dbDCSR указано в Таблица 4.22.

Таблица 4.22. Назначение разрядов регистра dbDCSR

Разряды регистра	Идентификатор	Назначение
0-1	-	Не используется
2	dbBRK	Флаг останова исполнения программы в режиме отладки
5-13	-	Не используется
14	dbRUN	Состояние исполнения программы в режиме отладки
15	-	Не используется

Начальное состояние dbDCSR = 0x0000.

Назначение бита dbRUN регистра dbDCSR в режиме отладки аналогично назначению бита DBG регистра DCSR в предыдущих модификациях DSP-ядер Elcore-xx.

Наличие этого бита позволяет производить автономную отладку DSP-ядра при остановленном контроллере (в том числе CPU). Установка бита dbRUN в «1» переводит DSP-ядро в состояние исполнения программы в режиме отладки, установка в «0» - в состояние останова. Бит dbRUN автоматически сбрасывается по останову dbBRK.

Флаг dbBRK (флаг останова исполнения программы в режиме отладки) устанавливается в «1» в случае останова DSP по одной из следующих причин:

- 1) По достижении адреса останова, содержащегося в одном из отладочных регистров dbSAR, dbSAR1-dbSAR7;
- 2) По завершении требуемого числа шагов, содержащегося в отладочном регистре dbCNTR.

Примечание. В случае останова по достижении адреса, содержащегося в одном из штатных регистров SAR, SAR1-SAR7 либо по завершении требуемого числа шагов, содержащегося в штатном регистре CNTR, флаг dbBRK в «1» не устанавливается.

4.11.23 Регистры dbSAR, dbSAR1-dbSAR7

Назначение регистров dbSAR, dbSAR1-dbSAR7 в режиме отладки аналогично назначению штатных регистров SAR, SAR1-SAR7 в режиме штатного исполнения программы.

Регистры dbSAR, dbSAR1-dbSAR7 определяют точки останова в режиме отладки. Перед исполнением инструкции с указанным адресом DSP-ядро переходит в состояние останова (dbRUN=0) и флаг dbBRK устанавливается в «1».

Начальное состояние dbSAR, dbSAR1-dbSAR7 равно 0xFFFF.

4.11.24 Регистр dbCNTR

Регистр dbCNTR задает пошаговый режим исполнения программ в режиме отладки аналогично тому, как регистр CNTR делает это в режиме штатного исполнения.

Начальное состояние dbCNTR = 0x0.

4.11.25 Регистр Cnt_RUN

Регистр Cnt_RUN представляет собой счетчик тактов, затраченных на исполнение программы начиная с момента последнего запуска DSP. Доступен только по чтению.

Начальное состояние Cnt_RUN = 0x0.

4.12 Программный конвейер DSP-ядра ELcore-30M

Программный конвейер DSP-ядра ELcore-30M содержит 7 фаз, содержание которых отличается для различных типов команд.

1) Исполнение вычислительных команд

1 фаза (A)	2 фаза (F)	3 фаза (D)	4 фаза (E)	5 фаза (E1)	6 фаза (E2)	7 фаза (E3)
Выдача адреса на PRAM	Чтение инструкции из PRAM	Декодирование инструкции	Формирование блокировок	Выборка данных из RF	Исполнение инструкции (1 фаза)	Исполнение инструкции (2 фаза)

2) Исполнение команд MOVE XRAM, YRAM -> RF

1 фаза (A)	2 фаза (F)	3 фаза (D)	4 фаза (E)	5 фаза (E1)	6 фаза (E2)	7 фаза (E3)
Выдача адреса на PRAM	Чтение инструкции из PRAM	Декодирование инструкции	Модификация адреса XRAM	Выдача адреса на XRAM	Чтение данных из XRAM	Запись данных в RF

3) Исполнение команд MOVE RF -> XRAM

1 фаза (A)	2 фаза (F)	3 фаза (D)	4 фаза (E)	5 фаза (E1)	6 фаза (E2)	7 фаза (E3)
Выдача адреса на PRAM	Чтение инструкции из PRAM	Декодирование инструкции	Модификация адреса XRAM	Запись данных в XRAM	-	-

4) Исполнение команд MOVE RF, RC, #16/32 -> RF

1 фаза (A)	2 фаза (F)	3 фаза (D)	4 фаза (E)	5 фаза (E1)	6 фаза (E2)	7 фаза (E3)
Выдача адреса на PRAM	Чтение инструкции из PRAM	Декодирование инструкции	Формирование блокировок	Выборка данных из RC	Запись данных в RF	-

5) Исполнение команд MOVE RF, #16/32 -> RC(кр.CCR,PDNR,AC)

1 фаза (A)	2 фаза (F)	3 фаза (D)	4 фаза (E)	5 фаза (E1)	6 фаза (E2)	7 фаза (E3)
Выдача адреса на PRAM	Чтение инструкции из PRAM	Декодирование инструкции	Выборка данных из RF	Запись данных в RC	-	-

Таким, образом, при исполнении различных операций фазы конвейера DSP-ядра ELcore-30M имеют следующее содержание:

а) при выполнении вычислительной операции:

- 1 фаза (A): Формирование адреса памяти программ.
- 2 фаза (F): Выборка инструкции из программной памяти.
- 3 фаза (D): Декодирование инструкции.
- 4 фаза (E): Формирование блокировок конвейера.
- 5 фаза (E1): Чтение данных из RF.
- 6 фаза (E2): Исполнение инструкции.
- 7 фаза (E3): Исполнение инструкции, запись данных в RF.

б) при чтении из памяти данных:

- 1 фаза (A): Формирование адреса памяти программ.
- 2 фаза (F): Выборка инструкции из программной памяти.
- 3 фаза (D): Декодирование инструкции.
- 4 фаза (E): Формирование адреса памяти данных.
- 5 фаза (E1): Выдача адреса на память данных.
- 6 фаза (E2): Чтение из памяти данных в буферный регистр.
- 7 фаза (E3): Запись данных в RF.

в) при записи в память данных:

- 1 фаза (A): Формирование адреса памяти программ.
- 2 фаза (F): Выборка инструкции из программной памяти.
- 3 фаза (D): Декодирование инструкции.

- 4 фаза (E): Формирование адреса памяти данных.
5 фаза (E1): Выдача адреса на память данных и запись в память данных.

г) при записи в регистр RF:

- 1 фаза (A): Формирование адреса памяти программ.
2 фаза (F): Выборка инструкции из программной памяти.
3 фаза (D): Декодирование инструкции.
4 фаза (E): Формирование блокировок конвейера.
5 фаза (E1): Чтение данных из RF или регистра управления.
6 фаза (E2): Запись в RF.

д) при записи в регистр управления:

- 1 фаза (A): Формирование адреса памяти программ.
2 фаза (F): Выборка инструкции из программной памяти.
3 фаза (D): Декодирование инструкции.
4 фаза (E): Чтение данных из RF.
5 фаза (E1): Запись в регистр управления.

Примечание. При записи/чтении памяти данных арбитром могут вводиться дополнительные такты ожидания.

4.13 Перечень адресуемых регистров DSP-кластера

Перечень адресуемых регистров DSP-кластера в составе микросхемы 1892BM206 приведен в Таблица 4.23.

Таблица 4.23. Перечень адресуемых регистров DSP-кластера в составе микросхемы 1892BM206

(i=0,1– номер DSP; BASE(0)=0x1848_0000; BASE(1)=0x1888_0000)

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
		Общие регистры управления и состояния	
MASKR_DSP	32 R/W	Регистр маски прерываний	0x1848_1000
QSTR_DSP	32 R	Регистр запросов прерываний	0x1848_1004
CSR_DSP	32 R/W	Регистр управления и состояния	0x1848_1008
TOTAL_RUN_CNTR	32 R/W	Счетчик тактов в состоянии RUN	0x1848_100C
TOTAL_CLK_CNTR	32 R/W	Счетчик тактов	0x1848_1010
QSTR_HEM_DSP	32 R	Регистр запросов прерываний от контроллеров хемминга	0x1848_1014
		Регистры буфера обмена XBUF	
X0[31:0]	32 R/W	Регистр обмена X0	0x187F_FF00
X0[63:32]	32 R/W	Регистр обмена X0	0x187F_FF04
X1[31:0]	32 R/W	Регистр обмена X1	0x187F_FF08
X1[63:32]	32 R/W	Регистр обмена X1	0x187F_FF0C
X2[31:0]	32 R/W	Регистр обмена X2	0x187F_FF10
X2[63:32]	32 R/W	Регистр обмена X2	0x187F_FF14
X3[31:0]	32 R/W	Регистр обмена X3	0x187F_FF18

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
X3[63:32]	32 R/W	Регистр обмена X3	0x187F_FF1C
X4[31:0]	32 R/W	Регистр обмена X4	0x187F_FF20
X4[63:32]	32 R/W	Регистр обмена X4	0x187F_FF24
X5[31:0]	32 R/W	Регистр обмена X5	0x187F_FF28
X5[63:32]	32 R/W	Регистр обмена X5	0x187F_FF2C
X6[31:0]	32 R/W	Регистр обмена X6	0x187F_FF30
X6[63:32]	32 R/W	Регистр обмена X6	0x187F_FF34
X7[31:0]	32 R/W	Регистр обмена X7	0x187F_FF38
X7[63:32]	32 R/W	Регистр обмена X7	0x187F_FF3C
X8[31:0]	32 R/W	Регистр обмена X8	0x187F_FF40
X8[63:32]	32 R/W	Регистр обмена X8	0x187F_FF44
X9[31:0]	32 R/W	Регистр обмена X9	0x187F_FF48
X9[63:32]	32 R/W	Регистр обмена X9	0x187F_FF4C
X10[31:0]	32 R/W	Регистр обмена X10	0x187F_FF50
X10[63:32]	32 R/W	Регистр обмена X10	0x187F_FF54
X11[31:0]	32 R/W	Регистр обмена X11	0x187F_FF58
X11[63:32]	32 R/W	Регистр обмена X11	0x187F_FF5C
X12[31:0]	32 R/W	Регистр обмена X12	0x187F_FF60
X12[63:32]	32 R/W	Регистр обмена X12	0x187F_FF64
X13[31:0]	32 R/W	Регистр обмена X13	0x187F_FF68
X13[63:32]	32 R/W	Регистр обмена X13	0x187F_FF6C
X14[31:0]	32 R/W	Регистр обмена X14	0x187F_FF70
X14[63:32]	32 R/W	Регистр обмена X14	0x187F_FF74
X15[31:0]	32 R/W	Регистр обмена X15	0x187F_FF78
X15[63:32]	32 R/W	Регистр обмена X15	0x187F_FF7C
X16[31:0]	32 R/W	Регистр обмена X16	0x187F_FF80
X16[63:32]	32 R/W	Регистр обмена X16	0x187F_FF84
X17[31:0]	32 R/W	Регистр обмена X17	0x187F_FF88
X17[63:32]	32 R/W	Регистр обмена X17	0x187F_FF8C
X18[31:0]	32 R/W	Регистр обмена X18	0x187F_FF90
X18[63:32]	32 R/W	Регистр обмена X18	0x187F_FF94
X19[31:0]	32 R/W	Регистр обмена X19	0x187F_FF98
X19[63:32]	32 R/W	Регистр обмена X19	0x187F_FF9C
X20[31:0]	32 R/W	Регистр обмена X20	0x187F_FFA0
X20[63:32]	32 R/W	Регистр обмена X20	0x187F_FFA4
X21[31:0]	32 R/W	Регистр обмена X21	0x187F_FFA8
X21[63:32]	32 R/W	Регистр обмена X21	0x187F_FFAC
X22[31:0]	32 R/W	Регистр обмена X22	0x187F_FFBA
X22[63:32]	32 R/W	Регистр обмена X22	0x187F_FFBC
X23[31:0]	32 R/W	Регистр обмена X23	0x187F_FFBE
X23[63:32]	32 R/W	Регистр обмена X23	0x187F_FFBC
X24[31:0]	32 R/W	Регистр обмена X24	0x187F_FFC0
X24[63:32]	32 R/W	Регистр обмена X24	0x187F_FFC4
X25[31:0]	32 R/W	Регистр обмена X25	0x187F_FFC8
X25[63:32]	32 R/W	Регистр обмена X25	0x187F_FFCC
X26[31:0]	32 R/W	Регистр обмена X26	0x187F_FFD0
X26[63:32]	32 R/W	Регистр обмена X26	0x187F_FFD4
X27[31:0]	32 R/W	Регистр обмена X27	0x187F_FFD8
X27[63:32]	32 R/W	Регистр обмена X27	0x187F_FFDC
X28[31:0]	32 R/W	Регистр обмена X28	0x187F_FFE0
X28[63:32]	32 R/W	Регистр обмена X28	0x187F_FFE4

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
X29[31:0]	32 R/W	Регистр обмена X29	0x187F_FFE8
X29[63:32]	32 R/W	Регистр обмена X29	0x187F_FFEC
X30[31:0]	32 R/W	Регистр обмена X30	0x187F_FFF0
X30[63:32]	32 R/W	Регистр обмена X30	0x187F_FFF4
X31[31:0]	32 R/W	Регистр обмена X31	0x187F_FFF8
X31[63:32]	32 R/W	Регистр обмена X31	0x187F_FFFC
		PCU	
DCSR	16 R/W	Регистр режима работы	BASE(i)+0x0100
SR	16 R/W	Регистр состояния	BASE(i)+0x0104
IDR	16 R	Регистр-идентификатор	BASE(i)+0x0108
EFR	32 R	Регистр флагов обмена	BASE(i)+0x010C
DSTART	32 W	Регистр запуска DMA со стороны DSP и запросов на прерывания других DSP	BASE(i)+0x010C
IRQR	32 R/W	Регистр запросов на прерывание DSP	BASE(i)+0x0110
IMASKR	32 R/W	Регистр маски запросов на прерывания DSP	BASE(i)+0x0114
TMR	32 R/W	Регистр таймера DSP	BASE(i)+0x0118
ARBR	16 R/W	Регистр управления арбитром памяти DSP	BASE(i)+0x011C
PC	16 R/W	Программный счетчик	BASE(i)+0x0120
SS	16 R/W	Стек программного счетчика	BASE(i)+0x0124
LA	16 R/W	Регистр адреса цикла	BASE(i)+0x0128
CSL	16 R/W	Стек адреса цикла	BASE(i)+0x012C
LC	16 R/W	Счетчик циклов	BASE(i)+0x0130
CSH	16 R/W	Стек счетчика циклов	BASE(i)+0x0134
SP	16 R/W	Регистр указателя стека	BASE(i)+0x0138
SAR	16 R/W	Регистр адреса останова	BASE(i)+0x013C
CNTR	16 R/W	Счетчик исполненных команд	BASE(i)+0x0140
SAR1	16 R/W	Регистр адреса останова	BASE(i)+0x0144
SAR2	16 R/W	Регистр адреса останова	BASE(i)+0x0148
SAR3	16 R/W	Регистр адреса останова	BASE(i)+0x014C
SAR4	16 R/W	Регистр адреса останова	BASE(i)+0x0150
SAR5	16 R/W	Регистр адреса останова	BASE(i)+0x0154
SAR6	16 R/W	Регистр адреса останова	BASE(i)+0x0158
SAR7	16 R/W	Регистр адреса останова	BASE(i)+0x015C
		Регистры состояния ALU	
CCR	16 R/W	Регистр кодов условий	BASE(i)+0x0160
PDNR	16 R/W	Регистр параметра денормализации	BASE(i)+0x0164
SFR	32 R/W	Регистр специальных функций	BASE(i)+0x0168
QMASKR0	32 R/W	Регистр маски запросов на прерывание со стороны CPU (QSTR0)	BASE(i)+0x0170
QMASKR1	32 R/W	Регистр маски запросов на прерывание со стороны CPU (QSTR1)	BASE(i)+0x0174
QMASKR2	32 R/W	Регистр маски запросов на прерывание со стороны CPU (QSTR2)	BASE(i)+0x0178
QMASKR3	32 R/W	Регистр маски запросов на прерывание со стороны CPU (QSTR3)	BASE(i)+0x017C
		AGU, AGU-Y	
A0	32 R/W	Регистр адреса A0	BASE(i)+0x0080
A1	32 R/W	Регистр адреса A1	BASE(i)+0x0084
A2	32 R/W	Регистр адреса A2	BASE(i)+0x0088
A3	32 R/W	Регистр адреса A3	BASE(i)+0x008C
A4	32 R/W	Регистр адреса A4	BASE(i)+0x0090

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
A5	32 R/W	Регистр адреса A5	BASE(i)+0x0094
A6	32 R/W	Регистр адреса A6	BASE(i)+0x0098
A7	32 R/W	Регистр адреса A7	BASE(i)+0x009C
I0	32 R/W	Регистр индекса I0	BASE(i)+0x00A0
I1	32 R/W	Регистр индекса I1	BASE(i)+0x00A4
I2	32 R/W	Регистр индекса I2	BASE(i)+0x00A8
I3	32 R/W	Регистр индекса I3	BASE(i)+0x00AC
I4	32 R/W	Регистр индекса I4	BASE(i)+0x00B0
I5	32 R/W	Регистр индекса I5	BASE(i)+0x00B4
I6	32 R/W	Регистр индекса I6	BASE(i)+0x00B8
I7	32 R/W	Регистр индекса I7	BASE(i)+0x00BC
M0	32 R/W	Регистр модификатора M0	BASE(i)+0x00C0
M1	32 R/W	Регистр модификатора M1	BASE(i)+0x00C4
M2	32 R/W	Регистр модификатора M2	BASE(i)+0x00C8
M3	32 R/W	Регистр модификатора M3	BASE(i)+0x00CC
M4	32 R/W	Регистр модификатора M4	BASE(i)+0x00D0
M5	32 R/W	Регистр модификатора M5	BASE(i)+0x00D4
M6	32 R/W	Регистр модификатора M6	BASE(i)+0x00D8
M7	32 R/W	Регистр модификатора M7	BASE(i)+0x00DC
AT	32 R/W	Регистр адреса AT	BASE(i)+0x00E0
IT	16 R/W	Регистр индекса IT	BASE(i)+0x00E4
MT	16 R/W	Регистр модификатора MT	BASE(i)+0x00E8
DT	16 R/W	Регистр модификатора DT	BASE(i)+0x00EC
IVAR	16 R/W	Регистр адреса вектора прерывания	BASE(i)+0x00FC
		Регистры данных RF	
R0.L	32 R/W	Регистр данных	BASE(i)+0x0000
R2.L	32 R/W	Регистр данных	BASE(i)+0x0004
R4.L	32 R/W	Регистр данных	BASE(i)+0x0008
R6.L	32 R/W	Регистр данных	BASE(i)+0x000C
R8.L	32 R/W	Регистр данных	BASE(i)+0x0010
R10.L	32 R/W	Регистр данных	BASE(i)+0x0014
R12.L	32 R/W	Регистр данных	BASE(i)+0x0018
R14.L	32 R/W	Регистр данных	BASE(i)+0x001C
R16.L	32 R/W	Регистр данных	BASE(i)+0x0020
R18.L	32 R/W	Регистр данных	BASE(i)+0x0024
R20.L	32 R/W	Регистр данных	BASE(i)+0x0028
R22.L	32 R/W	Регистр данных	BASE(i)+0x002C
R24.L	32 R/W	Регистр данных	BASE(i)+0x0030
R26.L	32 R/W	Регистр данных	BASE(i)+0x0034
R28.L	32 R/W	Регистр данных	BASE(i)+0x0038
R30.L	32 R/W	Регистр данных	BASE(i)+0x003C
R1.L	32 R/W	Регистр данных	BASE(i)+0x0040
R3.L	32 R/W	Регистр данных	BASE(i)+0x0044
R5.L	32 R/W	Регистр данных	BASE(i)+0x0048
R7.L	32 R/W	Регистр данных	BASE(i)+0x004C
R9.L	32 R/W	Регистр данных	BASE(i)+0x0050
R11.L	32 R/W	Регистр данных	BASE(i)+0x0054
R13.L	32 R/W	Регистр данных	BASE(i)+0x0058
R15.L	32 R/W	Регистр данных	BASE(i)+0x005C
R17.L	32 R/W	Регистр данных	BASE(i)+0x0060
R19.L	32 R/W	Регистр данных	BASE(i)+0x0064

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
R21.L	32 R/W	Регистр данных	BASE(i)+0x0068
R23.L	32 R/W	Регистр данных	BASE(i)+0x006C
R25.L	32 R/W	Регистр данных	BASE(i)+0x0070
R27.L	32 R/W	Регистр данных	BASE(i)+0x0074
R29.L	32 R/W	Регистр данных	BASE(i)+0x0078
R31.L	32 R/W	Регистр данных	BASE(i)+0x007C
R1.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x0180
R1.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x0184
R3.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x0188
R3.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x018C
R5.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x0190
R5.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x0194
R7.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x0198
R7.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x019C
R9.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01A0
R9.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01A4
R11.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01A8
R11.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01AC
R13.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01B0
R13.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01B4
R15.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01B8
R15.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01BC
R17.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01C0
R17.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01C4
R19.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01C8
R19.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01CC
R21.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01D0
R21.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01D4
R23.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01D8
R23.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01DC
R25.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01E0
R25.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01E4
R27.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01E8
R27.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01EC
R29.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01F0
R29.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01F4
R31.D[31:0]	32 R/W	Регистр данных	BASE(i)+0x01F8
R31.D[63:32]	32 R/W	Регистр данных	BASE(i)+0x01FC
		Регистры-аккумуляторы	
AC0	32 R/W	Регистр-аккумулятор AC0	BASE(i)+0x0200
AC1	32 R/W	Регистр-аккумулятор AC1	BASE(i)+0x0204
AC2	32 R/W	Регистр-аккумулятор AC2	BASE(i)+0x0208
AC3	32 R/W	Регистр-аккумулятор AC3	BASE(i)+0x020C
AC4	32 R/W	Регистр-аккумулятор AC4	BASE(i)+0x0210
AC5	32 R/W	Регистр-аккумулятор AC5	BASE(i)+0x0214
AC6	32 R/W	Регистр-аккумулятор AC6	BASE(i)+0x0218
AC7	32 R/W	Регистр-аккумулятор AC7	BASE(i)+0x021C
AC8	32 R/W	Регистр-аккумулятор AC8	BASE(i)+0x0220
AC9	32 R/W	Регистр-аккумулятор AC9	BASE(i)+0x0224
AC10	32 R/W	Регистр-аккумулятор AC10	BASE(i)+0x0228
AC11	32 R/W	Регистр-аккумулятор AC11	BASE(i)+0x022C

Условное обозначение	Разрядность, тип	Назначение регистра	Адрес регистра
AC12	32 R/W	Регистр-аккумулятор AC12	BASE(i)+0x0230
AC13	32 R/W	Регистр-аккумулятор AC13	BASE(i)+0x0234
AC14	32 R/W	Регистр-аккумулятор AC14	BASE(i)+0x0238
AC15	32 R/W	Регистр-аккумулятор AC15	BASE(i)+0x023C
		Отладочные регистры	
dbDCSR	16 R/W	Регистр управления в режиме отладки	BASE(i)+0x0500
Cnt_RUN	32 R	Счетчик тактов	BASE(i)+0x0518
dbPCa	16 R	Программный счетчик, стадия a	BASE(i)+0x0524
dbPCf	16 R	Программный счетчик, стадия f	BASE(i)+0x0528
dbPCd	16 R	Программный счетчик, стадия d	BASE(i)+0x052C
dbPCE	16 R	Программный счетчик, стадия e	BASE(i)+0x0520
dbPCE1	16 R	Программный счетчик, стадия e1	BASE(i)+0x0530
dbPCE2	16 R	Программный счетчик, стадия e2	BASE(i)+0x0534
dbPCE3	16 R	Программный счетчик, стадия e3	BASE(i)+0x0538
dbSAR	16 R/W	Регистр адреса останова 0 в режиме отладки	BASE(i)+0x053C
dbCNTR	16 R/W	Счетчик исполненных команд в режиме отладки	BASE(i)+0x0540
dbSAR1	16 R/W	Регистр адреса останова 1 в режиме отладки	BASE(i)+0x0544
dbSAR2	16 R/W	Регистр адреса останова 2 в режиме отладки	BASE(i)+0x0548
dbSAR3	16 R/W	Регистр адреса останова 3 в режиме отладки	BASE(i)+0x054C
dbSAR4	16 R/W	Регистр адреса останова 4 в режиме отладки	BASE(i)+0x0550
dbSAR5	16 R/W	Регистр адреса останова 5 в режиме отладки	BASE(i)+0x0554
dbSAR6	16 R/W	Регистр адреса останова 6 в режиме отладки	BASE(i)+0x0558
dbSAR7	16 R/W	Регистр адреса останова 7 в режиме отладки	BASE(i)+0x055C
		Контроллеры Хэмминга	
CSR_He	32 R/W	Регистр управления контроллера He	0x1848_0300
FIFO_He	32 R	FIFO ошибочных адресов контроллера He	0x1848_0304
CSR_x0	32 R/W	Регистр управления контроллера Hx0	BASE(i)+0x0308
FIFO_x0	32 R	FIFO ошибочных адресов контроллера Hx0	BASE(i)+0x030C
CSR_y0	32 R/W	Регистр управления контроллера Hy0	BASE(i)+0x0310
FIFO_y0	32 R	FIFO ошибочных адресов контроллера Hy0	BASE(i)+0x0314
CSR_x1	32 R/W	Регистр управления контроллера Hx1	BASE(i)+0x0318
FIFO_x1	32 R	FIFO ошибочных адресов контроллера Hx1	BASE(i)+0x031C
CSR_y1	32 R/W	Регистр управления контроллера Hy1	BASE(i)+0x0320
FIFO_y1	32 R	FIFO ошибочных адресов контроллера Hy1	BASE(i)+0x0324
CSR_xy	32 R/W	Регистр общего управления контроллеров Hx0, Hy0, Hx1, Hy1	BASE(i)+0x0328
CSR_p0	32 R/W	Регистр управления контроллера Hp0	BASE(i)+0x032C
FIFO_p0	32 R	FIFO ошибочных адресов контроллера Hp0	BASE(i)+0x0330
CSR_p1	32 R/W	Регистр управления контроллера Hp1	BASE(i)+0x0334
FIFO_p1	32 R	FIFO ошибочных адресов контроллера Hp1	BASE(i)+0x0338

5. ИНТЕРВАЛЬНЫЙ ТАЙМЕР

5.1 Назначение

Интервальный таймер (ИТ) предназначен для выработки периодических прерываний на основе деления тактовой частоты CPU либо внешней тактовой частоты – XTI или RTCXTI.

Основные характеристики таймера:

число разрядов делителя – 32;

число разрядов предделителя – 8;

программное управление стартом и остановкой таймера;

доступ ко всем регистрам обеспечивается в любой момент времени.

В микросхеме 1892BM206 имеется шестнадцать интервальных таймеров: ИТ0:ИТ15.

5.2 Структурная схема ИТ

Структурная схема ИТ представлена на Рисунок 5.1.

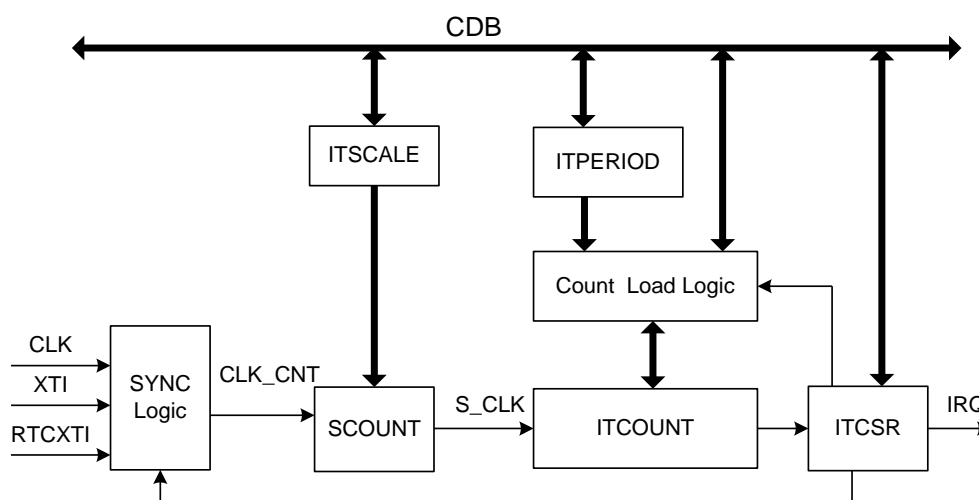


Рисунок 5.1. Структурная схема ИТ

В состав таймера входят следующие основные узлы:

ITCSR – регистр управления и состояния;

ITCOUNT – счетчик основного делителя;

ITPERIOD – регистр периода основного делителя;

ITSCALE – регистр предделителя;

SCOUNT – счетчик предделителя;

SYNC Logic – логика синхронизации частот;

Count Load Logic – логика загрузки счетчика основного делителя.

На структурной схеме интервального таймера использованы следующие обозначения:

CDB – шина данных CPU;

CLK – тактовая частота работы CPU;

ХТИ – внешняя тактовая частота;
 RTCХТИ – внешняя тактовая частота;
 CLK_CNT – выходная частота логики синхронизации;
 S_CLK – выходная частота предделителя;
 IRQ – запрос на прерывание от таймера реального времени.

На вход интервального таймера поступает тактовая частота CPU и внешние тактовые частоты: ХТИ, RTCХТИ. Для правильной работы таймера должны выполняться соотношения:

$f_{ХТИ} \leq \frac{f_{CLK}}{4}$, $f_{RTCХТИ} \leq \frac{f_{CLK}}{4}$, где $f_{ХТИ}$, $f_{RTCХТИ}$ и f_{CLK} значения частот ХТИ, RTCХТИ и CLK соответственно. Как правило, RTCХТИ имеет частоту 32,768 кГц.

5.3 Описание регистров интервального таймера

В Таблица 5.1 приведен перечень программно-доступных регистров ИТ.

Таблица 5.1. Перечень регистров ИТ

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние	Смещение относительно базового адреса
ITCSR[4:0]	Регистр управления и состояния	W/R	0	0x00
ITPERIOD[31:0]	Регистр периода	W/R	FFFF FFFF	0x04
ITCOUNT[31:0]	Регистр счетчика основного делителя частоты	W/R	0000_0000	0x08
ITSCALE[7:0]	Регистр предделителя частоты	W/R	0000	0x0C

Формат регистра ITCSR приведен в Таблица 5.2.

Таблица 5.2. Формат регистра ITCSR

Номер разряда	Условное обозначение	Описание
0	EN	Разрешение работы таймера: 0 – запрещение работы (неактивное состояние таймера); 1 – разрешение работы (активное состояние таймера).
1	INT	Признак срабатывания таймера. Состояние данного разряда транслируется в биты IT0 или IT1 регистра QSTR0. Сбрасывается при записи нуля в этот разряд.
2	TICK	Бит тестирования регистра счетчика ITCOUNT и регистра предделителя IRTSCALE. При записи 1 в бит TICK декрементируется значение счетчика IRTCOUNT и предделителя ITSCALE. Поле доступно только по записи.
4:3	CLK_SEL	Задаёт тактовую частоту от которой работает ИТ: 00 – CLK – тактовая частота CPU; 01 – ХТИ – внешняя тактовая частота; 10 – RTCХТИ – внешняя тактовая частота;

8-разрядный регистр ITSCALE используется для задания коэффициента предделения тактовой частоты CLK_CNT, которая поступает на вход счетчика SCOUNT.

32-разрядные регистр ITPERIOD используется для задания периода работы основного делителя.

32-разрядный счетчик основного делителя частоты ITCOUNT работает в режиме декремента. На вход этого счетчика поступает частота (S_CLK) с выхода счетчика предделителя.

Если ITPERIOD = 0000_7FFF, ITSCALE = 0000, при этом в регистре ITCSR задана работа от внешней частоты RTCXTI (ITCSR[4:3]=10), а частота RTCXTI = 32,768 кГц, то интервальный таймер формирует прерывание каждую секунду.

5.4 Программирование IT

Перед началом работы с таймером необходимо задать источник тактовой частоты в регистре ITCSR[4:3] = CLK_SEL. Затем необходимо загрузить значение периода в регистр ITPERIOD и значение коэффициента предделения частоты в регистр ITSCALE.

Для активизации таймера необходимо в бит EN регистра ITCSR записать 1. В момент этой записи содержимое регистров ITSCALE и ITPERIOD переписывается в счетчики SCOUNT и ITCOUNT соответственно. После этого оба счетчика начинают работать в режиме декремента. При этом предделитель работает от частоты CLK_CNT, а счетчик ITCOUNT – от частоты S_CLK, формируемой предделителем.

Когда оба счетчика SCOUNT и ITCOUNT достигают нулевого состояния, в регистре ITCSR устанавливается бит INT и формируется запрос на прерывание, а содержимое регистров ITSCALE и ITPERIOD снова переписывается в счетчики SCOUNT и ITCOUNT соответственно. Далее таймер работает аналогичным образом.

Запрос на прерывание формируется каждые $\{(irtperiod + 1) * (irtscale + 1)\}$ тактов CLK_CNT, где irtperiod и irtscale – содержимое регистров ITPERIOD и ITSCALE соответственно.

При необходимости, в любой момент времени в регистры ITCOUNT и ITPERIOD можно произвести запись новых данных и тем самым изменить значение обрабатываемого временного интервала.

6. СТОРОЖЕВОЙ ТАЙМЕР

6.1 Назначение

Сторожевой таймер (WDT) предназначен для:
вывода системы из зависания, если программное обеспечение зациклилось и не формирует соответствующих управляющих воздействий;
выработки прерываний на основе деления тактовой частоты CPU.

Основные характеристики таймера:
число разрядов основного делителя – 32;
число разрядов предделителя – 8;
программное управление стартом и остановкой таймера;
два режима работы: режим сторожевого таймера (WDM) и режим интервального таймера (ITM);
два режима отработки временных интервалов: однократный и периодический;
доступ ко всем регистрам обеспечивается в любой момент времени.

6.2 Структурная схема

Структурная схема сторожевого таймера приведена на Рисунок 6.1.

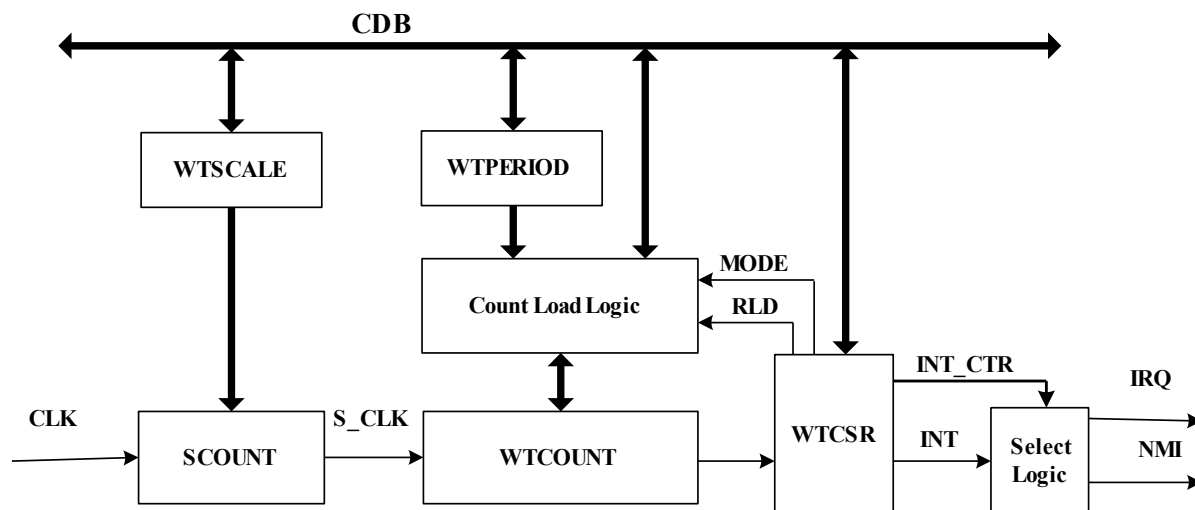


Рисунок 6.1. Структурная схема сторожевого таймера

В состав сторожевого таймера входят следующие основные узлы:
WTCSR – регистр управления и состояния;
WTCOUNT – счетчик основного делителя;
WTPERIOD – регистр периода основного делителя;
WTSCALE – регистр предделителя;
SCOUNT – счетчик предделителя;
Count Load Logic – логика загрузки счетчика основного делителя.

На структурной схеме интервального таймера использованы следующие обозначения:

CDB – шина данных CPU;

CLK – тактовая частота работы CPU;

S_CLK – выходная частота делителя;

IRQ – запрос на прерывание от интервального таймера;

NMI – немаскируемое прерывание.

6.3 Описание регистров WDT

В Таблица 6.1 приведен перечень программно-доступных регистров WDT.

Таблица 6.1. Перечень программно-доступных регистров WDT

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние	Смещение относительно базового адреса
WTCSR[14:0]	Регистр управления и состояния	W/R	0000	0x00
WTPERIOD[31:0]	Регистр периода	W/R – в неактивном состоянии; R – в активном состоянии.	FFFF_FFFF	0x04
WTCOUNT[31:0]	Регистр счетчика основного делителя частоты	W/R – в неактивном состоянии; R – в активном состоянии.	0000_0000	0x08
WTSCALE[7:0]	Регистр делителя частоты	W/R – в неактивном состоянии; R – в активном состоянии.	0000	0x0C

8-разрядный регистр WTSCALE используется для задания коэффициента деления тактовой частоты CPU (CLK), которая поступает на вход счетчика SCOUNT.

32-разрядный регистр WTPERIOD используется для задания периода работы основного делителя.

32-разрядный счетчик основного делителя частоты WTCOUNT работает в режиме декремента. На вход этого счетчика поступает частота S_CLK с выхода счетчика делителя.

Формат регистра WTCSR приведен в Таблица 6.2.

Таблица 6.2. Формат регистра WTCSR

Номер разряда	Условное обозначение	Описание
7: 0	KEY	<p>Поле для записи ключей.</p> <p>Запись в это поле последовательности кодов A0 (ключ KEY1) и F5 (ключ KEY2) приводит к переключению таймера из режима сторожевого таймера (WDM) в режим интервального таймера (ITM).</p> <p>Поле доступно по чтению и записи.</p> <p>Поле доступно по записи только в режиме WDM: когда EN=1, или когда таймер находится в состоянии Timeout.</p> <p>Сбрасывается в ноль при переводе таймера из режима ITM в режим WDM.</p> <p>Значение в исходном состоянии – 0.</p>
8	EN	<p>Разрешение работы таймера:</p> <p>0 – запрещение работы (неактивное состояние таймера);</p> <p>1 – разрешение работы (активное состояние таймера).</p> <p>Доступен по чтению и записи. Запись нуля в этот бит при работе таймера в режиме WDM не имеет эффекта.</p> <p>Значение в исходном состоянии – 0.</p>
9	INT	<p>Признак срабатывания таймера.</p> <p>В зависимости от содержимого поля INT_CTR состояние данного разряда транслируется или в бит WDT регистра QSTR0, или в немаскируемое прерывание (NMI).</p> <p>Сбрасывается при записи нуля в этот разряд, а также при переводе таймера из режима ITM в режим WDM.</p> <p>Доступен по чтению и записи в режиме ITM и только по чтению в режиме WDM.</p> <p>Значение в исходном состоянии – 0.</p>
10	MODE	<p>Режим работы таймера:</p> <p>0 – режим сторожевого таймера (WDM);</p> <p>1 – режим обычного таймера (ITM).</p> <p>Доступен по чтению и записи при EN=0 и только по чтению при EN=1.</p> <p>Значение в исходном состоянии – 0.</p>
11	RLD	<p>Бит управления перезагрузкой SCOUNT и WTCOUNT при работе в режиме ITM:</p> <p>0 – таймер однократно обрабатывает временной интервал и останавливается;</p> <p>1 – таймер обрабатывает заданный временной интервал периодически.</p> <p>После обработки очередного временного интервала содержимое WTSCALE и WTPERIOD загружается в SCOUNT и WTCOUNT соответственно.</p> <p>Доступен по чтению и записи при EN=0 и только по чтению при EN=1.</p> <p>Значение в исходном состоянии – 0.</p>
13:12	INT_CTR	<p>Управления типом прерывания, которое формируется таймером WDT:</p> <p>00 – прерывание не формируется;</p> <p>01 – обычное прерывание (QSTR0[20]). Как правило, используется в режиме ITM;</p> <p>10 – немаскируемое прерывание (NMI). Как правило, используется в режиме WDM.</p> <p>11 – прерывание не формируется. Формируется внешний сигнал WDT (см. Таблица 21.3).</p> <p>Поле доступно по чтению и записи при EN=0 и только по чтению при EN=1.</p> <p>Значение в исходном состоянии – 0.</p>

6.4 Программирование WDT

Диаграмма состояний WDT приведена на Рисунок 6.2.

В исходном состоянии WDT находится в режиме сторожевого таймера. Для перевода его в режим интервального таймера необходимо записать 1 в бит MODE регистра WTCSR. Следует отметить, что смена режима работы таймера посредством записи в бит MODE возможна, если таймер не активен ($EN = 0$).

Перед началом работы с таймером WDT необходимо загрузить значение периода в регистр WTPERIOD и значение коэффициента предделения частоты в регистр WTSCALE.

Для активизации таймера необходимо в бит EN регистра WTCSR записать 1. В момент этой записи содержимое регистров WTSCALE и WTPERIOD переписывается в счетчики SCOUNT и WTCOUNT соответственно. После этого оба счетчика начинают работать в режиме декремента. При этом предделитель работает от частоты CLK, а счетчик WTCOUNT – от частоты S_CLK, формируемой предделителем.

После активизации таймера, WTCOUNT, WTPERIOD, WTSCALE, а также поля INT_CTR, MODE, RLD регистра WTCSR, становятся не доступными по записи.

Сторожевой таймер в режиме WDM необходимо периодически обслуживать. То есть, если он был активизирован в режиме WDM, то для того, чтобы не возникло состояния Timeout необходимо периодически выполнять следующую последовательность действий:

переключить таймер из режима WDM в режим ITM посредством последовательной записи в поле KEY регистра WTCSR кодов A0 и F5;
остановить таймер посредством записи 0 в бит EN регистра WTCSR;
установить $MODE = 0$.

Если вслед за значением A0 в поле KEY будет записано значение $\neq F5$, то таймер перейдет в состояние Timeout.

Если после активизации таймера в режиме WDM, он не будет переведен в режим ITM, то, когда оба счетчика SCOUNT и WTCOUNT достигнут нулевого значения, таймер перейдет в состояние Timeout.

В состоянии Timeout таймер формирует признак INT и останавливается, а запись в какой-либо из его регистров блокируется. Для вывода WDT из состояния Timeout необходимо его переключить в режим ITM посредством последовательной записи в поле KEY регистра WTCSR кодов A0 и F5.

При переключении таймера из неактивного состояния в режиме ITM в режим WDM путем записи 0 в поле MODE регистра WTCSR происходит обнуление полей KEY и INT.

При работе таймера в режиме ITM при $RLD = 0$ он однократно обрабатывает заданный временной интервал, устанавливает $INT = 1$ и останавливается (когда оба счетчика SCOUNT и WTCOUNT достигают нулевого состояния). Если $RLD = 1$, то каждый раз после достижения счетчиками нулевого состояния и установки $INT = 1$, происходит перезагрузка значений периода и коэффициента предделения частоты. То есть, таймер обрабатывает заданный временной интервал периодически до тех пор, пока он не будет остановлен.

Запрос на прерывание формируется каждые $\{(wtperiod + 1) * (wt scale + 1)\}$ тактов работы CPU, где wtperiod и wt scale – содержимое регистров WTPERIOD и WTSCALE соответственно.

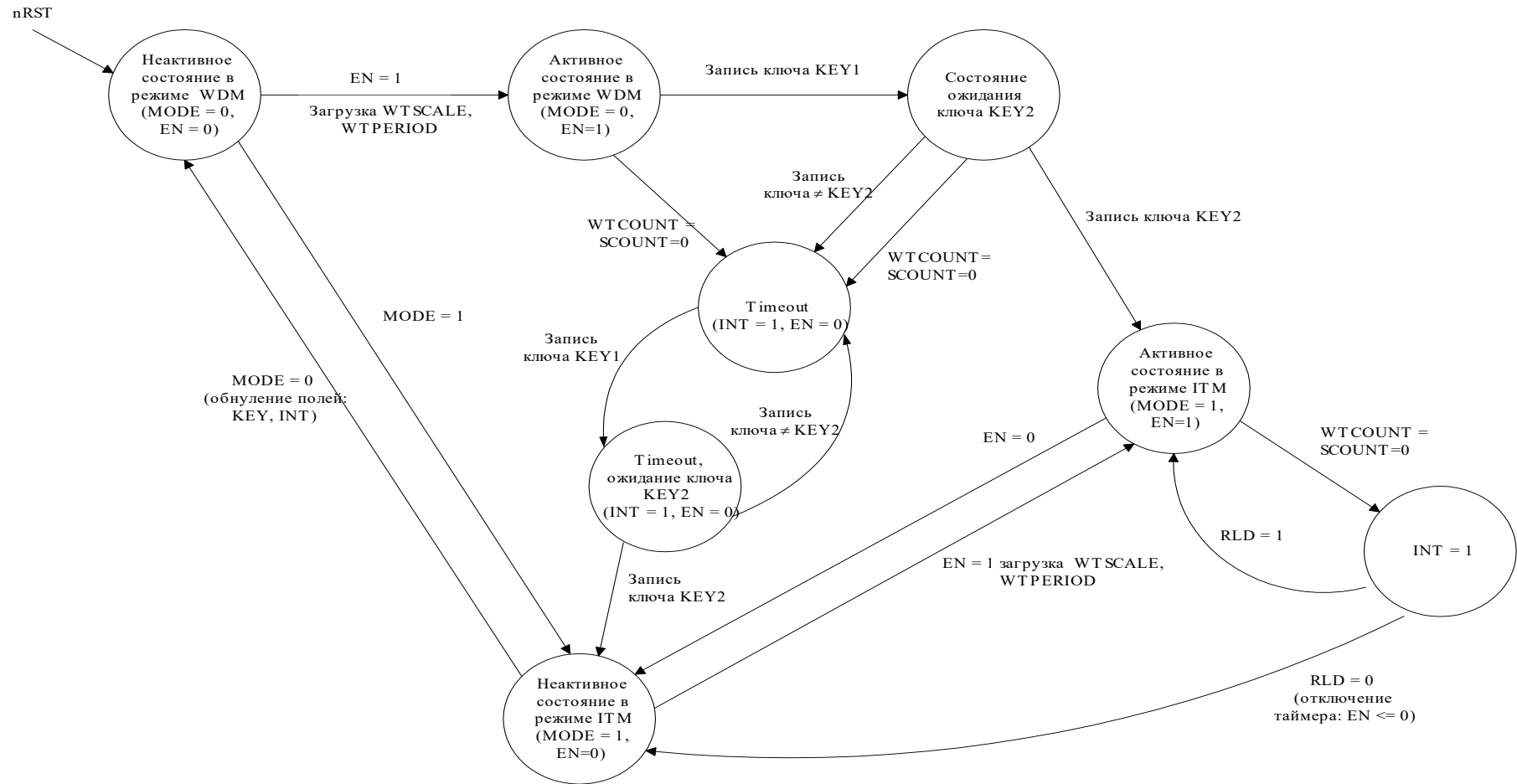


Рисунок 6.2. Диаграмма состояний WDT

7. КОНТРОЛЛЕР ПРЯМОГО ДОСТУПА В ПАМЯТЬ (DMA)

Контроллер DMA микросхемы 1892BM206 имеет несколько каналов, в том числе каналы DMA контроллеров SWIC, SPFMIC, ARINC429, 1553BIC, EMAC (AFDX), MFBSP и каналы DMA типа память-память. Перечень каналов и базовые адреса представлены в Таблица 2.16.

Памятью могут быть CRAM и внешняя память, доступная через MPORT.

Если при работе DMA изменяется программный код в памяти, то когерентность кэш CPU аппаратно не обеспечивается. В этом случае для обеспечения когерентности используется бит FLUSH в системном регистре CSR.

Контроллер DMA микросхемы 1892BM206 имеет 59 каналов. Перечень каналов приведен в Таблица 7.1.

Таблица 7.1. Перечень каналов DMA

Условное обозначение канала	Назначение канала
SWIC0_TX_DAT	Передача данных из памяти в SWIC0
SWIC0_TX_DES	Передача дескриптора из памяти в SWIC0
SWIC0_RX_DAT	Прием данных из SWIC0 в память
SWIC0_RX_DES	Прием дескриптора из SWIC0 в память
SWIC1_TX_DAT	Передача данных из памяти в SWIC1
SWIC1_TX_DES	Передача дескриптора из памяти в SWIC1
SWIC1_RX_DAT	Прием данных из SWIC1 в память
SWIC1_RX_DES	Прием дескриптора из SWIC1 в память
SWIC2_TX_DAT	Передача данных из памяти в SWIC2
SWIC2_TX_DES	Передача дескриптора из памяти в SWIC2
SWIC2_RX_DAT	Прием данных из SWIC2 в память
SWIC2_RX_DES	Прием дескриптора из SWIC2 в память
SWIC3_TX_DAT	Передача данных из памяти в SWIC3
SWIC3_TX_DES	Передача дескриптора из памяти в SWIC3
SWIC3_RX_DAT	Прием данных из SWIC3 в память
SWIC3_RX_DES	Прием дескриптора из SWIC3 в память
SPFMIC0_TX_DAT	Передача данных из памяти в SPFMIC0
SPFMIC0_TX_DES	Передача дескриптора из памяти в SPFMIC0
SPFMIC0_RX_DAT	Прием данных из SPFMIC0 в память
SPFMIC0_RX_DES	Прием дескриптора из SPFMIC0 в память
SPFMIC1_TX_DAT	Передача данных из памяти в SPFMIC1
SPFMIC1_TX_DES	Передача дескриптора из памяти в SPFMIC1
SPFMIC1_RX_DAT	Прием данных из SPFMIC1 в память
SPFMIC1_RX_DES	Прием дескриптора из SPFMIC1 в память
EMAC0_TX_DAT	Передача данных из памяти в EMAC0
EMAC0_TX_DES	Передача дескриптора из памяти в EMAC0
EMAC0_RX_DAT	Прием данных из контроллера EMAC0 в память
EMAC0_RX_DES	Прием дескриптора из контроллера EMAC0 в память
EMAC1_TX_DAT	Передача данных из памяти в EMAC1
EMAC1_TX_DES	Передача дескриптора из памяти в EMAC1
EMAC1_RX_DAT	Прием данных из контроллера EMAC1 в память
EMAC1_RX_DES	Прием дескриптора из контроллера EMAC1 в память
DMA_ARINC429_CH0 – DMA_ARINC429_CH14	Обмен данными DMA-каналов контроллера ARINC429

Условное обозначение канала	Назначение канала
MFBSPO_RX_DAT	Прием данных из MFBSPO в память
MFBSB0_TX_DAT	Передача данных из памяти в MFBSPO
MFBSPI_RX_DAT	Прием данных из MFBSPI в память
MFBSB1_TX_DAT	Передача данных из памяти в MFBSPI
DMA_MEM_CH10 – DMA_MEM_CH17	Обмен данными типа память-память
DMA_MEM_CH00 – DMA_MEM_CH07	Обмен данными типа память-память

7.1 Каналы DMA типа память-память

В микросхеме 1892BM206 имеется два 8-канальных DMA MEM_CH, который обеспечивает обмен данными между двумя областями любых блоков памяти (внутренней или внешней).

Для управления работой каждого канала MEM_CH имеются следующие регистры:

регистр управления и состояния – CSR;

регистры индекса (физический адрес памяти) - IR0, IR1;

регистры смещения - OR, Y;

регистр начального физического адреса блока параметров DMA передачи для выполнения процедуры самоинициализации (CP);

псевдорегистр управления состоянием бита RUN регистра CSR.

Таблица 7.2. Перечень и адреса регистров одного канала DMA_MEM_CH

Условное обозначение регистра	Название регистра	Смещение относительно базового адреса
CSR	Регистр управления и состояния (по чтению сброс битов «END» и «DONE»)	0x00
CP	Регистр указателя цепочки	0x04
IR0	Регистр индекса «0»	0x08
IR1	Регистр индекса «1»	0x0C
OR	Регистр смещений	0x10
Y	Регистр параметров направления Y при двухмерной адресации	0x14
RUN	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_MEM_CH0 На чтение: Регистр управления и состояния канала MEM_CH0 без сброса битов «END» и «DONE»	0x18

Исходное состояние регистров CSR: разряды 15:0 – нули, а состояние разрядов 31:16 не определено. Исходное состояние остальных регистров не определено.

Формат регистров CSR этих каналов приведен в Таблица 7.3.

Таблица 7.3. Формат регистра управления и состояния каналов MEM_CH

Номер разряда	Условное обозначение	Назначение
0	RUN	Состояние работы канала DMA: 0 – состояние останова; 1 – состояние обмена данными. Устанавливается в 1 при записи 1 в этот разряд. Устанавливается в 0: при записи 0 в этот разряд и после окончания передачи данных, оставшихся в канале; при завершении передачи блока данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
1	DIR	Направление обмена данными: 0 – память по IR0 => память по IR1; 1 – память по IR1 => память по IR0.
5:2	WN	Пакет данных, который передается по коммутатору AXI Switch за одно предоставление прямого доступа: 0 – 1 слово; F – 16 слов. Посредством этого параметра можно плавно изменять приоритет каналов DMA относительно CPU, DSP и относительно друг друга
6	EN64	Формат передаваемых данных по коммутатору AXI Switch: 0 – 32 разряда; 1 – 64 разряда. При передаче 32-разрядными словами: WCX – число 32-разрядных слов; адрес в IR0, IR1 должен быть выровнен по границе 32-разрядного слова. При передаче 64-разрядными словами: WCX – число 64-разрядных слов; адрес в IR0, IR1 должен быть выровнен по границе 64-разрядного слова
7	START_DSP	Разрешение запуска работы DSP-ядра (перевод из состояния STOP в состояние RUN) после завершения передачи блока данных: 0 – запуск запрещен; 1 – запуск разрешен.
8	MODE	Режим модификации адреса регистра IR0 0 – линейный режим; 1 – режим с обратным переносом.
9	2D	Режим модификации адреса регистра IR1: 0 – одномерный режим; 1 – двухмерный режим.
10	MASK	Маска внешнего запроса прямого доступа nDMAR: 0 – запрос запрещен; 1 – запрос разрешен. Если разряд равен нулю, то канал работает только под управлением бита RUN. Если разряд равен 1, то для инициализации канала необходимо также наличие запроса nDMAR (низкий уровень).
11	FLYBY	Признак выполнения обмена данными в режиме Flyby: 0 – обычный режим; 1 – режим Flyby. Обмен данными между внешней памятью и внешним устройством

Номер разряда	Условное обозначение	Назначение
12	CHEN	Разрешение выполнения очередной процедуры самоинициализации: 0 – выполнение очередной процедуры самоинициализации запрещено; 1 – выполнение очередной процедуры самоинициализации разрешено. Используется только при обмене цепочкой блоков данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
13	IM	Маска разрешение установки признака END: 0 – установки признака запрещено; 1 – установки признака разрешено. Используется только при обмене цепочкой блоков данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
14	END	Признак завершения передачи блока данных. Устанавливается в 1 при завершении передачи блока данных (при IM=1). Устанавливается в 0 при чтении содержимого этого регистра. Доступен по записи и чтению.
15	DONE	Признак завершения передачи блока данных. Устанавливается в 1 при завершении передачи блока данных при CHEN=0 (CHEN=1 может быть только при использовании процедуры самоинициализации). Устанавливается в 0 при чтении содержимого этого регистра
31:16	WCX	Число слов данных, которые должен передать канал DMA при одномерной адресации (блок данных). Число слов в строке при двумерной адресации. Количество передаваемых слов = WCX + 1. Содержимое этого поля уменьшается на длину пакета данных, переданного каналом DMA

Все разряды регистра CSR доступны по записи и чтению.

Состоянием разряда 0 регистра CSR можно управлять, используя адрес псевдорегистра RUN. При этом остальные разряды этого регистра не изменяются. Эта процедура может быть использована для временной приостановки канала DMA. При чтении по адресу псевдорегистра RUN считывается содержимое регистра CSR без сброса битов END и DONE.

32-разрядные регистры индекса IR0, IR1 содержат начальные физические адреса источника и приемника данных (или, наоборот, в зависимости от содержимого разряда DIR регистра CSR) памяти микросхемы. В зависимости от содержимого разряда EN64 адреса в этих регистрах должны быть выровнены по границе 32 или 64-разрядного слова.

Формат регистра смещения OR приведен в Таблица 7.4.

Таблица 7.4. Формат регистра индекса и смещения каналов MEM_CN

Номер разряда	Условное обозначение	Назначение
15:0	OR0	Смещение (приращение) адреса для индексного регистра IR0 после передачи каждого слова данных
31:16	OR1	Смещение (приращение) адреса для индексного регистра IR1 после передачи каждого слова данных

Модификация индексного регистра IR0 при помощи смещения OR0 обеспечивается в режимах с прямым или обратным переносами. Режим с обратным переносом используется при реализации алгоритма быстрого преобразования Фурье (БПФ). Модификация индексного регистра IR1 при помощи смещения OR1 обеспечивается только в режиме с прямым переносом.

В режиме модификации индексного регистра с прямым переносом смещение, задаваемое полями OR0, OR1, рассматривается как число со знаком в диапазоне -32768 до $+32767$ слов данных (32 или 64-разрядных). Алгоритм модификации адреса с прямым переносом:

```
for ( x = 0; x < WCX; x++ ) { пересылка по адресу IR0;

                                модификация адреса для 64-х разрядного обмена: IR0 = IR0 +
                                {{13{OR0[15]}},OR0,000};

                                модификация адреса для 32-х разрядного обмена: IR0 = IR0 +
                                {{14{OR0[15]}},OR0,00};

                                пересылка по адресу IR1;

                                модификация адреса для 64-х разрядного обмена: IR1 = IR1 +
                                {{13{OR1[15]}},OR1,000};

                                модификация адреса для 32-х разрядного обмена: IR1 = IR1 +
                                {{14{OR1[15]}},OR1,00};

                                }
```

В режиме модификации индексного регистра с обратным переносом смещение, задаваемое полем OR0, имеет диапазон от 0 до $+65535$. Модификация адреса в этом случае выполняется с распространением переноса в обратном направлении – от старших разрядов к младшим. Операция модификации адреса с обратным переносом эквивалентна последовательному выполнению следующих процедур:

16-разрядное смещение OR0 дополняется до 32 разрядов: со стороны младших – двумя или тремя нулями, (для 32 или 64-разрядного обменов соответственно, а со стороны старших разрядов – четырнадцатью или тринадцатью нулями, для 32 и 64-разрядного обменов соответственно;

изменение на обратный порядок следования разрядов в регистрах адреса и смещения. При этом старший бит становится младшим;

модификация адреса посредством операции сложения с прямым переносом;

восстановление первоначального порядка следования разрядов регистра адреса.

Модификацию адреса с обратным переносом можно описать при помощи следующих выражений:

$IR0 [0:31] = IR0[0:31] + \{000, OR0[0:15], 00000000000000\}$ – для 64-разрядного обмена;

$IR0 [0:31] = IR0[0:31] + \{00, OR0[0:15], 00000000000000\}$ – для 32-разрядного обмена.

Канал MEM_CN обеспечивают передачу двумерных массивов (матриц $W[m;n]$). При этом, память (внутренняя или внешняя) адресуется в двухмерном режиме. Для этого имеется 32-разрядный регистр Y, формат которого приведен в Таблица 7.5.

Таблица 7.5. Формат регистра Y

Номер разряда	Условное обозначение	Назначение
15:0	OY	Смещение (приращение) адреса памяти в 32-разрядных словах по направлению Y. Используется только при двухмерной адресации.
31:16	WCY	Число строк по Y направлению. Используется только при двухмерной адресации. Количество передаваемых строк = $WCY + 1$.

При двухмерном режиме адресации поле WCX регистра CSR содержит число слов в строке (X направление), а поле WCY регистра Y содержит число строк (Y направление). Пересылка каждого слова данных осуществляется по индексному регистру IR1 с его последующей инкрементацией на величину, соответствующую содержимому поля OR1 регистра OR (X направление) или поля OY регистра Y. Двухмерная адресация выполняется следующим образом:

Содержимое счетчика WCX сохраняется в буферном регистре;

1 цикл. Индексный регистр внешней памяти модифицируется с использованием смещения OR1. Счетчик WCX декрементируется. Если он равен 0, то переход ко второму циклу.

2 цикл. Состояние счетчика WCX восстанавливается из буферного регистра. Индексный регистр внешней памяти модифицируется с использованием смещения OY. Счетчик WCY декрементируется. Если он не равен 0, то переход к первому циклу. Если он равен 0, то работа канала завершается.

Функционально двумерная адресация эквивалентна следующему двойному циклу (реализуется только по IR1, OR1):

```
for ( y = 0; y <= WCY; y++ ) {
    for ( x = 0; x < WCX; x++ ) { пересылка по адресу IR1
        для 64-х разрядного обмена : IR1 =
IR1 + {{13{OR1[15]}},OR1,3'h0};
        для 32-х разрядного обмена : IR1 =
IR1 + {{14{OR1[15]}},OR1,2'h0}
    };
    пересылка по адресу IR1
    для 64-х разрядного обмена : IR1 = IR1 +
{{13{ORY[15]}},ORY,3'h0};
```

```

        для 32-х разрядного обмена : IR1 = IR1 +
        {{14{ORY[15]}}},ORY,2'h0};

        };

```

//общее кол-во пересылок (WCX=1)*(WCY+1)

Микросхема 1892BM206 имеет 4 внешних сигнала запроса прямого доступа nDMAR[3:0]. Эти сигналы поступают на каналы DMA MEM_CH следующим образом:

nDMAR[0] - на каналы MEM_CH00, MEM_CH10;

nDMAR[1] - на каналы MEM_CH01, MEM_CH11;

nDMAR[2] - на каналы MEM_CH02, MEM_CH12;

nDMAR[3] - на каналы MEM_CH03, MEM_CH13.

Для настройки работы канала DMA MEM_CH по внешним запросам необходимо в регистре CSR_MEM_CH установить: MASK = 1, RUN = 1. Внешнее устройство необходимо активизировать на формирование сигналов nDMAR, только после настройки соответствующего канала DMA MEM_CH.

По каждому переходу сигнала nDMAR из 1 в 0 канал DMA MEM_CH выполняет процедуру передачи одного пакета слов данных размером в соответствии с полем WN регистра CSR_MEM_CH. Очередной сигнал запроса прямого доступа запрещается подавать до окончания процесса передачи предыдущего пакета слов данных.

Необходимо иметь в виду, что факт перехода сигнала nDMAR из 1 в 0 запоминается в DMA только при RUN = 1, MASK = 1. При выполнении любой операции записи в регистр CSR_MEM_CH, сбрасывается запомненный в DMA факт перехода сигнала nDMAR из 1 в 0, если он не был принят к исполнению к этому моменту.

Каналы DMA MEM_CH совместно с портом MPORT обеспечивают передачу данных в режиме Flyby. При передаче данных в режиме Flyby шина данных микропроцессора переводится в 3 состояние, и одновременно активизируется внешняя память и внешнее устройство ввода-вывода. Память управляется как обычно, а устройство ввода-вывода – при помощи сигналов nFLYBY (признак данного режима) и nOE (активизация выходных формирователей устройства ввода-вывода).

Для выполнения передачи данных в режиме Flyby в регистре CSR_MEM_CH необходимо установить бит FLYBY = 1. В режиме Flyby адрес внешней памяти берется из регистра IR1. Регистр IR0 не используется.

Микросхема 1892BM206 имеет 4 пары внешних сигналов nFLYBY и nOE. Эти сигналы связаны с каналами DMA MEM_CH следующим образом:

nFLYBY[0], nOE[0] – каналы MEM_CH00, MEM_CH10;

nFLYBY[0], nOE[0] – каналы MEM_CH01, MEM_CH11;

nFLYBY[0], nOE[0] – каналы MEM_CH02, MEM_CH12;

nFLYBY[0], nOE[0] – каналы MEM_CH03, MEM_CH13.

7.2 Каналы DMA периферийных портов

Для обслуживания портов SPFMIC, SWIC, AFDX (EMAC), ARINC429, 1553BIC, MFBSF имеются следующие каналы DMA:

DMA SPFMIC0, DMA SPFMIC1, DMA SWIC01, DMA SWIC23, DMA EMAC0, DMA EMAC1, DMA_ARINC429, DMA_1553BIC0, DMA_1553BIC1, DMA_MFBSF.

Для управления работой каналы DMA портов содержат следующие регистры:

регистр управления и состояния (CSR);

регистр индекса (физический адрес памяти) (IR);

регистр начального адреса блока параметров DMA передачи для самоинициализации (CP);

псевдорегистр управления состоянием бита RUN регистра CSR.

Таблица 7.6. Перечень и адреса регистров одного канала DMA периферийных портов

Условное обозначение регистра	Название регистра	Смещение относительно базового адреса
CSR	Регистр управления и состояния канала	0x00
CP	Регистр указателя цепочки канала	0x04
IR	Индексный регистр внешней памяти канала	0x08
RUN	Псевдорегистр управления состоянием бита RUN регистра CSR	0x0C

Исходное состояние регистров CSR: разряды 15:0 – нули, а состояние разрядов 31:16 не определено. Исходное состояние остальных регистров не определено.

Каналы DMA портов передают данные по коммутатору AXI Switch 64-разрядными словами.

32-разрядный индексный регистр IR содержат физический адрес внутренней или внешней памяти. После передачи каждого слова данных к индексу IR прибавляется смещение на одно 64-х разрядное слово.

Памятью могут быть CDRAM, блоки памяти DSP: XRAM, YRAM и PRAM, внешняя память, доступная через MPORT.

Формат регистров управления и состояния CSR каналов DMA этих портов приведен в Таблица 7.7.

Таблица 7.7. Формат регистров управления и состояния DMA портов

Номер разряда	Условное обозначение	Назначение
0	RUN	Состояние работы канала DMA: 0 – состояние останова; 1 – состояние обмена данными. Устанавливается в 1 при записи 1 в этот разряд. Устанавливается в 0: при завершении передачи блока данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
1	–	Не используется

Номер разряда	Условное обозначение	Назначение
5:2	WN	Число слов данных (пачка), которое передается за одно предоставление прямого доступа: 0 – 1 слово, F – 16 слов. Посредством этого параметра можно плавно изменять приоритет каналов DMA относительно других устройств и относительно друг друга
6	–	Не используется
7	ADDR_SORT	Используется только для DMA каналов ARINC429 1- Прием слов от порта с сортировкой по адресу. 0- Прием слов от порта с инкрементацией адреса.
11:8	–	Не используется
12	CHEN	Разрешение выполнения очередной процедуры самоинициализации: 0 – выполнение очередной процедуры самоинициализации запрещено; 1 – выполнение очередной процедуры самоинициализации разрешено. Используется только при обмене цепочкой блоков данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
13	IM	Маска разрешение установки признака END: 0 – установки признака запрещено; 1 – установки признака разрешено. Используется только при обмене цепочкой блоков данных. Состояние этого бита определяется в процессе выполнения процедуры самоинициализации
14	END	Признак завершения передачи блока данных. Устанавливается в 1 при завершении передачи блока данных (при IM=1). Устанавливается в 0 при чтении содержимого этого регистра.
15	DONE	Признак завершения передачи блока данных. Устанавливается в 1 при завершении передачи блока данных при CHEN=0 (CHEN=1 может быть только при использовании процедуры самоинициализации). Устанавливается в 0 при чтении содержимого этого регистра
31:16	WCX	Кроме: DMA_ARINC429: число 64-разрядных слов данных, которые должен передать канал DMA (блок данных); количество передаваемых слов: WCX + 1;. содержимое этого поля уменьшается на 1 после передачи каналом DMA очередного слова данных. Для DMA_ARINC429: число 32-разрядных слов данных, которое должен передать канал DMA (блок данных); количество передаваемых 32-разрядных слов: WCX + 1;. содержимое этого поля уменьшается на 1 после передачи каналом DMA очередного слова данных. Исходное состояние поля не определено

Все разряды регистра CSR доступны по записи и чтению.

Бит RUN может быть использован для остановки работы канала DMA портов. Для этого в любой момент времени в него необходимо записать 0. Эта процедура возможна, если длина массива данных, указанного в канале DMA порта, равна длине массива данных, который

порт передаст (например, MFBSPP). Для продолжения работы в бит RUN необходимо записать 1.

Если порт прекратил обмен данными по внешней причине, то длина массива данных, указанного в канале DMA порта, будет не равна длине массива данных, который порт действительно передаст. В этом случае для остановки работы порта и его канала DMA необходимо использовать следующие алгоритмы.

Алгоритм остановки MFBSPP и его канала DMA:

1. Остановить MFBSPP, для чего в регистр CSR_MFBSPP необходимо записать 0.
2. Выполнить операцию записи 0 в бит RUN регистра CSR соответствующего канала DMA MFBSPP (при этом, бит RUN может в 0 не установиться).
3. Установить в 1 бит RX_RDY_MODE (TX_RDY_MODE) регистра CSR_MFBSPP.
4. Дождаться установки в 0 бита RUN регистра CSR соответствующего канала DMA MFBSPP.
5. Установить в 0 бит RX_RDY_MODE (TX_RDY_MODE) регистра CSR_MFBSPP.

Алгоритм остановки SWIC и его каналов DMA:

1. Выполнить операцию записи 0 в биты RUN регистров CSR каналов DMA SWIC (канал записи в память дескрипторов принимаемых пакетов, канал записи в память принимаемых слов данных, канал чтения из памяти дескрипторов передаваемых пакетов, канал чтения из памяти передаваемых слов данных).
2. Установить в регистре MODE_CR SWIC в 1 биты Link_disable (остановка работы SWIC) и RDY_MODE.
3. Дождаться установки в 0 битов RUN регистров CSR каналов DMA SWIC.
4. Установить в регистре MODE_CR SWIC в 0 бит RDY_MODE.

Следует отметить, что при выполнении этого алгоритма «хвост» передаваемых данных из порта теряется, а в «хвосте» приемного буфера данные будут недостоверны.

Состоянием разряда 0 регистра CSR можно управлять, используя адрес псевдорегистра RUN. При этом остальные разряды этого регистра не изменяются. Эта процедура может быть использована для временной приостановки канала DMA. При чтении по адресу псевдорегистра RUN считывается содержимое регистра CSR без сброса битов END и DONE.

7.2.1 Особенности DMA порта Ethernet MAC

- DMA порт Ethernet MAC имеет следующие особенности:
- порт Ethernet MAC имеет возможность изменять поле WN канала EMAC_CH в сторону уменьшения его значения, в случае если в FIFO порта осталось количество слов меньше чем указано в поле WN;
- 32-разрядный индексный регистр IR содержат физический адрес памяти с точностью до байта. После каждой передачи данных к индексу IR прибавляется смещение равное количеству переданных байт;
- канал DMA_EMAC_CH1 обеспечивает передачу данных из памяти (внешней или внутренней) в передающее FIFO – TX_FIFO;

- канал DMA_EMAC_CH0 обеспечивает передачу данных из принимающего FIFO – RX_FIFO в память (внешнюю или внутреннюю);
- в каналах DMA_EMAC_CH1 и DMA_EMAC_CH0 передача происходит с точностью до байта, необходимо выравнивание начальных адресов данных по границе 64-разрядного слова.

7.3 Процедура самоинициализации

Все каналы DMA могут выполнять процедуру самоинициализации (выполнение цепочки передач DMA).

Для выполнения самоинициализации в каналах DMA имеется 32-разрядный регистр CP, в котором хранится физический начальный адрес блока параметров очередного DMA обмена. Младшие три разряда регистра CP игнорируются (адреса выровнены по границе 64-разрядного слова). Младший (нулевой разряд) регистра CP используется для старта режима самоинициализации. Эти параметры при самоинициализации аппаратно загружаются в 64-разрядном формате в соответствующие регистры канала DMA. Процедура этой загрузки ничем не отличается от обычного DMA обмена. Блок параметров может размещаться в любой памяти микросхемы.

Если необходимо продолжить цепочку команд, то необходимо указать CHEN=1. В режиме самоинициализации при записи параметров в регистр CSR биты END и DONE недоступны.

Для запуска работы канала DMA в режиме с самоинициализацией необходимо в регистр CP записать адрес первого блока параметров DMA передачи. При этом 0 разряд записываемых данных должен содержать 1 (признак пуска самоинициализации). В результате этого, соответствующий канал загрузит в свои регистры параметры DMA передачи и начнет обмен данными.

После окончания передачи блока данных бит END в регистре CSR устанавливается в единичное состояние, если бит IM = 1 – выдается прерывание. По окончании передачи блока данных также проверяется состояние бита CHEN. Если он равен 1, то будет загружен следующий блок параметров DMA передачи и т.д. В противном случае цепочка DMA обменов закончится и в регистре CSR бит DONE установится в единичное состояние и выдается прерывание.

Параметры для самоинициализации каналов DMA MEM_CH размещаются в памяти в трех последовательных 64-разрядных словах, следующим образом (в порядке возрастания адресов):

```

63 _____ 0
{      IR132,      IR032      };
{ {WCY16, ORY16}, { OR116, OR016 } };
{      CSR32,      CP32      }.
```

Параметры для самоинициализации каналов DMA портов размещаются в памяти в двух последовательных 64-разрядных словах, следующим образом (в порядке возрастания адресов):

```

63 _____ 0
{ IR32,      -32 };
```

{ CSR₃₂, CP₃₂ } .

При необходимости каналы DMA могут инициализироваться программно. Для этого CPU должен загрузить все необходимые регистры индекса и смещения, а затем регистр CSR. При загрузке регистра CSR бит RUN необходимо установить в единичное состояние. Следует отметить, что бит RUN может быть использован для приостановки канала DMA. Для этого в любой момент времени в него необходимо записать 0. Для продолжения работы соответственно в бит RUN необходимо записать 1. Бит RUN может быть использован также для приостановки выполнения цепочки, если при загрузке очередных параметров он будет равен 0. Для продолжения выполнения цепочки в бит RUN необходимо записать 1. Для удобства организации обмена только с битом RUN имеется специальный регистр.

7.4 Прерывания DMA

Канал DMA формирует прерывание в соответствующем регистре QSTR (при условии, если установлены соответствующие биты в регистре MASKR и в поле IM[12:10] регистра STATUS CPU) при единичном состоянии битов DONE или END.

Обнуление битов DONE и END (и снятие соответствующего прерывания) выполняется посредством чтения содержимого регистра CSR или записью в эти биты нулей.

8. ПОРТ ВНЕШНЕЙ ПАМЯТИ

8.1 Введение

Порт внешней памяти (MPORT) позволяет организовать интерфейс с широким набором устройств памяти и периферии. Внешний интерфейс порта обеспечивает подключение без сложной дополнительной логики синхронной динамической памяти типа SDRAM, а также асинхронной памяти типа SRAM, NOR Flash и т.д.

Порт памяти имеет следующие основные характеристики:

- шина данных внешней памяти – 64 разряда;
- шина адреса внешней памяти – 27 разрядов;
- формирование сигналов выборки 5 блоков внешней памяти;
- программное конфигурирование типа, разрядности и объема блока памяти;
- интерфейс с синхронной динамической памятью типа SDRAM;
- интерфейс с асинхронной памятью (SRAM, EPROM, FLASH, FIFO и т.д.);
- режим передачи данных Flyby;
- управление числом тактов ожидания при обмене с асинхронной памятью;
- защита всех блоков внешней памяти, подключенных к MPORT, при помощи модифицированного кода Хемминга.

8.2 Регистры порта внешней памяти

Таблица 8.1. Регистры порта внешней памяти

Условное обозначение регистра	Название регистра	Смещение относительно базового адреса
CSCON0	Регистр конфигурации блока внешней памяти, подключаемого к выводу nCS[0]	0x00
CSCON1	Регистр конфигурации блока внешней памяти, подключаемого к выводу nCS[1]	0x04
CSCON2	Регистр конфигурации блока внешней памяти, подключаемого к выводу nCS[2]	0x08
CSCON3	Регистр конфигурации блока внешней памяти, подключаемого к выводу nCS[3]	0x0C
CSCON4	Регистр конфигурации внешней памяти, не вошедшей в блоки памяти, определяемые регистрами CSCON3 - CSCON0	0x10
SDRCON	Регистр конфигурации SDRAM.	0x14
SDRTMR	Регистр параметров SDRAM	0x18
SDRCSSR	Регистр управления и состояния SDRAM	0x1C
FLY_WS	Регистр внешних устройств.	0x20
CSR_EXT	Регистр управления режимами контроля внешней памяти	0x24
AERROR_EXT	Регистр ошибок внешней памяти	0x28

При описании полей и значений регистров используются обозначения:

R – только чтение;

RW – чтение и запись;

RW1 – чтение, пуск операции;

[i] – номер разряда;

i:j – неразрывная группа разрядов, i – старший разряд группы, j – младший;

0x – далее следует шестнадцатеричный код;

SCLK – частота SDRAM.

Термины и обозначения временных параметров и команд управления SDRAM соответствуют стандарту JESD79C.

8.2.1 Регистр конфигурации CSCON0

Регистр CSCON0 предназначен для конфигурирования блока внешней памяти, подключаемого к выводу nCS[0].

Формат регистра приведен в Таблица 8.2.

Таблица 8.2. Назначение разрядов регистра CSCON0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	–	Резерв	R	0
23	W64	Разрядность блока памяти: 0 – 32 разряда; 1 – 64 разряда	RW	0
22:21	T	Тип памяти блока памяти: 00 – асинхронная без ожидания сигнала ACK; 10 – асинхронная с ожиданием сигнала ACK; 01, 11 – синхронная динамическая	RW	0
20	E	Разрешение формирования сигнала nCS[0]: 0 – запрещено; 1 – разрешено	RW	0
19:16	WS	Число тактов ожидания при обращении к блоку памяти, если он сконфигурирован как асинхронная память	RW	0xF
15:8	CSBA	Разряды 31:24 базового адреса блока памяти. Младшие разряды базового адреса равны нулю	RW	0
7:0	CSMASK	Разряды 31:24 маски при определении базового адреса блока памяти. Младшие разряды маски равны нулю	RW	0

Сигнал nCS[0] формируется, если при $E = 1$ выполнено условие $PHA[31:24] \& CSMASK = CSBA$, где PHA – 32-разрядный физический адрес.

Если это условие выполнено, но $E = 0$, то обмен будет произведен с блоком внешней памяти, подключенным к выводу nCS[4].

Минимальный размер блока – 16 Мбайт (при $CSMASK = 0xFF$). Для увеличения размера блока в младшие разряды поля CSMASK необходимо записать соответствующее число нулей. Например, для блока размером в 128 Мбайт, разряды 2:0 CSMASK должны быть равны нулю.

Регистры CSCON должны быть сконфигурированы таким образом, чтобы определяемые ими блоки памяти занимали уникальные адресные пространства. Если эти пространства перекрываются, то результат обмена данными будет непредсказуем.

В поле WS регистров CSCON задается количество тактов ожидания в тактах частоты SCLK, которое необходимо добавить в цикл шины при обращении к асинхронной внешней памяти. При аппаратном сбросе микропроцессора в поле WS всех регистров CSCON устанавливается значение 0xF (15 тактов). При WS = 0 цикл шины составляет 2 такта SCLK

Управление длительностью цикла обмена микропроцессора с асинхронной памятью осуществляется сигналом ACK и полем тактов ожидания WS. Сигнал ACK позволяет вставлять такты ожидания непосредственно в начатый цикл обмена данными. Количество вставленных тактов ожидания равно максимальному количеству дополнительных тактов, заданных полем WS и сигналом ACK.

8.2.2 Регистр конфигурации CSCON1

Регистр CSCON1 предназначен для конфигурирования блока внешней памяти, подключаемого к выводу nCS[1].

Формат регистра приведен в Таблица 8.3.

Таблица 8.3. Назначение разрядов регистра CSCON1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	–	Резерв	R	0
23	W64	Разрядность блока памяти: 0 – 32 разряда; 1 – 64 разряда	RW	0
22:21	T	Тип памяти блока памяти: 00 – асинхронная без ожидания сигнала ACK; 10 – асинхронная с ожиданием сигнала ACK; 01, 11 – синхронная динамическая	RW	0
20	E	Разрешение формирования сигнала nCS[1]: 0 – запрещено; 1 – разрешено	RW	0
19:16	WS	Число тактов ожидания при обращении к блоку памяти, если он сконфигурирован как асинхронная память	RW	0xF
15:8	CSBA	Разряды 31:24 базового адреса блока памяти. Младшие разряды базового адреса равны нулю	RW	0
7:0	CSMASK	Разряды 31:24 маски при определении базового адреса блока. Младшие разряды маски равны нулю	RW	0

8.2.3 Регистр конфигурации CSCON2

Регистр CSCON2 предназначен для конфигурирования блока внешней памяти, подключаемого к выводу nCS[2].

Формат регистра приведен в Таблица 8.4.

Таблица 8.4. Назначение разрядов регистра CSCON2

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	–	Резерв	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
23	W64	Разрядность блока памяти: 0 – 32 разряда; 1 – 64 разряда	RW	0
22	T	Тип памяти блока памяти: 0 – асинхронная без ожидания сигнала АСК; 1 – асинхронная с ожиданием сигнала АСК	RW	0
21	–	Резерв	R	0
20	E	Разрешение формирования сигнала nCS[2]: 0 – запрещено; 1 – разрешено	RW	0
19:16	WS	Число тактов ожидания при обращении к блоку памяти, если он сконфигурирован как асинхронная память	RW	0xF
15:8	CSBA	Разряды 31:24 базового адреса блока памяти. Младшие разряды базового адреса равны нулю	RW	0
7:0	CSMASK	Разряды 31:24 маски при определении базового адреса блока. Младшие разряды маски равны нулю	RW	0

Память, подключаемая к выводу nCS[2], может быть только асинхронной.

8.2.4 Регистр конфигурации CSCON3

Регистр CSCON3 предназначен для конфигурирования блока памяти, подключаемого к выводу nCS[3].

Формат регистра приведен в Таблица 8.5.

Таблица 8.5. Назначение разрядов регистра CSCON3

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	OVER	Признак того, что при обмене данными с любым блоком асинхронной памяти, сконфигурированном на ожидание сигнала АСК, этот сигнал не был установлен в течение 256 периодов частоты SCLK	RW	0
30:26	-	Резерв.	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
25:24	BOOT	Определение источника и разрядности данных при начальной загрузке программ микропроцессора после снятия сигнала nRST: 00 – загрузка производится из 32-разрядного блока памяти, подключенного к выводу nCS[3] MPORT. В этом случае разрядность этого блока памяти изменить нельзя; 01 – загрузка производится из 8-разрядного блока памяти, подключенного к выводу nCS[3] MPORT. В этом случае разрядность этого блока памяти изменить нельзя; 10 – не используется; 11 – загрузка производится из порта SPI MFBSP0. При этом к выводу nCS[3] MPORT может быть подключен 32-разрядный блок памяти	R	Определяется уровнем входа BOOT[1:0] микропроцессора
23:22	-	Резерв	RW	0
21:20	ADDR	Используются при программной записи данных в 8-разрядную асинхронную память (в том числе и Flash): при выполнении команды Store Word на линии адреса A[1:0] микропроцессора выдается содержимое поля ADDR[1:0] соответственно	RW	0
19:16	WS	Число тактов ожидания при обращении к памяти блока	RW	0
15:0	-	Резерв	R	0

Область памяти, определяемая регистром CSCON3, размещается в диапазоне физических адресов от 0x1C00_0000 до 0x1FFF_FFFF (64 Мбайт). Память данного блока может быть только асинхронной. Доступ к данному блоку памяти всегда разрешен. При обмене данными с этим блоком сигнал ACK безразличен.

Как правило, к выводу nCS[3] подключается блок памяти программ, реализованный на FLASH, PROM, EEPROM и т.д. Разрядность этого блока, в зависимости от состояния сигнала на выводе микросхемы BOOT[0] может быть 8 или 32.

8-разрядная память подключается к выводам D[7:0] микропроцессора. Шину адреса A[31:0] к этой памяти необходимо подключать, начиная с 0 разряда (к 32-разрядной памяти адрес подключается, начиная со 2 разряда). 64 или 32-разрядное слово из 8-разрядной памяти считывается байтами, причем первым считывается старший байт слова. Запись данных в 8-разрядную память выполняется в соответствии с рекомендациями п. 9.4.2.

Признак OVER формируется, если сигнал ACK не поступил в течение 256 тактов SCLK от блока статической памяти, сконфигурированной на ожидание сигнала ACK. В этом случае операция обмена данными заканчивается обычным образом, за исключением того, что считываемые данные не определены, а записываемые данные теряются. Состояние бита OVER не влияет на выполнение последующих операций обмена данными.

8.2.5 Регистр конфигурации CSCON4

Регистр CSCON4 предназначен для конфигурирования внешней памяти, не вошедшей в блоки памяти, определяемые регистрами CSCON3 - CSCON0.

Данный блок памяти подключается к выводу nCS[4].

Формат регистра приведен в Таблица 8.6.

Таблица 8.6. Назначение разрядов регистра CSCON4

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	-	Резерв	R	0
23	W64	Разрядность блока памяти: 0 – 32 разряда; 1 – 64 разряда	RW	0
22	T	Тип памяти данного блока: 0 – асинхронная без ожидания сигнала ACK; 1 – асинхронная с ожиданием сигнала ACK	RW	0
21:20	-	Резерв.	R	0
19:16	WS	Число тактов ожидания при обращении к памяти блока	RW	0
15:0	-	Резерв	R	0

Память данного блока может быть только асинхронной. Доступ к данному блоку памяти всегда разрешен.

8.2.6 Регистр FLY_WS

Данный регистр определяет количество дополнительных тактов ожидания в обменах внешних устройств с асинхронной памятью в режиме Flyby.

Формат регистра FLY_WS приведен в Таблица 8.7.

Таблица 8.7. Формат регистра FLY_WS

Номер разряда	Условно обозначение	Назначение	Доступ	Исходное состояние
31:16		Резерв	R	0
15:11	FWS3	Число тактов ожидания для внешнего устройства 3 при обмене с асинхронной памятью	RW	0
11:7	FWS2	Число тактов ожидания для внешнего устройства 2 при обмене с асинхронной памятью	RW	0
7:4	FWS1	Число тактов ожидания для внешнего устройства 1 при обмене с асинхронной памятью	RW	0
3:0	FWS0	Число тактов ожидания для внешнего устройства 0 при обмене с асинхронной памятью	RW	0

Количество вставленных тактов ожидания при обмене с внешним устройством равно максимальному количеству дополнительных тактов, заданных сигналом ACK и полями WS и FWS участников обмена.

8.2.7 Регистр конфигурации SDRCON

Регистр SDRCON предназначен для программирования конфигурационных параметров синхронной памяти типа SDRAM.

Память данного типа может быть размещена только в блоке памяти, подключенном к выводам nCS[0] или nCS[1].

Формат регистра приведен в Таблица 8.8.

Таблица 8.8. Формат регистра SDRCON

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	Резерв	R	0
29:16	tRFR	Период регенерации SDRAM в тактах частоты SCLK	RW	0
15:13	-	Резерв	R	0
12	-	Резерв	RW	0
11:7	-	Резерв	R	0
6:4	CL	Задержка данных при чтении (CAS latency): 010 – 2 такта SCLK; 011 – 3 такта SCLK. Остальные значения этого поля – резерв. Записанное значение передается в SDRAM при выполнении команды инициализации SDRAM. При чтении считывается значение, установленное в SDRAM при её инициализации. Запись резервных кодов игнорируется	RW	2
3	-	Резерв	R	0
2:0	PS	Размер страницы микросхем SDRAM, подключенных к MPORT: 100 – 256; 000 – 512; 001 – 1024; 010 – 2048; 011 – 4096. Число банков SDRAM – 4	RW	0

Преобразование физического адреса в адрес 64 - разрядной памяти SDRAM при различных значениях параметра PS представлено в таблицах Таблица 8.9, Таблица 8.10, Таблица 8.11. Разряды физического адреса в таблицах обозначены строчными буквами «а».

Таблица 8.9. Отображение адреса строки для 64-разрядной памяти

PS	Адрес SDRAM												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
100	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13
000	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14
001	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15
010	a28	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16
011	a29	a28	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17

Таблица 8.10. Отображение адреса столбца для 64-разрядной памяти

PS	Адрес SDRAM												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
100	0	0	0	0	0	a10	a9	a8	a7	a6	a5	a4	a3
000	0	0	0	0	a11	a10	a9	a8	a7	a6	a5	a4	a3
001	0	0	0	a12	a11	a10	a9	a8	a7	a6	a5	a4	a3
010	0	a13	0	a12	a11	a10	a9	a8	a7	a6	a5	a4	a3
011	a14	a13	0	a12	a11	a10	a9	a8	a7	a6	a5	a4	a3

Таблица 8.11. Отображение адреса банка для 64-разрядной памяти

PS	Адрес банка SDRAM	
	BA1	BA0
100	a12	a11
000	a13	a12
001	a14	a13
010	a15	a14
011	a16	a15

Преобразование физического адреса в адрес 32 - разрядной памяти SDRAM представлено в таблицах Таблица 8.12, Таблица 8.13, Таблица 8.14.

Таблица 8.12. Отображение адреса строки для 32-разрядной памяти

PS	Адрес SDRAM												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
100	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12
000	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13
001	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14
010	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15
011	a28	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16

Таблица 8.13. Отображение адреса столбца для 32-разрядной памяти

PS	Адрес SDRAM												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
100	0	0	0	0	0	a9	a8	a7	a6	a5	a4	a3	a2
000	0	0	0	0	a10	a9	a8	a7	a6	a5	a4	a3	a2
001	0	0	0	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2
010	0	a12	0	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2
011	a13	a12	0	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2

Таблица 8.14. Отображение адреса банка для 32-разрядной памяти

PS	Адрес банка SDRAM	
	BA1	BA0
100	a11	a10
000	a12	a11
001	a13	a12
010	a14	a13
011	a15	a14

Период регенерации tRFR должен определяться индивидуально для используемой конфигурации памяти. Например, при тактовой частоте SCLK 200 МГц для обеспечения 8 192 цикловой регенерации за 64 мс необходимо в поле tRFR записать код 0x61A, что соответствует 7,81 мкс на строку, а при частоте 100 МГц – 0x30D.

После инициализации SDRAM MPORT аппаратно выполняет процедуру регенерации с периодом tRFR тактов SCLK. Режим регенерации отключается при tRFR = 0 или при переводе SDRAM в режим саморегенерации или пониженного потребления.

8.2.8 Регистр параметров SDRTMR

Регистр SDRTMR предназначен для задания интервалов (в тактах частоты SCLK) между различными командами SDRAM.

Формат регистра приведен в Таблица 8.15.

Таблица 8.15. Формат регистра SDRTMR

Номер разряда	Условное обозначение параметра	Назначение	Доступ	Исходное состояние
31:28	-	Резерв	R	0
27:24	tRC	Минимальный интервал между командами ACTIVE для одного и того же банка	RW	0
23:20	tRFC	Минимальный интервал между командами AUTO REFRESH.	RW	0
19:16	tRAS	Минимальная задержка между командами ACTIVE и PRECHARGE	RW	0
15:14	-	Резерв	R	0
13:12	-	Резерв	RW	0
11:10	-	Резерв	R	0
9:8	tRCD	Минимальная задержка между командами ACTIVE и READ/WRITE	RW	0
7:6	-	Резерв	R	0
5:4	tRP	Минимальный период команд PRECHARGE	RW	0
3:2	-	Резерв	R	0
1:0	tWR	Минимальная задержка между записью данных и командой PRECHARGE (Write recovery)	RW	0

Значения 0, 1, ..., n параметра в таблице соответствуют интервалу в 1, 2, ..., n+1 тактов. Например, значение 0xF параметра tRFC задает интервал 16 тактов между командами AUTO REFRESH, а значение 0 – интервал в один такт.

При вычислении параметров в соответствии с рабочей частотой и со спецификацией используемой памяти, полученные значения необходимо округлять до ближайшего

меньшего целого. Например, если в спецификации указано время $t_{RCD} = 20$ нсек, то при частоте SCLK 133 МГц (период 7,5 нсек) минимальный интервал в 2,7 такта нужно округлить до 2 и в поле tRCD регистра SDRTMR записать код 0x2.

8.2.9 Регистр управления и состояния SDRCSR

Регистр SDRCSR предназначен для запуска команд изменения режимов SDRAM и индикации их исполнения.

Формат регистра SDRCSR приведен в Таблица 8.16.

Таблица 8.16. Формат регистра SDRCSR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:5	-	Резерв	R	0
6	APPLY	При записи 1 в данный разряд контроллер выполняет перепись содержимого регистров CCON0 - CCON4, SDRTMR, SDRCON, CSR_EXT в одноименные исполнительные регистры. Для сохранения конфигурации MPORT необходимо записывать "1" в поле APPLY регистра SDRCSR как для SDRAM памяти, так и для SRAM.	RW1	0
5	-	Резерв	R	0
4	EXIT	При записи 1 в данный разряд MPORT выполняет последовательность команд вывода SDRAM из режимов саморегенерации и пониженного потребления. При чтении - признак выполнения команды выхода SDRAM из указанных режимов: устанавливается в 1 после завершения команды; сбрасывается при записи любой команды	RW1	0
3	PWDN	При записи 1 в данный разряд MPORT переводит SDRAM в режим пониженного потребления. При чтении - признак окончания данной команды: устанавливается в 1 после завершения команды; сбрасывается записью команды EXIT	RW1	0
2	SREF	При записи 1 в данный разряд MPORT переводит SDRAM в режим саморегенерации. При чтении - признак окончания данной команды: устанавливается в 1 после завершения команды; сбрасывается записью команды EXIT	RW1	0
1	AREF	При записи 1 в данный разряд MPORT выполняет команду авторегенерации SDRAM. При чтении – признак окончания команды авторегенерации: устанавливается в 1 после завершения данной команды; сбрасывается при записи любой команды	RW1	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
0	INIT	<p>При записи 1 в данный разряд MPORT выполняет инициализацию SDRAM с параметрами:</p> <p>Bust Length – 1; Burst Type – Sequential; CAS Latency – поле CL регистра SDRCON; Operation Mode – Standart Operation WB – Programmed Burst Length.</p> <p>При чтении – признак окончания команды инициализации: устанавливается в 1 после завершения данной команды; сбрасывается при записи любой команды</p>	RW1	0

Команды кодируются унитарным кодом в разрядах 4:0. Запись других кодов или запись новой команды до завершения предыдущей игнорируются.

При запуске любой команды изменения режимов MPORT ожидает завершения текущего обмена (в том числе регенерации), приостанавливает выполнение очередного обмена с SDRAM и выполняет необходимую последовательность команд SDRAM. Во время исполнения команды значение регистра SDRCSR – 0

По команде INIT выполняется последовательность команд инициализации:
 PRECHARGE;

пауза tRP, AUTO REFRESH;

пауза tRFC, AUTO REFRESH;

пауза tRFC, LOAD MODE REGISTER;

пауза tMRD, установка индикатора INIT.

Длительность выполнения команды INIT составляет порядка 30 тактов SCLK.

До выполнения начальной инициализации необходимо записать все параметры в регистры SDRCON, SDRTMR и сконфигурировать регистры CCON0 и/или CCON1.

MPORT не контролирует задержку 200 мкс между установкой стабильного питания и запуском команды INIT.

По команде AREF контроллер выполняет:

PRECHARGE;

пауза tRP, AUTO REFRESH;

пауза tRFC, установка индикатора AREF.

По команде PWDN MPORT выполняет:

PRECHARGE;

Пауза 1 такт SCLK;

Сброс СKE, NOP;

Пауза tRFC, установка индикатора PWDN.

После выполнения данной команды память находится в «режиме precharge power down».

По команде SREF MPORT выполняет:

PRECHARGE;

Пауза tRP;

SELF REFRESH;

Пауза tRFC, установка индикатора SREF.

После выполнения команд PWDN и SREF MPORT находится в состоянии ожидания команды EXIT и игнорирует другие команды изменения режимов SDRAM. В этом состоянии MPORT не контролирует выполнение интервала tREF.

По команде EXIT контроллер устанавливает СКЕ и, после паузы tXSNR (или 2 такта SCLK при выходе из режима PWDN), выполняет AREF и устанавливается индикатор EXIT. $tXSNR = tRFC + 6$ тактов SCLK.

MPORT игнорирует команду EXIT при сброшенных индикаторах PWDN и SREF.

8.2.10 Регистр CSR_EXT

Регистр CSR_EXT предназначен для управления режимами контроля и коррекции памяти модифицированным кодом Хэмминга.

Формат регистра приведен в Таблица 8.17.

Таблица 8.17. Формат регистра CSR_EXT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	Cnt_SERR	Счетчик одиночных ошибок. При значении 0xFF останавливается	WR	0
23:16	Num_SERR	Допустимый порог одиночных ошибок	WR	0xFF
15:8	Cnt_DERR	Счетчик двойных ошибок. При значении 0xFF останавливается	WR	0
7:5	-	Резерв	R	0
4	ROM	Признак отключения контроля по Хеммингу для блока памяти, подключенному к выводу nCS[3]: 0 – контроль включен; 1 – контроль выключен	WR	1
3	RMW	Разрешение операции чтение-модификация-запись в режиме без коррекции ошибок: 0 – запрещено; 1 – разрешено	WR	0
2	NEMPTY	Признак наличия данных в FIFO ошибочных адресов. Обнуляется при записи в регистр AERROR_EXT		0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
1:0	MODE	Режим работы памяти: 00 – режим без коррекции ошибок. Обмен данными выполняется только с блоком данных памяти; 01 – режим с коррекцией ошибок. В обмене данными участвуют и блок данных, и блок контрольных разрядов; 10 – режим тестирования блока контрольных разрядов. Обмен данными выполняется только с блоком контрольных разрядов; 11 – резерв	WR	0

В режиме $MODE = 01$ или в режиме $MODE = 00$ при $RMW = 1$ байтовая запись выполняется операцией «чтение-модификация-запись». При выполнении операции «чтение-модификация-запись» в режиме $MODE = 01$ ошибки фазы чтения исправляются и фиксируются в FIFO ошибочных адресов.

При $ROM = 1$ или $BOOT[0] = 1$ чтение из блока памяти, подключенного к выводу $nCS[3]$ выполняется только с блоком данных памяти независимо от значения поля $MODE$. Состояние признака ROM не влияет на выполнение операции записи.

В режиме $MODE = 01$ при $Cnt_DERR > 0$ или $Cnt_SERR > Num_SERR$ формируется прерывание INT_Hm MPORT поступающее на одноименный вход регистра $QSTR_Hm$. Прерывание сбрасывается по следующим условиям:

при записи $Cnt_DERR = 0$ и $Cnt_SERR = 0$;

при записи $Cnt_DERR = 0$ если $Cnt_SERR \leq Num_SERR$;

при записи $Cnt_SERR = 0$ или $Num_SERR = 255$, если $Cnt_DERR = 0$.

8.2.11 Регистр AERROR_EXT

Регистр $AERROR_EXT$ предназначен для фиксации и локализации ошибок фазы чтения в режиме $MODE = 01$. Регистр доступен для чтения при установленном признаке $NEMPTY$ регистра CSR_EXT . При $NEMPTY = 0$ состояние регистра неопределено. При записи значение регистра не изменяется.

Формат регистра приведен в Таблица 8.18.

Таблица 8.18. Формат регистра AERROR_EXT

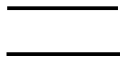





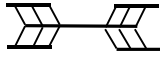
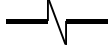

Номер разряда	Условное обозначение	Назначение
1:0	Code_ERR	Код ошибки: 01 – одиночная ошибка 10 – двойная ошибка 11 – ошибка в контрольном разряде общей четности
31:2	ADDR_ERR	Разряды 31:2 физического адреса ячейки (или полуслова для 64-разрядной памяти) памяти, при чтении из которой обнаружена ошибка. Если ошибка произошла и в старшем и в младшем полуслове, то в FIFO ошибочных адресов записывается 2 слова. $AERROR_EXT[2]$ локализует место ошибки в 64-разрядном слове: 0 – ошибка в младшем полуслове; 1 – ошибка в старшем полуслове

8.3 Временные диаграммы обмена данными

8.3.1 Общие положения

При описании временных диаграмм используются условные обозначения в соответствии с Таблица 8.19.

Таблица 8.19. Условные обозначения

Условное обозначение	Описание
	Стабильное значение
	Возможное значение
	Область изменения из «0» в «1»
	Область изменения из «1» в «0»
	Достоверное значение
	Для входов: Не воспринимается, допустимо любое переключение Для выходов: состояние не определено
	Переключение выхода из (в) высокоимпедансное состояние (центральная линия)
	Повторение сигнала в течение неопределенного времени
T_i	$i = 1, 2, \dots$ фаза обмена на временной диаграмме
n	Количество дополнительных тактов ожидания, задаваемых полем WS регистров CCON
w	Число тактов ожидания высокого уровня сигнала ACK
$nCSx$	Один из четырёх сигналов $nCS[3:0]$
$nOEx$	Один из четырёх сигналов $nOE[3:0]$
$nFLYBYx$	Один из четырёх сигналов $nFLYBY [3:0]$
	Момент приема данных

8.3.2 Обмен данными с асинхронной памятью

Временные диаграммы записи данных в асинхронную память приведены на Рисунок 8.1 - Рисунок 8.3.

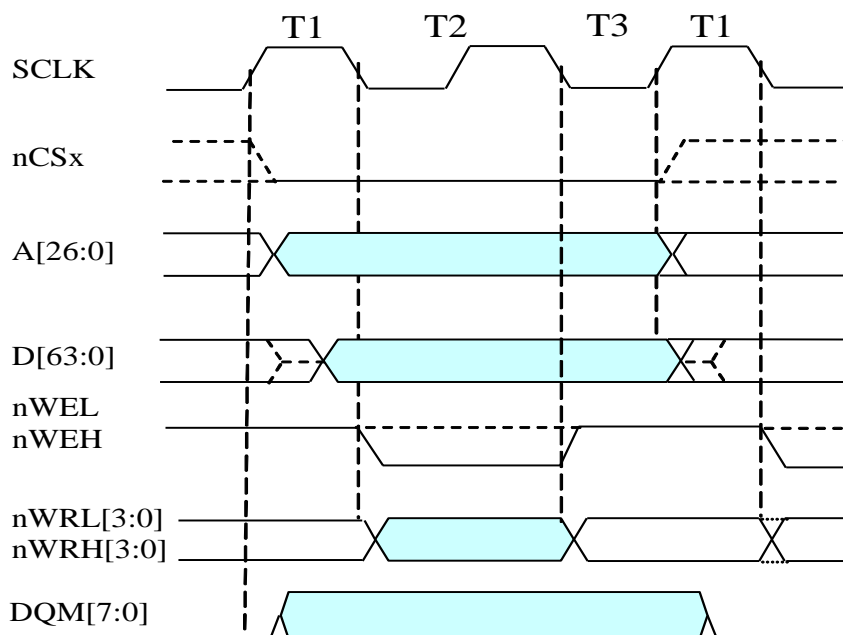


Рисунок 8.1. Запись в асинхронную память без дополнительных тактов ожидания

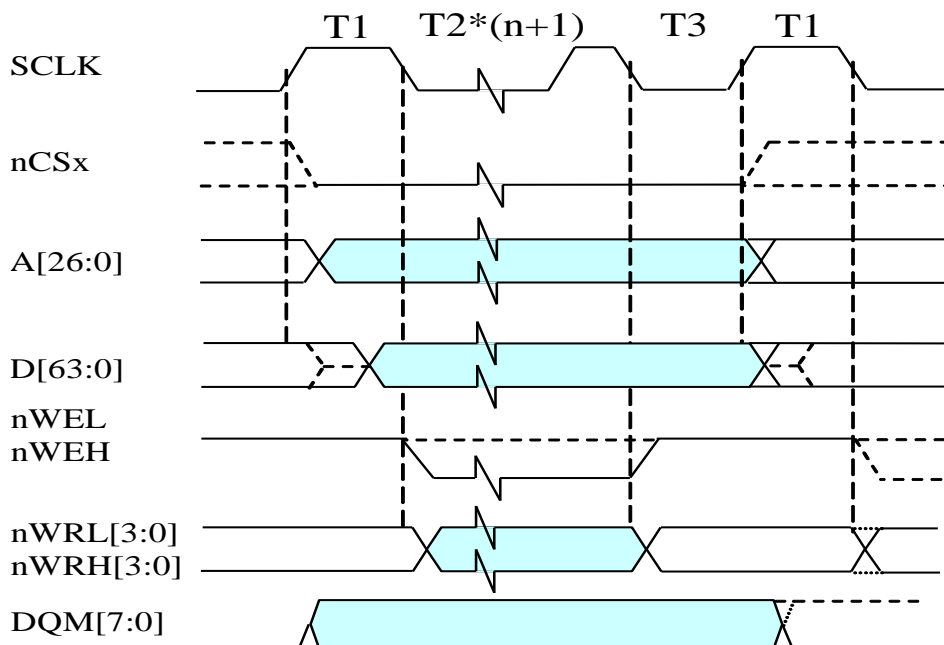


Рисунок 8.2. Запись в асинхронную память с n дополнительными тактами ожидания

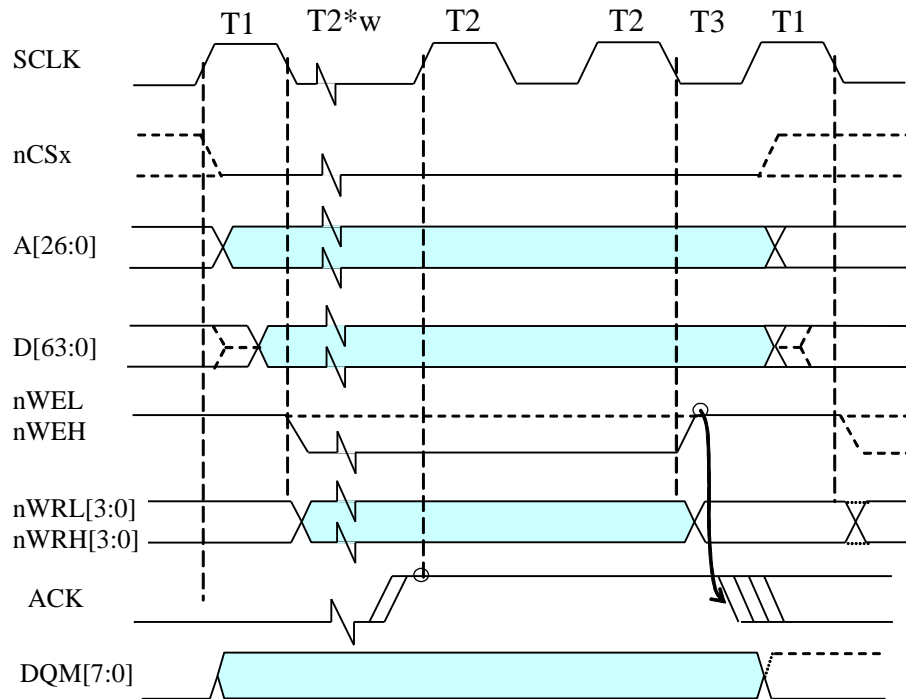


Рисунок 8.3. Запись в асинхронную память с ожиданием сигнала ACK

Временные диаграммы чтения данных из асинхронной памяти приведены на Рисунок 8.4 - Рисунок 8.6. При чтении выходы DQM[7:0] устанавливаются в низкий уровень.

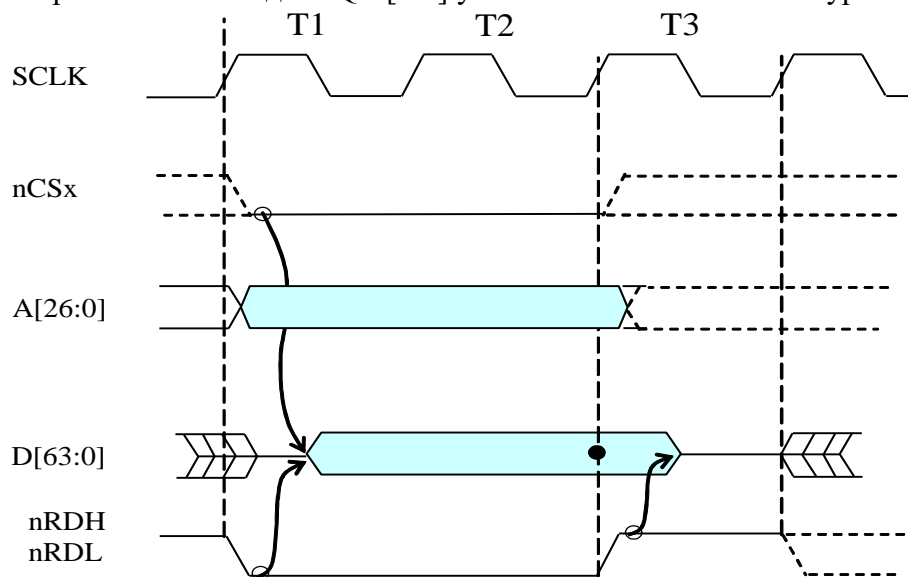


Рисунок 8.4. Чтение асинхронной памяти без дополнительных тактов ожидания

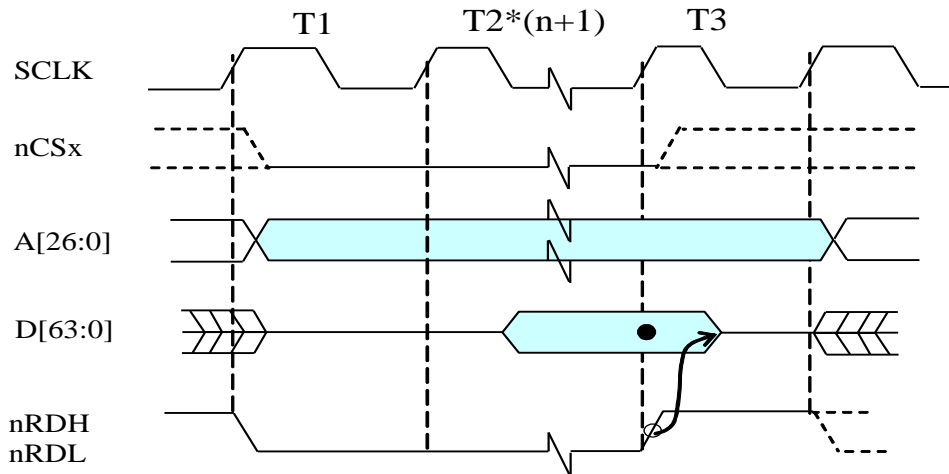


Рисунок 8.5. Чтение асинхронной памяти с n дополнительными тактами ожидания

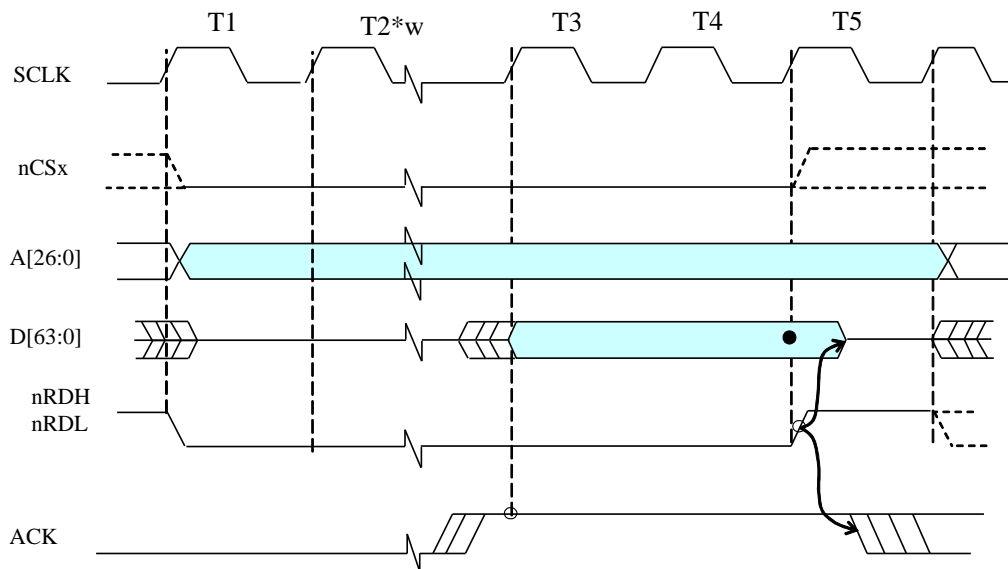


Рисунок 8.6. Чтение данных из асинхронной памяти с ожиданием сигнала ACK

Как правило, в блоке внешней памяти, подключенному к сигналу выборки памяти $nCS[3]$ размещается постоянное запоминающее устройство (ПЗУ), реализованное на FLASH, PROM, EEPROM и т.д.

В зависимости от состояния выводов микросхемы BOOT этот блок внешней памяти может быть 8 или 32 - разрядным. На Рисунок 8.7 приведена временная диаграмма чтения 32-разрядного слова из 8-разрядного ПЗУ при $BOOT=0x01$.

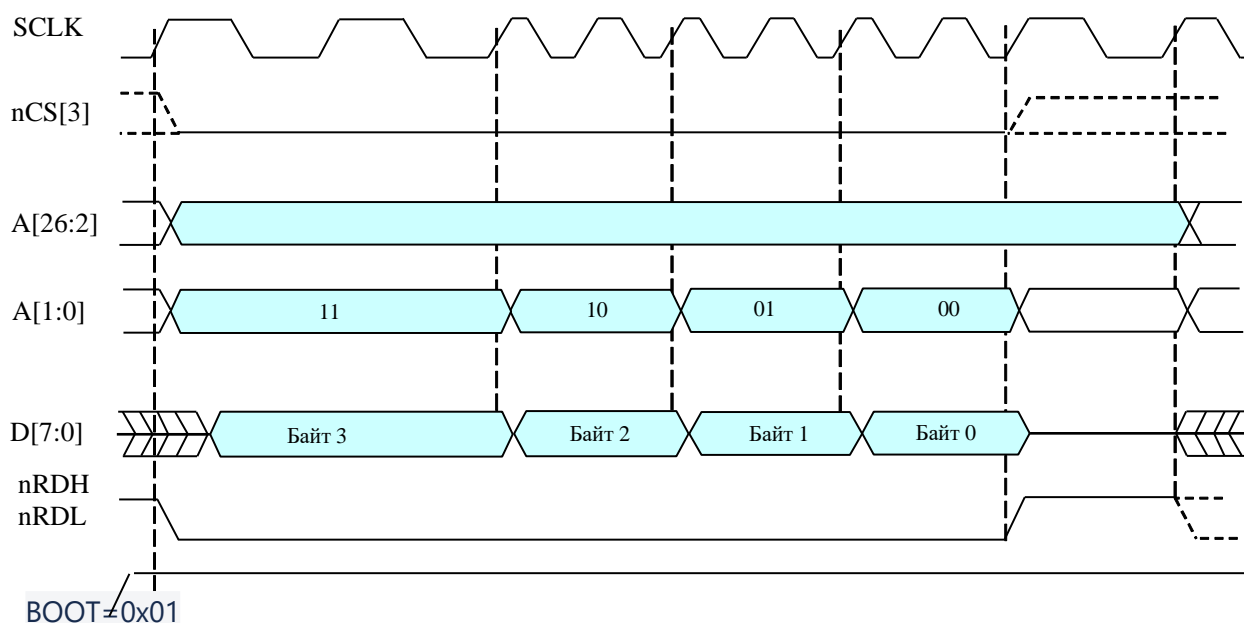


Рисунок 8.7. Чтение 32-разрядного слова из 8-разрядного ПЗУ ($n = 0$).

Если CPU выполняет программу из кэшируемой области внешней памяти, то загрузка строки кэш (процедура Refill) выполняются посредством чтения четырех 32-разрядных слов в режиме burst. Адрес, по которому начинается burst, выровнен по 16-байтной границе. На рисунке 9.8 приведена временная диаграмма выполнения процедуры Refill из 32-разрядной асинхронной памяти. На Рисунок 8.9 приведена временная диаграмма выполнения процедуры Refill из 8-разрядного ПЗУ

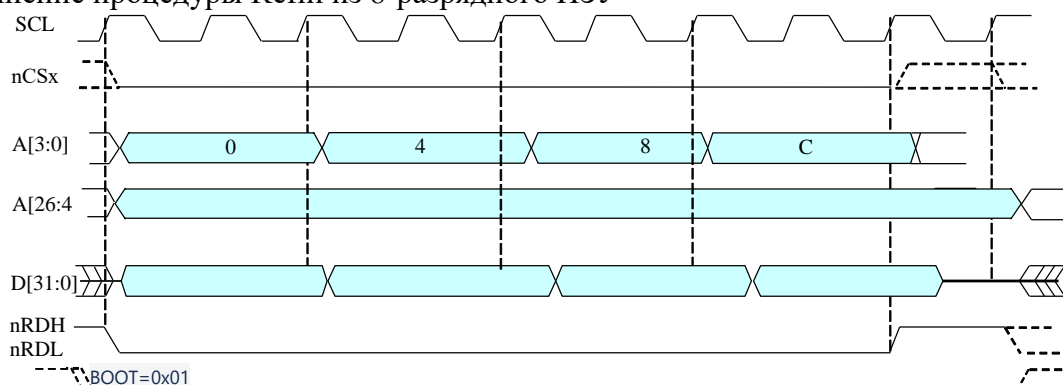


Рисунок 8.8. Выполнение процедуры Refill из 32-разрядной асинхронной памяти ($n = 0$)

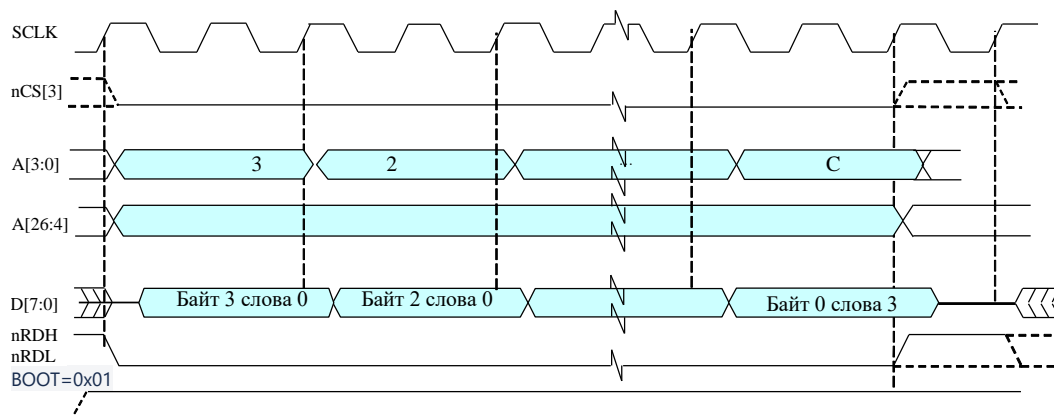


Рисунок 8.9. Выполнение процедуры Refill из 8-разрядного ПЗУ ($n = 0$)

8.3.3 Обмен данными с синхронной динамической памятью

Временные диаграммы с синхронной памятью приведены на Рисунок 8.10 - Рисунок 8.16. Временные диаграммы инициализации и регенерации SDRAM приведены на Рисунок 8.17, Рисунок 8.18 соответственно. Временные параметры имеют следующие значения в тактах SCLK: $t_{RP}=2$, $t_{RCD}=2$, $t_{MRD}=2$, $t_{RFC}=8$, CAS latency = 2. При чтении $DQM[7:0]=0$.

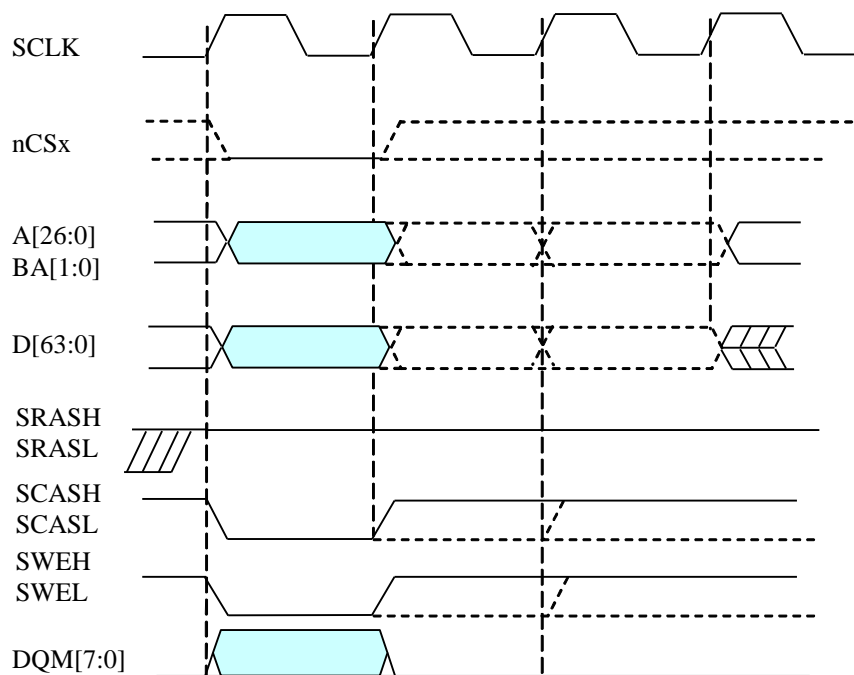


Рисунок 8.10. Запись одного слова данных в SDRAM

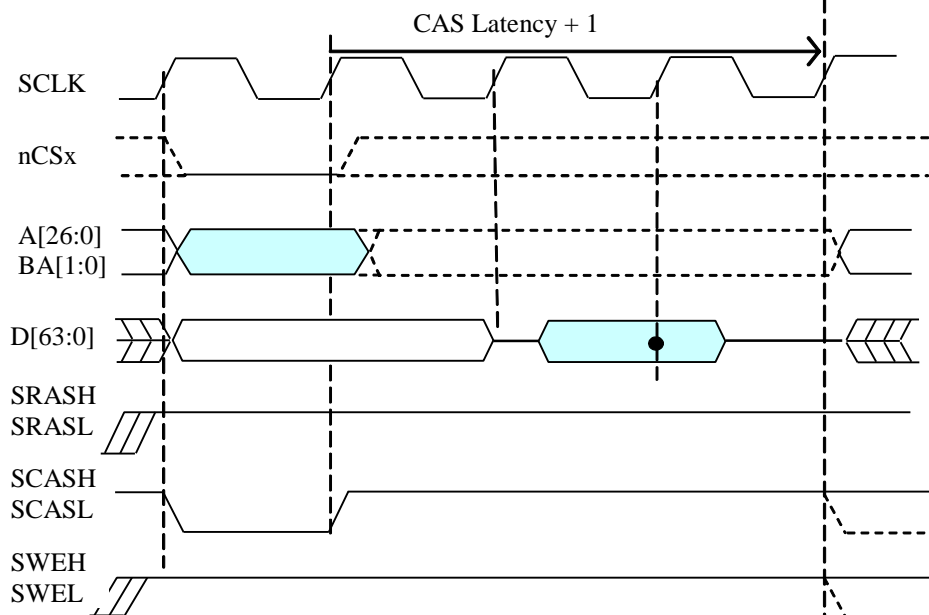


Рисунок 8.11. Чтение одного слова данных из SDRAM

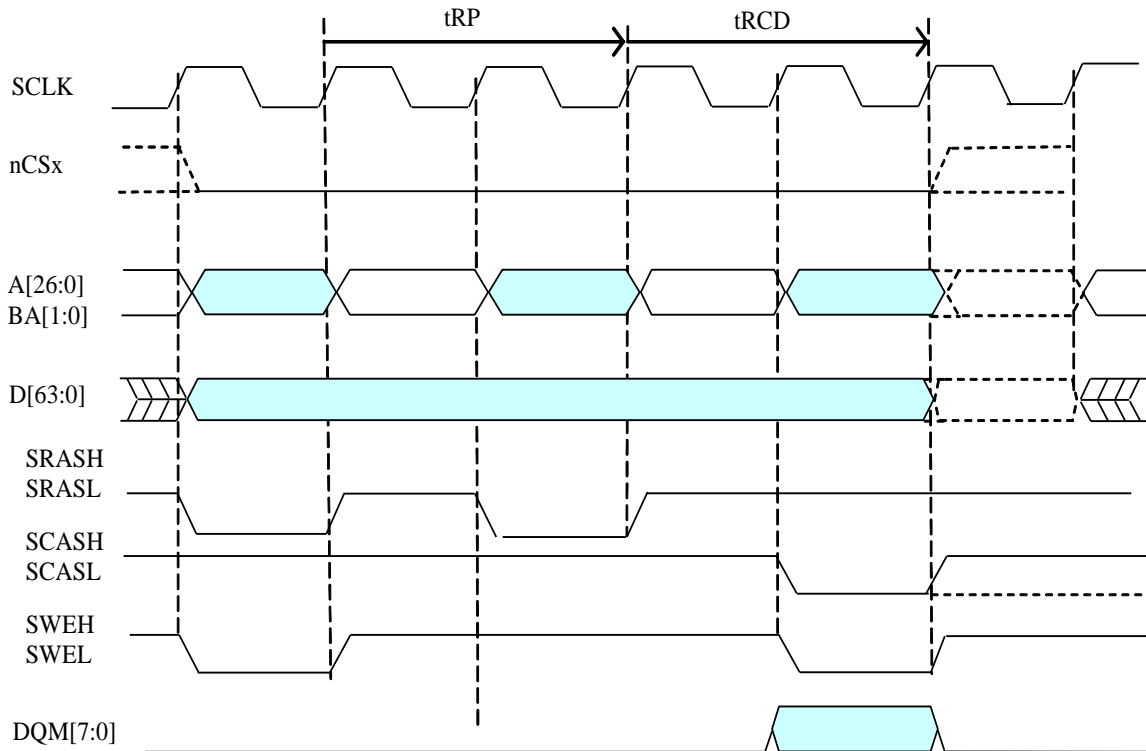


Рисунок 8.12. Запись одного слова данных в SDRAM с деактивизацией строки

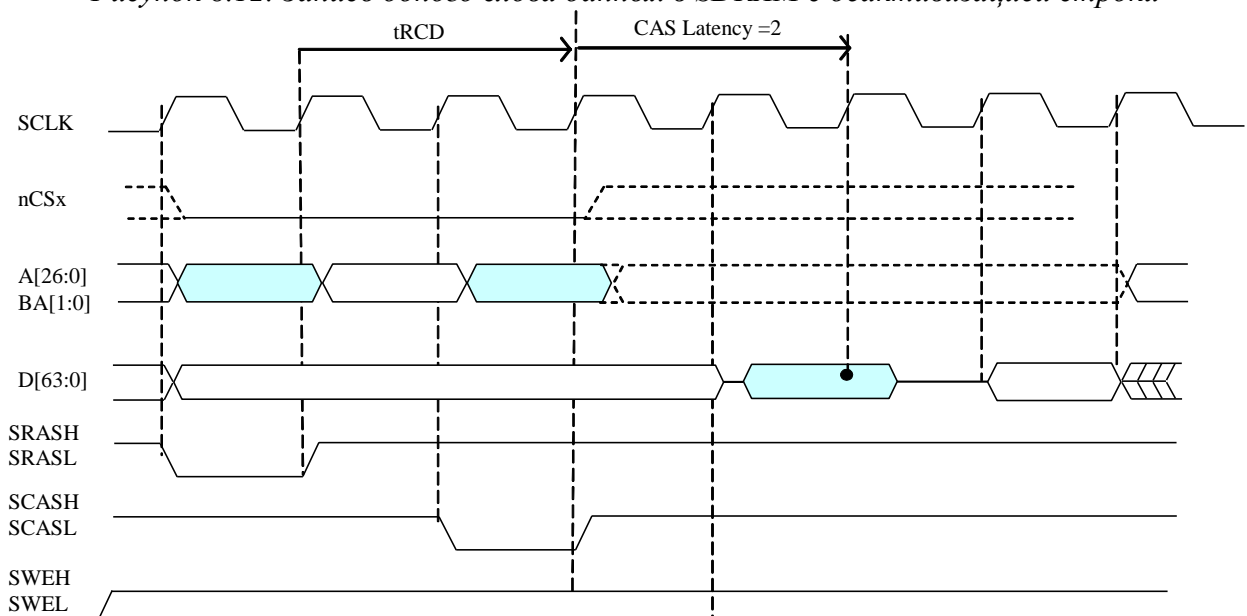


Рисунок 8.13. Чтение одного слова данных из SDRAM с активизацией строки

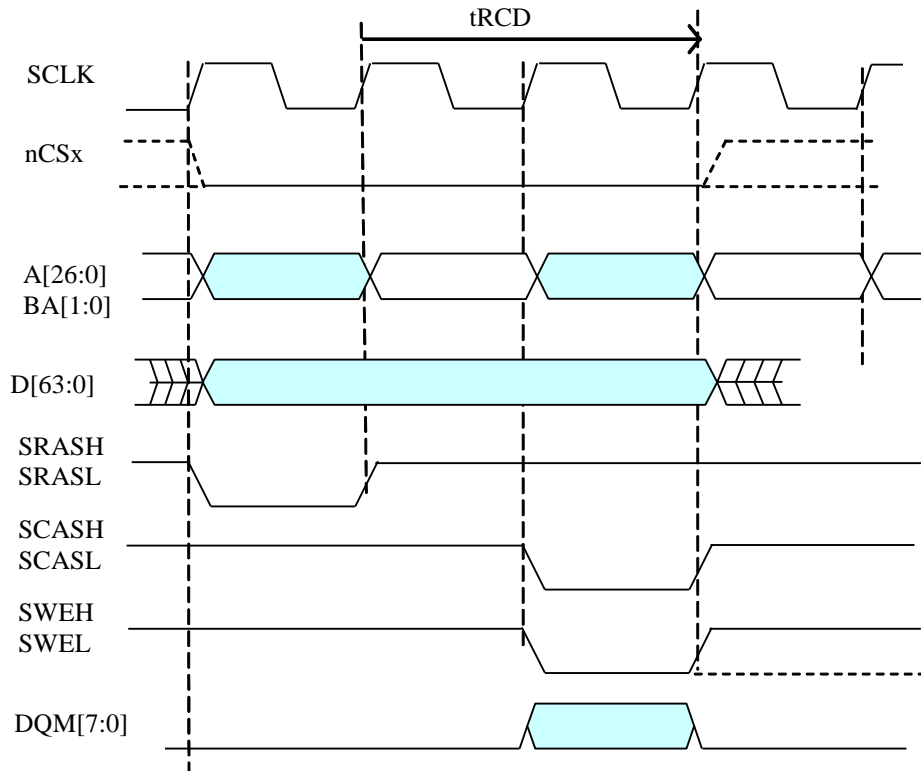


Рисунок 8.14. Запись одного слова данных в SDRAM с активизацией строки

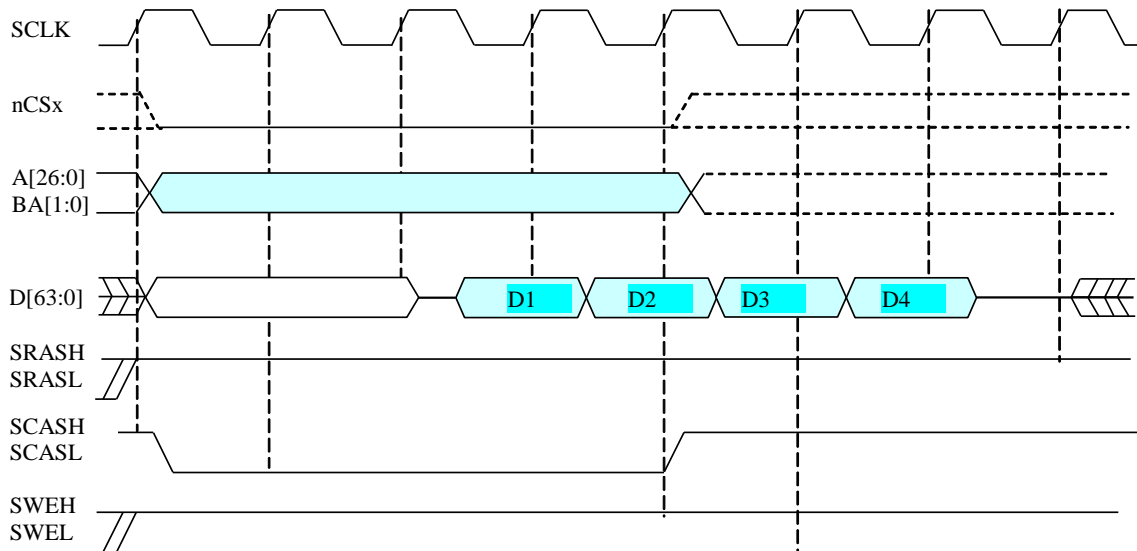


Рисунок 8.15. Чтение 4-х слов данных из SDRAM в режиме «burst»

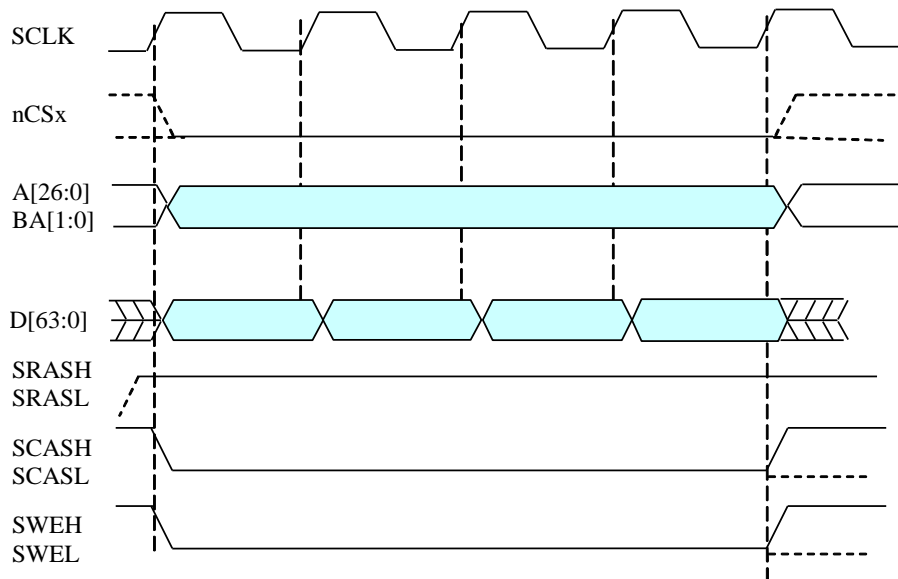


Рисунок 8.16. Запись 4-х слов данных в SDRAM в режиме «burst»

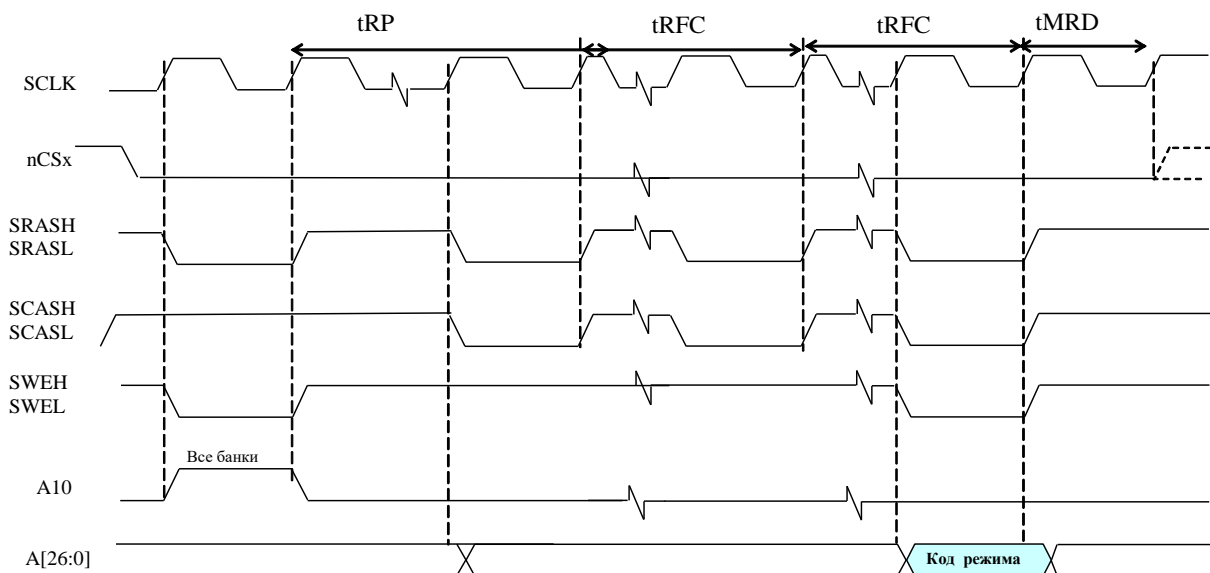


Рисунок 8.17. Инициализация SDRAM

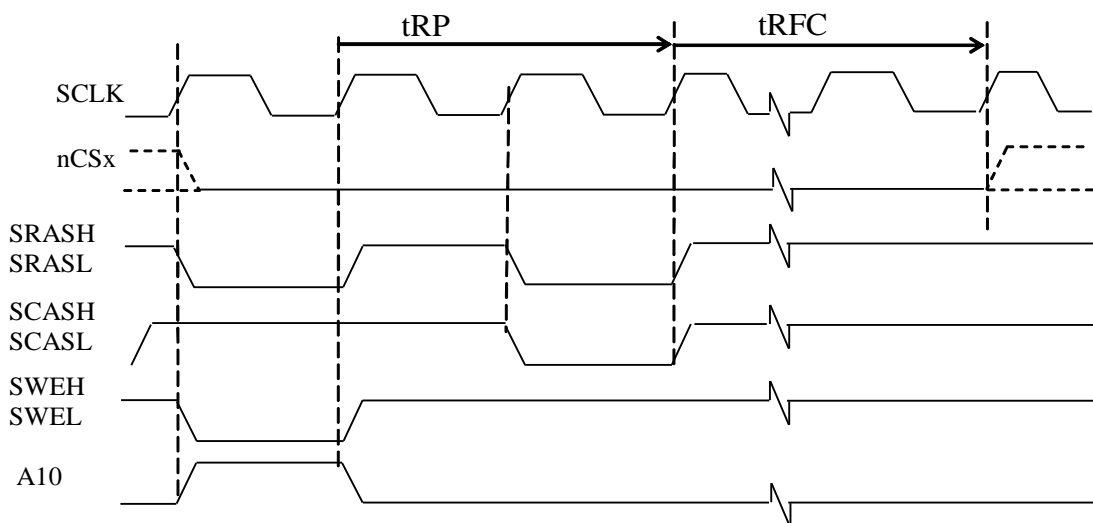


Рисунок 8.18. Регенерация SDRAM

8.3.4 Обмен данными в режиме Flyby

Режим Flyby используется каналами DMA MEM_CH для передачи данных между внешним устройством ввода-вывода и внешней памятью (как асинхронной, так и синхронной). Для выполнения передачи данных в режиме Flyby в соответствующем регистре CSR DMA MEM_CH необходимо установить бит FLYBY.

При передаче данных в режиме Flyby MPORT активизирует внешнюю память и внешнее устройство ввода-вывода одновременно. Память управляется как обычно, а устройство ввода-вывода – при помощи сигналов nFLYBY (признак данного режима, активный - низкий уровень) и nOE (активизация выходных формирователей устройства ввода-вывода, активный - низкий уровень). Каждому каналу DMA MEM_CH соответствуют свои сигналы nFLYBY и nOE.

В режиме Flyby MPORT выполняет обмен данными полными словами памяти. Объём передаваемой информации определяется форматом передачи (бит EN64 регистра CSR DMA MEM_CH), количеством передаваемых слов (биты WN регистра CSR DMA MEM_CH) и разрядностью памяти (бит W64 соответствующего регистра CSCON).

При EN64 = 0 и W64 = 1 поле WN должно определять четное число слов, а начальный адрес передачи должен быть выровнен до границы 64-разрядного слова. Например, при EN64 = 0, WN = 3 и W64 = 1 MPORT выполнит передачу 2 слов памяти,

при EN64 = 1, WN = 3 и W64 = 1 MPORT выполнит передачу 4 слов памяти, а

при EN64 = 1, WN = 3 и W64 = 0 MPORT выполнит передачу 8 слов памяти

Для 8-разрядной памяти EN64 определяет количество байтов в слове передачи: при EN64 = 0 из памяти передается 4 байта, при EN64 = 1 передается 8 байт. Например, если WN = 0x3, то при EN64 = 0 во внешнее устройство будет передано 16 байт, а при EN64 = 1 будет передано 32 байта.

Временные диаграммы обмена данными в режиме Flyby приведены на Рисунок 8.19 - Рисунок 8.24 (WS = 0, WSF = 0, AE = 0, CL = 2). Выводы DQM[3:0], nWRL[3:0], nWRH[3:0] изменяются как при обычных обменах.

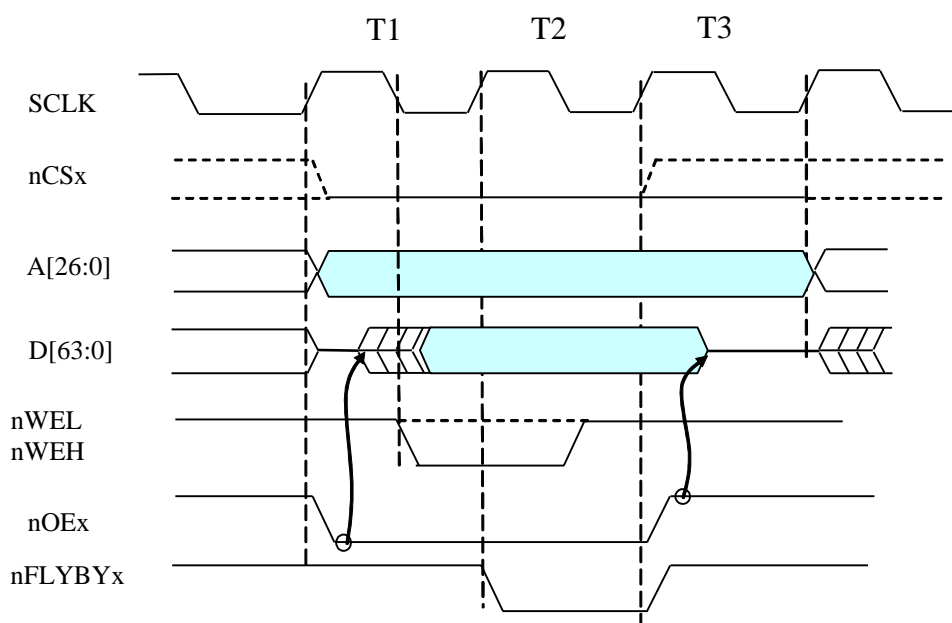


Рисунок 8.19. Передача одного слова данных из устройства ввода-вывода в асинхронную память

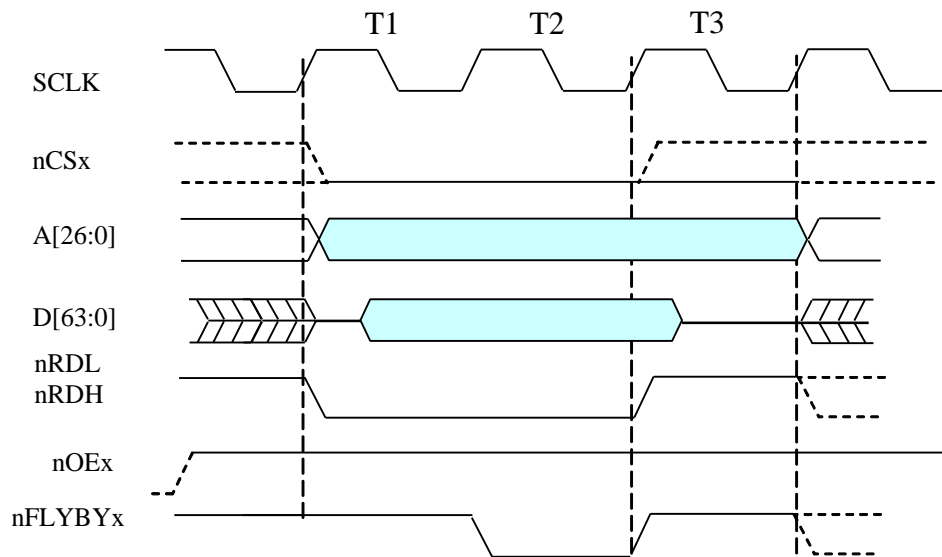


Рисунок 8.20. Передача одного слова данных из асинхронной памяти в устройство ввода-вывода

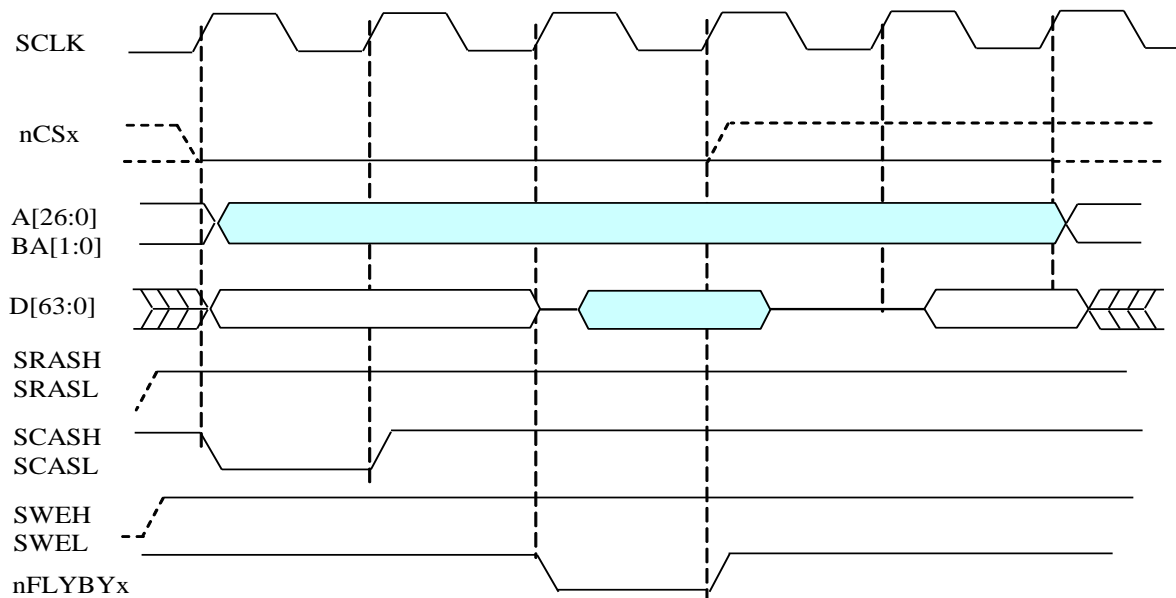


Рисунок 8.21. Передача одного слова данных из SDRAM в устройство ввода-вывода

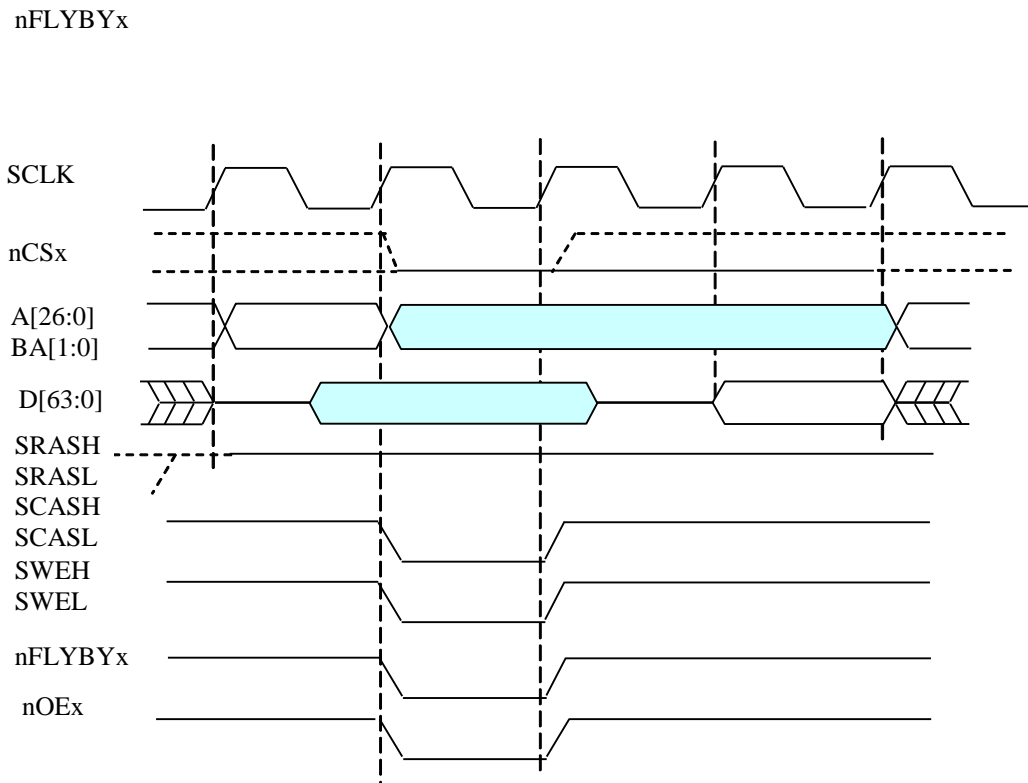


Рисунок 8.22. Передача одного слова данных из устройства ввода-вывода в SDRAM

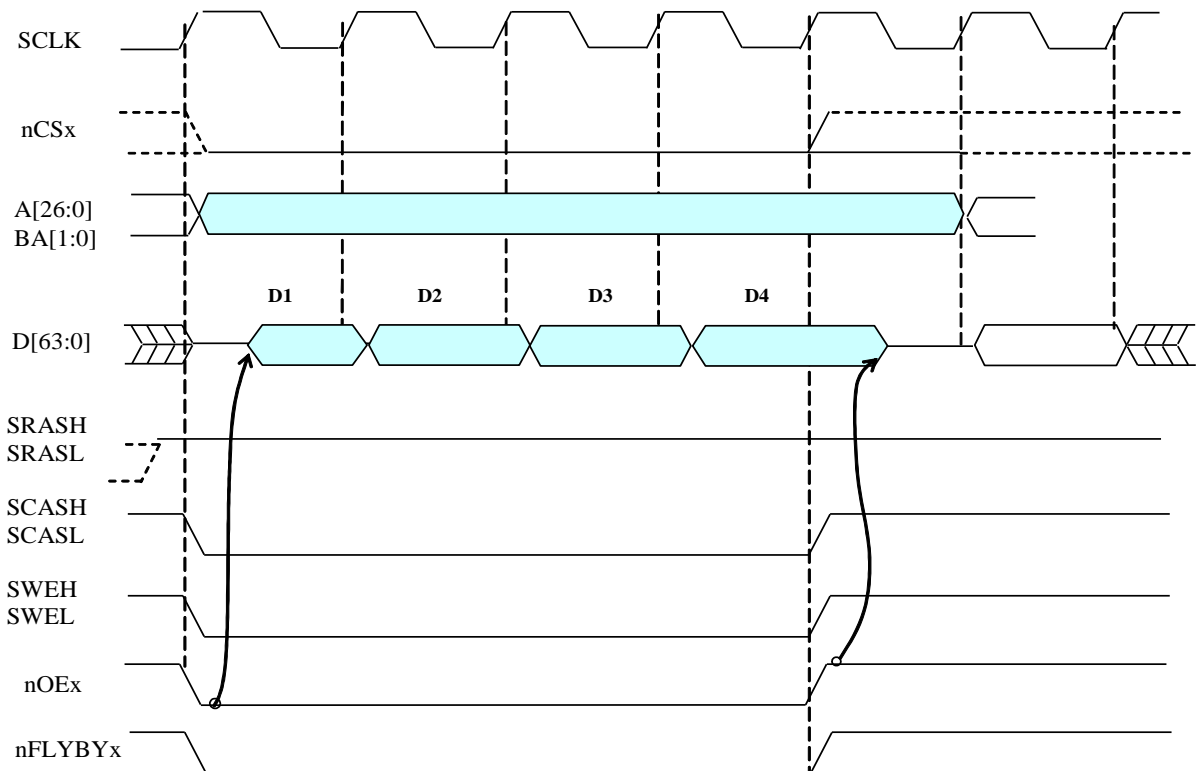


Рисунок 8.23. Передача 4-х слов данных из устройства ввода-вывода в SDRAM

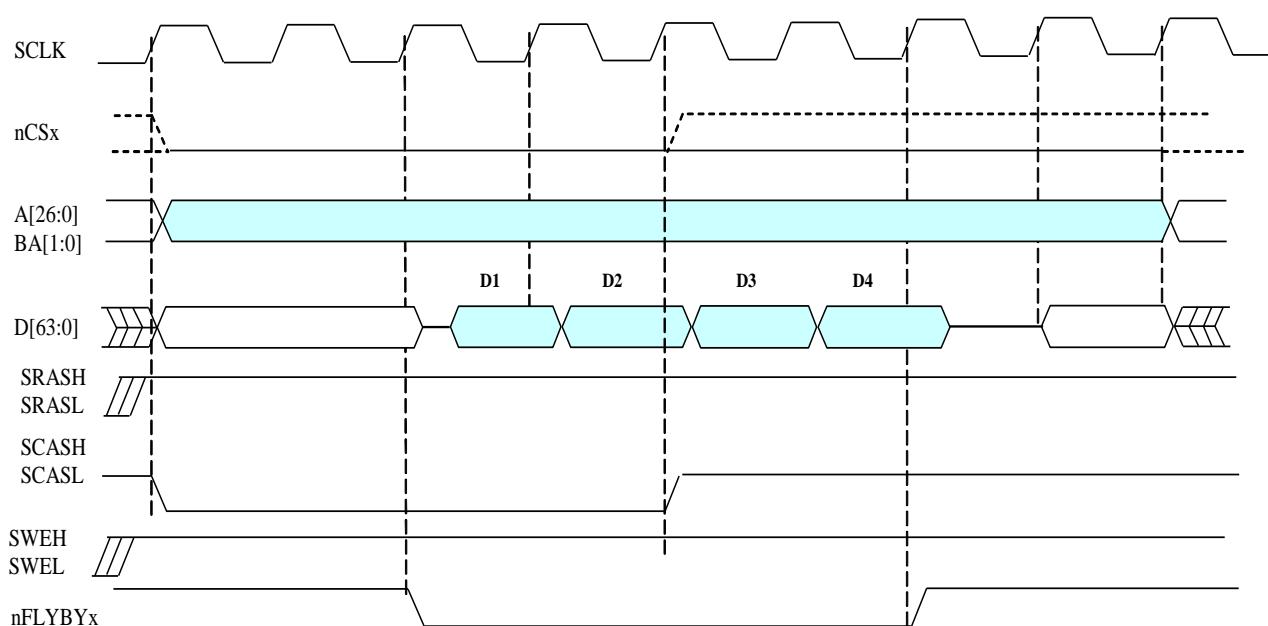


Рисунок 8.24. Передача 4-слов данных из SDRAM в устройство ввода-вывода

8.4 Рекомендации по подключению внешней памяти

8.4.1 Память типа SDRAM

Выводы адреса микросхем типа SDRAM подключаются к выводам шины адреса порта внешней памяти следующим образом:

номер банка SDRAM – к выводам BA[1:0];

адрес A[12:0] SDRAM – к выводам A[14:13], A10, A[11:2] соответственно.

8.4.2 Память типа Flash

К микропроцессору можно подключать 32, 64-разрядную или 8-разрядную память типа Flash.

32 и 64 -разрядная память Flash подключается к микропроцессору аналогично асинхронной памяти. Как правило, она подключается к сигналу выборки памяти nCS[3] и используется для старта микропроцессора. Но при необходимости память Flash может быть подключена к любому сигналу выборки памяти nCS[4:0].

8-разрядная память Flash подключается только к сигналу выборки памяти nCS[3]. При этом признак BOOT[0] необходимо установить в состояние 1, а адресную шину микропроцессора подключить к памяти Flash, начиная с 0 разряда (к 32 и 64 -разрядной памяти адрес подключается, начиная со 2 разряда).

При использовании памяти типа Flash возможны следующие варианты ее программирования:

микросхемы этой памяти программируются на программаторе и потом распаиваются на плату или устанавливаются в контактирующее устройство;

микросхемы этой памяти программируются на плате программно с использованием команды Store Byte. В этом случае MPORT выдает на выводы A[1:0] номер байта и коммутирует заказанный байт на выводы D[7:0]. При использовании других модификаций

команды Store (например, Store Word, Store Halfword) MPORT выдает на разряды адреса A[1:0] состояние, заданное полем ADDR регистра CCON3, а на выходы D[7:0] коммутирует младший байт операнда;

микросхемы этой памяти программируются на плате через порт JTAG микропроцессора. В этом случае запись в память производится командой Store Word, поэтому перед каждой записью необходимо устанавливать в разрядах 21:20 регистра CCON3 необходимое значение адреса байта. Для процесса программирования через порт JTAG необходим специальный драйвер, который входит в состав MC Studio.

9. УНИВЕРСАЛЬНЫЙ АСИНХРОННЫЙ ПОРТ (UART)

9.1 Общие положения

Универсальный асинхронный порт (далее UART) имеет следующие характеристики: по архитектуре совместим с UART 16550;

частота приема и передачи данных – от 50 до 1 Мбод;

FIFO для приема и передачи данных имеют объем по 16 байт;

полностью программируемые параметры последовательного интерфейса: длина символа от 5 до 8 бит; генерация и обнаружение бита четности; генерация стопового бита длиной 1, 1.5 или 2 бита;

диагностический режим внутренней петли;

эмуляция символьных ошибок;

функция управления модемом (CTS, RTS, DSR, DTR, RI, DCD).

Структурная схема порта UART приведена на Рисунок 9.1.

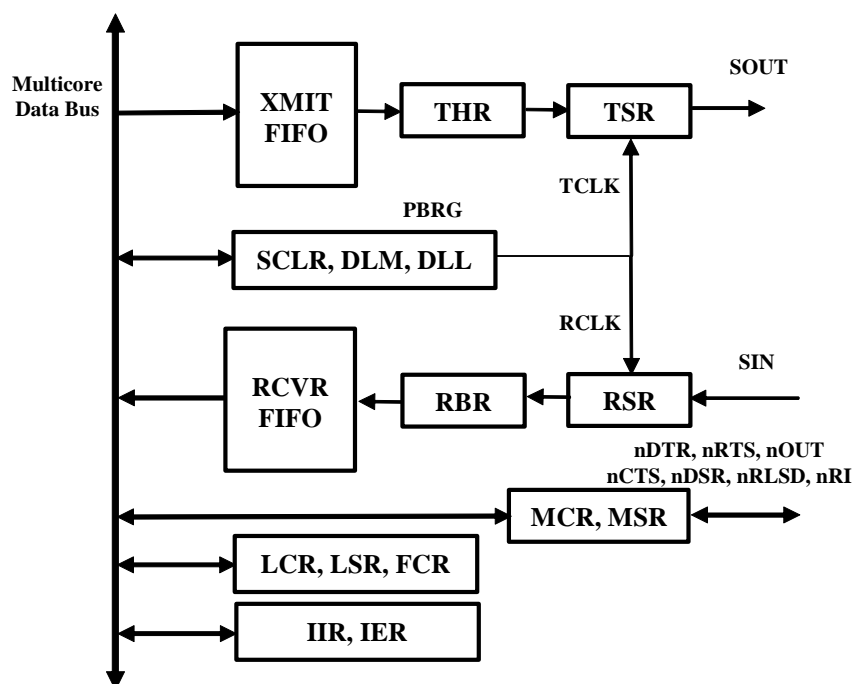


Рисунок 9.1. Структурная схема UART

Передаваемые данные записываются в регистр THR, а затем аппаратно переписываются в передающий сдвигающий регистр (TSR), если он пуст. После этого в регистр THR могут быть записаны следующие данные.

После приема данных в приемный сдвигающий регистр (RSR) данные переписываются в регистр RBR, если он не занят.

9.2 Регистры UART

9.2.1 Общие положения

Перечень регистров UART приведен в Таблица 9.1.

Таблица 9.1. Перечень регистров UART

Условное обозначение регистра	Название регистра	Доступ (R-чтение, W-запись)	Смещение относительно базового адреса
RBR	Приемный буферный регистр	R	0x00 (DLAB = 0)
THR	Передающий буферный регистр	W	0x00 (DLAB = 0)
IER	Регистр разрешения прерываний	R/W	0x04 (DLAB = 0)
IR	Регистр идентификации прерывания	R	0x08
FCR	Регистр управления FIFO	W	0x08
LCR	Регистр управления линией	R/W	0x0C
MCR	Регистр управления модемом	R/W	0x10
LSR	Регистр состояния линии	R	0x14
MSR	Регистр состояния модемом	R/W	0x18
SPR	Регистр Scratch Pad	R/W	0x1C
DLL	Регистр делителя младший	R/W	0x00 (DLAB = 1)
DLM	Регистр делителя старший	R/W	0x04 (DLAB = 1)
SCLR	Регистр предделителя (scaler)	W	0x14 (DLAB = 1)

9.2.2 Регистр LCR

Формат регистра LCR приведен в Таблица 9.2.

Таблица 9.2. Формат регистра LCR

Номер бита	Условное обозначение	Назначение
1:0	WLS (Word Length Select)	Количество бит данных в передаваемом символе: 00 – 5 бит, 01 – 6 бит, 10 – 7 бит, 11 – 8 бит.
2	STB (Number Stop Bits)	Количество стоп-бит: 0 – 1 стоп-бит, 1 – 2 стоп-бита (для 5-битного символа стоп-бит имеет длину 1,5 бита). Приемник анализирует только первый стоп бит.
3	PEN (Parity Enable)	Разрешение генерации (передатчик) или проверки (приемник) контрольного бита: 1 – контрольный бит (паритет или постоянный) разрешен, 0 – запрещен.

Номер бита	Условное обозначение	Назначение
4	EPS (Even Parity Select)	Выбор типа контроля (при PEN = 1): 0 – нечетность, 1 – четность.
5	STP (Stick Parity)	Принудительное формирование бита паритета: 0 – контрольный бит генерируется в соответствии с паритетом выводимого символа, 1 – постоянное значение контрольного бита: при EPS=1 – нулевое, при EPS = 0 – единичное.
6	SBC (Set Break Control)	Формирование обрыва линии: 0 – нормальная работа; 1 – на выходе SOUT устанавливается низкий уровень (Spacing level). Это влияет только на выход SOUT, а не на логику передачи символа.
7	DLAB (Divisor Latch Access bit)	Управление доступом к регистрам: 0 – разрешен доступ к регистрам RBR, THR, IER; 1 – разрешен доступ к регистрам DLL, DLM

Исходное состояние регистра LCR – нули.

Бит SBC используется как признак «Внимание» для приемного терминала, подключенному к выходу UART. Для того чтобы не было передано ошибочного символа при использовании бита SBC, необходимо выполнять следующую последовательность действий:
загрузить в регистр THR все нули по признаку THRE = 1;
установить SBC = 1 по следующему THRE = 1;
дождаться TEMT = 1.

Для восстановления нормальной передачи необходимо установить SBC=0.

9.2.3 Регистр FCR

Формат регистра FCR приведен в Таблица 9.3.

Таблица 9.3. Формат регистра FCR

Номер бита	Условное обозначение	Назначение
0	FEWO (FIFO Enable)	Разрешение работы XMIT и RCVR FIFO: 0 – символьный режим; 1 – режим FIFO. При изменении состояния этого бита, данные из FIFO, не удаляются. Запись в биты RFR, TFR, RFTL выполняется, если FEWO = 1.
1	RFR (Receiver FIFO Reset)	Установка RCVR FIFO в исходное состояние. Регистр RSR не обнуляется. После записи 1 в этот бит он автоматически сбрасывается.
2	TFR (Transmitter FIFO Reset)	Установка XMIT FIFO в исходное состояние. Регистр TSR не обнуляется. После записи 1 в этот бит он автоматически сбрасывается.
5:3	-	Резерв

Номер бита	Условное обозначение	Назначение
7:6	RFTL (RCVR FIFO Trigger Level)	Порог заполнения RCVR FIFO (в байтах), при котором формируется прерывание: 00 – 1; 01 – 4; 10 – 8; 11 – 14.

Исходное состояние регистра FCR – нули.

9.2.4 Регистр LSR

Формат регистра LSR приведен в Таблица 9.4.

Таблица 9.4. Формат регистра LSR

Номер бита	Условное обозначение	Назначение
0	RDR (Receiver Data Ready)	Готовность данных. Устанавливается после приема символа данных и передачи его в регистр RBR или FIFO. Сбрасывается после чтения регистра RBR (в символьном режиме) или чтения всего содержимого RCVR FIFO (в режиме FIFO)
1	OE (Overrun Error)	Ошибка переполнения. Устанавливается, если содержимое регистра RBR не было прочитано, в сдвигающий регистр принят следующий символ и начат прием очередного символа. При этом новый символ записывается в сдвигающий регистр вместо старого. В режиме FIFO устанавливается, если после перехода порогового (trigger) уровня FIFO заполнено до конца, во входной сдвигающий регистр полностью принят следующий символ и начат прием очередного символа. При этом в FIFO ничего не передается. Бит сбрасывается при чтении содержимого регистра LSR.
2	PE (Parity Error)	Ошибка контрольного бита (паритета или фиксированного). В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. Бит сбрасывается при чтении содержимого регистра LSR.
3	FE (Framing Error)	Ошибка кадра. Устанавливается, если стоп-бит равен нулю (Spacing level). В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. После этой ошибки UART пересинхронизируется. Бит сбрасывается при чтении содержимого регистра LSR.
4	BI (Break Interrupt)	Обрыв линии. Устанавливается, если вход приема данных находится в состоянии 0 (Spacing level) не менее чем время передачи всего символа. В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. При возникновении этой ситуации, в FIFO загружается только один нулевой символ. Прием следующих символов разрешается после того, как вход приема данных перейдет в единичное состояние (Marking state) и будет принят действительный стартовый бит. Бит сбрасывается при чтении содержимого регистра LSR.

Номер бита	Условное обозначение	Назначение
5	THRE (Transmitter Holding Register Empty)	Передающий буферный регистр пуст. Показывает, что UART готов принять следующий символ для передачи. Устанавливается, когда содержимое регистра THR передается в передающий сдвигающий регистр. Одновременно с этим генерируется прерывание THREI, если оно разрешено. Бит сбрасывается при записи символа в регистр THR. В режиме FIFO этот бит устанавливается, когда XMIT FIFO пусто, и сбрасывается, если в XMIT FIFO записывается хотя бы один символ.
6	TEMT (Transmitter Empty)	Передачик пуст. Устанавливается, если регистры THR и TSR пусты. Имеет нулевое состояние, если хотя бы один из регистров THR и TSR не пуст. В режиме FIFO этот бит устанавливается, если нет символов ни в XMIT FIFO, ни в регистре TSR.
7	EIRF (Error in RCVR FIFO)	Наличие хотя бы одного признака ошибки в FIFO. В символьном режиме этот бит всегда равен нулю. Бит сбрасывается при чтении содержимого регистра LSR, если в FIFO нет больше признаков ошибок.

Исходное состояние бит THRE, TEMT – 1, остальных – 0.

Установка бит OE, PE, FE, BI приводит к формированию прерыванию по состоянию входа приема данных (Receiver Line Status Interrupt), если это прерывание разрешено.

9.2.5 Регистр IER

Формат регистра IER приведен в Таблица 9.5. Исходное состояние регистра IER – нули.

Таблица 9.5. Формат регистра IER

Номер бита	Условное обозначение	Назначение
0	ERBI	Разрешение прерывания по наличию принятых данных (RDAI), а также по таймауту (CTI)
1	ETBEI	Разрешение прерывания по отсутствию данных в регистре THR (THREI)
2	ERLSI	Разрешение прерывания по статусу приема данных (RLSI)
3	EMSI	Разрешение прерывания по статусу модема (MSI)
7:4	-	Резерв

9.2.6 Регистр IIR

Формат регистра IIR приведен в Таблица 9.6.

Таблица 9.6. Формат регистра IIR

Номер бита	Условное обозначение	Назначение
0	IP (Interrupt Pending)	Признак наличия прерывания: 0 – есть прерывание; 1 – нет прерывания.
3:1	IID[2:0]	Код идентификации прерывания в соответствии с Таблица 9.7.
5:4	-	Резерв
7:6	FE	Признак разрешения работы RCVR и XMIT FIFO

Исходное состояние бита IP – 1, остальных – 0.

Таблица 9.7. Идентификация прерываний

Код поля ID[2:0]	Уровень приоритета (1 – наивысший)	Тип прерывания	Причина прерывания	Условие сброса прерывания
011	1	Статус приема данных (RLSI – Receiver Line Status Interrupt)	OE – Overrun Error; PE – Parity Error; FE – Framing Error; BI – Break Interrupt.	Чтение содержимого регистра LSR. Чтение из FIFO символа, по которому сформировано это прерывание. Обнуление FIFO.
010	2	Наличие принятых данных (RDAI – Received Data Available Interrupt)	Наличие данных в регистре RBR или достижение заданного порога FIFO	Чтение содержимого регистра RBR. Считывание данных из FIFO до уровня ниже порогового.
110	2	Таймаут (CTI – Character Timeout Interrupt)	С момента приема последнего символа в RCVR FIFO прошло время, равное длительности передачи 4-х символов и не было ни чтения FIFO, ни приема очередного символа.	Чтение содержимого регистра RBR. Прием очередного символа. Сброс FIFO.
001	3	Регистр THR пуст (THREI – Transmitter Holding Register Empty Interrupt)	Регистр THR пуст	Чтение содержимого регистра IIR, если источником прерывания является это условие. Запись символа в регистр THR
000	4	Статус модема (MSI – Modem Status Interrupt)	Изменение состояния сигналов на входах порта nCTS, nDSR, nRI, nDCD	Чтение содержимого регистра MSR.

9.2.7 Регистр MCR

Формат регистра MCR приведен в Таблица 9.8.

Таблица 9.8. Формат регистра MCR

Номер бита	Условное обозначение	Назначение
0:3	-	Не используется

Номер бита	Условное обозначение	Назначение
4	LOOP	Режим петли. Используется для тестирования UART. При установке этого бита в 1 выполняется следующее: На выходе SOUT UART устанавливается высокий уровень; Вход SIN UART отключается от внешнего вывода; Выход регистра TSR подключается к входу регистра RSR; В режиме петли передаваемые данные немедленно принимаются. В режиме петли все прерывания формируются как обычно.
7:5	-	Не используется

Исходное состояние регистра MCR – нули.

9.2.8 Программируемый генератор скорости обмена

В UART имеется программируемый генератор скорости обмена данными (PBRG – Programmable Baud Rate Generator). Он состоит из 8-разрядного предделителя и 16-разрядного основного делителя частоты. На вход предделителя поступает системная тактовая частота CLK, на которой работает CPU, UART и другие устройства. Выходная частота предделителя поступает на вход основного делителя. Выходная частота генератора PBRG в 16 раз больше частоты обмена последовательными данными.

Значение частоты на выходе предделителя равно $CLK/(SCLR + 1)$. Коэффициент деления основного делителя задается 16-разрядным регистром, который является конкатенацией регистров DLM и DLL.

Период частот передачи и приема (TCLK и RCLK) UART вычисляется по формуле:

$CLK/(SCLR + 1) / ((\text{конкатенация содержимого регистров DLM и DLL}) * 16)$. Минимальная величина, которая может быть записана в регистры {DLM, DLL}, равна 1.

Исходное состояние регистров DLL, DLM, SCLR – нули.

9.3 Работа с FIFO по прерыванию

Если установлен режим работы с FIFO (EFWO=1 в регистре FCR) и разрешены прерывания по приему (бит ERI=1 в регистре IER), то в процессе приема:

формируется прерывание, если число символов в RCVR FIFO достигло

запрограммируемого порога. Это прерывание сбрасывается, если при чтении из FIFO

число символов, оставшихся в нем, станет меньше запрограммируемого порога;

одновременно с этим в регистре IIR устанавливается индикатор наличия принятых

данных RDAI. Индикатор обнуляется, при чтении из FIFO до снижения

запрограммируемого порога;

может возникнуть прерывание по статусу приема данных (RLSI), приоритет которого выше, чем RDA;

бит RDR в регистре LSR устанавливается в момент передачи символа из регистра RSR в RCVR FIFO. Этот бит обнуляется при считывании из FIFO всех символов данных.

Если установлен режим работы с FIFO (EFWO = 1 в регистре FCR) и разрешены прерывания по приему (ERI = 1 в регистре IER), то генерируется прерывание по таймауту,

если с момента приема последнего символа в RCVR FIFO прошло время, равное длительности передачи 4-х символов и за это время не было:
ни чтения RCVR FIFO;
ни приема в RCVR FIFO очередного символа.

При 12-битном символе и скорости передачи 300 бод, прерывание по этой причине возникнет через 160 мс.

При возникновении прерывания по таймауту оно обнуляется при считывании символа из RCVR FIFO. При этом обнуляется и таймер, генерирующий данное прерывание. Если прерывание по таймауту не возникло, то таймер таймаута обнуляется при приеме нового символа или при считывании символа из RCVR FIFO.

Если установлен режим работы с FIFO (EFWO = 1 в регистре FCR) и разрешены прерывания по передаче данных (бит ETI = 1 в регистре IER), то генерируется прерывание по передаче следующим образом:

формируется прерывание THREI, если XMIT FIFO пусто. Это прерывание обнуляется, как только выполняется запись символа в регистр THR (при приеме данного прерывания в XMIT FIFO можно записать от 1 до 16 символов);

индикатор TEMT в регистре LSR установится в единичное состояние через время равное длительности одного символа минус последний стоп бит, после установки THRE = 1.

Первое прерывание по передаче (если оно разрешено) формируется немедленно после установки FEWO = 1.

9.4 Работа с FIFO по опросу

Если установлен режим работы с FIFO (EFWO = 1 в регистре FCR) и запрещены прерывания, то обмен данными выполняется по опросу, а управление FIFO приема и передачи (RCVR, XMIT) выполняется отдельно.

В этом режиме опрос состояния RCVR и XMIT FIFO осуществляется программно, посредством считывания содержимого регистра LSR:

бит RDR = 1, пока есть данные в RCVR FIFO;

биты OE, PE, FE, VI указывают на ошибки. Эти ошибки обрабатываются так же, как и при работе по прерыванию;

бит THRE = 1, если XMIT FIFO пусто;

бит TEMT = 1, если в XMIT FIFO и TSR нет данных.

При работе по опросу нет индикации таймаута и факта достижения порога RCVR FIFO. Однако оба RCVR и XMIT FIFO могут хранить символы данных.

10. КОНТРОЛЛЕР ИНТЕРФЕЙСА SPACEWIRE (SWIC)

10.1 Общие положения

Контроллер интерфейса SpaceWire (далее по тексту SWIC – Space Wire Interface Controller) предназначен для обеспечения аппаратной поддержки функций внутрисистемных коммуникаций с использованием протокола SpaceWire.

В микропроцессоре имеется четыре контроллера SWIC: SWIC0, SWIC1, SWIC2, SWIC3.

Основные особенности контроллера:

1. Контроллер разработан в соответствии с международным стандартом ECSS -E-50 - 12C.
2. Обеспечивает функционирование одного дуплексного канала связи со скоростью от 2 до 400 Мбит/с в каждую сторону.
3. Реализация контроллера охватывает уровни стека протоколов SpaceWire, от сигнального до сетевого (частично) уровня.
4. Аппаратное детектирование ошибок связи: рассоединение, ошибки четности.
5. Встроенные LVDS приемопередатчики в соответствии со стандартом стандарта ANSI/TIA/EIA-644(LVDS).
6. Встроенные в приемник LVDS резисторы - терминаторы.
7. Четыре канала DMA (два канала данных и два канала дескрипторов пакетов).
8. Обмен данными через DMA с памятью словами по 64 бита. Назначение, основные характеристики

10.2 Структура контроллера

Структурная схема контроллера коммуникационного канала по стандарту SpaceWire приведена на Рисунок 10.1. Основой контроллера канала SW является DS-макроячейка, реализующая функции кодера/декодера SpaceWire. Кодер/декодер SpaceWire через драйверы LVDS подключен к физическим линиям связи.

Контроллер канала SW взаимодействует с центральным процессором через шину АНВ (работа с программно-доступными регистрами контроллера) и FIFO-подобный интерфейс с DMA (прием/передача пакетов данных и дескрипторов). Для взаимодействия с внутренней памятью применены блоки DMA, поддерживающие интерфейс буферов. На шине АНВ SWIC представлен интерфейсом ведомого устройства.

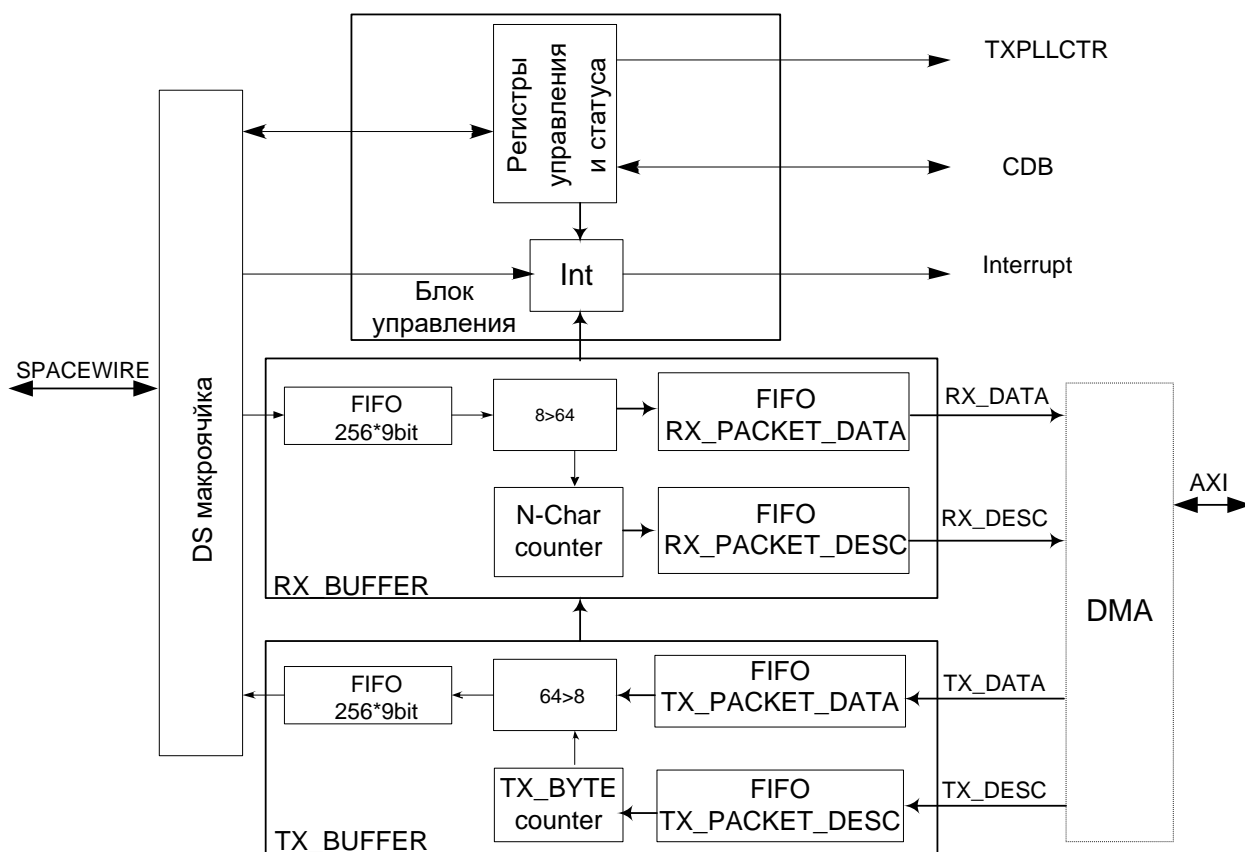


Рисунок 10.1. Структурная схема SWIC

Пояснения к структурной схеме:

SPACEWIRE - физический уровень каналов SpaceWire, включая LVDS приемники и передатчики;

DS-макроячейка - блок, реализующий функции DataLinkLayer и Encoding Layer в терминах стандарта ECCS-E-ST-50-12C;

TXPLLCTR- шина управления синтезатором частоты передачи;

Int - формирователь запросов прерываний по состояниям контроллера SWIC;

Interrupt - сигнал запроса прерывания от контроллера SWIC;

RX_BUFFER - блок разделения принимаемых данных на пакеты (данные и дескрипторы);

TX_BUFFER - блок формирования потока данных из данных и дескрипторов;

FIFO_256*9bit - память типа буфер с архитектурой FIFO 256слов X 9бит;

8>64 преобразователь -накопитель 8-бит слов в 64-бит слова;

64>8 преобразователь 64-бит слов в 8-бит слова;

N-Char_Counter - счетчик принимаемых N-Char символов для формирования дескрипторов;

TX_BYTE_counter - счетчик передаваемых символов по записываемым дескрипторам;

FIFO_RX_PACKET_DATA, FIFO_RX_PACKET_DESC - буфер принятых данных и дескрипторов на 16 слов для обеспечения режима работы каналов DMA в режиме пачки размером от 1 до 16 слов включительно;

FIFO_TX_PACKET_DATA, FIFO_TX_PACKET_DESC - буфер передаваемых данных и дескрипторов на 16 слов для обеспечения режима работы каналов DMA в режиме пачки размером от 1 до 16 слов включительно;

DMA - четырехканальный контроллер DMA порта SWIC;
RX_DATA - содержимое принятого пакета;
RX_DESC - дескриптор принятого пакета;
TX_DATA - содержимое передаваемого пакета;
TX_DESC - дескриптор передаваемого пакета;
AXI - системная шина AXI;

Блок управления по командам центрального процессора задает режимы работы приемопередатчика SpaceWire (DS-макроячейки). В этом блоке содержатся программно управляемый регистр, содержащий коэффициент скорости передачи данных, и доступный программному обеспечению на чтение регистр, в который записывается коэффициент скорости приема данных. Передача управляющих кодов; контроль состояние последнего полученного извне маркера времени, кода распределенного прерывания, кода подтверждения и кода CC11 производится через соответствующие регистры блока управления.

Блок формирования прерываний, расположенный в блоке управления, INT формирует необходимые прерывания по состоянию DS-макроячейки.

Буфер приема RX_BUFFER имеет конвейерную организацию и состоит из двух ступеней. Сначала в FIFO_256*9bit буферизируются восьмиразрядные данные, принимаемые от DS-макроячейки. Девятый служебный разряд несет информацию о признаке символа данных N-Char или символе конца пакета EOP. Затем в блоке преобразования формируются 64-разрядные слова данных и поступают в FIFO RX_PACKET_DATA. Дескриптор пакета формируется в счетчике N-Char_counter. При поступлении символа данных N-Char счетчик увеличивается на 1, при поступлении символа конца пакета значение счетчика переписывается в выходной буфер RX_PACKET_DESC, а сам счетчик сбрасывается в 0.

В буфер передачи TX_BUFFER с помощью канала передаваемых данных DMA записываются 64-разрядные слова данных. Содержимое пакетов и их дескрипторы буферизируются в двух FIFO TX_PACKET_DATA и TX_PACKET_DESC соответственно. Данные из буфера передачи в DS-макроячейку выдаются побайтно через FIFO 256*9bit. Преобразование 64-разрядных слов в байты осуществляется в блоке преобразования под управлением счетчика TX_BYTE counter. В счетчик заносится размер пакета из дескриптора передаваемого пакета. После передачи каждого байта этот счетчик уменьшается на 1. По достижении счетчиком значения 0, в поток передаваемых данных вставляется символ конца пакета EOP, а в счетчик заносится размер следующего передаваемого пакета из следующего дескриптора.

Буферы приема-передачи предназначены для согласования скоростей передачи данных между интерфейсом с устройством, в которое включается IP-блок SWIC и каналом SpaceWire.

К SWIC подключены четыре канала DMA (каналы приема/передачи в буфер 64-разрядных слов):

- канал дескрипторов передаваемых пакетов;
- канал данных передаваемых пакетов;
- канал дескрипторов принимаемых пакетов;
- канал данных принимаемых пакетов.

Описание работы блоков DMA приведено в п. 7.2.

10.3 Прерывания

Контроллер SWIC формирует три прерывания, описание которых сведено в Таблица 10.1.

Таблица 10.1. Источники прерываний в SWIC

Условное обозначение	Причина	Примечание
LINK	Соединение установлено	В регистре STATUS указана причина прерывания: - CONNECTED.
ERR	Обнаружена ошибка в канале связи	В регистре STATUS указана причина прерывания: - DC_ERR; - P_ERR; - ESC_ERR; - CREDIT_ERR.
CCODE	Получен управляющий код	В регистре STATUS указана причина прерывания: - принят маркер времени (GOT_TIME); - принят код распределенного прерывания; (GOT_INT) - принят код подтверждения (GOT_ACK) - принят управляющий код C[7..6] = 01 (при включенном режиме 5-и разрядных распределенных прерываний) (CC_01) - принят управляющий код C[7..6]=11 (CC_11) - истекло время ожидания таймаута приема кода распределенного прерывания (регистр ISR tout).

Схема формирования и маскирования прерываний следующая. Источники прерываний формируют импульс (лог. «1») признака какого-либо состояния, этот импульс фиксируется в триггере и присутствует на его выходе до тех пор, пока не будет произведен сброс прерывания записью «1» в соответствующий причине прерывания разряд регистра STATUS. После сброса контроллера все прерывания являются замаскированными. Для того, чтобы размаскировать прерывание, необходимо установить соответствующий разряд регистра режима MODE_CR (IRQ_0_mask, IRQ_1_mask, IRQ_2_mask соответственно) в 1.

С выхода триггеров сигналы прерываний доступны процессору по чтению в регистре STATUS в разрядах [20:18].

10.4 Перечень регистров SWIC

10.4.1 Общие положения

Перечень программно-доступных регистров контроллера SWIC приведен в Таблица 10.2. Все регистры 32-разрядные. В столбце Адрес указано смещение относительно начала области адресного пространства, выделенного под SWIC. То есть физический адрес вычисляется как сумма базового адреса SWIC и адреса регистра.

Таблица 10.2. Перечень регистров блока SWIC

Условное обозначение	Описание	Тип доступа	Адрес
HW_VER	Номер версии контроллера	RD	0x00
STATUS	Регистр состояния	WR/RD	0x04

Условное обозначение	Описание	Тип доступа	Адрес
RX_CODE	Регистр управляющего символа, принятого из сети (маркера времени, кода распределенного прерывания, кода подтверждения распределенного прерывания или кода CC11)	RD	0x08
MODE_CR	Регистр режима работы	WR	0x0C
TX_SPEED	Регистр коэффициента скорости передачи	WR	0x10
TX_CODE	Регистр управляющего символа (маркера времени, кода распределенного прерывания, кода подтверждения, кода CC11) для передачи в сеть	WR	0x14
RX_SPEED	Регистр скорости приема данных в канале SpaceWire	RD	0x18
	Не используется		0x1C
CNT_RX_PACK	Регистр счетчика принятых пакетов ненулевой длины	RD/WR	0x20
ISR_L	Младшие разряды регистра ISR	RD/WR	0x24
ISR_H	Старшие разряды регистра ISR	RD/WR	0x28
TRUE_TIME	Регистр, содержащий значение последнего правильного маркера времени и последнего принятого из сети маркера времени	RD	0x2C
TOUT_CODE	Регистр размера таймаутов	RD/WR	0x30
ISR_tout_L	Младшие разряды регистра флагов таймаутов ISR	RD/WR	0x34
ISR_tout_H	Старшие разряды регистра флагов таймаутов ISR	RD/WR	0x38
LOG_ADDR	Регистр логического адреса	RD/WR	0x3C
ack_nonack_regime	Регистр управления режимом распределенных прерываний (с подтверждениями или без подтверждений)	RD/WR	0x40
isr_touts2	Регистр таймаутов кодов распределенных прерываний 2	RD/WR	0x44
ISR_handler_TERM_FUNCT	Регистр флагов функций терминального узла – обработчика	RD/WR	0x48
ISR_SPEC	Регистр рассылки управляющих кодов в специальный набор портов	RD/WR	0x4C
ISR_1101	Регистр флагов приема управляющих кодов, назначение которых не определено в текущей версии стандарта	RD/WR	0x50
ISR_MACK_1101	Регистр маски портов, из которых не должны приниматься управляющие коды, назначение которых не определено в текущей версии стандарта	RD/WR	0x54
INT_RESET	Регистр параметров команды внешнего сброса	WR/RD	0x58
STATUS2	Регистр состояния		0x5C
MODE_CR2	Регистр режима работы 2		0x60
Int_H_mack	Старшая половина регистра маски распределенных прерываний	WR/RD	0x64
Int_L_mack	Младшая половина регистра маски распределенных прерываний	WR/RD	0x68
Ack_H_mack	Старшая половина регистра маски кодов подтверждения	WR/RD	0x6C
Ack_L_mack	Младшая половина регистра маски кодов подтверждения	WR/RD	0x70

Условное обозначение	Описание	Тип доступа	Адрес
AUTO_SPEED_MANAGE	Регистр параметров автоматической установки скорости передачи	WR/RD	0x74
ISR_source_TERM_FUNCT	Регистр флагов функций терминального узла – источника		0x78
ISR_spec_term_func	Регистр признака специальной функции для терминального узла – обработчика		0x7C
ISR_L_reset	Младшая половина регистра глобального сброса ISR		0x80
ISR_H_reset	Старшая половина регистра глобального сброса ISR		0x84

10.5 Описание регистров SWIC

10.5.1 Регистр HW_VER

Регистр номера версии SWIC. При чтении этого регистра выводится номер версии аппаратной реализации SWIC. Значение регистра 0x05

Таблица 10.3. Назначение разрядов регистра HW_VER

Номер разряда	Условное обозначение	Описание
31:0	HW_VER	Номер версии SWIC

10.5.2 Регистр STATUS

Регистр состояния блока SWIC предназначен для оперативного контроля состояния фаз работы контроллера. Регистр доступен как на чтение, так и на запись. Заполнение регистра выполняется побитно по сигналам от DS-макроячейки, блока приема данных из канала SpaceWire, блока передачи данных в канал SpaceWire.

Таблица 10.4. Назначение разрядов регистра STATUS

Номер разряда	Условное обозначение	Описание
0	DC_ERR	Признак ошибки рассоединения (DisconnectError): "1" – Ошибка произошла "0" – Нет ошибки (после сигнала сброса) Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания ERR посредством записи 1 в этот разряд.
1	P_ERR	Признак ошибки четности: "1" – Ошибка произошла "0" – Нет ошибки (после сигнала сброса) Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания ERR посредством записи 1 в этот разряд.
2	ESC_ERR	Признак ошибки в ESC последовательности: "1" – Ошибка произошла "0" – Нет ошибки (после сигнала сброса) Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания ERR посредством записи 1 в этот разряд.

Номер разряда	Условное обозначение	Описание
3	CREDIT_ERR	Признак ошибки кредитования: "1" – Ошибка произошла "0" – Нет ошибки (после сигнала сброса) Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания ERR посредством записи 1 в этот разряд.
4	-	Не используется
5:7	DS_STATE	Состояние DS-макроячейки
8	-	Не используется (может меняться)
9	RX_BUF_EMPTY	Буфер приема пуст "1" – Пуст (после сигнала сброса) "0" – В буфере есть данные
10	-	Не используется (может меняться)
11	TX_BUF_EMPTY	Буфер передачи пуст "1" – Пуст (после сигнала сброса) "0" – В буфере есть данные
12	GOT_FIRST_BIT	Состояние принятого первого бита из канала "1" – бит принят "0" – приемный канал не активен (не было изменений фронтов din/sin после последнего сброса макроячейки по ресету или в связи с ошибкой) Запись «1» в этот бит сбрасывает прерывание INT_LINK, если оно было установлено, но не изменяет состояние GOT_FIRST_BIT
13	CONNECTED	Соединение установлено (DS_STATE = 5)
14	GOT_TIME	Принят маркер времени из сети "1" – Принят маркер времени "0" – Маркер времени не принят (после сигнала сброса) Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания CCODE посредством записи 1 в этот разряд
15	GOT_INT	Принят код распределенного прерывания из сети "1" – Принят код распределенного прерывания времени "0" – Код распределенного прерывания не принят (после сигнала сброса) Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания CCODE посредством записи 1 в этот разряд
16	GOT_ACK	Принят код подтверждения из сети "1" – Принят код подтверждения "0" – код подтверждения не принят (после сигнала сброса) Запись "1" в этот разряд сбрасывает этот разряд в "0". Используется для сброса прерывания CCODE посредством записи 1 в этот разряд
17	FL_CONTROL	"0" – SWIC готов к передаче нового управляющего кода. "1" – SWIC занят передачей управляющего кода в канал.
18	IRQ_0	Значение сигнала прерывания 0 (установка соединения). Устанавливается при установке соответствующего прерывания, если оно не замаскировано в регистре режима. Сбрасывается при сбросе соответствующего прерывания

Номер разряда	Условное обозначение	Описание
19	IRQ_1	Значение сигнала прерывания 1 (разрыв соединения). Устанавливается при установке соответствующего прерывания, если оно не замаскировано в регистре режима. Сбрасывается при сбросе соответствующего прерывания
20	IRQ_2	Значение сигнала прерывания 2 (принят управляющий код). Устанавливается при установке соответствующего прерывания, если оно не замаскировано в регистре режима. Сбрасывается при сбросе соответствующего прерывания
21	CC_11	Признак принятия управляющего кода C[7..6] = 11 "1" – Принят упр. код "0" – Упр. код не принят (после сигнала сброса) Запись "1" в этот разряд сбрасывает этот разряд в "0"
22	CC_01	Признак принятия управляющего кода C[7..6]=01 (данный разряд используется только в режиме 5-и битных кодов распределенных прерываний и подтверждений) "1" – Принят упр. Код "0" – Упр. код не принят (после сигнала сброса) Запись "1" в этот разряд сбрасывает этот разряд в "0"
23:29	-	Резерв
30	S_LVDS_RX	Значение линии S от LVDS
31	D_LVDS_RX	Значение линии D от LVDS

10.5.3 Регистр RX_CODE

Регистр принятого из сети управляющего кода.

Таблица 10.5. Назначение разрядов регистра RX_CODE

Номер разряда	Условное обозначение	Описание
7:0	TIME_CODE	Значение маркера времени, принятого из сети последним (C[7..6]=00)
15:8	C01_CODE	Значение кода (разряды C[7..6]=01), принятого из сети последним. Это код распределенного прерывания, если используется режим 6-и битных кодов распределенных прерываний. Это код C01, если используется режим 5-и битных кодов распределенных прерываний
23:16	C10_CODE	Значение кода (разряды C[7..6]=10), принятого из сети последним. Это код подтверждения, если используется режим 6-и битных кодов распределенных прерываний или используется режим 5-и битных кодов распределенных прерываний и C[5]=1. Это код распределенного прерывания, если используется режим 5-и битных кодов распределенных прерываний и C[5]=0
31:24	C11_CODE	Значение кода C11 (разряды C[7..6]=11) принятого из сети последним

10.5.4 Регистр MODE_CR

Регистр режима работы.

Таблица 10.6. Назначение разрядов регистра MODE_CR

Номер разряда	Условное обозначение	Назначение
0	LinkDisabled	Установка LinkDisabled для блока DS-кодирования
1	AutoStart	Установка Autostart для блока DS-кодирования
2	LinkStart	Установка LinkStart для блока DS-кодирования
3	-	Не используется
4	-	Не используется
5	DSM_RST	Сброс DS-макроячейки, после выхода SWIC из состояния сброса данный разряд установлен в 1 – DS-макроячейка находится в состоянии сброса.
6	SWCORE_RST	Программный Сброс контроллера (буферы приема и передачи данных), после выхода из состояния сброса данный разряд установлен в 1 - буферы приема и передачи данных находятся в состоянии сброса
7	-	Не используется
8	TEST_TYPE	Тип режима работы ('0' – рабочий, '1' – тестовый)
9	TX_SINGLE	Включение режима Single на передачу
10	RX_SINGLE	Включение режима Single на прием
11	-	В данной версии не используется
12	-	В данной версии не используется
13	DS_Loopback	Loopback (перед DS-макроячейкой)
14	COEFF_10_wr	Разрешение модификации регистра коэффициента для подсчета таймаутов
15	AUTO_SPEED	Если этот бит установлен в 1, то при разрыве соединения коэффициент скорости передачи будет автоматически устанавливаться на 10 Мбит/с, а при установке соединения автоматически переходит на базовое значение скорости
16	dIRQ_regime	Режим передачи/приема кодов распределенных прерываний. Если этот бит установлен в 0, то используются 6-и битные коды распределенных прерываний, если в 1 – то используются 5-и битные коды распределенных прерываний
17	-	Не используется
18	IRQ_0_mask	Маска прерывания IRQ0. Если значение маски установлено в 1, то значение прерывания отображается в регистр STATUS и участвует в формировании сигнала IRQ_all. Если значение 0, значение прерывания не отображается в регистр STATUS и не участвует в формировании сигнала IRQ_all.
19	IRQ_1_mask	Маска прерывания IRQ1. Если значение маски установлено в 1, то значение прерывания отображается в регистр STATUS и участвует в формировании сигнала IRQ_all. Если значение 0, значение прерывания не отображается в регистр STATUS и не участвует в формировании сигнала IRQ_all.
20	IRQ_2_mask	Маска прерывания IRQ2. Если значение маски установлено в 1, то значение прерывания отображается в регистр STATUS и участвует в формировании сигнала IRQ_all. Если значение 0, значение прерывания не отображается в регистр STATUS и не участвует в формировании сигнала IRQ_all.
21	CTR	Если этот бит установлен в 1, то установка соединения выполняется без ожидания таймаутов (используется в отладочном режиме)
22	TCode_mask	Если этот разряд установлен в 0, то прерывание IRQ2 при получении тайм-кода не устанавливается

Номер разряда	Условное обозначение	Назначение
23	INT_mask	Если этот разряд установлен в 0, то прерывание IRQ2 при получении кода распределенного прерывания или кода подтверждения не устанавливается
24	CC_11_mask	Если этот разряд установлен в 0, то прерывание IRQ2 при получении управляющего кода C[7..6]=11 не устанавливается
25	CC_01_mask	Если этот разряд установлен в 0, то прерывание IRQ2 при получении управляющего кода C[7..6]=01 (dIRQ_regime=1) не устанавливается
26	INT_tout_mask	Если этот разряд установлен в 0, то прерывание IRQ2 по факту истечения таймаута получения кода подтверждения не устанавливается
28:27	-	Не используется
29	LVDS_regime	Режим LVDS – если этот бит установлен в 0, то на выходной LVDS подаются сигналы от передатчика, если этот бит установлен в 1, то на LVDS подаются сигналы из битов 30, 31 этого регистра
30	S_LVDS_TX	Значение для передачи на линию S LVDS
31	D_LVDS_TX	Значение для передачи на линию D LVDS

После того, как в результате разрешения AutoStart или LinkStart блок DS-кодирования установил соединение (при LinkDisabled='0'), буфер передачи в сеть начинает принимать данные из DMA. Если DMA передал все данные, то далее в сеть передаются символы NULL. Соединение при этом не прекращается. Соединение прекращается, если процессор осуществляет запись единицы в бит LinkDisabled.

10.5.5 Регистр TX_SPEED

Регистр коэффициентов скорости. В разряды 7:0 записывается коэффициент, который передается на TXPLL при полностью программном управлении скоростью передачи. При использовании автоматического перехода на 10 Мбит/с при разрыве соединения, коэффициент, записанный в разряды 7:0 устанавливается, когда соединение установлено. При разрыве соединения в этом режиме автоматически устанавливается коэффициент, записанный в разряды 17:10, он должен соответствовать скорости передачи 10 Мбит/с.

В разряды 28:20 этого регистра записывается значение коэффициента для подсчета таймаутов установки соединения (6,4 мкс и 12,8 мкс). Значение данного коэффициента зависит от локальной частоты (на которой осуществляется подсчет таймаутов). Значение после сброса для этого регистра «0x0A», что соответствует локальной частоте 100 МГц. Запись нового значения в этот регистр возможно только, если бит COEFF_10_wr (14) регистра MODE_CR (режима) установлен в 1.

Таблица 10.7. Назначение разрядов регистра TX_SPEED

Номер разряда	Условное обозначение	Назначение
7:0	TX_SPEED	Скорость передачи данных в канал связи Space-Wire, Мбит/с 0x00 – 2,5; 0x01 – 5; 0x02 – 10; 0x03 – 15; 0x04 – 20; ... 0x50 – 400; При MODE_CR[15]=0 для установления соединения в это поле необходимо записать код 0x02 (10 Мбит/с).
8	PLL_TX_EN	Разрешение работы PLL_TX: 0 – PLL_TX выключена; 1 – PLL_TX включена;
9	LVDS_EN	Разрешение работы приемопередатчиков LVDS: 0 – LVDS выключены и находятся в режиме POWER DOWN; 1 – LVDS включены;
17:10	TX_SPEED_10	Определяет скорость передачи данных при установке соединения (в режиме авто установки скорости)
18	PLL_TX_EN	Разрешение работы PLL_TX: 0 – PLL_TX выключена; 1 – PLL_TX включена; Используется только при MODE_CR[15]=1, иначе содержимое этого поля игнорируется.
19	LVDS_EN	Разрешение работы приемопередатчиков LVDS: 0 – LVDS выключены и находятся в режиме POWER DOWN; 1 – LVDS включены; Используется только при MODE_CR[15]=1, иначе содержимое этого поля игнорируется.
28:20	COEFF_10	Значение коэффициента для подсчета таймаутов установки соединения
31..29	-	Резерв

10.5.6 Регистр TX_CODE

Регистр управляющего кода для передачи в канал. Сразу же после записи в этот регистр начинается передача управляющего символа в DS-макроячейку и далее в канал.

Таблица 10.8. Назначение разрядов регистра TX_CODE

Номер разряда	Условное обозначение	Описание
5:0	CODE_VAL	Значение управляющего кода для отправки в сеть
7:6	CODE_TYPE	Тип управляющего кода для отправки в сеть (00 – код времени, 01 – код прерывания, 10 – код подтверждения прерывания, 11 – код CC11)
31:8	-	Резерв

10.5.7 Регистр RX_SPEED

Назначение разрядов регистра RX_SPEED приведено в Таблица 10.9. Исходное состояние регистра – нули. Коэффициент скорости приёма программно пересчитывается в реальную скорость приёма в Мбит/сек, согласно формуле: $RX_SPEED = F_{core} * RX_SPEED_{reg} / 100$, где F_{core} - системная частота тактирования от PLL_CORE, выраженная в МГц, RX_SPEED_{reg} – значение, считанное из регистра.

Таблица 10.9. Назначение разрядов регистра RX_SPEED

Номер разряда	Условное обозначение	Назначение
9:0	RX_SPEED	Коэффициент скорости приема в канале SpaceWire
31:10	-	Не используется

10.5.8 Регистр CNT_RX_PACK

Регистр счетчика принятых пакетов. Значение регистра увеличивается на 1 каждый раз, когда из DS-макроячейки прочитывается символ конца пакета, если ему предшествовал хотя бы один символ данных.

При записи (любым значением), значение регистра обнуляется. Процессор может обнулить содержимое этого регистра для того, чтобы начать счет пакетов заново.

Таблица 10.10. Назначение разрядов регистра CNT_RX_PACK

Номер разряда	Условное обозначение	Описание
31:0	CNT	Число принятых пакетов

10.5.9 Регистр ISR_L

В этот регистр отображается младшая (31...0) часть регистра ISR. Регистр ISR содержит информацию о принятых и отправленных кодах распределенных прерываний и подтверждения. Если из сети получено распределенное прерывание, то бит регистра ISR, соответствующий номеру распределенного прерывания устанавливается в 1 (если он уже не был установлен в 1). Аналогично, если в регистр TX_CODE осуществляется запись кода распределенного прерывания, соответствующий бит регистра ISR устанавливается в 1.

Если из сети получен код подтверждения, то бит регистра ISR, соответствующий номеру кода подтверждения, устанавливается в 0 (если он уже не был установлен в 0). Аналогично, если в регистр TX_CODE осуществляется запись кода подтверждения, соответствующий бит регистра ISR устанавливается в 0.

Необходимость данного регистра связана с тем, что коды распределенных прерываний и коды подтверждения могут приход из сети очень часто, быстрее, чем процессор может среагировать на очередное прерывание и прочитать код. Если даже в регистре RX_CODE код распределенного прерывания или код подтверждения будет перезаписан следующим, информация о нем не будет утрачена – она сохранится в регистре ISR.

Существует возможность программного задания значения регистра ISR. Она предназначена для использования исключительно в тестовых целях. В регистр ISR может быть записано любое значение.

Таблица 10.11. Назначение разрядов регистра ISR_L

Номер разряда	Условное обозначение	Описание
31:0	ISR_L	Младшая часть регистра ISR

10.5.10 Регистр ISR_H

В этот регистр отображается старшая (63..32) часть регистра ISR.

Таблица 10.12. Назначение разрядов регистра ISR_H

Номер разряда	Условное обозначение	Описание
31:0	ISR_H	Старшая часть регистра ISR

10.5.11 Регистр TRUE_TIME

В этот регистр записывается значение последнего правильного маркера времени, и текущего маркера времени. Если маркер времени принимается из сети или записывается процессором в регистр TX_CODE для отправки в сеть, его значение сравнивается со значением текущего маркера времени. Если оно больше на 1 (циклически) чем значение текущего маркера времени (правильный маркер времени), то оно регистрируется в поле последнего правильного маркера времени TRUE_TIME и в поле текущего маркера времени CUR_TIME. Если правильный маркер времени был записан в TX_CODE, то он отправляется в сеть. Если правильный маркер времени был принят из сети, то устанавливается прерывание для процессора.

Если маркер времени оказывается не правильным, то он записывается в поле CUR_TIME. Более никаких действий не выполняется.

Таблица 10.13. Назначение разрядов регистра TRUE_TIME

Номер разряда	Условное обозначение	Описание
5:0	TRUE TIME	Значение последнего правильного маркера времени
6:7		
13:8	CUR_TIME	Значение текущего маркера времени

10.5.12 Регистр TOUT_CODE

В этот регистр записываются значение периода для глобального счетчика таймаутов (в количестве тактов локальной частоты или мкс) и максимальные значения ряда локальных счетчиков таймаутов ожидания кодов подтверждения распределенных прерываний. (Остальные максимальные значения записываются в регистр ISR_TOUTS2)

Отдельный локальный счетчик таймаутов соответствует каждому разряду ISR. Если в SWIC поступает код распределенного прерывания или подтверждения, и для него задано одно или несколько значений таймаутов, то запускается соответствующий ему счетчик локальных таймаутов. Он инкрементируется каждый раз при завершении очередного периода счета глобального счетчика таймаутов. Подробно механизм обработки кодов распределенных прерываний и подтверждений приведен в разделе 10.6.2.2.

Счётчик глобального периода постоянно уменьшается аппаратурой по модулю GLOB_COU, независимо от работы локальных счетчиков. Таким образом, точность таймаута составляет $[-\text{GLOB_COU}+1 \dots 0]$ тактов. Например, при $\text{GLOB_COU} = 100$ и $\text{LOC_COU1} = 10$ таймаут сработает после того, как будет отсчитано от 901 до 1000 тактов.

При записи в GLOB_COU нового значения, счетчик GLOB_COU сразу начинает считать новый период с новым значением длительности периода.

Таблица 10.14. Назначение разрядов регистра TOUT_CODE

Номер разряда	Условное обозначение	Описание
15:0	GLOB_COU	Значение периода глобального счетчика (задается в тактах локальной частоты или мкс)
19:16	LOC_Reset_SW_ack	Значение таймаута ожидания кода подтверждения INTA _i если i код обрабатывается в режиме коммутатора. По истечении данного таймаута i разряд ISR сбрасывается
23:20	LOC_Reset_T1_ack	Значение таймаута ожидания кода подтверждения INTA _i если i код обрабатывается в режиме терминального узла. По истечении данного таймаута i разряд ISR сбрасывается

10.5.13 Регистр ISR_tout_L

В этот регистр отображается младшая (31..0) часть регистра флагов ISR_tout.

Если для i разряда ISR определены таймауты и один из них истек, то устанавливается соответствующий флаг.

Для того, чтобы его сбросить, необходимо записать в этот разряд регистра ISR_tout 1. (При записи в бит значения 0, его значение не меняется).

Особенности настройки счётчиков таймаутов показана в подразделе 'Регистр TOUT_CODE'.

Таблица 10.15. Назначение разрядов регистра ISR_tout_L

Номер разряда	Условное обозначение	Описание
31:0	ISR_tout_L	Младшая часть регистра ISR_tout

10.5.14 Регистр ISR_tout_H

В этот регистр отображается старшая (63..32) часть регистра ISR_tout.

Таблица 10.16. Назначение разрядов регистра ISR_tout_H

Номер разряда	Условное обозначение	Описание
31:0	ISR_tout_H	Старшая часть регистра ISR_tout

10.5.15 Регистр LOG_ADDR

В этом регистре хранится значение логического адреса, добавляемого к пакету по умолчанию, если установлен соответствующий режим (см. Возможность передачи коммуникационного пакета). Длина логического адреса может быть от одного до 4 байтов, она определяется значением дескриптора пакета.

Таблица 10.17. Назначение разрядов регистра LOG_ADDR

Номер разряда	Условное обозначение	Описание
31:0	LOG_ADDR	Значение логического адреса.

10.5.16 Регистр ACK_NONACK_REGIME

Регистр ACK_NONACK_REGIME доступен процессору по чтению и по записи.

В данном регистре содержатся значения флагов режима для каждого кода распределенного прерывания (прерывания с номерами 0 - 31). Если флаг режима установлен в 0 – это соответствует режиму с подтверждением, если в 1 – то режиму без подтверждений. Значение по умолчанию - 0

Таблица 10.18. Назначение разрядов регистра ACK_NONACK_REGIME

Номер разряда	Условное обозначение	Описание
31:0	Regime_flags	Значения флагов режима

10.5.17 Регистр ISR_TOUTS2

Регистр ISR_TOUTS2 доступен процессору по чтению и по записи.

В данном регистре содержатся значения таймаутов (подсчет осуществляется на базе глобального счетчика таймаутов, задаваемого в регистре ISR_TOUTS).

Таблица 10.19. Назначение разрядов регистра ISR_TOUTS2

Номер разряда	Условное обозначение	Описание
3:0	LOC_Reset_SW_nack	Значение локального счетчика таймаутов сброса ISR в режиме коммутатора в режиме без кодов подтверждений
7:4	LOC_RESET_T1_nack	Значение локального счетчика таймаутов сброса ISR в режиме терминального узла в режиме без кодов подтверждений
11:8	LOC_TG	Значение локального счетчика таймаутов TG (в режиме терминального узла используется только в режиме с подтверждениями)
15:12	LOC_TH	Значение локального счетчика таймаутов TH (в режиме терминального узла используется только в режиме с подтверждениями)
19:16	LOC_ISR_CHANGE	Значение локального счетчика таймаутов TISR_change (используется одно и то же значение и в режиме коммутатора, и в режиме терминального узла)

10.5.18 Регистр ISR_handler_term_func

Регистр ISR_handler_term_func доступен процессору по чтению и записи. Он предназначен для индикации того, выполняет ли данный узел функции обработчика кодов прерываний.

В соответствии со значением разряда 29 регистра ISR_spc через этот регистр можно работать с регистром ISR_term_func_L или ISR_term_func_H. Запись 1 в соответствующий

разряд регистра указывает, что для данного кода распределенного прерывания SWIC будет обработчиком.

Начальное значение всех разрядов регистра после выхода SWIC из состояния сброса – '0'.

10.5.19 Регистр специальных кодов ISR_spec

Регистр специальных кодов (управляющих символов, назначение которых не определено в текущей версии спецификации стандарта SpaceWire) доступен процессору по чтению и записи. Данный регистр предназначен для получения информации о принятых из сети кодах, для которых не определена специальная интерпретация (коды 01xxxxxx для портов, работающих в режиме 5-и разрядных кодов распределенных прерываний и коды 11xxxxxx).

Для данных кодов используется следующая схема регистрации. Для каждого типа кодов существует регистр ISR – ISR_11 и ISR_01 соответственно (данные регистры, однако, явным образом не являются программно доступными, работа с ними осуществляется через регистры ISR_1101 и ISR_spec). При приеме из сети управляющего кода 11xxxxxx соответствующий его номеру разряд регистра ISR_11 устанавливается в 1 и регистрируется номер порта, из которого он поступил. Если происходит повторное поступление кода с тем же номером из другого порта, номер порта перезаписывается. Разряды ISR_11 могут программно сбрасываться через ISR_1101.

Аналогичная схема поведения определена для кодов 01xxxxxx, поступающих из портов, для которых задан режим 5-и разрядных кодов распределенных прерываний. Они регистрируются в регистре ISR_01.

В code_TYPE ISR_spec записывается идентификатор кода (значение разрядов 7:6 кодов, информацию о которых планируется получить). (Если, например, планируется получение информации о кодах 11xxxxxx, то в эти разряды необходимо записать 11) в соответствии со значением этих разрядов выполняется логическое связывание программно доступного регистра ISR_1101 с регистром ISR_11 или ISR_01 и логическое связывание программно доступного регистра ISR_mask_1101 с регистром ISR_mask_11 или ISR_mask_01.

В поле code_HL записывается признак 0 или 1, указывающий какая половина регистра ISR_xx будет отображаться в регистр ISR_1101 (0 соответствует младшей половине, 1 – старшей половине), а также какая половина регистра ISR_mask_xx будет отображаться в регистр ISR_mask_1101 (0 соответствует младшей половине, 1 – старшей половине), какая половина регистра ISR_term_funct будет отображаться в соответствующий регистр

В поле CODE_NUM ISR_spec записывается номер кода, для которого необходимо прочитать номер порта, из которого этот код поступил в последний раз (если соответствующий разряд ISR_xx установлен в 0, то считается, что код не поступал)

После того, как разряды 31..23 установлены в нужные значения, из разрядов 4..0 этого регистра можно прочитать номер порта, из которого он поступил (если не поступал, то будет прочитано значение 0)

Формат регистра ISR_SPEC показан в Таблица 10.20.

Таблица 10.20. Назначение разрядов регистра ISR_SPEC

Номер разряда	Условное обозначение	Описание
4:0	LAST_PORT	Номер порта, из которого управляющий символ поступил в последний раз
22:5		Не используется

Номер разряда	Условное обозначение	Описание
28:23	CODE_NUM	Номер символа, о котором нужно получить информацию
29	Code_HL	Указывает, со старшей или младшей половиной регистра ISR_11, ISR_01, ISR_mask_11, ISR_mask_01, ISR_term_func будет осуществляться работа
31:30	Code_TYPE	Указывает тип кода: 11 или 01 (будет выполняться обращение к ISR_11 или ISR_01 при обращении к ISR_1101; будет выполняться обращение к ISR_mask_11 или ISR_mask_01 при обращении к ISR-mask_1101;)

Начальное значение всех полей регистра после выхода SWIC из состояния сброса – '0'.

10.5.20 Регистр ISR_1101

Регистр ISR_1101 доступен процессору по чтению и записи. Данный регистр предназначен для получения доступа к регистрам ISR_11 и ISR_01

В соответствии со значением разрядов 31..29 регистра ISR_spec через этот регистр можно работать с регистром ISR_11 или ISR_01. если необходимо сбросить разряд ISR_xx, то в соответствующий разряд необходимо записать 1.

Начальное значение всех разрядов регистра после выхода SWIC из состояния сброса – '0'.

10.5.21 Регистр ISR_mask_1101

Регистр ISR_mask_1101 доступен процессору по чтению и записи. Данный регистр предназначен для получения доступа к регистрам ISR_mask_11 и ISR_mask_01

Начальное значение всех разрядов регистра после выхода SWIC из состояния сброса – '0'.

10.5.22 Регистр INT_RESET

Регистр INT_RESET доступен процессору по чтению и записи. В данном регистре хранятся параметры для формирования сигнала сброса устройства по команде от удаленного администратора сети SpaceWire. Данная команда представляет собой последовательность из пяти кодов: распределенное прерывание 0, код подтверждения 0, распределенное прерывание 0, код подтверждения 0, распределенное прерывание 0. Эта последовательность кодов должна поступить в течении времени таймаута, задаваемого полем L_RESET_COU. Данное время таймаута подсчитывается в периодах, задаваемых полем G_RESET_INT. Период подсчитывается в мкс (основной режим) или в тактах локальной частоты Slave контроллера (отладочный режим). Режим задается полем R_MODE.

В поле W_INT задается интервал времени между обнаружением команды сброса и сбросом устройства. Данный интервал задается в тактах локальной частоты.

Формат регистра INT_RESET показан в Таблица 10.21.

Таблица 10.21. Назначение разрядов регистра INT_RESET

Номер разряда	Условное обозначение	Описание
15:0	G_RESET_INT	Значение глобального периода подсчета интервала времени

Номер разряда	Условное обозначение	Описание
21:16	L_RESET_COU	Значение таймаута, в течении которого должно поступить 3 распределенных прерывания 0 для того, чтобы они были интерпретированы как команда сброса Slave контроллера
22	R_MODE	Режим подсчета интервала времени. Если этот разряд установлен в 0, то подсчет выполняется в тактах, если этот разряд установлен в 1, то подсчет выполняется в мкс
31:23	W_INT	Интервал времени между получением команды сброса и выполнением сброса slave контроллера.

Начальное значение всех разрядов регистра после выхода Slave контроллера из состояния сброса – '0'.

10.5.23 Регистр STATUS2

Регистр STATUS2 доступен хосту по чтению и записи.

Таблица 10.22. Назначение разрядов регистра STATUS2

Номер разряда	Условное обозначение	Описание
0	irq_credit_error_extra_fct	Флаг признака приема лишнего символа FCT (количество кредитов на передающей стороне превысило 7x8 Nchar)
1	irq_credit_error_extra_nchar	Флаг признака приема лишнего символа Nchar (приемная сторона зафиксировала прием Nchar сверх откредитованного количества)
2	irq_rx speed violation	Флаг превышения скорости приема
12:3		Не используется
18:13	rx_fifo_eop_counter	
24:19	rx_fifo_data_counter	

10.5.24 Регистр MODE_CR2

Регистр MODE_CR2 доступен хосту по чтению и записи.

Таблица 10.23. Назначение разрядов регистра MODE_CR2

Номер разряда	Условное обозначение	Описание
0		Не используется
1	Send_nulls_only	Включение режима, в котором отправляются только NULL – используется в тестовых целях
2	Ccode_send_mask	Маска отправки кодов распределенных прерываний и подтверждений в сеть. Если данный разряд установлен в 1, то отправка запрещена
3	Ccode_res_mask	Маска приема кодов распределенных прерываний и подтверждений из сети. Если данный разряд установлен в 1, то прием запрещен
4	Int_send_mask	Маска отправки кодов распределенных прерываний в сеть. Если данный разряд установлен в 1, то отправка запрещена
5	Int_res_mask	Маска приема кодов распределенных прерываний из сети. Если данный разряд установлен в 1, то прием запрещен
6	Ack_send_mask	Маска отправки кодов подтверждений в сеть. Если данный разряд установлен в 1, то отправка запрещена
7	Ack_res_mask	Маска приема кодов подтверждений из сети. Если данный разряд установлен в 1, то прием запрещен
10:8	Host_int_code	Кодировка для интерпретации кода распределенного прерывания, записываемого в регистр TX_CODE (в режиме 5-и биных кодов)
13:11	Host_ack_code	Кодировка для интерпретации кода подтверждения, записываемого в регистр TX_CODE (в режиме 5-и биных кодов)
14	sdIRQ_regime	Режим для внешнего порта – если данный разряд установлен в 0, то отправка осуществляется в кодировке для 6-и битных кодов, если данный разряд установлен в 1, то отправка осуществляется в кодировке для 5-и битных кодов
17:15	Spw_int_code	Кодировка для интерпретации кода распределенного прерывания, приходящего из сети (в режиме 5-и биных кодов)
20:18	SpW_ack_code	Кодировка для интерпретации кода подтверждения, приходящего из сети (в режиме 5-и биных кодов)
21	Time_send_mask	Маска отправки маркеров времени в сеть. Если данный разряд установлен в 1, то отправка запрещена
22	Time_res_mask	Маска приема маркеров времени из сети. Если данный разряд установлен в 1, то прием запрещен
23	Add_res_mask	Маска приема кодов, назначение которых не определено стандартом, сеть. Если данный разряд установлен в 1, то прием запрещен
24	err_regime	Если данный разряд имеет значение 1, то при переходе DS-макроячейки в состояние RUN автоматически сбрасываются разряды ошибок в регистре статуса и сбрасывается прерывание IRQ_1(ERR) для процессора. Если данный разряд установлен в 1, то данные действия автоматически не выполняются. Значение по умолчанию - 0

10.5.25 Регистр маски распределенных прерываний – Int_H, L_mask

Регистры Int_H_mask[31...0], Int_L_mask[31...0] реализованы с доступом по чтению и записи. Данные регистры предназначены для определения маски распределенных прерываний (определяют, при получении каких распределенных прерываний будет

установлено прерывание IRQ_int для встроенного процессора). Если в *i* разряде '0' – прерывание при приходе кода подтверждения с номером *i* разрешено, если '1' – запрещено.

После выхода из состояния сброса значение всех разрядов этого регистра – '0'.

10.5.26 Регистр маски ack кодов – Ack_H, L_mask

Регистры Ack_H_mask[31...0], Ack_L_mask[31...0] реализованы с доступом по чтению и записи. Данные регистры предназначены для определения маски кодов подтверждения (определяют, при получении каких кодов подтверждения будет установлено прерывание IRQ_ack для внутреннего процессора). Если в *i* разряде '0' – прерывание при приходе кода подтверждения с номером *i* разрешено, если '1' – запрещено.

После выхода из состояния сброса значение всех разрядов этого регистра – '0'.

10.5.27 Регистр AUTO_SPEED_MANAGE

Регистр AUTO_SPEED_MANAGE доступен процессору по чтению и записи. В данном регистре хранятся параметры для режима автоматической установки соединения

В поле AUTO_COU задается максимальное количество неудачных переходов на заданную базовую скорость при использовании режима автоматической установки соединения. Переход считается неудачным, если соединение разорвалось до истечения таймаута установки соединения, заданного в поле Control_time данного регистра.

В поле AUTO_COU_FLS отображаются признаки того, что количество неудачных переходов для портов исчерпано (разряд 16 соответствует 1 порту). После установки признака автомат установки соединения не прекращает попыток перейти на базовую скорость.

Для того, чтобы перезапустить автомат, необходимо записать 1 в соответствующий разряд AUTO_COU_FLS. В результате счетчик неудачных переходов на заданную базовую скорость будет сброшен и попытки перехода возобновлены.

Формат регистра AUTO_SPEED_MANAGE показан в таблице ниже.

Таблица 10.24. Назначение разрядов регистра AUTO_SPEED_MANAGE

Номер разряда	Условное обозначение	Описание
4:0	AUTO_COU	Количество неудачных переходов на заданную базовую скорость, после которого при очередном соединении переход на базовую скорость не выполняется
15:5	Control_time	Таймаут установки соединения, отсчитывается с момента перехода порта Spacewire в состояние run («101») в тактах, если бит Control_regime установлен в 0 и микросекундах, если в 1
17:16	AUTO_COU_FLS	Признаки того, что количество неудачных переходов для портов исчерпано
30:18		В данной версии SWIC не используется
31	Control_regime	Режим подсчета таймаута установки соединения, 0 – в тактах, 1 – в мкс

Начальное значение регистра 0

Регистр ISR_source_term_funct

Регистр `ISR_source_term_funct` доступен процессору по чтению и записи. Он предназначен для индикации того, выполняет ли данный SWIC функции источника по отношению к каждому из кодов распределенных прерываний.

В соответствии со значением разряда 29 регистра `ISR_spec` через этот регистр можно работать с регистром `ISR_source_term_funct_L` или `ISR_source_term_funct_H`. Запись 1 в соответствующий разряд регистра указывает, что для данного кода распределенного прерывания Slave контроллера будет выполняться функции источника. Детальное описание механизма обработки кодов распределенных прерываний приведено в разделе 10.6.2.2.

Начальное значение всех разрядов регистра после выхода SWIC из состояния сброса – '0'.

10.5.28 Регистр `ISR_spec_term_funct`

Регистр `ISR_spec_term_funct` доступен процессору по чтению и записи. Он предназначен для разрешения автоматической отсылки в сеть кода подтверждения по истечении таймаута `Th`, если данный узел является обработчиком соответствующего кода распределенного прерывания по отношению к каждому из кодов распределенных прерываний.

В соответствии со значением разряда 29 регистра `ISR_spec` через этот регистр можно работать с регистром `ISR_spec_term_funct_L` или `ISR_spec_term_funct_H`. Запись 1 в соответствующий разряд регистра в сочетании с установленным в 1 разряда `ISR_handler_term_funct` указывает, что для данного кода распределенного прерывания Slave контроллера будет выполняться автоматическая отсылка кода подтверждения. Детальное описание механизма обработки кодов распределенных прерываний приведено в разделе 10.6.2.2.

Начальное значение всех разрядов регистра после выхода SWIC из состояния сброса – '0'.

10.5.29 Регистр `ISR_L_reset`

Регистр `ISR_L_reset` доступен процессору по чтению и записи. Он предназначен для поразрядного сброса младшей половины регистра `ISR` (`ISR_L`), а также для сброса всех флагов и счетчиков, связанных со сбрасываемыми разрядами. Сбрасываются разряды, в которые осуществляется запись 1.

Детальное описание механизма обработки кодов распределенных прерываний приведено в разделе 10.6.2.2.

Начальное значение всех разрядов регистра после выхода Slave контроллера из состояния сброса – '0'.

10.5.30 Регистр `ISR_H_reset`

Регистр `ISR_H_reset` доступен процессору по чтению и записи. Он предназначен для поразрядного сброса старшей половины регистра `ISR` (`ISR_H`), а также для сброса всех флагов и счетчиков, связанных со сбрасываемыми разрядами. Сбрасываются разряды, в которые осуществляется запись 1.

Детальное описание механизма обработки кодов распределенных прерываний приведено в разделе 10.6.2.2.

Начальное значение всех разрядов регистра после выхода Slave контроллера из состояния сброса – '0'.

10.6 Рекомендации по программированию

10.6.1 Пакеты данных, дескрипторы пакетов

В этой главе описывается формирование пакетов данных в памяти микросхемы для передачи в канал, формат пакетов данных, дескрипторов, передача данных из памяти микросхемы в канал SpaceWire, прием данных из канала SpaceWire в память, интерпретирование принятых данных, системные сообщения.

Формат дескриптора пакета

Дескриптор пакета имеет следующую одинаковую структуру для обеих версий 32-, и 64- разрядного SWIC:

31 – признак заполнения дескриптора действительными данными. Бит учитывается только при приёме пакетов (позволяет процессору идентифицировать конец очереди дескрипторов в памяти). При передаче пакетов этот бит не учитывается (по каналу SWICx_TX_DES вычитывается вся область дескрипторов, заданную процессором). До запуска приёма, все 31-е биты дескрипторов области приёма должны быть обнулены программно; DMA не обнуляет 31-е биты не принятых дескрипторов, DMA только записывает ‘1’ в 31-е биты принятых дескрипторов;

30:29 – тип конца пакета:

- 00 – передавать данные пакета из регистра LOG_ADDR и не вставлять конец пакета;
- 01 – EOP;
- 10 – EEP;
- 11 – передавать данные пакета из памяти и не вставлять конец пакета;

28:25 – не используется (0000);

24:0 – размер пакета в байтах.

Разряды [63:32] дескриптора при передаче не используются, а на приеме могут содержать случайные значения.

Тип конца пакета 00 рекомендуется использовать для того, чтобы формировать заголовки пакетов, используемые для маршрутизации при передаче пакетов через сеть, отдельно от собственно передаваемых данных. Заголовок пакета может включать в себя от 1 до 4 байт. Оформление такого заголовка как отдельного пакета позволяет избежать выравнивания собственно передаваемых данных при длине заголовка не кратной размеру слова. В дальнейшем будем называть заголовок пакета, оформленный как отдельный пакет, коммуникационным пакетом.

Тип конца пакета 11 рекомендуется использовать для того, чтобы формировать заголовки пакетов большего, чем 4 байта, размера или непрерывные потоки данных (пакеты неограниченной длины). В дальнейшем будем называть такой пакет, оформленный как отдельный пакет без маркера конца пакета, коммуникационным пакетом.

Расположение данных в памяти

Рассмотрим пример (см. Рисунок 10.2) представления данных в системной памяти, если для данных выделен один сегмент памяти. Пусть в системную память из канала SpaceWire было записано 3 пакета. Первый пакет имеет размер 10 байт и заканчивается символом EOP. Второй пакет имеет размер 8 байт и заканчивается символом EEP. Третий пакет имеет

размер 11 байт и заканчивается символом EOP. Пакеты хранятся в сегменте памяти, выделенном процессором для записи данных. Первый и третий пакет дополнены двумя и одним байтом соответственно, для выравнивания по границам 32-х разрядных слов (см. Рисунок 10.2). Первый и третий пакет дополнены шестью и пятью байтами соответственно, для выравнивания по границам 64-разрядных слов (см Рисунок 10.3).

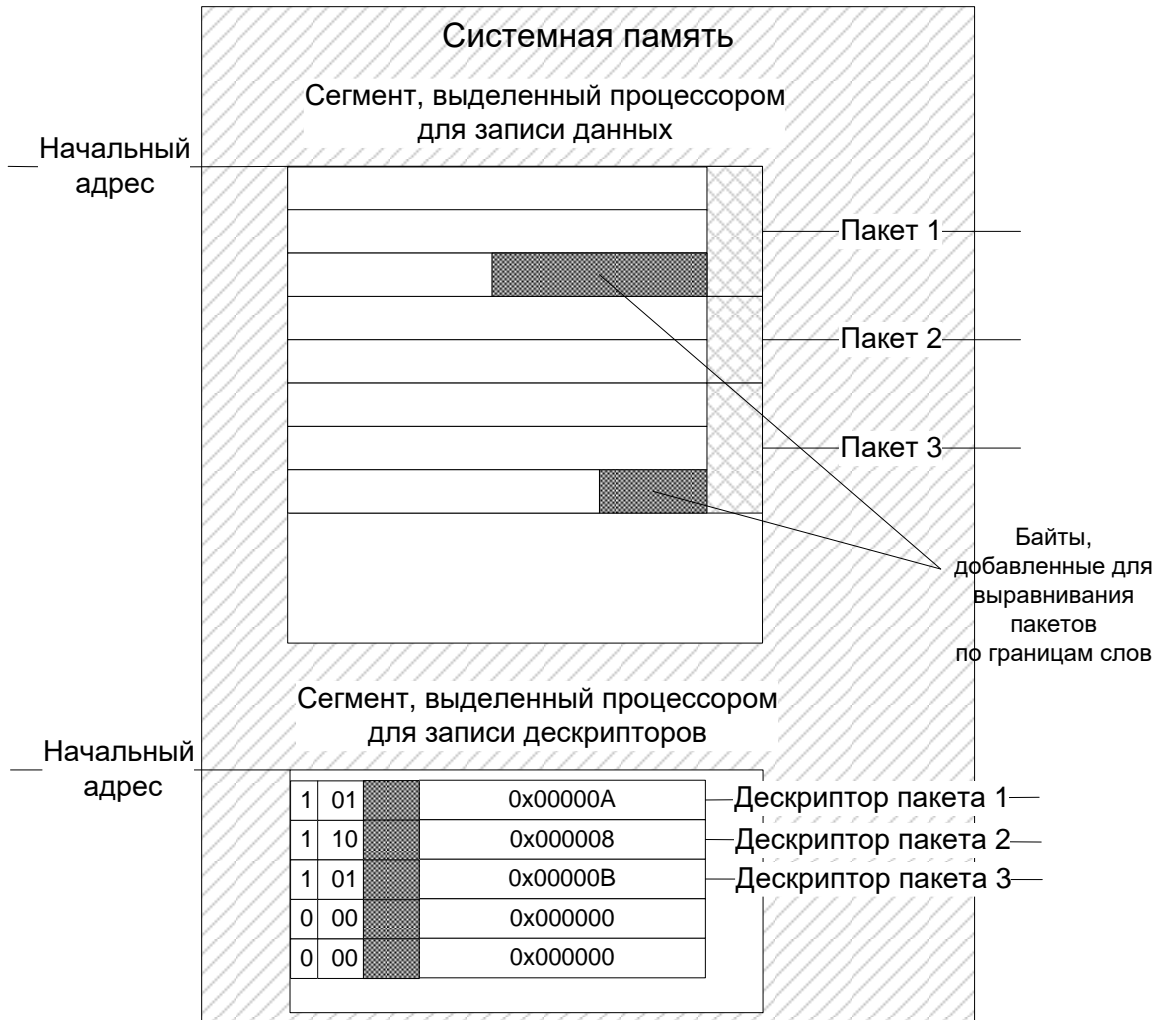


Рисунок 10.2. Представление данных в 32-разрядной памяти (пример)

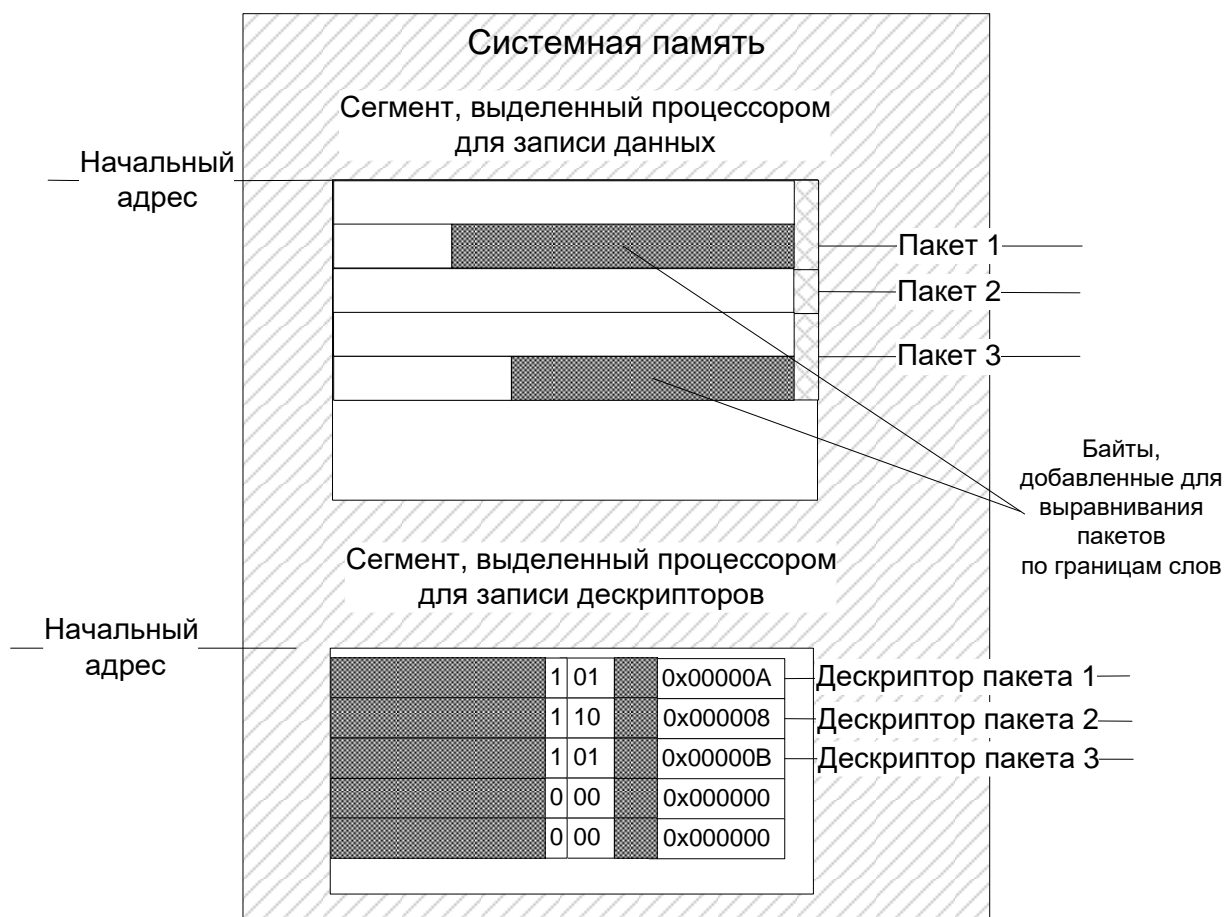


Рисунок 10.3. Представление данных в 64-разрядной памяти (пример)

Дескрипторы хранятся в сегменте памяти, выделенном процессором для записи дескрипторов. В дескрипторе указаны размеры пакетов в байтах – 0Ah, 08h и 0Bh соответственно. В дескрипторах хранится так же информация о типе конца пакета. В разряд 31 дескриптора записывается 1, что указывает процессору на то, что дескриптор заполнен действительными данными.

Схема обработки данных процессором

В данном примере пакеты могут быть обработаны процессором в соответствии со следующей схемой. Процессор прочитывает первое слово из блока, выделенного для дескрипторов – первый дескриптор. По дескриптору он определяет тип конца пакета, в соответствии с этим решает, как его обрабатывать. По дескриптору он определяет действительный размер пакета и извлекает данные, относящиеся к пакету 1. Для того чтобы вычислить начальный адрес второго пакета к начальному адресу блока данных добавляется размер первого пакета и выполняется округление до границы ближайшего слова. После того, как первый пакет полностью обработан, процессор прочитывает дескриптор второго пакета. Обработка остальных пакетов выполняется аналогично. Процесс обработки очереди пакетов заканчивается, когда 31 разряд очередного дескриптора равен 0.

Прием данных из канала SpaceWire

Маршрут принимаемых данных и схема их обработки приведены на Рисунок 10.4.

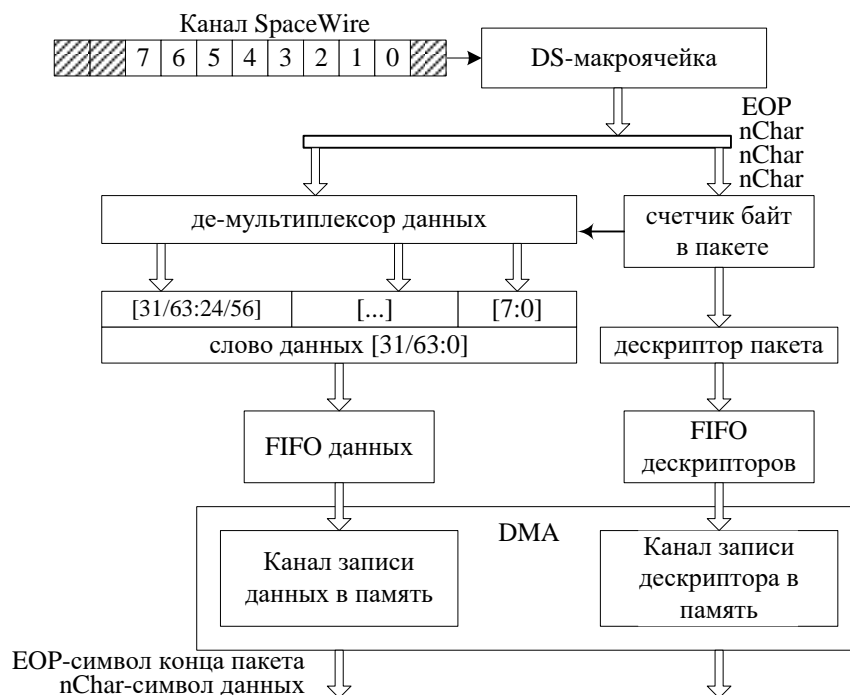


Рисунок 10.4. Схема приема данных из канала SpaceWire (пример)

Из канала SpaceWire в DS-макроячейку символы данных поступают последовательно (побитно). DS-макроячейка выделяет из последовательности приходящих символов символы данных и символы концов пакетов и передает их в блок приема. По каналу SpaceWire байты данных передаются младшими разрядами вперед.

Передача всех разрядов символа (9 разрядов, из них 8 используется для представления собственно байта данных, девятый бит является дополнительным и указывает, является ли этот байт символом данных nChar или символом конца пакета EOP) от DS-макроячейки в блок приема осуществляется в параллельном коде.

Подсчет числа символов nChar и формирование дескриптора при приеме символа конца пакета осуществляется в счетчике байт в пакете.

В блоке приема из байтов данных формируются слова разрядности 32/64. При формировании слов первый поступивший байт размещается в разрядах 7:0, второй – в разрядах 15:8, третий – в разрядах 23:16, четвертый – в разрядах 31:24... Распределение символов данных по разрядам слова данных производится по счетчику байт.

Для того чтобы сократить загрузку процессора в ходе последующей обработки пакетов данных, в этом блоке выполняется выравнивание границ пакетов по границам слов и формирование дескрипторов пакетов, позволяющих процессору распознать границы отдельных пакетов.

Собственно, пакеты данных и дескрипторы пакетов могут храниться в различных областях памяти. Местоположение этих областей в памяти определяется процессором при настройке каналов DMA. Дескрипторы пакетов записываются в память друг за другом и логически организованы в очередь.

Слова данных из буфера приема передаются в канал DMA записи данных в память. Дескрипторы из блока приема передаются в канал DMA записи дескриптора в память. Блок

DMA записывает данные и дескрипторы в системную память в соответствии с настройками, выполненными процессором (через регистры SWIC).

Процессор для канала записи дескрипторов в память определяет начальный адрес блока памяти и размер блока памяти. Для записи собственно пакетов данных в память может быть задан один блок памяти (так же, как и для канала записи дескриптора в память) или последовательность блоков памяти, физически расположенных в разных местах памяти.

Передача данных в канал SpaceWire

Процесс передачи пакетов данных из системной памяти в канал через контроллер, а также преобразование форматов данных показаны на Рисунок 10.5.

Пакеты данных загружаются из системной памяти в буфер передачи через каналы DMA чтения данных из памяти и чтения дескриптора из памяти.

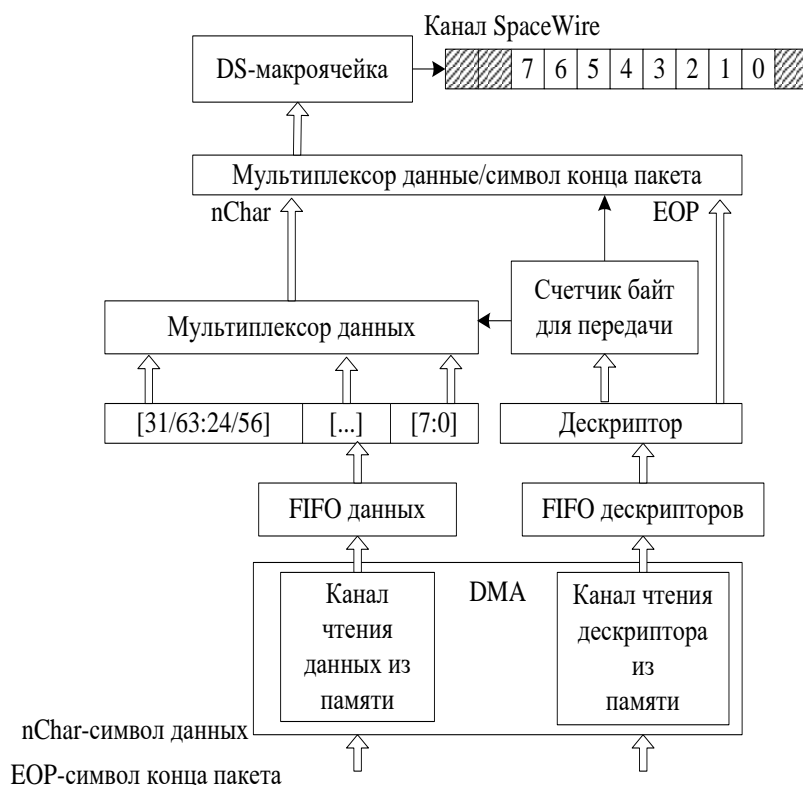


Рисунок 10.5 Передача данных из системной памяти в канал SpaceWire

Блок передачи разбивает слова на отдельные байты. При этом из последовательности байтов в соответствии с информацией, содержащейся в дескрипторе, удаляются «лишние» байты – байты, добавленные для выравнивания пакетов по границам слов, и вставляются символы концов пакетов EOP или EEP. Если в канал SpaceWire передаются пакеты, сгенерированные в данном узле, то предполагается, что они всегда должны заканчиваться символом EOP. Однако пакеты могут проходить через данный процессорный модуль транзитом. В этом случае они могут заканчиваться символом EEP. Коды маркеров EOP или EEP формируются контроллером аппаратно, на основании кодов дескриптора пакета на передачу (разряды 29:30 дескриптора пакета). Сами дескрипторы пакетов на передачу в сеть из основной памяти формируются программно.

Распаковка 32/64-разрядного слова в последовательность из 4/8 байт при передаче из контроллера выполняется по правилу, согласованному с правилом упаковки байтов при приеме данных из канала в контроллер.

Блок передачи вначале передает в DS-макроячейку байт данных, находящийся в разрядах 7:0 слова, затем байт, находящийся в разрядах 15:8, затем байт, находящийся в разрядах 23:15, затем байт из разрядов 31:24 и т.д. 32/64-разрядного слова.

Символы данных и концов пакетов передаются блоком передачи в блок DS-макроячейки. DS-макроячейка преобразует полученные символы в соответствии с алгоритмом DS кодирования и передает их в канал. Символы передаются в канал SpaceWire младшими разрядами вперед.

Возможность передачи коммуникационного пакета

Дескриптор пакета в битах [30:29] содержит информацию о типе передаваемого пакета. Пакет может иметь нормальное окончание (EOP, код 01), ошибочное окончание (EER, код 10), конец пакета может отсутствовать (11), и пакет может иметь тип *коммуникационного пакета* LOG_ADDR (00).

Если конец пакета отсутствует (код 11), то после передачи всех байт данных пакета, соответствующего дескриптору с битами [30:29]=11, конец пакета SpaceWire не посылается в канал. Эта возможность используется, чтобы слить два пакета в один. Например, первый пакет может иметь статус коммуникационного, второй - содержать передаваемые данные. Дескриптор первого пакета в этом случае должен содержать длину коммуникационного пакета. Второй, замыкающий, пакет (пакет данных) должен содержать действительное значение числа байт в основном блоке данных, и тип пакета 01 или 10 (т.е. так же как при стандартной передаче данных). Описанная возможность позволяет отдельно формировать данные для коммуникационного пакета и данные основного пакета. При этом оба пакета располагаются друг за другом, каждому соответствует свой дескриптор, и данные пакетов выровнены по длине 32/64-разрядных слов.

Для тех случаев, когда программист предпочитает иметь заранее сформированный коммуникационный пакет, который бы вставлялся перед передаваемым пакетом данных из памяти, предусмотрен режим передачи коммуникационного пакета из регистра LOG_ADDR. В этом случае нет необходимости формировать коммуникационный пакет для каждого пакета данных. Программисту следует записать в регистр LOG_ADDR данные коммуникационного пакета (максимум - 4 байта) и сформировать для него дескриптор по описанной выше схеме (в области дескрипторов на передачу, перед дескрипторами данных, для которых требуется вставка коммуникационного пакета LOG_ADDR). Всегда, встречая дескриптор с кодом 00, SWIC передает число байт, указанное в этом дескрипторе, из регистра LOG_ADDR, а не из памяти. После передачи данных из этого регистра в канал не высылается конца пакета, таким образом, пакет из регистра сольется с данными следующего пакета.

В обоих случаях (при передаче пакета с дескриптором 11 или 00) при слиянии пакетов на приемной стороне будет принят пакет длиной, равной сумме длин переданных пакетов, первому из которых соответствовал дескриптор 11 или 00.

Передача подряд нескольких пакетов с дескрипторами 11 и 00 допустима, при этом все переданные пакеты с этими дескрипторами - сольются в один пакет на приемной стороне.

Использование симплексного режима

Блок SWIC позволяет осуществлять передачу данных в симплексном режиме. В этом режиме предусмотрено две возможности – передача в симплексном режиме и прием в симплексном режиме. При этом в симплексном режиме передающая сторона не получает информации о состоянии приемной стороны, например, передающая сторона не способна определить возникла ли ошибка на приемной стороне, и не может принять решение о перезапуске канала. Для гарантированного перезапуска (в случае разрыва связи на

приемной стороне) используется механизм автоматического снижения скорости передачи и посылки в канал символов NULL, один из которых должен быть определен на приемной стороне как первый NULL. Далее в автоматическом режиме скорость снова может быть поднята.

Рассмотрим работу блоков приема и передачи в симплексном режиме подробнее.

При работе в симплексном режиме на прием (установка `MODE_CR[10] = '1'`) блок приема работает так же как в обычном режиме. Он должен принять первый символ NULL на скорости 10 Мбит/с как в начале работы блока, так и при разрыве связи.

При активизации возможности передачи данных в симплексном режиме (установка `MODE_CR[9] = '1'`) блок SWIC осуществляет запуск канала без участия приёмника. Блок начинает передачу символов NULL на скорости 10 Мбит/с в течение 12.8 мкс. Затем устанавливается скорость из регистра скорости передачи и в канал передаются данные без участия системы кредитования по стандарту SpaceWire. Считается, что блок может посылать неограниченное число данных в канал. Через предустановленный интервал времени примерно 100 мкс блок автоматически снижает скорость до 10 Мбит/с на время 12.8 мкс и передает только символы NULL. Эта схема при работе в симплексном режиме на передачу повторяется циклически.

Кратковременный переход на низкую скорость позволяет установить связь с приемной стороной, если на ней по каким-то причинам произошел разрыв связи. 12.8 мкс достаточно чтобы в канале передачи появился как минимум один символ NULL, который приемное устройство обязано трактовать как первый NULL и установить прием данных по симплексному каналу SpaceWire.

Блок SWIC может быть настроен одновременно на работу в симплексном режиме сразу по обоим каналам – приема и передачи. При этом два канала приема и передачи будут работать независимо (т.е. принимаемые данные никоим образом не влияют на работу передающего устройства).

Если настроен на симплексный режим только один из каналов – приема или передачи, то работа второго канала блокируется. Т.о. при работе в симплексном режиме канала приема передатчик выдает в канал низкие уровни сигналов DOUT и SOUT. При работе в симплексном режиме только канала передачи работа приемника автоматически запрещается.

10.6.2 Работа с управляющими кодами

Маркеры времени

Маркеры времени – системная функция стандарта SpaceWire. Они предназначены для синхронизации системных часов взаимодействующих систем.

При передаче данных маркеры времени имеют наивысший приоритет. Маркер времени записывается в регистр `TX_CODE` (этот же регистр используется и для передачи в сеть кодов распределенных прерываний, кодов подтверждения прерываний и кодов CC11). После записи выполняется проверка корректности маркера времени – его значение сравнивается со значением поля текущего маркера времени внутреннего регистра контроллера, отображаемого в программно-доступный регистр маркера времени (`TRUE_TIME.CUR_TIME`). Если значение, записанное в `TX_CODE`, на 1 больше (циклически) значения `TRUE_TIME.CUR_TIME`, то маркер времени считается корректным, в противном случае маркер времени считается не корректным. Если маркер

времени признан корректным, он передается в сеть и записывается в поле последнего правильного маркера времени TRUE_TIME.TRUE_TIME. В противном случае он записывается в TRUE_TIME.CUR_TIME и более никаких действий не выполняется.

Если маркер времени признан корректным, то DS-макрочейка дожидается окончания передачи символа данных или служебного символа и начинает передачу маркера времени, после окончания передачи маркера времени продолжается передача потока данных.

В канале приема маркер времени выделяется из потока данных и при безошибочном приеме заносится в регистр RX_CODE (разряды 7 - 0) с выставлением соответствующего прерывания, если маркер времени является корректным. Корректным признается маркер времени на 1 больше, чем предыдущий (значение которого отображается в регистр в TRUE_TIME.CUR_TIME), если предыдущий маркер времени имел значение меньше 63. Если предыдущий маркер времени имел значение 63, то следующий корректный маркер времени должен иметь значение 0. Если маркер времени признан корректным, то его значение заносится в TRUE_TIME.CUR_TIME и TRUE_TIME.TRUE_TIME

Если маркер времени не является корректным, то его значение так же заносится в TRUE_TIME.CUR_TIME и соответствующие разряды регистра RX_CODE, однако, прерывание для процессора в данном случае не устанавливается и в TRUE_TIME.TRUE_TIME он не записывается. В начале работы устройства или после сброса маркер времени со значением 1 рассматривается как корректный.

Значение последнего корректного маркера времени хранится в регистре TRUE_TIME.TRUE_TIME.

Значение текущего маркера времени отображается в регистре TRUE_TIME.CUR_TIME.

Коды распределенных прерываний и подтверждений

Коды распределенных прерываний и подтверждений являются расширением стандарта SpaceWire.

В данной версии IP-блока SWIC поддерживается два режима работы с кодами распределенных прерываний – режим 5-и разрядных кодов и режим 6-и разрядных кодов. В режиме 5-и разрядных кодов распределенных прерываний используются следующие кодировки:

100xxxxx – коды распределенных прерываний

101xxxxx – коды подтверждений

Младшие 5 разрядов кода – номер распределенного прерывания или подтверждения

В режиме 6-и разрядных кодов распределенных прерываний используются следующие кодировки:

01xxxxxx – коды распределенных прерываний

10xxxxxx – коды подтверждений

Младшие 6 разрядов кода – номер распределенного прерывания или подтверждения

При передаче коды распределенных прерываний и подтверждений имеют приоритет, следующий после маркеров времени.

Для управления режимами обработки распределенных прерываний и подтверждений используются следующие регистры:

ISR_H,L; Int_H,L_mask; Ack_H,L_mask, ISR_TOUT_H,L; TOUT_CODE; ISR_TOUTS2;
ISR_handler_term_func; ISR_source_term_func; ISR_spec_term_func,
ACK_NON_ACK_REGIME, ISR_H,L_reset; MODE_cr2;

Поля `MODE_CR2.Ccode_send_mask` `MODE_CR2.Ccode_res_mask` позволяют замаскировать отправку и прием из сети кодов распределенных прерываний и подтверждений, поля `MODE_CR2.Int_res_mask`, `MODE_CR2.Int_send_mask`, `MODE_CR2.Ack_res_mask`, `MODE_CR2.ack_send_mask` – позволяют замаскировать отправку и прием из сети отдельно кодов распределенных прерываний и отдельно кодов подтверждений. По умолчанию прием и отправка кодов расмаскированы.

Регистры `Int_H, L_mask`; `Ack_H,L_mask` позволяют замаскировать установку прерывания для процессора по факту приема из сети кодов распределенных прерываний и подтверждений. На сам прием и обработку кодов эта настройка никак не влияет.

Регистр `ACK_NON_ACK_regime` позволяет задать режим обработки кодов прерываний – с подтверждениями или без подтверждений. По умолчанию установлен режим с подтверждениями. Если в режиме без подтверждений приходит из сети или отправляется процессором код подтверждения, то он отбрасывается без какой-либо дальнейшей обработки.

Регистр `ISR_source_term_func` позволяет задать, для каких кодов распределенных прерываний данный терминальный узел будет источником. Если задано ненулевое значение таймаута `Tg`, то узел сможет отправлять в сеть только коды подтверждений, соответствующие прерываниям, для которых он является источником. Если значение `Tg = 0` то узел сможет отправлять в сеть любые коды прерываний, не зависимо от значения этого регистра.

Регистр `ISR_handler_term_func` позволяет задать, для каких кодов распределенных прерываний данный терминальный узел будет обработчиком. Если задано ненулевое значение таймаута `Th`, то узел сможет отправлять в сеть только коды подтверждений, соответствующие прерываниям, для которых он является обработчиком. Если значение `Th = 0` то узел сможет отправлять в сеть любые коды подтверждений, не зависимо от значения этого регистра.

Регистр `ISR_spec_term_func` позволяет задать возможность автоматической отправки в сеть кодов подтверждений на прерывания, для которых данный узел является обработчиком. Если `ISR_handler_term_func(i) = 1` и `ISR_spec_term_func(i) = 1`, то после приема кода распределенного прерывания `INTRi` по истечении таймаута `Th` в сеть автоматически будет отправлен код подтверждения `INTAi`.

Регистры `TOUT_CODE` и `ISR_TOUTS2` позволяют задать значения таймаутов для кодов распределенных прерываний и подтверждений. Для того, чтобы осуществлялся подсчет таймаута (любого) необходимо в регистре `TOUT_CODE.GLOB_COU` задать ненулевое значение глобального периода подсчета таймаутов. Все значения таймаутов считаются в периодах глобального счетчика.

При приеме кода распределенного прерывания/подтверждения из сети выполняются следующие действия.

Проверяется, не замаскирован ли прием кодов данного типа из сети. Если прием замаскирован, то код отбрасывается без каких-либо дальнейших действий.

Если прием кода не замаскирован, то начинается его обработка.

При приеме кода распределенного прерывания $INTR_i$ проверяется значение регистра ISR . Если $ISR(i) = 1$, то код отбрасывается без каких-либо дальнейших действий. Если $ISR(i) = 0$ и используется режим с подтверждениями, то проверяется состояние счетчика таймаутов изменения значения для этого разряда ISR ($ISR_TOUTS2.LOC_ISR_CHANGE$). Если данный таймаут не задан, уже истек, или если $INTR_i$ принимается первый раз после сброса, то данный $INTR_i$ считается корректным, $ISR(i)$ устанавливается в значение 1 и данный код записывается в регистр RX_CODE . В противном случае данный код считается не корректным, он отбрасывается без каких-либо дальнейших действий.

Если $ISR(i)=0$ и используется режим без подтверждений, то данный код считается корректным, $ISR(i)$ устанавливается в значение 1 и данный код записывается в регистр RX_CODE .

Если для принятого корректного кода $INTR_i$ используется режим с подтверждениями и $ISR_TOUTS2.LOC_ISR_CHANGE$ не равен 0, то запускается счет таймаута изменения значения ISR . Если для принятого корректного кода $INTR_i$ используется режим с подтверждениями и задано значение $Th/=0$ ($ISR_TOUTS2.LOC_TH$) и узел является обработчиком этого прерывания ($ISR_handler_term_funct(i)=1$), то запускается счет таймаута Th .

Если принятый корректный код обрабатывается в режиме с подтверждениями $ACK_NON_ACK_regime(i)=0$, обрабатывается в режиме терминального узла ($ISR_handler_term_funct(i)=1$ или $ISR_source_term_funct(i)=1$) и для него задан таймаут ожидания подтверждения $TOUT_CODE.LOC_Reset_T1_ack$, то запускается счет этого таймаута.

Если принятый корректный код обрабатывается в режиме с подтверждениями $ACK_NON_ACK_regime(i)=0$, обрабатывается в режиме коммутатора ($ISR_handler_term_funct(i)=0$ и $ISR_source_term_funct(i)=0$) и для него задан таймаут ожидания подтверждения $TOUT_CODE.LOC_Reset_SW_ack$, то запускается счет этого таймаута.

Если принятый корректный код обрабатывается в режиме без подтверждений $ACK_NON_ACK_regime(i)=1$, обрабатывается в режиме терминального узла ($ISR_handler_term_funct(i)=1$ или $ISR_source_term_funct(i)=1$) и для него задан таймаут ожидания подтверждения $ISR_TOUTS2.LOC_RESET_T1_nack$ (который в этом случае должен быть задан обязательно), то запускается счет этого таймаута.

Если принятый корректный код обрабатывается в режиме без подтверждений $ACK_NON_ACK_regime(i)=1$, обрабатывается в режиме коммутатора ($ISR_handler_term_funct(i)=0$ и $ISR_source_term_funct(i)=0$) и для него задан таймаут ожидания подтверждения $ISR_TOUTS2.LOC_Reset_SW_nack$ (который в этом случае должен быть задан обязательно), то запускается счет этого таймаута.

Если был запущен счет одного из таймаутов ожидания подтверждения, и до истечения таймаута подтверждение не поступило, то соответствующий разряд $ISR(i)$ будет сброшен автоматически.

Если был запущен счет таймаута Th и $ISR_spec_term_funct(i)=1$, то по истечении этого таймаута в сеть автоматически отправляется код $INTA_i$, разряд $ISR(i)$ сбрасывается и счет всех таймаутов сбрасывается, а также запускается счет таймаута $ISR_TOUTS2.LOC_ISR_CHANGE$ (если он задан)

Если код распределенного прерывания отправляется в сеть встроенным RISC ядром (через регистр TX_CODE), то выполняется следующая последовательность действий.

Проверяется значение регистра ISR. Если $ISR(i)=1$, то код отбрасывается без каких-либо дальнейших действий. Если $ISR(i)=0$ и используется режим с подтверждениями, то проверяется состояние счетчика таймаутов изменения значения для этого разряда ISR ($ISR_TOUTS2.LOC_ISR_CHANGE$). Если данный таймаут не задан, уже истек, или если $INTRi$ отправляется первый раз после сброса, то проверяется значение таймаута Tg ($ISR_TOUTS2.LOC_TG$). Если данный таймаут не задан, уже истек или если $INTRi$ отправляется первый раз после сброса, то данный $INTRi$ считается корректным, $ISR(i)$ устанавливается в значение 1 и данный код отправляется в сеть SpaceWire (в порт SpaceWire). В противном случае данный код считается не корректным, он отбрасывается без каких-либо дальнейших действий.

Если $ISR(i)=0$ и используется режим без подтверждений, то данный код считается корректным, $ISR(i)$ устанавливается в значение 1 и данный код отправляется в сеть SpaceWire (в порт SpaceWire).

Если для данного корректного кода $INTRi$ используется режим с подтверждениями и $ISR_TOUTS2.LOC_ISR_CHANGE$ не равен 0, то запускается счет таймаута изменения значения ISR.

Если данный корректный код обрабатывается в режиме с подтверждениями $ACK_NON_ACK_regime(i)=0$, обрабатывается в режиме терминального узла ($ISR_handler_term_funct(i)=1$ или $ISR_source_term_funct(i)=1$) и для него задан таймаут ожидания подтверждения $TOUT_CODE.LOC_Reset_T1_ack$, то запускается счет этого таймаута.

Если данный корректный код обрабатывается в режиме с подтверждениями $ACK_NON_ACK_regime(i)=0$, обрабатывается в режиме коммутатора ($ISR_handler_term_funct(i)=0$ и $ISR_source_term_funct(i)=0$) и для него задан таймаут ожидания подтверждения $TOUT_CODE.LOC_Reset_SW_ack$, то запускается счет этого таймаута. (!!! Надо отметить, что данная ситуация является некорректной с точки зрения настроек сети, однако при ненастроенном Tg, она не блокируется).

Если данный корректный код обрабатывается в режиме без подтверждений $ACK_NON_ACK_regime(i)=1$, обрабатывается в режиме терминального узла ($ISR_handler_term_funct(i)=1$ или $ISR_source_term_funct(i)=1$) и для него задан таймаут ожидания подтверждения $ISR_TOUTS2.LOC_RESET_T1_nack$ (который в этом случае должен быть задан обязательно), то запускается счет этого таймаута.

Если данный корректный код обрабатывается в режиме без подтверждений $ACK_NON_ACK_regime(i)=1$, обрабатывается в режиме коммутатора ($ISR_handler_term_funct(i)=0$ и $ISR_source_term_funct(i)=0$) и для него задан таймаут ожидания подтверждения $ISR_TOUTS2.LOC_Reset_SW_nack$ (который в этом случае должен быть задан обязательно), то запускается счет этого таймаута. (!!! Надо отметить, что данная ситуация является некорректной с точки зрения настроек сети, однако при ненастроенном Tg, она не блокируется)

Если был запущен счет одного из таймаутов ожидания подтверждения, и до истечения таймаута подтверждение не поступило, то соответствующий разряд $ISR(i)$ будет сброшен автоматически.

При приеме кода распределенного прерывания/подтверждения из сети выполняются следующие действия.

Проверяется, не замаскирован ли прием кодов данного типа из сети. Если прием замаскирован, то код отбрасывается без каких-либо дальнейших действий.

Если прием кода не замаскирован, то начинается его обработка.

При приеме кода подтверждения $INTA_i$ проверяется значение регистра ISR . Если $ISR(i)=0$, то код отбрасывается без каких-либо дальнейших действий. Если $ISR(i)=0$ и используется режим с подтверждениями, то проверяется состояние счетчика таймаутов изменения значения для этого разряда ISR ($ISR_TOUTS2.LOC_ISR_CHANGE$). Если данный таймаут не задан, уже истек, или если $INTA_i$ принимается первый раз после сброса, то данный $INTA_i$ считается корректным, $ISR(i)$ устанавливается в значение 1 и данный код записывается в регистр RX_CODE . В противном случае данный код считается не корректным, он отбрасывается без каких-либо дальнейших действий.

Если используется режим без подтверждений, то данный код считается не корректным и отбрасывается без каких-либо действий

Если для принятого корректного кода $INTA_i$ $ISR_TOUTS2.LOC_ISR_CHANGE$ не равен 0, то запускается счет таймаута изменения значения ISR . Если для принятого корректного кода $INTA_i$ используется режим с подтверждениями и задано значение $Tg=0$ ($ISR_TOUTS2.LOC_TG$) и узел является источником этого прерывания ($ISR_source_term_funct(i)=1$), то запускается счет таймаута Th .

Если код подтверждения отправляется в сеть встроенным RISC ядром (через регистр TX_CODE), то выполняется следующая последовательность действий.

Проверяется значение регистра ISR . Если $ISR(i)=0$, то код отбрасывается без каких-либо дальнейших действий. Если $ISR(i)=0$ и используется режим с подтверждениями, то проверяется состояние счетчика таймаутов изменения значения для этого разряда ISR ($ISR_TOUTS2.LOC_ISR_CHANGE$). Если данный таймаут не задан, уже истек, или если $INTR_i$ отправляется первый раз после сброса, то проверяется значение таймаута Th ($ISR_TOUTS2.LOC_TH$). Если данный таймаут не задан, уже истек или если $INTA_i$ отправляется первый раз после сброса, то данный $INTA_i$ считается корректным, $ISR(i)$ устанавливается в значение 1 и данный код отправляется в сеть SpaceWire (в порт SpaceWire). В противном случае данный код считается не корректным, он отбрасывается без каких-либо дальнейших действий.

Если $ISR(i)=0$ и используется режим без подтверждений, то данный код отбрасывается автоматически без каких-либо действий.

Если для данного корректного кода $INTA_i$ $ISR_TOUTS2.LOC_ISR_CHANGE$ не равен 0, то запускается счет таймаута изменения значения ISR .

В регистре ISR_tout_L , ISR_tout_H разряды, соответствующие распределенным прерываниям, для которых истек таймаут ожидания, устанавливаются в 1. Для того, чтобы сбросить значение разряда, в него необходимо записать 1.

Регистр ISR_H , L_reset используется для сброса разрядов регистра ISR и всех связанных с ними служебных флагов и счетчиков. Для сброса i разряда и связанных с ним флагов и счетчиков в i разряд данного регистра необходимо записать 1.

Данный регистр рекомендуется использовать при администрировании сети, если в результате изменения конфигурации сети (либо по каким-то другим причинам) необходимо изменить размеры таймаутов, роли терминальных узлов (переназначить терминальные узлы, которые будут являться источниками и обработчиками прерываний).

Управляющие коды, назначение которых не определено стандартом

К управляющим кодам, назначение которых на данный момент не определено стандартом, относятся коды C11 (C[7..6]=11) и при использовании 5-и битных кодов распределенных прерываний коды C01 (C[7..6]=01).

Для того, чтобы отправить такой код в сеть, необходимо записать его значение в регистр TX_CODE. Процесс отправки данного управляющего кода аналогичен процессу отправки маркера времени.

При приеме такого кода из сети он регистрируется в регистре RX_CODE (код C11 записывается в поле C11_CODE, код C01 записывается в поле C01_CODE). По факту приема управляющего кода может быть установлено прерывание IRQ_2 (CCODE)

10.6.3 Управление установкой соединения и скоростью передачи данных

Установка скорости передачи данных

Управление скоростью передачи осуществляется посредством регистра TX_SPEED.

Если не установлен режим автоматического контроля скорости (разряд AUTO_SPEED регистра управления MODE_CR), то установка скорости передачи осуществляется путем записи коэффициента скорости в разряды 9:0 регистра TX_SPEED. Этот коэффициент напрямую передается в TX_PLL. До установки соединения в эти разряды должен быть записан коэффициент, соответствующий скорости передачи 10 Мбит/с. После установки соединения в эти разряды регистра могут быть записаны другие значения (соответствующие скорости передачи от 2 до 400 Мбит/с, в соответствии со стандартом SpaceWire). Если происходит разрыв соединения, то в этот регистр снова необходимо записать коэффициент, соответствующий 10 Мбит/с.

Если установлен режим автоматического контроля скорости, то до установки соединения на TX_PLL подается коэффициент TX_SPEED_10 из разрядов 19:10 регистра TX_SPEED. Он должен соответствовать 10 Мбит/с. После установки соединения на TX_PLL будет подаваться коэффициент из разрядов 9:0 регистра TX_SPEED. В эти разряды регистра могут быть записаны значения соответствующие скорости передачи от 2 до 400 Мбит/с. При разрыве соединения переход на коэффициент TX_SPEED_10 выполняется автоматически, при повторной установке соединения переход на TX_SPEED так же выполняется автоматически.

Для того, чтобы установить автоматический режим контроля скорости, необходимо поле AUTO_SPEED регистра MODE_CR установить в значение 1.

Установка соединения

Для разрешения процесса установки соединения необходимо записать лог "0" в разряд LinkDisabled и «1» в разряд LinkStart регистра режима работы MODE_CR – для запуска канала, WORK_TYPE = «1».

Критерием успешного установления соединения является: либо прохождение прерывания INT_LINK и отсутствие прерывания INT_ERR либо нахождение DS-макроячейки в состоянии Run (в регистре STATUS поле DS_STATE = 5).

После обнаружения прерывания INT_LINK, необходимо считать регистр STATUS и проверить биты DC_ERR, P_ERR, ESC_ERR, CREDIT_ERR на равенство «0». Бит CONNECTED должен быть равен «1». При выполнении этих условий - соединение с удаленной системой установлено.

Для активации функции пассивной установки соединения необходимо записать лог "0" в разряды LinkDisabled и LinkStart, и "1" в разряд AutoStart. В этом случае DS-макроячейка

будет ждать приёма первого NULL маркера. После приёма первого NULL маркера будет начата процедура установки соединения.

Повторное соединение на скорости выше 10 Мбит/с не предусмотрено стандартом SpaceWire, вследствие этого при переустановке соединения необходимо снова установить скорость передачи равной 10 Мбит/с.

Разрыв соединения

Возможны два случая разрыва соединения – по ошибке в канале или по принудительному рассоединению.

Для завершения соединения (принудительная остановка канала) необходимо записать лог "1" в разряд LinkDisabled режима работы MODE_CR.

В обоих случаях канал SpaceWire перестает работать. При принудительной остановке канала на другой стороне возникнет прерывание INT_1 (ERR) в связи с наличием ошибки рассоединения.

При остановке работы канала может наблюдаться разрыв передаваемого пакета. Если в момент разрыва соединения передатчиком передавался пакет, то остаток пакета, который не передан, будет отброшен до конца пакета.

При остановке работы канала может наблюдаться разрыв принимаемого пакета. Если в момент разрыва соединения приемник принимал пакет, то пакет завершается принудительно вставкой символа EEP в месте разрыва.

Определение скорости приема

Оценка скорости приема выполняется при разрешенной работе канала и установленном соединении. Коэффициент скорости приема отображается в регистре RX_SPEED[9:0]. После установления соединения скорость должна составлять 10 ± 1 Мбит/с.

10.6.4 Работа с прерываниями

IRQ_0 (LINK)

Данное прерывание устанавливается в том случае, если происходит установка соединения SpaceWire – порт переходит в состояние Run.

При выходе контроллера из состояния сброса данное прерывание замаскировано. Для того, чтобы его размаскировать, необходимо поле IRQ_0_mask в регистре MODE_CR установить в значение 1.

Для того чтобы сбросить данное прерывание, необходимо записать 1 в поле GOT_FIRST_BIT регистра STATUS.

IRQ_1 (ERR)

Данное прерывание устанавливается в том случае, если происходит разрыв соединения или ошибка канала – порт выходит из состояния Run.

При выходе контроллера из состояния сброса данное прерывание замаскировано. Для того, чтобы его размаскировать, необходимо поле IRQ_1_mask в регистре MODE_CR установить в значение 1.

В режиме по умолчанию (MODE_cr2.err_regime = 0) для того, чтобы его сбросить, необходимо в регистре STATUS сбросить поля DC_ERR, P_ERR, ESC_ERR, CREDIT_ERR (для сброса соответствующего поля необходимо записать в него значение 1).

При установке `MODE_cr2.err_regime = 1` включается режим, в котором сброс прерывания выполняется автоматически при переходе DS-макроячейки в состояние RUN

IRQ_2 (CCODE)

Данное прерывание может быть установлено в следующих случаях:

- из сети принят корректный маркер времени;
- из сети принят корректный код распределенного прерывания или подтверждения;
- из сети принят управляющий код, назначение которого не определено стандартом;
- истек таймаут ожидания кода подтверждения.

При выходе контроллера из состояния сброса данное прерывание замаскировано. Для того, чтобы его размаскировать, необходимо поле `IRQ_2_mask` в регистре `MODE_CR` установить в значение 1.

Возможно маскирование установки прерывания по каждой из вызывающих его причин в отдельности. Для того, чтобы замаскировать установку прерывания при приеме корректного маркера времени, необходимо поле `TCode_mask` регистра `MODE_CR` установить в 0. Для того, чтобы замаскировать установку прерывания по факту принятия корректного кода распределенного прерывания или подтверждения, необходимо поле `INT_mask` регистра `MODE_CR` установить в 0. Для того, чтобы замаскировать прерывание по факту приема управляющего кода, назначение которого не определено стандартом, необходимо поле `CC_11_mask` (для кодов `C_11`) и поле `CC_01_mask` (для кодов `C_01`) регистра `MODE_CR` установить в 0.

Для того, чтобы замаскировать прерывание по факту истечения таймаута ожидания кода подтверждения, необходимо установить в 0 поле `INT_tout_mask` регистра `MODE_CR`.

Для того, чтобы сбросить данное прерывание, если оно установилось по факту приема корректного маркера времени, необходимо в поле `GOT_TIME` регистра `STATUS` записать значение 1.

Для того, чтобы сбросить данное прерывание, если оно установилось по факту приема корректного кода распределенного прерывания, необходимо в поле `GOT_INT` регистра `STATUS` записать значение 1.

Для того, чтобы сбросить данное прерывание, если оно установилось по факту приема корректного кода подтверждения, необходимо в поле `GOT_ACK` регистра `STATUS` записать значение 1.

Для того, чтобы сбросить данное прерывание, если оно установилось по факту приема кода, назначение которого не определено стандартом, необходимо в поле `CC_11` или `CC_01` регистра `STATUS` записать значение 1.

Для того, чтобы сбросить данное прерывание, если оно установилось по факту истечения таймаута необходимо сбросить в 0 разряды `ISR_tout_L`, `ISR_tout_H`, установленные в 1 (для этого записать в них значение 1).

10.6.5 Тестирование LVDS

Режим тестирования LVDS предназначен для тестирования аналоговых блоков LVDS. Для того чтобы включить режим тестирования LVDS необходимо в регистре `MODE_CR` поле `LVDS_regime` установить в 1 (поле `LinkDisabled` при этом должно быть установлено в 0). И

необходимо разрешить работу LVDS – для этого в разряды [9:8] поля TX_SPEED регистра TX_SPEED необходимо записать значение 2'b11.

После этого значение, записываемое в поле S_LVDS_TX регистра MODE_CR, будет передаваться напрямую на S_LVDS_TX и значение, записываемое в поле D_LVDS_TX регистра MODE_CR, будет передаваться напрямую на D_LVDS_TX.

В этом режиме значения, принимаемые на S_LVDS_RX и D_LVDS_RX будут напрямую записываться в поля S_LVDS_RX и B_LVDS_RX регистра STATUS.

10.6.6 Работа с портами, неподключенными к кабелю

Если к порту SWIC не подключен кабель, то соединение по порту должно быть запрещено, все каналы DMA этого порта должны быть остановлены, все прерывания по порту (от SWIC, от DMA и др.) должны быть замаскированы.

11. МНОГОФУНКЦИОНАЛЬНЫЙ БУФЕРИЗИРОВАННЫЙ ПОСЛЕДОВАТЕЛЬНЫЙ ПОРТ (MFBSP)

11.1 Особенности MFBSP

Многофункциональный буферизированный последовательный порт (MFBSP) позволяет вести обмен параллельно-последовательным кодом с другими микросхемами по линковому интерфейсу (LPORT), либо обмениваться аудиоданными и управляющей информацией с внешними устройствами по последовательным интерфейсам в дуплексном режиме, с возможностью независимой настройки приёмника и передатчика. Гибкость последовательного порта позволяет организовывать передачу с широким спектром внешних устройств. Дополнительно порт позволяет организовывать обмен данными с внешними устройствами, используя входы-выходы общего назначения. На Рисунке 11.1 изображен MFBSP с двумя каналами DMA (на приём и передачу) в составе микропроцессора. По каналу DMA направления передачи осуществляется передача данных внешнему устройству, подключенному к микропроцессору через MFBSP. По каналу DMA направления приёма осуществляется приём данных из внешнего устройства, подключенного к микропроцессору через MFBSP.

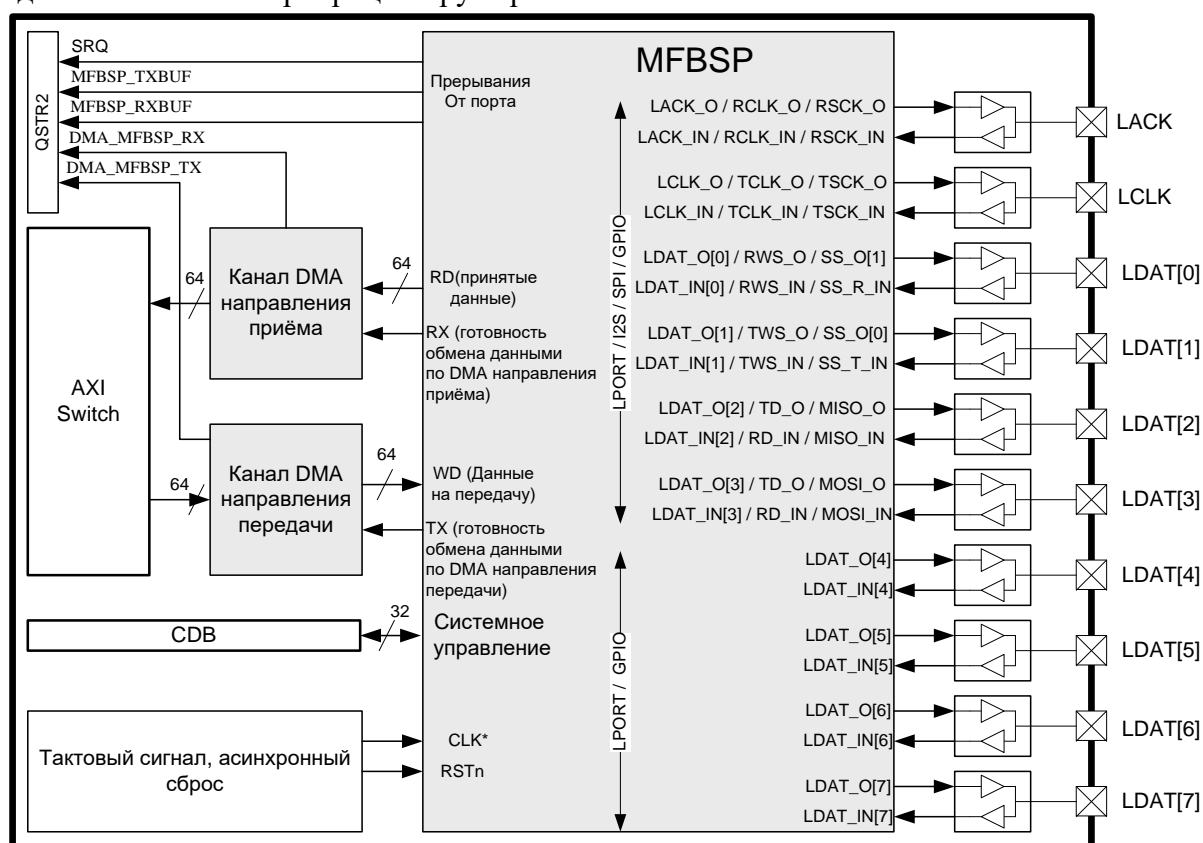


Рисунок 11.1. MFBSP в составе микропроцессора

MFBSP использует системный тактовый сигнал CPU (CLK), при этом на MFBSP0 тактовый сигнал CLK подается постоянно, когда включен тактовый сигнал CPU, что позволяет реализовать режим начальной загрузки через MFBSP0. Для MFBSP1, MFBSP2, MFBSP3 и DMA MFBSP есть возможность программно включать и выключать подачу тактового сигнала

11.1.1 Основные характеристики MFBSP в режиме I2S

В режиме I2S порт позволяет вести дуплексный обмен последовательными данными с внешними устройствами, используя следующие форматы передачи данных: Left-Justified, Right-Justified (при программной предобработке данных), DSP, I2S, FSB (Fast Serial Bus используемый в микросхеме CMX981;

Ограничение использования формата I2S: приемник MFBSP, в текущей версии порта, в режиме ведомого устройства не позволяет принимать слова от передатчика, если число тактов между фронтами сигнала выбора канала меньше чем $RWORDLEN+1$ (разрядность передаваемых слов меньше, чем установленная разрядность принимаемых передатчиком слов).

Приёмник и передатчик:

Поддерживается независимая настройка передатчика и приёмника, что позволяет организовать одновременные передачу и прием последовательных данных по разным последовательным интерфейсам и на различных частотах;

Возможен перевод приёмника в зависимый от передатчика режим (когда приемник использует тактовый и контрольный сигналы передатчика), что позволяет задействовать меньшее количество выводов;

Направление любого вывода задается программно, что заметно повышает гибкость при использовании порта;

Тактовые и управляющие сигналы как приемника, так и передатчика можно формировать аппаратными средствами порта MFBSP, либо принимать их от внешнего устройства;

Темп передачи данных:

Передача данных в режиме I2S может вестись на частотах от $CLK/2$ до $CLK/(2*2^{10})$ (где CLK – тактовая частота, подаваемая на порт со стороны системы);

Частоту контрольного сигнала (TWS/RWS) можно задавать в пределах от $ICLK/2$ до $ICLK/(2*2^{16})$, где ICLK – рабочая частота интерфейса (TCLK для передатчика и RCLK для приемника);

Приём и передача данных:

Порт позволяет принимать и передавать слова длиной от 2-х до 32-х бит, как младшим, так и старшим битом вперед;

В режиме I2S поддерживается режим паковки/распаковки 32-х разрядного слова в два 16-ти разрядных с автоматическим определением левого/правого канала;

Специальная логика обмена позволяет обнулять или дополнять старшим разрядом избыточные биты при чтении принятых слов длиной меньше 32 в обычном режиме и длиной меньше 16 в режиме паковки;

Порт поддерживает приём и передачу данных фреймами с синхронизацией начала каждого фрейма. Число слов в одном фрейме может быть выбрано в пределах от 1 до 64;

Буферы приёма и передачи:

Используется буферизация в направлении передачи на 18 32-разрядных слов;

Используется буферизация в направлении приёма на 18 32-разрядных слов;

Доступ к буферам приёма и передачи возможен как в 32-х разрядном режиме (обмен данными непосредственно с CPU), так и в 64-х разрядном режиме с использованием каналов DMA;

Степень заполнения буфера передачи, при которой инициируется загрузка данных в порт с помощью DMA, регулируется программно;

Для каждого порта MFBSPP предусмотрено два независимых канала DMA на приём и на передачу.

11.1.2 Основные характеристики MFBSPP в режиме SPI

В режиме SPI порт позволяет вести дуплексный обмен последовательными данными с внешними устройствами, порт поддерживает 4 формата передачи SPI (для всех сочетаний CPOL и CPHA по спецификации Motorola), при этом возможна передача данных как по стандарту Microwire (SDO, SDI), так и по стандарту Motorola (MOSI, MISO), а также по интерфейсу C-BUS (аналог SPI);

Приёмник и передатчик:

Поддерживается независимая настройка передатчика и приёмника, что позволяет организовать одновременные передачу и прием последовательных данных по разным последовательным интерфейсам и на различных частотах;

Возможен перевод приёмника в зависимый от передатчика режим (когда приемник использует тактовый и контрольный сигналы передатчика), что позволяет задействовать меньшее количество выводов;

Направление любого вывода задается программно, что заметно повышает гибкость при использовании порта.

Шина выбора ведомых устройств:

Тактовые сигналы и сигналы шины выбора ведомых устройств можно формировать аппаратными средствами порта MFBSPP, программно управлять шиной выбора ведомых устройств, либо принимать тактовые сигналы и сигнал выбора ведомого от внешнего устройства;

В режиме ведущего устройства портом используется двухразрядная шина выбора ведомых устройств, что позволяет параллельно подключать до двух ведомых SPI устройств;

В режиме ведомого устройства возможен независимый выбор внешним устройством приёмника и передатчика MFBSPP.

Темп передачи данных:

Передача данных в режиме SPI может вестись на частотах от $CLK/2$ до $CLK/(2*2^{10})$ (где CLK – тактовая частота, подаваемая на порт со стороны системы).

Приём и передача данных:

Порт позволяет принимать и передавать слова длиной от 2-х до 32-х бит, как младшим, так и старшим битом вперед;

Специальная логика обмена позволяет обнулять или дополнять старшим разрядом избыточные биты при чтении принятых слов длиной меньше 32 бит;

Порт позволяет вести обмен данными в режиме автоматического формирования сигналов выбора ведомого, с возможностью передачи от 1 до 64 слов без изменения уровня сигнала выбора ведомого.

Буферы приёма и передачи:

Используется буферизация в направлении передачи на 18 32-разрядных слов;

Используется буферизация в направлении приёма на 18 32-разрядных слов;

Доступ к буферам приёма и передачи возможен как в 32-х разрядном режиме (обмен данными непосредственно с CPU), так и в 64-х разрядном режиме с использованием каналов DMA;

Степень заполнения буфера передачи, при которой инициируется загрузка данных в порт с помощью DMA, регулируется программно;

Для каждого порта MFBSP предусмотрено два независимых канала DMA на приём и на передачу;

В данной реализации порта существует ограничение на выбор направления выводов в режиме SPI: тактовый и управляющий сигналы в режиме SPI должны быть либо оба заданы как вход, либо оба заданы как выход;

В данной реализации порта не предусмотрена возможность соединения нескольких микропроцессоров по цепочке с использованием SPI интерфейса. микропроцессор может только управлять загрузкой последовательных данных в другие ведомые устройства, соединенные по цепочке.

11.1.3 Основные характеристики MFBSP в режиме LPORT

В режиме LPORT порт позволяет вести обмен с внешними устройствами по линковому интерфейсу (совместимому с ADSP21160 LINK PORT).

Приёмник и передатчик:

В режиме LPORT MFBSP может работать либо только как передатчик, либо только как приёмник (передача данных в одном направлении).

Темп передачи данных:

Передача данных по интерфейсу LPORT может вестись на частотах от CLK/32 до CLK/2 (где CLK – тактовая частота, подаваемая на порт со стороны системы).

Приём и передача данных:

По параллельно-последовательному интерфейсу LPORT возможна передача данных как тетрадами, так и байтами.

Буферы приёма и передачи:

Используется буферизация в направлении передачи на 16 32-разрядных слов;

Используется буферизация в направлении приёма на 18 32-разрядных слов;

Доступ к буферам приёма и передачи возможен как в 32-х разрядном режиме (обмен данными непосредственно с CPU), так и в 64-х разрядном режиме с использованием каналов DMA;

Степень заполнения буфера передачи, при которой инициируется загрузка данных в порт с помощью DMA, регулируется программно.

В зависимости от выбранного направления порта используется либо канал DMA направления приёма, либо канал DMA направления передачи.

11.1.4 Основные характеристики MFBSP в режиме порта ввода-вывода общего назначения

В режиме порта ввода-вывода общего назначения все 10 выводов порта могут использоваться как входы выходы общего назначения.

Направление каждого вывода задаётся программно.

В режиме последовательного порта (режимы SPI или I2S) 4 незадействованных в передаче последовательных данных выводов MFBSP (LDAT[7:4]) могут быть использованы в качестве входов-выводов общего назначения.

11.2 Общие сведения об MFBSP

11.2.1 Режимы работы MFBSP

Многофункциональный порт MFBSP может быть использован как порт ввода-вывода общего назначения, как линковый порт (LPORT), либо как последовательный порт. В случае если MFBSP используется как последовательный порт, приёмник и передатчик могут настраиваться независимо. Как приёмник, так и передатчик MFBSP могут работать в режиме SPI либо в режиме I2S. Таким образом, для MFBSP существует 6 различных режимов работы, которые задаются битами LEN и SPI_I2S_EN регистра CSR_MFBSP, битом TMODE регистра TCTR и битом RMODE регистра RCTR. Режимы работы MFBSP и задающие их сочетания значений управляющих бит приведены в Таблица 11.1.

Таблица 11.1. Режимы работы MFBSP

№	Значение бит, задающих режим				Режим работы MFBSP
	LEN	SPI_I2S_EN	TMODE	RMODE	
1	0	0	x	x	Порт ввода-вывода общего назначения
2	1	0	x	x	Линковый порт(LPORT)
3	0	1	0	0	Последовательный порт Передатчик – I2S Приёмник – I2S
4	0	1	0	1	Последовательный порт Передатчик – I2S Приёмник – SPI
5	0	1	1	0	Последовательный порт Передатчик – SPI Приёмник – I2S
6	0	1	1	1	Последовательный порт Передатчик – SPI Приёмник – SPI

Более подробное описание функциональных особенностей порта для режима I2S приведено в параграфе 11.3.

Более подробное описание функциональных особенностей порта для режима SPI приведено в параграфе 11.4.

Более подробное описание функциональных особенностей порта для режима LPORT приведено в параграфе 11.5

Более подробное описание функциональных особенностей порта для режима порта ввода-вывода общего назначения приведено в разделе 17.

11.2.2 Структурная схема многофункционального буферизированного последовательного порта

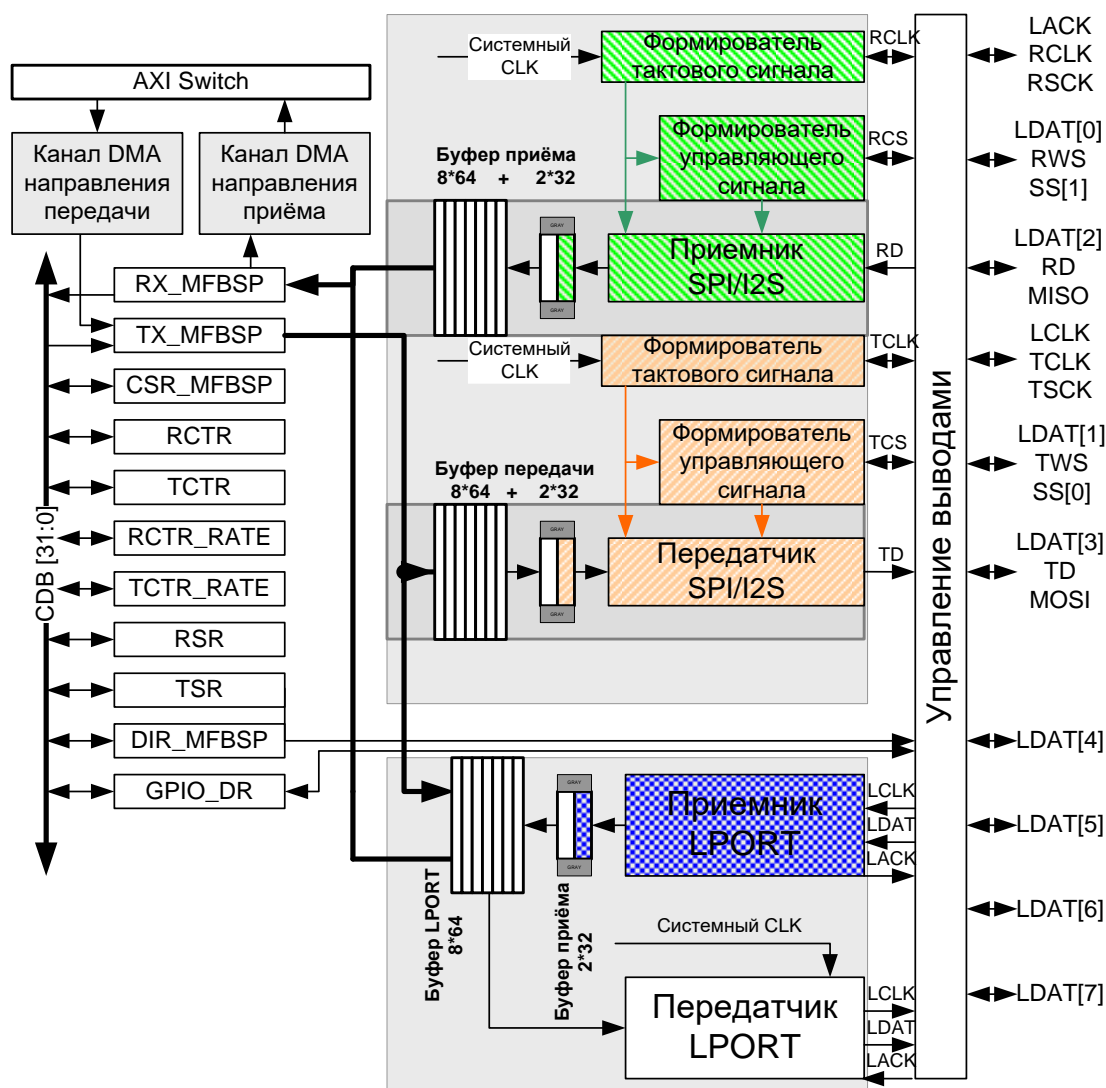


Рисунок 11.2. Структурная схема MFBSP (Защищена патентом РФ №2360282 от 27 июня 2009 года)

На Рисунок 11.1 показан MFBSP в составе микропроцессора. Порт поддерживает дуплексный обмен последовательными данными, поэтому для каждого MFBSP предусмотрено два канала DMA – один на приём и один на передачу. Каждый из внешних выводов порта двунаправленный, направление каждого вывода задается независимо.

На Рисунок 11.2 представлена более подробная структурная схема MFBSP.

В состав совмещенного контроллера входят два основных блока: **контроллер LPORT** и **контроллер SPI/I2S**. Включение **контроллера LPORT** производится установкой бита LEN, регистра CSR_MFBSP в 1, включение **контроллера SPI_I2S** производится

установкой бита SPI_I2S_EN, регистра CSR_MFBSP в 1 (Таблица 11.1). Одновременная работа блоков LPORT и SPI/I2S и соответственно установка бит LEN и SPI_I2S_EN в 1 не допускается.

В состав **контроллера SPI/I2S** входят приёмник, передатчик, буфер приёма и буфер передачи. Приёмник и передатчик могут работать одновременно и независимо. Приёмник осуществляет синхронный приём последовательного кода с внешнего вывода схемы и запись принятых данных в буфер приёма. Передатчик осуществляет чтение данных из буфера передачи и синхронную выдачу их последовательным кодом на внешний вывод схемы. Запись передаваемых данных в буфер передачи осуществляется при записи по адресу псевдорегистра TX_MFBSP (доступ со стороны CPU или DMA направления передачи), чтение принятых данных из буфера приёма осуществляется при чтении по адресу псевдорегистра RX_MFBSP (доступ со стороны CPU или DMA направления приёма).

Последовательным портом при обмене данными используется только 6 выводов LCLK, LACK, LDAT[3:0]. Если порт работает в режиме SPI/I2S, выходы LDAT[4:7] могут использоваться как входы-выводы общего назначения.

В состав **контроллера LPORT** входят приёмник, передатчик и буфер LPORT. В зависимости от направления обмена данными работает либо приёмник, либо передатчик. В зависимости от направления обмена данными буфер LPORT выполняет функции либо буфера приёма, либо буфера передачи. Приёмник осуществляет синхронный приём параллельно-последовательного кода с внешних выводов схемы и запись принятых данных в буфер LPORT. Передатчик осуществляет чтение данных из буфера LPORT и синхронную выдачу их параллельно последовательным кодом на внешние выводы схемы. Запись передаваемых данных в буфер LPORT осуществляется при записи по адресу псевдорегистра TX_MFBSP (доступ со стороны CPU или DMA направления передачи), чтение принятых данных из буфера LPORT осуществляется при чтении по адресу псевдорегистра RX_MFBSP (доступ со стороны CPU или DMA направления приёма).

LPORT при обмене данными использует выходы LCLK, LACK, LDAT[7:0].

MFBSPS использует системный тактовый сигнал CPU (CLK), при этом на MFBSPO тактовый сигнал CLK подается постоянно, когда включен тактовый сигнал CPU, что позволяет реализовать режим начальной загрузки через MFBSPO. Для MFBSPP1, MFBSPP2, MFBSPP3 и DMA MFBSPP есть возможность программно включать и выключать подачу тактового сигнала

Включение частоты портов происходит не моментально, поэтому чтение из регистров или запись в регистры MFBSPP сразу после команды включения частоты MFBSPP может привести к ошибкам. Чтобы убедиться, что обращение к регистрам происходит после фактического включения частоты необходимо прочитать регистр CLK_EN и провести с прочитанными данными любые действия, например:

```
sw r26, CLK_EN //включение частоты
lw r26, CLK_EN //чтение состояния CLK_EN
or r26, r26 //обработка прочитанных данных
```

При отключенной частоте MFBSPP чтение и запись в регистры MFBSPP1-MFBSPP3 не допускается.

11.2.3 Назначение выводов порта в различных режимах

Таблица 11.2 содержит наименования выводов порта для каждого из режимов – LPORT, SPI, I2S. Таблица 11.3 содержит информацию о назначении каждого вывода в различных режимах.

Таблица 11.2. Обозначение выводов порта для различных режимов работы

LPORT	I2S	SPI
LDAT[7]	-	-
LDAT[6]	-	-
LDAT[5]	-	-
LDAT[4]	-	-
LDAT[3]	TD	MOSI
LDAT[2]	RD	MISO
LDAT[1]	TWS	SS[0]
LDAT[0]	RWS	SS[1]
LCLK	TCLK	TSCK
LACK	RCLK	RSCK

Таблица 11.3. Назначение выводов порта в различных режимах

Наименование вывода	Режим работы порта	Направление вывода	Назначение вывода
LDAT[7:0]	LPORT	IO	Внешняя шина данных LPORT.
LCLK	LPORT	IO	Тактовый сигнал LPORT
LACK	LPORT	IO	Подтверждение готовности приема
TD	I2S	IO	Передаваемые последовательные данные
RD	I2S	IO	Принимаемые последовательные данные
TCLK	I2S	IO	Тактовый сигнал передатчика I2S
RCLK	I2S	IO	Тактовый сигнал приемника I2S
TWS	I2S	IO	Сигнал выбора канала для передаваемых данных
RWS	I2S	IO	Сигнал выбора канала для принимаемых данных
MOSI	SPI	IO	Вывод последовательных данных. Направление вывода определяется программно
MISO	SPI	IO	Вывод последовательных данных. Направление вывода определяется программно
TSCK	SPI	IO	Тактовый сигнал передатчика SPI
RSCK	SPI	IO	Тактовый сигнал приемника SPI
SS [0]	SPI	IO	В режиме ведущего: Сигнал выбора устройства 0. В режиме ведомого: сигнал выбора ведомого. Низкий уровень на входе SS[0] обозначает, что передатчику MFBSP необходимо выдавать последовательные данные (если приёмник MFBSP находится в зависимом от передатчика режиме, то активизируется и приёмник).

Наименование вывода	Режим работы порта	Направление вывода	Назначение вывода
SS [1]	SPI	IO	<p>В режиме ведущего: Если приёмник в зависимом от передатчика режиме - сигнал выбора устройства 1. Если передатчик в независимом от приёмника режиме – сигнал выбора приёмником устройства 0. В режиме ведомого: Сигнал выбора ведомого. Только в случае когда приёмник в независимом от передатчика режиме. Низкий уровень на входе SS[1] обозначает, что приёмнику MFBSP необходимо принимать последовательные данные.</p>

11.2.4 Перечень регистров MFBSP

Таблица 11.4 содержит перечень регистров многофункционального порта.

Таблица 11.4. Перечень регистров многофункционального буферизованного порта

Условное обозначение регистра	Внутренний адрес	Доступ	Название регистра
TX_MFBSP	0x0	W	Буфер передачи данных
RX_MFBSP	0x0	R	Буфер приёма данных
CSR_MFBSP	0x1	R/W	Регистр управления и состояния
DIR_MFBSP	0x2	R/W	Регистр управления направлением выводов порта ввода-вывода
GPIO_DR	0x3	R/W	Регистр данных порта ввода-вывода
TCTR	0x4	R/W	Регистр управления передатчиком
RCTR	0x5	R/W	Регистр управления приёмником
TSR	0x6	R/W	Регистр состояния передатчика
RSR	0x7	R/W	Регистр состояния приёмника
TCTR_RATE	0x8	R/W	Регистр управления темпом передачи данных
RCTR_RATE	0x9	R/W	Регистр управления темпом приёма данных
TSTART	0xA	R/W	Псевдорегистр <code>ten</code> – запуск/останов передатчика без изменения настроек передатчика
RSTART	0xB	R/W	Псевдорегистр <code>rep</code> – запуск/останов приемника без изменения настроек приемника
EMERG_MFBSP	0xC	R/W	Регистр аварийного управления портом
IMASK_MFBSP	0xD	R/W	Регистр маски прерываний от порта

11.2.5 Каналы DMA многофункциональных портов MFBSP

Для каждого порта предусмотрено два канала DMA – один для приёма данных, другой для передачи данных.

По каналу DMA направления передачи осуществляется передача данных внешнему устройству, подключенному к микропроцессору через MFBSP. По каналу DMA направления приёма осуществляется приём данных из внешнего устройства, подключенного к микропроцессору через MFBSP.

При обмене данными через MFBSР с использованием DMA максимальный размер пачки составляет 8 64-разрядных слов. Если значение бит WN в контрольном регистре DMA превосходит максимальный размер пачки, то WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

По умолчанию при работе передатчика с DMA заполнение буфера передачи происходит до тех пор, пока буфер в состоянии принять очередную пачку, размером WN. Однако имеется возможность программно регулировать степень заполнения буфера передачи, путем установки бит TBES, регистра TSR. В этом случае значение выражения TBES+1 – задает эффективный размер буфера передачи. Передача очередной пачки происходит только в случае, если при записи этой пачки в буфер передачи число 64 разрядных слов в буфере передачи не превысит TBES+1. При попытке передать пачку со значением WN > TBES, значение WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

По умолчанию при работе приёмника с DMA, считывание данных из буфера приёма происходит если в буфере чтения содержится число слов большее, либо равное размеру пачки (WN). Степень заполнения буфера приёма, при которой начинается откачка данных с помощью DMA регулируется установкой значения WN соответствующего канала DMA.

11.2.6 Прерывания от каналов DMA MFBSР

Бит DMA_MFBSР_RX, регистра QSTR2, устанавливается, если есть прерывание от соответствующего порту канала DMA направления приёма.

Бит DMA_MFBSР_TX, регистра QSTR2, устанавливается, если есть прерывание от соответствующего порту канала DMA направления передачи.

Если соответствующий канал DMA разрешен, то прерывания от канала DMA формируются по завершению передачи или приема всего блока данных.

11.2.7 Прерывания от MFBSР

Бит MFBSР_TXBUF регистра QSTR3, устанавливается в случае, если число 64-х разрядных слов, находящихся в буфере передачи, меньше либо равно пороговому значению TLEV, задаваемому в регистре TSR (Рисунок 1.3). Для установки бита MFBSР_TXBUF также необходимо, чтобы линковый порт был включен на передачу (LEN=1 и LTRAN=1) либо включен передатчик SPI/I2S (SPI_I2S_EN=1, TEN=1) и разрешена установка прерывания MFBSР_TXBUF по условию превышения порога (TX_LEV_IRQ_EN). MFBSР_TXBUF также устанавливается в случае, если имела место ошибка передачи TERR и разрешена установка прерывания MFBSР_TXBUF при ошибке передачи (чтение из пустого буфера передачи): TX_ERR_IRQ_EN.

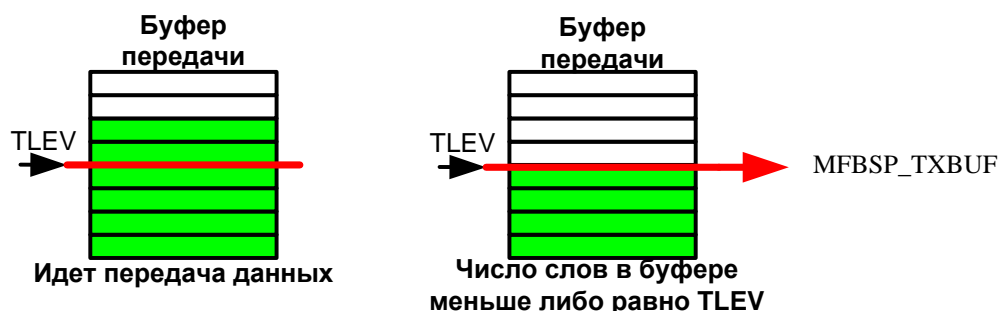


Рисунок 11.3. Назначение бит TLEV, регистра TSR

MFBSP_TXBUF может формироваться в двух режимах: с автоматическим сбросом при чтении регистра TSR и без автоматического сброса при чтении TSR. Данный режим определяется состоянием бита TXBUF_R_EN, регистра IMASK_MFBSP.

В случае если выбран режим без автоматического сброса прерывание установлено всегда, когда имеет место превышение уровня TLEV. В случае если установлен режим с автоматическим сбросом управление битом MFBSP_TXBUF осуществляется следующим образом: прерывание MFBSP_TXBUF автоматически сбрасывается, если число 64-х разрядных слов, находящихся в буфере передачи, становится больше порогового значения TLEV и при этом во время передачи не возникало ошибки (TERR = 0). Даже если описанное условие не выполнено, прерывание можно программно сбросить, прочитав регистр TSR. В этом случае прерывание сбросится и запомнится текущее значение слов в буфере передачи. Если число слов в буфере передачи начнет уменьшаться или произойдет ошибка передачи, то прерывание снова установится. Увеличение числа слов в буфере передачи не приведет к установке прерывания, даже, если число слов в буфере ниже порога TLEV (Рисунок 11.4).

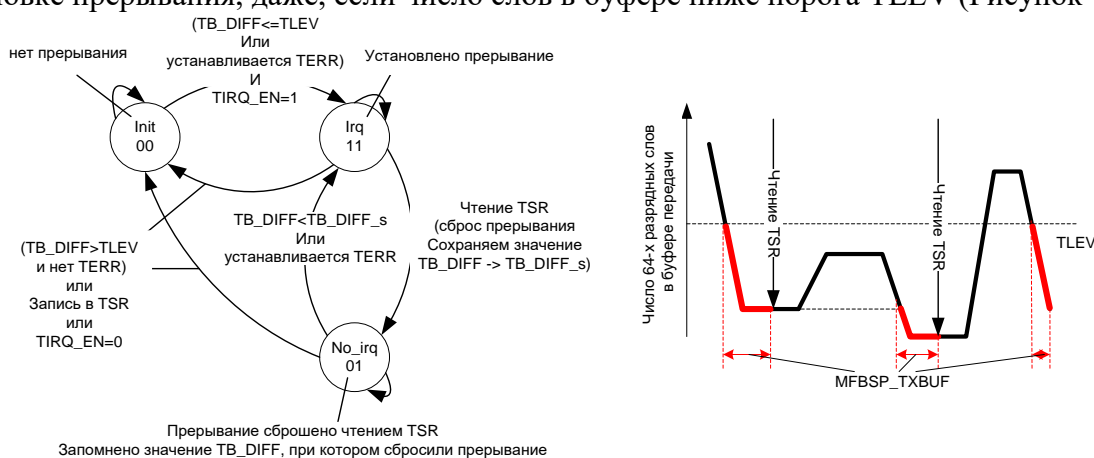


Рисунок 11.4. Механизм установки и сброса прерывания MFBSP_TXBUF. На рисунке $TIRQ_EN = (LEN \& LTRAN \parallel TEN \& SPI_I2S_EN)$

Бит MFBSP_RXBUF, регистра QSTR2, устанавливается в случае, если число 64-х разрядных слов в буфере приёма больше чем пороговое значение RLEV, задаваемое в регистре RSR (Рисунок 11.5). Для установки бита MFBSP_RXBUF также необходимо, чтобы линковый порт был включен на приём (LEN=1 и LTRAN=0) либо включен приёмник SPI/I2S (SPI_I2S_EN=1, REN=1) и разрешена установка прерывания MFBSP_RXBUF по условию превышения порога прерывания (TX_LEV_IRQ_EN). MFBSP_RXBUF также устанавливается в случае, если имела место ошибка приёма RERR и разрешена установка прерывания MFBSP_RXBUF при ошибке передачи (запись в полный буфер приёма): RX_ERR_IRQ_EN.

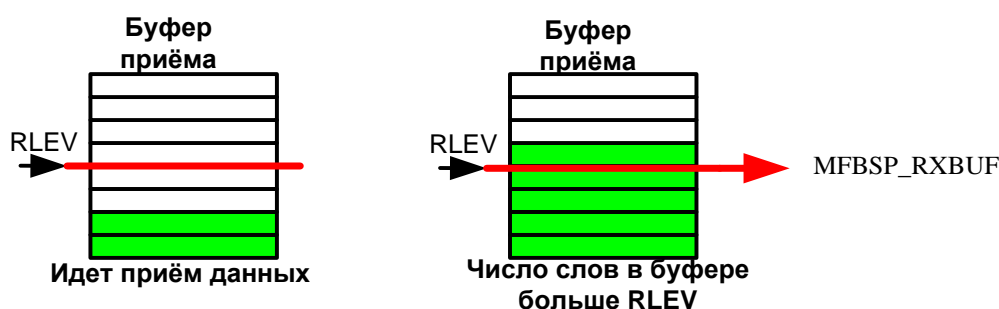


Рисунок 11.5. Назначение бит RLEV, регистра RSR

MFBSR_RXBUF может формироваться в двух режимах: с автоматическим сбросом при чтении регистра RSR и без автоматического сброса при чтении RSR. Данный режим определяется состоянием бита RXBUF_R_EN, регистра IMASK_MFBSR.

В случае если выбран режим без автоматического сброса прерывание установлено всегда, когда имеет место превышение уровня RLEV. В случае если установлен режим с автоматическим сбросом управление битом MFBSR_RXBUF осуществляется следующим образом: прерывание MFBSR_RXBUF автоматически сбрасывается, если число 64-х разрядных слов, находящихся в буфере приёма, становится меньше порогового значения RLEV и при этом во время приёма не возникло ошибки (RERR = 0). Даже если описанное условие не выполнено, прерывание можно программно сбросить, прочитав регистр RSR. В этом случае прерывание сбросится и запомнится текущее значение слов в буфере чтения. Если число слов в буфере чтения начнет увеличиваться, то прерывание снова установится. Уменьшение числа слов в буфере чтения не приведет к установке прерывания, даже, если превышен порог RLEV (Рисунок 11.6).

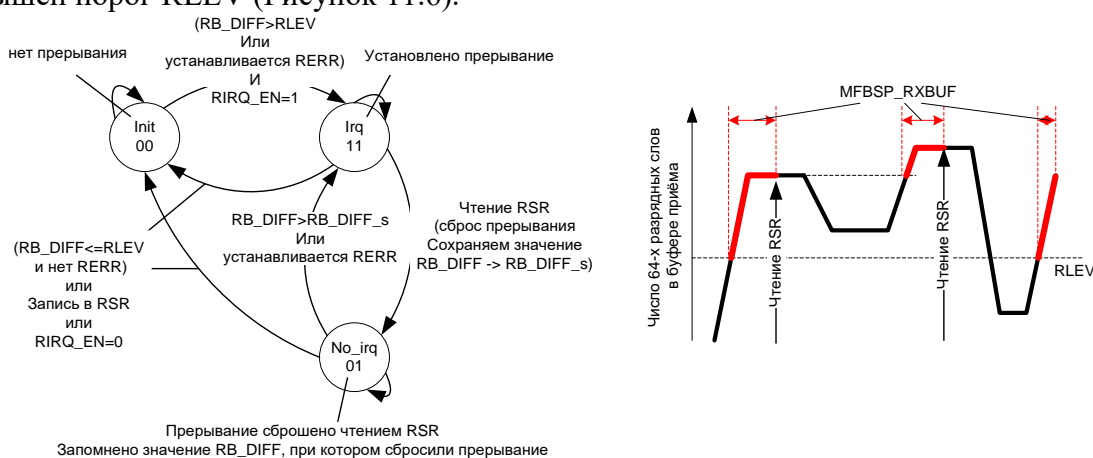


Рисунок 11.6. Механизм установки и сброса прерывания MFBSR_RXBUF. На рисунке $RIRQ_EN = (LEN \& !LTRAN \parallel REN \& SPI_I2S_EN)$

Бит SRQ, регистра QSTR2, формируется при запросе на обслуживание, если порт MFBSR выключен ($LEN=0$, $SPI_I2S_EN=0$) и на выводах LACK или LCLK высокий уровень, при условии, что разрешено прерывание по запросу на обслуживание ($LPT_IRQ_EN=1$).

11.3 Работа MFBSR в режиме I2S

11.3.1 Назначение MFBSR в режиме I2S

Режим I2S буферизированного последовательного порта предназначен для организации дуплексного обмена аудиоданными с внешними устройствами последовательным кодом.

Порт в режиме I2S позволяет одновременно передавать и принимать последовательные данные. Приемник и передатчик контроллера настраиваются независимо, при этом возможен перевод приёмника в зависимое от передатчика состояние.

Порт поддерживает передачу аудиоданных в формате I2S, с поочередной передачей левого и правого каналов, а также передачу данных фреймами от 1 до 64 слов в каждом фрейме.

Поддерживается независимое задание направления каждого из выводов порта, осуществляемое установкой соответствующих бит регистра DIR_MFBSR.

Ограничение использования формата I2S: приемник MFBSР, в текущей версии порта, в режиме ведомого устройства не позволяет принимать слова от передатчика, если число тактов между фронтами сигнала выбора канала меньше чем RWORDLEN+1 (разрядность передаваемых слов меньше, чем установленная разрядность принимаемых передатчиком слов).

11.3.2 Регистр управления и состояния CSR_MFBSР (режим I2S)

Регистр CSR_MFBSР (Таблица 11.5) используется для включения режима последовательного порта и разрешения прерываний от MFBSР.

Таблица 11.5. Назначение разрядов регистра CSR_MFBSР в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:15	-	Резерв	-	0
14:11	-	В режиме I2S не используется	-	0
10	-	Резерв	-	0
9	SPI_I2S_EN	Включение режима SPI/I2S: 0 – Работа в режиме LPORT 1 – Работа в режиме SPI/I2S	RW	0
8:5	-	В режиме I2S не используется	-	0
4:3	LSTAT	Состояние буфера: При LTRAN = 0 показывает состояние буфера приёма При LTRAN = 1 показывает состояние буфера передачи 00 – буфер пуст; 10 – буфер не пуст; 11 – буфер полон.	R	0
2	-	В режиме I2S не используется	-	0
1	LTRAN	Назначение бит LSTAT: 0 - LSTAT отображает состояние буфера приёма 1 - LSTAT отображает состояние буфера передачи	RW	0
0	LEN	В режиме I2S должен быть установлен в 0	RW	0

11.3.3 Регистр управления направлением выводов DIR_MFBSР (режим I2S)

Регистр управления направлением выводов DIR_MFBSР (Таблица 11.6) предназначен для индивидуальной настройки направления каждого вывода последовательного порта.

Таблица 11.6. Назначение разрядов регистра DIR_MFBSР в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
9:6	LDAT_DIR[7:4]	Направление выводов LDAT[7:4]	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
5	TD_DIR	Направление вывода TD: 0 – TD – вход (при RD_DIR = 1 последовательные данные принимаются со входа TD) 1 – TD – выход (TD – является выходом для передачи последовательных данных)	RW	0
4	RD_DIR	Направление вывода RD: 0 – RD – вход (последовательные данные принимаются со входа RD) 1 – RD – выход (RD – является выходом для передачи последовательных данных)	RW	0
3	TCS_DIR	Направление вывода TWS: 0 – TWS – вход (Сигнал выбора слова TWS принимается от внешнего источника) 1 – TWS – выход (Сигнал выбора слова TWS формируется передатчиком)	RW	0
2	RCS_DIR	Направление вывода RWS: 0 – RWS – вход (Сигнал выбора слова RWS принимается от внешнего источника) 1 – RWS – выход (Сигнал выбора слова RWS формируется приёмником)	RW	0
1	TCLK_DIR	Направление вывода TCLK: 0 – TCLK – вход (тактовый сигнал TCLK принимается от внешнего источника) 1 – TCLK – выход (тактовый сигнал TCLK формируется передатчиком)	RW	0
0	RCLK_DIR	Направление вывода RCLK: 0 – RCLK – вход (тактовый сигнал RCLK принимается от внешнего источника) 1 – RCLK – выход (тактовый сигнал RCLK формируется приёмником)	RW	0

Примечание. При RD_DIR = 0 и TD_DIR = 0 данные снимаются с RD, при RD_DIR = 1 и TD_DIR = 1 на TD и RD выдаются одинаковые данные с передатчика.

11.3.4 Регистр управления приёмником RCTR (режим I2S)

Таблица 11.7. Назначение разрядов регистра RCTR в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	Резерв	-	0
29	RCS_CONT	Включение непрерывного формирования сигнала RWS: 0 – RWS – Формируется если буфер приёма не полон. По заполнении буфера приёма формирование сигнала RWS прекращается. 1 – RWS – формируется непрерывно, если установлен бит REN	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
28	RCLK_CONT	Включение непрерывного формирования сигнала RCLK: 0 – RCLK – формируется только во время приема (пока буфер приёма не полон). Если буфер приёма полон – сигнал не формируется 1 – RCLK – формируется непрерывно, если установлен бит REN	RW	0
27	RSWAP	Порядок упаковки в 32 разрядное слово, перед записью в буфер приёма: 0 – левый канал пишется в старшие 16 разрядов 1 – левый канал пишется в младшие 16 разрядов (Используется в режиме с включенным паковщиком)	RW	0
26	RSIGN	Значение заполнителя: Если длина принимаемого слова меньше 32 при отключенном паковщике или меньше 16 при включенном паковщике, то неиспользуемые биты принятого слова заполняются При RSIGN = 0 нулями При RSIGN = 1 значением старшего разряда в принятом слове	RW	0
25	RPACK	Включение режима паковки: 0 – режим паковки выключен. Данные, принятые по каждому из каналов пишутся отдельным 32-разрядным словом в буфер приёма 1 – режим паковки включен. Данные, принятые по левому и правому каналу пакуются в 32-х разрядное слово. При этом разрядность принимаемых слов не должна превышать 16.	RW	0
24:20	RWORDLEN	Длина принимаемого слова: Число бит в принимаемом слове равно RWORDLEN + 1. RWORDLEN должно быть больше 0.	RW	5'b0
19	RMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW	1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
18	RCSNEG	Полярность управляющего сигнала приёмника: При RDSPMODE=0: RCSNEG = 0 – левый канал принимается при высоком уровне RWS RCSNEG = 1 – левый канал принимается при низком уровне RWS каждый фронт контрольного сигнала является активным и инициирует приём нового слова. При RDSPMODE=1: задаёт полярность активного фронта: RCSNEG = 0 - передний фронт активный; RCSNEG = 1 - задний фронт активный;	RW	0
17:12	RWORDCNT	Число слов во фрейме: Определяет число принимаемых в течении одного фрейма слов. Число принимаемых слов равно RWORDCNT + 1. Число бит, принимаемых в пределах одного фрейма, равно (RWORDCNT + 1)*(RWORDLEN+1) При RPACK = 1 обязательно RWORDCNT = 0	RW	0
11	RDEL	Задержка начала приёма данных на такт: 0 – захват бит принимаемого слова начинается по первому после активного фронта управляющего сигнала RWS фронту приёма такового сигнала RCLK (используется для передачи в форматах Left-Justified и Right-Justified) 1 – захват бит принимаемого слова начинается по второму после активного фронта управляющего сигнала RWS фронту приёма такового сигнала RCLK (используется для передачи в формате I2S)	RW	0
10	RNEG	Полярность тактового сигнала приёмника: Задаёт исходное состояние вывода RCLK и фронт, по которому осуществляется захват данных приёмником (фронт приёма) 0 – захват данных по заднему фронту RCLK. 1 – захват данных по переднему фронту RCLK. Исходное состояние RCLK = RNEG.	RW	0
9	RDSPMODE	Формат передачи данных: 0 – передача в формате I2S 1 – передача в формате DSP	RW	0
8:4	-	Резерв	-	0
3	RCS_CP	Дублирование сигнала TWS: 0 – выходы TWS и RWS независимы 1 – сигнал RWS, идущий на блок приёмника, дублирует TWS	RW	0
2	RCLK_CP	Дублирование TCLK: 0 – выходы TCLK и RCLK независимы 1 – сигнал RCLK, идущий на блок приёмника, дублирует TCLK	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
1	RMODE	Режим работы приёмника: 0 – режим I2S 1 – режим SPI	RW	0
0	REN	Разрешение работы приёмника: 0 – приемник выключен 1 – приемник включен	RW	0

11.3.5 Регистр управления передатчиком TCTR (режим I2S)

Таблица 11.8. Назначение разрядов регистра TCTR в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	В режиме I2S не используется	-	0
29	TCS_CONT	Включение непрерывного формирования сигнала TWS: 0 – TWS – формируется только если буфер передачи не пуст. После передачи последнего слова из буфера передачи формирование сигнала TWS прекращается 1 – TWS – формируется непрерывно, если установлен бит TEN	RW	0
28	TCLK_CONT	Включение непрерывного формирования сигнала TCLK: 0 – TCLK – формируется только во время передачи. Если буфер передачи пуст – сигнал не формируется 1 – TCLK – формируется непрерывно, если установлен бит TEN	RW	0
27	TSWAP	Порядок распаковки 32-х разрядного слова: Определяет порядок распаковки из 32 разрядного слова 0 – в левый канал передаются старшие 16 разрядов 1 – в левый канал передаются младшие 16 разрядов (Используется в режиме с включенным распаковщиком)	RW	0
26	-	Резерв	-	0
25	TPACK	Включение режима распаковки: 0 – режим распаковки выключен. Каждое слово из буфера передачи используется для одной передачи по одному каналу 1 – режим распаковки включен. Слово из буфера передачи передается двумя посылками (по левому и правому каналу). При этом разрядность передаваемых слов не должна превышать 16 бит	RW	0
24:20	TWORDLEN	Длина передаваемого слова: Число бит в передаваемом слове равно TWORDLEN + 1. TWORDLEN должно быть больше 0.	RW	5'b0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
19	TMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW	1
18	TCSNEG	Полярность управляющего сигнала передатчика: При TDSPMODE = 0: TCSNEG = 0 – Левый канал передается с высоким уровнем TWS TCSNEG = 1 – Левый канал передается с низким уровнем TWS каждый фронт контрольного сигнала является активным и инициирует передачу нового слова. При TDSPMODE = 1: задаёт полярность активного фронта: TCSNEG = 0 – передний фронт активный; TCSNEG = 1 – задний фронт активный;	RW	0
17:12	TWORDCNT	Число слов во фрейме: Определяет число передаваемых в течении одного фрейма слов. Число передаваемых слов равно TWORDCNT + 1. Число бит, передаваемых в пределах одного фрейма, равно (TWORDCNT+1)*(TWORDLEN+1) При TPACK = 1 обязательно TWORDCNT = 0	RW	0
11	TDEL	Задержка начала передачи данных на такт: 0 – выдача первого бита передаваемого слова начинается по первому после активного фронта управляющего сигнала TWS фронту выдачи такого сигнала TCLK (используется для передачи в форматах Left-Justified и Right-Justified) 1 – выдача первого бита передаваемого слова начинается по второму после активного фронта управляющего сигнала TWS фронту выдачи такого сигнала TCLK (используется для передачи в формате I2S)	RW	0
10	TNEG	Полярность тактового сигнала передатчика: Задаёт исходное состояние вывода TCLK и фронт, по которому осуществляется выдача данных передатчиком (фронт выдачи) 0 – выдача данных по переднему фронту TCLK. 1 – выдача данных по заднему фронту TCLK. Исходное состояние TCLK = TNEG.	RW	0
9	TDSPMODE	Формат передачи данных: 0 – передача в формате I2S 1 – передача в формате DSP	RW	0
8:4	-	Резерв	-	0
3	-	В режиме I2S не используется	-	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
2	TD_ZER_EN	Обнуление избыточных бит передаваемого слова: 0 – Если длина слова меньше размеров окна, отведенного под передачу слова, после передачи всех бит слова на внешней шине данных остаётся значение нулевого бита передаваемого слова. 1 – Если длина слова меньше размеров окна, отведенного под передачу слова, после передачи всех бит слова на внешнюю шину данных подаётся 0, вплоть до начала передачи следующего слова. ВНИМАНИЕ! Режим с включенным обнулением избыточных бит при передаче слова корректно функционирует только при условии, что частота последовательного порта $TCLK \leq CLK/4$, где CLK – рабочая частота, подаваемая на порт, со стороны системы.	RW	0
1	TMODE	Режим работы передатчика: 0 – режим I2S 1 – режим SPI	RW	0
0	TEN	Разрешение работы передатчика: 0 – передатчик выключен 1 – передатчик включен	RW	0

11.3.6 Регистр состояния приёмника RSR (режим I2S)

Таблица 11.9. Назначение разрядов регистра RSR в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:28	-	Резерв	-	0
27:24	RB_DIFF	Количество принятых 64-разрядных слов в буфере приёма (max 8).	R	0
23:19	-	Резерв	-	0
18:16	RLEV	Порог прерывания от буфера приёма: Прерывание формируется если число принятых 64-х разрядных слов больше RLEV	RW	7
15:11	-	Резерв	-	0
10	RXBUF	Результирующее прерывание MFBSR_RXBUF	R	0
9	RXBUF_D	Прерывание MFBSR_RXBUF без механизма автоматического сброса при чтении RSR	R	0
8	RXBUF_R	Прерывание MFBSR_RXBUF с механизмом автоматического сброса при чтении RSR	R	0
7	RRUN	Идёт приём: 0 – приёмник в состоянии ожидания 1 – идёт приём очередного слова	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
6	RERR	Ошибка передачи: 0 – приём проходил в штатном режиме 1 - была запись в полный буфер приёма (потеря данных). Флаг сбрасывается записью 0 в 6-й разряд регистра RSR.	RW	0
5	RSBF	Буфер пересинхронизации в направлении приёма полон: 0 – буфер пересинхронизации в направлении приёма не полон 1 – буфер пересинхронизации в направлении приёма полон	R	0
4	RSBE	Буфер пересинхронизации в направлении приёма пуст: 0 – буфер пересинхронизации в направлении приёма не пуст 1 – буфер пересинхронизации в направлении приёма пуст	R	1
3	RBHL	Достигнут порог прерывания в буфере приёма: 1 – число 64-х разрядных слов в буфере приёма больше чем задано в RLEV 0 – число 64-х разрядных слов в буфере приёма меньше либо равно RLEV	R	0
2	RBHF	Буфер приёма полон на половину или более: 1 – буфер приёма заполнен на половину или больше (из буфера приёма можно считать как минимум 4 слова) 0 – буфер приёма заполнен меньше чем на половину	R	0
1	RBF	Буфер приёма полон: 0 – буфер приёма не полон 1 – буфер приёма полон	R	0
0	RBE	Буфер приёма пуст: 0 – буфер приёма не пуст 1 – буфер приёма пуст	R	1

11.3.7 Регистр состояния передатчика TSR (режим I2S)

Таблица 11.10. Назначение разрядов регистра TSR в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:28	-	Резерв	-	0
27:24	TB_DIFF	Количество свободных 64-разрядных позиций в буфере передачи (в буфер передачи можно записать еще TB_DIFF 64-разрядных слов).	R	8
23	-	Резерв	-	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
22:20	TVES	Эффективный размер буфера передачи Актуален только для режима работы с DMA. Значение TVES+1 – определяет максимальный объем буфера передачи. Т.е. в режиме работы с DMA буфер передачи не может быть заполнен больше, чем на TVES+1 64 разрядных слов.	RW	7
19	-	Резерв	-	0
18:16	TLEV	Порог прерывания от буфера передачи: Прерывание формируется если число 64-х разрядных слов в буфере передачи меньше либо равно TLEV. В режиме передачи данных с использованием DMA определяет степень заполнения буфера передачи, при которой происходит запись в буфер очередной пачки данных	RW	0
15:11	-	Резерв	-	0
10	TXBUF	Результирующее прерывание MFBSP_TXBUF	R	0
9	TXBUF_D	Прерывание MFBSP_TXBUF без механизма автоматического сброса при чтении TSR	R	0
8	TXBUF_R	Прерывание MFBSP_TXBUF с механизмом автоматического сброса при чтении TSR	R	0
7	TRUN	Идёт передача: 0 – передатчик в состоянии ожидания 1 – идёт передача очередного слова	R	0
6	TERR	Ошибка передачи: 0 – передача проходила в штатном режиме 1 - было чтение из пустого буфера передачи (передача некорректных данных). Флаг сбрасывается записью 0 в 6-й разряд регистра TSR.	RW	0
5	TSBF	Буфер пересинхронизации в направлении передачи полон: 0 – буфер пересинхронизации в направлении передачи не полон 1 – буфер пересинхронизации в направлении передачи полон	R	0
4	TSBE	Буфер пересинхронизации в направлении передачи пуст: 0 – буфер пересинхронизации в направлении передачи не пуст 1 – буфер пересинхронизации в направлении передачи пуст	R	1
3	TBLL	Достигнут порог прерывания в буфере передачи: 1 – число 64-х разрядных слов в буфере передачи меньше либо равно TLEV 0 – число 64-х разрядных слов в буфере передачи больше TLEV	R	1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
2	TBNF	Буфер передачи заполнен на половину или более: 1 – буфер передачи заполнен на половину или больше 0 – буфер передачи заполнен меньше чем на половину (в буфер передачи можно записать еще как минимум 4 слова)	R	0
1	TBF	Буфер передачи полон: 0 – буфер передачи не полон 1 – буфер передачи полон	R	0
0	TBE	Буфер передачи пуст: 0 – буфер передачи не пуст 1 – буфер передачи пуст	R	1

11.3.8 Регистр управления темпом приёма RCTR_RATE (режим I2S)

Таблица 11.11. Назначение разрядов регистра RCTR_RATE в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	RCS_RATE	Делитель частоты управляющего сигнала приёмника: Задаёт частоту управляющего сигнала приёмника, определяемую, как $RCLK/((RCS_RATE+1)*2)$, где RCLK – частота тактового сигнала приёмника RCS_RATE обязательно должно быть больше либо равно $(RWORDLEN+1)*(RWORDCNT+1)-1$	RW	0
15:12	-	В режиме I2S не используется	-	0
11:10	-	Резерв	-	0
9:0	RCLK_RATE	Делитель частоты приёмника: В случае, если частота формируется самим приёмником, определяет частоту приёмника $RCLK = CLK/((RCLK_RATE+1)*2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0

11.3.9 Регистр управления темпом передачи TCTR_RATE (режим I2S)

Таблица 11.12. Назначение разрядов регистра TCTR_RATE в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	TCS_RATE	Делитель частоты управляющего сигнала передатчика: Задаёт частоту управляющего сигнала передатчика, определяемую как $TCLK/((TCS_RATE+1)*2)$, где TCLK – частота тактового сигнала передатчика. TCS_RATE обязательно должно быть больше либо равно $(TWORDLEN+1)*(TWORDCNT+1)-1$	RW	0
15:12	-	В режиме I2S не используется	-	0
11:10	-	Резерв	-	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
9:0	TCLK_RATE	Делитель частоты передатчика: В случае, если частота формируется самим передатчиком, определяет частоту передатчика $TCLK = CLK / ((TCLK_RATE + 1) * 2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0

11.3.10 Псевдорегистр TSTART (режим I2S)

Таблица 11.13. Назначение разрядов регистра TSTART в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Резерв	-	0
0	TEN	Разрешение работы передатчика: 0 – передатчик выключен 1 – передатчик включен Доступ к полю TEN регистра TCTR без изменения настроек TCTR	RW	0

11.3.11 Псевдорегистр RSTART (режим I2S)

Таблица 11.14. Назначение разрядов регистра RSTART в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Резерв	-	0
0	REN	Разрешение работы передатчика: 0 – приемник выключен 1 – приемник включен Доступ к полю REN регистра RCTR без изменения настроек RCTR	RW	0

11.3.12 Регистр аварийного управления портом EMERG_MFBSP (режим I2S)

Таблица 11.15. Назначение разрядов регистра EMERG_MFBSP в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Резерв	-	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
5	RX_DBG	Программное управление признаком готовности приема данных из DMA в MFBSР: 0 – штатный режим работы. Признак готовности формируется MFBSР аппаратно; 1 – признак готовности установлен в 1. Используется для приведения DMA в исходное состояние, если: устройство, подключенное к MFBSР, передало в него меньший объем данных, по сравнению с тем, что указано в DMA; необходимо программно остановить прием данных в MFBSР	RW	0
4	TX_DBG	Программное управление признаком готовности передачи данных из MFBSР в DMA: 0 – штатный режим работы. Признак готовности формируется MFBSР аппаратно; 1 – признак готовности установлен в 1. Используется для приведения DMA в исходное состояние, если: устройство, подключенное к MFBSР, приняло из него меньший объем данных, по сравнению с тем, что указано в DMA; необходимо программно остановить передачу данных из MFBSР	RW	0
3	-	Резерв	-	0
2	RST_RXBUF	Сброс буфера приема последовательного порта и буфера пересинхронизации направления приема. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
1	RST_TXBUF	Сброс буфера передачи последовательного порта и буфера пересинхронизации направления передачи. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
0	RST_LPTBUF	Сброс буфера линкового порта и буфера пересинхронизации направления приёма. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0

11.3.13 Регистр маски прерываний от порта IMASK_MFBSР (режим I2S)

Таблица 11.16. Назначение разрядов регистра IMASK_MFBSР в режиме I2S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:15	-	Резерв	-	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
14	RXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSP_RXBUF 0 – прерывание не сбрасывается при чтении RSR 1 – прерывание сбрасывается при чтении RSR	RW	1
13	RX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера приема 0 – прерывание MFBSP_RXBUF не будет устанавливаться при превышении порога RLEV 1 - прерывание MFBSP_RXBUF будет устанавливаться при превышении порога RLEV	RW	1
12	RX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSP_RXBUF не будет устанавливаться при переполнении буфера приема 1 - прерывание MFBSP_RXBUF будет устанавливаться при переполнении буфера приема	RW	1
11:7	-	Резерв	-	0
6	TXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSP_TXBUF 0 – прерывание не сбрасывается при чтении TSR 1 – прерывание сбрасывается при чтении TSR	RW	1
5	TX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера передачи 0 – прерывание MFBSP_TXBUF не будет устанавливаться, если число слов в буфере передачи меньше порога TLEV 1 - прерывание MFBSP_TXBUF будет устанавливаться, если число слов в буфере передачи меньше порога TLEV	RW	1
4	TX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSP_TXBUF не будет устанавливаться при чтении из пустого буфера передачи 1 - прерывание MFBSP_TXBUF будет устанавливаться при чтении из пустого буфера передачи	RW	1
3:1	-	Резерв	-	0
0	LPT_IRQ_EN	Разрешение прерывания по запросу на обслуживание 0 – SRQ запрещено 1 – SRQ разрешено	RW	1

11.3.14 Структурная схема MFBSB для режима I2S

На Рисунок 11.7 представлена структурная схема MFBSB для режима I2S.

Включение режима I2S производится установкой бит $LEN = 0$, $SPI_I2S_EN = 1$, регистра CSR_MFBSB и $TMODE = 0$ регистра $TCTR$ для передатчика, $RMODE = 0$ регистра $RCTR$ для приёмника.

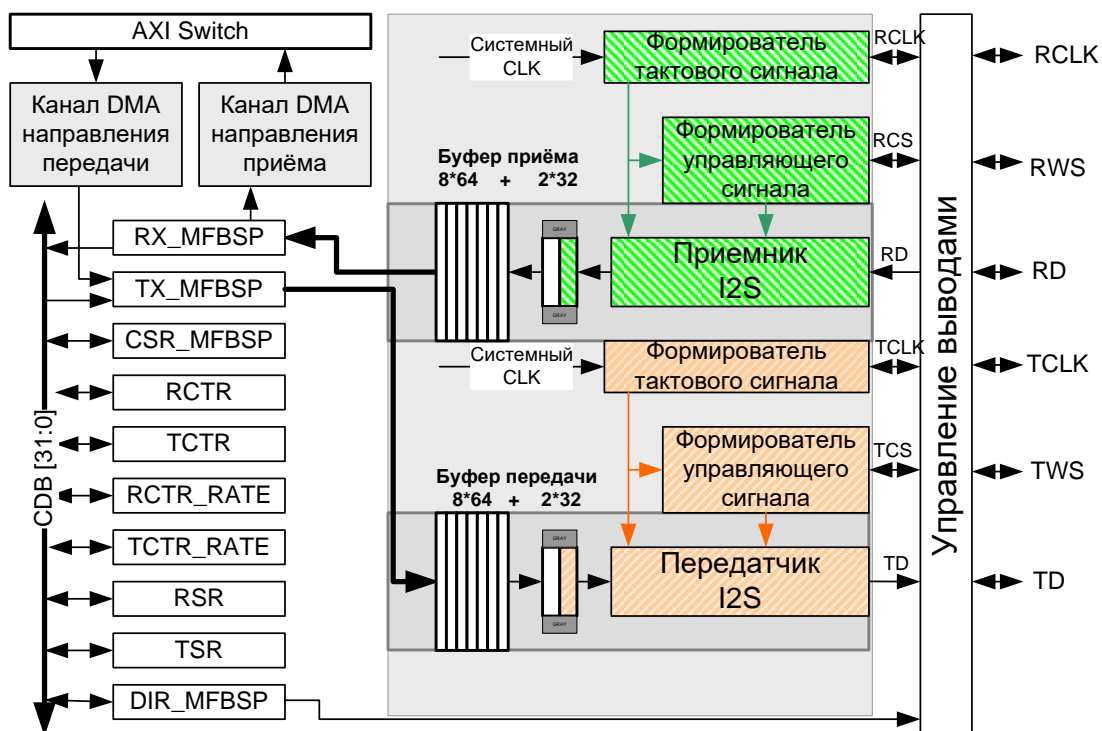


Рисунок 11.7. Структурная схема MFBSB для режима I2S

11.3.15 Варианты соединения порта с внешними устройствами

Программно управляя направлением выводов последовательного порта (см. описание регистра DIR_MFBSB), можно организовать множество вариантов соединения схемы с внешними устройствами через MFBSB (Рисунок 11.8, Рисунок 11.9, Рисунок 11.10).

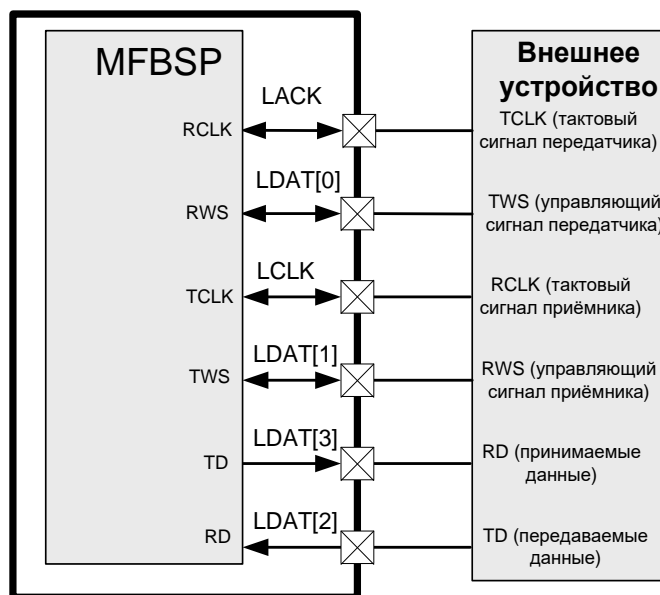


Рисунок 11.8. Соединение двух устройств по интерфейсу I2S в дуплексном режиме. Приёмник и передатчик независимы (задействовано 6 внешних выводов). Направление выводов TCLK, TWS, RCLK и RWS может быть произвольным в зависимости от требований внешнего устройства (режим №3 по Таблица 11.1)

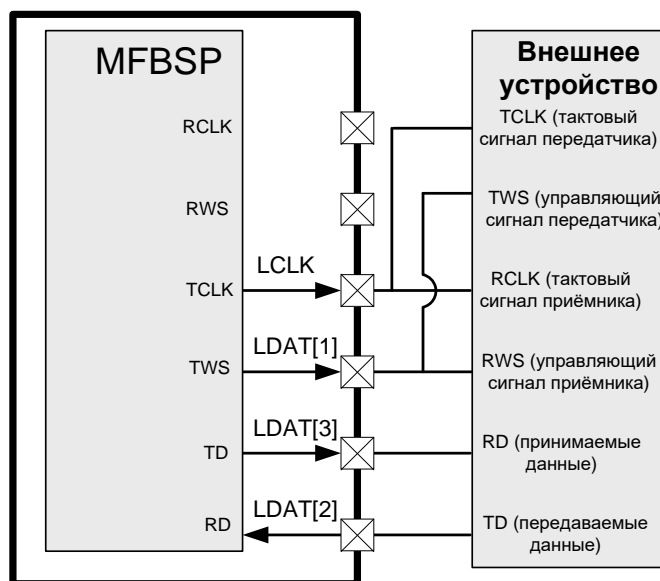


Рисунок 11.9. Соединение двух устройств по интерфейсу I2S в дуплексном режиме. Приёмник в зависимом от передатчика режиме (задействовано 4 внешних вывода) (режим №3 по Таблица 11.1)

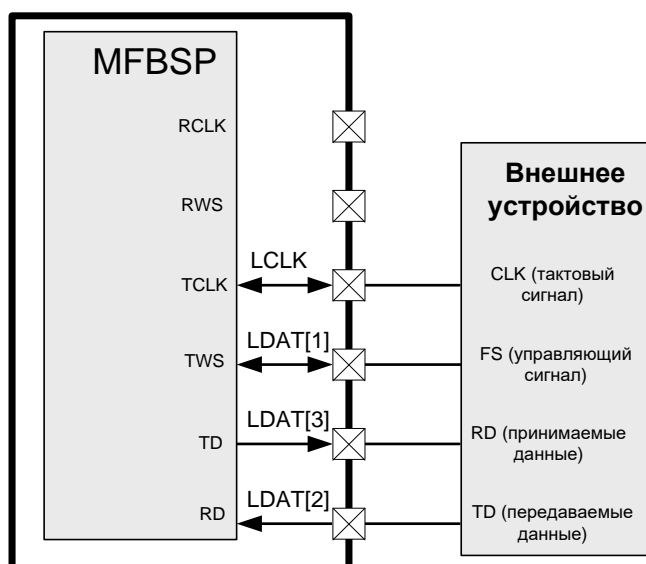


Рисунок 11.10. Соединение двух устройств по интерфейсу I2S в дуплексном режиме. Приёмник в зависимом от передатчика режиме (задействовано 4 внешних выводов). Как приёмником, так и передатчиком используются тактовый и управляющий сигналы с выводов TCLK и TWS. Направление выводов TCLK и TWS может быть произвольным в зависимости от требований внешнего устройства (режим №3 по Таблица 11.1)

11.3.16 Передача данных в режиме I2S

В режиме I2S возможна передача аудио данных с использованием сигнала выбора канала (бит (T/R)DSPMODE = 0). При этом программно задаётся полярность тактового сигнала, полярность управляющего сигнала и наличие задержки выдачи данных относительно фронта управляющего сигнала (см. описание регистров TCTR и RCTR). На Рисунок 11.11 представлены временные диаграммы для данного режима.

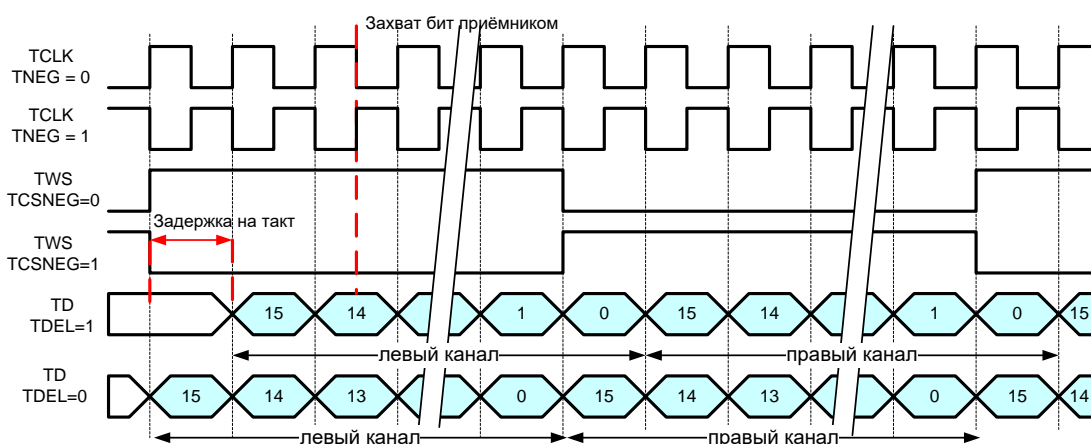


Рисунок 11.11. Передача в режиме I2S (формат I2S) $TMODE = 0$, $TDSPMODE = 0$, $TMBF = 1$, $TCS_RATE = TWORDLEN = 15$ диаграммы тактового сигнала TCLK представлены для различных значений TNEG, диаграммы управляющего сигнала TWS представлены для различных значений TCSNEG, диаграммы для последовательных данных представлены для различных значений TDEL

В режиме I2S (бит (T/R)MODE = 0) также возможна передача последовательных слов с использованием сигнала синхронизации фрейма (бит (T/R)DSPMODE = 1). При этом программно задаётся полярность тактового сигнала, полярность активного фронта

управляющего сигнала и наличие задержки выдачи данных относительно фронта управляющего сигнала (Рисунок 11.12).

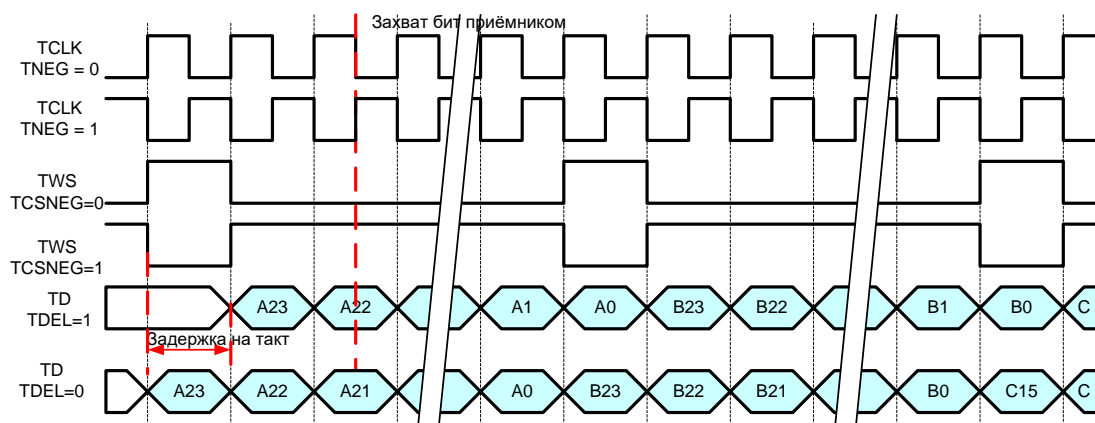


Рисунок 11.12. Передача в режиме I2S (формат DSP) $TMODE = 0$, $TDSPMODE=1$, $TMBF = 1$, $TCS_RATE = TWORDLEN = 23$ диаграммы тактового сигнала TCLK представлены для различных значений TNEG, диаграммы управляющего сигнала TWS представлены для различных значений TCSNEG, диаграммы для последовательных данных представлены для различных значений TDEL

Если управляющий сигнал формируется логикой MFBS (вывод (T/R)WS – сконфигурирован как выход), то частота управляющего сигнала (либо частота импульсов синхронизации в формате DSP) может задаваться программно от $ICLK/2$ до $ICLK/(2 \cdot 2^{16})$, где ICLK – рабочая частота интерфейса TCLK для передатчика и RCLK для приемника (см. описание регистров TCTR_RATE и RCTR_RATE). Временные диаграммы для данного случая представлены на Рисунок 11.13.

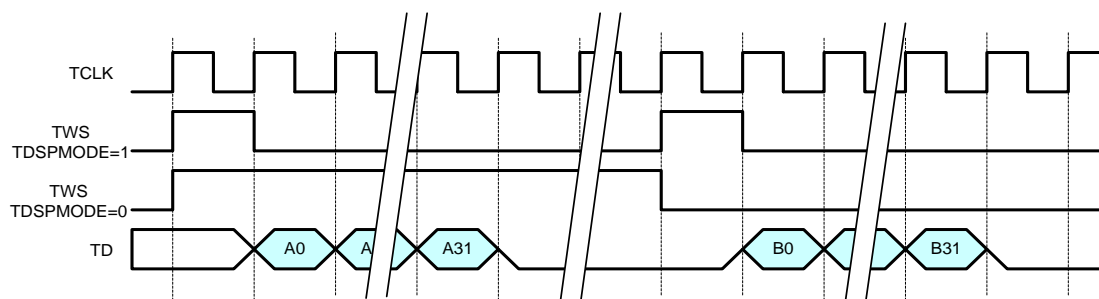


Рисунок 11.13. Передача в режиме I2S $TMODE = 0$, $TMBF = 0$, $TWORDLEN = 31$, $TCS_RATE > TWORDLEN$, $TNEG = 0$, $TCSNEG=0$, $TDEL = 1$. Диаграммы управляющего сигнала TWS представлены для различных значений TDSPMODE

MFBS позволяет передавать от 1 до 64 слов в пределах одного фрейма. В этом случае с приходом сигнала синхронизации фрейма начинается передача первого слова, с передачей последнего бита первого слова из буфера передачи сразу считывается следующее слово и в следующем такте начинают передаваться биты очередного слова и так до тех пор, пока не будет передано число слов равно $TWORDCNT+1$. По окончании передачи последнего слова фрейма, порт ожидает очередного сигнала синхронизации фрейма. Сигнал синхронизации пришедший в момент, когда передача слов фрейма еще не закончилась игнорируется. Буфер передачи может вместить максимум 18 32-х разрядных слов, если в пределах фрейма передаётся больше 18 слов необходимо следить за тем, чтобы буфер передачи был не пуст (при включенном канале DMA это происходит автоматически). Приёмник MFBS аналогичным образом может принимать от 1 до 64-х слов в пределах одного фрейма.

В режиме I2S, при $(T/R)MODE = 0$, $(T/R)DSPMODE = 0$) выполняется автоматическая синхронизация принимаемых и передаваемых данных таким образом, что первое слово переданное передатчиком будет передано в левый канал, а первое слово принятое приемником будет принято из левого канала (Рисунок 11.14).

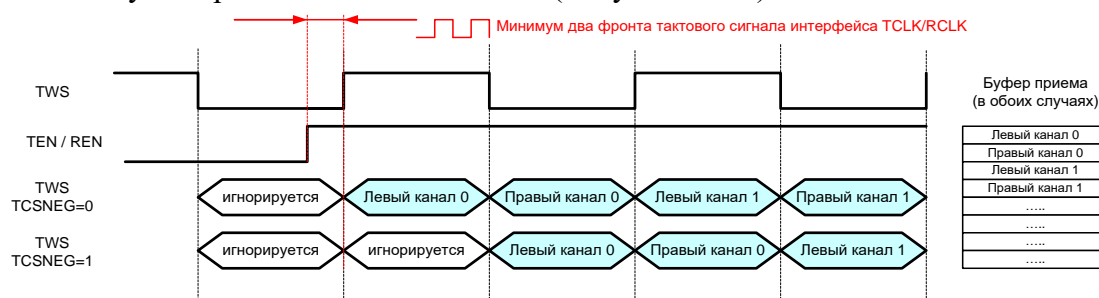


Рисунок 11.14. Синхронизация передаваемых и принимаемых данных по каналам (левый/правый) в режиме I2S после включения приемника или передатчика для различных значений TCSNEG

При работе порта в режиме I2S ($(T/R)MODE = 0$), в случае если используется управляющий сигнал, формируемый внешним устройством (порт в режиме ведомого), то, как для передатчика, так и для приемника после первого включения порта ($TEN/REN=1$), перед первым фронтом сигнала выбора слова/фрейм селекта (TWS) необходима подача как минимум двух импульсов тактового сигнала, необходимых для целей синхронизации. В противном случае первый импульс управляющего сигнала может быть проигнорирован (передача начнется со следующего активного фронта управляющего сигнала).

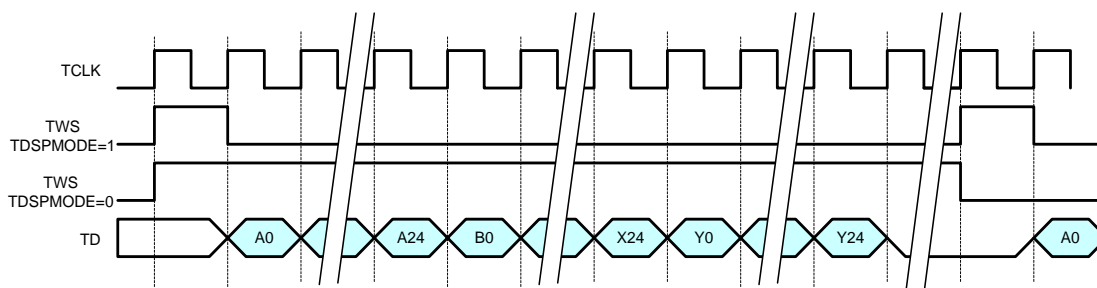


Рисунок 11.15. Передача в режиме I2S $TMODE = 0$, $TMBF = 0$, $TWORDLEN = 24$, $TWORDCNT = Y - 1$, $TCS_RATE + 1 > (TWORDLEN + 1) * (TWORDCNT + 1)$, $TNEG = 0$, $TCSNEG = 0$, $TDEL = 1$. Диаграммы управляющего сигнала TWS представлены для различных значений TDSPMODE

В режиме I2S (только в формате I2S (T/R)DSPMODE=0) предусмотрен режим паковщика / распаковщика. В этом режиме 32 разрядные слова из буфера передачи автоматически разбиваются на 2 16-ти разрядных слова и передаются по разным каналам. Соответственно для приёмника два принятых по разным каналам слова группируются в одно 32-х разрядное слово, которое записывается в буфер приёма. В данном режиме длина передаваемого или принимаемого слова может быть в пределах от 2 до 16 бит. Порядок выдачи разбитого слова и порядок сборки определяется битами TCSNEG, TSWAP, RCSNEG, RSWAP. Данный режим возможен только при передаче одного слова во фрейме ($TWORDCNT = RWORDCNT = 0$).

Пример настроек для передачи по интерфейсу FSB (CMX981): $TMODE = RMODE = 0$, $TDSPMODE = RDSPMODE = 1$, $TMBF = RMBF = 1$, $TNEG = RNEG = 1$, $TDEL = RDEL = 1$, $TCSNEG = RCSNEG = 0$, $TCS_RATE \geq TWORDLEN$, $RCS_RATE \geq RWORDLEN$. Приемник при этом должен быть независим от передатчика, т.е. $RCS_CP = 0$. Если шиной используется один тактовый сигнал для приема и передачи необходимо установить $RCLK_CP$ в 1, в этом случае приемником будет использоваться тактовый сигнал передатчика.

11.3.17 Формирование тактовых сигналов приёмника (RCLK) и передатчика (TCLK)

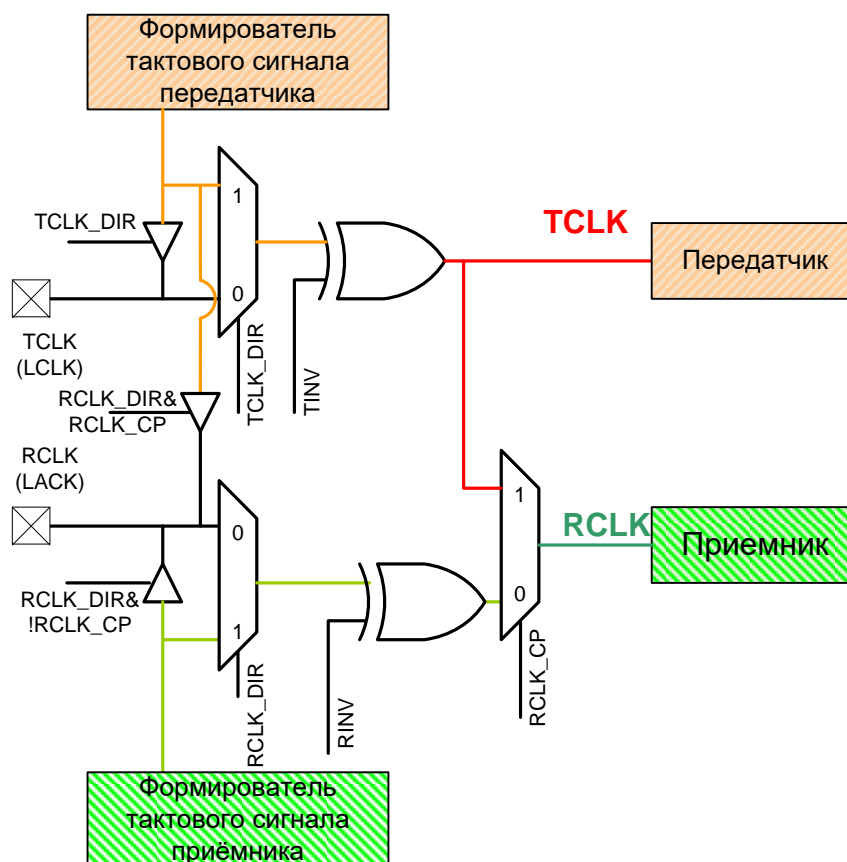


Рисунок 11.16. Схема формирования тактовых сигналов приёмника и передатчика в режиме I2S

На Рисунок 11.16 представлена схема формирования тактовых сигналов приёмника и передатчика в режиме I2S.

В зависимости от значения бита `TCLK_DIR`, тактовый сигнал передатчика `TCLK` может как формироваться самим передатчиком, так приниматься с внешнего вывода. В зависимости от значений бит `TMODE`, `TNEG` и `TDEL` тактовый сигнал либо передаётся передатчику без изменений, либо инвертируется.

В зависимости от значения бита `RCLK_DIR`, тактовый сигнал приёмника `RCLK` может как формироваться самим приёмником, так приниматься с внешнего вывода. В зависимости от значений бит `RMODE`, `RNEG` и `RDEL` тактовый сигнал либо передаётся приёмнику без изменений, либо инвертируется.

Если бит `RCLK_CP` установлен в 1, то тактовый сигнал приёмника копирует тактовый сигнал передатчика. Для корректной работы устройства в этом случае настройки полярности тактового сигнала приёмника и передатчика должны совпадать (`TNEG = RNEG`, `TDEL = RDEL`).

При `RCLK_CP = 1` тактовый сигнал передатчика передаётся на внешний вывод приёмника, только если передатчик сам формирует тактовый сигнал и вывод тактового сигнала приёмника сконфигурирован как выход (`TCLK_DIR=1`, `RCLK_DIR=1`).

Если биты `RCLK_CONT = 1` и `RCLK_DIR = 1` то `RCLK` формируется непрерывно, пока установлен бит `REN`. Если `RCLK_CONT = 0` и `RCLK_DIR = 1` то `RCLK` формируется только

до момента заполнения буфера приёма. Если $RCLK_DIR = 0$, то $RCLK$ принимается с внешнего вывода схемы.

Если биты $TCLK_CONT = 1$ и $TCLK_DIR = 1$, то $TCLK$ формируется непрерывно, пока установлен бит TEN . Если $TCLK_CONT = 0$ и $TCLK_DIR = 1$, то $TCLK$ формируется только в процессе передачи очередного слова. Если $TCLK_DIR = 0$, то $TCLK$ принимается с внешнего вывода схемы.

11.3.18 Формирование управляющих сигналов приёмника и передатчика в режиме I2S

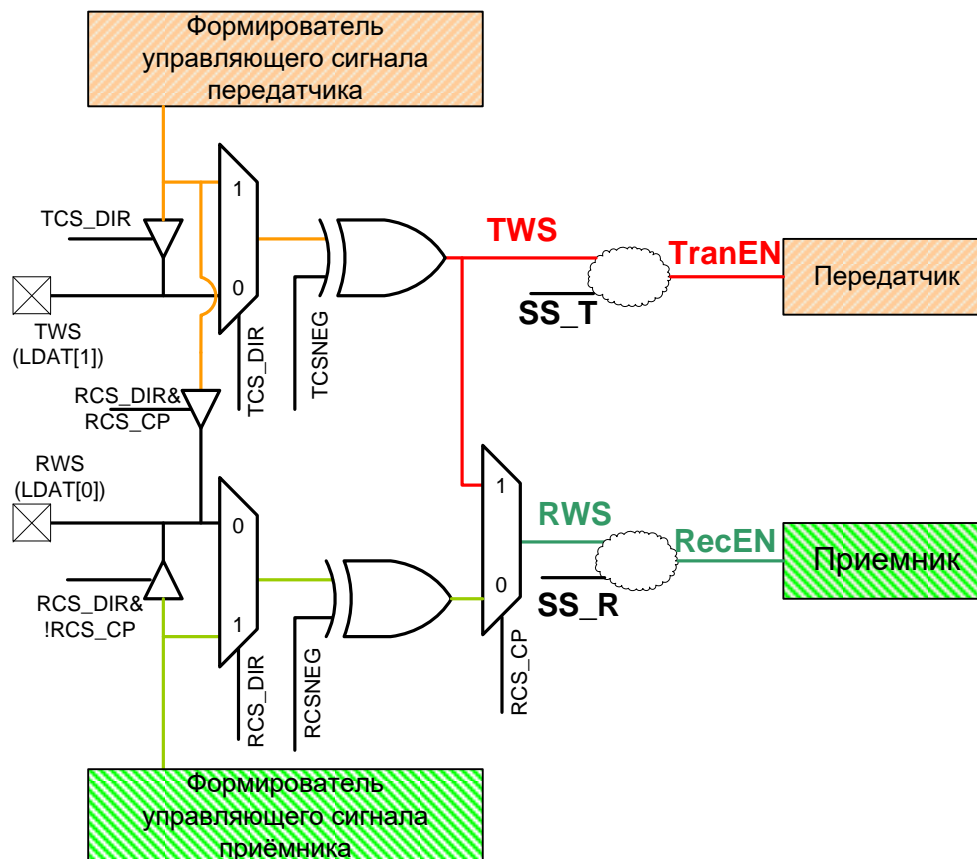


Рисунок 11.17. Схема формирования управляющих сигналов в режиме I2S

На Рисунок 11.17 представлена схема формирования управляющих сигналов в режиме I2S.

В зависимости от значения бита TCS_DIR , задающего направление вывода TWS , управляющий сигнал передатчика TWS может как формироваться самим передатчиком, так приниматься с внешнего вывода. В зависимости от значения бита $TCSNEG$ управляющий сигнал либо передаётся передатчику без изменений, либо инвертируется.

В зависимости от значения бита RCS_DIR , задающего направление вывода RWS , управляющий сигнал приёмника $RCLK$ может как формироваться самим приёмником, так приниматься с внешнего вывода. В зависимости от значения бита $RCSNEG$ управляющий сигнал либо передаётся приёмнику без изменений, либо инвертируется.

Если бит RCS_CP установлен в 1, то управляющий сигнал приёмника копирует управляющий сигнал передатчика. Для корректной работы устройства в этом случае настройки полярности управляющего сигнала приёмника и передатчика должны совпадать ($TCSNEG = RCSNEG$).

При $RCS_CP = 1$ управляющий сигнал передатчика передается на внешний вывод приемника, только если передатчик сам формирует управляющий сигнал и вывод управляющего сигнала приемника сконфигурирован как выход ($TCS_DIR=1$, $RCS_DIR = 1$).

Если направление вывода RWS задано как выход и $RCS_CONT=0$, то управляющий сигнал RWS формируется до тех пор, пока не заполнится буфер приема, если $RCS_CONT = 1$ то, RWS формируется непрерывно, пока установлен бит REN. Если направление вывода задано как вход, управляющий сигнал RWS принимается от внешнего устройства. Если установлен бит RCS_CP , RWS копирует TWS, независимо от направления вывода.

Если направление вывода TWS задано как выход и $TCS_CONT = 0$, то управляющий сигнал TWS формируется только во время передачи очередного слова, если $TCS_CONT = 1$ TWS формируется непрерывно, пока установлен бит TEN. Если направление вывода задано как вход, управляющий сигнал TWS принимается от внешнего устройства.

11.3.19 Тракт передачи данных

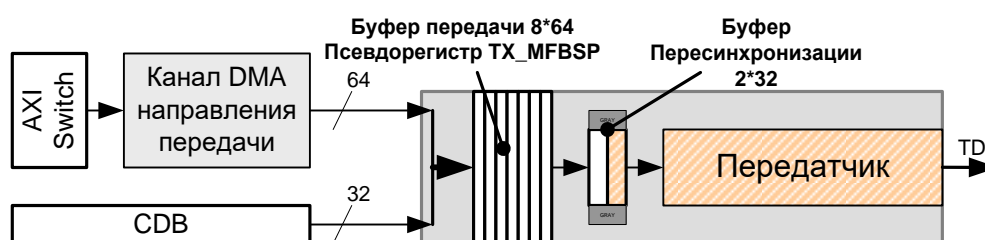


Рисунок 11.18. Тракт передачи данных для режима I2S

На Рисунок 11.18 представлен тракт передачи данных для режима I2S.

Что бы инициировать передачу данных по последовательному порту необходимо включить последовательный порт ($SPI_I2S_EN=1$) и передатчик ($TEN=1$), после чего-либо начать производить запись передаваемых 32-х разрядных слов в буфер передачи по адресу псевдорегистра TX_MFBS , либо включить канал DMA в направления передачи для соответствующего порта (в этом случае обмен данными с портом будет вестись 64-х разрядными словами).

Данные записанные в буфер передачи автоматически перемещаются в буфер пересинхронизации направления передачи, если он не полон. Запись в буфер пересинхронизации направления передачи осуществляется на системной частоте CLK , чтение из буфера пересинхронизации осуществляется на частоте передатчика $TCLK$. Как только в буфере пересинхронизации оказалось хотя бы одно слово, передатчиком иницируется передача. Передатчиком производится последовательная выдача бит очередного 32-х разрядного слова до тех пор, пока число переданных бит не достигнет $TWORDLEN+1$, после чего производится считывание очередного слова из буфера пересинхронизации. По мере передачи слов в освобождающийся буфер пересинхронизации перемещается слово из буфера передачи. После выборки последнего слова из буфера передачи (буфер передачи пуст) в буфере пересинхронизации остаётся еще два слова. Фактическое окончание передачи можно идентифицировать по состоянию буфера пересинхронизации, либо считав бит $TRUN$ регистра TSR .

Если управляющий сигнал формируется передатчиком, то при считывании последнего слова из буфера пересинхронизации передача останавливается. Передача продолжится только после того как в буфер пересинхронизации снова начнут поступать данные.

Если передатчик использует внешнюю частоту и внешний управляющий сигнал, в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота передатчика, однако ее должно быть достаточно для того, чтобы успеть переместить очередное слово в буфер пересинхронизации (за время передачи одного слова должно быть хотя бы три импульса системной частоты CLK). Если внешний управляющий сигнал инициировал передачу слова при пустом буфере пересинхронизации устанавливается флаг ошибки передачи (TERR), в этом случае передаётся ошибочное слово. Если управляющий сигнал формируется самим передатчиком, системная частота может быть много меньше частоты передатчика, однако это скажется на скорости передачи данных.

Установка бита TERR в процессе передачи говорит о том, что порт произвел попытку чтения из пустого буфера передачи. Это значит, что передатчиком было передано некорректное слово.

В направлении передачи порт обладает буферизацией на 18 32-х разрядных слов. В случае передачи данных посредством DMA запись блоков данных в буфер передачи происходит до тех пор, пока буфер готов принять очередной блок, размер которого определяется битами WN, регистра CSR соответствующего канала DMA.

Степень заполнения буфера можно программно регулировать, используя биты TBES. В этом случае значение выражения $TBES+1$ – задает эффективный размер буфера передачи. Передача очередной пачки происходит только в случае, если при записи этой пачки в буфер передачи число 64 разрядных слов в буфере передачи не превысит $TBES+1$. При попытке передать пачку со значением $WN > TBES$, значение WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

Так, при $WN = 0$ и $TBES = 0$ очередное 64-х разрядное слово будет подкачиваться в буфер передачи только если он пуст. В этом случае по окончании работы DMA в момент прерывания от соответствующего канала передатчику останется передать ещё 4 32-х разрядных слова (два 32-х разрядных слова в буфере пересинхронизации и одно 64-х разрядное слово в буфере передачи).

Установка бита SPI_I2S_EN в 0 приведет к программному сбросу передатчика, и все данные находящиеся в буфере передачи будут утеряны.

11.3.20 Тракт приёма данных

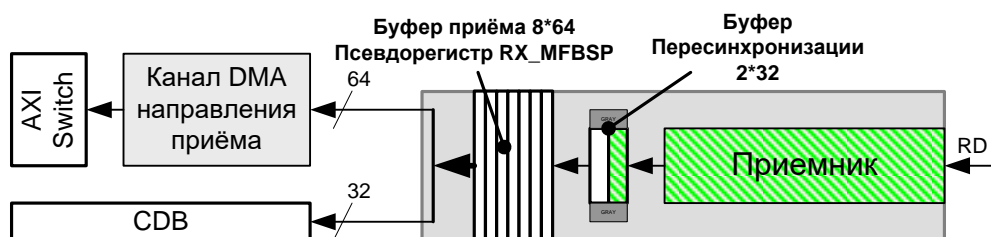


Рисунок 11.19. Тракт приёма данных в режиме I2S

На Рисунок 11.19 представлен тракт передачи данных для режима I2S.

Что бы перевести приёмник в режим готовности необходимо включить последовательный порт ($SPI_I2S_EN = 1$) и приёмник ($REN = 1$), после чего-либо начать ожидание появления прочитанных данных в буфере приёма, либо включить канал DMA в направления приёма для соответствующего порта.

Приёмник принимает последовательные биты, поступающие с внешнего вывода до тех пор, пока число принятых бит не достигнет значения $RWORDLEN+1$. После этого принятое 32-х разрядное слово (если $RWORDLEN < 31$ незадействованные биты обнуляются) перемещается в буфер пересинхронизации. Запись в буфер пересинхронизации направления приёма осуществляется на частоте приёмника $RCLK$, чтение из буфера пересинхронизации осуществляется на системной частоте CLK . Из буфера пересинхронизации принятое слово автоматически перемещается в буфер приёма, если он не полон. Если в буфере приёма есть хотя бы одно 32-х разрядное слово, то принятые 32-х разрядные слова можно считывать, обращаясь по адресу псевдорегистра RX_MFBSP . Принимать данные можно также включив соответствующий порту канал DMA направления приёма (в этом случае обмен данными с портом осуществляется 64-х разрядными словами).

Если приёмник использует внешнюю частоту, то в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота приёмника, однако ее должно быть достаточно для того, чтобы успеть переместить очередное слово из буфера пересинхронизации (за время приёма одного слова должно быть хотя бы три импульса системной частоты CLK). Если при заполненном буфере пересинхронизации приёмником был произведен приём очередного слова и инициирована попытка записи в буфер пересинхронизации устанавливается флаг ошибки приёма ($RERR$), а последнее принятое слово теряется.

Установка бита $RERR$ в процессе передачи говорит о том, что порт произвел попытку записи в полный буфер приёма. Это значит, что принятое слово было потеряно.

В направлении приёма порт обладает буферизацией на 18 32-х разрядных слов. В случае приёма данных посредством DMA чтение блоков данных из буфера приёма происходит до тех пор, пока в буфере приёма достаточно слов для чтения очередного блока, размер которого определяется битами WN , регистра CSR соответствующего канала DMA. DMA обмена возможны только 64 разрядными словами, таким образом, если было принято нечетное количество 32-х разрядных слов, после окончания работы DMA необходимо прочитать оставшееся слово, обратившись к псевдорегистру RX_MFBSP .

Установка бита SPI_I2S_EN в 0 приведет к программному сбросу приёмника и все данные находящиеся в буфере приёма будут утеряны.

11.3.21 Прерывания от последовательного порта

Прерывание $MFBSP_RXBUF$ устанавливается, в случае если включен приемник ($I2S_SPI_EN = 1$, $REN = 1$) и в буфер приёма записано количество слов большее, чем установлено уровнем прерывания $RLEV$, либо произошла ошибка приема ($RERR = 1$).

Прерывание $MFBSP_TXBUF$ устанавливается, в случае если включен передатчик ($I2S_SPI_EN = 1$, $REN = 1$) и в буфере передачи осталось количество слов меньшее, либо равное чем установлено уровнем прерывания $TLEV$, либо произошла ошибка передачи ($TERR = 1$).

11.4 Работа MFBSР в режиме SPI

11.4.1 Назначение последовательного порта в режиме SPI

Режим SPI буферизированного последовательного порта предназначен для организации дуплексного обмена последовательными данными с внешними устройствами.

Порт в режиме SPI позволяет одновременно передавать и принимать последовательные данные. Приемник и передатчик контроллера могут настраиваются независимо, при этом возможен перевод приёмника в зависимое от передатчика состояние.

Поддерживается независимое задание направления каждого из выводов порта, осуществляемое установкой соответствующих бит регистра DIR_MFBSР. Однако для режима SPI имеется ограничение: направление выводов тактового сигнала и сигнала выбора ведомого должно совпадать.

В режиме ведущего устройства к MFBSР параллельно может быть подключено до двух ведомых SPI устройств.

Формирование сигнала выбора ведомого возможно как в автоматическом так и в программном режиме. В автоматическом режиме после передачи каждой группы слов (число слов в группе может принимать значения от 1 до 64) сигнал выбора ведомого возвращается в высокое состояние. При программном управлении сигналами выбора ведомого данные сигналы изменяются посредством записи в контрольный регистр передатчика.

В данной реализации порта существует ограничение на выбор направления выводов в режиме SPI: тактовый и управляющий сигналы в режиме SPI должны быть либо оба заданы как вход, либо оба заданы как выход;

В данной реализации порта не предусмотрена возможность соединения нескольких микропроцессоров по цепочке с использованием SPI интерфейса. Микропроцессор может только управлять загрузкой последовательных данных в другие ведомые устройства, соединенные по цепочке.

В данной реализации порта в режиме ведомого устройства сигнал выбора ведомого предварительно пересинхронизируется на внутреннюю частоту порта, поэтому для устойчивой работы порта в режиме ведомого SPI устройства уровень сигнала SS, если необходима его установка в 1 между передачами, должен удерживаться как минимум два периода внутренней частоты CLK. Поэтому, если приемник работает в зависимом от передатчика режиме (RCS_CP=1, RCLK_CP=1), передатчик работает на максимальной частоте (TCLK_RATE=0) и формирует сигнал SS в автоматическом режиме (SS_DO=0, TCS_DIR=1), необходимо установить значение TSS_RATE>=1 чтобы удерживать сигнал SS в высоком уровне как минимум два периода внутренней частоты CLK.

11.4.2 Регистр управления и состояния CSR_MFBSР (режим SPI)

Регистр CSR_MFBSР (Таблица 11.17) используется для включения режима последовательного порта и разрешения прерываний от MFBSР.

Таблица 11.17. Назначение разрядов регистра CSR_MFBSР в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:15	-	Резерв	-	0
14:11	-	В режиме SPI не используется	-	0
10	-	Резерв	-	0
9	SPI_I2S_EN	Включение режима SPI/I2S: 0 – Работа в режиме LPORT 1 – Работа в режиме SPI/I2S	RW	0
8:5	-	В режиме I2S не используется	-	0
4:3	LSTAT	Состояние буфера: При LTRAN = 0 показывает состояние буфера приёма При LTRAN = 1 показывает состояние буфера передачи 00 – буфер пуст; 10 – буфер не пуст; 11 – буфер полон.	R	0
2	-	В режиме I2S не используется	-	0
1	LTRAN	Назначение бит LSTAT: 0 - LSTAT отображает состояние буфера приёма 1 - LSTAT отображает состояние буфера передачи	RW	0
0	LEN	В режиме SPI должен быть установлен в 0	RW	0

11.4.3 Регистр управления направлением выводов DIR_MFBSP (режим SPI)

Регистр управления направлением выводов DIR_MFBSP (Таблица 11.18) предназначен для индивидуальной настройки направления каждого вывода последовательного порта.

Таблица 11.18. Назначение разрядов регистра DIR_MFBSP в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
9:6	LDAT_DIR[7:4]	Направление выводов LDAT[7:4]	RW	0
5	TD_DIR	Направление вывода MOSI: 0 – MOSI – вход (при RD_DIR = 1 последовательные данные принимаются со входа MOSI - эквивалент SDI) 1 – MOSI - выход (MOSI – является выходом для передачи последовательных данных и является эквивалентом SDO)	RW	0
4	RD_DIR	Направление вывода MISO: 0 – MISO – вход (последовательные данные принимаются со входа MISO - эквивалент SDI) 1 – MISO - выход (MISO – является выходом для передачи последовательных данных и является эквивалентом SDO)	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
3	TCS_DIR	Направление вывода SS[0]: 0 – SS[0] – вход (управляющий сигнал для передатчика снимается с вывода SS[0]) 1 – SS[0] - выход, управляющий сигнал формируется передатчиком	RW	0
2	RCS_DIR	Направление вывода SS[1]: 0 – SS[1] – вход (управляющий сигнал для приёмника снимается с вывода SS[1]) 1 – SS[1] - выход, в этом случае на SS[1] в зависимости от состояния бита RCS_CP подаются управляющие сигналы, формируемые либо приемником, либо передатчиком	RW	0
1	TCLK_DIR	Направление вывода TSCK: 0 – TSCK – вход (тактовый сигнал TSCK принимается от внешнего источника) 1 – TSCK – выход (тактовый сигнал TSCK формируется передатчиком)	RW	0
0	RCLK_DIR	Направление вывода RSCK: 0 – RSCK – вход (тактовый сигнал RSCK принимается от внешнего источника) 1 – RSCK – выход (тактовый сигнал RSCK формируется приёмником)	RW	0

Примечание. При RD_DIR = 0 и TD_DIR = 0 данные снимаются с MISO, при RD_DIR = 1 и TD_DIR = 1 на MOSI и MISO выдаются одинаковые данные с передатчика.
Регистр управления приёмником RCTR (режим SPI)

Таблица 11.19. Назначение разрядов регистра RCTR в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	Резерв	-	0
29	-	В режиме SPI не используется	-	0
28	-	В режиме SPI не используется	-	0
27	-	В режиме SPI не используется	-	0
26	RSIGN	Значение заполнителя: Если длина принимаемого слова меньше 32 при отключенном паковщике или меньше 16 при включенном паковщике, то неиспользуемые биты принятого слова заполняются При RSIGN = 0 нулями При RSIGN = 1 значением старшего разряда в принятом слове	RW	0
25	RPACK	В режиме SPI обязательно RPACK=0.	RW	0
24:20	RWORDLEN	Длина принимаемого слова: Число бит в принимаемом слове равно RWORDLEN + 1. RWORDLEN должно быть больше 0.	RW	5'b0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
19	RMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW RW	1
18	-	В режиме SPI не используется	-	0
17:12	RWORDCNT	Число слов во фрейме: Определяет число принимаемых в течении одного фрейма слов. Число принимаемых слов равно RWORDCNT + 1. Число бит, принимаемых в пределах одного фрейма, равно (RWORDCNT + 1)* (RWORDLEN+1) Во время приёма фрейма состояние сигнала выбора ведомого не меняется.	RW	0
11	RDEL	Задержка начала приёма данных на пол такта: (Эквивалентно CPHA в спецификации Motorola). Задаёт фронт, по которому производится захват данных приёмником (фронт приёма). Ниже приведено соответствие полярности фронта приёма значениям бит RNEG, RDEL: RNEG = 0, RDEL = 0 – захват по переднему фронту RSCK RNEG = 0, RDEL = 1 – захват по заднему фронту RSCK RNEG = 1, RDEL = 0 – захват по заднему фронту RSCK RNEG = 1, RDEL = 1 – захват по переднему фронту RSCK	RW	0
10	RNEG	Полярность тактового сигнала приёмника: (эквивалентно CPOL в спецификации Motorola). Задаёт исходное состояние вывода RSCK и фронт, по которому производится захват данных приёмником (фронт приёма). Ниже приведено соответствие полярности фронта приёма значениям бит RNEG, RDEL: RNEG = 0, RDEL = 0 – захват по переднему фронту RSCK RNEG = 0, RDEL = 1 – захват по заднему фронту RSCK RNEG = 1, RDEL = 0 – захват по заднему фронту RSCK RNEG = 1, RDEL = 1 – захват по переднему фронту RSCK Исходное состояние RSCK = RNEG.	RW	0
9	-	В режиме SPI не используется	-	0
8:4	-	Резерв	-	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
3	RCS_CP	Управление сигналом выбора ведомого приёмника: 0 – сигнал SS[1] принимается приёмником с внешнего вывода или формируется самим приёмником. 1 - сигнал SS[1] формируется передатчиком и является сигналом выбора ведомого устройства 1. Приёмник осуществляет приём данных синхронно с передатчиком. (в этом случае RCLK_CP должно быть так же в 1).	RW	0
2	RCLK_CP	Дублирование сигнала RSCK: 0 – RSCK формируется или принимается независимо от передатчика 1 – RSCK приёмника дублирует TSCK передатчика (в этом случае RCS_CP должно быть так же в 1).	RW	0
1	RMODE	Режим работы приёмника: 0 – режим I2S 1 – режим SPI	RW	0
0	REN	Разрешение работы приёмника: 0 – приемник выключен 1 – приемник включен	RW	0

11.4.4 Регистр управления передатчиком TCTR (режим SPI)

Таблица 11.20. Назначение разрядов регистра TCTR в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	SS[1]	Биты управления шиной Slave Select: Позволяют выбрать одно из двух подключенных ведомых устройств. При SS_DO = 0 установка соответствующего бита SS в 1 означает выбор ведомого устройства, с которым будет производиться обмен данными При SS_DO = 1 значения бит SS передаются на выводы SS напрямую	RW	0
30	SS[0]	-	RW	0
29	-	В режиме SPI не используется	-	0
28	-	В режиме SPI не используется	-	0
27	-	В режиме SPI не используется	-	0
26	-	Резерв	-	0
25	TPACK	В режиме SPI обязательно TPACK = 0.	RW	0
24:20	TWORDLEN	Длина передаваемого слова: Число бит в передаваемом слове равно TWORDLEN + 1. TWORDLEN должно быть больше 0.	RW	5'b0
19	TMBF	Порядок передачи бит: 0 – младшим битом вперед 1 – старшим битом вперед	RW	1
18	-	В режиме SPI не используется	-	0
17:12	TWORDCNT	Число слов во фрейме: Определяет число передаваемых в течении одного фрейма слов. Число передаваемых слов равно TWORDCNT + 1. Число бит, передаваемых в пределах одного фрейма, равно (TWORDCNT+1)* (TWORDLEN+1) Во время передачи фрейма состояние сигнала выбора ведомого не меняется.	RW	0
11	TDEL	Задержка начала передачи данных на пол такта: (Эквивалентно CPHA в спецификации Motorola). Задаёт фронт, по которому производится выдача данных передатчиком (фронт выдачи). Ниже приведено соответствие полярности фронта выдачи значениям бит TNEG, TDEL: TNEG = 0, TDEL = 0 – выдача по заднему фронту TSCK TNEG = 0, TDEL = 1 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 0 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 1 – выдача по заднему фронту TSCK	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
10	TNEG	Полярность тактового сигнала передатчика: (эквивалентно CPOL в спецификации Motorola). Задаёт исходное состояние вывода TSCK и фронт, по которому производится выдача данных передатчиком (фронт выдачи). Ниже приведено соответствие полярности фронта выдачи значениям бит TNEG, TDEL: TNEG = 0, TDEL = 0 – выдача по заднему фронту TSCK TNEG = 0, TDEL = 1 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 0 – выдача по переднему фронту TSCK TNEG = 1, TDEL = 1 – выдача по заднему фронту TSCK Исходное состояние TSCK = TNEG.	RW	0
9	-	В режиме SPI не используется	-	0
8:4	-	Резерв	-	0
3	SS_DO	управление выводами SS: 0 – управление выводами SS производится в автоматическом режиме. С началом передачи вывод SS, для которого соответствующий бит SS, регистра TCRT установлен в 1 переводится в низкое состояние, с окончанием передачи вывод SS переводится в высокое состояние. Если соответствующий выводу бит SS установлен в 0 вывод SS всегда находится в высоком состоянии. 1 – значения бит SS напрямую передаются на внешние выводы. В этом случае необходимо программное управление шиной SS в процессе передачи	RW	0
2	-	В режиме SPI не используется	-	0
1	TMODE	Режим работы передатчика: 0 – режим I2S 1 – режим SPI	RW	0
0	TEN	Разрешение работы передатчика: 0 – приемник выключен 1 – приемник включен	RW	0

11.4.5 Регистр состояния приёмника RSR (режим SPI)

Таблица 11.21. Назначение разрядов регистра RSR в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:28	-	Резерв	-	0
27:24	RB_DIFF	Количество принятых 64-разрядных слов в буфере приёма (max 8).	R	0
23:19	-	Резерв	-	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
18:16	RLEV	Порог прерывания от буфера приёма: Прерывание формируется если число принятых 64-х разрядных слов больше RLEV	RW	7
15:11	-	Резерв	-	0
10	RXBUF	Результирующее прерывание MFBSР RXBUF	R	0
9	RXBUF_D	Прерывание MFBSР RXBUF без механизма автоматического сброса при чтении RSR	R	0
8	RXBUF_R	Прерывание MFBSР RXBUF с механизмом автоматического сброса при чтении RSR	R	0
7	RRUN	Идёт приём: 0 – приёмник в состоянии ожидания 1 – идёт приём очередного слова	R	0
6	RERR	Ошибка передачи: 0 – приём проходил в штатном режиме 1 - была запись в полный буфер приёма (потеря данных). Флаг сбрасывается записью 0 в 6-й разряд регистра RSR.	RW	0
5	RSBF	Буфер пересинхронизации в направлении приёма полон: 0 – буфер пересинхронизации в направлении приёма не полон 1 – буфер пересинхронизации в направлении приёма полон	R	0
4	RSBE	Буфер пересинхронизации в направлении приёма пуст: 0 – буфер пересинхронизации в направлении приёма не пуст 1 – буфер пересинхронизации в направлении приёма пуст	R	1
3	RBHL	Достигнут порог прерывания в буфере приёма: 1 – число 64-х разрядных слов в буфере приёма больше чем задано в RLEV 0 – число 64-х разрядных слов в буфере приёма меньше либо равно RLEV	R	0
2	RBHF	Буфер приёма полон на половину или более: 1 – буфер приёма заполнен на половину или больше (из буфера приёма можно считать как минимум 4 слова) 0 – буфер приёма заполнен меньше чем на половину	R	0
1	RBF	Буфер приёма полон: 0 – буфер приёма не полон 1 – буфер приёма полон	R	0
0	RBE	Буфер приёма пуст: 0 – буфер приёма не пуст 1 – буфер приёма пуст	R	1

11.4.6 Регистр состояния передатчика TSR (режим SPI)

Таблица 11.22. Назначение разрядов регистра TSR в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:28	-	Резерв	-	0
27:24	TB_DIFF	Количество свободных 64-разрядных позиций в буфере передачи (в буфер передачи можно записать еще TB_DIFF 64-разрядных слов).	R	8
23	-	Резерв	-	0
22:20	TBES	Эффективный размер буфера передачи. Актуален только для режима работы с DMA. Значение TBES+1 – определяет максимальный объем буфера передачи. Т.е. в режиме работы с DMA буфер передачи не может быть заполнен больше, чем на TBES+1 64 разрядных слов.	RW	7
19	-	Резерв	-	0
18:16	TLEV	Порог прерывания от буфера передачи: Прерывание формируется если число 64-х разрядных слов в буфере передачи меньше либо равно TLEV. В режиме передачи данных с использованием DMA определяет степень заполнения буфера передачи, при которой происходит запись в буфер очередной пачки данных	RW	0
15:11	-	Резерв	-	0
10	TXBUF	Результирующее прерывание MFBSP_TXBUF	R	0
9	TXBUF_D	Прерывание MFBSP_TXBUF без механизма автоматического сброса при чтении TSR	R	0
8	TXBUF_R	Прерывание MFBSP_TXBUF с механизмом автоматического сброса при чтении TSR	R	0
7	TRUN	Идёт передача: 0 – передатчик в состоянии ожидания 1 – идёт передача очередного слова	R	0
6	TERR	Ошибка передачи: 0 – передача проходила в штатном режиме 1 – было чтение из пустого буфера передачи (передача некорректных данных). Флаг сбрасывается записью 0 в 6-й разряд регистра TSR.	RW	0
5	TSBF	Буфер пересинхронизации в направлении передачи полон: 0 – буфер пересинхронизации в направлении передачи не полон 1 – буфер пересинхронизации в направлении передачи полон	R	0
4	TSBE	Буфер пересинхронизации в направлении передачи пуст: 0 – буфер пересинхронизации в направлении передачи не пуст 1 – буфер пересинхронизации в направлении передачи пуст	R	1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
3	TBLL	Достигнут порог прерывания в буфере передачи: 1 – число 64-х разрядных слов в буфере передачи меньше либо равно TLEV 0 – число 64-х разрядных слов в буфере передачи больше TLEV	R	1
2	TBNF	Буфер передачи заполнен на половину или более: 1 – буфер передачи заполнен на половину или больше 0 – буфер передачи заполнен меньше чем на половину (в буфер передачи можно записать еще как минимум 4 слова)	R	0
1	TBF	Буфер передачи полон: 0 – буфер передачи не полон 1 – буфер передачи полон	R	0
0	TBE	Буфер передачи пуст: 0 – буфер передачи не пуст 1 – буфер передачи пуст	R	1

11.4.7 Регистр управления темпом приёма RCTR_RATE (режим SPI)

Таблица 11.23. Назначение разрядов регистра RCTR_RATE в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	-	В режиме SPI не используется	-	0
15:12	RSS_RATE	Если сигнал SS формируется приёмником, то задает время удержания сигнала SS в высоком уровне между передачами слов. Время удержания SS определяется как $TRCLK/2*(RSS_RATE+1)$, где TRCLK период тактового сигнала RCLK	RW	0
11:10	-	Резерв	-	0
9:0	RCLK_RATE	Делитель частоты приёмника: В случае, если частота формируется самим приёмником, определяет частоту приёмника $RSCK = CLK/((RCLK_RATE+1)*2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0

11.4.8 Регистр управления темпом передачи TCTR_RATE (режим SPI)

Таблица 11.24. Назначение разрядов регистра TCTR_RATE в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	-	В режиме SPI не используется	-	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:12	TSS_RATE	Если сигнал SS формируется передатчиком, то задает время удержания сигнала SS в высоком уровне между передачами слов. Время удержания SS определяется как $TTCLK/2*(TSS_RATE+1)$, где TTCLK период тактового сигнала TCLK	RW	0
11:10	-	Резерв	-	0
9:0	TCLK_RATE	Делитель частоты передатчика: В случае, если частота формируется самим передатчиком, определяет частоту передатчика $TSCCK = CLK/((TCLK_RATE+1)*2)$, где CLK – частота, подаваемая на порт со стороны системы.	RW	0

11.4.9 Псевдорегистр TSTART (режим SPI)

Таблица 11.25. Назначение разрядов регистра TSTART в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Резерв	-	0
0	TEN	Разрешение работы передатчика: 0 – передатчик выключен 1 – передатчик включен Доступ к полю TEN регистра TCTR без изменения настроек TCTR	RW	0

11.4.10 Псевдорегистр RSTART (режим SPI)

Таблица 11.26. Назначение разрядов регистра RSTART в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Резерв	-	0
0	REN	Разрешение работы передатчика: 0 – приемник выключен 1 – приемник включен Доступ к полю REN регистра RCTR без изменения настроек RCTR	RW	0

11.4.11 Регистр аварийного управления портом EMERG_MFBSP (режим SPI)

Таблица 11.27. Назначение разрядов регистра EMERG_MFBSP в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Резерв	-	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
5	RX_DBG	Программное управление признаком готовности приема данных из DMA в MFBSP: 0 – штатный режим работы. Признак готовности формируется MFBSP аппаратно; 1 – признак готовности установлен в 1. Используется для приведения DMA в исходное состояние, если: Устройство, подключенное к MFBSP, передало в него меньший объем данных, по сравнению с тем, что указано в DMA; Необходимо программно остановить прием данных в MFBSP	RW	0
4	TX_DBG	Программное управление признаком готовности передачи данных из MFBSP в DMA: 0 – штатный режим работы. Признак готовности формируется MFBSP аппаратно; 1 – признак готовности установлен в 1. Используется для приведения DMA в исходное состояние, если: Устройство, подключенное к MFBSP, приняло из него меньший объем данных, по сравнению с тем, что указано в DMA; Необходимо программно остановить передачу данных из MFBSP	RW	0
3	-	Резерв	-	0
2	RST_RXBUF	Сброс буфера приема последовательного порта и буфера пересинхронизации направления приема. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
1	RST_TXBUF	Сброс буфера передачи последовательного порта и буфера пересинхронизации направления передачи. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
0	RST_LPTBUF	Сброс буфера линкового порта и буфера пересинхронизации направления приёма. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0

11.4.12 Регистр маски прерываний от порта IMASK_MFBSP (режим SPI)

Таблица 11.28. Назначение разрядов регистра IMASK_MFBSP в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:15	-	Резерв	-	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
14	RXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSP_RXBUF 0 – прерывание не сбрасывается при чтении RSR 1 – прерывание сбрасывается при чтении RSR	RW	1
13	RX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера приема 0 – прерывание MFBSP_RXBUF не будет устанавливаться при превышении порога RLEV 1 – прерывание MFBSP_RXBUF будет устанавливаться при превышении порога RLEV	RW	1
12	RX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSP_RXBUF не будет устанавливаться при переполнении буфера приема 1 – прерывание MFBSP_RXBUF будет устанавливаться при переполнении буфера приема	RW	1
11:7	-	Резерв	-	0
6	TXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSP_TXBUF 0 – прерывание не сбрасывается при чтении TSR 1 – прерывание сбрасывается при чтении TSR	RW	1
5	TX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера передачи 0 – прерывание MFBSP_TXBUF не будет устанавливаться, если число слов в буфере передачи меньше порога TLEV 1 – прерывание MFBSP_TXBUF будет устанавливаться, если число слов в буфере передачи меньше порога TLEV	RW	1
4	TX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSP_TXBUF не будет устанавливаться при чтении из пустого буфера передачи 1 – прерывание MFBSP_TXBUF будет устанавливаться при чтении из пустого буфера передачи	RW	1
3:1	-	Резерв	-	0
0	LPT_IRQ_EN	Разрешение прерывания по запросу на обслуживание 0 – SRQ запрещено 1 – SRQ разрешено	RW	1

11.4.13 Структурная схема MFBSP для режима SPI

На Рисунок 11.20 представлена структурная схема MFBSP для режима SPI.

Включение режима SPI производится установкой бит $LEN=0$, $SPI_I2S_EN=1$, $TMODE = 1$ (для передатчика), $RMODE = 1$ (для приёмника).

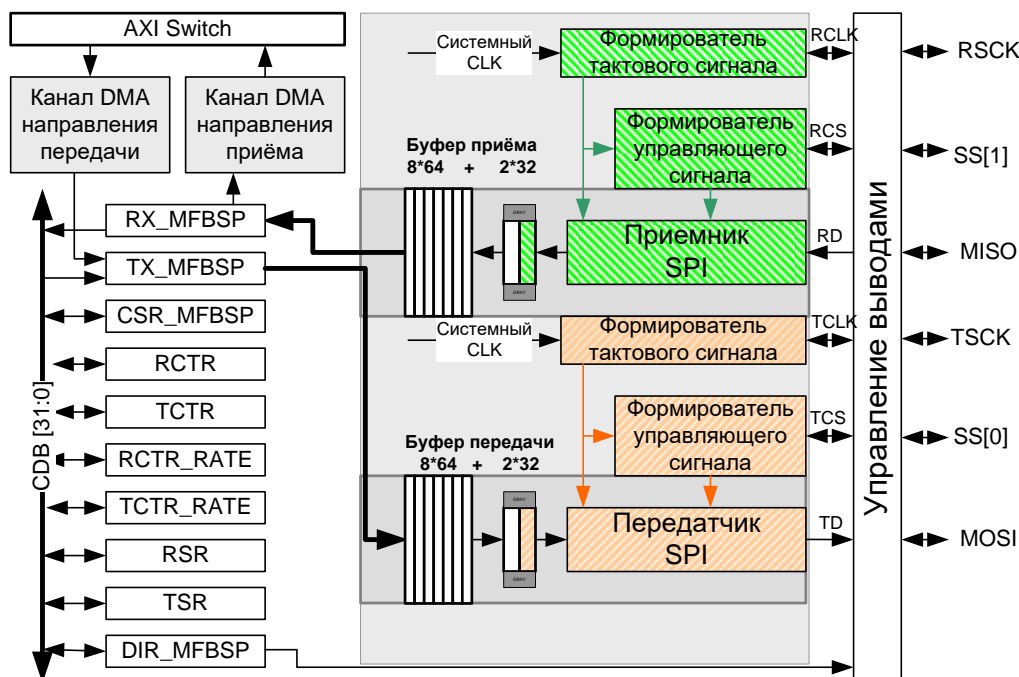


Рисунок 11.20. Структурная схема MFBSIP для режима SPI

11.4.14 Варианты соединения порта с внешними устройствами

Программно управляя направлением выводов последовательного порта (см. описание регистра DIR_MFBSP) можно организовать множество вариантов соединения схемы с внешними устройствами через MFBSIP (Рисунок 11.21, Рисунок 11.22, Рисунок 11.23).

MFBSIP позволяет подключить два ведомых SPI устройства. Выбор ведомого устройства, с которым будет производиться обмен, осуществляется битами SS, регистра TCTR. Если настройки двух устройств совпадают (для обоих ведомых значения TNEG, TDEL, TWORDLEN одинаковы) тогда перед для смены ведомого устройства достаточно изменить значение бит SS. Если настройки двух ведомых различаются, то для смены ведомого необходимо сначала выключить MFBSIP ($spl_i2s_en=0$, $len=0$), и только после этого записать новые настройки в регистры TCTR и RCTR.

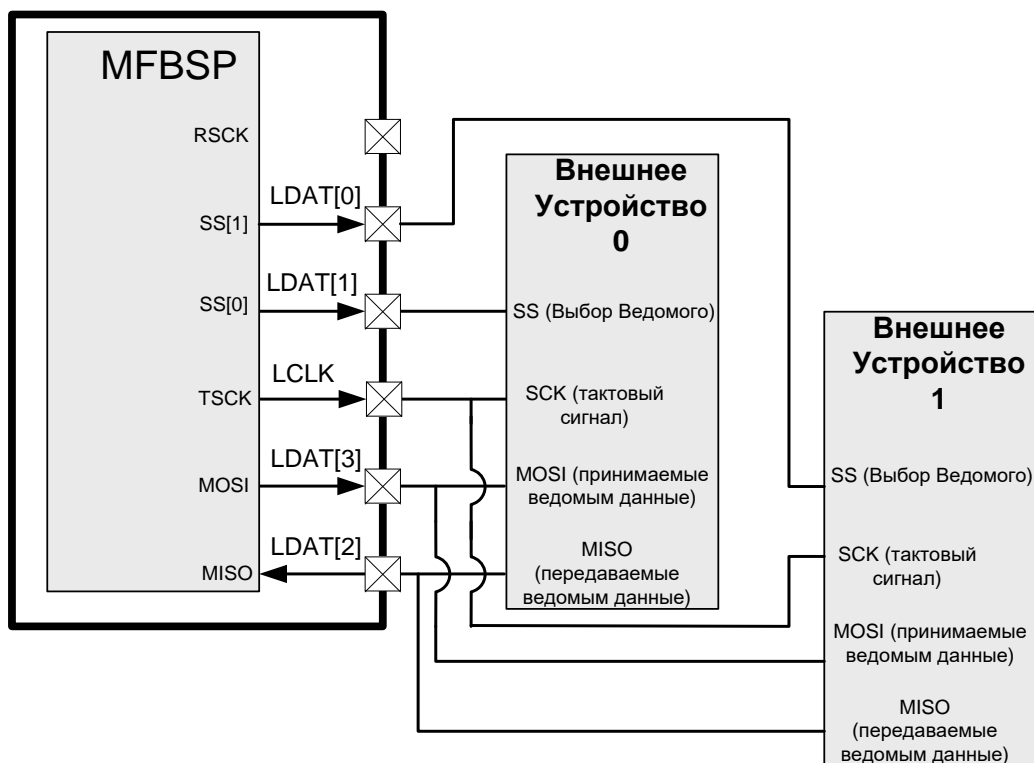


Рисунок 11.21. Подключение к MFBSPI двух ведомых устройств по интерфейсу SPI. Приёмник в зависимом от передатчика режиме (режим №6 по Таблица 11.1)

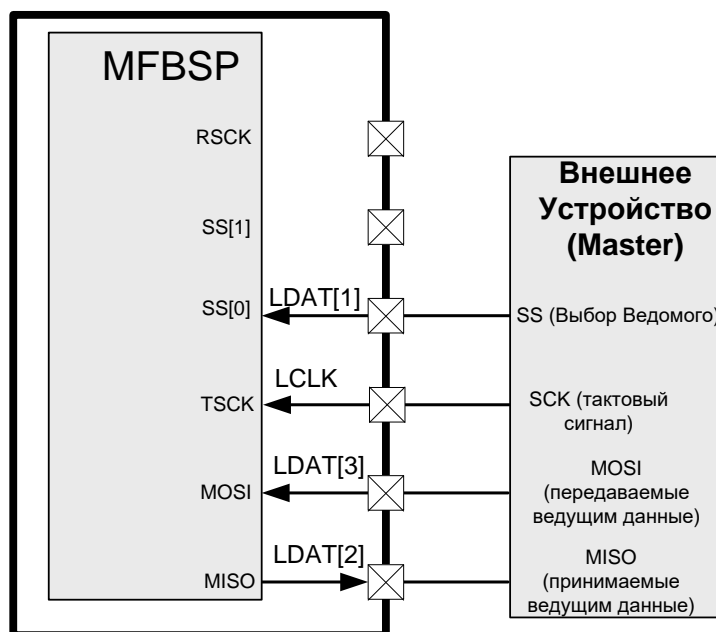


Рисунок 11.22. Подключение MFBSPI по интерфейсу SPI к внешнему ведущему устройству. Приёмник в зависимом от передатчика режиме (режим №6 по Таблица 11.1)

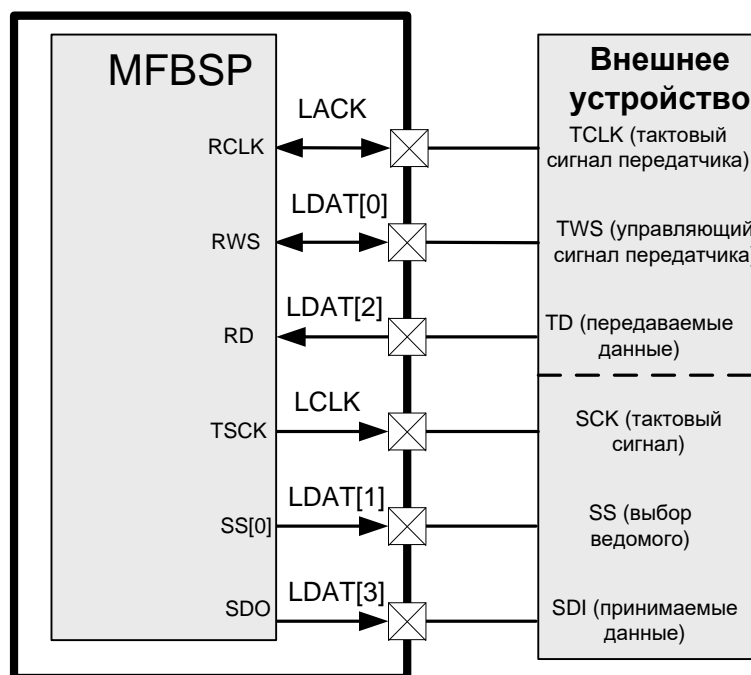


Рисунок 11.23. Организация передачи управляющих данных по интерфейсу SPI и приёма аудиоданных по интерфейсу I2S ((режим №5 по Таблица 11.1))

11.4.15 Передача данных в режиме SPI

В режиме SPI возможна передача данных при четырёх сочетаниях бит TDEL и TNEG (Рисунок 11.24, Рисунок 11.25). При этом TNEG – задает начальное состояние вывода TCLK и полярность фронта, по которому производится чтение. TDEL задает смещение передаваемых данных на пол фазы. Значения RNEG и RDEL приёмника должны соответствовать TNEG и TDEL передатчика. После аппаратного сброса SS_DO = 0, в этом случае управление сигналом выбора ведомого производится в автоматическом режиме.

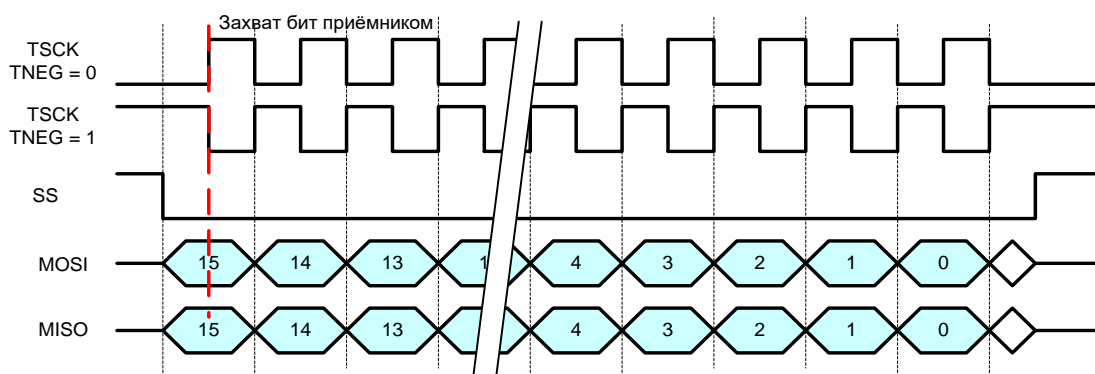


Рисунок 11.24. Передача одного слова в режиме SPI с автоматической генерацией управляющего сигнала TMODE = 1, TMBF = 1, TDEL = 0, SS_DO = 0. Диаграммы тактового сигнала TSCK представлены для различных значений TNEG

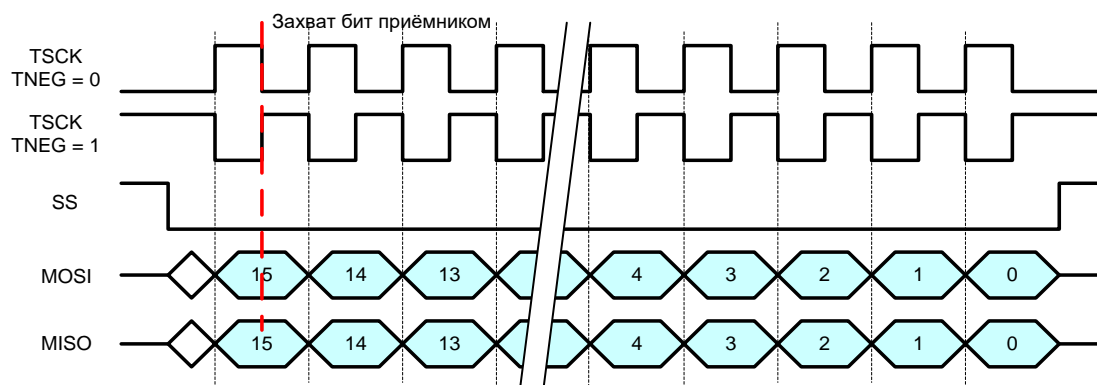


Рисунок 11.25. Передача одного слова в режиме SPI с автоматической генерацией управляющего сигнала $TMODE = 1$, $TMBF = 1$, $TDEL = 1$, $SS_DO = 0$. Диаграммы тактового сигнала TCK представлены для различных значений TNEG

Что бы передать несколько слов без изменения уровня на внешнем выводе SS можно использовать программное управление внешним выводом SS, в этом случае SS_DO необходимо установить в 1, программно установить вывод SS в 0, записать передаваемые данные в буфер передачи (или включить канал DMA на передачу), дождаться фактического окончания передачи (бит TRUN регистра TSR сбрасывается в 0), после чего программно установить вывод SS в 1 (Рисунок 11.26).

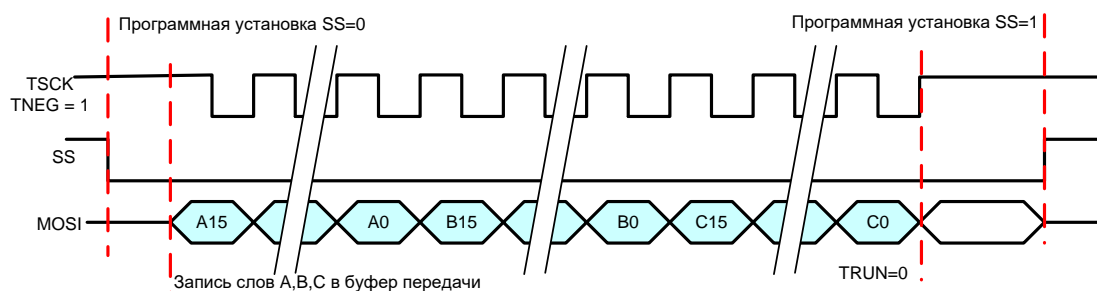


Рисунок 11.26. Передача трёх слов в режиме SPI с программным управлением сигналом SS, $TMODE = 1$, $TMBF = 1$, $TDEL = 0$, $TNEG = 0$, $SS_DO = 1$

В режиме SPI также имеется возможность программно регулировать количество слов, которое будет передано без изменения уровня сигнала SS (Рисунок 11.27). Количество слов может быть задано в пределах от 1 до 64 и определяется битом TWORDCNT. Буфер передачи может вместить максимум 18 32-х разрядных слов, если в пределах фрейма передаётся больше 18 слов необходимо следить за тем, чтобы буфер передачи был не пуст (при включенном канале DMA это происходит автоматически).

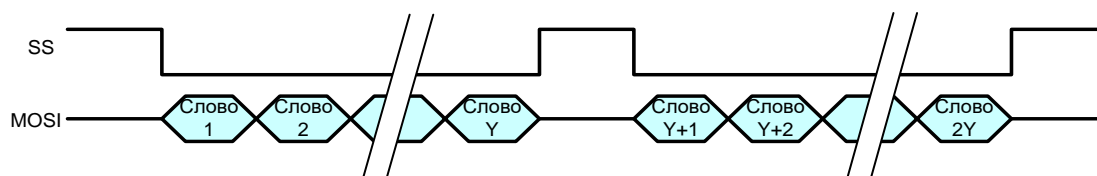


Рисунок 11.27. Передача в режиме SPI, $TWORDCNT=Y-1$

В режиме ведомого устройства сигнал выбора ведомого предварительно пересинхронизируется на внутреннюю частоту порта, поэтому для устойчивой работы порта в режиме ведомого SPI устройства уровень сигнала SS, если необходима его установка в 1 между передачами, должен удерживаться как минимум два периода внутренней частоты CLK.

Непосредственно к тактовому сигналу TSCK данное ограничение не применяется, т.е. частота TSCK может быть больше CLK.

Когда MFBSР работает в режиме ведущего SPI устройства, время удержания сигнала SS при автоматическом формировании данного сигнала может регулироваться программно. В этом случае время между последним фронтом тактового сигнала для последней пересылки и установкой сигнала SS в 1 равно времени между установкой и сбросом сигнала SS и равно времени между сбросом сигнала SS первым фронтом тактового сигнала для новой пересылки. Это время определяется как $TSS = (TSS_RATE+1)*TTCLK/2$, где TTCLK – период тактового сигнала, генерируемого портом для последовательной передачи данных. Если необходимо формировать сигнал SS средствами приёмника – то для этих целей используется поле RSS_RATE (Рисунок 11.28).

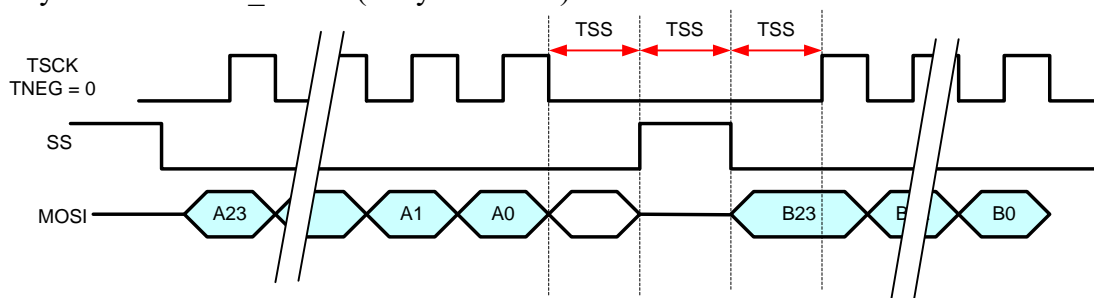


Рисунок 11.28. Управление временем удержания сигнала SS в высоком уровне между передачами, на картинке TNEG = 0, TDEL = 0, TMBF = 1, TWORDLEN = 23, TSS_RATE = 1

11.4.16 Пример чтения 8-разрядного слова по заданному адресу из ведомого устройства с интерфейсом C-BUS

Для чтения слова по указанному адресу по интерфейсу C-BUS необходима передача двух 8-битных слов.

Для организации такого чтения необходимо записать соответствующий ведомому устройству бит SS, регистра TCTR, 1;

Перевести порт в режим SPI (LEN = 0, SPI_I2S_EN = 1, RMODE = 1, TMODE = 1);

Настроить приемник и передатчик: TDEL = RDEL = 0; TNEG = RNEG = 0; TWORDLEN = RWORDLEN = 5'h0F; RCLK_CP = 1; RCS_CP = 1, SS_DO = 0;

Включить приемник и передатчик REN = 1, TEN = 1;

Записать в регистр TX_MFBSР 32-х разрядное слово, содержащее во втором байте 7-разрядный адрес и бит WR, значение младшего байта не важно.

Ожидаем до тех пор, пока в буфер приёма не будет записано принятое слово (RSR[0] сбрасывается в 0)

В прочитанном по адресу RX_MFBSР 32-х разрядном слове, младшие 8 бит – слово, прочитанное из ведомого устройства.

На Рисунок 11.29 представлены временные диаграммы для передачи по интерфейсу CBUS.

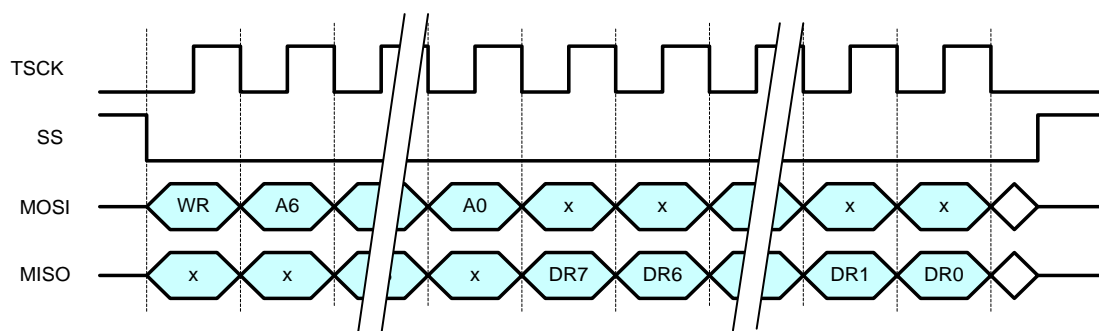


Рисунок 11.29. Пример чтения 8-ми разрядного слова из ведомого устройства (интерфейс C-BUS)

11.4.17 Формирование тактовых сигналов приёмника (RSCK) и передатчика (TSCK)

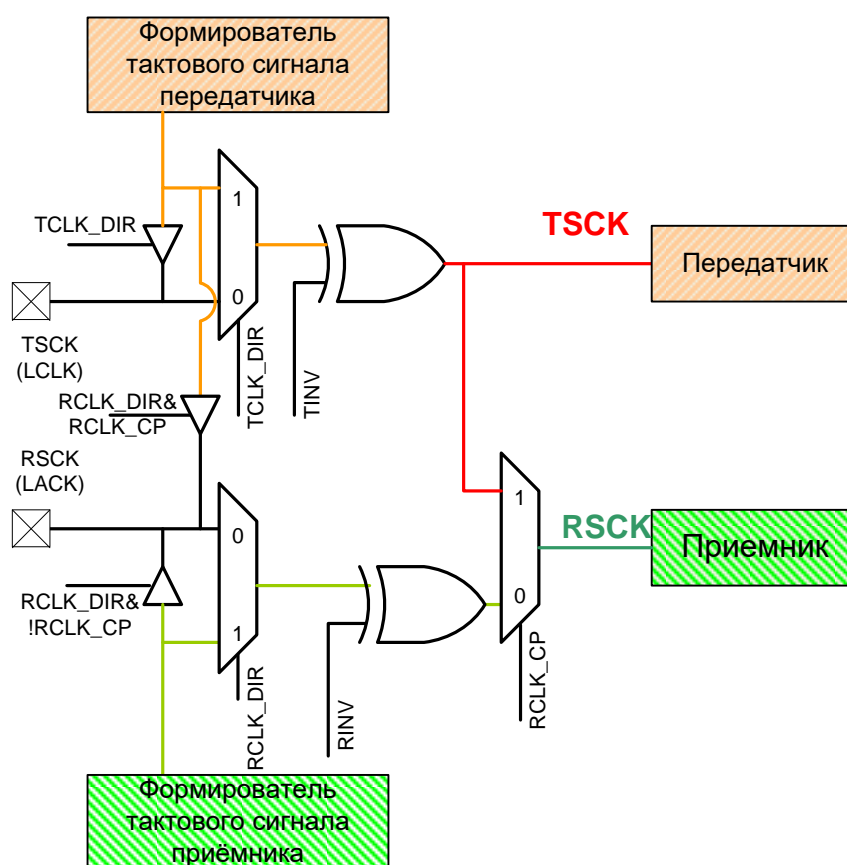


Рисунок 11.30. Схема формирования тактовых сигналов приёмника и передатчика в режиме SPI

На Рисунок 11.30 представлена схема формирования тактовых сигналов приёмника и передатчика в режиме SPI.

В зависимости от значения бита `TCLK_DIR`, тактовый сигнал передатчика `TSCK` может как формироваться самим передатчиком, так приниматься с внешнего вывода. В зависимости от значений бит `TMODE`, `TNEG` и `TDEL` тактовый сигнал либо передаётся передатчику без изменений, либо инвертируется.

В зависимости от значения бита `RCLK_DIR`, тактовый сигнал приёмника `RSCK` может как формироваться самим приёмником, так приниматься с внешнего вывода. В зависимости от

значений бит RMODE, RNEG и RDEL тактовый сигнал либо передаётся приёмнику без изменений, либо инвертируется.

Если бит RCLK_CP установлен в 1, то тактовый сигнал приёмника копирует тактовый сигнал передатчика. Для корректной работы устройства в этом случае настройки полярности тактового сигнала приёмника и передатчика должны совпадать (TNEG = RNEG, TDEL = RDEL).

При RCLK_CP = 1 тактовый сигнал передатчика передаётся на внешний вывод приёмника, только если передатчик сам формирует тактовый сигнал и вывод тактового сигнала приёмника сконфигурирован как выход (TCLK_DIR = 1, RCLK_DIR = 1).

11.4.18 Формирование управляющих сигналов приёмника и передатчика в режиме SPI

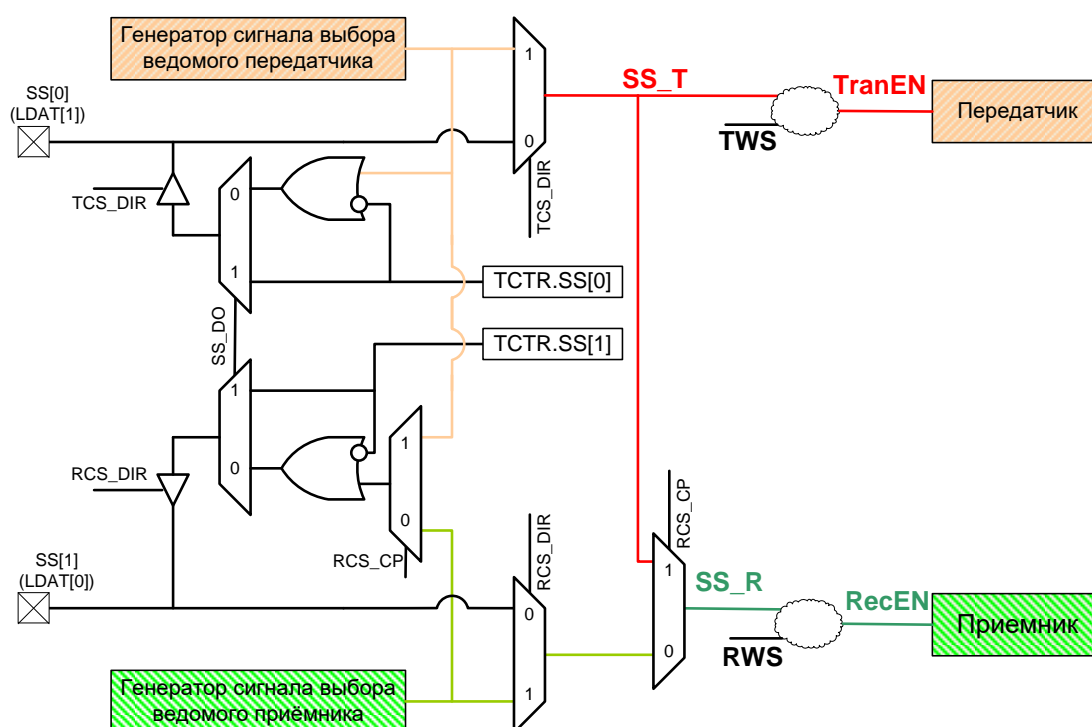


Рисунок 11.31. Схема формирования управляющих сигналов в режиме SPI

На Рисунок 11.31 представлена схема формирования управляющих сигналов в режиме SPI. SS – шина выбора ведомого устройства. Низкий уровень сигнала SS, поданный на ведомое устройство означает, что данное устройство выбрано и с приходом тактового сигнала SCK должно начать обмен данными с ведущим устройством.

MFBSB с зависимым от передатчика приёмником в режиме ведущего позволяет параллельно подключать до двух ведомых устройств по шине SPI и формировать сигналы выбора ведомого устройства как в автоматическом режиме, так и программно.

MFBSB с зависимым от передатчика приёмником может работать как ведомое SPI устройство, управляемое внешним сигналом SS[0] и внешней тактовой частотой TSCK, обеспечивая обмен данными в дуплексном режиме.

MFBSB позволяет организовать независимый приём и передачу данных по интерфейсу SPI. В этом случае SS[0] – управляющий сигнал передатчика, SS[1] – управляющий сигнал приёмника.

При $TCS_DIR = 1$ передатчик SPI формирует сигнал выбора ведомого, $SS[0]$ - выход. В автоматическом ($SS_DO = 0$) режиме формирования управляющего сигнала перед началом передачи очередного слова сигнал выбора ведомого переводится в низкий уровень, а по окончании передачи слова сигнал выбора ведомого снова переводится в высокий уровень. Изменение уровня на выводе $SS[0]$ происходит только в случае, если соответствующий бит $SS[0]$ регистра TCTR установлен в 1. Если приёмник в зависимом от передатчика режиме ($RCS_CP = 1$) и $SS[1]$ сконфигурирован как выход ($RCS_DIR=1$), то вывод $SS[1]$ используется как сигнал выбора дополнительного ведомого устройства. Изменение уровня на выводе $SS[1]$ происходит только, в случае, если соответствующий бит $SS[1]$ регистра TCTR установлен в 1. В случае программного управления шиной SS ($SS_DO = 1$) значения бит $SS[1:0]$ контрольного регистра TCTR передаются непосредственно на выходы $SS[1:0]$.

Если приёмник в зависимом от передатчика режиме ($RCS_CP = 1$) и вывод $SS[0]$ сконфигурирован как вход ($TCS_DIR = 0$), тогда MFBSP работает в режиме дуплексного ведомого SPI устройства. Сигнал выбора ведомого принимается с внешнего вывода $SS[0]$ и используется как приёмником, так и передатчиком.

Если приёмник работает в независимом от передатчика режиме ($RCS_CP=0$), то в режиме ведущего, когда вывод $SS[1]$ сконфигурирован как выход ($RCS_DIR=1$) формируемый приёмником сигнал выбора ведомого направляется на вывод $SS[1]$. При автоматическом формировании управляющего сигнала ($SS_DO = 0$) перед началом приёма очередного слова сигнал $SS[1]$ автоматически переводится в низкий уровень и переводится в высокий уровень по окончании приёма каждого слова. В режиме ведущего устройства приём слов приёмником ведётся до заполнения буфера приёма. В режиме ведомого устройства, когда вывод $SS[1]$ сконфигурирован как вход ($RCS_DIR=0$) независимый приёмник ($RCS_CP=0$) принимает сигнал выбора ведомого с вывода $SS[1]$.

В режиме SPI направление выводов тактового сигнала и управляющего сигнала должно строго совпадать. Т.е. $TCLK_DIR=TCS_DIR$. В случае если приёмник работает независимо от передатчика, то $RCLK_DIR=RCS_DIR$.

11.4.19 Тракт передачи данных

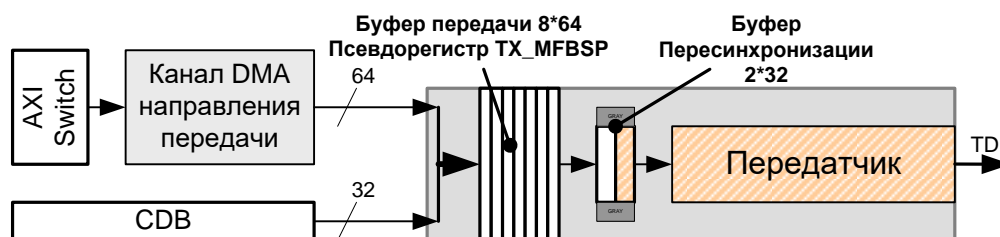


Рисунок 11.32. Тракт передачи данных в режиме SPI

На Рисунок 11.32 представлен тракт передачи данных в режиме SPI.

Что бы инициировать передачу данных по последовательному порту необходимо включить последовательный порт ($SPI_I2S_EN=1$) и передатчик ($TEN=1$), после чего-либо начать производить запись передаваемых 32-х разрядных слов в буфер передачи по адресу псевдорегистра TX_MFBSP, либо включить канал DMA в направления передачи для соответствующего порта (в этом случае обмен данными с портом будет вестись 64-х разрядными словами).

Данные записанные в буфер передачи автоматически перемещаются в буфер пересинхронизации направления передачи, если он не полон. Запись в буфер

пересинхронизации направления передачи осуществляется на системной частоте CLK, чтение из буфера пересинхронизации осуществляется на частоте передатчика TCLK. Как только в буфере пересинхронизации оказалось хотя бы одно слово передатчиком инициируется передача. Передатчиком производится последовательная выдача бит очередного 32-х разрядного слова до тех пор, пока число переданных бит не достигнет $TWORDLEN+1$, после чего производится считывание очередного слова из буфера пересинхронизации. По мере передачи слов в освобождающийся буфер пересинхронизации перемещается слово из буфера передачи. После выборки последнего слова из буфера передачи (буфер передачи пуст) в буфере пересинхронизации остаётся еще два слова. Фактическое окончание передачи можно идентифицировать по состоянию буфера пересинхронизации, либо считав бит TRUN регистра TSR.

Если управляющий сигнал формируется передатчиком, то при считывании последнего слова из буфера пересинхронизации передача останавливается. Передача продолжится только после того как в буфер пересинхронизации снова начнут поступать данные.

Если передатчик использует внешнюю частоту и внешний управляющий сигнал, в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота передатчика, однако ее должно быть достаточно для того, чтобы успеть переместить очередное слово в буфер пересинхронизации (за время передачи одного слова должно быть хотя бы три импульса системной частоты CLK). Если внешний управляющий сигнал инициировал передачу слова при пустом буфере пересинхронизации устанавливается флаг ошибки передачи (TERR), в этом случае передается ошибочное слово. Если управляющий сигнал формируется самим передатчиком, системная частота может быть много меньше частоты передатчика, однако это скажется на скорости передачи данных.

Установка бита TERR в процессе передачи говорит о том, что порт произвел попытку чтения из пустого буфера передачи. Это значит, что передатчиком было передано некорректное слово.

В направлении передачи порт обладает буферизацией на 18 32-х разрядных слов. В случае передачи данных посредством DMA запись блоков данных в буфер передачи происходит до тех пор, пока буфер готов принять очередной блок, размер которого определяется битами WN, регистра CSR соответствующего канала DMA.

Степень заполнения буфера можно программно регулировать, используя биты TBES. В этом случае значение выражения $TBES+1$ – задает эффективный размер буфера передачи. Передача очередной пачки происходит только в случае, если при записи этой пачки в буфер передачи число 64 разрядных слов в буфере передачи не превысит $TBES+1$. При попытке передать пачку со значением $WN > TBES$, значение WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

Так, при $WN = 0$ и $TBES = 0$ очередное 64-х разрядное слово будет подкачиваться в буфер передачи только если он пуст. В этом случае по окончании работы DMA в момент прерывания от соответствующего канала передатчику останется передать ещё 4 32-х разрядных слова (два 32-х разрядных слова в буфере пересинхронизации и одно 64-х разрядное слово в буфере передачи).

Установка бита SPI_I2S_EN в 0 приведет к программному сбросу передатчика, и все данные находящиеся в буфере передачи будут утеряны.

11.4.20 Тракт приёма данных

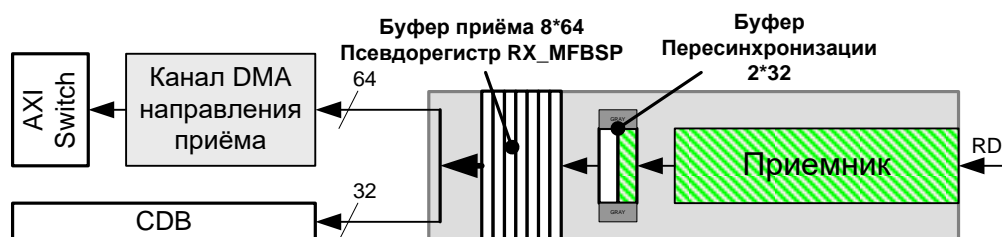


Рисунок 11.33. Тракт приёма данных в режиме SPI

На Рисунок 11.33 представлен тракт приёма данных в режиме SPI.

Что бы перевести приёмник в режим готовности необходимо включить последовательный порт ($SPI_I2S_EN = 1$) и приёмник ($REN = 1$), после чего-либо начать ожидание появления прочитанных данных в буфере приёма, либо включить канал DMA в направления приёма для соответствующего порта.

Приёмник принимает последовательные биты, поступающие с внешнего вывода до тех пор, пока число принятых бит не достигнет значения $RWORDLEN+1$. После этого принятое 32-х разрядное слово (если $RWORDLEN < 31$ незадействованные биты обнуляются) перемещается в буфер пересинхронизации. Запись в буфер пересинхронизации направления приёма осуществляется на частоте приёмника $RCLK$, чтение из буфера пересинхронизации осуществляется на системной частоте CLK . Из буфера пересинхронизации принятое слово автоматически перемещается в буфер приёма, если он не полон. Если в буфере приёма есть хотя бы одно 32-х разрядное слово, то принятые 32-х разрядные слова можно считывать, обращаясь по адресу псевдорегистра RX_MFBSP . Принимать данные можно также включив соответствующий порту канал DMA направления приёма (в этом случае обмен данными с портом осуществляется 64-х разрядными словами).

Если приёмник использует внешнюю частоту, то в целях экономии мощности системная частота может быть установлена меньшей, чем внешняя частота приёмника, однако ее должно быть достаточно для того, чтобы успеть переместить очередное слово из буфера пересинхронизации (за время приёма одного слова должно быть хотя бы три импульса системной частоты CLK). Если при заполненном буфере пересинхронизации приёмником был произведен приём очередного слова и инициирована попытка записи в буфер пересинхронизации устанавливается флаг ошибки приёма ($RERR$), а последнее принятое слово теряется.

Установка бита $RERR$ в процессе передачи говорит о том, что порт произвел попытку записи в полный буфер приёма. Это значит, что принятое слово было потеряно.

В направлении приёма порт обладает буферизацией на 18 32-х разрядных слов. В случае приёма данных посредством DMA чтение блоков данных из буфера приёма происходит до тех пор, пока в буфере приёма достаточно слов для чтения очередного блока, размер которого определяется битами WN , регистра CSR соответствующего канала DMA. DMA обмены возможны только 64 разрядными словами, таким образом, если было принято нечетное количество 32-х разрядных слов, после окончания работы DMA необходимо прочитать оставшееся слово, обратившись к псевдорегистру RX_MFBSP .

Установка бита SPI_I2S_EN в 0 приведет к программному сбросу приёмника и все данные находящиеся в буфере приёма будут утеряны.

11.4.21 Прерывания от последовательного порта

Прерывание MFBSP_RXBUF устанавливается, в случае если включен приемник (I2S_SPI_EN=1, REN = 1) и в буфер приёма записано количество слов большее, чем установлено уровнем прерывания RLEV, либо произошла ошибка приема (RERR = 1).

Прерывание MFBSP_TXBUF устанавливается, в случае если включен передатчик (I2S_SPI_EN=1, REN = 1) и в буфере передачи осталось количество слов меньшее, либо равное чем установлено уровнем прерывания TLEV, либо произошла ошибка передачи (TERR = 1).

11.5 Работа MFBSP в режиме линкового порта (LPORT)

11.5.1 Назначение линкового порта

Линковый порт предназначен для обмена данными между различными микросхемами последовательно-параллельным кодом.

Порт может передавать 32-х разрядные слова частями по 4 бита за 8 пересылок, либо частями по 8 бит за 4 пересылки, выбор одного из этих режимов осуществляется установкой бита LDW, регистра CSR_MFBSP.

11.5.2 Регистр управления и состояния CSR_MFBSP (режим LPORT)

Таблица 11.29. Назначение разрядов регистра CSR_MFBSP в режиме LPORT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:17	-	Резерв	RW	0
16	-	Резерв	RW	0
15	-	Резерв	RW	0
14:11	LCLK_RATE[4:1]	Делитель частоты LPORT: $LCLK = CLK / (2 * (LCLK_RATE + 1))$	RW	0
10	-	Резерв	RW	0
9	SPI_I2S_EN	В режиме LPORT должен быть установлен в 0	RW	0
8	SRQ_RX	Признак запроса обслуживания на прием данных	R	0
7	SRQ_TX	Признак запроса обслуживания на передачу данных	R	0
6	LDW	Разрядность внешней шины данных: 0 – 4-разряда (32-разрядное слово передается за 8 посылок); 1 – 8-разряда (32-разрядное слово передается за 4 посылки).	RW	0
5	LRERR	Ошибка приема данных: 0 – приняты все биты данных; 1 – приняты не все биты данных.	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
4:3	LSTAT	Состояние буфера: При LTRAN = 0 показывает состояние буфера приёма При LTRAN = 1 показывает состояние буфера передачи 00 – буфер пуст; 10 – буфер не пуст; 11 – буфер полон.	R	0
2	LCLK_RATE[0]	Делитель частоты LPORT: $LCLK = CLK / (2 * (LCLK_RATE + 1))$	RW	0
1	LTRAN	Режим работы порта: 0 – приемник; 1 – передатчик.	RW	0
0	LEN	Разрешение работы порта: 0 – все выходы порта находятся в высокоимпедансном состоянии; 1 – порт работает в соответствии с состоянием бита LTRAN.	RW	0

Биты LSTAT, LRERR сбрасываются при LEN = 0.

11.5.3 Регистр состояния приёмника RSR (режим LPORT)

Таблица 11.30. Назначение разрядов регистра RSR в режиме LPORT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:28	-	Резерв	-	0
27:24	RB_DIFF	Количество принятых 64-разрядных слов в буфере приёма (max 8).	R	0
23:19	-	Резерв	-	0
18:16	RLEV	Порог прерывания от буфера приёма: Прерывание формируется если число принятых 64-х разрядных слов больше RLEV	RW	7
15:11	-	Резерв	-	0
10	RXBUF	Результирующее прерывание MFBSP_RXBUF	R	0
9	RXBUF_D	Прерывание MFBSP_RXBUF без механизма автоматического сброса при чтении RSR	R	0
8	RXBUF_R	Прерывание MFBSP_RXBUF с механизмом автоматического сброса при чтении RSR	R	0
7	-	В режиме LPORT не используется	R	0
6	-	В режиме LPORT не используется	R	0
5	RSBF	Буфер пересинхронизации в направлении приёма полон: 0 – буфер пересинхронизации в направлении приёма не полон 1 – буфер пересинхронизации в направлении приёма полон	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
4	RSBE	Буфер пересинхронизации в направлении приёма пуст: 0 – буфер пересинхронизации в направлении приёма не пуст 1 – буфер пересинхронизации в направлении приёма пуст	R	1
3	RBHL	Достигнут порог прерывания в буфере приёма: 1 – число 64-х разрядных слов в буфере приёма больше чем задано в RLEV 0 – число 64-х разрядных слов в буфере приёма меньше либо равно RLEV	R	0
2	RBHF	Буфер приёма полон на половину или более: 1 – буфер приёма заполнен на половину или больше (из буфера приёма можно считать как минимум 4 слова) 0 – буфер приёма заполнен меньше чем на половину	R	0
1	RBF	Буфер приёма полон: 0 – буфер приёма не полон 1 – буфер приёма полон	R	0
0	RBE	Буфер приёма пуст: 0 – буфер приёма не пуст 1 – буфер приёма пуст	R	1

11.5.4 Регистр состояния передатчика TSR (режим LPORT)

Таблица 11.31. Назначение разрядов регистра TSR в режиме LPORT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:28	-	Резерв	-	0
27:24	TB_DIFF	Количество свободных 64-разрядных позиций в буфере передачи (в буфере передачи можно записать еще TB_DIFF 64-разрядных слов).	R	8
23	-	Резерв	-	0
22:20	TBES	Эффективный размер буфера передачи. Актуален только для режима работы с DMA. Значение TBES+1 – определяет максимальный объем буфера передачи. Т.е. в режиме работы с DMA буфер передачи не может быть заполнен больше, чем на TBES+1 64 разрядных слов.	RW	7
19	-	Резерв	-	0
18:16	TLEV	Порог прерывания от буфера передачи: Прерывание формируется если число 64-х разрядных слов в буфере передачи меньше либо равно TLEV. В режиме передачи данных с использованием DMA определяет степень заполнения буфера передачи, при которой происходит запись в буфер очередной пачки данных	RW	0
15:11	-	Резерв	-	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
10	TXBUF	Результирующее прерывание MFBSB_TXBUF	R	0
9	TXBUF_D	Прерывание MFBSB_TXBUF без механизма автоматического сброса при чтении TSR	R	0
8	TXBUF_R	Прерывание MFBSB_TXBUF с механизмом автоматического сброса при чтении TSR	R	0
7	-	В режиме LPORT не используется	R	0
6	-	В режиме LPORT не используется	RW	0
5	-	В режиме LPORT не используется	R	0
4	-	В режиме LPORT не используется	R	0
3	TBLL	Достигнут порог прерывания в буфере передачи: 1 – число 64-х разрядных слов в буфере передачи меньше либо равно TLEV 0 – число 64-х разрядных слов в буфере передачи больше TLEV	R	1
2	TBNF	Буфер передачи заполнен на половину или более: 1 – буфер передачи заполнен на половину или больше 0 – буфер передачи заполнен меньше чем на половину (в буфер передачи можно записать еще как минимум 4 слова)	R	0
1	TBF	Буфер передачи полон: 0 – буфер передачи не полон 1 – буфер передачи полон	R	0
0	TBE	Буфер передачи пуст: 0 – буфер передачи не пуст 1 – буфер передачи пуст	R	1

11.5.5 Регистр аварийного управления портом EMERG_MFBSB (режим LPORT)

Таблица 11.32. Назначение разрядов регистра EMERG_MFBSB в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Резерв	-	0
5	RX_DBG	Программное управление признаком готовности приема данных из DMA в MFBSB: 0 – штатный режим работы. Признак готовности формируется MFBSB аппаратно; 1 – признак готовности установлен в 1. Используется для приведения DMA в исходное состояние, если: Устройство, подключенное к MFBSB, передало в него меньший объем данных, по сравнению с тем, что указано в DMA; Необходимо программно остановить прием данных в MFBSB	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
4	TX_DBG	Программное управление признаком готовности передачи данных из MFBSP в DMA: 0 – штатный режим работы. Признак готовности формируется MFBSP аппаратно; 1 – признак готовности установлен в 1. Используется для приведения DMA в исходное состояние, если: Устройство, подключенное к MFBSP, приняло из него меньший объем данных, по сравнению с тем, что указано в DMA; Необходимо программно остановить передачу данных из MFBSP	RW	0
3	-	Резерв	-	0
2	RST_RXBUF	Сброс буфера приема последовательного порта и буфера пересинхронизации направления приема. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
1	RST_TXBUF	Сброс буфера передачи последовательного порта и буфера пересинхронизации направления передачи. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0
0	RST_LPTBUF	Сброс буфера линкового порта и буфера пересинхронизации направления приёма. Запись единицы в данный разряд приводит к сбросу буфера, после чего данный бит снова устанавливается в 0.	RW	0

11.5.6 Регистр маски прерываний от порта IMASK_MFBSP (режим LPORT)

Таблица 11.33. Назначение разрядов регистра IMASK_MFBSP в режиме SPI

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:15	-	Резерв	-	0
14	RXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSP_RXBUF 0 – прерывание не сбрасывается при чтении RSR 1 – прерывание сбрасывается при чтении RSR	RW	1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
13	RX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера приема 0 – прерывание MFBSP_RXBUF не будет устанавливаться при превышении порога RLEV 1 – прерывание MFBSP_RXBUF будет устанавливаться при превышении порога RLEV	RW	1
12	RX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSP_RXBUF не будет устанавливаться при переполнении буфера приема 1 – прерывание MFBSP_RXBUF будет устанавливаться при переполнении буфера приема	RW	1
11:7	-	Резерв	-	0
6	TXBUF_R_EN	Разрешение автоматического сброса прерывания MFBSP_TXBUF 0 – прерывание не сбрасывается при чтении TSR 1 – прерывание сбрасывается при чтении TSR	RW	1
5	TX_LEV_IRQ_EN	Разрешение прерывания по уровню заполнения буфера передачи 0 – прерывание MFBSP_TXBUF не будет устанавливаться, если число слов в буфере передачи меньше порога TLEV 1 – прерывание MFBSP_TXBUF будет устанавливаться, если число слов в буфере передачи меньше порога TLEV	RW	1
4	TX_ERR_IRQ_EN	Разрешение прерывания при переполнении буфера приема 0 – прерывание MFBSP_TXBUF не будет устанавливаться при чтении из пустого буфера передачи 1 – прерывание MFBSP_TXBUF будет устанавливаться при чтении из пустого буфера передачи	RW	1
3:1	-	Резерв	-	0
0	LPT_IRQ_EN	Разрешение прерывания по запросу на обслуживание 0 – SRQ запрещено 1 – SRQ разрешено	RW	1

11.5.7 Структурная схема MFBSP для режима линкового порта

На Рисунок 11.34 представлена структурная схема MFBSP для режима линкового порта.

Включение линкового порта происходит при установке бита LEN в 1 и бита SPI_I2S_EN в 0.

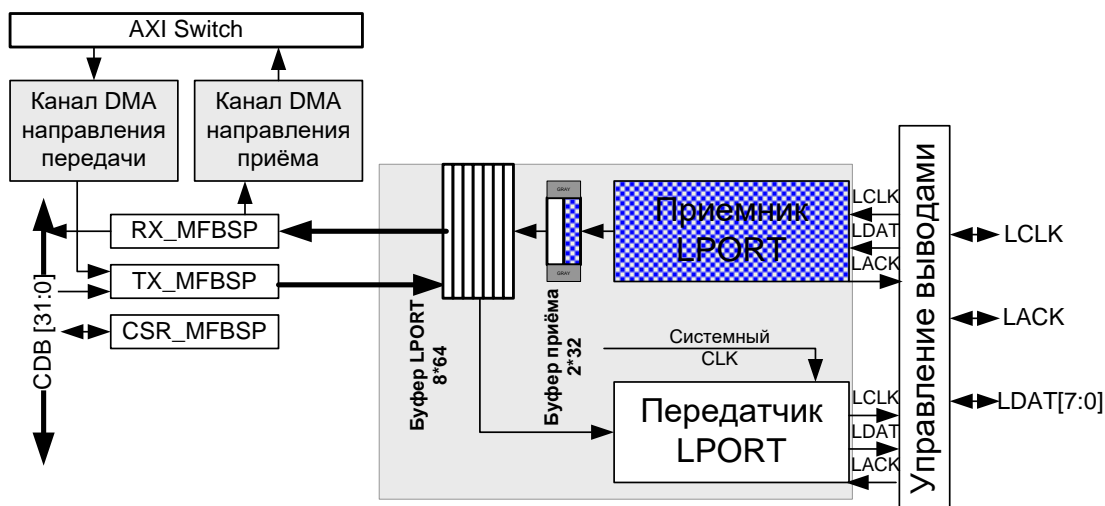


Рисунок 11.34. Структурная схема MFBSP для режима LPORT.

11.5.8 Соединение с внешними устройствами

На Рисунок 11.35 и Рисунок 11.36 представлены варианты соединения MFBSP с внешними устройствами в режиме линкового порта.

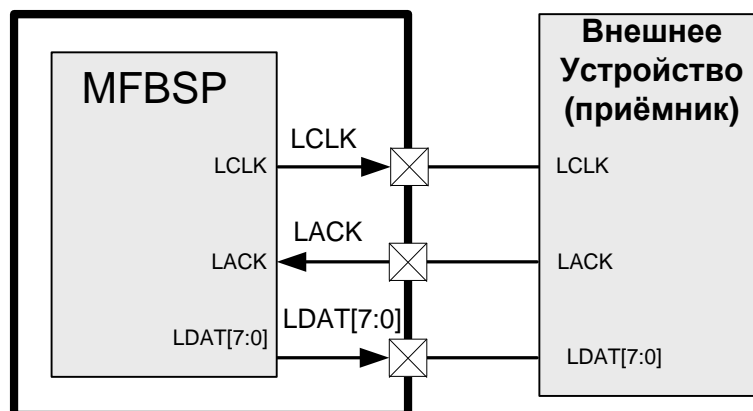


Рисунок 11.35. MFBSP в режиме передатчика LPORT (LCLK, LDAT-выходы, LACK - вход) (режим №2 по Таблица 11.1)

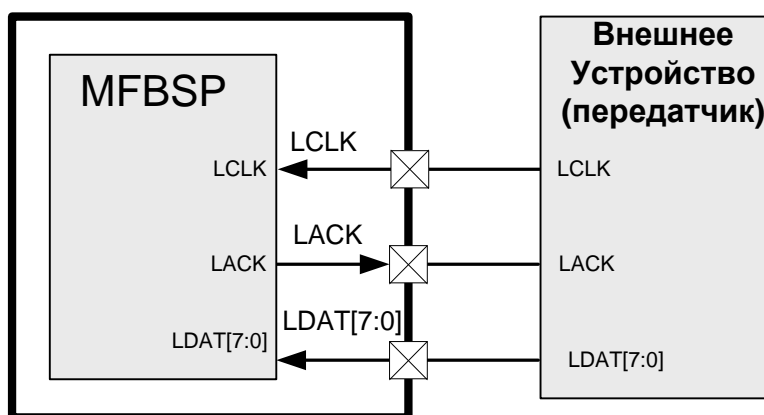


Рисунок 11.36. MFBSP в режиме приёмника LPORT (LCLK, LDAT-входы, LACK - выход) (режим №2 по Таблица 11.1)

11.5.9 Передача данных по линковому порту

По линковому порту передача данных происходит в одном направлении (либо передача данных, либо приём данных).

Передача данных по линковому порту выполняется старшим байтом вперед (или старшей тетрадой, если выбран режим передачи тетрадами).

Для смены направления обмена данными по линковому порту необходимо сначала выключить порт (установить бит LEN, регистра CSR_MFBSP в 0), затем включить порт, установив требуемое значение направления передачи данных (бит LTRAN, регистра CSR_MFBSP)

Передача данных по линковому порту возможна для любых сочетаний частот приёмника и передатчика, скорость передачи данных будет определяться самым медленным устройством.

Для корректной передачи данных необходимо, чтобы значение бита LDW у приёмника и у передатчика совпадало.

Если для передатчика LDW=1, а для приёмника LDW=0 приёмник будет упаковывать два 32-х разрядных слова в одно 32-х разрядное слово, выкидывая из каждого байта старшие 4 бита.

Установка значений LDW для передатчика LDW=0, а для приёмника LDW=1 не допускается.

Временная диаграмма работы линкового порта приведена на Рисунок 11.37.

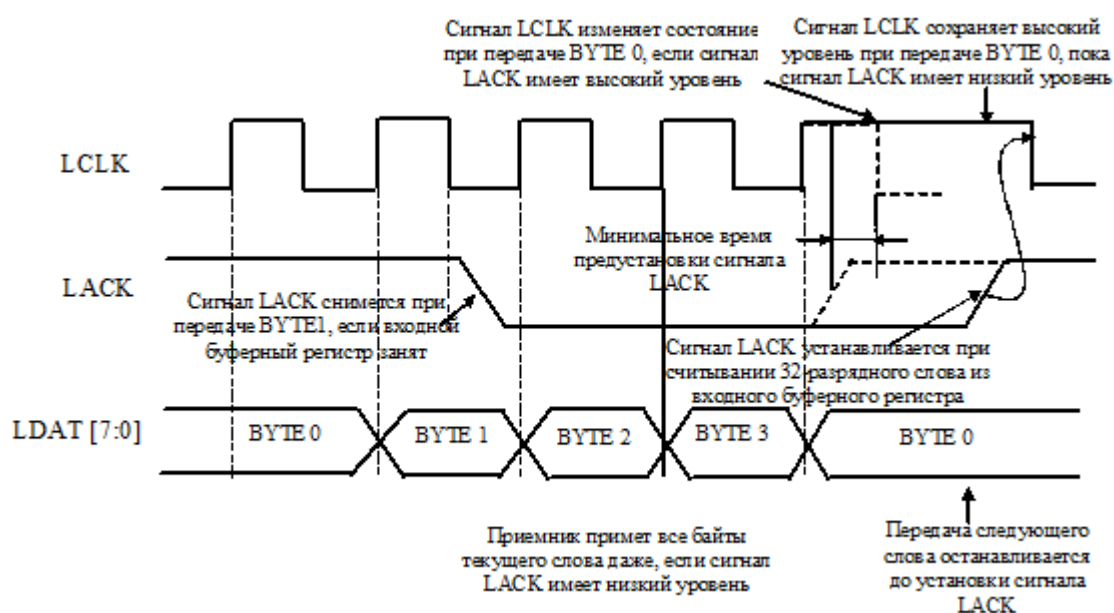


Рисунок 11.37. Временная диаграмма работы линкового порта (LDW=1)

При LDW = 0 передача 32-разрядного слова выполняется за 8 посылок, а при LDW = 1 - за 4 посылки. Передатчик изменяет данные LDAT по положительному фронту LCLK, а приемник защелкивает данные в буфере приёма по отрицательному фронту.

Исходное состояние сигнала LACK – высокий уровень. Сигнал LACK снимается приемником по заднему фронту LCLK при передаче BYTE1, если в буфере приёма осталось место для приёма всего одного слова. При этом приемник примет все байты текущего 32-

разрядного слова даже, если сигнал LACK имеет низкий уровень. Сигнал LACK устанавливается при считывании 32-разрядного слова из входного буферного регистра.

Передатчик после выставления BYTE0 анализирует состояние сигнала LACK. Если LACK = 1, то LCLK продолжает изменять свое состояние и после BYTE 0 передается BYTE 1 и так далее. Если LACK = 0, то LCLK сохраняет высокий уровень при передаче BYTE 0, пока сигнал LACK имеет низкий уровень.

Если линковый порт деактивизирован (LEN = 0) сигналы LDAT, LCLK LACK являются входами. Поэтому эти сигналы необходимо привязывать к земле через резисторы 10 кОм. Если порт настроен как передатчик, LDAT и LCLK становятся выходами, а LACK – входом. Если порт настроен как приемник, LDAT и LCLK становятся входами, а LACK – выходом.

LPORT может выполнять либо только приём либо только передачу данных. Поэтому LPORT снабжен одним буфером на 8 64-х разрядных слов, используемом как в направлении приёма, так и в направлении передачи. В направлении приёма дополнительно встроен буфер на 2 32-х разрядных слова, используемый для пересинхронизации с внешней частоты LCLK на внутреннюю системную частоту.

Таким образом, LPORT обладает буферизацией в направлении передачи на 8 64-разрядных слов (16 32-разрядных слов) и буферизацией в направлении приёма на 9 64-разрядных слов (18 32-разрядных слов).

В случае передачи данных посредством DMA запись блоков данных в буфер передачи происходит до тех пор, пока буфер готов принять очередной блок, размер которого определяется битами WN, регистра CSR соответствующего канала DMA.

Степень заполнения буфера можно программно регулировать, используя биты TBES. В этом случае значение выражения TBES+1 – задает эффективный размер буфера передачи. Передача очередной пачки происходит только в случае, если при записи этой пачки в буфер передачи число 64 разрядных слов в буфере передачи не превысит TBES+1. При попытке передать пачку со значением $WN > TBES$, значение WN автоматически корректируется (большая пачка передается в несколько этапов пачками меньшего размера).

Так, при $WN = 0$ и $TBES = 0$ очередное 64-х разрядное слово будет подкачиваться в буфер передачи только если он пуст. В этом случае по окончании работы DMA в момент прерывания от соответствующего канала передатчику останется передать ещё 4 32-х разрядных слова (два 32-х разрядных слова в буфере пересинхронизации и одно 64-х разрядное слово в буфере передачи).

Принимаемые портом данные сначала помещаются в буфер пересинхронизации и только через два такта перемещаются в буфер LPORT. При опросе контрольных регистров порта доступно состояние только буфера LPORT без учёта буфера пересинхронизации. Таким образом, после заполнения основного буфера LPORT могут быть приняты ещё два 32-х разрядных слова, которые будут перемещаться из буфера пересинхронизации в общий буфер LPORT по мере освобождения буфера LPORT.

Запись данных в буфер пересинхронизации LPORT осуществляется по внешней частоте LCLK, а перемещение данных из буфера пересинхронизации в буфер LPORT осуществляется по внутренней системной частоте CLK. Если внутренняя системная частота более чем в 4 раза меньше внешней частоты LCLK, скорости перемещения данных между двумя буферами может быть недостаточно, что будет приводить к периодическому заполнению буфера пересинхронизации. К потере данных это не приведет, поскольку в LPORT предусмотрен механизм останова передачи по заполнению буфера приёма, однако это приведёт к замедлению обмена данными по линковым портам.

11.5.10 Прерывания от линковых портов

Если линковый порт не активизирован ($LEN=0$, $SPI_I2S_EN=0$), он формирует прерывание по запросу обслуживания, если:

на внешней шине выставлены данные на прием (активное состояние сигнала LCLK);

из внешней шины поступил запрос на выдачу данных (активное состояние сигнала LACK).

Данное прерывание сбрасывается после установки $LEN = 1$.

Если MFBSР используется в режиме линкового порта, то чтобы избежать ложной установки прерывания SRQ в случае, когда порт выключен и на выводах LACK или LCLK установлено высокоимпедансное состояние, необходимо к выводам LACK и LCLK подключить pull-down резисторы.

При $LPT_IRQ_EN = 0$ данное прерывание маскируется

Если включен линковый порт ($LEN = 1$) прерывания от MFBSР формируются в случае если в буфер приёма записано количество слов большее, чем установлено уровнем прерывания RLEV (MFBSР_RXBUF), либо если при включенном передатчике в буфере передачи осталось количество слов меньшее, либо равное чем установлено уровнем прерывания TLEV (MFBSР_TXBUF).

11.6 Работа MFBSР в режиме порта ввода-вывода общего назначения

Если многофункциональный порт выключен ($LEN = 0$, $SPI_I2S_EN = 0$), внешние линии LDAT[7:0], LCLK, LACK можно использовать как 10-разрядный двунаправленный порт ввода-вывода.

Если включен режим последовательного порта ($SPI_I2S_EN = 1$), незадействованные в организации последовательной передачи данных выводы LDAT[7:4] могут быть использованы в качестве вводов-выводов общего назначения. Единственным ограничением в данной ситуации является то, что для определения режима работы последовательного порта используются биты GPIO_DR[5:0], которые не должны меняться в процессе передачи данных по последовательному порту. Поэтому при управлении выводами общего назначения LDAT[7:4] (управляются битами DIR_MFBSР [9:6]) запись в регистр DIR_MFBSР необходимо проводить таким образом, чтобы текущие значения бит DIR_MFBSР [5:0] не менялись.

При работе в режиме выводов общего назначения данные с внешних выводов порта защелкиваются по положительному фронту тактового сигнала. Поэтому следует учитывать, что чтение данных с внешних выводов порта будет происходить с задержкой в 1 такт.

11.6.1 Регистр данных порта ввода вывода GPIO_DR

10-разрядный регистр данных порта ввода-вывода (GPIO_DR) предназначен для реализации гибкого интерфейса с внешними устройствами. Внешние выводы порта ввода-вывода совмещены с внешними выводами линкового порта.

Соответствие разрядов регистра GPIO_DR и внешних линий линкового порта приведено в таблице ниже.

Таблица 11.34. Назначение разрядов регистра GPIO_DR

Номер разряда регистра GPIO_DR	Внешние выходы MFBSP	Значение после сброса
9:2	LDAT[7:0]	0
1	LCLK	0
0	LACK	0

11.6.2 Регистр управления направлением выводов DIR_MFBSP

Настройка направления выводов порта ввода-вывода осуществляется программно при помощи 10-разрядного регистра DIR_MFBSP. Если DIR_MFBSP установлен в 0, то соответствующий разряд порта ввода-вывода является входом, если же разряд DIR_MFBSP установлен в 1, то соответствующий разряд порта ввода-вывода является выходом.

Таблица 11.35. Назначение разрядов регистра GPIO_DR

Номер разряда регистра DIR_MFBSP	Внешние выходы MFBSP	Значение после сброса
9:2	Направление выводов LDAT[7:0]	0
1	Направление вывода LCLK	0
0	Направление вывода LACK	0

11.7 Рекомендации по аварийному выключению передатчика

В режимах SPI и I2S при TDEL = 1 выключение порта путем записи 0 в TEN, без сброса бита SPI_I2S_EN может привести к сбою в буфере передачи, и после очередного включения передатчика (TEN = 1) данные будут передаваться некорректно.

Решения:

если передатчик был выключен при TDEL = 1 перед его очередным включением необходимо сбросить записью 1 в бит RST_TXBUF;

в режиме мастер выключать передатчик (если есть необходимость в дальнейшем использовать порт) вообще нет необходимости – отсутствие данных в буфере передачи автоматически останавливает дальнейшую передачу.

12. КОНТРОЛЛЕР ARINC429

12.1 Назначение

Канал информационного обмена, выполнен на основе контроллера интерфейса ARINC429, соответствует ГОСТ 18977-79 и РТМ 1495-75 (изм. 2, 3). Соответствие интерфейсу ARINC429 – только на сигнальном уровне. Контроллер предназначен для обмена данными с устройствами на шине ARINC429.

Контроллер имеет 15 независимых каналов, направление которых задается программно через регистр R_DIR. Контроллер поддерживает следующие частоты следования импульсов: 12,5 кГц $\pm 1\%$, 50 кГц $\pm 1\%$, 100 кГц $\pm 1\%$, 250 кГц $\pm 1\%$. Для настройки частоты выдачи предусмотрен регистр настройки частот (при этом частоты разных каналов также могут быть разными). Контроллер поддерживает прием данных с адресной сортировкой, файловый прием, прием последовательности слов. Для прямого доступа в память контроллер ARINC429 в своем составе имеет 15-ти каналный контроллер DMA.

12.2 Архитектура и функционирование порта ARINC429

Контроллер интерфейса содержит 15 каналов с возможностью программной настройки каждого канала на вход или на выход и общим для всех каналов выходом блокировки.

Структурная схема порта приведена на **Рисунок 12.1**.

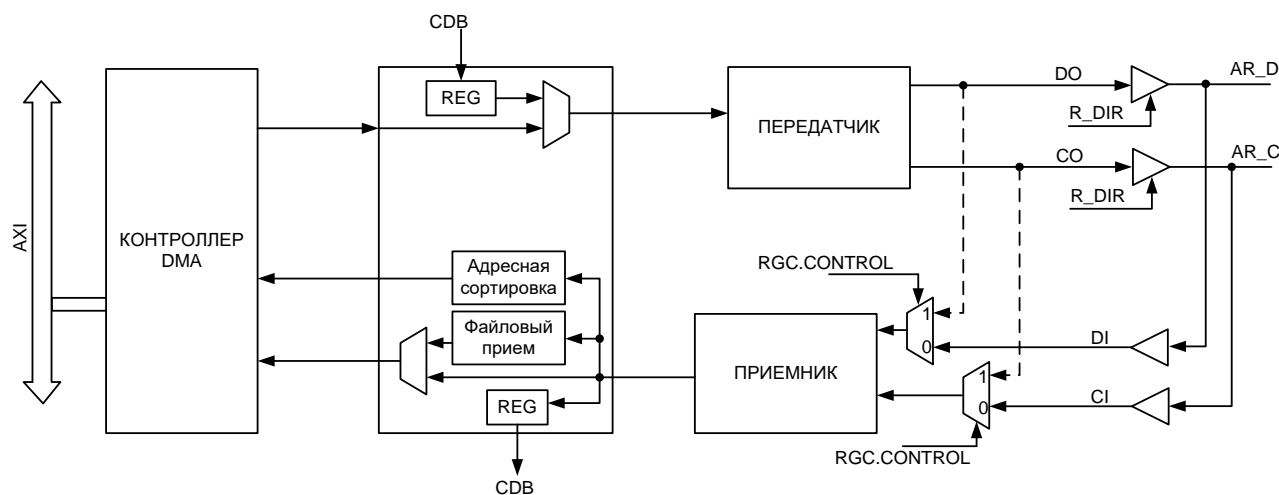


Рисунок 12.1. Структурная схема порта ARINC429

Канал при выдаче формирует выходной сигнал данных (DO) и тактирующий сигнал (CO). Пример одного слова приведен на Рисунок 12.2.

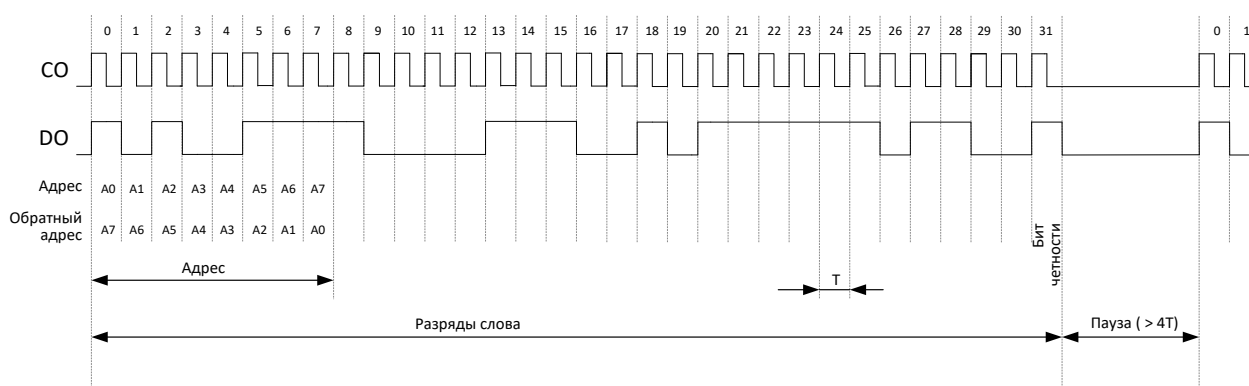


Рисунок 12.2. Передача одного слова (в режиме тактирующего сигнала на линии CO, $R_CODE.CODE = 0$)

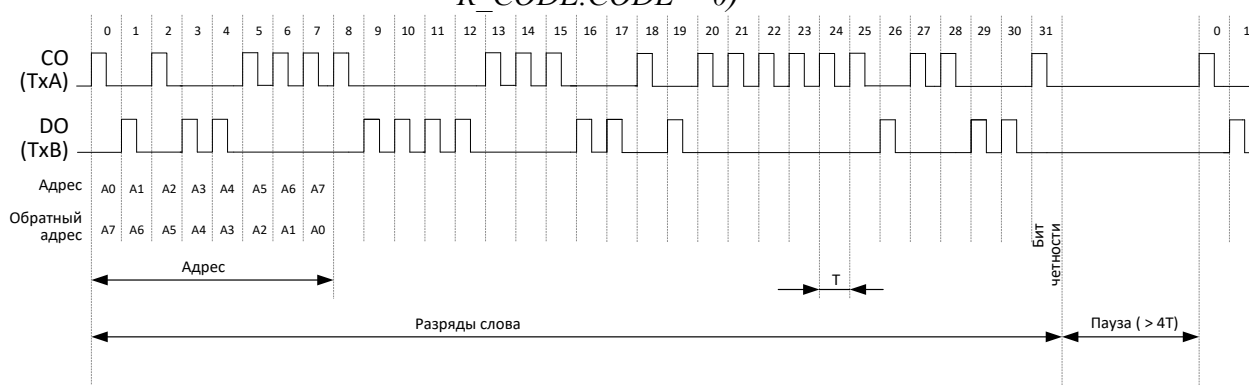


Рисунок 12.3. Передача одного слова (в режиме противофазных сигналов, $R_CODE.CODE = 1$)

Выдаваемое слово состоит из 32-х разрядов, 31-й разряд – разряд четности. Пауза между выдаваемыми словами может быть от $4T$ до $40T$, для чего предусмотрен регистр, позволяющий проводить программную настройку длительности паузы. Предусмотрено программная подстройка длительностей положительных импульсов сигнала CO (регистры RCO_LCI и RCO_PIMP).

12.3 Программно-доступные регистры

Перечень программно-доступных регистров контроллера ARINC429 приведен в Таблица 12.1, с указанием смещения относительно базового адреса контроллера в микросхеме.

Таблица 12.1

Условное обозначение регистра	Назначение регистра	Адрес регистра
Регистры контроллера ARINC429		
RGS0	Регистр состояния каналов 5-0	0xF00
RGS1	Регистр состояния каналов 11-6	0xF04
RGS2	Регистр состояния каналов 14-12	0xF08
RGM	Регистр масок прерываний	0xF0C
RGF	Регистр настройки частоты каналов	0xF10
R_CODE	Регистр выбора способа кодирования	0xF14
R_DIR	Регистр направления	0xF18
R_IRQ	Регистр прерываний	0xF1C
R_DMA	Регистр включения режима DMA	0xF20

Условное обозначение регистра	Назначение регистра	Адрес регистра
R_EN	Регистр включения приема/передачи в режиме DMA	0xF24
R_RGM0	Регистр масок прерываний по полям регистра RGS0	0xF28
R_RGM1	Регистр масок прерываний по полям регистра RGS1	0xF2C
R_RGM2	Регистр масок прерываний по полям регистра RGS2	0xF30
Регистры канала 0		
RGC	Регистр настройки канала 0	0x000
R_LWMAX0	Регистр настройки максимальной длительности слова	0x008
R_LWMIN0	Регистр настройки минимальной длительности слова	0x00C
R_ERR0	Регистр настройки защиты от ложного срабатывания	0x010
RCO_LCI0	Регистр настройки длины импульса	0x014
RCO_PLEN0	Регистр настройки длины паузы между словами	0x018
R_MASK0	Регистр настройки маски слова	0x01C
R_WORD_IRQ0	Регистр слова для формирования прерывания	0x020
R_NUM_WORD0	Регистр количества слов	0x024
RCO_PIMP0	Регистр настройки паузы между импульсами слова	0x02C
RC_BIT0	Регистр настройки количества разрядов слова	0x030
KP_DRAM	Регистр данных канала приёма	0x034
KV_DRAM	Регистр данных канала выдачи	0x038
FILE	Регистр настройки файлового приема	0x03C
Регистры канала 1		0x1xx
Регистры канала 2		0x2xx
Регистры канала 3		0x3xx
Регистры канала 4		0x4xx
Регистры канала 5		0x5xx
Регистры канала 6		0x6xx
Регистры канала 7		0x7xx
Регистры канала 8		0x8xx
Регистры канала 9		0x9xx
Регистры канала 10		0xAxx
Регистры канала 11		0xBxx
Регистры канала 12		0xCxx
Регистры канала 13		0xDxx
Регистры канала 14		0xExx+

12.3.1 Регистр состояния каналов 5-0 (RGS0)

Регистр управления и состояния RGS0 является 32-разрядным регистром, работающим в режиме RW1, то есть сброс «1» осуществляется записью «1» в соответствующий разряд. Назначение разрядов регистра приведено в Таблица 12.2.

Таблица 12.2

Номер бита	Название	Режим	Исх. сост.	Описание работы
31:30	Не используется		0	
29	CH5_IRQ_DATA_LOST	RW1	0	Прерывания по принятому слову данных в то время, как предыдущее прерывание по приему слова данных CH _n _IRQ_REC не было снято
28	CH5_IRQ_TR	RW1	0	Окончание выдачи
27	CH5_IRQ_REC	RW1	0	Принято/Выдано слово
26	CH5_IRQ_WORD	RW1	0	Принято слово, соответствующее регистру R_WORD_IRQ
25	CH5_IRQ_NUM_WORD	RW1	0	Принято заданное количество слов
24	CH4_IRQ_DATA_LOST	RW1	0	прерывания по принятому слову данных в то время, как предыдущее прерывание по приему слова данных CH _n _IRQ_REC не было снято
23	CH4_IRQ_TR	RW1	0	Окончание выдачи
22	CH4_IRQ_REC	RW1	0	Принято/Выдано слово
21	CH4_IRQ_WORD	RW1	0	Принято слово, соответствующее регистру R_WORD_IRQ
20	CH4_IRQ_NUM_WORD	RW1	0	Принято заданное количество слов
19	CH3_IRQ_DATA_LOST	RW1	0	прерывания по принятому слову данных в то время, как предыдущее прерывание по приему слова данных CH _n _IRQ_REC не было снято
18	CH3_IRQ_TR	RW1	0	Окончание выдачи
17	CH3_IRQ_REC	RW1	0	Принято/Выдано слово
16	CH3_IRQ_WORD	RW1	0	Принято слово, соответствующее регистру R_WORD_IRQ
15	CH3_IRQ_NUM_WORD	RW1	0	Принято заданное количество слов
14	CH2_IRQ_DATA_LOST	RW1	0	прерывания по принятому слову данных в то время, как предыдущее прерывание по приему слова данных CH _n _IRQ_REC не было снято
13	CH2_IRQ_TR	RW1	0	Окончание выдачи
12	CH2_IRQ_REC	RW1	0	Принято/Выдано слово
11	CH2_IRQ_WORD	RW1	0	Принято слово, соответствующее регистру R_WORD_IRQ
10	CH2_IRQ_NUM_WORD	RW1	0	Принято заданное количество слов
9	CH1_IRQ_DATA_LOST	RW1	0	прерывания по принятому слову данных в то время, как предыдущее прерывание по приему слова данных CH _n _IRQ_REC не было снято
8	CH1_IRQ_TR	RW1	0	Окончание выдачи
7	CH1_IRQ_REC	RW1	0	Принято/Выдано слово
6	CH1_IRQ_WORD	RW1	0	Принято слово, соответствующее регистру R_WORD_IRQ
5	CH1_IRQ_NUM_WORD	RW1	0	Принято заданное количество слов
4	CH0_IRQ_DATA_LOST	RW1	0	прерывания по принятому слову данных в то время, как предыдущее прерывание по приему слова данных CH _n _IRQ_REC не было снято
3	CH0_IRQ_TR	RW1	0	Окончание выдачи
2	CH0_IRQ_REC	RW1	0	Принято/Выдано слово
1	CH0_IRQ_WORD	RW1	0	Принято слово, соответствующее регистру R_WORD_IRQ
0	CH0_IRQ_NUM_WORD	RW1	0	Принято заданное количество слов

12.3.2 Регистр состояния каналов 11-6 (RGS1)

Регистр управления и состояния RGS1 является 32-разрядным регистром, работающим в режиме RW1, то есть сброс «1» осуществляется записью «1» в соответствующий разряд. Назначение разрядов регистра приведено в Таблица 12.3.

Таблица 12.3

Номер бита	Название	Режим	Исх. сост	Описание работы
31:30	Не используется		0	
29	CH11_IRQ_DATA_LOST	RW	0	Прерывания по принятому слову данных в то время, как предыдущее прерывание по приему слова данных CHn_IRQ_REC не было снято
28	CH11_IRQ_TR	RW	0	Окончание выдачи
27	CH11_IRQ_REC	RW	0	Принято/Выдано слово
26	CH11_IRQ_WORD	RW	0	Принято слово, соответствующее регистру R_WORD_IRQ
25	C11_IRQ_NUM_WORD	RW	0	Принято заданное количество слов
24	CH10_IRQ_DATA_LOST	RW	0	Прерывания по принятому слову данных в то время, как предыдущее прерывание по приему слова данных CHn_IRQ_REC не было снято
23	CH10_IRQ_TR	RW	0	Окончание выдачи
22	CH10_IRQ_REC	RW	0	Принято/Выдано слово
21	CH10_IRQ_WORD	RW	0	Принято слово, соответствующее регистру R_WORD_IRQ
20	CH10_IRQ_NUM_WORD	RW	0	Принято заданное количество слов
19	CH9_IRQ_DATA_LOST	RW	0	Прерывания по принятому слову данных в то время, как предыдущее прерывание по приему слова данных CHn_IRQ_REC не было снято
18	CH9_IRQ_TR	RW	0	Окончание выдачи
17	CH9_IRQ_REC	RW	0	Принято/Выдано слово
16	CH9_IRQ_WORD	RW	0	Принято слово, соответствующее регистру R_WORD_IRQ
15	CH9_IRQ_NUM_WORD	RW	0	Принято заданное количество слов
14	CH8_IRQ_DATA_LOST	RW	0	Прерывания по принятому слову данных в то время, как предыдущее прерывание по приему слова данных CHn_IRQ_REC не было снято
13	CH8_IRQ_TR	RW	0	Окончание выдачи
12	CH8_IRQ_REC	RW	0	Принято/Выдано слово
11	CH8_IRQ_WORD	RW	0	Принято слово, соответствующее регистру R_WORD_IRQ
10	CH8_IRQ_NUM_WORD	RW	0	Принято заданное количество слов
9	CH7_IRQ_DATA_LOST	RW	0	Прерывания по принятому слову данных в то время, как предыдущее прерывание по приему слова данных CHn_IRQ_REC не было снято
8	CH7_IRQ_TR	RW	0	Окончание выдачи
7	CH7_IRQ_REC	RW	0	Принято/Выдано слово
6	CH7_IRQ_WORD	RW	0	Принято слово, соответствующее регистру R_WORD_IRQ
5	CH7_IRQ_NUM_WORD	RW	0	Принято заданное количество слов
4	CH6_IRQ_DATA_LOST	RW	0	Прерывания по принятому слову данных в то время, как предыдущее прерывание по приему слова данных CHn_IRQ_REC не было снято

Номер бита	Название	Режим	Исх. сост.	Описание работы
3	CH6_IRQ_TR	RW	0	Окончание выдачи
2	CH6_IRQ_REC	RW	0	Принято/Выдано слово
1	CH6_IRQ_WORD	RW	0	Принято слово, соответствующее регистру R_WORD_IRQ
0	CH6_IRQ_NUM_WORD	RW	0	Принято заданное количество слов

12.3.3 Регистр состояния каналов 14-12 (RGS2)

Регистр управления и состояния RGS2 является 32-разрядным регистром, работающим в режиме RW1, то есть сброс «1» осуществляется записью «1» в соответствующий разряд. Назначение разрядов регистра приведено в Таблица 12.4.

Таблица 12.4

Номер бита	Название	Режим	Исх. сост.	Описание работы
31:15	Не используется		0	
14	CH14_IRQ_DATA_LOST	RW	0	Прерывания по принятому слову данных в то время, как предыдущее прерывание по приему слова данных CHn_IRQ_REC не было снято
13	CH14_IRQ_TR	RW	0	Окончание выдачи
12	CH14_IRQ_REC	RW	0	Принято/Выдано слово
11	CH14_IRQ_WORD	RW	0	Принято слово, соответствующее регистру R_WORD_IRQ
10	CH14_IRQ_NUM_WORD	RW	0	Принято заданное количество слов
9	CH13_IRQ_DATA_LOST	RW	0	прерывания по принятому слову данных в то время, как предыдущее прерывание по приему слова данных CHn_IRQ_REC не было снято
8	CH13_IRQ_TR	RW	0	Окончание выдачи
7	CH13_IRQ_REC	RW	0	Принято/Выдано слово
6	CH13_IRQ_WORD	RW	0	Принято слово, соответствующее регистру R_WORD_IRQ
5	CH13_IRQ_NUM_WORD	RW	0	Принято заданное количество слов
4	CH12_IRQ_DATA_LOST	RW	0	Прерывания по принятому слову данных в то время, как предыдущее прерывание по приему слова данных CHn_IRQ_REC не было снято
3	CH12_IRQ_TR	RW	0	Окончание выдачи
2	CH12_IRQ_REC	RW	0	Принято/Выдано слово
1	CH12_IRQ_WORD	RW	0	Принято слово, соответствующее регистру R_WORD_IRQ
0	CH12_IRQ_NUM_WORD	RW	0	Принято заданное количество слов

12.3.4 Регистр настройки масок прерываний (RGM)

Назначение разрядов регистра приведено в Таблица 12.5.

Таблица 12.5

Номер бита	Название	Режим	Исх. сост.	Описание работы
31	Не используется		0	
30	IRQ_DMA_C14	RW	0	Разрешение прерывания от 14- го канала DMA (1-разрешено)
29	IRQ_DMA_C13	RW	0	Разрешение прерывания от 13- го канала DMA (1-разрешено)
28	IRQ_DMA_C12	RW	0	Разрешение прерывания от 12- го канала DMA (1-разрешено)
27	IRQ_DMA_C11	RW	0	Разрешение прерывания от 11- го канала DMA (1-разрешено)
26	IRQ_DMA_C10	RW	0	Разрешение прерывания от 10- го канала DMA (1-разрешено)
25	IRQ_DMA_C9	RW	0	Разрешение прерывания от 9- го канала DMA (1-разрешено)
24	IRQ_DMA_C8	RW	0	Разрешение прерывания от 8- го канала DMA (1-разрешено)
23	IRQ_DMA_C7	RW	0	Разрешение прерывания от 7- го канала DMA (1-разрешено)
22	IRQ_DMA_C6	RW	0	Разрешение прерывания от 6- го канала DMA (1-разрешено)
21	IRQ_DMA_C5	RW	0	Разрешение прерывания от 5- го канала DMA (1-разрешено)
20	IRQ_DMA_C4	RW	0	Разрешение прерывания от 4- го канала DMA (1-разрешено)
19	IRQ_DMA_C3	RW	0	Разрешение прерывания от 3- го канала DMA (1-разрешено)
18	IRQ_DMA_C2	RW	0	Разрешение прерывания от 2- го канала DMA (1-разрешено)
17	IRQ_DMA_C1	RW	0	Разрешение прерывания от 1- го канала DMA (1-разрешено)
16	IRQ_DMA_C0	RW	0	Разрешение прерывания от 0- го канала DMA (1-разрешено)
15	Не используется		0	
14	EN_IRQ_C14	RW	0	Разрешение прерывания от 14- го канала (1-разрешено)
13	EN_IRQ_C13	RW	0	Разрешение прерывания от 13- го канала (1-разрешено)
12	EN_IRQ_C12	RW	0	Разрешение прерывания от 12- го канала (1-разрешено)
11	EN_IRQ_C11	RW	0	Разрешение прерывания от 11- го канала (1-разрешено)
10	EN_IRQ_C10	RW	0	Разрешение прерывания от 10- го канала (1-разрешено)
9	EN_IRQ_C9	RW	0	Разрешение прерывания от 9- го канала (1-разрешено)
8	EN_IRQ_C8	RW	0	Разрешение прерывания от 8- го канала (1-разрешено)
7	EN_IRQ_C7	RW	0	Разрешение прерывания от 7- го канала (1-разрешено)
6	EN_IRQ_C6	RW	0	Разрешение прерывания от 6- го канала (1-разрешено)
5	EN_IRQ_C5	RW	0	Разрешение прерывания от 5- го канала (1-разрешено)
4	EN_IRQ_C4	RW	0	Разрешение прерывания от 4- го канала (1-разрешено)
3	EN_IRQ_C3	RW	0	Разрешение прерывания от 3- го канала (1-разрешено)
2	EN_IRQ_C2	RW	0	Разрешение прерывания от 2- го канала (1-разрешено)
1	EN_IRQ_C1	RW	0	Разрешение прерывания от 1- го канала (1-разрешено)
0	EN_IRQ_C0	RW	0	Разрешение прерывания от 0- го канала (1-разрешено)

12.3.5 Регистры масок прерываний (R_RGM0, R_RGM1, R_RGM2)

Регистры масок прерываний соответствуют полям регистров RGS0, RGS1, RGS2. Исходное состояние данных регистров 0xFFFFFFFF, таким образом, на этом уровне прерывания разрешены.

12.3.6 Регистр настройки частоты каналов (RGF)

Назначение разрядов регистра приведено в Таблица 12.6.

Таблица 12.6

Номер бита	Название	Режим	Исх. сост.	Описание работы
31:30	Не используется		0	

Номер бита	Название	Режим	Исх. сост.	Описание работы
29:28	FREQ_C14	RW	0	Частота работы канала 14 (11-250кГц, 10-100кГц, 01-50кГц, 00-12,5кГц)
27:26	FREQ_C13	RW	0	Частота работы канала 13 (11-250кГц, 10-100кГц, 01-50кГц, 00-12,5кГц)
25:24	FREQ_C12	RW	0	Частота работы канала 12 (11-250кГц, 10-100кГц, 01-50кГц, 00-12,5кГц)
23:22	FREQ_C11	RW	0	Частота работы канала 11 (11-250кГц, 10-100кГц, 01-50кГц, 00-12,5кГц)
21:20	FREQ_C10	RW	0	Частота работы канала 10 (11-250кГц, 10-100кГц, 01-50кГц, 00-12,5кГц)
19:18	FREQ_C9	RW	0	Частота работы канала 9 (11-250кГц, 10-100кГц, 01-50кГц, 00-12,5кГц)
17:16	FREQ_C8	RW	0	Частота работы канала 8 (11-250кГц, 10-100кГц, 01-50кГц, 00-12,5кГц)
15:14	FREQ_C7	RW	0	Частота работы канала 7 (11-250кГц, 10-100кГц, 01-50кГц, 00-12,5кГц)
13:12	FREQ_C6	RW	0	Частота работы канала 6 (11-250кГц, 10-100кГц, 01-50кГц, 00-12,5кГц)
11:10	FREQ_C5	RW	0	Частота работы канала 5 (11-250кГц, 10-100кГц, 01-50кГц, 00-12,5кГц)
9:8	FREQ_C4	RW	0	Частота работы канала 4 (11-250кГц, 10-100кГц, 01-50кГц, 00-12,5кГц)
7:6	FREQ_C3	RW	0	Частота работы канала 3 (11-250кГц, 10-100кГц, 01-50кГц, 00-12,5кГц)
5:4	FREQ_C2	RW	0	Частота работы канала 2 (11-250кГц, 10-100кГц, 01-50кГц, 00-12,5кГц)
3:2	FREQ_C1	RW	0	Частота работы канала 1 (11-250кГц, 10-100кГц, 01-50кГц, 00-12,5кГц)
1:0	FREQ_C0	RW	0	Частота работы канала 0 (11-250кГц, 10-100кГц, 01-50кГц, 00-12,5кГц)

12.3.7 Регистр выбора способа кодирования (R_CODE)

Назначение разрядов регистра приведено в Таблица 12.7.

Таблица 12.7

Номер бита	Название	Режим	Исх. сост.	Описание работы
31	EN_CONFIG	RW	1	«1» в этом разряде разрешает изменение регистра направлений. После записи регистра направлений необходимо установить данный бит в 0 для предотвращения изменения конфигурации системы
30:3	Не используется		0	
2	ADDR_REV	RW	0	Адрес в передаваемом/принимаемом слове реверсивный: 0 – порядок передачи адреса в линию младшим вперед [0:7], 1 – порядок передачи адреса в линию старшим вперед [7:0].
1	BLK	RW	0	Блокировка передатчика (0 - блокировка передатчика, 1 – блокировка снята)

Номер бита	Название	Режим	Исх. сост.	Описание работы
0	CODE	RW	0	Выбор кодировки в соответствии с HOLT(1-выбрано) При состоянии 1 на оба выхода/входа каналов DO, CO/DI, CI подается противофазный сигнал данных (CO = ТхА – прямой, DO = ТхВ)

12.3.8 Регистр направления передачи (R_DIR)

Назначение разрядов регистра приведено в Таблица 12.8.

Таблица 12.8

Номер бита	Название	Режим	Исх. сост.	Описание работы
31:15	Не используется		0	
14	DIR_C14	RW	0	Направление работы канала 14(1-выдача, 0-прием)
13	DIR_C13	RW	0	Направление работы канала 13(1-выдача, 0-прием)
12	DIR_C12	RW	0	Направление работы канала 12(1-выдача, 0-прием)
11	DIR_C11	RW	0	Направление работы канала 11(1-выдача, 0-прием)
10	DIR_C10	RW	0	Направление работы канала 10(1-выдача, 0-прием)
9	DIR_C9	RW	0	Направление работы канала 9(1-выдача, 0-прием)
8	DIR_C8	RW	0	Направление работы канала 8(1-выдача, 0-прием)
7	DIR_C7	RW	0	Направление работы канала 7(1-выдача, 0-прием)
6	DIR_C6	RW	0	Направление работы канала 6(1-выдача, 0-прием)
5	DIR_C5	RW	0	Направление работы канала 5(1-выдача, 0-прием)
4	DIR_C4	RW	0	Направление работы канала 4(1-выдача, 0-прием)
3	DIR_C3	RW	0	Направление работы канала 3(1-выдача, 0-прием)
2	DIR_C2	RW	0	Направление работы канала 2(1-выдача, 0-прием)
1	DIR_C1	RW	0	Направление работы канала 1(1-выдача, 0-прием)
0	DIR_C0	RW	0	Направление работы канала 0(1-выдача, 0-прием)

12.3.9 Регистр прерываний (R_IRQ)

Назначение разрядов регистра приведено в Таблица 12.9.

Таблица 12.9

Номер бита	Название	Режим	Исх. сост.	Описание работы
31	Не используется		0	
30	IRQ_DMA_C14	RW	0	Прерывание от 14- го канала DMA
29	IRQ_DMA_C13	RW	0	Прерывание от 13- го канала DMA
28	IRQ_DMA_C12	RW	0	Прерывание от 12- го канала DMA
27	IRQ_DMA_C11	RW	0	Прерывание от 11- го канала DMA
26	IRQ_DMA_C10	RW	0	Прерывание от 10- го канала DMA
25	IRQ_DMA_C9	RW	0	Прерывание от 9- го канала DMA
24	IRQ_DMA_C8	RW	0	Прерывание от 8- го канала DMA
23	IRQ_DMA_C7	RW	0	Прерывание от 7- го канала DMA
22	IRQ_DMA_C6	RW	0	Прерывание от 6- го канала DMA
21	IRQ_DMA_C5	RW	0	Прерывание от 5- го канала DMA
20	IRQ_DMA_C4	RW	0	Прерывание от 4- го канала DMA
19	IRQ_DMA_C3	RW	0	Прерывание от 3- го канала DMA
18	IRQ_DMA_C2	RW	0	Прерывание от 2- го канала DMA

Номер бита	Название	Режим	Исх. сост.	Описание работы
17	IRQ_DMA_C1	RW	0	Прерывание от 1- го канала DMA
16	IRQ_DMA_C0	RW	0	Прерывание от 0- го канала DMA
15	Не используется			
14	IRQ_C14	RW	0	Прерывание от 14- го канала
13	IRQ_C13	RW	0	Прерывание от 13- го канала
12	IRQ_C12	RW	0	Прерывание от 12- го канала
11	IRQ_C11	RW	0	Прерывание от 11- го канала
10	IRQ_C10	RW	0	Прерывание от 10- го канала
9	IRQ_C9	RW	0	Прерывание от 9- го канала
8	IRQ_C8	RW	0	Прерывание от 8- го канала
7	IRQ_C7	RW	0	Прерывание от 7- го канала
6	IRQ_C6	RW	0	Прерывание от 6- го канала
5	IRQ_C5	RW	0	Прерывание от 5- го канала
4	IRQ_C4	RW	0	Прерывание от 4- го канала
3	IRQ_C3	RW	0	Прерывание от 3- го канала
2	IRQ_C2	RW	0	Прерывание от 2- го канала
1	IRQ_C1	RW	0	Прерывание от 1- го канала
0	IRQ_C0	RW	0	Прерывание от 0- го канала

12.3.10 Регистр включения режима прямого доступа порта в память (R_DMA)

Назначение разрядов регистра приведено в Таблица 12.10.

Таблица 12.10

Номер бита	Название	Режим	Исх. сост.	Описание работы
31:16	Не используется		0	
14	DMA_C14	RW	0	Включение режима DMA 14- го канала
13	DMA_C13	RW	0	Включение режима DMA 13- го канала
12	DMA_C12	RW	0	Включение режима DMA 12- го канала
11	DMA_C11	RW	0	Включение режима DMA 11- го канала
10	DMA_C10	RW	0	Включение режима DMA 10- го канала
9	DMA_C9	RW	0	Включение режима DMA 9- го канала
8	DMA_C8	RW	0	Включение режима DMA 8- го канала
7	DMA_C7	RW	0	Включение режима DMA 7- го канала
6	DMA_C6	RW	0	Включение режима DMA 6- го канала
5	DMA_C5	RW	0	Включение режима DMA 5- го канала
4	DMA_C4	RW	0	Включение режима DMA 4- го канала
3	DMA_C3	RW	0	Включение режима DMA 3- го канала
2	DMA_C2	RW	0	Включение режима DMA 2- го канала
1	DMA_C1	RW	0	Включение режима DMA 1- го канала
0	DMA_C0	RW	0	Включение режима DMA 0- го канала

По умолчанию режим DMA выключен (0).

12.3.11 Регистр включения приема/передачи в режиме DMA (R_EN)

Назначение разрядов регистра приведено в Таблица 12.11.

Таблица 12.11

Номер бита	Название	Режим	Исх. сост.	Описание работы
31:16	Не используется		0	
14	EN_DMA_C14	RW	0	Включение приема/передачи в режиме DMA 14- го канала
13	EN_DMA_C13	RW	0	Включение приема/передачи в режиме DMA 13- го канала
12	EN_DMA_C12	RW	0	Включение приема/передачи в режиме DMA 12- го канала
11	EN_DMA_C11	RW	0	Включение приема/передачи в режиме DMA 11- го канала
10	EN_DMA_C10	RW	0	Включение приема/передачи в режиме DMA 10- го канала
9	EN_DMA_C9	RW	0	Включение приема/передачи в режиме DMA 9- го канала
8	EN_DMA_C8	RW	0	Включение приема/передачи в режиме DMA 8- го канала
7	EN_DMA_C7	RW	0	Включение приема/передачи в режиме DMA 7- го канала
6	EN_DMA_C6	RW	0	Включение приема/передачи в режиме DMA 6- го канала
5	EN_DMA_C5	RW	0	Включение приема/передачи в режиме DMA 5- го канала
4	EN_DMA_C4	RW	0	Включение приема/передачи в режиме DMA 4- го канала
3	EN_DMA_C3	RW	0	Включение приема/передачи в режиме DMA 3- го канала
2	EN_DMA_C2	RW	0	Включение приема/передачи в режиме DMA 2- го канала
1	EN_DMA_C1	RW	0	Включение приема/передачи в режиме DMA 1- го канала
0	EN_DMA_C0	RW	0	Включение приема/передачи в режиме DMA 0- го канала

По умолчанию прием/передача запрещены(0).

12.3.12 Регистр настройки канала (RGC)

Назначение разрядов регистра приведено в Таблица 12.12.

Таблица 12.12

Номер бита	Название	Режим	Исх. сост.	Описание работы
31:23	Резерв			
22	EN_KV	RW	0	Разрешение выдачи (1- выдача разрешена)
21	ERR_IMP	RW	0	Режим контроля помех (1- импульсы меньше значения регистра RCO_LCI считаются ошибкой)
20	CONTROL	RW	0	Режим контроля (1 – режим контроля, 0 – выдача в линию)
19:18	CYCL_MODE	RW	0	Режим циклической выдачи (3-режим циклической выдачи)
17:2	NUMBER OF WORDS	RW	0	Количество слов (от 0 до 65535) для передачи
1	PARITY	RW	0	Режим контроля четности (1- режим работы без контроля четности)
0	EN_KP	RW	0	Разрешение приема (1- прием разрешен)

12.3.13 Регистр настройки максимальной длительности слова (R_LW_MAX)

Назначение разрядов регистра приведено в Таблица 12.13.

Таблица 12.13

Номер бита	Название	Режим	Исх. сост.	Описание работы
31:16	Не используется			
15:0		RW	0x94A7	Максимальная длительность слова для частоты 12,5кГц

Номер бита	Название	Режим	Исх. сост.	Описание работы
	LENGTH OF WORD		0x251F	Максимальная длительность слова для частоты 50кГц
			0x12A5	Максимальная длительность слова для частоты 100кГц
			0x764	Максимальная длительность слова для частоты 250кГц

Данный регистр устанавливает максимальную длительность слова в канале приёма. Данный регистр влияет на отбраковку слова. Если длительность слова больше данного регистра, то слово не принимается. 1 дискрет = 90 нс. Максимальное значение 0xFFFF.

12.3.14 Регистр настройки минимальной длительности слова (R_LW_MIN)

Назначение разрядов регистра приведено в Таблица 12.14.

Таблица 12.14

Номер бита	Название	Режим	Исх. сост.	Описание работы
31:16	Резерв			
15:0	LENGTH OF WORD	RW	0x59E2	Минимальная длительность слова для частоты 12,5кГц
			0x1672	Минимальная длительность слова для частоты 50кГц
			0xB46	Минимальная длительность слова для частоты 100кГц
			0x478	Минимальная длительность слова для частоты 250кГц

Данный регистр устанавливает минимальную длительность слова в канале приёма. Данный регистр влияет на отбраковку слова. Если длительность слова меньше данного регистра, то слово не принимается. 1 дискрет = 90 нс. Максимальное значение 0xFFFF.

12.3.15 Регистр настройки от ложного срабатывания (R_ERR)

Назначение разрядов регистра приведено в Таблица 12.15.

Таблица 12.15

Номер бита	Название	Режим	Исх. сост.	Описание работы
31:8	Резерв			
7:0	FILTER ERRORS	RW	DC	Минимальная длительность импульса входной частоты 12,5кГц
			2C	Минимальная длительность импульса входной частоты 50кГц
			1C	Минимальная длительность импульса входной частоты 100кГц
			08	Минимальная длительность импульса входной частоты 250кГц

Данный регистр служит для контроля ширины импульса тактового сигнала (CI). Если ширина импульса меньше записанной в регистре, то слово не принимается. 1 дискрет = 90нс. Максимальное значение 0x1FF.

12.3.16 Регистр настройки захвата данных (RCO_LCI)

Назначение разрядов регистра приведено в Таблица 12.16.

Таблица 12.16

Номер бита	Название	Режим	Исх. сост.		Описание работы
			KP	KV	
31:16	Резерв				
15:0	TIME OF CAPTURE	RW	DC	374	Время захвата данных для частоты 12,5кГц
			2C	DD	Время захвата данных для частоты 50кГц
			1C	6D	Время захвата данных для частоты 100кГц
			08	2A	Время захвата данных для частоты 250кГц

KP: Данный регистр служит для контроля подсчёта количества бит в слове. Данное значение устанавливает в какой момент фиксировать тактовый сигнал (CI).

1 дискрет = 90 нс. Максимальное значение для KP - 0x1FF.

KV: Данный регистр служит для формирования тактового сигнала (CI), задаёт длительность периода. 1 дискрет = 90 нс. Максимальное значение – 0xFFFF.

12.3.17 Регистр настройки длины паузы между словами (RCO_PLEN)

Назначение разрядов регистра приведено в Таблица 12.17.

Таблица 12.17

Номер бита	Название	Режим	Исх. сост.		Описание работы
			KP	KV	
31:16	Резерв				
15:0	LENGTH OF PAUSE	RW	7D0	835E	Длительность паузы между словами для частоты 12,5кГц
			1F4	20CE	Длительность паузы между словами для частоты 50кГц
			FA	107A	Длительность паузы между словами для частоты 100кГц
			55	67D	Длительность паузы между словами для частоты 250кГц

KP: Данный регистр содержит значение паузы между словами. 1 дискрет = 90нс. Максимальное значение для KP – 0x7FF.

KV: Данный регистр содержит значение длительности слова. 1 дискрет = 90нс. Максимальное значение – 0xFFFF.

12.3.18 Регистр настройки маски слова (R_MASK)

Назначение разрядов регистра приведено в Таблица 12.18.

Таблица 12.18

Номер бита	Название	Режим	Исх. сост.	Описание работы
31:0	MASK_WORD	RW	0xffffffff	Маска слова для формирования прерывания

12.3.19 Регистр слова для формирования прерывания (R_WORD_IRQ)

Назначение разрядов регистра приведено в Таблица 12.19.

Таблица 12.19

Номер бита	Название	Режим	Исх. сост.	Описание работы
31:0	WORD_IRQ	RW	0	Слово для формирования прерывания

12.3.20 Регистр количества слов (R_NUM_WORD)

Назначение разрядов регистра приведено в Таблица 12.20.

Таблица 12.20

Номер бита	Название	Режим	Исх. сост.	Описание работы
31:16	Резерв			
15:0	NUMBER OF WORDS	RW	0	Количество слов для формирования прерывания

12.3.21 Регистр настройки паузы между импульсами слова (RCO_PIMP)

Назначение разрядов регистра приведено в Таблица 12.21.

Таблица 12.21

Номер бита	Название	Режим	Исх. сост.		Описание работы
			KP	KV	
31:16	Резерв				
15:0	LENGTH OF PAUSE IMP	RW	6E0	0	Длительность паузы между импульсами слова для частоты 12,5кГц
				1B8	Длительность паузы между импульсами слова для частоты 50кГц
				DC	Длительность паузы между импульсами слова для частоты 100кГц
				58	Длительность паузы между импульсами слова для частоты 250кГц

KP: Данный регистр формирует ошибку и слово не принимается, если значение паузы между импульсами (скважность) тактового сигнала (CI) слова больше, чем записано в регистре. 1 дискрет = 90нс. Максимальное значение для KP – 0x7FF.

KV: Данный регистр позволяет изменить значение скважности выдаваемого тактового сигнала (CO). 1 дискрет = 90нс. Максимальное значение – 0xFFFF.

12.3.22 Регистр настройки количества разрядов слова (RC_BIT)

Назначение разрядов регистра приведено в Таблица 12.22.

Таблица 12.22

Номер бита	Название	Режим	Исх. сост.		Описание работы
			KP	KV	
31:7	Резерв				
6:0	NUMBER OF BITS	RW	20	703D	Количество разрядов слова для частоты 12,5кГц
				1C45	Количество разрядов слова для частоты 50кГц

Номер бита	Название	Режим	Исх. сост.		Описание работы
			KP	KV	
				E0F	Количество разрядов слова для частоты 100кГц
				58F	Количество разрядов слова для частоты 250кГц

KP: Слово не принимается, если количество бит в нём не соответствует значению в данном регистре. 1 дискрет = кол-во бит в HEX. Максимальное значение для KP – 0xFF.

KV: Позволяет изменить количество бит в выдаваемом слове. 1 дискрет = 90нс. Максимальное значение – 0x1FFFF.

12.3.23 Регистр данных канала приема (KP_DRAM)

Назначение разрядов регистра приведено в Таблица 12.23.

Таблица 12.23

Номер бита	Название	Режим	Исх. сост.	Описание работы
31:0	KP_DRAM	R	0	В данный регистр записывается слово после приёма

По включению питания необходимо настроить каналы на выдачу или прием, записав в регистр направлений соответствующее значение. После настройки регистра направлений необходимо записать 0 в 31-й разряд регистра R_CODE.

Далее необходимо настроить регистры частот и масок прерываний.

12.3.24 Регистр данных канала выдачи (KV_DRAM)

Назначение разрядов регистра приведено в Таблица 12.24.

Таблица 12.24

Номер бита	Название	Режим	Исх. сост.	Описание работы
31	«Parity bit»	RW	0	При работе с контролем чётности, Parity bit – это бит чётности, его значение установится автоматически исходя из четности бит 30:0. При работе без контроля четности, этот бит записывается пользователем в качестве информационного.
30:0	KV_DRAM	RW	0	В данный регистр записывается слово для выдачи

12.3.25 Регистр настройки файлового приема (FILE)

Назначение разрядов регистра приведено в Таблица 12.25.

Таблица 12.25

Номер бита	Название	Режим	Исх. сост.	Описание работы
31	EN_FILE	RW	0	Разрешение файлового приема
30:24	Не используется		0	
23:16	SOF	RW	0	Заголовок файла для приема
15:0	NUM_W	RW	0	Количество слов в принимаемом файле

При приеме «правильного» (*) слова ПК с адресом параметра, совпадающим с FILE[23:16], канал начнет прием массива с заданным количеством слов. Первое слово канал должен записать в память по адресу, указанному в регистре IR контроллера DMA;

(*) «Правильным» ПК считается 32-разрядное слово, имеющее нечетное количество информационных единиц (в случае разрешенной проверки на нечетность), и при наличии паузы между словами не менее 4T.

12.4 Режимы работы порта

Любой из 15 каналов контроллера ARINC429 может работать либо в режиме передатчика, либо в режиме приемника, что настраивается в регистре R_DIR.

В выходных/входных (CO/CI, DO/DI) внешних выводах может присутствовать сигнал тактирования и сигнал данных, или, в режиме HOLT сигнал «единиц» и сигнал «нулей» (Рисунок 12.2, Рисунок 12.3).

Слово в линию передается младшим битом вперед, при этом адрес (8 бит) может передаваться реверсивно, то есть старшим битом вперед, в зависимости от регистра R_CODE[ADDR_REV] (Рисунок 12.2, Рисунок 12.3).

Порт поддерживает следующие режимы работы:
без прямого доступа в память:

- режим передачи:
 - разовая выдача слова через регистр DV_RAM;
 - циклическая выдача одного и того же слова;
- режим приема:
 - прием одного слова в регистр DP_RAM;
 - прием определенного слова, указанного в регистре R_WORD_IRQ;
- режим контроля (loopback);

с использованием прямого доступа в память:

- режим передачи:
 - выдача слов в линию записанных в память одно за другим, в том числе передача файла;
 - циклическая выдача массива слов записанного в память;
- режим приема:
 - прием слов и их запись одно за другим в указанный диапазон памяти;
 - прием слов и их запись с сортировкой по адресу в указанный диапазон памяти;
 - прием файла с заданными заголовком и длиной.

12.4.1 Режим передачи без прямого доступа в память

Для передачи слова в определенный канал необходимо выполнить следующие шаги:
включить режим передачи соответствующего канала (R_DIR);
настроить частоту соответствующего канала передачи (RGF);
задать порядок передачи адреса, отключить сигнал блокировки, задать тип сигнала в линии (с тактирующим сигналом или HOLT) через регистр R_CODE;

задать маску прерываний для соответствующего канала в регистре RGM и соответствующего события в регистрах R_RGM0, R_RGM1, R_RGM2;
задать режим контроля четности бит RGC[PARITY], в режиме без контроля четности 31-ый бит будет относиться к данным, в противном случае этот бит дополняет передаваемое слово до нечетного количества единиц;
для циклической передачи одного и того же слова необходимо установить режим CYCL в регистре RGC.
задать поле в регистре RGC[NUMBER OF WORDS] равным 0xFFFF;
записать в регистр KV_DRAM соответствующее слово для передачи;
включить передачу, бит RGC[EN_KV];
после окончания передачи слова в линию, в регистре RGS бит CHx_IRQ_REC установится в 1;
возникнет прерывание, в обработчике прерывания необходимо сбросить бит CHx_IRQ_REC записью 1-цы в это поле;
для передачи следующего слова, необходимо записать в регистр KV_DRAM следующее слово, после окончания передачи снова возникнет прерывание.

12.4.2 Режим приема без прямого доступа в память

Для приема слова в определенный канал необходимо выполнить следующие шаги:
убедиться в правильности соединения входной линии порта.
включить режим приема соответствующего канала (R_DIR);
настроить частоту соответствующего канала приема (RGF);
задать порядок приема адреса, задан тип сигнала в линии (с тактирующим сигналом или HOLT) через регистр R_CODE;
задать маску прерываний для соответствующего канала в регистре RGM и соответствующего события в регистрах R_RGM0, R_RGM1, R_RGM2;
задать режим контроля четности бит RGC[PARITY], в режиме без контроля четности 31-ый бит будет относиться к данным, в противном случае этот бит проверяется на нечетность;
задать количество принимаемых слов (регистр R_NUM_WORD) для формирования прерывания по количеству принятых слов CHx_IRQ_NUM_WORD, если требуется;
для приема определенного слова необходимо задать эталонное слово R_WORD_IRQ и маску R_MASK, тогда приемник примет слово соответствующее: $RECEIVE_WORD \& R_MASK == R_WORD_IRQ$, по умолчанию приемник принимает все слова;
включить прием, бит RGC[EN_KP];
после окончания приема слова из линии, в регистре RGS бит CHx_IRQ_REC установится в 1, также при приеме определенного количества слов установится бит CHx_IRQ_NUM_WORD, и, при приеме определенного слова установится бит CHx_IRQ_WORD;
возникнет прерывание, в обработчике прерывания необходимо сбросить установившиеся биты записью 1-цы в эти поля;

при приеме следующего слова повторяются предыдущие два шага.

12.4.3 Режим контроля

В режиме контроля передатчик замыкает внутри микросхемы входы на приёмник и контролирует передачу данных. Так же в режиме контроля должен выставиться бит блокировки передачи (R_CODE[BLK]), для самотестирования и предотвращения попадания передаваемых слов в линию. Для передачи слов в заданных режимах выполнить шаги по пункту 12.4.1, при этом, в этом же канале можно осуществить прием, выполнив шаги пункта 12.4.2. При этом, так как один и тот же канал будет настроен как для передачи, так и для приема, установившийся бит CHx_IRQ_REC в регистре RGS будет относиться к передатчику, а не к приемнику.

12.4.4 Режим передачи с прямым доступом в память

Для передачи слова в определенный канал необходимо выполнить следующие шаги:

- включить режим передачи соответствующего канала (R_DIR);
- настроить частоту соответствующего канала передачи (RGF);
- задать порядок передачи адреса, отключить сигнал блокировки, задать тип сигнала в линии (с тактирующим сигналом или HOLT) через регистр R_CODE;
- задать маску прерываний для соответствующего канала в регистре RGM и соответствующего события в регистрах R_RGM0, R_RGM1, R_RGM2 (если есть необходимость);
- задать режим контроля четности бит RGC[PARITY], в режиме без контроля четности 31-ый бит будет относиться к данным, в противном случае этот бит дополняет передаваемое слово до нечетного количества единиц;
- включить режим DMA соответствующего канала в регистрах R_DMA и R_EN;
- далее необходимо настроить контроллер DMA для выбранного канала (см. п. Каналы DMA периферийных портов):
 - регистр управления и состояния (CSR): поле WCX - количество 32-разрядных слов данных, которые должен передать канал DMA, бит CSR[ADDR_SORT] для разрешения адресной сортировки;
 - регистр индекса (физический адрес памяти) (IR);
 - регистр начального адреса блока параметров DMA передачи для самоинициализации (CP), с помощью цепи самоинициализации можно циклически передавать один и тот же массив записанных в память слов;
- задать поле в регистре RGC[NUMBER OF WORDS] равным 0xFFFF;
- включить передачу, бит RGC[EN_KV];
- начнется передача слов в количестве, указанном в регистрах DMA контроллера, в том числе при помощи процедуры самоинициализации DMA;

12.4.5 Режим приема с прямым доступом в память

Для приема слова в определенный канал необходимо выполнить следующие шаги:

1. убедиться в правильности соединения входной линии порта.
2. включить режим приема соответствующего канала (R_DIR);
3. настроить частоту соответствующего канала приема (RGF);
4. задать порядок приема адреса, задать тип сигнала в линии (с тактирующим сигналом или HOLT) через регистр R_CODE;
5. задать маску прерываний для соответствующего канала в регистре RGM и соответствующего события в регистрах R_RGM0, R_RGM1, R_RGM2;
6. задать режим контроля четности бит RGC[PARITY], в режиме без контроля четности 31-ый бит будет относиться к данным, в противном случае этот бит проверяется на нечетность;
7. включить режим DMA соответствующего канала в регистрах R_DMA и R_EN.
8. для файлового приема необходимо настроить регистр FILE;
9. далее необходимо настроить контроллер DMA для выбранного канала (см. п. Каналы DMA периферийных портов):
 - регистр управления и состояния (CSR):
 - поле WCX - количество 32-разрядных слов данных, которые должен принять канал DMA;
 - установка в 1 бита CSR[7] включает режим «прием слов с сортировкой по адресу», таким образом, принятые слова будут записываться в память в указанный регистр IR адрес со смещением согласно полю адреса в принятом слове (ПК[7:0] << 2);
 - регистр индекса (физический адрес памяти) (IR);
 - после приема файла с заданным количеством слов, канал будет ожидать следующего начала файла. Файлы будут записаны в память один за другим, начиная с адреса IR;
 - с помощью самоинициализации контроллера DMA (регистр CP) можно настроить область памяти для записи файлов по кругу.
10. задать количество передаваемых портом слов в регистре RGC[NUMBER OF WORDS], после передачи данного количества слов передатчик
11. включить прием, бит RGC[EN_KP].

13. КОНТРОЛЛЕР CANBIC

13.1 Общие сведения

13.1.1 Функциональные параметры и возможности

совместим с CANBIC протоколом версии 2.0 А, В, ISO 11898-1 и ARINC 825;
поддержка режима планирования событий (time-triggering);
128 фильтров для стандартных идентификаторов;
64 фильтров для расширенных идентификаторов;
буфер приёма Rx FIFO на 64 сообщения;
буфер передачи Tx Buff на 32 сообщения;
буфер Tx Event FIFO на 32 элемента подтверждения передачи;
прямой доступ к RAM памяти и регистрам контроллера по CPU Data Bus;
поддержка тестового режима LoopBack;
поддержка маскируемых прерываний;
отключение автоматического повтора передачи.

13.1.2 Совместимость протоколов CANBIC и ARINC825

Архитектура протоколов включает несколько уровней абстракции. Совместимость CANBIC протокола и ARINC825 протокола, накладывает требования на физический и канальный уровни протокола.

Совместимость на физическом уровне обеспечивается параметрами приёмопередатчиков. приёмопередатчики CANBIC должны быть полностью совместимы с ISO 11898-2 High Speed спецификацией (электрические параметры и их допуски – выходное напряжение, порог срабатывания). С включёнными средствами электромагнитной защиты, узел также должен обеспечивать полную совместимость с ISO 11898-2 High Speed спецификацией по скорости передачи данных. Допускаются скорости передачи по CAN шине до 1 Mbps; приёмопередатчик должен не допускать длительного удержания шины в доминантном состоянии. Защита должна отключать приёмопередатчик, когда доминанта удерживается дольше допустимого промежутка времени;
узел не должен влиять на общую шину если на него не подано питание.

Совместимость на канальном уровне обеспечивается параметрами контроллера: CANBIC контроллер должен быть полностью совместим со спецификацией на CAN2.0B (ISO 11898-1) и отвечать ISO 16845.

Наличие режима планирования событий (time-triggering) позволяет аппаратно контролировать пропускную способность CAN шины, при реализации протокола ARINC825.

13.1.3 Структурная схема

На следующем рисунке приведена структурная схема контроллера CANBIC:

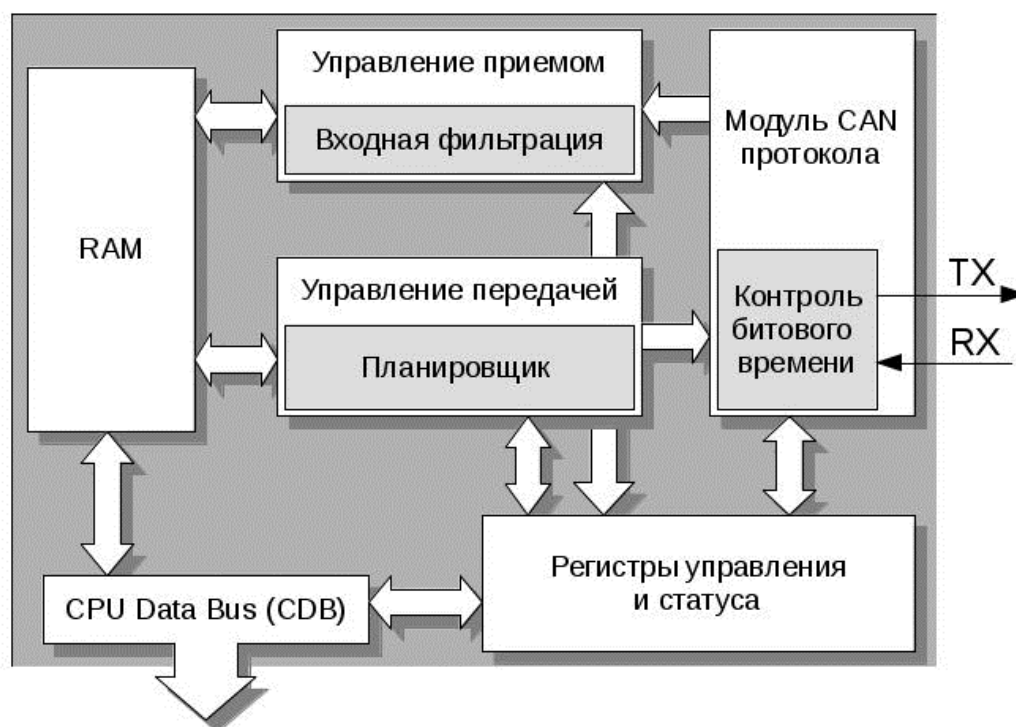


Рисунок 13.1. Структурная схема порта ARINC429

Контроллер включает в себя:

память RAM - содержит буфера для исходящих сообщений Tx Buff, входящих сообщений Rx FIFO, буфер подтверждения передачи Tx Event FIFO, элементы событий и фильтры (см. п.13.2);

модуль управление приёмом – сохраняет в буфер Rx FIFO сообщения прошедшие входную фильтрацию (см. п. 13.4.9);

модуль входной фильтрации – принимает или отклоняет входящие сообщения в зависимости от конфигурации фильтра и идентификатора в заголовке сообщения; модуль управление передачей – выбирает сообщение из внутренней памяти RAM, в зависимости от режима работы, и передаёт в модуль CAN протокола для последующей отправки (см. п.13.4.10);

планировщик – управляет передачей сообщений согласно конфигурации элементов событий (см. п. 13.4.12.8);

модуль CAN протокола - обеспечивает выполнение CAN протокола (ISO 11898-1) и обмен данными с РНУ;

модуль контроля битового времени – обеспечивает скорость передачи согласно конфигурации регистра ВТР;

регистры управления и статуса – определяют режим работы контроллера и отражают статусную информацию;

CDB (CPU Data Bus) – интерфейс для доступа к регистрам и памяти RAM.

13.2 Адресное пространство контроллера CANBIC

Для хранения входящих и исходящих сообщений контроллер использует 32 разрядную память. Описание адресного пространства контроллера CANBIC приведено в следующей таблице:

Таблица 13.1. Адресное пространство контроллера CANBIC

Адрес	Описание
0x0000-0x01FF	Регистры.
0x0200-0x03FF	Фильтры стандартных сообщений.
0x0400-0x05FE	Фильтры расширенных сообщений.
0x0600-0x09FC	Элементы буфера Rx FIFO.
0x0A00-0x0BFC	Элементы буфера Tx Buff.
0x0C00-0x0CFE	Элементы буфера Tx Event FIFO.
0x0D00-0x0EFE	Элементы событий.

13.2.1 Фильтры стандартных сообщений

Поддерживается 128 фильтров стандартных сообщений. Размер фильтра - одно 32-битное слово. Адрес фильтра вычисляется сложением начального адреса фильтров стандартных сообщений и индекса фильтра $(0...127) \times 4$. Описание формата фильтра стандартных сообщений приведено в следующей таблице.

Таблица 13.2 Формат фильтра стандартных сообщений

Номер разряда	Условное обозначение	Назначение
31:30	SFT[1:0]	Способ фильтрации ID принимаемых сообщений: 00 - Диапазонный фильтр от SF1ID до SF2ID ($SF2ID \geq SF1ID$); 01 - Двойной ID фильтр для SF1ID или/и SF2ID; 10 - Классический фильтр: SF1ID = фильтр, SF2ID = маска; 11 - Не используется.
29:27	SFEC[2:0]	Действие фильтра: 000 - элемент отключён; 001 - сохранить в буфере FIFO в случае соответствия; 010 - резерв; 011 - отклонить в случае соответствия; 100 - резерв; 101 - установить прерывание HPM и сохранить в случае соответствия; 110 - резерв; 111 - установить прерывание HPM и отклонить в случае соответствия;
26:16	SFID1[10:0]	Первый ID элемента фильтра.
15:11	-	Не используются.
10:0	SFID2[10:0]	Второй ID элемента фильтра.

13.2.2 Фильтры расширенных сообщений

Поддерживается 64 фильтра расширенных сообщений. Размер фильтра в памяти - два 32-битных слова. Адрес фильтра вычисляется сложением начального адреса фильтров расширенных сообщений и индекса фильтра $(0...63) \times 2 \times 4$. Описание формата фильтра расширенных сообщений приведено в следующей таблице:

Таблица 13.3. Формат фильтра расширенных сообщений

Номер разряда	Условное обозначение	Назначение
Слово 0		
31:29	EFEC[2:0]	Действие фильтра: 000 - Элемент отключён; 001 - Сохранить в буфере FIFO в случае соответствия; 010 - Резерв; 011 - Отклонить в случае соответствия; 100 - Резерв; 101 - Установить прерывание НРМ и сохранить в случае соответствия; 110 - Резерв; 111 - Установить прерывание НРМ и отклонить в случае соответствия;
28:0	EFID1[28:0]	Первый ID фильтра.
Слово 1		
31:30	EFT[1:0]	Способ фильтрации принимаемых кадров: 00 - Диапазонный фильтр от EF1ID до EF2ID ($EF2ID \geq EF1ID$), XIDAM маска применяется; 01 - Двойной ID фильтр для EF1ID или/и EF2ID, XIDAM маска применяется; 10 - Классический фильтр: EF1ID = фильтр, ESF2ID = маска, XIDAM маска применяется; 11 - Диапазонный фильтр от EF1ID до EF2ID ($EF2ID \geq EF1ID$), XIDAM маска не применяется.
29	-	Не используются
28:0	EFID2[28:0]	Второй ID фильтра.

13.2.3 Элемент буфера Rx FIFO

Rx FIFO содержит 64 элемента. Размер элемента - четыре 32-битных слова. Управление приёмным буфером, считывание его текущего состояния осуществляется через регистры RXF0C, RXF0S, RXF0A.

Сообщения, прошедшие фильтрацию, последовательно записываются в циклический буфер Rx FIFO. Чтение одного или нескольких элементов из буфера производится в удобном для ПО порядке, с произвольного элемента. Подтверждением того, что данные из Rx FIFO прочитаны, является запись в регистр RXF0A индекса элемента, который принимается контроллером за последний элемент считанный из Rx FIFO.

Описание формата элемента буфера Rx FIFO приведено в следующей таблице.

Таблица 13.4. Формат элемента буфера Rx FIFO

Номер разряда	Условное обозначение	Назначение
Слово 0		
31	-	Не используется.
30	XTD	Тип идентификатора в принятом сообщении: 0 - 11-битный стандартный идентификатор; 1 - 29-битный расширенный идентификатор.
29	RTR	Состояние поля RTR (удалённого запроса) в принятом сообщении: 0 - принято сообщение с данными; 1- принят удалённый запрос.
28:0	ID	Значение поля идентификатор. Стандартный идентификатор записывается в ID[10:0].
Слово 1		

Номер разряда	Условное обозначение	Назначение
31	ANMF	Принято сообщение несоответствующее ни одному фильтру 0 - принятое сообщение содержит номер соответствующего фильтра в поле FIDX 1 - принятое сообщение не соответствует ни одному фильтру. Приём/отклонение сообщений, не соответствующих ни одному из фильтров, настраивается через GFC.ANFS и GFC.ANFE
30:24	FIDX	Номер соответствующего фильтра. В диапазоне от 0 до SIDFC.LSS - 1 (или XIDFC.LSE - 1).
23	MON_AE	MonitorAckError. Если, в режиме монитора (CCCR.MON=1) при отключённом режиме LoopBack (CCCR.LBM=0) отсутствовал сигнал подтверждения в линии разряд устанавливается в единицу.
22:20	-	Не используются.
19:16	DLC	Размер поля данных принятого сообщения 0-8 байт.
15:0	RXTS	Значение Timestamp счётчика захваченное в начале приёма кадра.
Слово 2		
31:0	DBn[7:0]	Байты данных 3-0.
Слово 3		
31:0	DBn[7:0]	Байты данных 7-4.

13.2.4 Элемент буфера Tx Event FIFO.

Буфер Tx Event FIFO содержит 32 элемента. Размер элемента в памяти - два 32-битных слова. Адрес элемента буфера вычисляется сложением начального адреса буфера Tx Event FIFO и индекса элемента $(0...31) \times 2$. Описание формата элемента буфера Tx Event FIFO приведено в следующей таблице:

Таблица 13.5. Формат элемента буфера Tx Event FIFO

Номер разряда	Условное обозначение	Назначение
Слово 0		
31	-	Не используются.
30	XTD	Тип идентификатора в переданном сообщении: 0 - 11-битный стандартный идентификатор; 1 - 29-битный расширенный идентификатор.
29	RTR	Состояние поля RTR (удалённого запроса) в переданном сообщении: 0 - передан кадр данных; 1 - передан кадр удалённого запроса.
28:0	ID[28:0]	Значение поля идентификатор. Стандартный идентификатор записывается в ID[10:0].
Слово 1		
31:24	MM[7:0]	Маркер сообщения. Записывается в процессе конфигурации буфера. Копируется в сообщение Tx Event FIFO для идентификации переданного сообщения.
23:20	-	Не используются.
19:16	DLC	Размер поля данных передаваемого сообщения 0-8 байт.
15:0	TXTS[15:0]	Значение Timestamp счётчика захватывается в начале приёма кадра. Разрешение зависит от конфигурации делителя Timestamp Counter Prescaler TSCC.TCP.

13.2.5 Элемент буфера Tx Buff

Буфер Tx Buff содержит 32 элемента. Размер элемента в памяти - четыре 32-битных слова. Адрес элемента буфера вычисляется сложением начального адреса буфера Tx Buff и индекса элемента $(0...31) \times 4$. Описание формата элемента буфера Tx Buff приведено в следующей таблице.

Таблица 13.6. Формат элемента буфера Tx Buff

Номер разряда	Условное обозначение	Назначение
Слово 0		
31	-	Не используются
30	XTD	Тип идентификатора в передаваемом сообщении: 0 - 11-битный стандартный идентификатор; 1 - 29-битный расширенный идентификатор.
29	RTR	Состояние поля RTR (удалённого запроса) в передаваемом сообщении: 0 - кадр данных; 1 - кадр удалённого запроса.
28:0	ID	Идентификатор. Стандартный идентификатор записывается в ID[10:0].
Слово 1		
31:24	MM[7:0]	Маркер сообщения. Записывается в процессе конфигурации буфера. Копируется в сообщении Tx Event FIFO для идентификации переданного сообщения.
23	EFC	Разрешение для Tx Event FIFO: 0 - не сохранять данные о передаче; 1 - сохранять данные о передаче.
22:20	-	Не используются.
19:16	DLC	Размер поля данных передаваемого сообщения 0-8 байт.
15:6	-	Не используются.
5:0	PRI	Поле приоритета сообщения. Наиболее приоритетным считается сообщение с наименьшим значением поля PRI. Значение PRI используется при разряде TXBC.PRI_MODE установленном в единицу, иначе наиболее приоритетным считается сообщение с наименьшим ID.
Слово 2		
31:0	DBn[7:0]	Байты данных 3-0
Слово 3		
31:0	DBn[7:0]	Байты данных 7-4

13.2.6 Элемент события

До 64 элементов события может использоваться. Размер элемента в памяти - два 32-битных слова. Адрес элемента вычисляется сложением начального адреса элементов событий и индекса элемента $(0...63) \times 2$. Изменение элемента возможно только при $CCCR.INIT = 1$. Описание формата элемента события приведено в следующей таблице:

Таблица 13.7. Формат элемента события

Номер разряда	Условное обозначение	Назначение
Слово 0		
31:16	TM[15:0]	Метка времени элемента события. Определяет момент, в который событие будет выполнено.
15	-	Не используются.

Номер разряда	Условное обозначение	Назначение
14:8	СС	Номер цикла, в котором выполнится событие: (кроме событий Tx_Ref_Trigger(_Gap), Watch_Trigger(_Gap), End_of_List) 0b000000x активно каждый цикл; 0b000001c активно каждый 2 цикл начиная с номера c; 0b00001cc активно каждый 4 цикл начиная с номера cc; 0b0001ccc активно каждый 8 цикл начиная с номера ccc; 0b001cccc активно каждый 16 цикл начиная с номера cccc; 0b01ccccс активно каждый 32 цикл начиная с номера ccccc; 0b1ccccссс активно каждый 64 цикл начиная с номера cccccс.
7:4	-	Не используются.
3:0	TYPE[3:0]	Тип события: 0000 – Tx_Ref_Trigger; 0001 – Tx_Ref_Trigger_Gap; 0010 – Tx_Trigger_Single; 0011 – Tx_Trigger_Continuous; 0100 – не используется; 0101 – не используется; 0110 – Watch_Trigger; 0111 – Watch_Trigger_Gap; 1000...1111 – End_of_List.
Слово 1		
31:23	-	Не используются.
22:16	MNR[6:0]	Содержит номер передаваемого буфера 0..31.
15:0	-	Не используются.

13.3 Регистры контроллера CANBIC

Регистры контроллера доступны по шине CDB. Запись в регистры/биты отмеченные как «R - защищённая запись» возможна только при CCCR.CCE = «1» и CCCR.INIT = «1». При записи в поле отмеченное как «S - установка по чтению» соответствующие разряды установятся в «1» после чтения. При записи в поле отмеченное как «X - сброс по чтению» соответствующие разряды установятся в «0» после чтения. Возможна задержка в несколько тактов между записью значения в командный регистр и отображением результата в статусном регистре. Перечень регистров приведён в следующей таблице.

Таблица 13.8. Регистры контроллера CANBIC

Смещение	Условное обозначение	Название	Значение по сбросу	Доступ
0x000-0x014	-	Не используется.	0000 0000	R
0x018	CCCR	Регистр контроля и конфигурации	0000 0001	RWP
0x01C	BTP	Регистр конфигурации скорости передачи	0000 0A33	RP
0x020	TSCC	Регистр конфигурации счётчика Timestamp	0000 0000	RP
0x024	TSCV	Регистр значения счётчика Timestamp	0000 0000	RC
0x028-03C	-	Не используется	0000 0000	R
0x040	ECR	Регистр счётчика ошибок	0000 0000	RW
0x044	PSR	Регистр статуса протокола	0000 0007	RXS
0x048-04C	-	Не используется	0000 0000	R
0x050	IR	Регистр прерываний	0000 0000	RW
0x054	IE	Регистр разрешения прерывания	0000 0000	RW
0x058-07C	-	Не используется	0000 0000	R

Смещение	Условное обозначение	Название	Значение по сбросу	Доступ
0x080	GFC	Регистр общей конфигурации фильтров	0000 0000	RP
0x084	SIDFC	Регистр конфигурации фильтров стандартных сообщений	0000 0000	RP
0x088	XIDFC	Регистр конфигурации фильтров расширенных сообщений	0000 0000	RP
0x08C	-	Не используется	0000 0000	R
0x090	XIDAM	Регистр маски для фильтров расширенных сообщений	1FFF FFFF	RP
0x094	HPMS -	Регистр состояния приоритетного сообщения Не используется	0000 0000	R
0x098-0x09C	-	Не используется	0000 0000	R
0x0A0	RXF0C	Регистр конфигурации буфера Rx FIFO	0040 0000	RP
0x0A4	RXF0S	Регистр статуса буфера Rx FIFO	0000 0000	R
0x0A8	RXF0A	Регистр подтверждения считывания буфера Rx FIFO	0000 0000	R
0x0AC-0x0BC	-	Не используется	0000 0000	R
0x0C0	TXBC	Регистр конфигурации буфера Tx Buffer	0000 0000	R
0x0C4-0x0C8	-	Не используется	0000 0000	R
0x0CC	TXBRP	Регистр ожидания передачи буфера Tx Buffer	0000 0000	R
0x0D0	TXBAR	Регистр запроса передачи буфера Tx Buffer	0000 0000	RW
0x0D4	TXBCR	Регистр запроса отмены передачи буфера Tx Buffer	0000 0000	RW
0x0D8	TXBTO	Регистр окончания передачи буфера Tx Buffer	0000 0000	R
0x0DC	TXBCF	Регистр окончания отмены передачи буфера Tx Buffer	0000 0000	R
0x0E0	TXBTIE	Регистр разрешения прерывания по окончании передачи буфера Tx Buffer	0000 0000	RW
0x0E4	TXBCIE	Регистр разрешения прерывания по окончании отмены передачи буфера Tx Buffer	0000 0000	RW
0x0E8-0EC	-	Не используется	0000 0000	R
0x0F0	TXEFC	Регистр конфигурации буфера Tx Event FIFO.	0000 0000	RP
0x0F4	TXEFS	Регистр статуса буфера Tx Event FIFO.	0000 0000	R
0x0F8 - 0x100	-	Не используется.	0000 0000	R
0x104	TTRMC	Регистр конфигурации опорного сообщения.	0000 0000	RP
0x108	TTOCF	Регистр конфигурации режима планирования событий.	0001 0000	RP
0x10C	TTMLM	Регистр конфигурации системной матрицы.	0000 0000	RP
0x110	TURCF	Регистр конфигурации делителя TUR.	1000 0000	RP
0x114	TTOCN	Регистр управления режимом планирования событий.	0000 0000	RW
0x118 - 0x11C	-	Не используется.	0000 0000	R
0x120	TTIR	Регистр прерываний в режиме планирования событий.	0000 0000	RW
0x124	TTIE	Регистр разрешения прерываний в режиме планирования событий.	0000 0000	RW
0x128	-	Не используется	0000 0000	R
0x12C	TTOST	Регистр статуса в режиме планирования событий.	0000 0080	R
0x130	TURNA	Регистр текущего значения делителя TUR	0001 0000	R
0x134	TTLGT	Регистр локального и глобального времени	0000 0000	R
0x138	TTCTC	Регистр времени цикла и номера цикла	0000 0000	R

13.3.1 CCCR – Регистр контроля и конфигурации

Формат регистра CCCR приведён в следующей таблице.

Таблица 13.9. Формат регистра CCCR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:7	-	Не используется	R	0x0
6	DAR	отключение повторной передачи: 0 – автоматический повтор передачи включён; 1 – автоматический повтор передачи отключён.	RP	0x0
5	MON	Управление режимом монитора: 0 – режим монитора отключён; 1 – режим монитора включён.	RP	0x0
4	CSR	Запрос на отключение тактов: 0 – нет запроса на отключение тактов; 1 – запрос на отключение тактов.	RW	0x0
3	CSA	Готовность к отключению тактов: 0 – нет подтверждения готовности отключения тактов; 1 – такты можно отключить.	R	0x0
2	LBM	Управление режимом Loop back: 0 – нормальный режим работы; 1 – Loop Back режим включен.	RP	0x0
1	CCE	Управление защищённым режимом: 0 – доступ к защищённым регистрам разрешён; 1 – доступ к защищённым регистрам разрешён при CCCR.INIT = «1».	RP	0x0
0	INIT	Управление режимом инициализации: 0 – нормальный режим; 1 – режим инициализации.	RW	0x1

13.3.2 ВТР – Регистр конфигурации скорости передачи

Регистр доступен для записи только при CCCR.CCE= «1» и CCCR.INIT = «1». Длительность CAN бита программно задаётся от 4 до 81 tq (квант). Длительность кванта также программируемая- от 1 до 1024 периодов HCLK. $tq = (BRP + 1)$ периодов HCLK. Поле TSEG1 это объединенная длительность сегментов Prop_Seg и Phase_Seg1. Поле TSEG2 задает длительнось Phase_Seg2. Таким образом длительность бита это $[TSEG1 + TSEG2 + 3]$ tq или $[Sync_Seg + Prop_Seg + Phase_Seg1 + Phase_Seg2]$ tq.

Например, для HCLK = 200 МГц скорости передачи:

1000 кбит - BRP = 19, TSEG1 = 4, TSEG2 = 3;

500 кбит - BRP = 19, TSEG1 = 10, TSEG2 = 7;

250 кбит - BRP = 19, TSEG1 = 20, TSEG2 = 17;

125 кбит - BRP = 19, TSEG1 = 40, TSEG2 = 37;

Формат регистра ВТР приведён в следующей таблице.

Таблица 13.10. Формат регистра ВТР

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:26	-	Не используется	R	0x0
25:16	BRP[9:0]	Делитель тактовой частоты	RP	0x0
15:14	-	Не используется	R	0x0
13:8	TSEG1[5:0]	Длительность сегмента до семплирования	RP	0xA
7:4	TSEG2[3:0]	Длительность сегмента после семплирования	RP	0x3
3:0	SJW[3:0]	Длительность сегмента ресинхронизации	RP	0x3

13.3.3 TSCC – Регистр конфигурации счётчика Timestamp

Назначение регистра описано в разделе 13.4.7. Формат регистра TSCC приведён в следующей таблице.

Таблица 13.11. Формат регистра TSCC

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:20	-	Не используется	R	0x0
19:16	TCP[3:0]	Делитель счётчика Timestamp	RP	0x0
15:2	-	Не используется	R	0x0
1:0	TSS[1:0]	00 – значение Timestamp счётчика всегда 0x0000 01 – значение Timestamp счётчика инкрементируется в соответствии с TCP 10 – эквивалентно «00» 11 – эквивалентно «00»	RP	0x0

13.3.4 TSCV – Регистр значения счётчика Timestamp

Формат регистра TSCV приведён в следующей таблице.

Таблица 13.12. Формат регистра TSCV

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	-	Не используется.	R	0x0
15:0	TSC[15:0]	Значение счётчика Timestamp.	RC	0x0

13.3.5 ECR – Регистр счётчика ошибок

Счётчики ошибок приёма REC и передачи TEC функционируют согласно спецификации CAN 2.0 В. Формат регистра ECR приведён в следующей таблице.

Таблица 13.13. Формат регистра ECR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	-	Не используется.	R	0x0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:8	REC[7:0]	Счётчик ошибок приёма, функционирует согласно спецификации CAN 2.0B. При достижении значения большего 127 инкрементация счётчика прекращается. При входе в режим Bus_Off значение счётчика сбрасывается в ноль. Разряды REC[6:0] доступны по записи для тестовых целей (старший разряд при записи обнуляется).	RW	0x0
7:0	TEC[7:0]	Счётчик ошибок передачи, функционирует согласно спецификации CAN 2.0B. При достижении значения более 256 (контроллер переходит в состояние Bus_Off) TEC принимает значение 128 и начинает декрементироваться на единицу при каждом обнаружении 11 непрерывно идущих рецессивных битов в шине. Счётчик TEC доступен по записи для тестовых целей.	RW	0x0

13.3.6 PSR – Регистр статуса протокола CAN

Формат регистра PSR приведён в следующей таблице.

Таблица 13.14. Формат регистра PSR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:8	-	Не используется.	R	0x0
7	BO	Режим Bus Off. Режим активен если значение TEC более 255 (см. спецификацию CAN 2.0B). 0 – контроллер не в состоянии Bus_Off; 1 – контроллер в состоянии Bus Off.	R	0x0
6	EW	Флаг Error Warning (см. спецификацию CAN 2.0B): 0 – счётчики ошибок не достигли значения 96 1 – один из счётчиков достиг значения 96 При входе в режиме Bus_Off признак сбрасывается в 0.	R	0x0
5	EP	Режим Error Passive. Режим активен если значение одного из счётчиков ошибок (TEC или REC) более 127 (см. спецификацию CAN 2.0B). 0 – контроллер находится в состоянии Error_Active. Он участвует в операциях на шине и посылает error кадр если обнаруживает ошибку; 1 – контроллер находится в состоянии Error_Passive. При входе в режиме Bus_Off признак сбрасывается в 0.	R	0x0
4:3	-	Не используется.	R	0x0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
2:0	LEC[2:0]	<p>Код последней ошибки на шине (см. спецификацию CAN 2.0B):</p> <p>0 - ошибок нет (устанавливается после каждого успешного приёма или передачи);</p> <p>1 - Stuff Error: принято более 5 одинаковых бит последовательно;</p> <p>2 - Form Error: принятое сообщение имеет не верный формат; Принят кадр в котором хотя бы в одном из полей «Разделитель CRC (CRC delimiter)», «Разделитель АСК (ACK delimiter)», «Конец кадра (EOF)» был детектирован доминантный уровень.</p> <p>3 - AckError: сообщение, переданное контроллером, не было подтверждено (acknowledged) другим узлом;</p> <p>4 - Bit1Error: во время передачи сообщения (исключая поля арбитражи); контроллер пытался передать рецессивный уровень (лог «1»), а принял доминантный;</p> <p>5 - Bit0Error: во время передачи сообщения (или бита acknowledge, или флага active error, или флага overload), пытался передать доминантный уровень (лог «0»), но принял рецессивный;</p> <p>6 - CRCError: ошибка контрольной суммы;</p> <p>7 - без изменений: при чтении регистра LEC = «7».</p> <p>Если были одновременно детектированы несколько ошибок, приоритет имеет ошибка с наименьшим кодом.</p>	S	0x7

13.3.7IR – Регистр прерываний

Флаг прерывания устанавливается по фронту сигнала соответствующего события.

Флаг остаётся установленным пока не будет сброшен. Сброс происходит при записи «1» в соответствующий разряд. Флаги коммутируются по логическому «или» на INT0. Аппаратный сброс очищает регистр. Разрешение прерывания конфигурируется в регистре IE. Формат регистра IR приведён в следующей таблице:

Таблица 13.15. Формат регистра IR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	STE	<p>Ошибка стаффинга (Stuff Error).</p> <p>Ошибка определяется, если при приёме кадра декодируется 6 последовательных битов с одинаковым значением, см. ISO 11898-1</p>	RW	0x0
30	FOE	<p>Ошибка формата (Format Error).</p> <p>Ошибка определяется, если биты имеющие фиксированный формат содержат одно или несколько недопустимых значений, см. ISO 11898-1</p>	RW	0x0
29	ACKE	<p>Ошибка подтверждения (Acknowledge Error).</p> <p>Ошибка определяется, если передатчик при выдаче кадра не получает сигнал подтверждения в интервале АСК, см. ISO 11898-1</p>	RW	0x0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
28	BE	Ошибка бита (Bit Error). Ошибка определяется, если при контроле битов, выдаваемых в шину, передатчик обнаруживает в шине бит отличный от переданного (за исключением приёма доминантного бита при арбитраже и др., см. ISO 11898-1)	RW	0x0
27	CRCE	Ошибка контрольной суммы (CRC Error).	RW	0x0
26	-	Не используется.	RW	0x0
25	BO	Переход в состояние Bus_Off.	RW	0x0
24	EW	Изменение статуса Error_Warning.	RW	0x0
23	EP	Переход в состояние Error_Passive.	RW	0x0
22:17	-	Не используется.	R	0x0
16	TSW	Переполнение счётчика Timestamp.	RW	0x0
15	TEFL	Потеря элемента Tx Event FIFO. Сообщение успешно завершено, но буфер Tx Event FIFO заполнен, элемент события не сохраняется.	RW	0x0
14	TEFF	Буфер Tx Event FIFO заполнен.	RW	0x0
13	TEFW	Количество сообщений в буфере Tx Event FIFO достигло TXEFC.EFWM.	RW	0x0
12	TEFN	Новое сообщение в буфере Tx Event FIFO.	RW	0x0
11	-	Не используется.	R	0x0
10	TCF	Завершена отмена передачи сообщения.	RW	0x0
9	TC	Завершена передача сообщения.	RW	0x0
8	HPM	Принято высокоприоритетное сообщение.	RW	0x0
7:4	-	Не используется.	R	0x0
3	RF0L	Произошла запись в буфер Rx FIFO после его заполнения.	RW	0x0
2	RF0F	Буфер Rx FIFO заполнен целиком.	RW	0x0
1	RF0W	Количество сообщений в буфере Rx FIFO достигло RXF0C.F0WM	RW	0x0
0	RF0N	Новое сообщение в буфере Rx FIFO.	RW	0x0

13.3.8IE – Регистр разрешения прерываний

Регистр разрешения прерываний. 0 – прерывание запрещено, 1 – прерывание разрешено. Формат регистра IE приведён в следующей таблице.

Таблица 13.16. Формат регистра IE

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	STEE	Ошибка стаффинга (Stuff Error).	RW	0x0
30	FOEE	Ошибка формата (Format Error).	RW	0x0
29	ACKEE	Ошибка подтверждения (Acknowledge Error).	RW	0x0
28	BEE	Ошибка бита (Bit Error).	RW	0x0
27	CRCEE	Ошибка контрольной суммы (CRC Error).	RW	0x0
26	-	Не используется.	R	0x0
25	BOE	Переход в состояние Bus_Off.	RW	0x0
24	EWE	Изменение статуса Error_Warning.	RW	0x0
23	EPE	Переход в состояние Error_Passive.	RW	0x0
22:17	-	Не используется.	R	0x0
16	TSWE	Переполнение счётчика Timestamp.	RW	0x0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15	TEFLE	Разрешение прерывание IR.TEFL	RW	0x0
14	TEFFE	Буфер Tx Event FIFO заполнен.	RW	0x0
13	TEFWE	Количество сообщений в буфере Tx Event FIFO достигло TXEFC.EFWM.	RW	0x0
12	TEFNE	Новое сообщение в буфере Tx Event FIFO.	RW	0x0
11	-	Не используется.	R	0x0
10	TCFE	Завершена отмена передачи сообщения.	RW	0x0
9	TCE	Завершена передача сообщения.	RW	0x0
8	HPME	Разрешение прерывания НРМ «Принято высокоприоритетное сообщение».	RW	0x0
7:4	-	Не используется.	R	0x0
3	RFOLE	Произошла запись в буфер Rx FIFO после его заполнения.	RW	0x0
2	RFOFE	Буфер Rx FIFO не пустой.	RW	0x0
1	RFOWE	Количество сообщений в буфере Rx FIFO достигло RXF0C.F0WM	RW	0x0
0	RFOFE	Новое сообщение в буфере Rx FIFO.	RW	0x0

13.3.9 GFC – Регистр общей конфигурации фильтров

Регистр GFC содержит глобальные настройки для фильтрации сообщений. Формат регистра GFC приведён в следующей таблице.

Таблица 13.17. Формат регистра GFC

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Не используется	R	0x0
5:4	ANFS[1:0]	Определяет поведение контроллера при приёме сообщений с 11-битным идентификатором, для которых не сработал ни один из фильтров: 00 – Сообщение сохраняется в Rx FIFO; 01 – Сообщение сохраняется в Rx FIFO; 10 – Сообщение отклоняется; 11 – Сообщение отклоняется;	RP	0x0
3:2	ANFE[1:0]	Определяет поведение контроллера при приёме сообщений с 29-битным идентификатором, для которых не сработал ни один из фильтров: 00 – Сообщение сохраняется в Rx FIFO; 01 – Сообщение сохраняется в Rx FIFO; 10 – Сообщение отклоняется; 11 – Сообщение отклоняется;	RP	0x0
1	RRFS	Запрет стандартных удалённых запросов*: 0 – принимать стандартные удалённые запросы; 1 – отклонять стандартные удалённые запросы;	RP	
0	RRFE	Запрет расширенных удалённых запросов: 0 – принимать расширенные удалённые запросы; 1 – отклонять расширенные удалённые запросы.	RP	

*удалённым запросом считается сообщение, в заголовке которого поле RTR=1.

13.3.10 SIDFC – Регистр конфигурации фильтров стандартных сообщений

Настройки для фильтрации сообщений со стандартным идентификатором. Формат регистра SIDFC приведён в следующей таблице.

Таблица 13.18. Формат регистра SIDFC

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	-	Не используется.	R	0x0
23:16	LSS[7:0]	Количество фильтров стандартных сообщений: 0 – фильтры стандартных кадров отключены; 1-128 – количество фильтров; >128 – количество фильтров = 128;	RP	0x0
15:0	-	Не используется.	R	0x0

13.3.11 XIDFC – Регистр конфигурации фильтров расширенных сообщений

Настройки для фильтрации сообщений с расширенным идентификатором. Формат регистра XIDFC приведён в следующей таблице.

Таблица 13.19. Формат регистра XIDFC

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:23	-	Не используется.	R	0x0
22:16	LSE[6:0]	Количество фильтров стандартных сообщений: 0 – фильтры расширенных кадров отключены; 1-64 – количество фильтров; >64 – количество фильтров = 64;	RP	0x0
15:0	-	Не используется.	R	0x0

13.3.12 XIDAM – Регистр маски для фильтров расширенных сообщений

При входной фильтрации, для сообщений с расширенным идентификатором, помимо самого фильтра применяется дополнительная маска. Маска накладывается по логическому «и». Формат регистра XIDAM приведён в следующей таблице.

Таблица 13.20. Формат регистра XIDAM

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:29	-	Не используется.	R	0x0
28:0	EIDM	Extended ID Mask.	RP	0x1FFFFFFF

13.3.13 HPMS – Регистр состояния приоритетного сообщения

Регистр сбрасывается при установленном CCCR.CCE.

Регистр обновляется после приёма сообщения для которого сработал фильтр с установленным признаком высокого приоритета. Формат регистра HPMS приведён в следующей таблице.

Таблица 13.21. Формат регистра HPMS

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	-	Не используется.	R	0x0
15	FLST	Filter List. 0 – сработал фильтр стандартных сообщений 1 – сработал фильтр расширенных сообщений	R	0x0
14:8	FIDX[6:0]	Filter Index. Индекс сработавшего фильтра. Принимает значения от 0 до SIDFC.LSS – 1 (XIDFC.LSE - 1)	R	0x0
7:6	MSI[1:0]	Message Storage Indicator. Признак сохранения сообщения. 00 – Сообщение не сохранялось в Rx FIFO 01 – Сообщение потеряно из-за занятости Rx FIFO 10, 11 – Сообщение сохранено в Rx FIFO	R	0x0
5:0	BIDX[5:0]	Buffer Index. Номер элемента Rx FIFO, куда было сохранено сообщение. Поле используется только при MSI[1] = 1.	R	0x0

13.3.14 RXF0C – Регистр конфигурации буфера Rx FIFO

Формат регистра RXF0C приведён в следующей таблице.

Таблица 13.22. Формат регистра RXF0C

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	F00M	Режим работы Rx FIFO. 0 – Rx FIFO в блокирующем режиме. При полном заполнении Rx FIFO сохранение новых элементов блокируется. 1 – FIFO в режиме перезаписи При полном заполнении Rx FIFO самый старый элемент будет перезаписан новым.	RP	0x0
30:24	F0WM	Значение Watermark определяет количество данных в буфере Rx FIFO при котором сформируется прерывание IR.RF0W: 0 – Watermark прерывание отключено; 1-64 значение watermark Rx FIFO; >64 – Watermark прерывание отключено.	RP	0x0
23	-	Не используется.	R	0x0
22:16	F0S	Rx FIFO Size. Размер Rx FIFO – количество элементов. 0 – Rx FIFO отсутствует 1-64 – Количество элементов Rx FIFO >64 – Интерпретируется как 64	R	0x40
15:2	-	Не используется.	R	0x0
1:0	-	Не используется.	R	0x0

13.3.15 RXF0S – Регистр статуса буфера Rx FIFO

Формат регистра RXF0S приведён в следующей таблице.

Таблица 13.23. Формат регистра RXF0S

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:26	-	Не используется.	R	0x0
25	RF0L	Признак потери нового сообщения 0 – Потери сообщений нет. 1 – Rx FIFO заполнено, пришло новое сообщение, новое сообщение не будет записано в память. Признак совпадает с сигналом IR.RF0L.	R	0x0
24	F0F	Признак заполненного буфера Rx FIFO: 0 – буфер не полон; 1 – буфер полон.	R	0x0
23:22	-	Не используется.	R	0x0
21:16	FOPI	Указатель записи RxFIFO. Индекс элемента, в который будет произведена запись нового сообщения.	R	0x0
15:14	-	Не используется.	R	0x0
13:8	FOGI	Указатель чтения RxFIFO. Индекс элемента, из которого нужно начинать чтение Rx FIFO.	R	0x0
7	-	Не используется.	R	0x0
6:0	F0FL	Количество сообщений в буфере Rx FIFO (0 - 64).	R	0x0

13.3.16 RXF0A – Регистр подтверждения считывания буфера Rx FIFO

Формат регистра RXF0A приведён в следующей таблице.

Таблица 13.24. Формат регистра RXF0A

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:26	-	Не используется.	R	0x0
5:0	F1AI	Индекс последнего элемента, считанного из Rx FIFO.	RW	0x0

13.3.17 TXBC – Регистр конфигурации буфера передачи Tx Buff

Формат регистра TXBC приведён в следующей таблице.

Таблица 13.25. Формат регистра TXBC

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется.	R	0x0
0	PRI_MODE	Способ определения наиболее приоритетного сообщения при передаче. 0 – Наиболее приоритетным считается сообщение с наименьшим CAN ID. 1 – Наиболее приоритетным считается сообщение с наименьшим значением поля PRI элемента Tx Buff	RW	0x0

13.3.18 TXBRP – Регистр ожидания передачи буфера Tx Buffer

Отражает состояние запроса на передачу сообщений для буфера Tx Buff. Биты устанавливаются в регистре TXBAR. Сбрасываются после окончания запрашиваемой передачи или её отмены с помощью регистра TXBCR.

После установки регистра TXBRP, буфера сканируются, выбирается буфер с наивысшим приоритетом запроса на передачу (см. TXBC.PRI_MODE).

Запрос на отмену передачи сбрасывает соответствующий бит запроса на передачу в регистре TXBRP. Если передача уже началась к моменту возникновения запроса на отмену, отмена передачи завершится после окончания передачи, не важно была ли передача успешной или нет. Бит запроса отмены передачи сбросится сразу после сброса соответствующего бита TXBRP.

Завершение отмены отражается в регистре TXBCF в случаях:
после успешной передачи вместе с соответствующим битом TXBTO;

когда передача ещё не началась на момент отмены;

когда передача была прервана из-за проигрыша арбитража;

когда произошла ошибка во время передачи кадра.

В режиме отмены повторной передачи (DAR) все передачи отменяются автоматически если они не закончились успешно. Соответствующий бит TXBCF устанавливается для всех неудачных передач.

Формат регистра TXBRP приведён в следующей таблице.

Таблица 13.26. Формат регистра TXBRP

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	TRP31-TRP0	Биты устанавливаются в «1» при запросе на передачу для соответствующего элемента Tx Buffer.	R	0x0

13.3.19 TXBAR – Регистр запроса передачи для буфера Tx Buffer

Устанавливает запрос на передачу для буфера Tx Buff. Допускается запись в несколько разрядов одновременно. Если в момент записи, процесс сканирования буферов не запущен, то записываемый бит сбрасывается немедленно, в противном случае остаётся установленным до окончания сканирования.

Формат регистра TXBAR приведён в следующей таблице.

Таблица 13.27. Формат регистра TXBAR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	AR31-AR0	Запись «1» в соответствующий разряд активирует запрос на передачу соответствующего элемента Tx Buffer в регистре TXBRP.	RW	0x0

13.3.20 TXBCR – Регистр запроса отмены передачи буфера Tx Buffer

Устанавливает запрос на отмену передачи для буфера Tx Buff. Допускается запись в несколько разрядов одновременно. Бит остаётся установленным пока установлен соответствующий бит TXBRP.

Формат регистра TXBCR приведён в следующей таблице:

Таблица 13.28. Формат регистра TXBCR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	CR31-CR0	Запись «1» в соответствующий разряд отменяет запрос на передачу соответствующего элемента Tx Buffer.	RW	0x0

13.3.21 TXVTO – Регистр подтверждения передачи буфера Tx Buffer

Отражает состояние успешного завершения передачи для буфера Tx Buff. Бит TXVTO устанавливается, когда сбрасывается соответствующий бит TXBRP в результате успешной передачи. Бит TXVTO сбрасывается, когда происходит запись «1» в соответствующий разряд TXBAR. Формат регистра TXVTO приведён в следующей таблице:

Таблица 13.29. Формат регистра TXVTO

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	TO31-TO0	Признак завершения передачи сообщения из соответствующего элемента Tx Buff.	R	0x0

13.3.22 TXBCF – Регистр подтверждения отмены передачи буфера Tx Buffer

Отражает состояние завершения отмены передачи для буфера Tx Buff. Бит TXBCF устанавливается, когда сбрасывается соответствующий бит TXBRP в результате запроса отмены передачи TXBCR. Бит TXBCF сбрасывается, когда происходит запись «1» в соответствующий разряд TXBAR. Формат регистра TXBCF приведён в следующей таблице:

Таблица 13.30. Формат регистра TXBCF

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	CF31-CF0	Признак подтверждения отмены передачи сообщения из соответствующего элемента Tx Buff.	R	0x0

13.3.23 TXVTIE – Регистр разрешения прерывания по окончании передачи буфера Tx Buffer

Запись «1» в любые разряды разрешает прерывание IR.TC при передаче из соответствующих буферов Tx Buff. Формат регистра TXVTIE приведён в следующей таблице:

Таблица 13.31. Формат регистра TXVTIE

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	ТПЕ31-ТПЕ0	Разрешения прерывание при передаче сообщения от соответствующего буфера Tx Buff.	RW	0x0

13.3.24 ТХВСІЕ – Регистр разрешения прерывания при подтверждении отмены передачи буфера Tx Buffer

Запись «1» в любые разряды разрешает прерывание IR.TCF при успешной отмене передачи для соответствующих буферов Tx Buff. Формат регистра ТХВСІЕ приведён в следующей таблице:

Таблица 13.32. Формат регистра ТХВСІЕ

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	CFIE31-CFIE0	Разрешения прерывание при успешной отмене передачи сообщения для соответствующего буфера Tx Buff.	RW	0x0

13.3.25 ТХЕFC – Регистр конфигурации буфера Tx Event FIFO

Формат регистра ТХЕFC приведён в следующей таблице:

Таблица 13.33. Формат регистра ТХЕFC

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	-	Не используется.	R	0x0
29:24	EFWM	Значение Watermark определяет количество данных в буфере Tx Event FIFO при котором сформируется прерывание IR.TEFW: 0 - Watermark прерывание отключено; 1-64 - значение watermark Tx Event FIFO; >64 - Watermark прерывание отключено.	RP	0x0
23:0	-	Не используется.	R	0x0

13.3.26 ТХЕFS – Регистр статуса буфера Tx Event FIFO

Отражает статус буфера Tx Event FIFO. Формат регистра ТХЕFS приведён в следующей таблице:

Таблица 13.34. Формат регистра ТХЕFS

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:26	-	Не используется	R	0x0
25	TEFL	Признак потери элемента Tx Event FIFO: 0 – Потери элемента нет; 1 – Новый элемент не записан в Tx Event FIFO, так как Tx Event FIFO заполнено. Признак совпадает с сигналом IR.TEFL.	R	0x0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
24	EFF	Признак заполненного буфера Tx Event FIFO: 0 – буфер не полон; 1 – буфер полон.	R	0x0
23:6	-	Не используется.	R	0x0
5:0	EFFL	Количество сообщений в буфере Tx Event FIFO (0 - 31).	R	0x0

13.3.27 TTRMC – Регистр конфигурации опорного сообщения

Более подробная информация приведена в пункте 13.4.12. Формат регистра TTRMC приведён в следующей таблице:

Таблица 13.35. Формат регистра TTRMC

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	-	Не используется.	R	0x0
30	XTD	Тип идентификатора опорного сообщения: 0 – 11-бит стандартный идентификатор; 1 – 29-бит расширенный идентификатор.	RP	0x0
29	-	Не используется.	R	0x0
28:0	RID[28:0]	Идентификатор опорного сообщения и используемый для фильтрации. Бит XTD определяет тип идентификатора опорного сообщения стандартный или расширенный. Стандартный идентификатор содержится в ID[10:0].	R	0x0

13.3.28 TTOCF – Регистр конфигурации режима планирования событий

Более подробная информация приведена в пункте 13.4.12. Формат регистра TTOCF приведён в следующей таблице:

Таблица 13.36. Формат регистра TTOCF

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:27	-	Не используется.	R	0x0
26	EVTP	Полярность Event Trigger: 0 – передний фронт; 1 – задний фронт. * В данной реализации не используется *	RP	0x0
25	ECC	Автоматическая калибровка шага времени для Time Slave или резервного Time Master: 0 – отключена; 1 – включена. * В данной реализации не используется *	RP	0x0
24	-	Не используется.	R	0x0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
23:16	AWL[7:0]	Порог срабатывания Watchdog таймера. Watchdog таймер инкрементируется каждые 256 единиц локального времени. Таймер watchdog обслуживается чтением регистра TTOST. Если таймер watchdog не обслужен до порога срабатывания, устанавливается флаг TTOST.AWE, передача прекращается, и контроллер переходит в режим монитора. Таймер Watchdog можно отключить записью TTOCF.AWL = 0x00. * В данной реализации не используется *	RP	0x1
15	EECS	Разрешение корректировки шага времени для текущего Time Master: 0 – запрещено; 1 – разрешено. * В данной реализации не используется *	RP	0x0
14:8	IRTO[6:0]	Начальное смещение опорного сообщения, складывается со значением времени метки Ref_Trigger(_Gap). (см. п. 13.4.12). 0x00-7F положительное смещение, в диапазоне от 0 до 127.	RP	0x0
7:5	LDSDL[2:0]	Граница разброса синхронизации SDL задаётся через логарифм LDSDL по основанию 2. $SDL = 2(LDSDL + 5)$. (см. п. 13.4.12.3). 0x0-7 -> $SDL \leq 32 \dots 4096$. * В данной реализации не используется *	RP	0x0
4	TM	Выбор режима time master/time slave: 0 – Time Slave; 1 – потенциальный Time Master.	RP	0x0
3	GEN	Разрешение пауз (Gap): 0 – запрещено; 1 – разрешено.	RP	0x0
2	-	Не используется.	R	0x0
1:0	OM[1:0]	Включение режима планирования событий: 00 – режим планирования событий отключён, по умолчанию; 01 – режим планирования событий Level1; 10 – режим планирования событий Level2; 11 – не используется.	RP	0x0

13.3.29 TTMLM – Регистр конфигурации системной матрицы

Более подробная информация приведена в пункте 13.4.12.4.2. Формат регистра TTMLM приведён в следующей таблице:

Таблица 13.37. Формат регистра TTMLM

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:12	-	Не используется.	R	0x0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
11:8	TXEW[3:0]	Длительность периода разрешения передачи сообщения (Tx Enable): 0x0-F, единиц NTU.	RP	0x0
7:6	CCS[1:0]	Условие формирования импульса на выходе SYNC_OUT: 00 – не формируется; 01 – импульс при каждом опорном сообщении; 10 – импульс при опорном сообщении, которое завершает цикл системной матрицы (TTCTC.CC=TTNLN.CCM); 11 – не формируется. * В данной реализации не используется *	RP	0x0
5:0	CCM[5:0]	Количество циклов в системной матрице: 0x00 1 цикл; 0x01 2 цикла; 0x03 4 цикла; 0x07 8 циклов; 0x0F 16 циклов; 0x1F 32 циклов; 0x3F 64 циклов; остальные значения зарезервированы.	RP	0x0

13.3.30 TURCF – Регистр конфигурации делителя TUR

Более подробная информация приведена в пункте 13.4.12.3. Формат регистра TURCF приведён в следующей таблице:

Таблица 13.38. Формат регистра TURCF

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	ELT	Управление локальным временем: 0 – Локальное время остановлено; 1 – Локальное время запущено.	RP	0x0
30	-	Не используется.	R	0x0
29:16	DC[13:0]	Делитель для вычисления значения TUR: 0x0000 - не допустимое значение; 0x0001-3FFF - значение делителя.	RP	0x1000
15:0	NCL[15:0]	Множитель для вычисления значения TUR. Запись в поле NCL возможна при TURCF.ELT = «0» или TTOCF.EECS = «1». Если новое значение записывается не в режиме конфигурации, оно будет применено после сброса TOST.WECS. Поле NCL защищено от записи при TOST.WECS = «1». 0x0000-FFFF значение младшей части множителя.	RP	0x0

13.3.31 TTOCN – Регистр управления режимом планирования событий

Более подробная информация приведена в пункте 13.4.12. Формат регистра TTOCN приведён в следующей таблице:

Таблица 13.39. Формат регистра TTOCN

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:13	-	Не используется.	R	0x0
12	NIG	Установка паузы (GAP). Разряд может устанавливаться только в текущем time master работающем в режиме внешней синхронизации (TTOCF.GEN = «1»). После записи «1» в поле NIG следующее опорное сообщение будет содержать Next_is_Gap = «1», при этом значение бита NIG станет = 0.	RW	0x0
11	-	Не используется	R	0x0
10	FGP	Остановка паузы (GAP). После записи «1» в поле FGP инициируется передача опорного сообщения (завершение паузы). После передачи опорного сообщения бит FGP сбросится.	RW	0x0
9	GCS	Внешнее управление паузой (GAP): 0 – Gap независит от EXT_EVENT; 1 – Gap управляется входом EXT_EVENT.	RW	0x0
8:2	-	Не используется.	R	0x0
1	ECS	Коррекция шага локального времени. Запись «1» в ECS установит TTOST.WECS если узел является текущим Time Master. ECS сбросится на следующем такте. Значение TURCF.NC запишется в TURNA.NAV в начале следующего цикла. * В данной реализации не используется *	RW	0x0
0	-	Не используется.	R	0x0

13.3.32 TTIR – Регистр прерываний в режиме планирования событий

Каждое прерывание может быть разрешено отдельно соответствующим битом в регистре TTIE. Флаги остаются установленными пока не будут очищены записью «1» в соответствующий разряд.

Флаги CER, AW и WT отражают состояние конфигурационной ошибки. Эти ошибки требуют реконфигурации контроллера перед началом повторного обмена. * В данной реализации CER, AW не используются *

Флаг GTE отражает состояние ошибок. Если они вызваны возмущениями на CAN шине, они будут обработаны CAN протоколом и не потребуют участия со стороны ПО. * В данной реализации не используются *

Флаги SOG, SMC и SBC обеспечивают синхронизацию с планировщиком.

Флаги коммутируются по логическому «или» на INT1. Формат регистра TTIR приведён в следующей таблице:

Таблица 13.40. Формат регистра TTIR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:19	-	Не используется.	R	0x0
18	CER	Ошибка конфигурации списка элементов событий.	RW	0x0
17	AW	Ошибка watchdog таймера. * В данной реализации не используется *	RW	0x0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
16	WT	Ошибка Watch trigger. Прерывание устанавливается если выполняется Watch trigger, что означает отсутствие опорного сообщения в данном цикле.	RW	0x0
15:10	-	Не используется.	R	0x0
9	GTE	Прерывание происходит если значение девиации синхронизации (SD) превышает значение, определяемое полем TTOCF.LDSDL. * В данной реализации CER, AW не используются *	RW	0x0
8:4	-	Не используется.	R	0x0
3	SOG	Начало паузы (GAP). Прерывание происходит, когда обнаруживается опорное сообщений с Next_is_Gap = '1'.	RW	0x0
2	-	Не используется.	R	0x0
1	SMC	Начало нового цикла матрицы. Прерывание происходит, когда счётчик циклов достигает значения TTMLM.CCM.	RW	0x0
0	SBC	Начало нового цикла. Прерывание происходит, когда счётчик циклов увеличивается на 1.	RW	0x0

13.3.33 TTIE – Регистр разрешения прерываний в режиме планирования событий

Разрешение для прерываний в регистре TTIR. Запись «1» разрешает соответствующее прерывание. Формат регистра TTIE приведён в следующей таблице:

Таблица 13.41. Формат регистра TTIE

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:19	-	Не используется	R	0x0
18	CERE	Разрешение прерывания в случае конфигурационной ошибки. * В данной реализации не используется *	RW	0x0
17	AWE	Разрешение прерывания в случае ошибки watchdog таймера. * В данной реализации не используется *	RW	0x0
16	WTE	Разрешение прерывания в случае события Watch Trigger.	RW	0x0
15:10	-	Не используется.	R	0x0
9	GTEE	Разрешение прерывания при превышении девиации синхронизации значения определяемого полем TTOCF.LDSDL. * В данной реализации не используется *	RW	0x0
8:4	-	Не используется	R	0x0
3	SOGE	Разрешение прерывания в случае начала паузы (GAP).	RW	0x0
2	-	Не используется.	R	0x0
1	SMCE	Разрешение прерывания в начале нового цикла матрицы.	RW	0x0
0	SBCE	Разрешение прерывания в начале нового цикла.	RW	0x0

13.3.34 TTOST – Регистр статуса режима планирования событий

Формат регистра TTOST приведён в следующей таблице:

Таблица 13.42. Формат регистра TTOST

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	-	Не используется.	R	0x0
30	WECS	Ожидание коррекции шага времени (значение TUR). Бит сбросится с наступлением следующего цикла. * В данной реализации не используется *	R	0x0
29	AWE	Статус ошибки watchdog таймера. * В данной реализации не используется *	R	0x0
28	WFE	Отражает состояние ожидания паузы (GAP).	R	0x0
27	GSI	Отражает состояние паузы (GAP).	R	0x0
26:24	TMP[2:0]	Приоритет текущего time master.	R	0x0
23	GFI	Отражает состояние завершения паузы (GAP). Устанавливается при TTOCN.FGP=«1» или при активном входе EXT_EVENT если TTOCN.GCS= «1». Бит сбросится с наступлением следующего цикла.	R	0x0
22:16	-	Не используется.	R	0x0
15:8	RTO[7:0]	Смещение опорного сообщения (-127.+127)	R	0x0
7	QCS	Статус девиации синхронизации (для режима Level2, в остальных случаях = «1»): 0 – локальное время не синхронизировано с Time Master; 1 – отклонение синхронизации в пределах SDL. * В данной реализации не используется * При чтении возвращает 1.	R	0x1
6	-	Не используется.	R	0x0
5:4	SYS[1:0]	Статус состояния синхронизации: 00 – Не синхронизирован; 01 – Синхронизация планировщика; 10 – Планировщик в паузе (In_Gap); 11 – Планировщик в нормальном режиме (In_Schedule).	R	0x0
3:2	MS[1:0]	Статус Time master: 00 – не инициализировано; 01 – Контроллер в состоянии Time Slave; 10 – Контроллер в состоянии резервного Time Master; 11 – Контроллер в состоянии текущего Time Master.	R	0x0
1:0	EL[1:0]	Статус режима планирования событий: 00 – нет ошибки; 01 – не используется; 10 – не используется; 11 – конфигурационная ошибка.	R	0x0

13.3.35 TURNA – Регистр текущего значения делителя TUR

В режиме Level1 (NAV = NC) компенсации смещения нет. В режиме Level2, вычисляется смещение тактов между узлом, принявшим опорное сообщение, и узлом, отправившим его. Смещение компенсируется, когда отклонение не превышает значения $1 \llcorner (TTOCF.LDSDL + 5)$.

Формат регистра TURNA приведён в следующей таблице:

Таблица 13.43. Формат регистра TURNA

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:18	-	Не используется.	R	0x0
17:0	NAV	0x0F000-20FFF текущее значение числителя.	R	0x0

13.3.36 TTLGT – Регистр локального и глобального времени

Назначение регистра описано в п. 13.4.12.7. Формат регистра TTLGT приведён в следующей таблице:

Таблица 13.44. Формат регистра TTLGT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	GT	Глобальное время.	R	0x0
15:0	LT	Локальное время.	R	0x0

13.3.37 TTCTC – Регистр времени цикла и номера цикла

Назначение регистра описано в п. 13.4.12.7. Формат регистра TTCTC приведён в следующей таблице:

Таблица 13.45. Формат регистра TTCTC

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:22	-	Не используется.	R	0x0
21:16	CC	Количество циклов в системной матрице.	R	0x0
15:0	CT	Время цикла.	R	0x0

13.4 Функциональное описание

13.4.1 Программная инициализация

Переход в режим программной инициализации происходит при установке бита CCCR.INIT = «1» или при аппаратном сбросе. При CCCR.INIT = «1» обмен по CAN шине не происходит и выход находится в рецессивном состоянии. Конфигурационные регистры остаются неизменными при переходе в режим инициализации. После сброса CCCR.INIT = «0» ядро контроллера ожидает 11 рецессивных бит на CAN шине для перехода в режим ожидания и возобновления обмена по шине.

Доступ регистрам с типом доступа «RP» осуществляется при установленных CCCR.INIT = «1» и CCCR.CCE = «1». Поле CCCR.CCE можно изменять при CCCR.INIT = «1», CCCR.CCE автоматически сбрасывается при CCCR.INIT = «0»

Следующие регистры сбрасываются при CCCR.CCE = «0»:

RXF0S;

TXBRP;

TXBTO;

TXBCF;

TXEFS.

Следующие регистры доступны для записи только при $CCCR.CCE = \langle 0 \rangle$:
TXBAR;
TXBCR.

$CCCR.DAR$ и $CCCR.MON$ доступны для записи только при $CCCR.INIT = \langle 1 \rangle$ и $CCCR.CCE = \langle 1 \rangle$.

Контроллер выходит из режима инициализации после сброса $CCCR.INIT = \langle 0 \rangle$.

13.4.2 Отключение автоматического повтора передачи.

Контроллер поддерживает автоматический повтор передачи сообщений, проигравших арбитраж или отложенных из-за ошибок при передаче. По умолчанию автоматический повтор передачи включён. Автоматический повтор отключается через $CCCR.DAR$.

13.4.3 Режим монитора

Контроллер переводится в режим монитора установкой бита $CCCR.MON = \langle 1 \rangle$. В этом режиме на шину CAN выдаются только рецессивные биты. Если требуется отправить доминантный бит (флаг acknowledge, флаг ошибки), бит перенаправляется внутри таким образом, что контроллер протокола видит этот доминантный бит, в то время как CAN шина может оставаться в рецессивном состоянии. В режиме монитора регистр TXBRP удерживается в состоянии сброса. Режим монитора может использоваться для анализа трафика на CAN шине, без воздействия на неё доминантными битами. Кадр будет принят только после успешного его завершения. Также будут приниматься кадры от передатчиков, находящихся в состоянии Error Passive, даже в том случае, если на них не было признака подтверждения ACK. Значение поля MON_AE элемента Rx FIFO, указывает на наличие/отсутствие ошибки подтверждения.

13.4.4 Режим Loop Back

Перевод в данный режим осуществляется записью $CCCR.LBM = \langle 1 \rangle$. В режиме Loop Back, исходящие сообщения зацикливаются и сохраняются (в случае соответствия фильтрам) в памяти. Это обеспечивает возможность самотестирования аппаратной части. Будучи независимым от внешнего воздействия, контроллер игнорирует ошибки acknowledge в режиме Loop Back. В этом режиме вход RX отключается от CAN шины.

13.4.5 Режим внутренний Loop Back

Перевод в данный режим осуществляется записью $CCCR.LBM = \langle 1 \rangle$ и $CCCR.MON = \langle 1 \rangle$. В режиме внутреннего Loop Back контроллер полностью отключается от шины, исходящие сообщения зацикливаются и сохраняются (в случае соответствия фильтрам) в памяти.

Будучи независимым от внешнего воздействия, контроллер игнорирует ошибки acknowledge в режиме Loop Back. В этом режиме вход RX и выход TX отключаются от CAN шины.

13.4.6 Режим внешний Loop Back

Перевод в данный режим осуществляется записью $CCCR.LBM = \langle 1 \rangle$ и $CCCR.MON = \langle 0 \rangle$. В этом режиме, на выходе TX передаваемые данные будут появляться, но состояние входа RX игнорируется. Внутри контроллера TX подключается к RX.

На следующем рисунке показаны схема подключения входных/выходных сигналов CANBIC в зависимости от режима LoopBack и монитор.

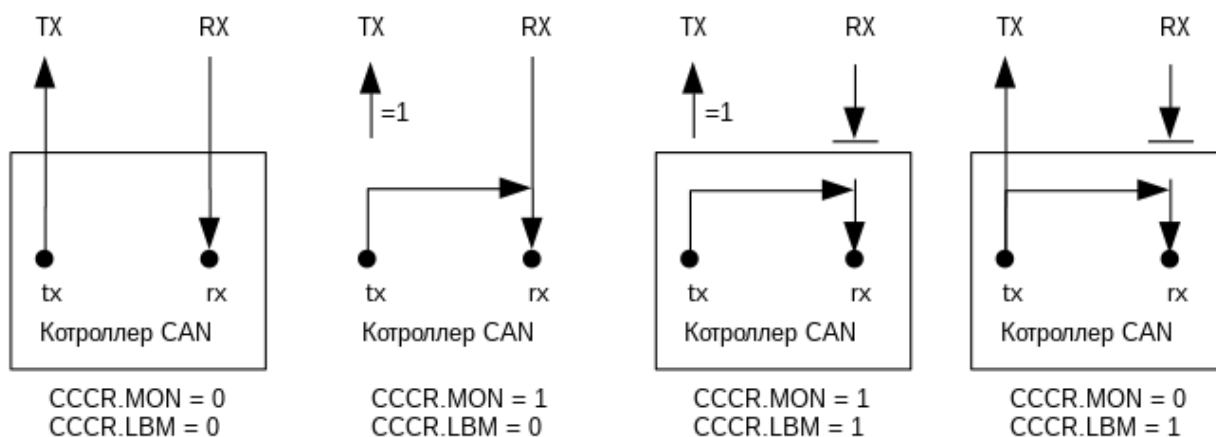


Рисунок 13.2. Комбинации режимов LoopBack и монитор

13.4.7 Временные метки (Timestamp)

Для генерации временных меток в контроллере CANBIC используется 16-ти разрядный циклический Timestamp счётчик. Делитель $TSCC.TCP$ определяет частоту тактирования счётчика в диапазоне 1-16 битовых интервалов шины. Значение счётчика доступно для чтения в поле $TSCV.TSC$. Запись в регистр $TSCV$ сбрасывает значение счётчика в 0. Когда счётчик переполняется выставляется флаг прерывания $IR.TSW$.

В начале принимаемого/передаваемого кадра, текущее значение счётчика помещается в поля $RXTS[15:0]$ или $TXTS[15:0]$. Установкой бита $TSCC.TSS$ можно переключиться на внешнее тактирование.

13.4.8 Watchdog таймер

Контроллер содержит watchdog таймер для контроля функционирования. Таймер необходимо постоянно опрашивать, в противном случае вся активность на CAN шине прекращается. Значение watchdog таймера $TTOCF.AWL$ описывает длительность (в NTU) промежутка времени, в течение которого он должен быть обслужен. Максимальное значение этого параметра – 256 NTU. Сторожевой таймер обслуживается чтением регистра $TTOST$. $TTOST.AWE$ отражает был ли watchdog таймер обслужен вовремя. Если произошел сбой при обслуживании watchdog таймера, устанавливается флаг прерывания $TTIR.AW$. Watchdog таймер может быть отключён записью $0x00$ в поле $TTOCF.AWL$. * В данной реализации не используется *

13.4.9 Прием сообщения

Модуль управления приёмом отвечает за фильтрацию и передачу принятых кадров в буфер Rx FIFO. Формат буфера Rx FIFO в п 13.2.3. Формат фильтров описан в разделах 13.2.1 и 13.2.2.

13.4.9.1 Входная фильтрация

В контроллере организовано два набора приёмных фильтров, один для стандартных идентификаторов (11-бит) и один для расширенных идентификаторов (29-бит). Прошедшие фильтрацию сообщения сохраняются в буфер Rx FIFO. Каждый набор фильтров исполняется с #0 элемента и до первого соответствующего элемента (или конца списка). Следующий фильтра уже не выполняется для текущего сообщения.

Конфигурация фильтров:

каждый фильтр может быть сконфигурирован как:

- диапазон идентификаторов (от – до);
- фильтр на 1 или 2 выделенных идентификатора;
- битовая маска;

каждый фильтр может принимать или отклонять кадры;

каждый фильтр включается/выключается индивидуально;

фильтры выполняются последовательно до первого совпадающего элемента.

Используемые конфигурационные регистры:

SIDFC;

XIDFC;

XIDAM.

В зависимости от конфигурации фильтра (SFEC/EFEC), соответствие запускает одно из следующих действий:

сохранение принятого кадра в Rx FIFO буфере;

отклонение принятого кадра.

13.4.9.2 Фильтр диапазона идентификаторов

Идентификаторы в принимаемых кадрах проверяются на попадание в допустимый диапазон, заданный в регистрах SF1ID/SF2ID (стандартный ID), EF1ID/EF2ID (расширенный ID).

Возможно два способа использования фильтра для расширенных кадров:

EFT = «00»: Идентификатор в принимаемых кадрах складывается по логическому «и» с маской (XIDAM) до применения диапазонного фильтра

EFT = «11»: дополнительная маска (XIDAM) не используется.

Фильтр отдельного идентификатора

Элемент фильтра может быть сконфигурирован для фильтрации 1 или 2 отдельных идентификаторов. Для фильтрации одного идентификатора, в конфигурации стандартного элемента фильтра должно быть задано SF1ID = SF2ID, в расширенном EF1ID = EF2ID.

13.4.9.3 Фильтр битовая маска

Битовая маска используется для фильтрации групп идентификаторов маскированием единичных бит идентификаторов принимаемых кадров. При фильтрации битовой маской SF1ID/EF1ID используется как фильтр идентификаторов, а SF2ID/EF2ID используется как маска.

Бит маски фильтра со значением «0» замаскирует соответствующую битовую позицию сконфигурированного фильтра, т.е. значения этих битов в принятом идентификаторе не будут иметь значения при фильтрации.

Только те биты идентификатора в принятом кадре будут участвовать в фильтрации, позиция которых совпадает с позицией бит маски со значением «1».

Когда все биты маски равны «1», то идентификатор должен полностью совпадать со значением фильтра, если все биты маски равны «0», то любой идентификатор будет проходить фильтрацию.

13.4.9.4 Фильтрация сообщений

Идентификатор кадра (ID), бит удалённого запроса (RTR), и бит расширения идентификатора (IDE), принятых кадров, сравниваются с набором сконфигурированных элементов фильтра, под управлением регистров GFC, SIDFC или XIDFC. Расширенный ID принятого кадра складывается по логическому «и» с маской из регистра XIDAM перед использованием фильтра.

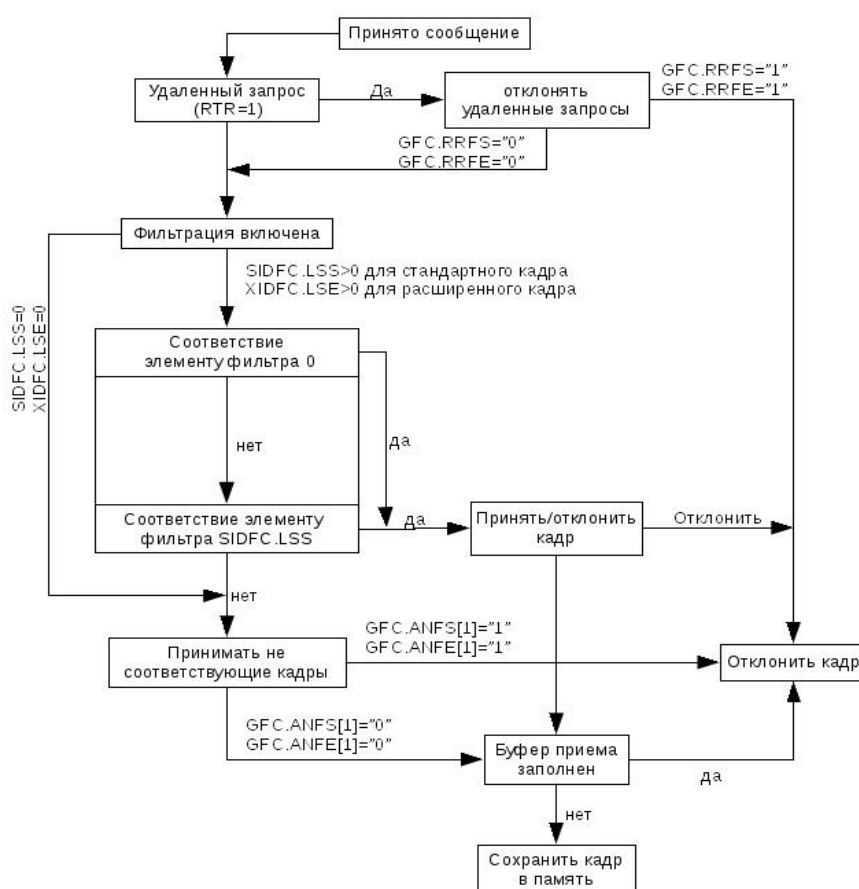


Рисунок 13.3. Схема фильтрации входящих сообщений

13.4.9.5 Буфер приёма Rx FIFO

Буфер Rx FIFO может содержать до 64 элементов. Формат элементов буфера Rx FIFO описан в пункте 13.2.3. Конфигурация буфера осуществляется через регистр RXF0C.

Прошедшие входную фильтрацию кадры, помещаются FIFO буфер, при соответствующих настройках поля SFEC/EFEC фильтров. Когда буфер FIFO полностью заполнится, выставляется флаг IR.RF0F, больше в этот буфер сообщения не помещаются пока хотя бы одно не будет прочитано. Если сообщение принято, при заполненном буфере – сообщение отклоняется и устанавливается флаг прерывания IR.RF0L.

Во избежание переполнения буфера Rx FIFO, следует использовать метку заполнения. Когда количество элементов Rx FIFO достигает значения заданного в RXF0C.F0WM выставляется флаг прерывания IR.RF0W, и остаётся установленным пока количество элементов в буфере не будет меньше указанного значения.

Чтение из буфера Rx FIFO следует производить по начальному адресу буфера Rx FIFO необходимое количество раз. При каждом обращении читается 32-битное слово. В регистре RXF0S отображается состояние буфера.

13.4.10 Передача сообщения

Передача сообщения осуществляется при установке в «1» разряда регистра TXBAR соответствующего номеру буфера передачи. Формат буферов передачи описан в разделе 13.2.5.

Если TXBRP не равен 0 и не происходит отправка сообщения, происходит сканирование буферов передачи, выбирается буфер с наивысшим приоритетом (см. TXBC.PRI_MODE).

13.4.10.1 Буферы Tx Buff

В каждом буфере передачи может храниться одно сообщение. Если несколько буферов содержат сообщения с одинаковыми приоритетами, то для передачи выбирается буфер с наименьшим порядковым номером. Формат элементов буфера Tx Buff описан в пункте 13.2.5.

Запрос передачи, при появлении новых данных, осуществляется через регистр TXBAR.ARn.

13.4.10.2 Отмена передачи

Для отмены запроса на передачу необходимо записать «1» в соответствующий разряд (равный порядковому номеру буфера передачи) регистра TXBCR.

При успешной отмене передачи, соответствующий разряд регистра TXBCF устанавливается в «1». В случае если запрос на отмену передачи произошёл во время передачи, соответствующий разряд TXBRP остаётся установленным в «1» до окончания передачи. Если передача была успешна, соответствующие разряды регистров TXBTO и TXBCF устанавливаются в «1». Если передача не удалась, то повторной передачи не происходит и соответствующий разряд регистра TXBCF устанавливается в «1».

13.4.10.3 Буфер Tx Event FIFO

После успешной передачи сообщения, контроллер сохраняет идентификатор переданного сообщения и временную метку (timestamp) в буфере Tx Event FIFO, если установлен соответствующий бит (EFC) в элементе буфера передачи. Формат элементов буфера Tx Event FIFO описан в пункте 13.2.4.

Чтобы «связать» событие отправки сообщения с элементами буфера Tx Event FIFO, поле MM (Маркер сообщения) в переданном сообщении, копируется в элемент буфера Tx Event FIFO. Буфер Tx Event FIFO может содержать до 32 элементов.

Когда буфер Tx Event FIFO полностью заполнен, устанавливается флаг IR.TEFF, последующие сообщения не помещаются в буфер Tx Event FIFO пока из него не будет прочитан хотя бы один элемент. В случае попытки записи элемента в заполненный буфер Tx Event FIFO, запись будет отменена и будет установлен флаг в регистре прерываний IR.TEFL.

Во избежание переполнения буфера Tx Event FIFO, следует использовать метку заполнения. Когда количество элементов FIFO достигает значения заданного в TXEFC.EFWM выставляется флаг прерывания IR.TEFW, и остаётся установленным пока количество элементов в буфере не будет меньше указанного значения.

Чтение из буфера Tx Event FIFO следует производить по начальному адресу буфера Tx Event FIFO необходимое количество раз. При каждом обращении читается 32-битное слово. В регистре TXEFS отображается состояние буфера.

13.4.11 Режим Bus_Off

При входе в режим Bus_Off (счётчик ошибок передачи ECR.TEC достиг значения большего 255, см. спецификацию CAN) выдача запрошенных сообщений приостанавливается, взводится признак PSR.BO, устанавливается прерывание IR.BO (если разрешено), устанавливается CCCR.INIT, сбрасывается счётчик ECR.REC.

При входе в режим Bus_Off счётчик ECR.TEC устанавливается в значение 128, после чего начинает декрементироваться на единицу при каждом обнаружении 11 последовательных рецессивных битов в шине. После того, как ECR.TEC достигает значения 0, формируется необходимое, но недостаточное условие выхода из режима Bus_Off.

Для выхода из режима Bus_Off должны быть выполнены два условия:
счётчик ECR.TEC достиг значения 0 (в шине было обнаружено 128 последовательностей по 11 непрерывно идущих рецессивных битов);
программно сброшен бит CCCR.INIT.

Продолжить передачу заданных сообщений (см. TXBRP, TXVTO и др) можно просто программно сбросив бит CCCR.INIT. Если CCCR.INIT был сброшен раньше достижения счётчиком ECR.TEC нуля, передача начнётся только после достижения нуля счётчиком ECR.TEC.

Если при выходе из Bus_Off не нужно продолжать передачу заданных ранее сообщений, необходимо установить CCCR.CCE, что приведёт к сбросу регистров TXBRP, TXVTO и др., после чего сбросить бит CCCR.INIT. Далее запуск необходимых сообщений производится обычным способом (запись в TXBAR).

13.4.12 Режим планирования событий

Режим планирования событий позволяет синхронизировать работу нескольких узлов CAN. Конфигурируемые элементы событий, управляют коммуникацией на шине позволяя детерминировать время отправки сообщений и синхронизировать отсчёт времени контроллера с помощью опорных сообщений. Режим включается, когда поле TТОCF.ОМ отлично от 0.

Поле TТОCF.ТМ определяет режим работы контроллера (как потенциальный time master или как time slave). Для режима time master три младших бита идентификатора опорного сообщения (TТRМС.RID) отражают приоритет мастера, 0 наивысший, 7 низший. На шине не должно быть двух мастеров с одинаковым приоритетом. Поле TТRМС.RID используется для распознавания опорных сообщений.

Поле TТОCF.IRTO (Начальное смещение опорного сообщения) это 7-битное значение которое описывает (в NTU) время, которое резервный time master ожидает перед тем, как начать передачу опорного сообщения, относительно метки времени опорного сообщения. Рекомендованное значение TТОCF.IRTO должно быть пропорционально приоритету мастера. Последовательность, в которой резервный time master сменяет текущий и отправляет опорное сообщение, должна определяться их приоритетом даже в случае значительного смещения тактов.

Поле TТОCF.ОМ определяет вид режима планирования событий - Level1 или Level2:

TТОCF.ОМ = «00» Узел функционирует в соответствии с ISO 11898-1, режим планирования событий отключён;

TТОCF.ОМ = «01» (Level1) Узел функционирует в соответствии с ISO 11898-1, с поддержкой режима планирования событий, но без возможности синхронизации передачи опорных сообщений по внешним событиям, бит Next_is_Gap в опорном сообщении игнорируется;

TТОCF.ОМ = «10» (Level2) Узел функционирует в соответствии с ISO 11898-1, с поддержкой режима планирования событий, включая синхронизацию передачи опорных сообщений по внешнему событию.

Поле TТОCF.EECS разрешает внешнюю синхронизацию, позволяя программно обновить конфигурацию TUR на текущем time master (только в Level2).

Поле TТМЛМ.ССМ указывает номер последнего цикла в системной матрице. Отсчёт циклов начинается с 0. В системной матрице, содержащей 8 циклов TТМЛМ.ССМ будет 7.

Поле TТМЛМ.ТХЕW указывает длину окна Tx enable в NTU. Окно Tx enable это период времени в начале временного окна в течение которого может начаться передача. Если начало передаваемого сообщения выходит за границу Tx enable (например, из-за наложения сообщения из предыдущего окна), передача не произойдёт. TТМЛМ.ТХЕW должен быть выбран исходя из качества синхронизации сети и соотношения размера окна и размера сообщения.

Опорное сообщение

Принимается всеми узлами кроме узла, отправившего сообщение (текущий Time master, см. п. 13.4.12.2). Длина поля данных опорного сообщения в Level1 не менее 1 байта. Длина опорного сообщения в Level2 не более 4 байт, в противном случае сообщение не распознаётся как опорное. Младшие три бита идентификатора отражают приоритет time

master, до 8 потенциальных time master могут быть на одной шине. Опорное сообщение конфигурируется через регистр TTRMC.

Если передача опорного сообщения прервана оно немедленно передаётся снова и в случае повторной передачи поле Master_Ref_Mark обновляется. Опорное сообщение отправляется периодически если не установлен бит Next_is_Gap.

Если текущий time master перестал передавать опорное сообщение его функцию начинает выполнять один из потенциальных time master.

Режим Level2

Активен при TTOCF.OM = «10» и TTOCF.GEN = «1». Информация, относящаяся к опорному сообщению, содержится в первых 4 байтах поля данных (32-бита). Формат поля данных опорного сообщения для режима Level2 приведён в следующей таблице:

Таблица 13.46. Формат поля данных опорного сообщения для режима Level2

Номер разряда	Условное обозначение	Назначение
31:16	Master_Ref_Mark	Значение локального времени текущего time master в момент отправки опорного сообщения.
15:8	-	Не используется.
7	NIG	Next is GAP.
6	-	Не используется.
5:0	CC	Номер цикла текущего time master.

Режим Level1

Один из режимов синхронизации узлов CAN сети в режиме планирования событий. Активен при TTOCF.OM = «01» и TTOCF.GEN = «0». Внешняя синхронизация недоступна в этой конфигурации. Информация, относящаяся к опорному сообщению, содержится в первом байте поля данных (8-бит). Формат поля данных опорного сообщения для режима Level1 приведён в следующей таблице:

Таблица 13.47. Формат поля данных опорного сообщения для режима Level1

Номер разряда	Условное обозначение	Назначение
7	NIG	Запрос паузы (GAP).
6	-	Не используется.
5:0	CC	Номер цикла.

Условия перехода time master - time slave

После окончания инициализации контроллер, являющийся потенциальным time master, начинает отправлять опорные сообщения. Контроллер являющийся, time slave (TTOCF.OM = 0), ожидает появления опорных сообщений. Если на шине несколько контроллеров в режиме потенциального time master, необходимо чтобы время отправки опорного сообщения каждого контроллера соответствовало приоритету, указанному в поле TTRMC.RID[2:0]. Т.е. сначала опорное сообщение отправляет контроллер с самым высоким приоритетом, контроллер самым низким приоритетом должен передавать опорное сообщение последним. Если при передаче опорного сообщения контроллером с наивысшим приоритетом сбоя не произошло, то остальные контроллеры (в режиме потенциальный time master) не передадут опорные сообщения, так как цикл передачи начнётся сначала, а контроллер отправивший опорное сообщение последним будет текущим time master. Диаграмма переходов состояний time slave – time master приведена на следующем рисунке:

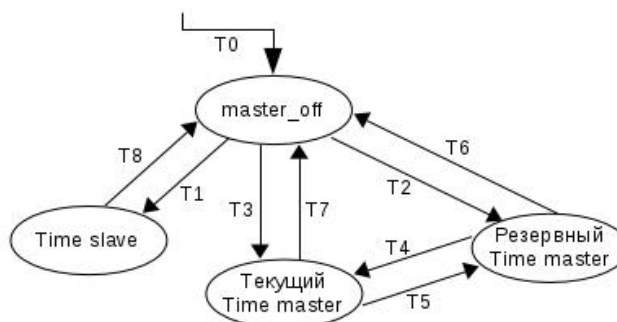


Рисунок 13.4. Диаграмма перехода состояний time master – time slave

Переход T0: аппаратный сброс, инициализация или конфигурационная ошибка (TTOST.EL=«11»);

Переход T1: принято опорное сообщение, но узел не является потенциальным time master;

Переход T2: принято опорное сообщение, с приоритетом \neq собственному;

Переход T3: принято опорное сообщение, с приоритетом = собственному;

Переход T4: принято опорное сообщение, с приоритетом = собственному;

Переход T5: принято опорное сообщение, с более высоким приоритетом;

Переходы T6-T8: произошла конфигурационная ошибка (TTOST.EL=«11»).

Конфигурация NTU

NTU является мерой локального времени. Локальное время (16-битное значение) инкриминируется на каждый счёт NTU. Время цикла и глобальное время являются производными от локального времени. Значения локального времени, глобального времени и времени цикла доступны в регистрах TTLGT и TTCTC.

В режиме Level2 длительность NTU определяется значением TUR (Time Unit Ratio). Значение TUR определяется формулой $TUR = TURNA.NAV / TURCF.DC$. Размер NTU задаётся формулой $NTU = HCLK \cdot TUR$.

Значение TURNA.NAV определяется значением поля TURCF.NC. Поле NC это 18-битное значение, где TURCF.NCL[15:0] может быть запрограммировано в диапазоне 0x0000-0xFFFF, а TURCF.NCH[17:16] = 0x1. Когда в поле TURCF.NCL[15:0] записывается значение 0xnxxx, поле TURNA.NAV будет содержать значение $0x10000 + 0x0xxxx = 0x1xxxx$. Значение делителя TURCF.DC это 14-битное значение. Диапазон TURCF.DC 0x0001 – 0x3FFF, 0x0000 – недопустимое значение.

Аппаратный сброс устанавливает TURCF.DC в 0x1000 и TURCF.NCL в 0x10000, в результате чего NTU состоит из 16 тактовых периодов. Локальное время и таймер watchdog не стартуют пока бит CCCR.INIT не сброшен, и TURCF.ELT не установлен. Установка TURCF.ELT в «1» блокирует запись в регистр TURCF.

При запуске, поле TURNA.NAV обновляется значением NC (= TURCF.NCL + 0x10000), когда TURCF.ELT = 1.

В режиме Level1 нет компенсации смещения. TURNA.NAV всегда равно NC.

В режиме Level2 есть две возможности изменения значения TURNA.NAV: когда работает как time slave или резервный time master, и когда установлен TТОCF.ECC.

В этом случае TURNA.NAV автоматически корректируется исходя их значения

глобального времени, при этом контроллер должен находиться в режиме синхронизации (In_Schedule) или паузы (In_Gap). Если синхронизация теряется, значение возвращается к NC;

когда узел является текущим time master, и флаг TTOCF.EECS установлен, поле TURCF.NCL доступно для изменения программно. Для записи нового значения NC в поле TURNA.NAV необходимо установить TTOCN.ECS = 1, и поле TURNA.NAV обновится в момент начала следующего цикла (с отправкой следующего опорного сообщения). Статусный флаг TTOST.WECS устанавливается, когда TTOCN.ECS установлен и снимается после обновления TURNA.NAV. Запись в TURCF.NCL запрещена пока TTOST.WECS установлен.

В режиме Level2 процесс калибровки NTU подстраивает TURNA.NAV в диапазоне границы девиации синхронизации (SDL) $NC \pm 2^{(TTOCF.LDSDL+5)}$.

Девиация синхронизации SD это разница между TURCF.NC и TURNA.NAV ($SD = |TURCF.NC - TURNA.NAV|$). Ограничение девиации синхронизации SDL, задаётся значением TTOCF.LDSDL ($SDL = 2^{(TTOCF.LDSDL+5)}$) и должно быть мало относительно битового времени CAN шины. SD вычисляется при каждом новом цикле. Если TURNA.NAV отклоняется более чем на SDL от NC - устанавливается флаг TTIR.GTE, при этом TTOST.QCS сбрасывается. * В данной реализации GTE не используются *

Элемент события

До 64 элементов событий может использоваться для управления передачей сообщений во времени. Формат элементов событий описан в разделе 13.2.6.

Поле метки времени (TM) описывает в какой момент цикла событие будет выполнено. Элементы событий должны храниться в порядке возрастания значения меток времени (поле TM). Поля MNR и CC игнорируются в элементах событий типа Tx_Ref_Trigger, Tx_Ref_Trigger_Gap, Watch_Trigger, Watch_Trigger_Gap и End_of_List.

Когда время цикла достигает значения метки времени текущего элемента события, из памяти читается следующий элемент события. Если элемент события должен передать сообщение, оно тоже читается из памяти. Необходимо, чтобы сообщение для передачи было прочитано до того, как время цикла достигнет метки времени элемента события. Так же необходимо чтобы сам элемент события был прочитан до того, как его метка времени будет достигнута. Если опорное сообщение имеет размер - n NTU, событие с меткой - $TM < n$ никогда не станет активным и вероятно приведёт к конфигурационной ошибке.

Действия, производимые контроллером, работающим в режиме планирования событий, определяются типом элементов событий, которые выполняются планировщиком в соответствующие моменты времени:

Tx_Ref_Trigger	(значение поля TYPE = «0000»);
Tx_Ref_Trigger_Gap	(значение поля TYPE = «0001»);
Tx_Trigger_Single	(значение поля TYPE = «0010»);
Tx_Trigger_Continuous	(значение поля TYPE = «0011»);
Watch_Trigger	(значение поля TYPE = «0110»);
Watch_Trigger_Gap	(значение поля TYPE = «0111»);
End_of_List	(значение поля TYPE = «1000...1111»).

В начале каждого цикла, т.е. при каждом приёме или передаче опорного сообщения, список элементов событий обрабатывается, начиная с первого элемента. Планировщик ищет первый элемент события, поле СС которого совпадает с номером текущего цикла. Планировщик ожидает пока время цикла достигнет метки времени элемента события и активирует его. Затем планировщик обращается к следующему элемент в списке, поле СС которого совпадает с текущим номером цикла и т.д.

Если узел является time master, и планировщик обнаруживает элемент события типа Tx_Ref_Trigger или Tx_Ref_Trigger_Gap запускается передача опорного сообщения. В случае, когда time slave обнаруживает Tx_Ref_Trigger(_Gap), это приводит к конфигурационной ошибке (TOST.EL = «11»). Tx_Ref_Trigger_Gap используется только в режиме внешней синхронизации (TOST.OM = «10»). В состоянии синхронизации In_Gap (TOST.SYS = «10») Tx_Ref_Trigger игнорируется.

Событие Tx_Trigger_Single может использоваться для однократной передачи сообщения, для которого установлен бит регистра TXBRP. После успешной передачи бит сбрасывается.

Событие Tx_Trigger_Continuous начинает эксклюзивную передачу сообщения, для которого установлен бит регистра TXBRP. После успешной передачи остаётся установленным и сообщение передаётся снова в следующем окне.

Допускается что несколько элементов событий передачи могут относиться к одному передаваемому буферу. В зависимости от значения поля СС, элементы событий могут быть проигнорированы в некоторых циклах.

События Watch_Trigger (TYPE = «0110») и Watch_Trigger_Gap (TYPE = «0111») начинают проверку наличия пропущенных опорных сообщений. Они используются как в режимах time master так и time slave. Watch_Trigger_Gap используется только в режиме внешней синхронизации, в этом режиме Watch_Trigger игнорируется в состоянии синхронизации In_Gap (TOST.SYS = «10»).

End_of_List (TYPE = «1000...1111») не корректный тип события, если планировщик обнаруживает элемент события типа End_of_List перед Watch_Trigger или Watch_Trigger_Gap возникает ошибка конфигурации (TOST.EL = «11»).

Конфигурация списка элементов событий

Для обеспечения бесперебойного обмена, на элементы событий накладывается ряд ограничений:

не должно быть двух элементов в одном цикле и с одинаковыми метками времени, однако события, которые выполняются в разных циклах (разные поля СС) могут иметь одинаковые метки времени;

события, которые помещаются после Watch_Trigger (Watch_Trigger_Gap), никогда не будут активны. В свою очередь событие Watch_Trigger никогда не выполнится если опорное сообщение принято вовремя;

для всех не используемых элементов событий после Watch_Trigger (Watch_Trigger_Gap) необходимо установить тип End_of_List.

Особое внимание необходимо уделить временным меткам Tx_Ref_Trigger и Tx_Ref_Trigger_Gap. В резервном time master время запуска Tx_Ref_Trigger или Tx_Ref_Trigger_Gap складывается из значения его временной метки и значения смещения в поле TOST.IRTO. Значения временных меток других событий не должны находиться в этом диапазоне, в противном случае может получиться что временные метки появляются в неправильном порядке и возникнет конфигурационная ошибка.

Конфигурационная ошибка, отражаемая в поле TTOST.EL = «11», возникает в случаях:

- поле CC (код цикла) элемента события соответствует текущему номеру цикла, а значение поля TM (метка времени) меньше, чем текущее время цикла;
- контроллер в режиме time slave (TTOCF.TM = «0») обнаруживает событие с типом Tx_Ref_Trigger или Tx_Ref_Trigger_Gap;
- контроллер обнаруживает что, значение поля TM (метка времени) следующего события находится в пределах окна Tx enable (TTMLM.TXEW) текущего элемента события передачи, и у них совпадают поля CC (код цикла);
- значение полей TM соседних элементов событий, первый из которых имеет тип Tx_Ref_Trigger отличаются на величину меньшую, чем значение TTOST.RTO.

Пример формирования системной матрицы на основе элементов событий

Возможная последовательность элементов событий в памяти представлена в следующей таблице:

Таблица 13.48. Пример списка элементов событий

Событие	Метка времени TM[15:0]	Код цикла CC[6:0]	Тип элемента события Trigger TYPE[3:0]	Номер сообщения MNR[6:0]
0	Метка1	7'b0000100	Tx Trigger Single	7
1	Метка1	7'b1000000	Tx Trigger Single	3
2	Метка1	7'b1000011	Tx Trigger Single	7
3	Метка3	7'b1000001	Tx Trigger Single	2
4	Метка3	7'b1000011	Tx Trigger Single	5
5	Метка4	-	Tx Ref Trigger	-
6	Метка5	-	Watch Trigger	-
7	Метка6	-	Tx Ref Trigger Gap	-
8	Метка7	-	Watch Trigger Gap	-
9	-	-	End_of_List	-

Отсчет циклов начинается с номера 0 и продолжается до значения, указанного в поле TTMLM.CCM (поскольку отсчет циклов начинается с 0, значение CCM = желаемое количество циклов – 1). Затем матричный цикл повторяется снова. Поле код цикла (CC) элемента события содержит два параметра:

разряд, в котором содержится старшая '1' – повторяемость выполнения события;

остальные разряды справа от старшей '1' – номер цикла с которого начнётся выполнение события.

Пример: CC = 7'b0010011 – повторение через каждые 16 циклов начиная с 3 цикла.

Поле метка времени (TM) определяет в какой момент времени цикла будет выполнено событие. Тип события (TYPE) определяет действие которое будет выполнено в момент, когда это событие станет активным. Если при выполнении события должна произойти передача сообщения то поле MNR определяет из какого элемента буфера Tx Buff (0..31) будет взято сообщение. Если при выполнении элемента события ожидается принятое сообщение, то поле MNR содержит номер фильтра, которому соответствовало принятое сообщение. В зависимости от значения FTYPE значение MNR будет относиться либо к фильтру стандартных сообщений, либо к фильтру расширенных.

На основании списка элементов событий и значения $TTMLM.CCM = 0x4$ (5 циклов) можно составить следующую системную матрицу:

Таблица 13.49. Системная матрица

Номер цикла СС	Метка1	Метка2	Метка3	Метка4	Метка5	Метка6	Метка7
0	Tx7* (событие 0)	-	-	TxRef	WatchTrigger	TxRefGap	WatchTriggerGap
1	Tx3 (событие 1)	-	Tx2 (событие 3)	TxRef	WatchTrigger	TxRefGap	WatchTriggerGap
2	-	-	-	TxRef	WatchTrigger	TxRefGap	WatchTriggerGap
3	Tx7 (событие 2)	-	Tx5 (событие 4)	TxRef	WatchTrigger	TxRefGap	WatchTriggerGap
4	Tx7 (событие 0)	-	-	TxRef	WatchTrigger	TxRefGap	WatchTriggerGap

*Tx_n – передача сообщения из буфера n.

Для элементов событий типа Tx_Ref_Trigger поле СС игнорируется, они выполняются в каждом цикле.

Инициализация режима планирования событий

Синхронизация работы контроллера начинается после сброса CCCR.INIT. Контроллер может работать как в режиме планирования событий (TTOCF.GEN = «0») так и в режиме планирования событий с внешней синхронизацией (TTOCF.GEN = «1»). Все узлы начинают работу со значением времени цикла = 0 и режимом синхронизации TTOST.SYS = «00» (не синхронизировано), все передачи запрещены, кроме передачи опорных сообщений. Узлы в режиме планирования с внешней синхронизацией будут игнорировать события Tx_Ref_Trigger и Watch_Trigger и вместо этого необходимо использовать Tx_Ref_Trigger_Gap и Watch_Trigger_Gap.

После конфигурации, контроллер в режиме time slave будет игнорировать события Watch_Trigger и Watch_Trigger_Gap до получения опорного сообщения.

Если контроллер не принял опорное сообщение до активизации Watch_Triggers, это приведёт к конфигурационной ошибке (TTOST.EL = «11»), контроллер выставит флаг прерывания TTIR.WT и перейдёт в режим монитора (CCCR.MON = «1»). В режиме монитора контроллер все ещё может принимать сообщения, но не может отправлять доминантные биты, а, следовательно, не может отправить флаг acknowledge.

Если в процессе синхронизации ошибок не обнаружено, первое опорное сообщение меняет статус синхронизации на TTOST.SYS = «01» (Синхронизация), второе (в зависимости от бита Next_is_Gap) на TTOST.SYS = «11» (In_Schedule) или TTOST.SYS = «10» (In_Gap), разрешая выполнение событий.

После конфигурации, контроллер в режиме потенциального time master передаст опорное сообщение, когда время цикла достигнет метки времени Tx_Ref_Trigger (Tx_Ref_Trigger_Gap). Элементы событий Watch_Trigger и Watch_Trigger_Gap будут игнорироваться пока контроллер не получит какое-либо сообщение или не передаст опорное сообщение.

Потенциальный time master станет текущим time master (TTOST.MS = «11») если он передал последнее опорное сообщение в цикле, в противном случае он будет резервным time master (TTOST.MS = «10»).

Внешняя синхронизация в режиме планирования событий

В режиме планирования с внешней синхронизацией (TTOCF.GEN = «1») отправка сообщений может прерываться паузами (Gaps) между циклами системной матрицы. При этом все узлы, подключённые к CAN сети, должны работать в режиме планирования с внешней синхронизацией.

Во время паузы (Gap), все передачи останавливаются, и шина CAN находится в состоянии ожидания. Пауза (Gap) заканчивается, когда следующее опорное сообщение начинает новый цикл. Пауза (Gap) начитается в конце цикла, который был начат опорным сообщением с установленным битом Next_is_Gap = «1». Паузы (Gaps) иницируются текущим time master.

Текущий time master может иницировать паузу (Gap) двумя способами:

1. Программно, записью TTOCN.NIG = «1». Бит Next_is_Gap будет передан как «1» в следующем опорном сообщении.
2. Аппаратно, если установлен TTOCN.GCS = «1», тогда сигнал на внешнем входе EXT_EVENT в момент отправки опорного сообщения иницирует паузу в конце цикла. При этом бит Next_is_Gap = «1» содержится в каждом опорном сообщении текущего time master, соответственно, time slave постоянно ожидает паузы.

Как только опорное сообщение отправлено, устанавливается бит TTOST.WFE, сообщая о предстоящей паузе (Gap) для time master и time slave. Пауза наступает по окончании последнего временного окна.

Для всех тайм мастеров, бит TTOST.GSI будет установлен, когда последний цикл закончится и начнётся пауза (Gap). Для всех узлов в режиме time slave, бит TTOST.GSI останется «0».

Когда потенциальный time master находится в состоянии In_Gap (TTOST.SYS = «10»), есть 4 способа выйти из этого состояния:

программно, записью TTOCN.FGP = «1»;

аппаратно, по заднему фронту сигнала на входе EXT_EVENT. Задний фронт на входе EXT_EVENT иницирует отправку опорного сообщения и окончание паузы;

любой потенциальный тайм мастер прервёт «паузу» (Gap), когда достигнет метки времени своего Tx_Ref_Trigger_Gap элемента, означающее что синхро-событие не произошло вовремя.

Установка TTOCN.FGP после начала паузы немедленно иницирует передачу опорного сообщения тем самым синхронизируя планировщик. Если TTOCN.FGP установлен до начала паузы (во время цикла) пауза не произойдёт.

В режиме планирования событий без внешней синхронизации, бит Next_is_Gap = «1» в опорном сообщении будет проигнорирован, как и сигнал на входе EXT_EVENT и биты TTOCN.NIG, TTOCN.FGP.

Локальное время, Время цикла, Глобальное время и внешняя синхронизация

Локальное время - это 16-битный циклический счётчик, увеличивающийся с каждым шагом NTU.

Любое сообщение принятое или переданное приводит к захвату локального в момент начала кадра (SoF), в этот момент значение локального времени сохраняется как Sync_Mark.

При приеме или передаче опорного сообщения, внутренние Ref_Mark обновляются значением Sync_Mark. Разница между Ref_Mark и текущим значением локального времени называется временем цикла (Время цикла = локальное время – Ref_Mark) и доступно в TTCTC.CT.

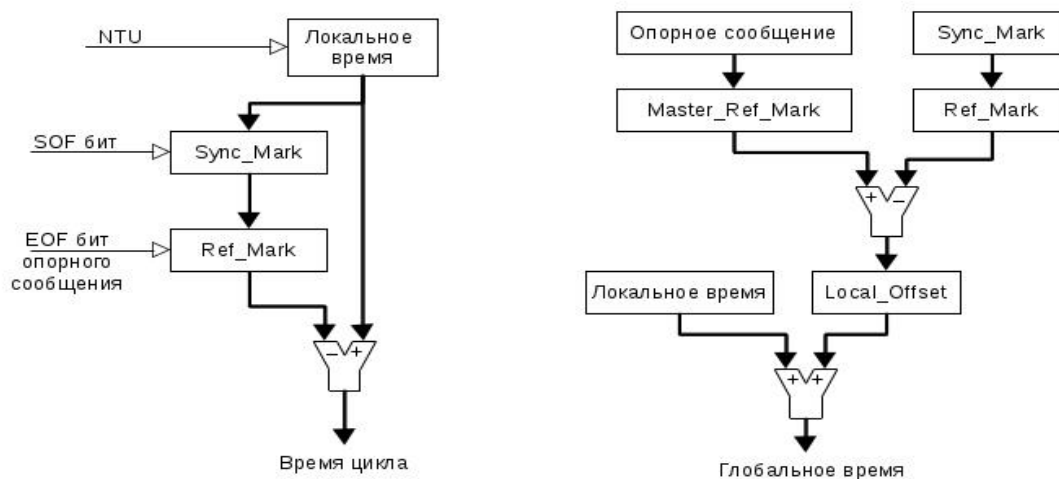


Рисунок 13.5. Синхронизация времени цикла и глобального времени

Начало отсчёта времени цикла – это первый бит (SOF) опорного сообщения. Следующее опорное сообщение запрашивается, когда время цикла достигает метки времени ТМ элемента события Tx_Ref_Trigger. Новое значение Sync_Mark захватывается на SOF бите передаваемого сообщения, но время цикла будет увеличиваться пока опорное сообщение не будет передано (или принято) и Sync_Mark будет воспринят как новый Ref_Mark. В этот момент, время цикла перезапустится. Как следствие, время цикла может никогда (кроме начального запуска) не принимать значение $< n$, где n это длина опорного сообщения выраженная в NTU.

Пример: На следующем рисунке схематично изображён момент начала нового цикла в момент появления опорного сообщения. Отсчёт времени цикла начинается с 6, т.к. с момента захвата значения Sync Mark до присваивания этого значения Ref Mark проходит время в $6(NTU)$, равное длительности опорного сообщения (значение будет отличаться от рабочего и приведено только для наглядности).

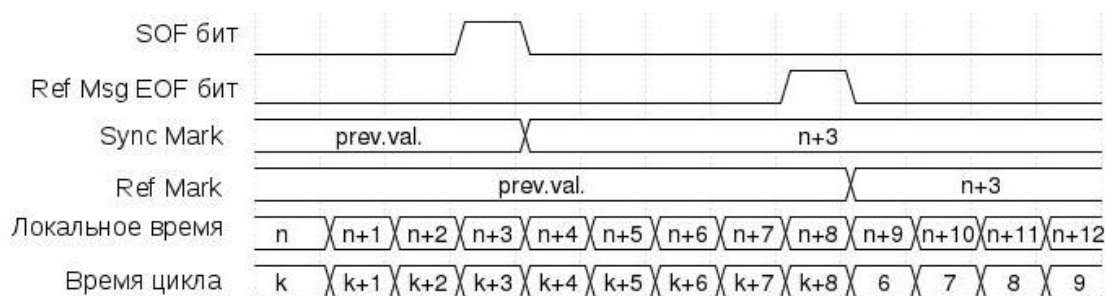


Рисунок 13.6. Смещение начала отсчёта времени цикла

Глобальное время поддерживается только в режиме Level2. После конфигурации, потенциальный time master будет транслировать свое локальное время, как глобальное время, для других узлов. Time master передаёт свои Ref_Marks как Master_Ref_Marks в

опорном сообщении, прочитанное из регистра TTLGT.GT. Глобальное время – это сумма локального времени узла и его локальное смещение.

Узел принявший опорное сообщение вычисляет локальное смещение относительно глобального времени сравнивая свой Ref_Mark с принятым Master_Ref_Mark. Глобальное время в представлении отдельного узла это локальное время+ локальное смещение. Потенциальный time master, который никогда не принимал опорного сообщения, будет иметь нулевое локальное смещение. Когда узел станет текущим time master, после приёма опорного сообщения, локальное смещение будет зафиксировано своим последним значением.

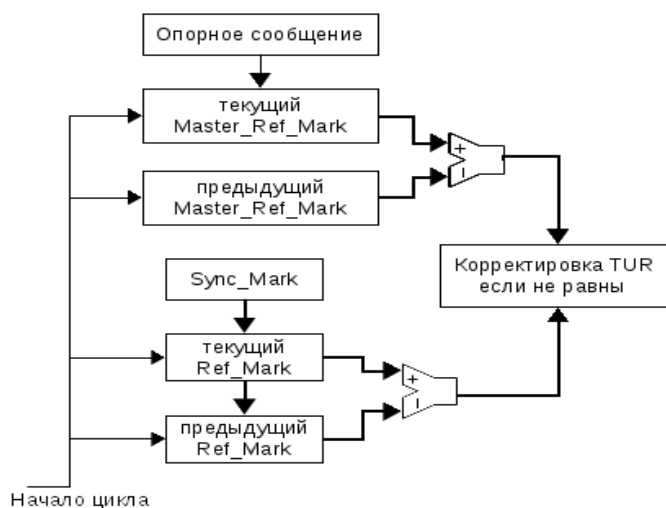


Рисунок 13.7. Схема компенсации смещения времени

Контроллер сравнивает длительность цикла в масштабе локального и глобального времени. Если между этими значениями есть разница - будет вычислено новое значение TURNA.NAV. Если размер девиации синхронизации не превышен $SD = |NC - TURNA.NAV| \leq SDL$ (Synchronisation Deviation Limit), значение TURNA.NAV будет обновлено. В противном случае автоматическая компенсация смещения будет отложена.

Корректировка рассчитывается по формуле $TUR_{\text{текущий}} = TUR_{\text{предыдущий}} * df$,

Где $df = (Ref_Mark_{\text{тек}} - Ref_Mark_{\text{пред}}) / (Master_Ref_Mark_{\text{тек}} - Master_Ref_Mark_{\text{пред}})$

В режиме Level2, статус автоматической компенсации смещения отражает бит TTOST.QCS. В режиме Level1, TTOST.QCS всегда «1».

TTOST.QGTP показывает совпадают ли собственное глобальное время узла и глобальное время узла, являющегося текущим time master. TTOST.QGTP всегда в «0» в режиме Level1, и когда превышен предел девиации синхронизации в режиме Level2 (TTOST.QCS = «0»).

Передача сообщений в режиме планирования событий

Передача осуществляется из буферов Tx Buff. Поле MNR элемента события указывает на элемент буфера Tx Buff содержащий сообщение, которое необходимо передать. Если сообщение предназначено для передачи более одного раза за цикл, поле MNR нескольких событий будет совпадать.

Данные должны обновляться регулярно и вовремя. Для избежания отправки не полностью обновленных сообщений рекомендуется:

Для событий Tx_Trigger_Single:

1. Проверить завершена ли предыдущая передача чтением TXBTO.
2. Обновить буфер передачи.
3. Сделать запрос на передачу TXBAR соответствующим битом.

Для событий Tx_Trigger_Continuous:

1. Сделать запрос на отмену передачи TXBCR сбросив бит в TXBRP.
2. Проверить завершена ли отмена передачи чтением TXBCF.
3. Обновить буфер передачи.
4. Сделать запрос на передачу TXBAR соответствующим битом.

Если буфер передачи, имеющий активный запрос на передачу, должен быть обновлен, необходимо сначала выставить запрос на отмену и проверить была ли она завершена прочитав TXBCF перед началом обновления.

Передача происходит, когда время цикла достигает метки времени события Tx_Trigger_Single или Tx_Trigger_Continuous. После успешной передачи в результате события Tx_Trigger_Single соответствующий бит TXBRP сбрасывается. После успешной передачи в результате события Tx_Trigger_Continuous соответствующий бит TXBRP остаётся установлен. Если передача окончилась неудачей из-за помех, она повторится в следующий раз, когда одно из событий станет активным.

13.4.13 Прерывания

Для работы с прерываниями в контроллере CANBIC предусмотрены регистры IR, IE, TTIR, TTIE.

Регистр IR – основной регистр прерываний.

Регистр IE – регистр разрешения прерываний в IR.

Регистр TTIR – регистр прерываний для режима планирования.

Регистр TTIE – регистр разрешения прерываний в TTIR.

Разряды регистра IR объединяются по «ИЛИ» и определяют значения выхода прерываний INT0.

Разряды регистра TTIR объединяются по «ИЛИ» и определяют значения выхода прерываний INT1.

14. КОНТРОЛЛЕР 1553ВІС

14.1 Общие положения

Контроллер 1553ВІС соответствует с ограничениями ГОСТ Р 52070-2003 (MIL-STD-1553В), см. главу Перечень ограничений. Контроллер предназначен для обмена последовательными данными в сети по мультиплексному каналу в полудуплексном режиме.

Контроллер имеет следующие основные параметры и функциональные возможности:
обмен данными со скоростью 1 Мбит/с в полудуплексном режиме;
поддержка основных шести основных и четырех групповых форматов сообщений;
поддержка трех режимов работы: контроллер канала (КК), оконечное устройство (ОУ) и монитор. Режим работы монитора может быть включен параллельно режиму КК или ОУ;
поддержка двух каналов связи А и В;
формирование маскируемых прерываний при успешном выполнении задания и при возникновении ошибок.

Контроллер имеет прямой доступ в память для приема/передачи данных. Работа контроллера осуществляется на частоте процессора (HCLK), работа магистрального последовательного интерфейса, осуществляется на частоте тактового сигнала 50МГц (CLK50).

14.2 Описание работы контроллера

В контроллере предусмотрены три режима работы: режим контроллера канала (КК), режим оконечного устройства (ОУ) и режим монитора. Режим работы монитора может быть включен параллельно режиму КК или ОУ.

Контроллер канала выполняет следующие функции:
управляет обменом информации;
осуществляет контроль принимаемой информации и состояния оконечных устройств.

Оконечное устройство выполняет следующие функции:
осуществляет сопряжение абонентов интерфейса с линией передачи информации.

Монитор выполняет следующие функции:
осуществляет прослушивание линии передач информации и отбор необходимой информации, используемой для проведения техобслуживания, регистрации эксплуатационных параметров, анализа решаемых задач и т.п.

Инициирование обмена информацией и управление передачей должен осуществлять только один контроллер канала.

Если в состав интерфейса входит несколько устройств, способных выполнять функции контроллера канала, то в каждый момент времени контроллером канала является одно из них, а остальные выполняют функции других устройств интерфейса. Обмен информацией осуществляется асинхронно методом двусторонней поочередной передачи информации по принципу «Команда – ответ».

Поток информации, передаваемой по магистрали, состоит из командных слов (КС), ответных слов (ОС) и слов данных (СД).

Поток информации может передаваться по одному из двух каналов устройства каналу А или каналу В. Каналы подключены к магистральной шине 0 и 1 соответственно.

14.3 Регистры контроллера

14.3.1 Перечень регистров контроллера

Перечень регистров контроллера 1553ВІС представлен в Таблица 14.1.

Таблица 14.1. Перечень регистров контроллера

Условное обозначение регистра	Название регистра	Адрес относительно базового	Исходное состояние
CTR	Регистр программной установки порта в исходное состояние	00	0000_0000
ROC1	Регистр ответного слова 1 (режим контроллера)	04	0000_0000
ROC2	Регистр ответного слова 2 (режим контроллера)	08	0000_0000
RA	Регистр адреса задания (режим контроллера)	0C	0000_0000
RS	Регистр состояния (режим контроллера или ОУ)	10	0000_0000
RR	Регистр режима	14	0000_0000
RPOC	Регистр паузы до ответного слова (режим контроллера)	18	0000_02BC
RPM	Регистр паузы между сообщениями (режим контроллера)	1C	0000_00C8
R_PAR	Регистр ожидания сигнала четности	20	0000_04B0
SYNC_CTR	Регистр управления синхронизацией	24	8096_4B3C
SYNCA_CSR	Регистр статуса синхронизации в канале А	28	0000_0000
SYNCB_CSR	Регистр статуса синхронизации в канале В	2C	0000_0000
DECODER_CTR	Регистр управления декодированием	30	0000_000A
DECODERA_CSR	Регистр статуса декодирования в канале А	34	0000_0000
DECODERB_CSR	Регистр статуса декодирования в канале В	38	0000_0000
DECODER_CSR	Дополнительный регистр статуса декодирования в каналах А и В	3C	0000_0000
RG_IRQ_SD	Регистр количества принятых слов данных для формирования прерываний (Монитор)	40	FFFF_FFFF
RG_IRQ_KS	Регистр количества принятых командных/ответных слов для формирования прерываний (Монитор)	44	FFFF_FFFF
RG_BA	Регистр базового адреса ¹	48	0000_0000
RG_BA_MON	Регистр базового адреса монитора ¹	50	0000_0000
RG_INTR	Регистр прерываний	54	0000_0000
RG_FLG_REC	Регистр флагов готовности данных по приему	58	0000_0000

¹ Необходимо указывать физические адреса.

Условное обозначение регистра	Название регистра	Адрес относительно базового	Исходное состояние
RG_FLG_TR	Регистр флагов готовности данных по выдаче	5C	0000_0000
RG_FLG_GR	Регистры флагов готовности данных по приему групповой информации	60	0000_0000
RG_ATI_SR	Регистр состояния входов ADDR[4:0] и ADDRП	64	0000_0000
TX_SYMB_TST	Регистр программной передачи произвольных слов	68	0000_0000
MON_CNT	Регистр счетчик принятых слов монитора	6C	0000_0000
IRQ_DMA	Регистр прерываний от DMA порта	70	0000_0000
RG_RESET_KU	Регистр сброса буфера данных команд управления	74	0000_0000
Регистры DMA ²			
CSR	Регистр управления и состояния (по чтению сброс битов «END» и» DONE»)	800	Не определено
CP	Регистр указателя цепочки	804	Не определено
IR	Регистр индекса	808	Не определено
RUN	На запись: Псевдорегистр управления состоянием бита RUN регистра CSR_ На чтение: Регистр управления и состояния без сброса битов «END» и» DONE»	80C	Не определено

14.3.2 Формат регистров контроллера

Регистр состояния RS

Формат регистра состояния RS для контроллера канала приведен в Таблица 14.2.

Таблица 14.2. Формат регистра RS для КК

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31:19	Резерв	RW	0	-
18	STOP	RW1C	0	Признак поступления команды STOP. Устанавливается в 1 при декодировании команды STOP из паспорта задания. Сбрасывается записью 1 в этот бит или запуском следующего задания, записью 1 в бит TASK этого регистра.
17	ERR_IRQ_KU	RW	0	Признак необработанного прерывания IRQ_KU. 1 – процессор не обработал предыдущее прерывание по приходу команды управления 0 – необработанных прерываний по приходу команды управления нет. В режиме КК не используется.

² Адреса регистров DMA приведены в справочных целях. Программа не должна работать с регистрами DMA напрямую, DMA управляется контроллером 1553BIC.

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
16	ERR_IRQ_EXCH	RW	0	Признак необработанного прерывания IRQ_EXCH. 1 – процессор не обработал предыдущее прерывание по обмену 0 – необработанных прерываний по обмену нет
15	TASK	RW	0	Признак наличия задания: 1 – задание еще не обработано; 0 – задание обработано или обрабатывается.
14	GENB	RW	0	Признак генерации в канале В: 1 – генерация в канале В; 0 – отсутствие генерации в канале В.
13	GENA	RW	0	Признак генерации в канале А: 1 – генерация в канале А; 0 – отсутствие генерации в канале А.
12	ERR	RW	0	Признак ошибки. Устанавливается при возникновении одного из признака ошибок: IB, ERA0, MEO, EBC, TO, признака ошибки по причине второй команды «переход» подряд, признака ошибки задания, превышении количества бит в слове или ошибки длины сообщения.
11	ERR_IB	RW	0	Признак ошибки IB.
10	ERR_ERA0	RW	0	Признак ошибки ERA0.
9	ERR_MEO	RW	0	Признак ошибки MEO.
8	ERR_EBC	RW	0	Признак ошибки EBC.
7	ERR_TO	RW	0	Признак ошибки TO.
6	ERR_JUMP	RW	0	Признак остановки по причине второй команды «переход» подряд.
5	ERR_TASK	RW	0	Признак ошибки задания (устанавливается при неправильной установке формата и/или командного слова).
4	END_TASK	RW	0	Признак окончания обработки задания: 0 – задание еще не обработано; 1 – задание обработано.
3:0	Резерв	RW	0	-

Формат регистра состояния RS для оконечного устройства приведен в Таблица 14.3.

Таблица 14.3. Формат регистра RS для ОУ

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31:22	Резерв	RW	0	-
21	TXINHA	R	0	Состояние выхода TXINHA
20	TXINHB	R	0	Состояние выхода TXINHB
19	Резерв	RW	0	-
18	STOP	RW1C	0	Признак поступления команды STOP Устанавливается в 1 при декодировании команды STOP из паспорта задания. Сбрасывается записью 1 в этот бит или запуском следующего задания, записью 1 в бит TASK этого регистра В режиме ОУ не используется

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
17	ERR_IRQ_KU	RW	0	Признак необработанного прерывания IRQ_KU 1 – процессора не обработал предыдущее прерывание по приходу команды управления 0 – необработанных прерываний по приходу команды управления нет
16	ERR_IRQ_EXCH	RW	0	Признак необработанного прерывания IRQ_EXCH 1 – процессора не обработал предыдущее прерывание по обмену 0 – необработанных прерываний по обмену нет
15	GC	RW	0	Признак групповой команды 0 – не групповая команда 1 – групповая команда
14	GENB	RW	0	Признак генерации в канале В 1 – генерация в канале В 0 – отсутствие генерации в канале В
13	GENA	RW	0	Признак генерации в канале А 1 – генерация в канале А 0 – отсутствие генерации в канале А
12	ERR_EXCH	RW	0	Признак ошибки при обмене (Сообщений принятое ОУ не соответствует временным характеристикам)
11	CHANNEL	RW	0	Номер канала, по которому произошел обмен 0 – канал А 1 – канал В
10	REC/TR	RW	0	Направление обмена 0 – Прием 1 – Передача
9:5	Subadress	RW	0	Подадрес/режим управления Коды подадреса от 00001 до 11110 Коды 00000 и 11111 – признак команды управления
4:0	Number of words/Command	RW	0	Количество слов Код 00000 соответствует 32 словам или коду команды управления

Регистр режима RR

Формат регистра состояния приведен в Таблица 14.4.

Таблица 14.4. Формат регистра RR

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31	POLARITY	RW	0	Определяет полярность сигналов TXPA/B, TXNA/B и RXPA/B, RXNA/B 0 – прямая полярность сигналов 1 – инверсная полярность сигналов
30:20	Резерв	R	0	-
19	EN_IRQ_ERR	RW	0	Разрешение прерываний по ошибке 0 – запрет прерываний по ошибке 1 – разрешение прерываний по ошибке В режиме ОУ и монитора не используется
18	ERR_MODE	RW	0	Разрешение режима работы без остановки по ошибке 1 – режим без остановки по ошибке разрешен 0 – режим без остановки по ошибке запрещен В режиме ОУ и монитора не используется
17	RXENB	RW	0	Разрешение работы приемников канала В
16	RXENA	RW	0	Разрешение работы приемников канала А
15:14	MODE	RW	0	Режим работы канала 00 – режимы ОУ и КК выключены 01 – режим КК 10 – режим ОУ 11 – режимы ОУ и КК выключены
13	MON	RW	0	Режим работы монитора 0 – монитор отключен 1 – монитор включен
12	Резерв		0	-
11	FLG	RW	0	Признак работы с флагами ОЗУ 0 – Работа без флагов ОЗУ 1 – Работа с флагами ОЗУ В режиме КК и монитора не используется
10	EN_IRQ_KU	RW	0	Признак разрешение прерываний по завершению команды управления 0 – запрет прерываний по завершению команды управления 1 – разрешение прерываний по завершению команды управления (для ОУ) В режиме КК и монитора не используется
9	FLG_KC/OC	RW	0	Признак определения флага KC/OC 0 – работа ОУ без определения флага KC/OC 1 – работа ОУ с определением флага KC/OC В случае работы ОУ с определением флага KC/OC P_ADDRESS[4] должен быть равен 1 В режиме КК и монитора не используется
8	EN_AMK	RW	0	Разрешение работы порта: 0 – работа порта запрещена; 1 – работа порта разрешена.
7	Резерв	R	0	-

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
6	EN_IRQ_EXCH	RW	0	Разрешение прерываний по обмену 0 – запрет прерываний по команде обмена 1 – разрешение прерываний по завершению обмена В режиме монитора не используется
5	EN_IRQ_GEN	RW	0	Разрешение прерываний по генерации в линии одного из каналов 0 – запрет прерываний по генерации 1 – разрешение прерываний по генерации В режиме монитора не используется
4	CONTR_INT	RW	0	Признак «Возможность устройству стать контроллером канала» 0 – Канал не может стать контроллером 1 – Канал может стать контроллером В режиме КК и монитора не используется
3	ERR_OU	RW	0	Признак "Неисправность ОУ" В режиме КК и монитора не используется
2	ERR_AB	RW	0	Признак "Неисправность абонента" В режиме КК и монитора не используется
1	AB_BUSY	RW	0	Признак "Абонент занят" В режиме КК и монитора не используется
0	ZPR	RW	0	Признак "Запрос на обслуживание" В режиме КК и монитора не используется

Регистр CTR

Формат регистра INIT приведен в Таблица 14.5.

Таблица 14.5. Формат регистра CTR

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31:1	Резерв	R	0	-
0	CTR	RW	0	Программная установка контроллера 1553ВІС в исходное состояние: 0 – контроллер 1553ВІС находится в исходном состоянии, программный сброс; 1 – контроллера 1553ВІС находится в рабочем состоянии

Регистры ответного слова 1,2 ROC1, ROC2

Формат регистров ROC1 и ROC2 приведен в Таблица 14.6.

Таблица 14.6. Формат регистров ROC1, ROC2

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31:16	Резерв	R	0	-
15:11	AT4-AT0	R	0	Адрес ОУ принятого ОС
10	ERR	R	0	Ошибка в сообщении (Сообщений принятое ОУ не соответствует временным характеристиками)
9	TR_OS	R	0	Передача ОС Аппаратно формируется равным 0
8	ZPR	R	0	Признак «Запрос на обслуживание»

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
7:5	REZ_BIT	R	0	Резервные биты ответного слова
4	REC_GC	R	0	Признак «Принята групповая команда»
3	AB_BUSY	R	0	Признак «Абонент занят»
2	ERR_AB	R	0	Признак «Неисправность абонента»
1	REC_C_INT	R	0	Признак «Принято управление интерфейсом»
0	ERR_OU	R	0	Признак «Неисправность оконечного устройства»

В случае отработки негрупповых сообщений и отсутствия ответного слова от ОУ1 КК записывает регистр ROC1 значением 16'hFFFF. При отсутствии ответного слова от ОУ2 КК записывает регистр ROC2 значением 16'hFFFF.

Регистр адреса RA

Формат регистра адреса RA приведен в Таблица 14.7.

Таблица 14.7. Формат регистра RA

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31:5	Резерв	R	0	-
4:0	AD_TASK	RW	0	Адрес паспорта задания

Регистр паузы до ответного слова RPOC

Формат регистра адреса RPOC приведен в Таблица 14.8.

Таблица 14.8. Формат регистра RPOC

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31:0	LENGTH_PAUSE_OS	RW	2BC	Максимальная длительность паузы до прихода ответного слова Настройка регистра должна быть выполнена до запуска задания на выполнение

Регистр паузы между сообщениями RPM

Формат регистра адреса RPM приведен в Таблица 14.9.

Таблица 14.9. Формат регистра RPM

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31:0	LENGTH_PAUSE_MESS	RW	C8	Минимальная длительность паузы между посылками Настройка регистра должна быть выполнена до запуска задания на выполнение

Регистр времени ожидания признака соответствия принимаемого слова требованиям ГОСТ Р 52070-2003 R_PAR

Формат регистра адреса R_PAR приведен в Таблица 14.10.

Таблица 14.10. Формат регистра R_PAR

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31:0	LENGTH_PAR	RW	4B0	Время ожидания сигнала контроля четности Настройка регистра должна быть выполнена до запуска задания на выполнение

Регистр контроля синхронизации SYNC_CTR

Формат регистра адреса SYNC_CTR приведен в Таблица 14.11.

Таблица 14.11. Формат регистра SYNC_CTR

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31	EN_ADJUSTMENT	RW	1	Разрешение подстройки окна синхронизации, в зависимости от ширины первого синхроимпульса
30:24	Резерв	R	0	-
23:16	SYNC_WIN	RW	96	Размер окна синхронизации
15:8	SYNC_MAX	RW	4B	Максимальная ширина синхросигнала
7:0	SYNC_MIN	RW	3C	Минимальная ширина синхросигнала

Регистр статуса синхронизации в канале A SYNCA_CSR

Формат регистра адреса SYNCA_CSR приведен в Таблица 14.12.

Таблица 14.12. Формат регистра SYNCA_CSR

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31	Резерв	R	0	-
30	COMMA	RW	0	Признак декодирования команды
29	SYNC_ERR	RW	0	Признак обнаружения нарушения временных характеристик синхроимпульса
28	NOT_SYNC	RW	0	Признак обнаружения нарушения ширины первого синхроимпульса
27:24	Резерв	R	0	-
23:16	TIMER_SYNC1	RW	0	Пересчитанный размер окна синхронизации
15:8	CNT_SYNC2	RW	0	Ширина второго синхроимпульса
7:0	CNT_SYNC1	RW	0	Ширина первого синхроимпульса

Регистр статуса синхронизации в канале B SYNCB_CSR

Формат регистра адреса SYNCB_CSR приведен в Таблица 14.13.

Таблица 14.13. Формат регистра SYNCB_CSR

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31	Резерв	R	0	-
30	COMMA	RW	0	Признак декодирования команды
29	SYNC_ERR	RW	0	Признак обнаружения нарушения временных характеристик синхроимпульса
28	NOT_SYNC	RW	0	Признак обнаружения нарушения ширины первого синхроимпульса
27:24	Резерв	R	0	-
23:16	TIMER_SYNC1	RW	0	Пересчитанный размер окна синхронизации
15:8	CNT_SYNC2	RW	0	Ширина второго синхроимпульса
7:0	CNT_SYNC1	RW	0	Ширина первого синхроимпульса

Регистр контроля декодирования DECODER_CTR

Формат регистра адреса DECODER_CTR приведен в Таблица 14.14.

Таблица 14.14. Формат регистра DECODER_CTR

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31:7	Резерв	R	0	-
6:0	DECODER_THRESHOLD	RW	A	Порог декодирования

Регистр статуса декодирования в канале A DECODERA_CSR

Формат регистра адреса DECODERA_CSR приведен в Таблица 14.15.

Таблица 14.15. Формат регистра DECODERA_CSR

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31:18	Резерв	R	0	-
17	BIT_ERROR	RW	0	Признак обнаружения нарушения ширины импульса данных
16	PARITY	RW	0	Признак ошибки четности 0 – без ошибки 1 – обнаружена ошибка четности
15:0	DECODING DATA	RW	0	Декодированные данные

Регистр статуса декодирования в канале B DECODERB_CSR

Формат регистра адреса DECODERB_CSR приведен в Таблица 14.16.

Таблица 14.16. Формат регистра DECODERB_CSR

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31:18	Резерв	R	0	-
17	BIT_ERROR	RW	0	Признак обнаружения нарушения ширины импульса данных

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
16	PARITY	RW	0	Признак ошибки четности 0 – без ошибки 1 – обнаружена ошибка четности
15:0	DECODING_DATA	RW	0	Декодированные данные

Регистр статуса декодирования DECODER_CSR

Формат регистра адреса DECODER_CSR приведен в Таблица 14.17.

Таблица 14.17. Формат регистра DECODER_CSR

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31	Резерв	R	0	-
30:24	MIN_BIT_LENGTH_CHB	RW	0	Минимальная суммарная ширина импульса данных прямого и инверсного (из всей последовательности) в канале В
23	Резерв	R	0	-
22:16	BIT_LENGTH_CHB	RW	0	Суммарная ширина импульса данных прямого и инверсного (первого после синхроимпульса) в канале В
15	Резерв	R	0	-
14:8	MIN_BIT_LENGTH_CHA	RW	0	Минимальная суммарная ширина импульса данных прямого и инверсного (из всей последовательности) в канале А
7	Резерв	R	0	-
6:0	BIT_LENGTH_CHA	RW	0	Суммарная ширина импульса данных прямого и инверсного (первого после синхроимпульса) в канале А

Регистр количества принятых слов данных для формирования прерываний RG_IRQ_SD

Формат регистра адреса RG_IRQ_SD приведен в Таблица 14.18.

Таблица 14.18. Формат регистра RG_IRQ_SD

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31:0	NUMBER_SD	RW	FFFF_FFFF	Количество слов данных для формирования прерываний При NUMBER_SD = 0 выдача прерываний отключена

Регистр количества принятых командных/ответных слов для формирования прерываний RG_IRQ_KS

Формат регистра адреса RG_IRQ_KS приведен в Таблица 14.19.

Таблица 14.19. Формат регистра RG_IRQ_KS

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31:0	NUMBER_KS	RW	FFFF_FFFF	Количество КС/ОС для формирования прерываний При NUMBER_KS = 0 выдача прерываний отключена

Регистр базового адреса RG_BA

Необходимо указывать физические адреса.

Формат регистра адреса RG_BA приведен в Таблица 14.20.

Таблица 14.20. Формат регистра RG_BA

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31:0	BASE_ADR	RW	0	Базовый адрес для настройки DMA

Регистр базового адреса RG_BA_MON

Необходимо указывать физические адреса.

Формат регистра адреса RG_BA_MON приведен в Таблица 14.21.

Таблица 14.21. Формат регистра RG_BA_MON

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31:0	BASE_ADR	RW	0	Базовый адрес для настройки DMA монитора

Регистр прерываний RG_INTR

Формат регистра адреса RG_INTR приведен в Таблица 14.22.

Таблица 14.22. Формат регистра RG_INTR

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31:6	Резерв	R	0	-
5	IRQ_ERR	RW1C	0	Прерывание по обнаружению ошибки при обмене
4	IRQ_SD	RW1C	0	Прерывание по приходу заданного числа слов данных
3	IRQ_KS	RW1C	0	Прерывание по приходу заданного числа командных/ответных слов
2	IRQ_GEN	RW1C	0	Прерывание по генерации в линии одного из каналов
1	IRQ_KU	RW1C	0	Прерывание по приходу команды управления в ОУ
0	IRQ_EXCH	RW1C	0	Прерывание по завершению обмена

Регистр флагов готовности данных по приему RG_FLG_REC

Формат регистра адреса RG_FLG_REC приведен в Таблица 14.23.

Таблица 14.23. Формат регистра RG_FLG_REC

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31	FLG_KU	RW1	0	Флаг готовности данных по приему слов с адресной командой управления
30	FLG30	RW1	0	Флаг готовности данных по приему по подадресу 30 (1 – флаг установлен)
29	FLG29	RW1	0	Флаг готовности данных по приему по подадресу 29 (1 – флаг установлен)
28	FLG28	RW1	0	Флаг готовности данных по приему по подадресу 28 (1 – флаг установлен)
27	FLG27	RW1	0	Флаг готовности данных по приему по подадресу 27 (1 – флаг установлен)
26	FLG26	RW1	0	Флаг готовности данных по приему по подадресу 26 (1 – флаг установлен)
25	FLG25	RW1	0	Флаг готовности данных по приему по подадресу 25 (1 – флаг установлен)
24	FLG24	RW1	0	Флаг готовности данных по приему по подадресу 24 (1 – флаг установлен)
23	FLG23	RW1	0	Флаг готовности данных по приему по подадресу 23 (1 – флаг установлен)
22	FLG22	RW1	0	Флаг готовности данных по приему по подадресу 22 (1 – флаг установлен)
21	FLG21	RW1	0	Флаг готовности данных по приему по подадресу 21 (1 – флаг установлен)
20	FLG20	RW1	0	Флаг готовности данных по приему по подадресу 20 (1 – флаг установлен)
19	FLG19	RW1	0	Флаг готовности данных по приему по подадресу 19 (1 – флаг установлен)
18	FLG18	RW1	0	Флаг готовности данных по приему по подадресу 18 (1 – флаг установлен)
17	FLG17	RW1	0	Флаг готовности данных по приему по подадресу 17 (1 – флаг установлен)
16	FLG16	RW1	0	Флаг готовности данных по приему по подадресу 16 (1 – флаг установлен)
15	FLG15	RW1	0	Флаг готовности данных по приему по подадресу 15 (1 – флаг установлен)
14	FLG14	RW1	0	Флаг готовности данных по приему по подадресу 14 (1 – флаг установлен)
13	FLG13	RW1	0	Флаг готовности данных по приему по подадресу 13 (1 – флаг установлен)
12	FLG12	RW1	0	Флаг готовности данных по приему по подадресу 12 (1 – флаг установлен)
11	FLG11	RW1	0	Флаг готовности данных по приему по подадресу 11 (1 – флаг установлен)
10	FLG10	RW1	0	Флаг готовности данных по приему по подадресу 10 (1 – флаг установлен)
9	FLG9	RW1	0	Флаг готовности данных по приему по подадресу 9 (1 – флаг установлен)
8	FLG8	RW1	0	Флаг готовности данных по приему по подадресу 8 (1 – флаг установлен)
7	FLG7	RW1	0	Флаг готовности данных по приему по подадресу 7 (1 – флаг установлен)
6	FLG6	RW1	0	Флаг готовности данных по приему по подадресу 6 (1 – флаг установлен)

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
5	FLG5	RW1	0	Флаг готовности данных по приему по подадресу 5 (1 – флаг установлен)
4	FLG4	RW1	0	Флаг готовности данных по приему по подадресу 4 (1 – флаг установлен)
3	FLG3	RW1	0	Флаг готовности данных по приему по подадресу 3 (1 – флаг установлен)
2	FLG2	RW1	0	Флаг готовности данных по приему по подадресу 2 (1 – флаг установлен)
1	FLG1	RW1	0	Флаг готовности данных по приему по подадресу 1 (1 – флаг установлен)
0	Резерв	R	0	-

Регистр флагов готовности данных по выдаче RG_FLG_TR

Формат регистра адреса RG_FLG_TR приведен в Таблица 14.24.

Таблица 14.24. Формат регистра RG_FLG_TR

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31	FLG_KU	RW1	0	Флаг готовности данных по выдаче слов с адресной командой управления
30	FLG30	RW1	0	Флаг готовности данных по выдаче по подадресу 30 (1 – флаг установлен)
29	FLG29	RW1	0	Флаг готовности данных по выдаче по подадресу 29 (1 – флаг установлен)
28	FLG28	RW1	0	Флаг готовности данных по выдаче по подадресу 28 (1 – флаг установлен)
27	FLG27	RW1	0	Флаг готовности данных по выдаче по подадресу 27 (1 – флаг установлен)
26	FLG26	RW1	0	Флаг готовности данных по выдаче по подадресу 26 (1 – флаг установлен)
25	FLG25	RW1	0	Флаг готовности данных по выдаче по подадресу 25 (1 – флаг установлен)
24	FLG24	RW1	0	Флаг готовности данных по выдаче по подадресу 24 (1 – флаг установлен)
23	FLG23	RW1	0	Флаг готовности данных по выдаче по подадресу 23 (1 – флаг установлен)
22	FLG22	RW1	0	Флаг готовности данных по выдаче по подадресу 22 (1 – флаг установлен)
21	FLG21	RW1	0	Флаг готовности данных по выдаче по подадресу 21 (1 – флаг установлен)
20	FLG20	RW1	0	Флаг готовности данных по выдаче по подадресу 20 (1 – флаг установлен)
19	FLG19	RW1	0	Флаг готовности данных по выдаче по подадресу 19 (1 – флаг установлен)
18	FLG18	RW1	0	Флаг готовности данных по выдаче по подадресу 18 (1 – флаг установлен)
17	FLG17	RW1	0	Флаг готовности данных по выдаче по подадресу 17 (1 – флаг установлен)
16	FLG16	RW1	0	Флаг готовности данных по выдаче по подадресу 16 (1 – флаг установлен)

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
15	FLG15	RW1	0	Флаг готовности данных по выдаче по подадресу 15 (1 – флаг установлен)
14	FLG14	RW1	0	Флаг готовности данных по выдаче по подадресу 14 (1 – флаг установлен)
13	FLG13	RW1	0	Флаг готовности данных по выдаче по подадресу 13 (1 – флаг установлен)
12	FLG12	RW1	0	Флаг готовности данных по выдаче по подадресу 12 (1 – флаг установлен)
11	FLG11	RW1	0	Флаг готовности данных по выдаче по подадресу 11 (1 – флаг установлен)
10	FLG10	RW1	0	Флаг готовности данных по выдаче по подадресу 10 (1 – флаг установлен)
9	FLG9	RW1	0	Флаг готовности данных по выдаче по подадресу 9 (1 – флаг установлен)
8	FLG8	RW1	0	Флаг готовности данных по выдаче по подадресу 8 (1 – флаг установлен)
7	FLG7	RW1	0	Флаг готовности данных по выдаче по подадресу 7 (1 – флаг установлен)
6	FLG6	RW1	0	Флаг готовности данных по выдаче по подадресу 6 (1 – флаг установлен)
5	FLG5	RW1	0	Флаг готовности данных по выдаче по подадресу 5 (1 – флаг установлен)
4	FLG4	RW1	0	Флаг готовности данных по выдаче по подадресу 4 (1 – флаг установлен)
3	FLG3	RW1	0	Флаг готовности данных по выдаче по подадресу 3 (1 – флаг установлен)
2	FLG2	RW1	0	Флаг готовности данных по выдаче по подадресу 2 (1 – флаг установлен)
1	FLG1	RW1	0	Флаг готовности данных по выдаче по подадресу 1 (1 – флаг установлен)
0	Резерв	R	0	-

Регистр флагов готовности данных по групповому приему RG_FLG_GR

Формат регистра адреса RG_FLG_GR приведен в Таблица 14.25.

Таблица 14.25. Формат регистра RG_FLG_GR

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31	FLG_KU	RW1	0	Флаг готовности данных по приему слов групповой команды управления
30	FLG30	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 30 (1 – флаг установлен)
29	FLG29	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 29 (1 – флаг установлен)
28	FLG28	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 28 (1 – флаг установлен)
27	FLG27	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 27 (1 – флаг установлен)
26	FLG26	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 26 (1 – флаг установлен)
25	FLG25	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 25 (1 – флаг установлен)

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
24	FLG24	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 24 (1 – флаг установлен)
23	FLG23	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 23 (1 – флаг установлен)
22	FLG22	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 22 (1 – флаг установлен)
21	FLG21	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 21 (1 – флаг установлен)
20	FLG20	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 20 (1 – флаг установлен)
19	FLG19	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 19 (1 – флаг установлен)
18	FLG18	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 18 (1 – флаг установлен)
17	FLG17	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 17 (1 – флаг установлен)
16	FLG16	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 16 (1 – флаг установлен)
15	FLG15	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 15 (1 – флаг установлен)
14	FLG14	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 14 (1 – флаг установлен)
13	FLG13	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 13 (1 – флаг установлен)
12	FLG12	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 12 (1 – флаг установлен)
11	FLG11	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 11 (1 – флаг установлен)
10	FLG10	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 10 (1 – флаг установлен)
9	FLG9	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 9 (1 – флаг установлен)
8	FLG8	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 8 (1 – флаг установлен)
7	FLG7	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 7 (1 – флаг установлен)
6	FLG6	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 6 (1 – флаг установлен)
5	FLG5	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 5 (1 – флаг установлен)
4	FLG4	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 4 (1 – флаг установлен)
3	FLG3	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 3 (1 – флаг установлен)
2	FLG2	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 2 (1 – флаг установлен)
1	FLG1	RW1	0	Флаг готовности данных по приему групповой информации по подадресу 1 (1 – флаг установлен)
0	Резерв	R	0	-

Регистр статуса входов ADDR и ADDRП - RG_ATI_SR

Формат регистра адреса RG_ATI_SR приведен в Таблица 14.26.

Таблица 14.26. Формат регистра RG_ATI_SR

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31:6	Резерв	R	0	-
5	ADDRP	R	0	Отображает состояние входа ADDRП (при программном сбросе состояние бита равно 0)
4:0	ADDR	R	0	Отображает состояние входа ADDR (при программном сбросе состояние бит равно 0)

Регистр TX_SYMB_TST

Формат регистра адреса TX_SYMB_TST приведен в Таблица 14.27.

Таблица 14.27. Формат регистра TX_SYMB_TST

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31	SEND	RW1	0	Установка в 1 этого бита выполняет запрос на запуск передачи слова. При начале выдачи слова из контроллера бит аппаратно сбросится в 0.
30	Резерв	R	0	-
29:27	SYNC_DAT_EN	RW	0	Разрешение подмены битов синхроимпульса на значения, заданные в поле SYNC_DAT 0 – подмена запрещена 1 – подмена разрешена SYNC_DAT_EN[0] – разрешение подмены первого бита синхроимпульса SYNC_DAT_EN[1] – разрешение подмены второго бита синхроимпульса SYNC_DAT_EN[2] – разрешение подмены третьего бита синхроимпульса Если подмена запрещена передается правильный синхроимпульс.
26:24	SYNC_DAT	RW	0	Значения, на которые подменяются, биты синхроимпульса SYNC_DAT[0] – значение первого бита SYNC_DAT[1] – значение второго бита SYNC_DAT[2] – значение третьего бита
23	PARITY_INV	RW	0	0 – бит четности выдается в прямом виде 1 – разрешение инверсии бита четности выходного слова
22	CHANEL	RW	0	0 – передача по каналу А 1 – передача по каналу В
21	SC/SD	RW	0	0 – передача слова данных 1 – передача командного слова

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
20:16	BI_PHASE_ERR	RW	0	Устанавливает номер бита, для которого будет нарушено бифазное кодирование Подтяжка обоих выходов в 0 или 1 единицу для данных зависит от значения TX_CODE При TX_CODE[x] = 1 – подтяжка к 1. При TX_CODE[x] = 0 – подтяжка к 0 Для битов синхроимпульса подтяжка к 0 или 1 определяется значением SYNC_DAT[x]
15:0	TX_CODE	RW	0	Данные на передачу

Примечание. Данный регистр используется исключительно для целей тестирования и при штатной работе устройства его использовать нельзя.

Регистр MON_CNT

Формат регистра адреса MON_CNT приведен в Таблица 14.28.

Таблица 14.28. Формат регистра MON_CNT

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31:0	WD_COUNTER	RW	0	Счетчик обработанных монитором и переданных в DMA буфер слов

Регистр IRQ_DMA

Формат регистра адреса IRQ_DMA приведен в Таблица 14.29.

Таблица 14.29. Формат регистра IRQ_DMA

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31:6	Резерв	R	0	-
5	IRQ_MASK_CH1	RW	0	Маска прерывание от первого канала DMA порта 1 – выдача прерывания разрешена 0 – выдача прерывания запрещена
4	IRQ_MASK_CH0	RW	0	Маска прерывание от нулевого канала DMA порта 1 – выдача прерывания разрешена 0 – выдача прерывания запрещена
3	DBL_IRQ_CH1	RW1C	0	Повторное прерывание от первого канала DMA порта Устанавливается аппаратно при приходе запроса на прерывание от первого канала и IRQ_CH1=1, т.е. если прерывание по каналу еще не обработано и приходит новый запрос на прерывание. Сбрасывается записью 1 в этот бит
2	DBL_IRQ_CH0	RW1C	0	Повторное прерывание от нулевого канала DMA порта Устанавливается аппаратно при приходе запроса на прерывание от нулевого канала и IRQ_CH0=1, т.е. если прерывание по каналу еще не обработано и приходит новый запрос на прерывание. Сбрасывается записью 1 в этот бит

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
1	IRQ_CH1	RW1C	0	Прерывание от первого канала DMA порта Устанавливается аппаратно, сбрасывается записью 1 в этот бит. Установка данного бита не зависит от маски
0	IRQ_CH0	RW1C	0	Прерывание от нулевого канала DMA порта Устанавливается аппаратно, сбрасывается записью 1 в этот бит Установка данного бита не зависит от маски

Регистр RG_RESET_KU

Формат регистра адреса RG_RESET_KU приведен в Таблица 14.30.

Таблица 14.30. Формат регистра RG_RESET_KU

Номер разряда	Условное обозначение	Режим	Исх. сост.	Назначение
31:7	Резерв	R	0	-
6	RESET_GR_KU_15	RW1C	0	Сброс в буфере слова данных переданного с групповой КУ код 15 Сброс осуществляется записью 1 в этот бит. Читается всегда 0
5	RESET_GR_KU_14	RW1C	0	Сброс в буфере слова данных переданного с групповой КУ код 14 Сброс осуществляется записью 1 в этот бит. Читается всегда 0
4	RESET_GR_KU_11	RW1C	0	Сброс в буфере слова данных переданного с групповой КУ код 11 Сброс осуществляется записью 1 в этот бит. Читается всегда 0
3	Резерв	R	0	-
2	RESET_KU_15	RW1C	0	Сброс в буфере слова данных переданного с КУ код 15 Сброс осуществляется записью 1 в этот бит. Читается всегда 0
1	RESET_KU_14	RW1C	0	Сброс в буфере слова данных переданного с КУ код 14 Сброс осуществляется записью 1 в этот бит. Читается всегда 0
0	RESET_KU_11	RW1C	0	Сброс в буфере слова данных переданного с КУ код 11 Сброс осуществляется записью 1 в этот бит. Читается всегда 0

14.4 Форматы слов

Для пересылки сообщений по информационной магистрали используются три типа слов: командное слово (КС), слово данных (СД) и ответное слово (ОС). Каждое слово начинается с сигнала половинной синхронизации (с синхросигнала) и имеет 17 информационных разрядов, включая разряд контроля по четности.

14.4.1 Командное слово

Командное слово содержит:

синхросигнал;

поле «Адрес ОУ»;

разряд «Прием – передача» (К);

поле «Подадрес/Режим управления»;

поле «Число СД/Код команды»;

разряд контроля по четности (Р).

Структура командного слова приведена на Рисунок 14.1.

Разрядная сетка	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
Командное слово	Синхросигнал			Адрес ОУ					К	Подадрес/Режим управления					Число СД/Код команды					Р

Рисунок 14.1. Структура командного слова

Синхросигнал имеет длительность, составляющую три промежутка времени передачи одного двоичного разряда. Полярность первой половины синхросигнала положительная, а второй – отрицательная.

Поле «Адрес ОУ» содержит код адреса ОУ, которому предназначено КС. Диапазон допустимых кодов адреса ОУ от 00000 до 11110. КС с кодом адреса 11111 является групповой командой, сообщение, содержащее групповую команду, является групповым сообщением.

Разряд «Прием-передача» указывает на действие, которое требуется выполнить ОУ, прием или передачу данных. Логический нуль означает, что ОУ должно выполнять прием, а логическая единица – передачу данных.

Поле «Подадрес/Режим управления» содержит код подадреса ОУ (от 00001 до 11110) или код признака режима управления (коды 00000 и 11111). КС с кодом 00000 или 11111 в поле «Подадрес/Режим управления» является командой управления (КУ). Коды от 00001 до 11110 в поле «Подадрес/Режим управления» являются подадресом оконечного устройства, а КС в этом случае – командой обмена данными.

Поле «Число СД/Код команды» содержит код числа слов данных, которые должны быть переданы или приняты ОУ в связи с получением адресованного ему командного слова, или код команды управления. В одном сообщении может быть передано или принято не более 32 слов данных. Численное значение двоичных кодов, обозначающих число слов данных, должно соответствовать их десятичным эквивалентам, за исключением кода 00000, которые соответствует числу 32.

Разряд контроля по четности принимает такое значение, чтобы сумма значений всех 17 информационных разрядов слова была нечетной.

14.4.2 Слово данных

Слово данных содержит:

синхросигнал;

данные;
 разряд контроля по четности (P).

Структура слова данных приведена на Рисунок 14.2.

Разрядная сетка	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
Слово данных	Синхросигнал			Данные																P

Рисунок 14.2. Структура слова данных

Синхросигнал имеет длительность, составляющую три промежутка времени передачи одного двоичного разряда. Полярность первой половины синхросигнала отрицательная, а второй – положительная.

Поле данных содержит передаваемые данные.

Разряд контроля по четности принимает такое значение, чтобы сумма значений всех 17 информационных разрядов слова была нечетной.

14.4.3 Ответное слово

Ответное слово содержит:

Синхросигнал;

Поле «Адрес ОУ»;

Поле разрядов признаков состояния: ошибка в сообщении, передача ОС, запрос на обслуживание, принята групповая команда, абонент занят, неисправность абонента, принято управление интерфейсом, неисправность ОУ;

Разряд контроля по четности (P).

Структура ответного слова приведена на Рисунок 14.3.

Разрядная сетка	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
Ответное слово	Синхросигнал			Адрес ОУ				Ошибка в сообщении	Передача ОС	Запрос на обслуживание	Резерв			Принята групповая команда	Абонент занят	Неисправность абонента	Принято управление интерфейсом	Неисправность ОУ	P	

Рисунок 14.3. Структура ответного слова

14.5 Форматы сообщений

Сообщения, передаваемые по информационной магистрали, имеют формат, соответствующий форматам основных или групповых сообщений и соответствуют ГОСТ Р 52070-2003. Другие форматы для передачи по информационной магистрали не предусмотрены.

Предусмотрено шесть основных форматов, они используются для передачи информации предназначенной одному ОУ и предусматривают выдачу ОС. Пауза перед выдачей ОУ ответного слова (t_1) формируется аппаратно в пределах от 4 до 12 мкс. Пауза между сообщениями (t_2) формируется аппаратно КК и составляет не менее 4 мкс.

Сообщение формата 1 предназначено для передачи данных от КК к ОУ. Его структура представлена на Рисунок 14.4.



Рисунок 14.4. Структура сообщения формата 1

Сообщение формата 2 предназначено для передачи данных от ОУ к КК. Его структура представлена на Рисунок 14.5.

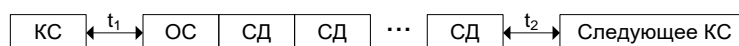


Рисунок 14.5. Структура сообщения формата 2

Сообщение формата 3 предназначено для передачи данных от ОУ к ОУ. Его структура представлена на Рисунок 14.6.



Рисунок 14.6. Структура сообщения формата 3

Сообщение формата 4 предназначено для передачи команды управления без СД от КК к ОУ. Его структура представлена на Рисунок 14.7.

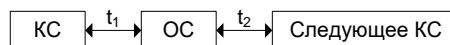


Рисунок 14.7. Структура сообщения формата 4

Возможные команды управления для сообщения формата 4:

- принять управление интерфейсом (код - 0);
- синхронизация (код - 1);
- передать ответное слово (код - 2);
- начать самоконтроль ОУ (код - 3);
- блокировать передатчик (код - 4);
- разблокировать передатчик (код - 5);
- блокировать признак неисправности ОУ (код - 6);
- разблокировать признак неисправности ОУ (код - 7);
- установить ОУ в исходное состояние (код - 8).

Сообщение формата 5 предназначено для передачи команды управления от КК к ОУ и прием СД от ОУ. Его структура представлена на Рисунок 14.8.

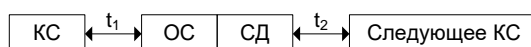


Рисунок 14.8. Структура сообщения формата 5

Возможные команды управления для сообщения формата 5:

передать векторное слово (код - 10);
передать последнюю команду (код - 12);
передать слово ВСК ОУ (код - 13).

Сообщение формата 6 предназначено для передачи команды управления и СД от КК к ОУ. Его структура представлена на Рисунок 14.9.

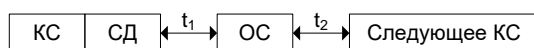


Рисунок 14.9. Структура сообщения формата 6

Возможные команды управления для сообщения формата 6:
синхронизация (код - 11);
блокировать i -й передатчик (код - 14);
разблокировать i -й передатчик (код - 15).

Предусмотрено четыре групповых форматов, они используются для передачи информации предназначенной одновременно нескольким ОУ и не предусматривают выдачу ОС. Пауза между сообщениями (t_2) формируется аппаратно КК и составляет не менее 4 мкс.

Групповое сообщение формата 7 предназначено для передачи СД от КК к нескольким ОУ. Его структура представлена на Рисунок 14.10.



Рисунок 14.10. Структура сообщения формата 7

Групповое сообщение формата 8 предназначено для передачи СД от ОУ к нескольким ОУ. Его структура представлена на Рисунок 14.11.

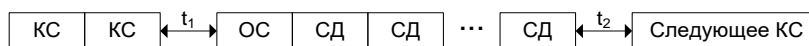


Рисунок 14.11. Структура сообщения формата 8

Групповое сообщение формата 9 предназначено для передачи команды управления без СД от КК к нескольким ОУ. Его структура представлена на Рисунок 14.12.

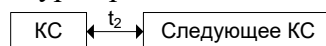


Рисунок 14.12. Структура сообщения формата 9

Возможные команды управления для группового сообщения формата 9:
синхронизация (код - 1);
начать самоконтроль ОУ (код - 3);
блокировать передатчик (код - 4);
разблокировать передатчик (код - 5);
блокировать признак неисправности ОУ (код - 6);
разблокировать признак неисправности ОУ (код - 7);
установить ОУ в исходное состояние (код - 8).

Групповое сообщение формата 10 предназначено для передачи команды управления со СД от КК к нескольким ОУ. Его структура представлена на Рисунок 14.13.

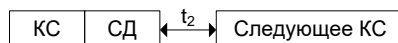


Рисунок 14.13. Структура сообщения формата 10

Возможные команды управления для группового сообщения формата 10:

синхронизация (код - 11);

блокировать i -й передатчик (код - 14);

разблокировать i -й передатчик (код – 15).

14.6 Команды управления

Командное слово с кодом 00000 или 11111 в поле «Подадрес/Режим управления» является командой управления и соответствуют ГОСТ Р 52070-2003. Команды управления и их кода представлены в Таблица 14.31.

Таблица 14.31. Команды управления

Разряд «прием-передача»	Код команды	Команда управления	Применение в групповом сообщении	Применение со словом данных
1	00000	Принять управление интерфейсом	Нет	Нет
1	00001	Синхронизация	Да	Нет
1	00010	Передать ОС	Нет	Нет
1	00011	Начать самоконтроль ОУ	Да	Нет
1	00100	Блокировать передатчик	Да	Нет
1	00101	Разблокировать передатчик	Да	Нет
1	00110	Блокировать признак неисправности ОУ	Да	Нет
1	00111	Разблокировать признак неисправности ОУ	Да	Нет
1	01000	Установить ОУ в исходное состояние.	Да	Нет
1	От 01001 до 01111	Резерв	-	Нет
1	10000	Передать векторное слово	Нет	Да
0	10001	Синхронизация (С СД)	Да	Да
1	10010	Передать последнюю команду	Нет	Да
1	10011	Передать слова ВСК ОУ	Нет	Да
0	10100	Блокировать i -й передатчик	Да	Да
0	10101	Разблокировать i -й передатчик	Да	Да
0	От 10110 до 11111	Резерв	-	Да

КУ «Принять управление интерфейсом» (Код - 0)

При приходе команды «Принять управление интерфейсом», контроллер анализирует бит CONTR_INT регистра RR. В случае если канал может стать контроллером, ОУ выдает ОС

с признаком «Принято управление интерфейсом». Дополнительных аппаратных действий не происходит. При приходе КУ «Принять управление интерфейсом» в поля регистра RS ОУ «Subadress» записывается значение 5'b11111, «Number of words/Command» записывается значение 5'b00000. Смена режима канала производится программно.

КУ «Синхронизация» (Код – 1 или код – 11)

При приходе команды «Синхронизация» на ОУ, дополнительных аппаратных действий не предусмотрено.

КУ «Передать ОС» (Код - 2)

При приходе команды «Передать ОС» ОУ выдает ответное слово предыдущего сообщения.

Примечание. Если до прихода команды «Передать ОС» не было других команд, то в ответном слове будут все нули.

КУ «Начать самоконтроль ОУ» (Код - 3)

При приходе команды «Начать самоконтроль ОУ» на ОУ, дополнительных аппаратных действий не предусмотрено.

КУ «Блокировать передатчик» (Код - 4)

При приходе команды «Блокировать передатчик» по каналу А, оконечное устройство блокирует канал В.

При приходе команды «Блокировать передатчик» по каналу В, оконечное устройство блокирует канал А.

КУ «Разблокировать передатчик» (Код - 5)

При приходе команды «Разблокировать передатчик» по каналу А, оконечное устройство разблокирует канал В.

При приходе команды «Разблокировать передатчик» по каналу В, оконечное устройство разблокирует канал А.

Подробнее о блокировке/разблокировки каналов в разделе блокировка каналов оконечного устройства.

КУ «Блокировать признак неисправности ОУ» (Код - 6)

При приходе команды «Блокировать признак неисправности ОУ» последующие ОС пойдут без признака «Неисправность ОУ».

КУ «Разблокировать признак неисправности ОУ» (Код - 7)

При приходе команды «Разблокировать признак неисправности ОУ» в случае, если до прихода данной команды признак «Неисправность ОУ» был заблокирован, и если признак «Неисправность ОУ» активен, последующие ответные слова пойдут с единицей в признаке «Неисправность ОУ».

КУ «Установить ОУ в исходное состояние» (Код - 8)

При приходе команды «Установить ОУ в исходное состояние» происходит разблокировка заблокированных ранее каналов, а также сброс признаков неисправности ОУ.

КУ «Передать векторное слово» (Код - 10)

При приходе команды «Передать векторное слово» ОУ передает слово данных, дополнительных аппаратных действий не предусмотрено.

КУ «Передать последнюю команду» (Код - 12)

При приходе команды «Передать последнюю команду» ОУ передает ответное слово с признаками, соответствующими предыдущей команде и выдает слово данных, разряды которого соответствуют последней принятой команде, за исключением команды «Передать последнюю команду».

Примечание. Если до прихода команды «Передать последнюю команду» не было других команд, то в ответном слове и в слове данных будут все нули.

КУ «Передать слово ВСК ОУ» (Код - 13)

При приходе команды «Передать слова ВСК ОУ» ОУ передает слово данных, дополнительных аппаратных действий не предусмотрено.

КУ «Блокировать i-й передатчик» (Код - 14)

При приходе команды «Блокировать i-й передатчик» ОУ записывает слово данных, дополнительных аппаратных действий не предусмотрено.

КУ «Разблокировать i-й передатчик» (Код - 15)

При приходе команды «Разблокировать i-й передатчик» ОУ записывает слово данных, дополнительных аппаратных действий не предусмотрено.

В случае прихода на оконечное устройство команды управления не представленной в Таблица 14.31, канал в ответном слове выставит признак «Абонент занят».

14.7 Распределение адресного пространства

Обращения к памяти контроллером осуществляется посредством DMA порта.

Контроллер в режиме КК посредством DMA считывает задания из памяти, записывает отчет о выполнении задания в память, записывает данные в память или считывает данные из памяти. Для каждой из четырех операций обращения в память выделено отдельное адресное пространство. Распределение адресного пространства для КК приведено в Таблица 14.32, где A[31:0] – адрес памяти, BA – базовый адрес из регистра RG_BA, RA[4:0] – значение поля AD_TASK регистра RA, ADR_DAT – адрес, прочитанный из задания. Т.к. DMA оперирует данными выровненными по границе 64-х разрядных слов, младшие разряды A[2:0] должны быть равны 0.

Таблица 14.32. Распределение адресного пространства в режиме КК

Назначение	A[31:13]	A[12]	A[11:7]	A[6]	A[5:3]	Структура слова (64 разряда)			
						63:48	47:32	31:16	15:0
Область заданий	BA	0	00000-11111 RA[4:0]	1	000	Командное слово 2 (для 3-го и 8-го форматов, в остальных случаях 0) KS2	Адрес зоны данных (для форматов со словами данных) ADR_DAT	Командное слово 1 KS1	Паспорт задания TASK
Область отчетов	BA	0	00000-11111 RA[4:0]	0	000				Отчет о выполненном задании

Назначение	A[31:13]	A[12]	A[11:7]	A[6]	A[5:3]	Структура слова (64 разряда)			
						63:48	47:32	31:16	15:0
Область данных на чтение	BA	1	00000-11111 ADR_DAT	1	000	4-е слово	3-е слово	2-е слово	1-е слово
				
					111	32-е слово	31-е слово	30-е слово	29-е слово
Область данных на запись	BA	1	00000-11111 ADR_DAT	0	000	4-е слово	3-е слово	2-е слово	1-е слово
				
					111	32-е слово	31-е слово	30-е слово	29-е слово

Контроллер в режиме ОУ посредством DMA считывает данные из памяти, записывает данные, слово данных из КУ или флаговые слова в память. Для каждой операции обращения в память выделено отдельное адресное пространство. Распределение адресного пространства для ОУ приведено в Таблица 14.33, где A[31:0] – адрес памяти, BA – базовый адрес из регистра RG_BA. Т.к. DMA оперирует данными выровненными по границе 64-х разрядных слов, младшие разряды A[2:0] должны быть равны 0.

Таблица 14.33. Распределение адресного пространства в режиме ОУ

Назначение	A[31:13]	A[12]	A[11:7]	A[6]	A[5:3]	Структура слова (64 разряда)			
						63:48	47:32	31:16	15:0
Область адресов флаговых слов приема и выдачи массивов информации из МК в ОУ	BA	0	00000	0	000	Флаговое слово по подадресу 4	Флаговое слово по подадресу 3	Флаговое слово по подадресу 2	Флаговое слово по подадресу 1
				
					111	Флаговое слово команды управления	Флаговое слово по подадресу 30	Флаговое слово по подадресу 29	
Область размещения массивов, данных из ОУ в МК в форматах основных сообщений (30 массивов по 32 слова)	BA	0	00001-11110	1 – при чтении из памяти 0 – при записи в память	000	4-е слово	3-е слово	2-е слово	1-е слово
				
					111	32-е слово	31-е слово	30-е слово	29-е слово
Область адресов для дополнительных слов данных, принимаемых ОУ с адресной командой управления	BA		11111	1 – при чтении из памяти 0 – при записи в память	000	Слово данных команды управления с кодом 3	Слово данных команды управления с кодом 2	Слово данных команды управления с кодом 1	Слово данных команды управления с кодом 0
				
					111	Слово данных команды управления с кодом 31	Слово данных команды управления с кодом 30	Слово данных команды управления с кодом 29	Слово данных команды управления с кодом 28

Назначение	A[31:13]	A[12]	A[11:7]	A[6]	A[5:3]	Структура слова (64 разряда)			
						63:48	47:32	31:16	15:0
Область адресов флаговых слов приема массивов групповой информации из МК в ОУ	BA	1	00000	0	000	Флаговое слово по подадресу 4	Флаговое слово по подадресу 3	Флаговое слово по подадресу 2	Флаговое слово по подадресу 1
					
Область размещения массивов, данных из МК в ОУ в форматах групповых сообщений (30 массивов по 32 слова)	BA	1	00001-11110	0	000	4-е слово	3-е слово	2-е слово	1-е слово
					
Область адресов для дополнительных слов данных, принимаемых ОУ с групповой командой управления	BA	1	11111	0	000	Слово данных команды управления с кодом 3	Слово данных команды управления с кодом 2	Слово данных команды управления с кодом 1	Слово данных команды управления с кодом 0
					
					111	Слово данных команды управления с кодом 31	Слово данных команды управления с кодом 30	Слово данных команды управления с кодом 29	Слово данных команды управления с кодом 28
					

Контроллер в режиме монитора посредством DMA записывает слова, принятые из магистрали, и дополнительную информацию (признаки слов). Для операции обращения в память выделено адресное пространство, его распределение приведено в Таблица 14.34, где A[31:0] – адрес памяти, BA – базовый адрес из регистра RG_BA_MON. Т.к. DMA оперирует данными выровненными по границе 64-х разрядных слов, младшие разряды A[2:0] должны быть равны 0.

Таблица 14.34. Распределение адресного пространства в режиме монитора

Назначение	A[31:13]	A[12:7]	A[6]	A[5:3]	Структура слова (64 разряда)			
					63:48	47:32	31:16	15:0
Область принятых монитором слов и сформированных признаков	BA	000000-111111 (по каждому адресу 8 -64 -х слов)	0	000	Признак и слова 2	Слово 2	Признак и слова 1	Слово 1
				
				111	Признак и слова n+1	Слово n+1	Признак и слова n	Слово n

14.8 Режимы работы контроллера

Перед началом работы с контроллером необходимо установить бит INIT регистра INIT в единицу. Затем разрешить работу контроллера установкой бита EN_AMK регистра RR в

единицу и выбрать режим (ОУ или КК) работы установкой MODE регистра RR. Режим монитора можно включить, не зависимо от выбранного режима КК или ОУ, установкой бита MON регистра RR в единицу. Также необходимо разрешить работу приемника установкой битов RXENA и RXENB регистра RR.

14.8.1 Работа контроллера в режиме КК

Для перевода контроллера в режим КК необходимо в регистре RR установить $MODE = 2'b01$. Затем задать адрес памяти, с которой контроллер будет осуществлять обмен данными через DMA в регистре базового адреса RG_BA и задать адрес паспорта заданий в регистре RA.

Задания и данные на передачу должны быть сформированы в памяти по адресам в соответствии с Таблица 14.32.

После записи единицы в бит TASK регистра RS канал извлекает задание на исполнение по адресу задания. В случае несоответствия формата задания канал устанавливает биты ERR, ERR_TASK регистра RS в единицу, записывает отчет о выполнении задания с единицей признаке ERR_TASK, а также канал останавливает обработку последующих заданий.

Контроллер анализирует задание и выполняет в соответствии с полученным форматом сообщения. По окончании выполнения задания записывает регистры RS, ROC1, ROC2, RA, (после выполнения первого задания значение RA не изменится) и отчет о выполнении задания. Отчет о выполнении задания записывается по адресу отчета.

При получении в ответном слове признака ошибки КК записывает регистры RS, ROC1, ROC2, RA, отчет о выполнении задания с соответствующими признаками ошибки и в зависимости от значения бита ERR_MODE регистра RR прекращает обработку сообщений или переходит к следующему заданию. При обработке КК групповых сообщений, когда ОУ не выдает ответного слова, значение регистра ROC1, ROC2 не изменяется. В случае обработки негрупповых сообщений и отсутствия ОС, КК записывает регистр RS с признаками ERR, ERR_TO, а регистр ROC1 значением 16'hFFFF. При обнаружении ошибки в ОС значения регистров ROC1 и ROC2 не изменяются.

Далее контроллер переходит к выполнению следующего задания, обращая за ним по адресу следующего задания, циклически инкриминируя RA. В случае если бит паспорта исполняемого задания LAST_TASK равен единице, при достижении RA значения 5b'11111, обработка сообщений прекращается, значение регистра RA остается 5b'11111, если LAST_TASK равен нулю при достижении RA значения 5b'11111, RA примет значение 5b'00000 и продолжит исполнение по соответствующему адресу.

Если контроллер получил команду «Стоп», то канал останавливает обработку последующих заданий, а регистр RA записывает адрес по текущей прочитанной команде «Стоп», по которой данная команда была прочитана, значение остальных регистров не изменятся. При получении команды «Стоп» отчет о выполненном задании не записывается.

Если контроллер получил команду «Переход», то в регистр RA будет записано значение ADR_DAT из задания и осуществлен переход к следующему заданию по этому адресу. При получении команды «Переход» контроллер не записывает отчет об обработке задания. Если контроллер подряд дважды получает команду «Переход», контроллер перезаписывает признак ERR_JUMP регистра RS единицей и останавливает обработку последующих заданий.

В режиме контроллера не корректное значение сигнала ADDR_P (проверка на четность), не приводит к блокировке каналов (TXIN_{HA} и TXIN_{HB}), и не оказывает влияния на работу устройства.

Задания для контроллера канала формируются в соответствии с Таблица 14.35, где ADDR_DAT[4:0] – адрес области данных или адрес перехода для команды «Переход», KC1 – первое командное слово, KC2 – второе командное слово.

Таблица 14.35. Структура полей задания КК

Формат	D_FORMAT [63:49]	D_FORMAT [48:37]	D_FORMAT [36:32]	D_FORMAT[31:16]	D_FORMAT[15:0]
	Командное слово 2 [15:0]	Резервные биты	ADDR_DAT[4:0]	Командное слово 1 [15:0]	Паспорт [15:0]
Формат 1	0	0	ADDR_DAT	KC1	8001(8011)
Формат 2	0	0	ADDR_DAT	KC1	8002(8012)
Формат 3	KC2	0	0	KC1	8003(8013)
Формат 4	0	0	0	KC1	8004(8014)
Формат 5	0	0	ADDR_DAT	KC1	8005(8015)
Формат 6	0	0	ADDR_DAT	KC1	8006(8016)
Формат 7	0	0	ADDR_DAT	KC1	8007(8017)
Формат 8	KC2	0	0	KC1	8008(8018)
Формат 9	0	0	0	KC1	8009(8019)
Формат 10	0	0	ADDR_DAT	KC1	800a(801a)
Команда «Переход»	0	0	ADDR_DAT	0	800F(801F)
Команда «Стоп»	0	0	0	0	8000(8010)

Возможные значения командных слов для различных форматов сообщений представлены в Таблица 14.36

Таблица 14.36. Соответствие форматов командным словам

Формат	Командное слово 2(KC2)				Командное слово 1(KC1)			
	KC2[15:11] (адрес оконечного устройства)	KC2[10]	KC2[9:5]	KC2[4:0]	KC1[15:11] (адрес оконечного устройства)	KC1[10]	KC1[9:5]	KC1[4:0]
Формат 1	0	0	0	0	0..1E	0	1..1E	0..1F
Формат 2	0	0	0	0	0..1E	1	1..1E	0..1F
Формат 3	0..1E	1	1..1E	0..1F	0..1E	0	1..1E	0..1F
Формат 4	0	0	0	0	0..1E	1	0 или 1F	0..8
Формат 5	0	0	0	0	0..1E	1	0 или 1F	10, 12, 13

Формат	Командное слово 2(КС2)				Командное слово 1(КС1)			
	КС2[15:11] (адрес оконечного устройства)	КС2[10]	КС2[9:5]	КС2[4:0]	КС1[15:11] (адрес оконечного устройства)	КС1[10]	КС1[9:5]	КС1[4:0]
Формат 6	0	0	0	0	0..1E	0	0 или 1F	11, 14, 15
Формат 7	0	0	0	0	1F	0	1..1E	0..1F
Формат 8	0..1E	1	1..1E	0..1F	1F	0	1..1E	0..1F
Формат 9	0	0	0	0	1F	1	0 или 1F	1, 3..8
Формат 10	0	0	0	0	1F	0	0 или 1F	11, 14, 15
Команда «Переход»	0	0	0	0	0	0	0	0
Команда «Стоп»	0	0	0	0	0	0	0	0

Структура командных слов 1 и 2 представлена в Таблица 14.37.

Таблица 14.37. Структура КС1 и КС2

Номер бита	Название	Описание
15:11	AT0-AT4	Адрес оконечного устройства (в случае групповой команды 11111)
10	REC_TR	Направление обмена (прием-0, передача-1)
9-5	Subadress	Подадрес/режим управления (код подадреса от 00001 до 11110, коды 00000 и 11111 – признак команды управления)
4:0	Number of words / Command	Количество слов (код 00000 соответствует 32 словам) или код команды управления

Структура паспорта задания представлена в Таблица 14.38.

Таблица 14.38. Паспорт задания

Номер бита	Название	Описание работы
15	TASK	Признак валидности задания 1 - задание валидно 0 - задание не валидно
14:7		Не используются
6	LAST_TASK	Признак последнего задания 1 – если последнее задание в цепочке, иначе 0
5		Не используется
4	CHANEL	По какому каналу выполнять обмен 0 – канал А 1 – канал В

Номер бита	Название	Описание работы
3:0	FORMAT	Формат сообщения 0000 – СТОП 0001 – 1-ый формат 0010 – 2-ый формат 0011 – 3-ый формат 0100 – 4-ый формат 0101 – 5-ый формат 0110 – 6-ый формат 0111 – 7-ый формат 1000 – 8-ый формат 1001 – 9-ый формат 1010 – 10-ый формат 1111 – Переход

По команде СТОП в поле «FORMAT» происходит остановка выполнения цепочки заданий.

По команде Переход в поле «FORMAT» контроллер обращается за следующим заданием по адресу ADR_DAT.

Структура отчета о выполненном задании представлена в Таблица 14.39.

Таблица 14.39. Отчет о выполненном задании

Номер бита	Название	Описание работы
15	TASK	Признак валидности задания 1 – задание валидно 0 – задание не валидно
14	GENB	Признак генерации в канале В 1 – генерация в канале В 0 – отсутствие генерации в канале В
13	GENA	Признак генерации в канале А 1 – генерация в канале А 0 – отсутствие генерации в канале А
12	ERR_TASK	Признак ошибки задания
11	ERR_IB	Признак ошибки IB
10	ERR ERA0	Признак ошибки ERA0
9	ERR MEO	Признак ошибки MEO
8	ERR EBC	Признак ошибки EBC
7	ERR TO	Признак ошибки TO
6	LAST_TASK	Признак последнего задания в цепочке
5	END_TASK	Признак окончания обработки задания 0 – задание еще не обработано 1 – задание обработано Всегда равен единице. Если контроллер записал отчет, задание считается выполненным
4	CHANEL	Номер канала 0 – канал А 1 – канал В

Номер бита	Название	Описание работы
3:0	FORMAT	Формат выполненного сообщения 0000 – СТОП 0001 – 1-ый формат 0010 – 2-ый формат 0011 – 3-ый формат 0100 – 4-ый формат 0101 – 5-ый формат 0110 – 6-ый формат 0111 – 7-ый формат 1000 – 8-ый формат 1001 – 9-ый формат 1010 – 10-ый формат 1111 – Переход

*Бит END_TASK в паспортном задании отсутствует. Бит номер 5 является резервным полем и его следует задавать «0».

Для команд «Стоп» и «Переход» контроллер не записывает отчет о выполненном задании.

Признак "EBC" устанавливается в состояние "1", если во время передачи информации в линию приемная часть контроллера определяет несоответствие передаваемого слова требованиям ГОСТ Р 52070-2003 по четности и временным параметрам последовательного кода ("эхо-контроль").

Признак "ТО" устанавливается в состояние "1", если обнаружены ошибка паузы до ОС или нарушение непрерывности в массиве КС и СД.

Признак "IB" устанавливается в состояние "1", если хотя бы в одном из принятых ОС установлен любой из признаков "Ошибка в сообщении", "Абонент занят", "Неисправность абонента", "Неисправность ОУ", признак групповой команды в ответном слове или хотя бы один резервный бит. Для определения причины установки разряда "IB" в состояние "1" необходимо прочитать ОС из ОЗУ.

Признак "ЕРАО" устанавливается в состояние "1", если код в поле "Адрес ОУ" принятого ОС отличается от соответствующего кода выданного КС.

Признак "МЕО" устанавливается в состояние "1", если в ответной части сообщения, поступившего от ОУ, обнаружено несоответствие принимаемого слова требованиям ГОСТ Р 52070-2003 по четности и временным параметрам последовательного кода или если число СД в принимаемом массиве оказалось больше заданного. Если в принимаемом массиве число СД меньше заданного, то дополнительно устанавливается разряд ошибки паузы ТО.

14.8.2 Работа контроллера в режиме ОУ

Для перевода контроллера в режим ОУ необходимо в регистре RR установить MODE = 2'b10. Затем задать адрес памяти, с которой контроллер будет осуществлять обмен данными через DMA в регистре базового адреса RG_BA. Данные на передачу должны быть сформированы в памяти по адресам в соответствии с Таблица 14.32.

Контроллер в режиме ОУ постоянно отслеживает линию и при приеме достоверной команды начинает ее обработку.

При приеме команды на прием данных ОУ принимает из линии данные, записывает их в память, формирует и передает ответное слово. Затем записывает в регистр RS статус. В режиме работы с флагами, контроллер анализирует флаг готовности данных, по соответствующему подадресу (регистр RG_FLG_REC). Если флаг равен 0 ОУ принимает данные и записывает их в память по адресу записи, формирует и передает ответное слово. Если флаг равен 1 ОУ после окончания данных формирует и передает ответное слово, с 1 в признаке абонент занят. Далее ОУ записывает в память флаговое слово по адресу записи флагового слова и устанавливает в 1 флаг в регистре RG_FLG_REC.

При приеме команды на передачу данных ОУ читает данные из памяти, формирует и передает ответное слово и данные в линию. Затем записывает в регистр RS статус. В режиме работы с флагами, контроллер анализирует флаг готовности данных, по соответствующему подадресу (регистр RG_FLG_TR). Если флаг равен 1 ОУ читает данные из памяти, формирует и передает ответное слово и прочитанные данные. Далее ОУ записывает в память флаговое слово по адресу записи флагового слова и устанавливает в 0 флаг в регистре RG_FLG_TR. Если флаг равен 0 ОУ формирует и передает ответное слово, с 1 в признаке абонент занят.

При приеме команды управления со словом данных ОУ на прием выполняет команду, формирует и передает ответное слово. Затем записывает в регистр RS статус. В режиме работы с флагами, контроллер анализирует флаг готовности, по соответствующему подадресу (регистр RG_FLG_REC). Если флаг равен 0 ОУ принимает данные и записывает их в память по адресу записи, формирует и передает ответное слово. Если флаг равен 1 ОУ после окончания данных формирует и передает ответное слово, с 1 в признаке абонент занят. Далее ОУ записывает в память флаговое слово по адресу записи флагового слова и устанавливает в 1 флаг в регистре RG_FLG_REC.

При приеме команды управления на передачу данных ОУ читает слово данных из памяти, формирует и передает ответное слово и слово данных в линию. Затем записывает в регистр RS статус. В режиме работы с флагами, контроллер анализирует флаг готовности данных, по соответствующему подадресу (регистр RG_FLG_TR). Если флаг равен 1 ОУ читает данные из памяти, формирует и передает ответное слово и прочитанные данные. Далее ОУ записывает в память флаговое слово по адресу записи флагового слова и устанавливает в 0 флаг в регистре RG_FLG_TR. Если флаг равен 0 ОУ формирует и передает ответное слово, с 1 в признаке абонент занят.

Примечание. При работе с флагами ОУ значение флага FLG_KU не влияет на обработку команды с кодом 12 «Передать последнюю команду». Также ее выполнение не производит установку флага и бита в ОС «абонент занят».

При приеме команды управления без данных ОУ выполняет команду, формирует и передает ответное слово в линию. Затем записывает в регистр RS статус.

Для групповых команд ответное слово в линию не передается, оно формируется и запоминается в буфере. Для того чтобы получить ответное слово из буфера после прихода на оконечное устройство групповых команд, контроллеру необходимо отправить соответствующему оконечному устройству КУ «Передать ОС».

Примечание. Если после групповой команды передать команду выдачи ответного слова, то ответное слово придет с признаком групповой команды.

В ответном слове «признаки» формируется в зависимости от значений битов ERR_OU, ERR_AB, AB_BUSY и ZPR регистра RR. Соответствие бит регистра признакам представлено в Таблица 14.40.

Таблица 14.40. Соответствие бит регистра RR признакам ОС

Условное обозначение	Признак в ОС
ERR_OU	Признак «Неисправность ОУ» в ОС
ERR_AB	Признак «Неисправность абонента» в ОС
AB_BUSY	Признак «Абонент занят» в ОС
ZPR	Признак «Запрос на обслуживание» в ОС

Значения бит ERR_OU, ERR_AB, ZPR формируются программным образом. Значение бита AB_BUSY формируются программным образом, а также в случае отработки команд обмена при приеме/передачи данных по маскированному подадресу.

Структура флаговых слов для не групповых сообщений представлена в Таблица 14.41, для групповых в Таблица 14.42.

Таблица 14.41. Структура флаговых слов адресных сообщений

Номер бита	Название	Описание работы
15	TRANCEIVE_MESSAGE	Принято сообщение по выдаче данных: 1 – сообщение принято; 0 – сообщение не принято.
14	RECEIVE_MESSAGE	Принято сообщение по приему данных: 1 – сообщение принято; 0 – сообщение не принято.
13:12	Резерв	
11	ERROR_TR	Ошибка в сообщении по выдаче(1-активно)
10:6	Number of words/Command tranceive	Количество слов (код 00000 соответствует 32 словам) или код команды управления по выдаче
5	ERROR_REC	Ошибка в сообщении по приему(1-активно)
4:0	Number of words/Command receive	Количество слов (код 00000 соответствует 32 словам) или код команды управления по приему

Таблица 14.42. Структура флаговых слов групповых сообщений

Номер бита	Название	Описание работы
15	резерв	
14	RECEIVE_MESSAGE	Принято сообщение по приему данных (1-активно)
13:6	Резерв	
5	ERROR_REC	Ошибка в сообщении по приему(1-активно)
4:0	Number of words/Command receive	Количество слов (код 00000 соответствует 32 словам) или код команды управления по приему

В режиме ОУ предусмотрена блокировка каналов. Она устанавливается в следующих случаях:

- при не корректном значении входного сигнала ADDRП (контроль четности адреса устройства). В данном случае блокируются оба канала. Для разблокировки обоих каналов необходимо установить корректное значение входного сигнала ADDRП;
- при приходе на оконечное устройство КУ «Блокировать передатчик».

Разблокировка каналов ОУ происходит в следующих случаях:

- при приходе на оконечное устройство КУ «Разблокировать передатчик»;
- при приходе на оконечное устройство КУ «Установить ОУ в исходное состояние».

При блокировке канала А, выход канала ТХИННА устанавливается в логическую единицу, при разблокировке в логический ноль. При блокировке канала В, выход канала ТХИННВ устанавливается в логическую единицу, при разблокировке в логический ноль.

При приходе команд по блокированной линии канала ОУ игнорирует адресованное ему сообщение.

Согласно ГОСТ Р 52070-2003 в контроллере предусмотрен «Режим тестирования ОУ». Код 11110 в поле «Подадрес/Режим управления» является признаком тестирования ОУ. КС с данным кодом определяется в качестве команд циркулярного возврата данных. ОУ, получив достоверное сообщение на прием информации в подадрес 11110, за которым следует достоверное КС на передачу информации из подадреса 11110 с тем же числом слов данных, исключая между ними промежуточные достоверные КС, адресованные данному ОУ, передает в ответ те же слова данных, которые были приняты в подадрес приема 11110.

14.8.3 Работа контроллера в режиме монитора

Для перевода контроллера в режим монитора необходимо в регистре RR установить MON = 1. Затем задать адрес памяти, с которой контроллер будет осуществлять обмен данными через DMA в регистре базового адреса RG_BA_MON.

Монитор должен осуществлять прослушивание линии передачи интерфейса и отбор необходимой информации. В режиме монитора канал принимает каждое слово, приходящее на линию, анализирует тип принятого слова (КС или СД), наличие ошибок, временной промежуток между двумя словами и записывает слово и эти данные (SIGN) в буфер, рассчитанный на 16 32-х разрядных слова. Если буфер будет заполнен или по приходу заданного в регистрах IRQ_SD и IRQ_KS количества данных/командных слов, они переписываются в память. Запись слов по адресам происходит циклически. При выключении режима монитора смещение адресов выставляются в начальное значение. Режим монитора реализован как независимый блок и может быть включен как в режиме ОУ или КК, так и отдельно.

Структура формирования признаков слов в режиме монитора происходит в соответствии с Таблица 14.43.

Таблица 14.43. Структура формирования признаков слов

Номер разряда	Условное обозначение	Назначение
15	SIGN_WORD	Признак последнего слова: КС/ОС-1; СД-0.
14	ERROR	Признак ошибки (1-слово не соответствует ГОСТ)
13:0	TIME_SEND	Время между двумя последними словами (в тактах 1такт – 20нс). При первоначальном включении режима монитора время от включения до прихода первого слова на линии. При переполнении счетчик останавливается. Сброс счетчика осуществляется при приеме следующего слова.

14.9 Прерывания

В контроллере мультиплексного магистрального интерфейса предусмотрено формирование маскируемых прерываний при успешном выполнении задания и при

возникновении ошибок. Дополнительно предусмотрены прерывания от DMA порта на передачу и прием данных.

14.9.1 Прерывания в режиме КК

В случае если каналу разрешены прерывания по завершению обмена (бит EN_IRQ_EXCH регистра RR равен единице), для команд обмена данными и команд управления, контроллер сформирует прерывание и установит бит IRQ_EXCH регистра RG_INTR в единицу.

В случае если каналу разрешены прерывания по обнаружению ошибки при обмене (бит EN_IRQ_ERR регистра RR равен единице), контроллер сформирует прерывание и установит бит IRQ_ERR регистра RG_INTR в единицу при обнаружении любой из ошибок. Возможные ошибки: ошибка IB, ошибка ERAO, ошибка MEO, ошибка EBC, ошибка TO, ошибка задания или KC.

В случае если каналу разрешены прерывания по генерации в линии одного из каналов (бит EN_IRQ_GEN регистра RR равен единице), при обнаружении генерации контроллер сформирует прерывание и установит бит IRQ_GEN регистра RG_INTR в единицу. Сброс прерывания осуществляется записью единицы в соответствующий бит регистра RG_INTR.

В случае если процессор не обработал предыдущее прерывание по обмену, бит ERR_IRQ_EXCH регистра RR установится в единицу. Сброс бита осуществляется перезаписью единицы.

14.9.2 Прерывания в режиме ОУ

В случае если каналу разрешено прерывание по завершению обмена (бит EN_IRQ_EXCH регистра RR равен единице), для команд обмена (форматы 1, 2, 3, 7, 8), контроллер сформирует прерывание и установит бит IRQ_EXCH регистра RG_INTR в единицу.

В случае если каналу разрешено прерывание по завершению обмена (бит EN_IRQ_KU регистра RR равен единице), для команд управления (форматы 4, 5, 6, 9, 10), контроллер сформирует прерывание и установит бит IRQ_KU регистра RG_INTR в единицу.

В случае если каналу разрешено прерывание по генерации в линии каналов (бит EN_IRQ_GEN регистра RR равен единице), при обнаружении генерации контроллер сформирует прерывание и установит бит IRQ_GEN регистра RG_INTR в единицу.

Сброс прерывания осуществляется записью единицы в соответствующий бит регистра RG_INTR.

В случае если процессор не обработал предыдущее прерывание по обмену, бит ERR_IRQ_EXCH регистра RS установится в единицу. Сброс бита осуществляется перезаписью единицы.

В случае если процессор не обработал предыдущее прерывание по приходу команды управления, бит ERR_IRQ_KU регистра RS установится в единицу. Сброс бита осуществляется перезаписью единицы.

14.9.3 Прерывания в режиме монитора

По приходу заданного в регистрах IRQ_SD и IRQ_KS количества слов данных/командных слов монитор формирует сигнал прерывания и выставляет соответствующие биты в

регистре RG_INTR. Регистры IRQ_SD и IRQ_KS следует настраивать до разрешения работы монитора, т.е. до записи бита MON = 1.

При необходимости во время работы монитора значения регистров IRQ_SD и IRQ_KS можно изменять. Например, для принудительной записи данных из буфера монитора в память можно выставить их значение равное одному слову, при этом, если в буфере были слова, они запишутся в память, и выставится соответствующее прерывание. Если данные из буфера до этого были переписаны в память по причине наполненности буфера, то прерывание не выставляется. Если в регистрах IRQ_SD и IRQ_KS выставить значение равное одному слову, то запись в память будет происходить при приеме каждого слова.

Принятые слова и признаки принятых слов записываются в память по порядку, при каждой последующей записи адрес увеличивается на 4. Всего 1024 32-разрядных слова.

15. КОНТРОЛЛЕР ЕМАС

15.1 Общие положения

Контроллер ЕМАС соответствует стандарту Ethernet IEEE Std. 802.3-2005 (далее режим Ethernet). Два контроллера ЕМАС обеспечивают обмен данными по стандарту AFDX (Avionic Full-Duplex Ethernet) с аппаратно-программным управлением (далее режим AFDX). Контроллеры предназначены для обмена данными в сети через приемопередатчик порта AFDX/Ethernet (далее Ethernet PHY). Для управления Ethernet PHY используется порт, подключенный по MDI (Medium Dependent Interface) интерфейсу (далее MD_PORT).

Контроллер ЕМАС имеет следующие основные параметры и функциональные возможности:

- обмен данными со скоростью 10 Мбит/с или 100 Мбит/с;
- полудуплексный, дуплексный режимы работы;
- режим коммутации передатчика порта на его приемник;
- аппаратная проверка CRC (Cyclic Redundancy Code);
- фильтрации принимаемых кадров по адресу назначения;
- отбрасывание принимаемых кадров, при проверке которых были обнаружены ошибки.

15.2 Режимы работы контроллера

15.2.1 Режим Ethernet

В режиме Ethernet два контроллера работают не зависимо друг от друга. Контроллеры поддерживают требования протокола Ethernet/IEEE 802.3-2002 по передаче и приему кадров со скоростью 10/100 Мбит/с. Передача кадра возможна в дуплексном или полудуплексном режимах.

Для каждого контроллера предусмотрен четырех канальный порт DMA. Два канала используются для передачи и два для приема. Распределение между каналами устроено следующим образом: нулевой и первый каналы предназначены для приема дескрипторов и данных из памяти в контроллер, второй и третий для передачи в память дескрипторов и данных соответственно.

Для запуска передачи кадров необходимо настроить каналы DMA передачи дескрипторов и данных.

Запуск передачи кадра осуществляется посредством настройки дескрипторов передачи. При передаче кадров посредством дескрипторов в памяти необходимо сформировать цепочку дескрипторов (для каждого кадра свой дескриптор) и массив данных или сформированных кадров на передачу. При получении от DMA дескриптора контроллер анализирует его и скачивается через DMA данные в буфер передачи контроллера. В буфере контроллер, если необходимо, формирует кадр и передает его в сеть. После передачи кадра статус передачи записывается в регистр TX_STATUS и выдается прерывание.

Для запуска приема кадров необходимо настроить каналы DMA приема дескрипторов и данных.

Прием кадров осуществляется посредством настройки регистров приема. В зависимости от параметров регистров приема контроллер обрабатывает принятый кадр из сети и посредством DMA записывает его в память. После приема, обработки и записи кадра в память в дескриптор прописывается статус приема, выставляется прерывание и дескриптор переписывается в память.

15.2.2 Режим AFDX

В режиме AFDX для передачи кадра используются два порта Ethernet. Прием и передача кадров осуществляется со скоростью 100 Мбит/с. Управление обоими портами выполняется настройкой регистров одного из контроллеров. Регистры второго контроллера для передачи кадров не используются. Для передачи кадров задается одна цепочка дескрипторов (для каждого кадра свой дескриптор) и в памяти формируется массив данных или сформированных кадров на передачу. В соответствии с параметрами дескриптора контроллер закачивает данные на передачу через DMA в буфер передачи одного из портов, буфер второго порта в данном режиме не используется. Контроллер в зависимости от настроек формирует и передает кадр по одной из двух сетей или по обоим сетям одновременно, используя приемопередатчик Ethernet РНУ одного из портов или обоих портов, соответственно. При выдаче кадра в сеть контроллер автоматически подменяет значением 3'b001, для нулевого контроллера или 3'b010 для первого контроллера поле Interface_ID (определяющее сеть передачи кадра А или В) и рассчитывает CRC, для каждой сети. Для соблюдения требования выдачи кадров с определенным временным интервалом BAG в контроллер введена возможность запрета выдачи кадров из буфера передачи в сеть установкой бита TX_DSBL регистра TXB_CSR. В этом режиме выдача кадров будет производиться при программной записи бита TX_STEP. Интервалы выдачи кадров в сеть отслеживаются на программном уровне. Для автоматической выдачи кадров в сеть, с определенным временным интервалом BAG, введен счетчик времени SEND_FR_TIMER, который задается программно и при срабатывании выдает сигнал запуска кадра в сеть. Его можно использовать, если кадры передачи предназначены для одного VL и соответственно используется одинаковый временной интервал BAG.

Особенностью передачи AFDX кадров является добавление полей VL, SN и разбиение на сети, по которым передается кадр (Redundancy Management). VL и SN формируются программно, при выдаче кадра в сеть поле Interface_ID подменяется аппаратно при выходе кадра из буфера передачи и производится расчет CRC в зависимости с учетом значения Interface_ID. Также между передачей кадров для одного VL должен выдерживаться временной интервал BAG. Отслеживание данного интервала производится программно. Правильность формирования SN для каждого VL должна отслеживаться на программном уровне и аппаратно не проверяется.

Прием кадров осуществляется по обоим портам не зависимо друг от друга, т. е. используются два контроллера. Для каждого порта необходимо настроить DMA для приема дескрипторов и кадров и настроить управляющие регистры. Прием кадров осуществляется аналогично приему кадров в режиме Ethernet.

Особенностью приема AFDX кадров является необходимость отслеживания правильного порядка нумерации кадров (SN) для каждого VL. А также отслеживание, по какой сети принят кадр и удаление дублирующих кадров при необходимости. Эти особенности необходимо отслеживать на программном уровне.

15.3 Структурная схема

Контроллер в зависимости от настроек способен работать в одном из двух режимов AFDX или Ethernet. Структурная схема работы контроллера в режиме Ethernet приведена на Рисунок 15.1. Структурная схема работы контроллера в режиме AFDX приведена на Рисунок 15.2.

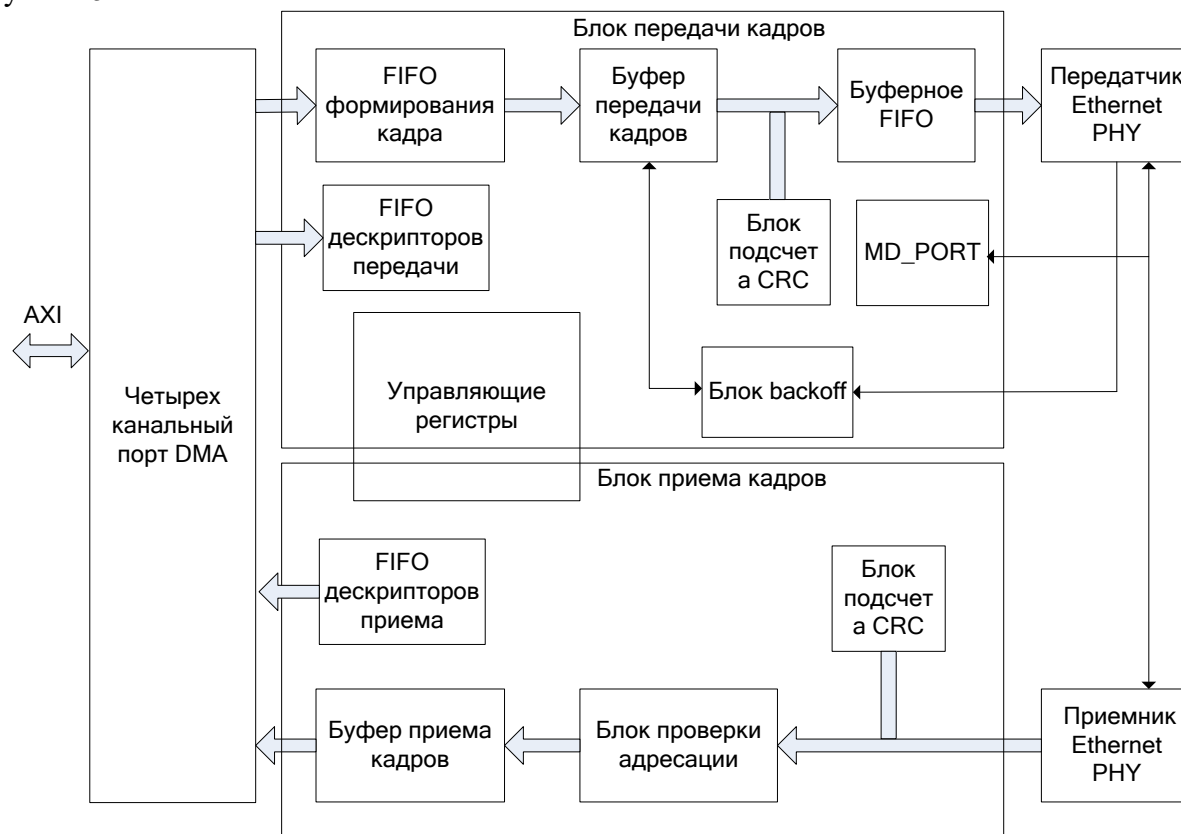


Рисунок 15.1. Структурная схема работы контроллера в режиме Ethernet

В контроллер Ethernet входят следующие основные узлы:

- блок управления и состояния контроллера (управляющие регистры);
- блок передачи кадров;
- блок приема кадров;
- буфер передачи кадров, размером 512 64-х разрядных слов;
- буфер приема кадров, размером 512 64-х разрядных слов;
- порт управления Ethernet PHY (MD PORT).

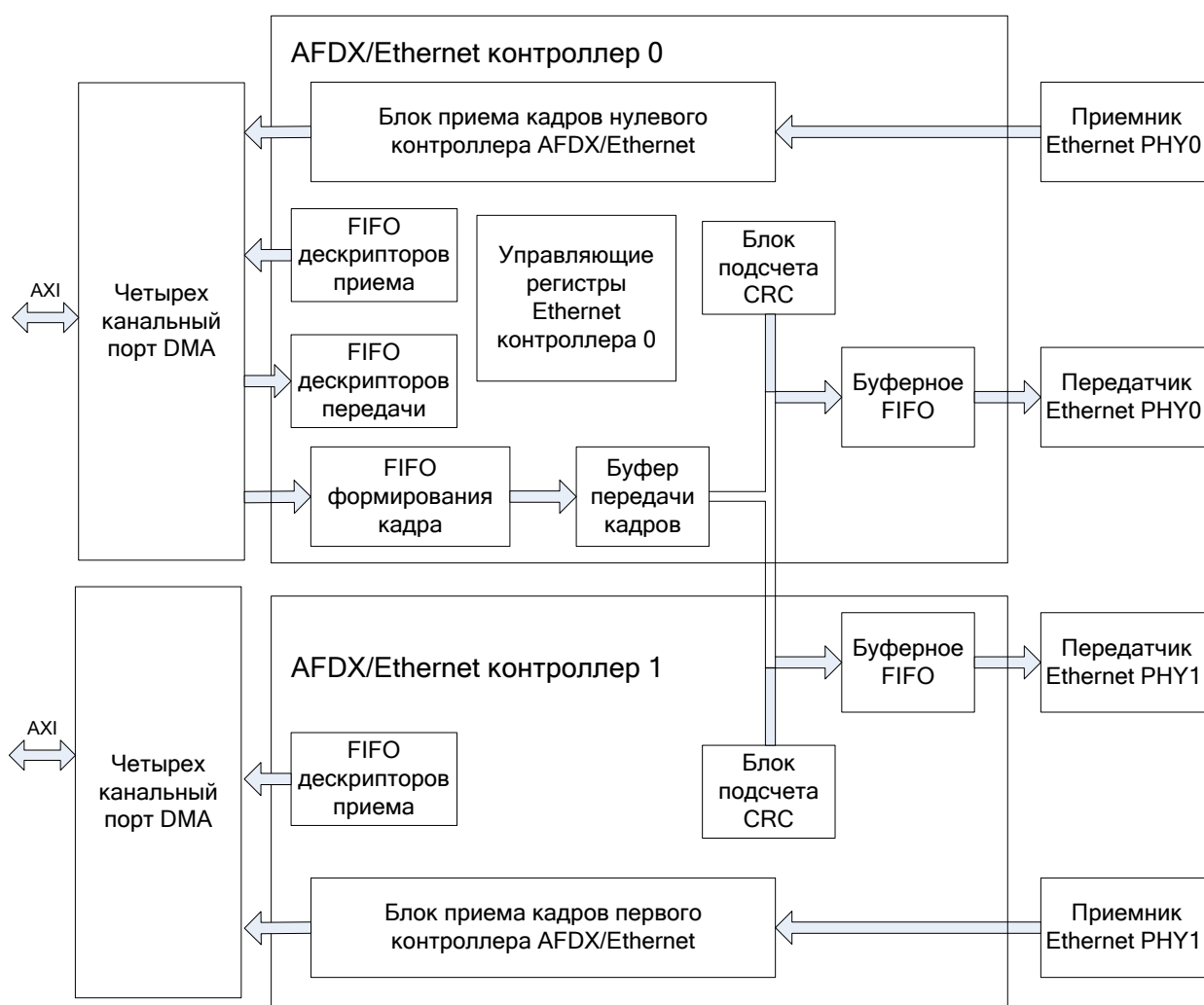


Рисунок 15.2. Структурная схема работы контроллера в режиме AFDX

15.4 Регистры и дескрипторы контроллера

15.4.1 Перечень регистров контроллера

Перечень регистров контроллера представлен в Таблица 15.1.

Таблица 15.1. Регистры контроллера

Условное обозначение регистра	Название регистра	Адрес относительно базового	Исходное состояние
MODE_CSR	MODE Control and Status Register. Глобальный регистр управления двумя портами. Регистр MODE_CSR расположен в первом контроллере	000	0000_0000
MAC_CSR	MAC Control and Status Register. Регистр управления портом	004	0000_0000
MD_MODE	Регистр режима работы порта MD	008	0000_0040
MD_CONTROL	Регистр управления портом MD	00C	0000_0000
MD_STATUS	Регистр статуса порта MD	010	0000_0000

Условное обозначение регистра	Название регистра	Адрес относительно базового	Исходное состояние
SRC_ADDR1	Регистр содержит первую часть поля Source Address	014	0000_0000
SRC_ADDR2	Регистр содержит вторую часть поля Source Address	018	0000_0000
DST_ADDR1	Регистр содержит первую часть поля Destination Address	01C	0000_0000
DST_ADDR2	Регистр содержит вторую часть поля Destination Address	020	0000_0000
TYPE	Регистр TYPE	024	0000_0000
LEN_BORDER_RX	Регистр ограничения длины кадра на прием	028	0000_05EE
IFS_COLL_MODE	Регистр IFS и режима обработки коллизий	02C	18C3_401F
UC_ADDR1	Регистр содержит первую часть уникального MAC адреса	030	0000_0000
UC_ADDR2	Регистр содержит вторую часть уникального MAC адреса	034	0000_0000
MC_ADDR1	Регистр содержит первую часть группового MAC адреса	038	0000_0000
MC_ADDR2	Регистр содержит вторую часть группового MAC адреса	03C	0000_0000
MC_ADDR_MASK1	Регистр содержит первую часть маски группового MAC адреса	040	0000_0000
MC_ADDR_MASK2	Регистр содержит вторую часть маски группового MAC адреса	044	0000_0000
HASH_TABLE1	Регистр содержит первую часть хэш-таблицы	048	0000_0000
HASH_TABLE2	Регистр содержит вторую часть хэш-таблицы	04C	0000_0000
AFDX_ADDR	Регистр отображает часть MAC адреса, не содержащую VL. Для сравнения с 32-мя старшими битами поля DA принятого кадра в режиме AFDX	050	0000_0000
SEND_FR_TIMER	Transmit Timer	054	0000_0000
TXB_CSR	Transmit Buffer Control and Status Register	058	0200_0000
RXB_CSR	Receive Buffer Control and Status Register	05C	0200_0000
INT_CSR	Interrupt Control and Status Register	060	0000_0000
TX_FRAME_CNT	Счетчик передаваемых кадров	064	0000_0000
TX_STATUS	Статус выполненной передачи	068	0000_0000
RX_FRAME_CNT	Счетчик принятых кадров	06C	0000_0000
RX_STATUS	Статус выполнения приема	070	0000_0000
RX_CTR	Receive Control Register	074	0000_0000

15.4.2 Формат регистров контроллера

15.4.2.1 MODE_CSR – управляющий регистр (MODE Control and Status Register)

Формат регистра MODE_CSR приведен в Таблица 15.2.

Таблица 15.2. Формат регистра MODE_CSR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	LOOPBACK	Режим петли порта Ethernet. Коммутация передатчика порта Ethernet на его приёмник: 0 – нормальный режим; 1 – режим петли. Выходы передатчика порта Ethernet коммутируются на входы приёмника порта Ethernet	RW	0
30:2	–	Не используется	R	0
0	MODE	Режим работы порта 0 – Ethernet; 1 – аппаратно-программный AFDX; Необходимо задавать в обоих портах	RW	0

15.4.2.2 MAC_CSR – MAC Control and Status Register

Формат регистра MAC_CSR приведен в Таблица 15.3.

Таблица 15.3. Формат регистра MAC_CSR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:10	–	Не используется	R	0
9	RXM_BUSY	Признак того, что выполняется прием кадра из сети	R	0
8	TXM_BUSY	Признак того, что выполняется выдача кадра в сеть	R	0
7:6	–	Не используется	R	0
5	FULLD	Режим работы контроллера Ethernet: FULLD=0 – полудуплексный режим, FULLD=1 – дуплексный режим. В режиме AFDX значение этого бита должно быть установлено в единицу для обоих контроллеров	RW	0
4	FULLD_RX	Тестовый режим работы блока приема кадров, включение которого при работе контроллера в полудуплексном режиме (FULLD=0) позволяет блоку приема кадров принимать данные во время выполнения блоком передачи кадров передачи данных. Используется только в Ethernet режиме	RW	0
3	–	Не используется	R	0
2	EN_TX	Разрешение передачи кадров 0 – передача запрещена; 1 – передача разрешена	RW	0
1	EN_RX	Разрешение приема входных кадров 0 – прием запрещен; 1 – прием разрешен	RW	0
0	EN_MAC	Программная установка MAC порта Ethernet в исходное состояние: 0 – MAC находится в исходном состоянии, программный сброс MAC; 1 – MAC находится в рабочем состоянии	RW	0

15.4.2.3 MD_MODE – режим работы MD порта

Формат регистра MD_MODE приведен в Таблица 15.4.

Таблица 15.4. Формат регистра MD_MODE

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	RST_MD	Программный сброс порта управления PHY. Сброс производится записью единицы. Автоматически сбрасывается после установки	W1	0
30:8	–	Не используется	R	0
7:0	MDC_Divider	Коэффициент деления системной частоты при формировании частоты MDC. Должен иметь четное, не нулевое значение	RW	0x40

Коэффициент деления системной частоты (125МГц) при формировании тактовой частоты MDC задается в разрядах регистра MD_MODE[7:0] = MDC_Divider. Для корректной работы порта управления PHY значение коэффициента деления системной частоты должно быть четным и не нулевым. Для корректного обмена данными по интерфейсу управления MD тактовая частота MDC не должна превышать 2,5 МГц (или требования конкретного PHY).

Согласно стандарту Ethernet 802.3-2002 - MDC аperiodичный сигнал, который не имеет максимального временного значения высокого и низкого уровней. Минимальное значение должно быть 160 нс для высокого и низкого уровней соответственно и минимальный период должен составлять 400 нс (2.5 МГц), независимо от номинального периода TX_CLK и RX_CLK.

15.4.2.4 MD_CONTROL – регистр управления MD порта

Формат регистра MD_CONTROL приведен в Таблица 15.5.

Таблица 15.5. Формат регистра MD_CONTROL

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	MD_OP	Код выполняемой операции: 00 – состояние IDLE; 01 – операция чтения; 10 – операция записи; 11 – запрещенная комбинация	RW	0
29	MD_MASK	Маска запроса на прерывание от порта управления PHY	RW	0
28:24	PHY_ADDR	Адрес PHY	RW	0
23:21	–	Не используется	R	0
20:16	PHYREG_ADDR	Адрес регистра PHY	RW	0
15:0	WR_DT	Данные для записи в регистр PHY	RW	0

15.4.2.5 MD_STATUS – регистр статуса MD порта

Формат регистра MD_STATUS приведен в Таблица 15.6.

Таблица 15.6. Формат регистра MD_STATUS

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:30	MD_OP_END	Флаги завершения выполнения операции: 01 – завершилась операция чтения по порту MD; 10 – завершилась операция записи по порту MD	RW	0
29	MD_BUSY	Признак занятости порта управления PHY – выполняется операция записи/чтения	R	0
28:16	–	Не используется	R	0
15:0	RD_DT	Данные, прочтенные из регистра PHY	R	0

15.4.2.6 SRC_ADDR1 - первая часть Source адреса

Формат регистра SRC_ADDR1 приведен в Таблица 15.7.

Таблица 15.7. Формат регистра SRC_ADDR1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
23:0	SRC1	Первая часть исходного адреса в поле <SOURCE ADDRESS> передаваемого кадра	RW	0

В режиме AFDX первая часть поля <SOURCE ADDRESS> имеет следующую структуру:

User Defined ID	Interface	Постоянное
16 бит	ID	поле
	3 бита	5 бит
nnnn_nnnn_nnnn_nnnn	mmm	00000

Поле User_Defined_ID – используется, если системный интегратор решает назначить каждому IP адресуемому хосту в сети уникальный IP адрес.

Поле Interface_ID указывает, по какой сети передается кадр.

Таблица 15.8

Значение поля Interface_ID	Описание
000	Не используется
001	Кадр со значением поля Interface_ID=001 передаётся по сети А
010	Кадр со значением поля Interface_ID=010 передаётся по сети В
011	Не используется
100	Не используется
101	Не используется
110	Не используется
111	Не используется

В регистре SRC_ADDR1 поля <User Defined ID>, <Interface ID> и <постоянное поле> должны располагаться следующим образом:

23			0
Interface ID 3 бита	Постоянное поле 5 бит	User Defined ID Младший байт 8бит	User Defined ID Старший байт 8бит

15.4.2.7 SRC_ADDR2 - вторая часть Source адреса

Формат регистра SRC_ADDR2 приведен в Таблица 15.9.

Таблица 15.9. Формат регистра SRC_ADDR2

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
23:0	SRC2	Вторая часть исходного адреса в поле <SOURCE ADDRESS> передаваемого кадра	RW	0

Для режима AFDX вторая часть поля <SOURCE ADDRESS> постоянна и имеет значение 24b0000_0010_0000_0000_0000_0000.

Младший бит старшего байта указывает, что используется индивидуальный адрес.

Следующий бит указывает, что используется локальная адресация.

В регистре SRC_ADDR2 байты адреса для режима AFDX должны располагаться следующим образом:

23			0
Младший байт адреса 0000_0000	Второй байт адреса 0000_0000	Старший байт адреса 0000_0010	

15.4.2.8 DST_ADDR1 - первая часть Destination адреса

Формат регистра DST_ADDR1 приведен в Таблица 15.10.

Таблица 15.10. Формат регистра DST_ADDR1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	–	Не используется	R	0
23:16	SN	Значение поля Sequence Number передаваемого кадра. Используется только в режиме AFDX, при передаче кадра посредством регистров, если бит HEADER_EN дескриптора TX_DESC1 установлен в 1. В режиме Ethernet игнорируется	RW	0
15:0	VL / DST_ADDR1	Первая часть адреса <DESTINATION ADDRESS> передаваемого кадра. В режиме AFDX эта часть адреса обозначается как VL (Virtual Link). В Ethernet это просто младшая часть адреса	RW	0

В режиме AFDX передача кадра характеризуется двумя параметрами VL (Virtual Link) и SN (Sequence Number). Поэтому для передачи кадра в режиме AFDX необходимо задать пару значений VL и SN. В режиме Ethernet необходимо задать разряды адреса в поле DST_ADDR1, поле SN игнорируется.

В регистре DST_ADDR1 значение VL располагается следующим образом:

15	0
Младший байт VL	Старший байт VL

15.4.2.9 DST_ADDR2 - вторая часть Destination адреса

Формат регистра DST_ADDR2 приведен в Таблица 15.11.

Таблица 15.11. Формат регистра DST_ADDR2

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	DST_ADDR2	Вторая часть адреса <DESTINATION ADDRESS> передаваемого кадра	RW	0

Для режима AFDX вторая часть поля <DESTINATION ADDRESS> должна быть равна 32bxxxx_xx11_xxxx_xxxx_xxxx_xxxx_xxxx.

Младший бит старшего байта указывает, что используется групповой адрес.

Следующий бит указывает, что используется локальная адресация.

В регистре DST_ADDR2 байты адреса для режима AFDX должны располагаться следующим образом:

31				0
Младший байт адреса	Второй байт адреса	Третий байт адреса	Старший байт адреса	
xxxx xxxx	xxxx xxxx	xxxx xxxx	xxxx xx11	

15.4.2.10 TYPE – длина или тип кадра

Формат регистра TYPE приведен в Таблица 15.12.

Таблица 15.12. Формат регистра TYPE

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	–	Не используется	R	0
15:0	TYPE	Значение поля <TYPE> передаваемого кадра. Если HEADER_EN=1 и TYPE_EN = 1, то в кадр встраивается поле <TYPE>, значение этого поля берётся из данного регистра	RW	0

Пример формирования заголовка кадра из регистров:

2 байта	4 байта	3 байта	3 байта	1 байт	1 байт
DST_ADDR1	DST_ADDR2	SRC_ADDR1	SRC_ADDR2	Length/Type[7:0]	Length/Type[15:8]

Т.е. поле destination address [47:0] = {DST_ADDR1[15:0], DST_ADDR2[31:0]},
 поле source address [47:0] = {SRC_ADDR1[23:0], SRC_ADDR2[23:0]},
 поле Length [16:0] = {length/type[7:0], length/type [15:8]}.

Если заголовок кадра формируется в памяти (HEADER_EN=0), то его расположение в представлении 32-х разрядными словами выглядит следующим образом:

Режим Ethernet					
31				0	адрес
DA[31:24]	DA[23:16]	DA[15:8]	DA[7:0]	00	
SA[15:8]	SA[7:0]	DA[47:40]	DA[39:32]	04	
SA[47:40]	SA[39:32]	SA[31:24]	SA[23:16]	08	
Data1	Data0	Length[7:0]	Length[15:8]	0C	
Data5	Data4	Data3	Data2	10	
Data9	Data8	Data7	Data6	14	
Режим AFDX					
31				0	адрес
Afdx_DA[23:16] (xxxx_xxxx)	Afdx_DA[31:24] (xxxx_xxxx)	Afdx_DA[39:32] (xxxx_xxxx)	Afdx_DA[47:40] (xxxx_xx11)	00	
Afdx_SA[39:32] (0000_0000)	Afdx_SA[47:40] (0000_0010)	Afdx_DA[7:0] (VL[7:0])	Afdx_DA[15:8] (VL[15:8])	04	
Afdx_SA[7:0] ({Inteface ID[2:0],5'b00000})	Afdx_SA[15:8] (User Defined ID[15:8])	Afdx_SA[23:16] (User Defined ID[7:0])	Afdx_SA[31:24] (0000_0000)	08	
Data1	Data0	Type[7:0]	Type[15:8]	0C	
Data5	Data4	Data3	Data2	10	
Data9	Data8	Data7	Data6	14	

Или в представлении 64-х разрядными словами:

Режим Ethernet									
63								0	адрес
SA[15:8]	SA[7:0]	DA[47:40]	DA[39:32]	DA[31:24]	DA[23:16]	DA[15:8]	DA[7:0]	00	
Data1	Data0	Length[7:0]	Length[15:8]	SA[47:40]	SA[39:32]	SA[31:24]	SA[23:16]	08	
Data9	Data8	Data7	Data6	Data5	Data4	Data3	Data2	10	
Режим AFDX									
63								0	адрес
SRC_ADDR2[15:0]		DST_ADDR1[15:0]		DST_ADDR2[31:0]				00	
Afdx_SA[39:32] (0000_0000)	Afdx_SA[47:40] (0000_0010)	Afdx_DA[7:0] (VL[7:0])	Afdx_DA[15:8] (VL[15:8])	Afdx_DA[23:16] (xxxx_xxxx)	Afdx_DA[31:24] (xxxx_xxxx)	Afdx_DA[39:32] (xxxx_xxxx)	Afdx_DA[47:40] (xxxx_xx11)		
		LENGTH/TYPE[15:0]		SRC_ADDR1[23:0]			SRC_ADDR2[23:16]	08	
Data1	Data0	Type[7:0]	Type[15:8]	Afdx_SA[7:0] ({Inteface ID[2:0], 5'b00000})	Afdx_SA[15:8] (User Defined ID[15:8])	Afdx_SA[23:16] (User Defined ID[7:0])	Afdx_SA[31:24] (0000_0000)		
Data9	Data8	Data7	Data6	Data5	Data4	Data3	Data2	10	

15.4.2.11 LEN_BORDER_RX – ограничение длины кадра на прием

Формат регистра LEN_BORDER_RX приведен в Таблица 15.13.

Таблица 15.13. Формат регистра LEN_BORDER_RX

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:11	–	Не используется	R	0
10:0	LMAX	Максимальная длина кадра в байтах, включая поля <DESTINATION ADDRESS>, <SOURCE ADDRESS>, <SN> и <FCS>. Задается в диапазоне от 64 до 1518 байт	RW	0x5EE (1518 байт)

Если длина кадра меньше 18-ти байт, то он считается некорректными и выкидываются.

15.4.2.12 IFS_COLL_MODE – Inter frame Spacing и обработка коллизий

Формат регистра IFS_COLL_MODE приведен в Таблица 15.14.

Таблица 15.14. Формат регистра IFS_COLL_MODE

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:24	IFS	Значение межкадрового интервала – inter Frame Spacing – в тактах частоты передачи TX_CLK	RW	0x18 (24 такта)
23:16	JAMB	Значение повторяющегося байта 32-х разрядного jam-сообщения	RW	0xC3
15:8	COLL_WIN	Размер окна коллизии. При записи значения меньше 0xF (15 байт), автоматически устанавливается значение 0xF (15 байт)	RW	0x40 (64 байта)
7	TM_BACKOFF	Включение тестового режима работы блока BACKOFF	RW	0
6	CW_EN	Разрешение отслеживания окна коллизии. 1 – отслеживание разрешено 0 – отслеживание запрещено	RW	1
5	–	Не используется	R	0
4	MEDIUM_BUSY	Флаг занятости среды передачи (обнаружено наличие несущей). 0 – среда передачи свободна. 1 – среда передачи занята. Используется только в режиме полудуплексного Ethernet. Во всех остальных режимах полнодуплексная передача и среда всегда свободна	R	0
3:0	ATTEMPT_NUM	Максимальное количество попыток повторных передач кадра. 0x0 – 1 попытка 0x1 – 2 попытки 0xf – 16 попыток	RW	0xF

В режиме AFDX используется только параметр IFS. Остальные параметры используются только в режиме Ethernet.

15.4.2.13 UC_ADDR1 – первая часть уникального MAC адреса

Формат регистра UC_ADDR1 приведен в Таблица 15.15.

Таблица 15.15. Формат регистра UC_ADDR1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	UC_ADDR1	Первая часть уникального адреса MAC при приеме	RW	0

В режиме Ethernet используется для сравнения адреса при приеме кадра. В режиме AFDX не используется.

15.4.2.14 UC_ADDR2 – вторая часть уникального MAC адреса

Формат регистра UC_ADDR2 приведен в Таблица 15.16.

Таблица 15.16. Формат регистра UC_ADDR2

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	UC_ADDR2	Вторая часть уникального адреса MAC при приеме	RW	0

В режиме Ethernet используется для сравнения адреса при приеме кадра. В режиме AFDX не используется.

15.4.2.15 MC_ADDR1 – первая часть группового MAC адреса

Формат регистра MC_ADDR1 приведен в Таблица 15.17.

Таблица 15.17. Формат регистра MC_ADDR1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	MC_ADDR1	Первая часть группового адреса MAC при приеме	RW	0

В режиме Ethernet используется для сравнения группового адреса при приеме кадра. В режиме AFDX не используется.

15.4.2.16 MC_ADDR2 – вторая часть группового MAC адреса

Формат регистра MC_ADDR2 приведен в Таблица 15.18.

Таблица 15.18. Формат регистра MC_ADDR2

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	MC_ADDR2	Вторая часть группового адреса MAC при приеме	RW	0

В режиме Ethernet используется для сравнения группового адреса при приеме кадра. В режиме AFDX не используется.

15.4.2.17 MC_ADDR_MASK1 – первая часть маски группового MAC адреса

Формат регистра MC_ADDR_MASK1 приведен в Таблица 15.19.

Таблица 15.19. Формат регистра MC_ADDR_MASK1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:0	MC_ADDR_MASK1	Первая часть маски группового адреса MAC при приеме	RW	0

В режиме Ethernet используется для наложения маски на групповой адрес при приеме кадра. В режиме AFDX не используется.

15.4.2.18 MC_ADDR_MASK2 – вторая часть маски группового MAC адреса

Формат регистра MC_ADDR_MASK2 приведен в Таблица 15.20.

Таблица 15.20. Формат регистра MC_ADDR_MASK2

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	MC_ADDR_MASK2	Вторая часть маски группового адреса MAC при приеме	RW	0

В режиме Ethernet используется для наложения маски на групповой адрес при приеме кадра. В режиме AFDX не используется.

15.4.2.19 HASH_TABLE1 – первая часть хэш-таблицы

Формат регистра HASH_TABLE1 приведен в Таблица 15.21.

Таблица 15.21. Формат регистра HASH_TABLE1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	HASH_TABLE1	Первая часть хэш-таблицы	RW	0

В режиме AFDX не используется.

15.4.2.20 HASH_TABLE2 – вторая часть хэш-таблицы

Формат регистра HASH_TABLE2 приведен в Таблица 15.22.

Таблица 15.22. Формат регистра HASH_TABLE2

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	HASH_TABLE2	Вторая часть хэш таблицы	RW	0

В режиме AFDX не используется.

15.4.2.21 AFDX_ADDR – групповой MAC адрес для AFDX кадров

Формат регистра AFDX_ADDR приведен в Таблица 15.23.

Таблица 15.23. Формат регистра AFDX_ADDR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	AFDX_ADDR	Адреса MAC при приеме кадра в режиме AFDX	RW	0

В режиме AFDX используется для сравнения старшей части адреса при приеме кадра, если установлен бит разрешения сравнения AFDX_ADDR_EN.

15.4.2.22 SEND_FR_TIMER – Transmit Timer

Формат регистра SEND_FR_TIMER приведен в Таблица 15.24.

Таблица 15.24. Формат регистра SEND_FR_TIMER

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	EN_TIMER	Разрешение работы таймера. 0 – работа таймера запрещена. В этом случае таймер инкрементируется на 1 при записи 1 в разряд TICK_TIMER 1 – работа таймера разрешена	RW	0
30	TICK_TIMER	Если EN_TIMER = 0, то при записи 1 в этот разряд выполняется программная инкрементация таймера выдачи кадров в сеть. Считывается всегда 0	W1	0
29:28	–	Не используется	R	0
27:0	SEND_FR_TIMER	Начальное значение таймера выдачи кадров в сеть. Для запуска работы таймера необходимо установить бит EN_TIMER = 1. При этом запускается циклический отсчет заданного времени. Каждый раз при достижении заданной величины будет сформирован сигнал разрешения выдачи кадра в сеть (аналогичный TX_STEP). Если в регистре TXB_CSR установлен бит TX_DSBL = 1, то при возникновении сигнала разрешения выдачи кадра в сеть из буфера передачи начнется выдача кадра. При TX_DSBL = 0 данный сигнал игнорируется. Остановка работы таймера осуществляется сбросом бита EN_TIMER = 0. Таймер работает на системной частоте. 1 – сигнал формируется каждый такт системной частоты. 2 – сигнал формируется через каждые два такта системной частоты. И т.д.	RW	0

Для автоматической выдачи кадров в сеть, с определенным временным интервалом BAG, введен счетчик времени SEND_FR_TIMER, который задается программно и при срабатывании выдает сигнал запуска кадра в сеть. Его можно использовать, если кадры

передачи предназначены для одного VL и соответственно используется одинаковый временной интервал BAG. Счетчик дает возможность не только программно управлять временем выдачи кадров, но и аппаратно выдавать кадры в сеть по счетчику, если значение BAG для кадров передачи одинаковое.

15.4.2.23 TXB_CSR – Transmit Buffer Control and Status Register

Формат регистра TXB_CSR приведен в Таблица 15.25.

Таблица 15.25. Формат регистра TXB_CSR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	TX_STEP	Пошаговая передача кадров. Когда TX_DSBL = 1, при записи 1 в этот бит передаётся один кадр из буфера передачи TXB в сеть. Считывается всегда ноль	W1	0
30	TX_DSBL	Запрещение передачи кадров из буфера TXB в сеть: 0 – передача кадров разрешена; 1 – передача кадров запрещена, при этом можно осуществить пошаговую передачу кадров с помощью бита TX_STEP	RW	0
29	TXB_BUSY	Признак того, что выполняется обращение к буферу передачи, идет запись в буфер или чтение из буфера кадра	R	0
28:26	–	Не используется	R	0
25	EMPTY	Буфер TXB полностью пустой. Если в нём были кадры, то они все переданы	R	1
24	FULL	Признак того, что в буфере передачи TXB нет места	R	0
23	–	Не используется	R	0
22:16	TX_FRAME_NUM	Количество кадров в буфере TXB ожидающих передачу	R	0
15:14	–	Не используется	R	0
13:4	TX_WORD_NUM	Количество 64-разрядных слов буфера TXB занятых кадрами ожидающих передачу в сеть	R	0
3:1	–	Не используется	R	0
0	CLR_TXB	Сброс указателей передающего буфера	W1	0

15.4.2.24 RXB_CSR – Receive Buffer Control and Status Register

Формат регистра RXB_CSR приведен в Таблица 15.26.

Таблица 15.26. Формат регистра RXB_CSR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	RX_STEP	Пошаговая передача кадров. Когда RX_DSBL = 1, при записи 1 в этот бит на обработку в MAC контроллер выдаётся один кадр из буфера приёма RXB	W1	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
30	RX_DSBL	Запрещение выдачи кадров из буфера приёма RXB на обработку в MAC контроллер: 0 – выдача разрешена; 1 – выдача запрещена, при этом можно осуществить пошаговую передачу кадров (бит RX_STEP)	RW	0
29	RXB_BUSY	Признак того, что выполняется обращение к буферу приема, идет запись в буфер или чтение из буфера кадра	R	0
28:26	–	Не используется	R	0
25	EMPTY	Буфер приёма кадров RXB пустой	R	1
24	FULL	Буфер приёма кадров RXB полный	R	0
23	–	Не используется	R	0
22:16	RX_FRAME_NUM	Количество принятых кадров в буфере приёма RXB. Когда заполнение буфера RXB приближается к полному, то вновь принятый кадр может не поместиться в свободное место. Тогда этот кадр, который наполовину лежит в RXB, необходимо пометить как пропущенный кадр. Увеличить на 1 счётчик пропущенных кадров из-за занятости буфера приема, а счётчик RX_FRAME_NUM остаётся без изменений. Когда отмеченный кадр попадёт на обработку, контроллер MAC должен будет его выкинуть (потому как кадр не полный)	R	0
15:14	–	Не используется	R	0
13:4	RX_WORD_NUM	Количество 64-разрядных слов буфера RXB занятых принятыми из сети кадрами	R	0
3:1	–	Не используется	R	0
0	CLR_RXB	Сброс указателей буфера приема	W1	0

15.4.2.25 INT_CSR – Interrupt Control and Status Register

Формат регистра INT_CSR приведен в Таблица 15.27.

Таблица 15.27. Формат регистра INT_CSR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	TX_INT	Признак наличия прерывания при успешной передаче кадра. Прерывание сбрасывается программно, записью единицы	R/W1	0
30	TX_ERROR_INT	Признак наличия прерывания при обнаружении ошибки во время передачи кадра. Прерывание сбрасывается программно, записью единицы	R/W1	0
29:28	–	Не используется	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
27	RX_INT	Признак наличия прерывания при успешном приеме кадра. Прерывание сбрасывается программно, записью единицы	R/W1	0
26	RX_ERROR_INT	Признак наличия прерывания при обнаружении ошибки во время приема кадра. Прерывание сбрасывается программно, записью единицы	R/W1	0
25:24	–	Не используется	R	0
23	MD_INT	Маскируемое прерывание от MD порта. Устанавливается после выполнения операции чтения или записи по интерфейсу MDI. Сбрасывается записью в регистр MD_STATUS[31:30] нуля	R	0
22:0	–	Не используется	R	0

15.4.2.26 TX_FRAME_CNT – Transmit Frame Counter

Формат регистра TX_FRAME_CNT приведен в Таблица 15.28.

Таблица 15.28. Формат регистра TX_FRAME_CNT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	–	Не используется	R	0
15:0	TX_FRAME_CNT	Счетчик переданных кадров. Инкрементируется на единицу при передаче кадра в сеть	RW	0

15.4.2.27 TX_STATUS – Transmit Frame Status

Формат регистра TX_STATUS приведен в Таблица 15.29.

Таблица 15.29. Формат регистра TX_STATUS

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:9	–	Не используется	R	0
8	ONCOL	Флаг наличия коллизий в среде передачи. 0 – при передаче кадра коллизий не было. 1 – при передаче кадра были обнаружены коллизии	R	0
7:4	COLL_NUM	Счетчик попыток повторных передач кадра, из-за обнаружения коллизий в сети	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
3:0	CC	Признак завершения передачи кадра: 0000 – кадр успешно передан; 0001 – ExcessiveCollErr – ошибка превышения максимального количества попыток повторных передач кадра; 0010 – lateCollErr – ошибка поздней коллизии; 0011 – 1111 – резерв. Доступен только по чтению. Устанавливается аппаратно после передачи кадра	R	0

15.4.2.28 RX_FRAME_CNT – Receive Frame Counter

Формат регистра RX_FRAME_CNT приведен в Таблица 15.30.

Таблица 15.30. Формат регистра RX_FRAME_CNT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	MISSED_FR_CNT	Счетчик пропущенных кадров из-за занятости буфера приема	RW	0
15:0	RX_FRAME_CNT	Счетчик принятых кадров. Инкрементируется на единицу при записи кадра в память	RW	0

15.4.2.29 RX_STATUS – Receive Frame Status

Формат регистра RX_STATUS приведен в Таблица 15.31.

Таблица 15.31. Формат регистра RX_STATUS

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:10	–	Не используется	R	0
9	ALL	Флаг принятия кадра, при установленном разрешении приема кадров с произвольным адресом назначения ALL_EN=1. Если установлен ALL_EN=1, то выставляется флаг ALL=1, кадр принимается. Дополнительно проверяются адреса назначения на совпадения с индивидуальным, ширококвотельным или групповым адресом и выставляется соответствующий флаг.	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
8	BC	<p>Флаг распознавания широковещательного адреса назначения принятого кадра, когда разрешен прием кадров с широковещательным адресом назначения. 0 – не широковещательный адрес; 1 – распознан широковещательный адрес.</p> <p>Для Ethernet: Если значение принятого 48-разрядного адреса назначения 0xFFFF_FFFFFFFF, то такой адрес назначения является широковещательным, принятый адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг в дескрипторе приема BC=1. Для режима AFDX не используется</p>	R	0
7	MC	<p>Флаг распознавания группового адреса назначения принятого кадра при совпадении с замаскированным групповым адресом назначения MAC, когда разрешен прием кадров с таким адресом назначения. 0 – адрес назначения не совпал с групповым адресом MAC; 1 – адрес назначения совпал с групповым адресом MAC.</p> <p>Для Ethernet: Если принятый адрес назначения DA является групповым адресом (DA[0]=1), тогда принятый 48-разрядный адрес назначения DA[47:0] сравнивается с 48-разрядным значением группового адреса MAC, сформированного из значения регистров {MC_ADDR1[15:0], MC_ADDR2[31:0]} с учетом наложения на 48-разрядные адреса маски, заданной в регистрах {MC_ADDR_MASK1[15:0], MC_ADDR_MASK2[31:0]}. При совпадении замаскированных адресов, адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг MC=1. Для режима AFDX не используется</p>	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
6	МСНТ	<p>Флаг распознавания группового адреса назначения принятого кадра, разрешенного для приема в хэш-таблице, когда разрешен прием кадров с таким адресом назначения.</p> <p>0 – адрес назначения не совпал с групповым адресом MAC; 1 – адрес назначения совпал с групповым адресом MAC.</p> <p>Для Ethernet: Если принятый адрес назначения DA является групповым адресом (DA[0]=1), тогда по принятому 48-разрядному адресу назначения DA[47:0] в блоке CRC32_CHECK вычисляется контрольная сумма DA_CRC[31:0]. Значение бита вычисленной контрольной суммы DA_CRC[31] определяет младшая или старшая часть хэш-таблицы будет использоваться для распознавания адреса назначения. Если бит DA_CRC[31]=0, то для распознавания адреса используется младшая часть хэш-таблицы, заданная в регистре HASH_TABLE1. Если бит DA_CRC[31]=1, то для распознавания адреса используется старшая часть хэш-таблицы, заданная в регистре HASH_TABLE2. Значение пяти бит вычисленной контрольной суммы DA_CRC[30:26] задает номер бита в используемой части (старшей или младшей) хэш-таблицы. Таким образом, из 64 разрядов хэш-таблицы, заданной в регистрах HASH_TABLE1 и HASH_TABLE2, выбирается один бит. Если выбранный таким образом из хэш-таблицы бит установлен в 1, тогда адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг МСНТ=1.</p> <p>Для режима AFDX не используется</p>	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
5	UC	<p>Флаг распознавания адреса назначения принятого кадра при совпадении с уникальным адресом MAC.</p> <p>0 – адрес назначения не совпал с уникальным адресом MAC;</p> <p>1 – адрес назначения совпал с уникальным адресом MAC.</p> <p>Для Ethernet:</p> <p>Если принятый адрес назначения является индивидуальным адресом (DA[0] = 0), тогда принятый 48-разрядный адрес назначения DA[47:0] сравнивается с 48-разрядным значением уникального адреса MAC, сформированного из значения регистров {UC_ADDR1[15:0], UC_ADDR2[31:0]}.</p> <p>При совпадении значения принятого адреса назначения и значения уникального адреса MAC, адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг UC=1.</p> <p>Для режима AFDX не используется</p>	R	0
4	AFDX_ADDR	<p>Флаг распознавания AFDX адреса.</p> <p>0 – адрес назначения не совпал с AFDX адресом MAC;</p> <p>1 – адрес назначения совпал с AFDX адресом MAC</p>	R	0
3:0	CC	<p>Признак завершения приема кадра:</p> <p>0000 – кадр успешно принят;</p> <p>0001 – Нарушение длины кадра; Слишком длинный кадр;</p> <p>0010 – ошибка длины поля данных в принятом кадре;</p> <p>0011 – Во время приема кадра обнаружен сигнал RX_ER от PHY.</p> <p>0100 – FCSError – ошибка CRC принятого кадра.</p> <p>0101 – alignmentError – ошибка выравнивания в принятом кадре;</p> <p>0110 – 1111 – резерв.</p>	R	0

15.4.2.30 RX_CTR – Receive Control Register

Таблица 15.32. Формат регистра RX_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:10	–	Не используется	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
9	ALL_EN	<p>Разрешение приема кадров с произвольным адресом назначения. 0 – прием кадров с произвольным адресом запрещен; 1 – прием кадров с произвольным адресом разрешен. Если ALL_EN=1, то прием пакетов будет выполняться вне зависимости от адреса назначения. Проверка адресации все равно выполняется и для принимаемого кадра устанавливается соответствующий статусный флаг в дескрипторе приема.</p>	RW	0
8	BC_EN	<p>Разрешение приема кадров с широковещательным адресом назначения. 0 – прием кадров запрещен; 1 – прием кадров разрешен. Для Ethernet: Если значение принятого 48-разрядного адреса назначения 0xFFFF_FFFFFFFF, то такой адрес назначения является широковещательным. Если при этом установлен бит разрешения приема кадров с широковещательным адресом назначения BC_EN=1, то принятый адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг BC=1. Для режима AFDX не используется</p>	RW	0
7	MC_EN	<p>Разрешение приема кадров с групповым адресом назначения, совпадающим с замаскированным групповым адресом назначения. 0 – прием кадров запрещен; 1 – прием кадров разрешен. Для Ethernet: Если принятый адрес назначения DA является групповым адресом (DA[0]=1) и при этом установлен бит MC_EN=1, тогда принятый 48-разрядный адрес назначения DA[47:0] сравнивается с 48-разрядным значением группового адреса MAC, сформированного из значения регистров {MC_ADDR1[15:0], MC_ADDR2[31:0]} с учетом наложения на 48-разрядные адреса маски, заданной в регистрах {MC_ADDR_MASK1[15:0], MC_ADDR_MASK2[31:0]}. При совпадении замаскированных адресов, адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг MC=1. Для режима AFDX не используется</p>	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
6	MCST_EN	<p>Разрешение приема кадров с групповым адресом назначения, разрешенным для приема в хэш-таблице.</p> <p>0 – прием кадров запрещен; 1 – прием кадров разрешен.</p> <p>Для Ethernet: Если принятый адрес назначения DA является групповым адресом (DA[0]=1) и при этом установлен бит MCST_EN=1, тогда по принятому 48-разрядному адресу назначения DA[47:0] в блоке CRC32_CHECK вычисляется контрольная сумма DA_CRC[31:0]. Значение бита вычисленной контрольной суммы DA_CRC[31] определяет младшая или старшая часть хэш-таблицы будет использоваться для распознавания адреса назначения. Если бит DA_CRC[31]=0, то для распознавания адреса используется младшая часть хэш-таблицы, заданная в регистре HASH_TABLE_L. Если бит DA_CRC[31]=1, то для распознавания адреса используется старшая часть хэш-таблицы, заданная в регистре HASH_TABLE_H. Значение пяти бит вычисленной контрольной суммы DA_CRC[30:26] задает номер бита в используемой части (старшей или младшей) хэш-таблицы. Таким образом, из 64 разрядов хэш-таблицы, заданной в регистрах HASH_TABLE_L и HASH_TABLE_H, выбирается один бит. Если выбранный таким образом из хэш-таблицы бит установлен в 1, тогда адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг MCST=1.</p> <p>В режиме AFDX не используется</p>	RW	0
5	UC_EN	<p>Разрешение приема кадров с уникальным адресом назначения.</p> <p>0 – прием кадров запрещен; 1 – прием кадров разрешен.</p> <p>Для Ethernet: Если принятый адрес назначения является индивидуальным адресом (DA[0] = 0) и при этом установлен бит UC_EN=1, тогда принятый 48-разрядный адрес назначения DA[47:0] сравнивается с 48-разрядным значением уникального адреса MAC, сформированного из значения регистров {UC_ADDR1[15:0], UC_ADDR2[31:0]}.</p> <p>При совпадении значения принятого адреса назначения и значения уникального адреса MAC, адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг UC=1.</p> <p>В режиме AFDX не используется</p>	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
4	AFDX_ADDR_EN	Разрешение сравнения 32 старших бит поля DA принятого кадра, со значением регистра AFDX_ADDR. Используется только в режиме AFDX. В режиме AFDX адрес назначения должен быть групповым и локального администрирования. Групповой адрес определяется значением бита DA[40], локального администрирования значением бита DA[41]. Если DA[40]=1, то это групповой адрес; Если DA[41]=1, то это адрес локального администрирования	RW	0
3:1	–	Не используется	R	0
0	PAS_BAD_FRAME	Разрешение приема кадров, содержащих ошибки. 0 – прием кадров запрещен; 1 – прием кадров разрешен. При PAS_BAD_FRAME=1 принимаются все кадры не зависимо от того содержат они ошибки или нет. Для кадров, содержащих ошибки выставляется соответствующий статус приема	RW	0

15.4.3 Дескрипторы передачи

Порт обеспечивает возможность передачи кадров по дескрипторам. Каждый дескриптор содержит задание на передачу кадра, параметры передачи кадра. Один дескриптор задаёт передачу одного кадра. Дескрипторы объединяются в очереди и располагаются в памяти.

Для запуска передачи очереди дескрипторов необходимо настроить соответствующий канал DMA порта на чтение дескрипторов из памяти.

Дескрипторы передачи состоят из двух 32-х разрядных слов, последовательно расположенных в памяти. Дескрипторы передачи в памяти должны располагаться выровнено по границе 64-х разрядных слов. Расположение дескрипторов в памяти представлено в Таблица 15.33.

Таблица 15.33. Расположение дескрипторов передачи в памяти

63	32	31	0
TX_DESC1		TX_DESC2	

Формат слов дескрипторов передачи:

15.4.3.1 TX_DESC1 – первое слово дескриптора передачи

Формат слова TX_DESC1 приведен в Таблица 15.34.

Таблица 15.34. Формат слова TX_DESC1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	VL	Значение VL передаваемого кадра. Если установлен разрешающий бит VL_EN=1, то значение данного поля встраивается в кадр	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
15:8	SN	Значение SN передаваемого кадра. Если установлен разрешающий бит SN_EN=1, то значение данного поля встраивается в кадр	RW	0
7	VL_EN	Разрешение замены поля VL уже в сформированном кадре на значение из поля VL дескриптора: 0 – замена запрещена; 1 – замена разрешена. Используется только в режиме AFDX. Замена происходит уже в сформированном кадре, по какому принципу был сформирован кадр не имеет значение (кадр полностью из памяти; данные из памяти, а заголовок из управляющих регистров)	RW	0
6	SN_EN	Разрешение замены поля SN уже в сформированном кадре на значение из поля SN дескриптора: 0 – замена запрещена; 1 – замена разрешена. Используется только в режиме AFDX. Замена происходит уже в сформированном кадре, по какому принципу был сформирован кадр, не имеет значения (кадр полностью из памяти; данные из памяти, а заголовок из управляющих регистров)	RW	0
5	TYPE_EN	Если HEADER_EN=1, то бит TYPE_EN задает в каком качестве используется поле <LENGTH/TYPE> в передаваемом кадре. Если TYPE_EN = 0, то в кадр встраивается поле <LENGTH>, значение этого поля рассчитывается автоматически на основе поля LENGTH этого дескриптора (регистр TYPE участия не принимает). Если TYPE_EN = 1, то в кадр встраивается поле <TYPE>, значение этого поля берётся из регистра TYPE. Если HEADER_EN = 0, то состояние бита TYPE_EN не имеет значения. Так как в этом случае в памяти лежит полностью сформированный пакет с полями DA, SA и TYPE/LENGTH и т.д.	RW	0
4	HEADER_EN	Выбор варианта формирования заголовка кадра: 0 – по адресу BUF_ADDR лежит полностью сформированный кадр с заголовком и данными. 1 – по адресу BUF_ADDR лежат только данные кадра, заголовок кадра формируется на основе регистров: SRC_ADDR, DST_ADDR, TYPE и поля SN этого регистра	RW	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
3	PAD_EN	<p>Разрешение добавления PAD в кадр</p> <p>0 – добавление запрещено;</p> <p>1 – добавление разрешено.</p> <p>Если добавление PAD разрешено и количество данных поля <DATA> в кадре меньше 46 байт (для режима ethernet, для AFDX 45 байт плюс 1 байт поля SN), то в кадр аппаратно встраивается поле PAD.</p> <p>Поле PAD может иметь длину 0 до 46 байт в режиме ethernet и от 0 до 45 байт в AFDX режиме работы.</p> <p>Добавление поля PAD возможно, только если заголовок кадра формируется из регистров, а данные берутся из памяти. Если кадр полностью сформирован в памяти, то он должен содержать поле PAD</p>	RW	0
2	FCS_MODE	<p>Режим вычисления контрольной суммы кадра FCS (Frame Check Sequence):</p> <p>0 – правильное вычисление FCS;</p> <p>1 – вычисление FCS с ошибкой (инверсия старшего разряда в каждом байте правильной FCS)</p> <p>Используется только для тестирования, в штатном режиме должно быть FCS_MODE=0.</p> <p>Поле FCS всегда рассчитывается аппаратно и автоматически вставляется в конец кадра</p>	RW	0
1:0	INTERFACE_MODE	<p>Выбор по каким сетям передавать кадр</p> <p>01 – передача кадров только по сети А;</p> <p>10 – передача кадров только по сети В;</p> <p>00 и 11 – передача кадров по обоим сетям А и В.</p> <p>В зависимости от значения этого поля уже сформированный кадр будет передаваться на одно из двух PHY или на оба сразу.</p> <p>Поле <Interface_ID> подменяется в каждом кадре для каждой сети перед выдачей кадра в PHY.</p> <p>Это поле используется только в режиме AFDX</p>	RW	0

15.4.3.2 TX_DESC2 – второе слово дескриптора передачи

Формат слова TX_DESC2 приведен в Таблица 15.35.

Таблица 15.35. Формат слова TX_DESC2

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:11	–	Не используется	R	0
10:0	LENGTH	<p>Полная длина кадра, сформированного в памяти на передачу в байтах.</p> <p>Значение LENGTH должно быть не нулевым</p>	RW	0

15.4.4 Дескрипторы приема

Для организации приема кадра необходимо установить 32-х разрядный регистр RX_CTR – Receive Control Register.

Дескрипторы приема состоят из двух 32-х разрядных слов, последовательно расположенных в памяти. Дескрипторы приема в памяти должны располагаться выровнено по границе 64-х разрядных слов. Расположение дескрипторов в памяти представлено в Таблица 15.36.

Таблица 15.36. Расположение дескрипторов приема в памяти

63	32	31	0
RX_DESC1		RX_DESC2	

15.4.4.1 RX_DESC1 – первое слово дескриптора приема

Формат слова RX_DESC1 приведен в Таблица 15.37.

Таблица 15.37. Формат слова RX_DESC1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	–	Не используется	R	0

15.4.4.2 RX_DESC2 – второе слово дескриптора приема

Формат слова RX_DESC2 приведен в Таблица 15.38.

Таблица 15.38. Формат слова RX_DESC2

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	OWNERSHIP	Признак владения дескриптором. Устанавливается в 1 аппаратно при записи дескриптора в память.	R	0
30:26	–	Не используется	R	0
25	ALL	Флаг принятия кадра, при установленном разрешении приема кадров с произвольным адресом назначения ALL_EN=1. Если установлен ALL_EN=1 и адрес назначения принятого кадра не совпал ни с одним из возможных (индивидуальным, групповым или ширококвещательным), то выставляется флаг ALL=1, кадр принимается. Дополнительно проверяются адреса назначения на совпадения с индивидуальным, ширококвещательным или групповым адресом и выставляется соответствующий флаг. Флаг ALL выставляется только в случае если нет сравнения с другими адресами	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
24	BC	<p>Флаг распознавания широковещательного адреса назначения принятого кадра, когда разрешен прием кадров с широковещательным адресом назначения.</p> <p>0 – не широковещательный адрес; 1 – распознан широковещательный адрес.</p> <p>Для Ethernet: Если значение принятого 48-разрядного адреса назначения 0xFFFF_FFFFFFFF, то такой адрес назначения является широковещательным. Если при этом установлен бит разрешения приема кадров с широковещательным адресом назначения BC_EN=1, то принятый адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг в дескрипторе приема BC=1.</p> <p>Для режима AFDX не используется</p>	R	0
23	MC	<p>Флаг распознавания группового адреса назначения принятого кадра при совпадении с замаскированным групповым адресом назначения MAC, когда разрешен прием кадров с таким адресом назначения.</p> <p>0 – адрес назначения не совпал с групповым адресом MAC; 1 – адрес назначения совпал с групповым адресом MAC.</p> <p>Для Ethernet: Если принятый адрес назначения DA является групповым адресом (DA[0]=1) и при этом установлен бит MC_EN=1, тогда принятый 48-разрядный адрес назначения DA[47:0] сравнивается с 48-разрядным значением группового адреса MAC, сформированного из значения регистров {MC_ADDR_H[31:0], MCADDR_L[15:0]} с учетом наложения на 48-разрядные адреса маски, заданной в регистрах {MC_ADDR_MASK_H[31:0], MCADDR_MASK_L[15:0]}. При совпадении замаскированных адресов, адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг MC=1.</p> <p>Для режима AFDX не используется</p>	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
22	МСНТ	<p>Флаг распознавания группового адреса назначения принятого кадра, разрешенного для приема, в хэш-таблице, когда разрешен прием кадров с таким адресом назначения.</p> <p>0 – адрес назначения не совпал с групповым адресом МАС;</p> <p>1 – адрес назначения совпал с групповым адресом МАС.</p> <p>Для Ethernet:</p> <p>Если принятый адрес назначения DA является групповым адресом (DA[0]=1) и при этом установлен бит МСНТ_EN=1, тогда по принятому 48-разрядному адресу назначения DA[47:0] в блоке CRC32_CHECK вычисляется контрольная сумма DA_CRC[31:0]. Значение бита вычисленной контрольной суммы DA_CRC[31] определяет младшая или старшая часть хэш-таблицы будет использоваться для распознавания адреса назначения. Если бит DA_CRC[31]=0, то для распознавания адреса используется младшая часть хэш-таблицы, заданная в регистре HASH_TABLE_L. Если бит DA_CRC[31]=1, то для распознавания адреса используется старшая часть хэш-таблицы, заданная в регистре HASH_TABLE_H. Значение пяти бит вычисленной контрольной суммы DA_CRC[30:26] задает номер бита в используемой части (старшей или младшей) хэш-таблицы. Таким образом, из 64 разрядов хэш-таблицы, заданной в регистрах HASH_TABLE_L и HASH_TABLE_H, выбирается один бит. Если выбранный таким образом из хэш-таблицы бит установлен в 1, тогда адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг МСНТ=1.</p> <p>Для режима AFDX не используется</p>	R	0

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
21	UC	<p>Флаг распознавания адреса назначения принятого кадра при совпадении с уникальным адресом MAC.</p> <p>0 – адрес назначения не совпал с уникальным адресом MAC;</p> <p>1 – адрес назначения совпал с уникальным адресом MAC.</p> <p>Для Ethernet:</p> <p>Если принятый адрес назначения является индивидуальным адресом (DA[0] = 0) и при этом установлен бит UC_EN=1, тогда принятый 48-разрядный адрес назначения DA[47:0] сравнивается с 48-разрядным значением уникального адреса MAC, сформированного из значения регистров {UC_ADDR_H[31:0], UC_ADDR_L[15:0]}.</p> <p>При совпадении значения принятого адреса назначения и значения уникального адреса MAC, адрес назначения считается распознанным и для принимаемого кадра устанавливается статусный флаг UC=1.</p> <p>Для режима AFDX не используется</p>	R	0
20	AFDX_ADDR	<p>Флаг распознавания AFDX адреса.</p> <p>0 – адрес назначения не совпал с AFDX адресом MAC;</p> <p>1 – адрес назначения совпал с AFDX адресом MAC</p>	R	0
19:16	–	Не используется	R	0
15:12	CC	<p>Признак завершения приема кадра:</p> <p>0000 – кадр успешно принят;</p> <p>0001 – Нарушение длины кадра; Слишком длинный кадр;</p> <p>0010 – ошибка длины поля данных в принятом кадре;</p> <p>0011 – Во время приема кадра обнаружен сигнал RX_ER от PHY.</p> <p>0100 – FCSError – ошибка CRC принятого кадра.</p> <p>0101 – alignmentError – ошибка выравнивания в принятом кадре;</p> <p>0110 – 1111 – резерв.</p> <p>Устанавливается в 0 программно при инициализации дескриптора</p>	R	0
11	–	Не используется	R	0
10:0	LENGTH	Длина принятого кадра в байтах	R	0

15.5 Передача кадра

15.5.1 Передача кадров

В режиме Ethernet необходимо для каждого порта сформировать в памяти свою очередь дескрипторов, в режиме AFDX формируется только одна цепочка дескрипторов передачи.

Дескрипторы передачи состоят из двух 32-х разрядных слов, расположенных в памяти следующим образом:

63	0
TX_DESC1[31:0]	TX_DESC2[31:0]

Для запуска передачи очереди дескрипторов необходимо настроить и запустить DMA канал передачи дескрипторов. Затем для передачи кадра необходимо настроить и запустить DMA канал передачи данных. В контроллере установить бит EN_TX регистра MAC_CSR.

Для отслеживания номера текущей передачи предусмотрен регистр TX_FRAME_CNT. После передачи очередного кадра в сеть счетчик переданных кадров инкрементируется и формируется прерывание. После обработки прерывания по данному дескриптору для его сброса в регистр INT_CSR необходимо программно записать единицу в разряд, соответствующий активному прерыванию.

Для настройки параметров передачи необходимо заполнить два слова дескрипторов передачи TX_DESC1 и TX_DESC2, содержащие управляющую информацию.

Контроллер по DMA каналу считывает дескриптор в контроллер. При поступлении дескриптора контроллер в соответствии его параметрами считывает по DMA каналу данные из памяти в буфер передачи PL_TXB, в соответствии со значением поля LENGTH слова TX_DESC2 дескриптора передачи. Анализирует параметры, заданные в дескрипторе, и на их основании формирует в буфере готовый кадр на передачу в сеть. По завершении передачи кадра в сеть в регистр TX_STATUS пишется статус передачи кадра и выдается прерывание.

Если во время передачи кадра была обнаружена ошибка, то передача кадров останавливается, и бит EN_TX сбрасывается.

15.5.2 Формирование кадра на передачу

Передаваемый кадр может быть сформирован двумя способами:

кадр полностью формируется в памяти;

данные кадра формируются в памяти, а заголовок из управляющих регистров.

Если установлен бит HEADER_EN=0 значит, кадр полностью сформирован в памяти и не требуется добавление полей заголовка. Если HEADER_EN=1 тогда заголовок кадра формируется на основании полей регистров SRC_ADR_L, SRC_ADR_H, DST_ADR_L, DST_ADR_H и TYPE, а в памяти лежат только данные.

Также для режима AFDX в поле предусмотрена возможность выбора формирования полей VL и SN. Если установлен бит VL_EN=1, тогда поле кадра VL подменяется на значение поля VL дескриптора передачи, независимо от того по какому принципу был сформирован кадр. Если VL_EN=0, то замена не производится. Аналогично, если установлен бит SN_EN=1, тогда поле кадра SN подменяется на значение поля SN из дескриптора передачи, не зависимо от того по какому принципу был сформирован кадр. Если SN_EN=0, то замена не производится.

В режиме Ethernet если количество данных поля <DATA> меньше 46 байт и установлено разрешение добавление поля PAD в кадр, то в передаваемый кадр добавляется поле <PAD>. Для разрешения добавления поля <PAD> необходимо в дескрипторе TX_DESC1[3] установить бит PAD_EN=1.

Контрольная сумма кадра всегда вычисляется аппаратно. Для внедрения ошибки в поле FCS предусмотрен бит FCS_MODE. Если FCS_MODE=0, то контрольная сумма вычисляется верно. Если FCS_MODE=1, то в поле FCS внедряется ошибка (инвертируются старшие биты каждого байта).

Для режима AFDX необходимо задавать, по какой сети будет передан кадр. Это определяется установкой битов INTERFACE_MODE[1:0]. Если INTERFACE_MODE[1:0] = 01, то передача кадра будет произведена только по сети А. Если INTERFACE_MODE[1:0] = 10, то передача кадра будет произведена по сети В. Если INTERFACE_MODE[1:0] = 11 или 00, то передача кадра будет произведена по обеим сетям А и В одновременно.

15.5.3 Прерывания при передаче кадров

Для отслеживания выполнения передачи кадров предусмотрены два бита прерываний TX_INT и TX_INT_ERR (в регистре INT_CSR). Если при передаче кадра не обнаружено ошибок, то формируется прерывание успешной выдачи кадра и выставляется бит TX_INT. При обнаружении ошибки передачи формируется прерывание обнаружения ошибки и выставляется бит TX_INT_ERR. Установка бита TX_INT_ERR и выдача соответствующего прерывания производятся, только в том случае если статус выполнения передачи CC отличен от нуля, т. е. передача завершилась ошибкой. При возникновении прерывания по ошибке дальнейшие передачи кадров останавливаются, и бит EN_TX сбрасывается.

15.5.4 Ошибки передачи

Ошибки передачи возможны только в полудуплексном режиме Ethernet.

В полудуплексном режиме из-за возникновения коллизий в сети возможно выполнение повторных передач кадра. Количество допустимых повторных передач задается в регистре IFS_COLL_MODE[3:0] в поле ATTEMPT_NUM. Если превышено количество повторных передач, то передача прекращается, выставляется статус CC = 0001 и в поле COLL_NUM регистра TX_STATUS[7:4] записывается количество попыток.

В полудуплексном режиме возможно возникновение поздней коллизии, т.е. когда коллизия обнаружена, после завершения временного интервала отслеживания коллизий. При этом выставляется статус CC = 0010.

15.5.5 Управление буфером передачи

В передающем буфере предусмотрено запрещение выдачи кадров и пошаговая их передача. Если в регистре TXB_CSR установлен бит TX_DSBL = 0, то передача кадров идет в штатном режиме. Если TX_DSBL = 1, то передача кадров из буфера запрещена, при этом можно выполнить пошаговую передачу с помощью бита TX_STEP. Когда TX_DSBL = 1, при записи 1 в TX_STEP передается один кадр из буфера передачи. Последующая запись 1 в TX_STEP до окончания предыдущей передачи кадра игнорируется.

Для определения занятости буфера передачи в регистре TXB_CSR используются биты FULL – признак, что в буфере передачи нет места, EMPTY – признак, что буфер пустой, TX_FRAME_NUM – количество кадров, ожидающих передачу, и TX_WORD_NUM – количество 64-разрядных слов, занятых кадрами ожидающих передачу в сеть.

15.5.6 Обработка коллизий

Если выбран полудуплексный режим, тогда перед выдачей кадра в сеть проверяется занятость среды передачи, и если она свободна кадр передается. Если обнаружена занятость среды, то передача кадра задерживается и ожидается, когда среда освободится. После освобождения среды перед началом передачи кадра осуществляется временная задержка - межкадровый интервал (`interFrameSpacing`). Также при передаче цепочки кадров в режиме Ethernet между передачами необходимо выдерживать межкадровый интервал `InterFrameSpacing (IFS)`.

В соответствии со стандартом Ethernet - для скорости передачи 10Mb/s минимальный IFS=9.6μs, для 100Mb/s минимальный IFS=0.96μs, что соответствует времени передачи 96 бит.

Значение IFS задается в регистре `IFS_COL_MODE[31:24]` и по умолчанию равен времени передачи 96 бит, что соответствует 24-ем тактам частоты передачи. IFS рассматривается в качестве двух временных интервалов: начальный интервал равный 2/3 межкадрового интервала и заключительный равный 1/3 межкадрового интервала. Во время начального интервала отслеживается занятость среды и если во время начального интервала обнаруживается занятость, то отсчет межкадрового интервала начинается сначала. Если среда остается свободной, то ожидается заключительный интервал, в котором уже не отслеживается занятость среды и по истечении заключительного интервала кадр передается в среду.

Если кадр полностью передан в сеть и не обнаружено коллизий, то записывается статус передачи, инкрементируется счетчик переданных кадров и выполняется переход к выдаче следующего кадра.

Если во время передачи сообщения обнаружена коллизия, то выполняется алгоритм обработки коллизий.

15.5.7 Алгоритм обработки коллизий

Во время передачи кадра, при обнаружении коллизии в среду передается 32-х разрядное JAM сообщение, чтобы сообщить другим станциям об обнаружении коллизии. JAM сообщение состоит из четырех повторяющихся байт. Значение повторяющегося байта JAM сообщения задается в регистре `IFS_COLL_MODE[23:16]` в поле `JAMB`. После передачи JAM сообщения останавливается передача кадра и увеличивается счетчик попыток повторных передач.

Счетчик количества попыток автоматически сбрасывается при запросе на передачу следующего кадра.

После передачи JAM сообщения перед повторной попыткой передачи кадра ожидается время задержки передачи, рассчитанное в блоке `BACKOFF`, в зависимости от номера попытки текущей передачи. И выполняется повторная передача кадра. Если обнаружится повторная коллизия, то будет выполняться передача кадра, пока счетчик повторных попыток не достигнет максимального значения. Максимальное количество повторных попыток задается в регистре `IFS_COLL_MODE[3:0]` в поле `ATTEMPT_NUM`.

Если превышено количество повторных передач, то передача прекращается, выставляется статус `CC = 0001` и в поле `COLL_NUM` записывается количество попыток.

Коллизия может быть обнаружена в течение определенного промежутка времени от начала передачи кадра. Этот промежуток времени называется окном коллизии. Его размер задается

в регистре IFS_COLL_MODE[15:8] в поле COLL_WIN как число байт пакета, для передачи, которых требуется определенный промежуток времени. В соответствии со стандартом Ethernet размер окна коллизии (slotTime) по умолчанию равен времени передачи 512 бит (64 байт кадра). Размер окна коллизии не должен быть меньше минимального размера кадра - 18 байт.

Для разрешения отслеживания окна коллизий в регистре IFS_COLL_MODE[4] должен быть установлен бит CW_EN = 1.

В случае коллизии во время передачи кадра, если разрешено отслеживание окна коллизии, выполняется проверка, вышла ли передача за окно коллизии или нет. Если передача вышла за пределы окна коллизии, то после передачи JAM сообщения не делается повторных попыток передачи кадра и завершается запрос на передачу, со статусом CC = 0010 (обнаружена поздняя коллизия).

Если отслеживание окна коллизий запрещено CW_EN = 0, тогда не зависимо от момента обнаружения коллизии, передача кадра будет выполняться повторно, пока не будет, выполнена успешно или пока не будет достигнуто максимальное значение количества повторных попыток передачи кадра.

В дуплексном режиме работы коллизий возникать не может.

15.5.8 Временная задержка BACKOFF

Если во время передачи кадра обнаружена коллизия, запускается процесс повторной передачи, до тех пор, пока кадр не будет передан успешно или не будет достигнуто максимальное значение передач. Важно чтобы все попытки передачи данного кадра заканчивались прежде, чем любые последующие кадры переданы. Распределение повторных передач определяется процессом рандомизации и называется «truncated binary exponential backoff». После передачи JAM сообщения, осуществляется временная задержка повторной передачи кадра. Временная задержка определяется как целое число R временных интервалов SlotTime.

R вычисляется как случайное значение в диапазоне:

$0 \leq R < 2K$, где $K = \min(n, 10)$, $1 \leq n \leq 15$, n – номер повторной передачи.

Также предусмотрен тестовый режим работы BACKOFF. Для его включения необходимо установить в регистре IFS_COLL_MODE[7] бит TM_BACKOFF = 1. При этом целое число временных интервалов SlotTime будет вычисляться в диапазоне $0 \leq R \leq 1$.

15.5.9 Вычисление контрольной суммы FCS

Для генерации FCS используется CRC алгоритм (cyclic redundancy check). Контрольная сумма представляет собой 32-х разрядное значение, вычисляемое как функция от содержимого полей кадра: <DESTINATION ADDRESS>, <SOURCE ADDRESS>, <LENGTH/TYPE>, <DATA>, <PAD> (т. е. для всех полей кадра, за исключением <PREAMBLE>, <SFD>, <FCS>).

Для вычисления контрольной суммы используется полином:

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1;$$

Разряды вычисленной контрольной суммы CRC[31:0] помещаются в поле <FCS> так, что старший разряд CRC[31] помещается в младший разряд поля FCS[0], а младший разряд

CRC[0] помещается в старший разряд поля FCS[31]. Таким образом, поле FCS[31:0] = {CRC[0], CRC[1], ..., CRC[30], CRC[31]}.

CRC всегда вычисляется аппаратно.

Mathematically, the CRC value corresponding to a given frame is defined by the following procedure:

a) The first 32 bits of the frame are complemented.

b) The n bits of the frame are then considered to be the coefficients of a polynomial $M(x)$ of degree $n-1$.

(The first bit of the Destination Address field corresponds to the $x(n-1)$ term and the last bit of the data field corresponds to the x^0 term.)

c) $M(x)$ is multiplied by x^{32} and divided by $G(x)$, producing a remainder $R(x)$ of degree ≤ 31 .

d) The coefficients of $R(x)$ are considered to be a 32-bit sequence.

e) The bit sequence is complemented and the result is the CRC.

15.6 Прием кадра

Прием кадра осуществляется посредством дескрипторов.

Для разрешения работы блока приема кадров необходимо установить бит EN_RX=1 регистра MAC_CSR.

Блок приема кадров может быть сконфигурирован для работы в режиме петли. Выходы передатчика порта Ethernet коммутируются на входы приёмника порта Ethernet. Для этого надо выставить бит LOOPBACK в регистре MODE_CSR.

15.6.1 Прием кадров посредством дескрипторов

Для организации приема кадра через дескрипторы необходимо заполнить регистр RX_CTR – Receive Control Register и для каждого порта сформировать в памяти свою очередь дескрипторов. Дескрипторы приема состоят из двух 32-х разрядных слов. Расположенных в памяти следующим образом:

63	0
RX_DESC1[31:0]	RX_DESC2[31:0]

Для запуска приема очереди дескрипторов необходимо настроить и запустить DMA канал приема дескрипторов. Для приема кадра необходимо настроить и запустить DMA канал приема данных. В контроллере установить бит EN_RX регистра MAC_CSR.

Для отслеживания номера текущего приема предусмотрен регистр RX_FRAME_CNT. После приема очередного кадра в контроллер счетчик принятых кадров инкрементируется и формируется прерывание. После обработки прерывания по данному дескриптору для его сброса в регистр INT_CSR необходимо программно записать единицу в разряд, соответствующий активному прерыванию.

При поступлении в буфер приема кадра контроллер по DMA каналу записывает его в память и формирует дескриптор. Сформированный дескриптор по DMA каналу приема дескрипторов переписывает в память. После записи дескриптора через DMA контроллер формирует прерывание и записывает статус приема в регистр RX_STATUS, а также инкрементирует счетчик принятых кадров RX_FRAME_CNT.

Если во время приема кадра была обнаружена ошибка и бит PAS_BAD_FRAME регистра RX_CTR установлен в 1, то прием кадра продолжится и выставится прерывание приема кадра, содержащего ошибку.

15.6.2 Прием кадра из сети

Блок приема кадра постоянно анализирует состояние сигнала RX_DV для обнаружения трансляции кадра в среде передачи.

В случае, когда блок приема кадров обнаруживает, что установился сигнал RX_DV и при этом бит разрешения блока приема кадров EN_RX = 0, тогда транслируемый кадр пропускается.

Если установился сигнал RX_DV и бит разрешения работы блока приема кадров EN_RX = 1, то начинается прием транслируемого кадра. Если бит EN_RX во время приема кадра будет сброшен, прием текущего кадра будет продолжен.

При работе контроллера в полудуплексном режиме (FULLD = 0) он может только выполнять прием или передачу кадра. Таким образом, во время передачи кадров блок приема пропускает транслируемые на прием кадры.

Также предусмотрен тестовый режим работы блока приема кадров (FULLD_RX), при работе в котором блок приема кадров будут приниматься транслируемые на прием кадры во время передачи кадров, при работе контроллера в полудуплексном режиме (FULLD = 0).

В начале приема кадра отслеживается появление байтов полей <PREAMBLE> и <SFD> (h'55 и h'D5). Поле <PREAMBLE> содержит от 1 до 7 байт или может отсутствовать, тогда кадр начинается с поля <SFD>.

При обнаружении поля <SFD>, блок приема кадров начинает прием кадра и запись его в буфер приема RXB. Затем, в зависимости от настроек приема принятый кадр обрабатывается.

Как только сигнал RX_DV сбрасывается, блок приема кадров завершает прием транслируемого кадра и начинает проверку и обработку принятого кадра.

15.6.3 Ошибки приема кадра

15.6.3.1 Проверка адресации.

Для задания фильтрации кадров по адресу назначения необходимо установить соответствующие биты регистра приема RX_CTR[9:4], а также регистры UC_ADDR_L, UC_ADDR_H, MC_ADDR_L, MC_ADDR_H, MC_ADDR_MASK_L, MC_ADDR_MASK_H, HASH_TABLE_L, HASH_TABLE_H.

Если установлены биты разрешения фильтрации, то при приеме кадра выполняется проверка адреса назначения и в случае, когда принятый адрес назначения не был распознан как верный, прием транслируемого кадра прекращается, т.к. он считается предназначенным для другой станции и запись в буфер RXB не производится.

Если разрешен прием кадров с любым адресом назначения (ALL_EN = 1) или принятый адрес был распознан, то кадр записывается в буфер RXB и блок приема кадра начинает проверку других полей кадра. При распознавании принятого адреса в дескрипторе приема выставляется флаг распознавания адреса.

15.6.3.2 Проверка длины кадра.

В регистре LEN_BORDER_RX необходимо задать значение максимального размера кадра в байтах.

Если размер принятого кадра меньше 18 байт, то такой кадр выкидывается и инкрементируется счетчик пропущенных кадров (18 байт – это длина заголовка кадра и FCS).

Если размер принятого кадра больше значения установленного в регистре LEN_BORDER_RX (по умолчанию 1518 байт) и прием кадров с ошибками разрешен (PAS_BAD_FRAME = 1), то такой кадр определяется как слишком длинный и для него устанавливается статус CC = 0001 (нарушение длины принятого кадра – слишком длинный кадр). Если прием длинных кадров запрещен, то кадры с нарушением максимальной длины выкидываются, и инкрементируется значение счетчика пропущенных кадров.

15.6.3.3 Проверка выравнивания.

Если при приеме кадра поступило нечетное число полубайт и прием кадров с ошибками разрешен (PAS_BAD_FRAME = 1), то принятый кадр определяется как кадр с ошибкой выравнивания и выставляется статус CC = 0101 (ошибка выравнивания в принятом кадре). Если прием кадров с ошибками запрещен (PAS_BAD_FRAME = 0), то кадр с ошибкой выравнивания выкидывается и инкрементируется значение счетчика пропущенных кадров.

15.6.3.4 Проверка совпадения количества принятых данных кадра со значением поля <LENGTH> кадра.

При работе контроллера в режиме Ethernet в принятом кадре проверяется длина поля данных. Если в принятом кадре не обнаружено поле <PAD> и число байт принятых данных не совпадает со значением поля <LENGTH> принятого кадра, то такой кадр определяется как кадр с ошибкой длины поля <DATA>.

Если прием кадров с ошибкой длины поля данных разрешен, то такой кадр принимается и выставляется статус CC = 0010 (ошибка длины поля данных в принятом кадре). Если прием кадров с ошибками запрещен (PAS_BAD_FRAME = 0), то кадр с ошибкой выравнивания выкидывается и инкрементируется значение счетчика пропущенных кадров.

Проверка выполняется только для режима Ethernet.

15.6.3.5 Проверка занятости буфера RXB.

Если во время приема кадра буфер приема заполняется и выставляется признак переполнения буфера приема FULL, то кадр выкидывается, и счетчик количества пропущенных кадров инкрементируется.

15.6.3.6 Проверка CRC принятого кадра.

Во время приема кадра по принимаемым байтам полей кадра, за исключением поля <FCS>, вычисляется контрольная сумма CRC. После завершения приема рассчитанная контрольная сумма сравнивается со значением поля <FCS> принятого кадра. Если рассчитанное значение не совпадает со значением поля <FCS> и разрешен прием кадров с ошибками (PAS_BAD_FRAME = 1), то выставляется статус CC = 0100 (ошибка контрольной суммы принятого кадра). Если прием кадров с ошибками запрещен (PAS_BAD_FRAME = 0), то

кадр, содержащий ошибку контрольной суммы выкидывается и инкрементируется значение счетчика пропущенных кадров.

В принятых кадрах после проверки правильности CRC поле FCS выкидывается.

Аналогично блок приема обрабатывает ошибку, если во время приема кадра был установлен сигнал $RX_ER = 1$ (ошибка принятых данных $CC = 0011$).

15.6.4 Прерывания при приеме кадров

Для отслеживания выполнения приема кадров предусмотрены два бита управления прерываниями RX_INT и RX_INT_ERR (в регистре INT_CSR). Если при приеме кадра не обнаружено ошибок, то формируется прерывание успешного приема кадра и выставляется бит RX_INT . При обнаружении ошибки в принятом кадре формируется прерывание обнаружения ошибки и выставляется бит RX_INT_ERR . Установка бита RX_INT_ERR и выдача соответствующего прерывания производятся, только в том случае если статус выполнения передачи CC отличен от нуля, т.е. прием завершился ошибкой.

15.6.5 Управление буфером приема

В принимающем буфере RXB предусмотрено запрещение выдачи кадров и пошаговая их передача в MAC контроллер. Если в регистре RXB_CSR установлен бит $RX_DSBL = 0$, то передача кадров в MAC контроллер идет в штатном режиме. Если $RX_DSBL = 1$, то передача кадров из буфера запрещена, при этом можно выполнить пошаговую передачу с помощью бита RX_STEP . Когда $RX_DSBL = 1$, при записи 1 в RX_STEP передается один кадр из буфера приема. Последующая запись 1 в RX_STEP до окончания предыдущей передачи кадра игнорируется.

Для определения занятости буфера приема в регистре RXB_CSR используются биты $FULL$ – признак, что в буфере приема нет места, $EMPTY$ – признак, что буфер пустой.

В поле RX_FRAME_NUM отображается количество принятых кадров в буфер.

В поле RX_WORD_NUM отображается количество 64-разрядных слов, занятых принятыми из сети кадрами.

15.6.6 Заполнение полей дескриптора приема

В случае, когда после проверки и обработки принятого кадра он не был отброшен, такой кадр считается принятым и осуществляется заполнение статусных полей дескриптора приема.

В поле CC дескриптора приема записывается статус приема, полученный в процессе проверки и обработки принятого кадра. В поле $LENGTH$ записывается длина принятого кадра в байтах. Также выставляется флаг распознавания адреса назначения.

Если во время приема кадр был отброшен, то дескриптор не заполняется и увеличивается значение счетчика пропущенных кадров.

15.7 Структура кадра

Структура кадра Ethernet состоит из полей <PREAMBLE>, <SFD>, <DESTINATION ADDRESS>, <SOURCE ADDRESS>, <LENGTH/TYPE>, <DATA>, <PAD> и <FCS>. В AFDX кадре еще перед <FCS> в данные добавляется поле <SN>.

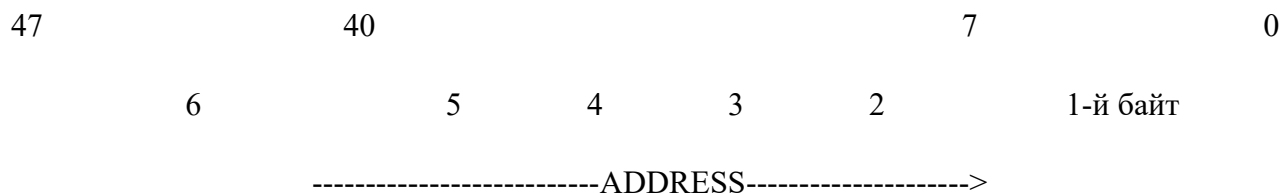
Формат структуры кадра приведен в Таблица 15.39.

Таблица 15.39. Структура кадра

Минимальный размер AFDX кадра								
					46 байт			
7 байт	1 байт	6 байт	6 байт	2 байта	45 байт	1 байт	4 байта	12 байт
preamble	SFD	Destination address	Source address	Length/Type	DATA	SN	FSC	IFG
Максимальный размер AFDX кадра								
					1500 байт			
7 байт	1 байт	6 байт	6 байт	2 байта	1499 байт	1 байт	4 байта	12 байт
preamble	SFD	Destination address	Source address	Length/Type	DATA	SN	FSC	IFG
Минимальный размер Ethernet кадра								
					46 байт			
7 байт	1 байт	6 байт	6 байт	2 байта	0 - 46 байт	0-46 байт	4 байта	12 байт
preamble	SFD	Destination address	Source address	Length/Type	DATA	PAD	FSC	IFG
Максимальный размер Ethernet кадра								
7 байт	1 байт	6 байт	6 байт	2 байта	1500 байт		4 байта	12 байт
preamble	SFD	Destination address	Source address	Length/Type	DATA		FSC	IFG

Передача и прием кадра начинаются с поля <PREAMBLE> и заканчиваются полем <FCS>. Каждый байт кадра передается младшим битом вперед.

Поля адреса (48 бит/6 байт) передаются, начиная с младшего байта, и с младшего бита.



Поле <LENGTH/TYPE> (16 бит/2 байта) передается, начиная со старшего байта, и младшего бита.

7		0	15			8
---	--	---	----	--	--	---

2-й байт на передачу

1-й байт на передачу

-----LENGTH/TYPE----->

Поле <DATA> (от 46 до 1500 бит) передается, начиная с младшего байта и младшего бита

63 56 7 0

8 7 6 5 4 3 2 1-й байт

-----DATA----->

Контрольная сумма 32 бита CRC размещается в поле FCS. Так что 31-й бит размещается самым левым первого байта LSB, 0-й бит самым правым последнего байта MSB. Передача начинается с 31-го бита, т. е. 31, 30, 29 3, 2, 1, 0.

C
R 0 7 24 31
CF
C 31 24 7 0
S

4 3 2 1-й байт

-----FCS----->

В памяти компоновка кадра должна быть по границе 64-х разрядных слов. Если для компоновки последнего 64-х разрядного слова остается меньше 8 байт кадра, то они записываются в младшие разряды слова, а старшие байты дополняются нулями.

Пример компоновки кадра в памяти приведен в Таблица 15.40

Таблица 15.40. Расположение кадра в памяти

Слово	63	48	47	32	31	16	15	0
1	Source Address[15:0]		Destination Address[47:0]					
2	Data [byte1]	Data [byte0]	Length/Type[7:0]	Length/Type[15:8]	Source Address[47:16]			
3	Data [byte9]	Data [byte8]	Data [byte7]	Data [byte6]	Data [byte5]	Data [byte4]	Data [byte3]	Data [byte2]
							
N	Data [byte _(LEN-1)]	Data [byte _(LEN-2)]	Data [byte _(LEN-3)]	Data [byte _(LEN-4)]	Data [byte _(LEN-5)]	Data [byte _(LEN-6)]	Data [byte _(LEN-7)]	Data [byte _(LEN-8)]

Слово	63	48	47	32	31	16	15	0
Или N	0x00	Data [byte _(LEN-1)]	Data [byte _(LEN-2)]	Data [byte _(LEN-3)]	Data [byte _(LEN-4)]	Data [byte _(LEN-5)]	Data [byte _(LEN-6)]	Data [byte _(LEN-7)]
Или N	0x00	0x00	Data [byte _(LEN-1)]	Data [byte _(LEN-2)]	Data [byte _(LEN-3)]	Data [byte _(LEN-4)]	Data [byte _(LEN-5)]	Data [byte _(LEN-6)]
Или N	0x00	0x00	0x00	Data [byte _(LEN-1)]	Data [byte _(LEN-2)]	Data [byte _(LEN-3)]	Data [byte _(LEN-4)]	Data [byte _(LEN-5)]
Или N	0x00	0x00	0x00	0x00	Data [byte _(LEN-1)]	Data [byte _(LEN-2)]	Data [byte _(LEN-3)]	Data [byte _(LEN-4)]
Или N	0x00	0x00	0x00	0x00	0x00	Data [byte _(LEN-1)]	Data [byte _(LEN-2)]	Data [byte _(LEN-3)]
Или N	0x00	0x00	0x00	0x00	0x00	0x00	Data [byte _(LEN-1)]	Data [byte _(LEN-2)]
Или N	0x00	0x00	0x00	0x00	0x00	0x00	0x00	Data [byte _(LEN-1)]

15.8 Программный сброс контроллера

Бит регистра MAC_CSR[0] EN_MAC предназначен для программного сброса контроллера. Программный сброс осуществляется асинхронно. При EN_MAC=0 выполняется программный сброс всех регистров контроллера, а также очистка буферов приема и передачи. Для уверенного сброса контроллера бит EN_MAC должен находиться в 0 несколько тактов.

15.9 Порт управления Ethernet PHY – MD_PORT

Обмен данными с приемопередатчиком порта AFDX/Ethernet (Ethernet PHY) осуществляется по последовательному двухпроводному интерфейсу управления MDI (Medium Dependent Interface). Интерфейс управления MDI состоит из двунаправленного сигнала для обмена данными MDIO и сигнала тактовой частоты MDC.

Тактовая частота MDC интерфейса управления MDI формируется портом Ethernet PHY и передается в приемопередатчик Ethernet PHY для тактирования данных, передаваемых по сигналу MDIO. Для формирования тактовой частоты MDC используется делитель системной частоты HCLK, входящий в состав порта управления Ethernet PHY.

Коэффициент деления системной частоты при формировании тактовой частоты MDC задается в разрядах регистра MD_MODE[7:0] = MDC_Divider. Для корректной работы порта управления Ethernet PHY значение коэффициента деления системной частоты должно быть четным и не нулевым. Для корректного обмена данными по интерфейсу управления MD тактовая частота MDC не должна превышать 2,5 МГц (по стандарту ethernet 802.3-2002 минимальный период 400 нс, минимальная ширина единицы/нуля 160 нс).

Порт управления Ethernet PHY выполняет следующие операции:
запись в регистр приемопередатчика Ethernet PHY;
чтение регистра приемопередатчика Ethernet PHY.

Для того чтобы запустить операцию на выполнение необходимо установить код операции в разрядах регистра управления порта – MD_CONTROL[31:30] = MD_OP. После завершения выполнения операции код операции MD_OP автоматически сбрасывается.

Адрес приемопередатчика Ethernet PHY, с которым выполняется обмен данными, задается в разрядах регистра управления порта MD_CONTROL[28:24] = PHY_ADDR.

Адрес регистра приемопередатчика Ethernet PHY, в который выполняется запись, либо из которого выполняется чтение данных, задается в разрядах регистра управления порта MD_CONTROL[20:16] = PHYREG_ADDR.

При выполнении операции записи в регистр приемопередатчика Ethernet PHY 16-разрядные данные для записи должны быть установлены в разрядах регистра управления порта MD_CONTROL[15:0] = WR_DT.

После завершения выполнения операции чтения регистра, приемопередатчика Ethernet PHY, прочтенные 16-разрядные данные сохраняются в разрядах регистра статуса порта MD_STATUS [15:0] = RD_DT.

После задания кода операции MD_OP порт начинает выполнять операцию и считается занятым, то есть недоступным для выполнения новой операции.

Для отслеживания состояния порта используется бит статусного регистра порта MD_STATUS[29] = MD_BUSY. Во время выполнения операции устанавливается бит занятости порта MD_BUSY, а после завершения выполнения операции бит MD_BUSY сбрасывается.

Обмен данными с приемопередатчиком Ethernet PHY по интерфейсу управления MDI выполняется в соответствии с форматом кадра управления. Формат кадра управления представлен в Таблица 15.41.

Таблица 15.41. Формат кадра управления

Число бит	Название поля	Поле кадра управления	Значение при операции записи	Значение при операции чтения
32	Преамбула	PRE	1111...1111	1111...1111
2	Начало кадра	ST	01	01
2	Код операции	OP	01	10
5	Адрес PHY	PHYAD	PHY_ADDR	PHY_ADDR
5	Адрес регистра	REGAD	PHYREG_ADDR	PHYREG_ADDR
2	Разворот (turnaround)	TA	10	Z0
16	Данные	DATA	WR_DT	RD_DT

PRE (preamble).

В начале каждой передачи должна идти последовательность из 32-х бит логической единицы для того чтобы получить стабильную синхронизацию между MD портом и Ethernet PHY.

ST (start of frame).

ST состоит из двух последовательных бит 0 и 1. Это обеспечивает переключение линии из 1 в 0 и обратно 1.

Если Ethernet PHY поддерживает возможность приема кадра без поля PRE, то MD порт может передавать управляющие кадры, начиная с поля ST.

OP (operation code).

Код операции чтения 10, записи 01.
PHYAD (PHY Address).

Поле PHYAD состоит из 5 бит, что позволяет сформировать 32 уникальных адреса. Поле PHY адрес передается и принимается MSB битом вперед. Ethernet PHY подключенный к MD_PORT механически в соответствии со стандартом Ethernet 802.3 пункту 22.6 должен отвечать на адрес <00000>. MD порт подключенный к нескольким Ethernet PHY должен знать адреса каждого Ethernet PHY.

REGAD (Register Address).

Поле REGAD состоит из 5 бит, что позволяет обеспечить адресацию к 32 регистрам каждого PHY. Поле REGAD передается и принимается MSB битом вперед. Согласно стандарту Ethernet 802.3 Регистр с адресом <00000> - Control Register, с адресом <00001> - Status Register.

TA (turnaround).

Turnaround это двухбитовое поле, между REGAD и полем данных. Предназначенное для обеспечения соединения во время операции чтения. Для выполнения операции чтения MD порт и Ethernet PHY должны поддерживать высокоимпедансное состояние для первого бита поля turnaround. Значение второго бит поля turnaround выставляет Ethernet PHY, и оно равно значению логического нуля. Для выполнения операции записи MD порт выставляет первый бит поля turnaround в уровень логической единицы, а второй в уровень логического нуля.

DATA.

Поле DATA состоит из 16 бит. 15-й бит регистра к которому идет обращение передается и принимается первым, нулевой последним.

IDLE (простой).

Если MD порт и Ethernet PHY не обмениваются кадрами, то вывод MDIO находится в высокоимпедансном состоянии.

Таким образом, при выполнении операции портом по интерфейсу MDI последовательно передаются 64 бита кадра управления в течение 64 тактов частоты MDC. Т.е. временная задержка на выполнение операции портом управления Ethernet PHY составляет 64 такта частоты MDC.

По завершении выполнения операции порт выставляет соответствующий флаг в разрядах регистра статуса порта MD_STATUS[31:30] = MD_OP_END. Флаги завершения выполнения операции MD_OP_END доступны для записи и могут быть сброшены записью нулей в соответствующие биты регистра MD_STATUS.

Во время выполнения операции регистр управления порта MD_CONTROL и разряды регистра статуса порта MD_STATUS[31:30] = MD_OP_END не доступны для записи.

Флаги завершения выполнения операции MD_OP_END являются запросом на прерывание от порта управления Ethernet PHY. Запрос на прерывание от порта управления Ethernet PHY маскируется.

В бите MD_CONTROL[29] = MD_MASK устанавливается маска запроса на прерывание от порта управления Ethernet PHY.

Бит MD_MODE[31] = RST_MD предназначен для программного сброса порта управления PHY, а также регистров MD_MODE, MD_CONTROL, MD_STATUS. Установка бита RST_MD = 1 переводит порт в рабочее состояние.

16. КОНТРОЛЛЕР SPFMIC

16.1 Общие положения

Контроллер SPFMIC имеет следующие функциональные параметры и возможности: поддерживает один из двух режимов порта SpaceFibre или GigaSpaceWire (SpaceWire-RUS);

пропускная способность каждого порта от 5 Мбод до 1,25 Гбод;

обеспечивает дуплексный режим приема и передачи данных;

аппаратное детектирование ошибок связи: рассоединение, ошибки четности;

в режиме SPF, порт имеет два виртуальных канала VC0, VC1;

подключен к коммутатору AXI при помощи четырехканального контроллера DMA.

16.2 Описание программно-доступных компонентов блока

16.2.1 Перечень программно-доступных регистров

Перечень программно-доступных регистров приведен в таблице ниже.

Таблица 16.1. Перечень регистров

Условное обозначение	Количество	Описание	Тип доступа	Смещение адреса
ID_VER	1	Регистр версии	R	0x0
MODE_R	1	Регистр режима блока мультипротокольного порта SPFMIC4	RW	0x4
STATE_R	1	Регистр состояния блока мультипротокольного порта SPFMIC4	RW	0x8
RISC_IRQ_MASK	1	Регистр глобальных масок прерываний для встроенного процессорного ядра	RW	0xc
CCODE_OUT	1	Регистр управляющего кода для отправки в сеть	RW	0x10
CUR_TIME	1	Регистр маркера времени из сети	RW	0x14
ISR_L	1	Младшая половина регистра ISR ISR_L	RW	0x18
ISR_H	1	Старшая половина регистра ISR ISR_H	RW	0x1c
INTR_IRQ_MASK_L	1	Регистр маски прерывания для встроенного процессора при приеме кода распределенного прерывания (младшая половина)	RW	0x20
INTR_IRQ_MASK_H	1	Регистр маски прерывания для встроенного процессора при приеме кода распределенного прерывания (старшая половина)	RW	0x24
INTA_IRQ_MASK_L	1	Регистр маски прерывания для встроенного процессора при приеме кода подтверждения (младшая половина)	RW	0x28
INTA_IRQ_MASK_H	1	Регистр маски прерывания для встроенного процессора при приеме кода подтверждения (старшая половина)	RW	0x2c
CCODES_MASK	1	Регистр маски входных и выходных портов для управляющих кодов	RW	0x30

Условное обозначение	Количество	Описание	Тип доступа	Смещение адреса
DIST_INTS_TOUTS1	1	DIST_INTS_TOUTS1	RW	0x34
DIST_INTS_TOUTS2	1	Регистр таймаутов распределенных прерываний 2	RW	0x38
ACK_NON_ACK_REGIME	1	Регистр флагов режима обработки распределенных прерываний (с подтверждением / без подтверждения)	RW	0x3c
CCODES_SPEC_REGIME	1	Регистр специального режима работы с управляющими кодами	RW	0x40
SPEC_ISR_REGIME	1	Регистр флагов автоматической отправки подтверждения	RW	0x44
INTER_HANDLER_TERM_FUNCT	1	Флаги-признаки обработчика для распределенных прерываний	RW	0x48
ISR_SOURCE_TERM_FUNCT	1	Флаги-признаки источника для распределенных прерываний	RW	0x4c
ISR_TOUTS_FLS_L	1	Младшая половина регистра флагов таймаутов	RW	0x50
ISR_TOUTS_FLS_H	1	Старшая половина регистра флагов таймаутов	RW	0x54
ISR_1101	1	Значение регистра ISR для управляющих кодов, назначение которых не определено стандартом	RW	0x58
EXTERNAL_RESET_PARAMETERS	1	Регистр параметров удаленного сброса	RW	0x5c
PORT_CCODES_MODE	1	Регистр режима обработки кодов распределенных прерываний порта - используется и в режиме SpF и в режиме gigaSpW	RW	0x60
CCODES_INTERVAL	1	Регистр интервала времени между последовательными отправками управляющих кодов - используется и в режиме SpF и в режиме gigaSpW	RW	0x64
BROADCAST_MODE	1	Режим передачи BROADCAST	RW	0x68
BROADCAST_NUMS	1	Номера виртуальных каналов BROADCAST, обрабатываемые данным блоком SPFMIC4	RW	0x6c
BROADCAST_DATA_OUT_L	1	Регистр младшей части поля данных отправляемого BROADCAST	RW	0x70
BROADCAST_DATA_OUT_H	1	Регистр старшей части поля данных отправляемого BROADCAST	RW	0x74
BROADCAST_DATA_OUT_PARAMETER_S	1	Регистр параметров отправляемого BROADCAST	RW	0x78
BROADCAST_DATA_IN_L	1	Регистр младшей части поля данных принятого BROADCAST	R	0x7c
BROADCAST_DATA_IN_H	1	Регистр старшей части поля данных принятого BROADCAST	R	0x80
BROADCAST_DATA_IN_PARAMETERS	1	Регистр параметров, принятых BROADCAST	RW	0x84
BROADCAST_IN_STATUS1	1	Регистр флагов, принятых корректных BROADCAST	RW	0x88
BROADCAST_IN_STATUS_ALL1	1	Регистр флагов, принятых BROADCAST (корректных и не корректных)	RW	0x8c

Условное обозначение	Количество	Описание	Тип доступа	Смещение адреса
TIME_SLOTS_PARAMETERS	1	Регистр параметров таймслотов для класса сервиса Scheduling	RW	0x90
TIME_SLOTS_SETTINGS	1	Настройки таймслота	RW	0x94
PMA_STATUS	1	Регистр состояния PMA - используется и в режиме порта SpF и в режиме gigaSpW	R	0x98
PMA_MODE	1	Регистр режима работы PMA - используется и в режиме порта SpF и в режиме gigaSpW	RW	0x9c
GIGA_SPW_STATUS	1	Регистр состояния порта gigaSpW	RW	0xa0
GIGA_SPW_MODE	1	Регистр режима работы порта gigaSpW	RW	0xa4
GIGA_SPW_TRANSMISSION_PARAMETERS	1	Регистр параметров передачи порта gigaSpW	RW	0xa8
GIGA_SPW_CREDIT_PARAMETERS	1	Регистр параметров кредитования порта gigaSpW	RW	0xac
GIGA_SPW_RX_SPEED	1	Регистр скорости приема порта gigaSpW	R	0xb0
SpF_PORT_MODE_VC_PARAMS	4	Регистр режима порта SpF VC_PARAMS	RW	0xb4
SpF_PORT_MODE_VC_TSLOTS_L	4	Регистр флагов таймслотов (младшая часть)	RW	0xc4
SpF_PORT_MODE_VC_TSLOTS_H	4	Регистр флагов таймслотов (старшая часть)	RW	0xd4
SpF_PORT_MODE_VC_FR_LL	1	Регистр режима порта SpF VC framing lane	RW	0xe4
SpF_PORT_MODE_LANE_CONSTANTS	1	SpF_PORT_MODE_LANE_CONSTANTS	RW	0xe8
SpF_PORT_STATUS_VC1	1	Регистр состояния порта SpF Virtual channels 1	RD	0xec
SpF_PORT_STATUS_VC2	1	Регистр состояния порта SpF Virtual channels 2 and retry	RW	0xf0
SpF_PORT_CUR_CREDIT_VALUE	1	Регистр состояния - значение cur_credit_counter порта SpF	R	0xf4
SpF_PORT_STATUS_LL_EL	1	Регистр состояния порта SpF Lane Encoding	RW	0xf8
CONF_PORT_MODE_VC_PARAMS	4	Регистр режима виртуальных каналов конфигурационного порта VC_PARAMS	RW	0xfc
CONF_PORT_CUR_CREDIT_VALUE	1	Регистр состояния - значение cur_credit_counter конфигурационного порта	R	0x10c

16.2.2 Описание программно-доступных регистров блока регистры порта SPFMIC

16.2.2.1 Регистр ID_VER

При чтении регистра возвращается 0x09.

16.2.2.2 Регистр MODE_R

Назначение разрядов регистра MODE_R приведено в таблице ниже.

Таблица 16.2

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
0	PORT_REGIME	Режим работы порта: 0 - работа в режиме SpF, 1 - работа в режиме gigaSpW	RW	0x0
9:1	MAIN_KOEFF10	Значение коэффициента локальной частоты Коэффициент локальной частоты должен быть задан равным [локальная частота / 10], например, если локальная частота = 125МГц, то коэффициент локальной частоты должен быть установлен в значение 12. Локальная частота, это частота, подаваемая на блок SPFMIC4.	RW	0x000
10	DMA_ENABLED	Разрешение работы блоков сопряжения с интерфейсом DMA. При установке разряда в 0 - работа запрещена - блоки SWIC2DMA не вычитывают данные из SPFMIC4, блоки DMA2SWIC не передают данные в SPFMIC4, все блоки не выставляют сигналов готовности блоку DMA. При установке 1 в этот разряд работа разрешена. Разряд оказывает влияние на все 4 канала DMA.	RW	0x0
11	DMA_CLR_FIFO	Очистка буферов блоков сопряжения с интерфейсом DMA. Если этот разряд установлен в 0, то все работает в штатном режиме. При установке разряда в 1 выполняется сброс FIFO: указатели всех FIFO устанавливаются в 0, что эквивалентно их опустошению, все блоки выставляют фальшивый сигнал готовности блоку DMA. При этом DMA соответствующими каналами, может вычитывать бесконечное число недостоверных данных, или записывать бесконечное число данных, которые будут теряться. Данные из/в SPFMIC4 не обрабатываются. Разряд оказывает влияние на все 4 канала DMA.	RW	0x0

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
12	RISC_D_INT_ACK_REGIMES	Режим обработки кодов распределенных прерываний при работе (приеме/отправке) со стороны встроенного процессорного ядра. Если данное поле установлено в значение '0', то используются 6-и битные коды распределенных прерываний, если данное поле установлено в значение '1', то используются 5-и битные коды распределенных прерываний	RW	0x1
15:13	RISC_INT_CODES	Кодировка INT при работе (приеме/отправке) со стороны встроенного процессорного ядра.	RW	0x4
18:16	RISC_ACK_CODES	Кодировка ACK при работе (приеме/отправке) со стороны встроенного процессорного ядра.	RW	0x5
19	CONF_PORT_SCHEDULING_ENABLE	Разрешение использования таблицы планирования в конфигурационном порту. Если данный разряд установлен в 1, то используется та же самая таблица планирования, что и в выходном SpF порту, если данный разряд установлен в 0, то механизм планирования не используется	RW	0x0
21:20	CONF_CUR_CREDIT_VALUE_NUM	Номер виртуального канала конфигурационного порта, для которого будет отображаться текущее значение credit_value	RW	0x0
31:22	-	В данной версии не используется	R	0x000

16.2.2.3 Регистр STATE_R

Назначение разрядов регистра STATE_R приведено в таблице ниже.

Таблица 16.3

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
0	GOT_TIME	Признак получения маркера времени (GOT_TIME) Запись 1 в это поле приводит к его сбросу.	RW	0x0
1	GOT_INT	Признак получения кода распределенного прерывания (GOT_INT). Запись 1 в это поле приводит к его сбросу.	RW	0x0
2	GOT_ACK	Признак получения подтверждения (GOT_ACK). Запись 1 в это поле приводит к его сбросу.	RW	0x0
3	GOT_C01_CODE	Признак получения кода C01 (GOT_C01_CODE). Запись 1 в это поле приводит к его сбросу.	RW	0x0

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
4	GOT_C11_CODE	Признак получения кода C11 (GOT_C11_CODE). Запись 1 в это поле приводит к его сбросу.	RW	0x0
5	PORT_CONNECTED	По внешнему порту было установлено соединение. Запись 1 в это поле приводит к его сбросу.	RW	0x0
6	PORT_ERRORED	По внешнему порту было разорвано содинение. Запись 1 в это поле приводит к его сбросу.	RW	0x0
7	PORT_CONNECT	По внешнему порту в данный момент времени присутствует соединение.	R	0x0
8	PORT_ERROR	По внешнему порту в данный момент времени отсутствует соединение.	R	0x1
9	INT_RST	Из сети принята команда сброса от удаленного администратора. Запись 1 в это поле приводит к его сбросу.	RW	0x0
10	GOT_BR	Из сети принят Broadcast SpF. Запись 1 в это поле приводит к его сбросу.	RW	0x0
31:11	-	В данной версии не используется	R	0x000000

16.2.2.4 Регистр RISC_IRQ_MASK

Назначение разрядов регистра RISC_IRQ_MASK приведено в таблице ниже.

Таблица 16.4

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
0	IRQ_CONNECT_MASK	Маска прерывания по факту установки соединения IRQ_CONNECT_MASK. Если данный разряд установлен в 0, то прерывание замаскировано	RW	0x1
1	IRQ_DISCONNECT_MASK	Маска прерывания по факту разрыва соединения IRQ_DISCONNECT_MASK. Если данный разряд установлен в 0, то прерывание замаскировано	RW	0x1
2	IRQ_CCODE_GLOBAL_MASK	Маска прерывания по управляющему коду IRQ_CCODE_GLOBAL_MASK. Если данный разряд установлен в 0, то прерывание замаскировано	RW	0x1
3	IRQ_TIME_MASK	Маска установки прерывания по управляющему коду при приходе маркера времени IRQ_TIME_MASK. Если данный разряд установлен в 1 и RISC_IRQ_MASK.IRQ_CCODE_GLOBAL_MASK=0', то при приходе маркера времени прерывание по управляющему коду не будет установлено	RW	0x1

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
4	IRQ_INT_MASK	Маска установки прерывания по управляющему коду при приходе кода распределенного прерывания IRQ_INT_MASK. Если данный разряд установлен в 1 и RISC_IRQ_MASK.IRQ_CCODE_GLOBAL_MASK=0', то при приходе кода распределенного прерывания прерывание по управляющему коду не будет установлено	RW	0x1
5	IRQ_ACK_MASK	Маска установки прерывания по управляющему коду при приходе кода подтверждения IRQ_ACK_MASK. Если данный разряд установлен в 1 и RISC_IRQ_MASK.IRQ_CCODE_GLOBAL_MASK=0', то при приходе кода подтверждения прерывание по управляющему коду не будет установлено	RW	0x1
6	IRQ_C01_MASK	Маска установки прерывания по управляющему коду при приходе C01 IRQ_C01_MASK. Если данный разряд установлен в 1 и RISC_IRQ_MASK.IRQ_CCODE_GLOBAL_MASK=0', то при приходе кода C01 прерывание по управляющему коду не будет установлено	RW	0x1
7	IRQ_C11_MASK	Маска установки прерывания по управляющему коду при приходе C11 IRQ_C11_MASK. Если данный разряд установлен в 1 и RISC_IRQ_MASK.IRQ_CCODE_GLOBAL_MASK=0', то при приходе кода C11 прерывание по управляющему коду не будет установлено	RW	0x1
8	IRQ_INT_RST_MASK	Маска установки прерывания по приходу команды сброса от удаленного администратора IRQ_INT_RST_MASK. Если данный разряд установлен в 1 и RISC_IRQ_MASK.IRQ_CCODE_GLOBAL_MASK=0', то при приходе команды сброса от удаленного администратора прерывание по управляющему коду не будет установлено	RW	0x1
9	IRQ_ISR_TOUTS_MASK	Маска установки прерывания по истечении таймаутов Th, Tg, ISR_change IRQ_ISR_TOUTS_MASK. Если данный разряд установлен в 1 и RISC_IRQ_MASK.IRQ_CCODE_GLOBAL_MASK=0', то по истечении таймаутов Th, Tg, ISR_change прерывание по управляющему коду не будет установлено	RW	0x1

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
10	IRQ_BR_MASK	Маска установки прерывания по Broadcast SpF IRQ_BR_MASK. Если данный разряд установлен в 1 и RISC_IRQ_MASK.IRQ_CCODE_GLOBAL_MASK='0', то при приходе Broadcast SpF прерывание по управляющему коду не будет установлено	RW	0x1
31:11	-	В данной версии не используется	R	0x000000

16.2.2.5 Регистр CCODE_OUT

Назначение разрядов регистра CCODE_OUT приведено в таблице ниже.

Таблица 16.5

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
7:0	CCODE_OUT	Значение управляющего кода (маркера времени, кода распределенного прерывания или подтверждения) который должен быть отправлен в сеть. При записи от встроенного процессорного ядра управляющего кода в это поле, выполняется его отправка в сеть, если поле CCODE_OUT.TX_PORTS_FL установлено в 0.	RW	0x00
8	-	В данной версии не используется	R	0x0
9	TX_PORTS_FL	Запрет отправки управляющего кода.	RW	0x0
31:10	-	В данной версии не используется	R	0x000000

16.2.2.6 Регистр CUR_TIME

Назначение разрядов регистра CUR_TIME приведено в таблице ниже.

Таблица 16.6

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
5:0	CUR_TIME	Поле текущего маркера времени	RW	0x00
11:6	TRUE_TIME	Поле последнего правильного маркера времени	RW	0x00
31:12	-	В данной версии не используется	R	0x000000

16.2.2.7 Регистр ISR_L

Назначение разрядов регистра ISR_L приведено в таблице ниже.

Таблица 16.7

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	ISR_L	Младшая половина регистра ISR ISR_L. В данный регистр отображаются разряды 31 - 0 регистра ISR.	RW	0x00000000

16.2.2.8 Регистр ISR_H

Назначение разрядов регистра ISR_H приведено в таблице ниже.

Таблица 16.8

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	ISR_H	ISR_H. В данный регистр отображаются разряды 63 - 32 регистра ISR (Используется только в 6-и битном режиме распределенных прерываний).	RW	0x00000000

16.2.2.9 Регистр INTR_IRQ_MASK_L

Назначение разрядов регистра INTR_IRQ_MASK_L приведено в таблице ниже.

Таблица 16.9

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	INTR_IRQ_MASK_L	Поле маски прерывания для встроенного процессора при приеме кода распределенного прерывания (младшая половина).	RW	0x00000000

16.2.2.10 Регистр INTR_IRQ_MASK_H

Назначение разрядов регистра INTR_IRQ_MASK_H приведено в таблице ниже.

Таблица 16.10

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	INTR_IRQ_MASK_H	Поле маски прерывания для встроенного процессора при приеме кода распределенного прерывания (старшая половина). В данной версии не используется.	RW	0x00000000

16.2.2.11 Регистр INTA_IRQ_MASK_L

Назначение разрядов регистра INTA_IRQ_MASK_L приведено в таблице ниже.

Таблица 16.11

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	INTA_IRQ_MASK_L	Поле маски прерывания для встроенного процессора при приеме кода подтверждения (младшая половина). В данной версии не используется.	RW	0x00000000

16.2.2.12 Регистр INTA_IRQ_MASK_H

Назначение разрядов регистра INTA_IRQ_MASK_H приведено в таблице ниже.

Таблица 16.12

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	INTA_IRQ_MASK_H	Поле маски прерывания для встроенного процессора при приеме кода подтверждения (старшая половина). В данной версии не используется.	RW	0x00000000

16.2.2.13 Регистр CCODES_MASK

Назначение разрядов регистра CCODES_MASK приведено в таблице ниже.

Таблица 16.13

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
0	TIME_SEND	Бит отправки маркеров времени. Если установлен в 1, то маркеры времени отправляться не будут.	RW	0x0
1	TIME_RECEIVE	Бит приема маркеров времени. Если разряд установлен в 1, то маркеры времени приниматься не будут.	RW	0x0
2	INT_R_A_SEND	Бит отправки распределенных прерываний и подтверждений. Если разряд установлен в 1, то коды распределенных прерываний и подтверждений отправляться не будут.	RW	0x0
3	INT_R_A_RECEIVE	Бит приема распределенных прерываний и подтверждений. Если разряд установлен в 1, то коды распределенных прерываний и подтверждений приниматься не будут.	RW	0x0
4	INTR_SEND_MASK	Бит отправки распределенных прерываний. Если разряд установлен в 1, то коды распределенных прерываний отправляться не будут.	RW	0x0

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
5	INTR_RECEIVE_MASK	Бит приема распределенных прерываний. Если разряд установлен в 1, то коды распределенных прерываний приниматься не будут.	RW	0x0
6	INTA_SEND_MASK	Бит отправки подтверждений. Если разряд установлен в 1, то коды подтверждений отправляться не будут.	RW	0x0
7	INTA_RECEIVE_MASK	Бит приема подтверждений. Если разряд установлен в 1, то коды подтверждений приниматься не будут.	RW	0x0
8	ADD_RECEIVE_MASK	Бит приема для кодов, назначение которых не определено стандартом SpaceWire. Если разряд установлен в 1, то коды, назначение которых не определено стандартом приниматься не будут.	RW	0x0
31:9	-	В данной версии не используется	R	0x000000

16.2.2.14 Регистр DIST_INTS_TOUTS1

Назначение разрядов регистра DIST_INTS_TOUTS1 приведено в таблице ниже.

Таблица 16.14

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
15:0	GLOB_COU_VAL	Глобальный период счета таймаутов распределенных прерываний и подтверждений. Значение глобального периода счета таймаутов для распределенных прерываний и подтверждений. Все счетчики таймаутов распределенных прерываний и подтверждений выполняют подсчет в этих периодах.	RW	0x0000
19:16	LOC_COU_VAL_SW	TISR_reset_R таймаут (ack_regime). Значение таймаута ISR_reset при работе в режиме коммутатора для режима распределенных прерываний с подтверждениями.	RW	0x0
23:20	LOC_COU_VAL_T1	TISR_reset_N таймаут (ack_regime). Значение таймаута ISR_reset при работе в режиме терминального узла для режима распределенных прерываний с подтверждениями.	RW	0x0
27:24	LOC_COU_VAL_T2	NOT USED!!!	RW	0x0
31:28	-	В данной версии не используется	R	0x0

16.2.2.15 Регистр DIST_INTS_TOUTS2

Назначение разрядов регистра DIST_INTS_TOUTS2 приведено в таблице ниже.

Таблица 16.15

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
3:0	LOC_COU_VAL_SW_NACK	TISR_reset_R таймаут (non_ack_regime). Значение таймаута ISR_reset при работе в режиме коммутатора для режима распределенных прерываний без подтверждений.	RW	0x0
7:4	LOC_COU_VAL_T1_NACK	ISR_reset_N таймаут (non_ack_regime). Значение таймаута ISR_reset при работе в режиме терминального узла для режима распределенных прерываний без подтверждений.	RW	0x0
11:8	LOC_COU_VAL_TG	Значение таймаута TG для терминальных узлов.	RW	0x0
15:12	LOC_COU_VAL_TH	Значение таймаута Th для терминальных узлов.	RW	0x0
19:16	LOC_COU_VAL_ISR_CH_ACK	Значение таймаута TISR_change для режима с подтверждениями.	RW	0x0
23:20	LOC_COU_VAL_ISR_CH_NACK	Значение таймаута TISR_change для режима без подтверждений. В текущей версии стандарта, видимо, недостижимая ситуация.	RW	0x0
31:24	-	В данной версии не используется	R	0x00

16.2.2.16 Регистр ACK_NON_ACK_REGIME

Назначение разрядов регистра ACK_NON_ACK_REGIME приведено в таблице ниже.

Таблица 16.16

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	ACK_NON_ACK_REGIME	Режим обработки распределенных прерываний: с подтверждениями или без них. Если i разряд регистра установлен в '0', то для $INTR_i$ используется режим с подтверждениями, если в '1', то без подтверждений.	RW	0x00000000

16.2.2.17 Регистр CCODES_SPEC_REGIME

Назначение разрядов регистра CCODES_SPEC_REGIME приведено в таблице ниже.

Таблица 16.17

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
1:0	CODE_TYPE	Тип кода. Используется при работе с ISR_1101.ISR_1101. Позволяет задать, какой из регистров ISR_11 или ISR_01 будет отображаться в этот регистр	RW	0x0
2	CODE_HL	Признак младшей / старшей половины регистра. если данное поле установлено в 0, то отображается младшая половина регистра, если 1 - то старшая половина регистра. Данное поле используется при работе с INTER_HANDLER_TERM_FUNCT.INTER_HANDLER_TERM_FUNCT, ISR_SOURCE_TERM_FUNCT.ISR_SOURCE_TERM_FUNCT, ISR_1101.ISR_1101	RW	0x0
8:3	CODE_NUM	Номер кода. Номер кода, назначение которого не определено стандартом, для которого в поле CCODES_SPEC_REGIME.LAST_PORT будет отображаться порт, из которого он пришел.	RW	0x00
13:9	LAST_PORT	Последний номер порта. номер порта, из которого был принят последний на текущий момент времени код.	R	0x00
31:14	-	В данной версии не используется	R	0x00000

16.2.2.18 Регистр SPEC_ISR_REGIME

Назначение разрядов регистра SPEC_ISR_REGIME приведено в таблице ниже.

Таблица 16.18

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	SPEC_ISR_REGIME	Поле флагов автоматической отправки подтверждения. В зависимости от значения поля CCODES_SPEC_REGIME.CODE_HL этот регистр отображается на старшую или младшую половину 64-х разрядного регистра SPEC_ISR_REGIME. <i>i</i> разряд 64-х разрядного регистра SPEC_ISR_REGIME соответствует коду распределенного прерывания / подтверждения с номером <i>i</i> . Если <i>i</i> разряд этого регистра установлен в 1, и данное устройство является обработчиком для <i>i</i> кода распределенного прерывания (в соответствующем разряде поля INTER_HANDLER_TERM_FUNCT.INTER_HANDLER_TERM_FUNCT установлена 1), то после приема очередного корректного INTR _{<i>i</i>} и истечения для него таймаута Th, заданного в поле DIST_INTS_TOUTS2.LOC_COU_VAL_TH будет выполнена автоматическая отправка кода подтверждения в сеть.	RW	0x00000000

16.2.2.19 Регистр INTER_HANDLER_TERM_FUNCT

Назначение разрядов регистра INTER_HANDLER_TERM_FUNCT приведено в таблице ниже.

Таблица 16.19

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	INTER_HANDLER_TERM_FUNCT	Флаги-признаки обработчика для распределенных прерываний. Если <i>i</i> разряд регистра установлен в '1', то для INTR _{<i>i</i>} данный терминальный узел является обработчиком распределенного прерывания.	RW	0x00000000

16.2.2.20 Регистр ISR_SOURCE_TERM_FUNCT

Назначение разрядов регистра ISR_SOURCE_TERM_FUNCT приведено в таблице ниже.

Таблица 16.20

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	ISR_SOURCE_TERM_FUNCT	Флаги-признаки источника для распределенных прерываний.	RW	0x00000000

16.2.2.21 Регистр ISR_TOUTS_FLS_L

Назначение разрядов регистра ISR_TOUTS_FLS_L приведено в таблице ниже.

Таблица 16.21

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	ISR_TOUTS_FLS_L	Младшая половина регистра флагов таймаутов. Запись 1 в это поле приводит к его сбросу. Если <i>i</i> разряд установлен в '1', то истек таймаут для кода <i>i</i>	RW	0x00000000

16.2.2.22 Регистр ISR_TOUTS_FLS_H

Назначение разрядов регистра ISR_TOUTS_FLS_H приведено в таблице ниже.

Таблица 16.22

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	ISR_TOUTS_FLS_H	Старшая половина регистра флагов таймаутов. Запись 1 в это поле приводит к его сбросу. Если <i>i</i> разряд установлен в '1', то истек таймаут для кода <i>i</i>	RW	0x00000000

16.2.2.23 Регистр ISR_1101

Назначение разрядов регистра ISR_1101 приведено в таблице ниже.

Таблица 16.23

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	ISR_1101	Значение регистра ISR для управляющих кодов, назначение которых не определено стандартом. В зависимости от значений поля CCODES_SPEC_REGIME.CODE_TYPE в этот регистр отображается регистр флагов приема управляющих кодов CC11 (ISR_11) или управляющих кодов CC01 (ISR_01). В зависимости от значения поля CCODES_SPEC_REGIME.CODE_HL в него отображается старшая или младшая половина этого регистра.	RW	0x00000000

16.2.2.24 Регистр EXTERNAL_RESET_PARAMETERS

Назначение разрядов регистра EXTERNAL_RESET_PARAMETERS приведено в таблице ниже.

Таблица 16.24

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
15:0	INT_RES_GLOB_COU	Значение глобального счетчика периода для команды удаленного сброса. Режим подсчета таймаута задается в поле EXTERNAL_RESET_PARAMETERS.INT_RES_MODE	RW	0x0000
21:16	INT_RES_LOC_COU	Значение локального счетчика периода для команды удаленного сброса. Подсчет локального периода таймаута запускается каждый раз при получении INTR0. Если после этого до истечения таймаута была получена последовательность кодов INTA0 - INTR0 - INTA0 - INTR0, то это является признаком получения команды удаленного сброса.	RW	0x00
30:22	RST_AFTER_COU	Значение периода времени между получением команды удаленного сброса и фактическим сбросом устройства. задается в тактах локальной частоты.	RW	0x000
31	INT_RES_MODE	Режим подсчета глобального периода для команды удаленного сброса. Если данное поле установлено в значение 0, то подсчет таймаута осуществляется в тактах локальной частоты, если в 1 - то в мкс	RW	0x0

16.2.2.25 Регистр PORT_CCOCODES_MODE

Назначение разрядов регистра PORT_CCOCODES_MODE приведено в таблице ниже.

Таблица 16.25

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
0	D_INT_ACK_REGIMES	Режим обработки кодов распределенных прерываний и подтверждений для данного порта. Если данный разряд установлен в 0 - режим 6-и битных кодов, 1 - режим 5-и битных кодов.	RW	0x1
3:1	INT_CODES	Кодировка кодов распределенных прерываний в 5-и битном режиме.	RW	0x4
6:4	ACK_CODES	Кодировка кодов подтверждений в 5-и битном режиме.	RW	0x5
31:7	-	В данной версии не используется	R	0x0000000

16.2.2.26 Регистр CCODES_INTERVAL

Назначение разрядов регистра CCODES_INTERVAL приведено в таблице ниже.

Таблица 16.26

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
9:0	CCODES_INTERVAL	Интервал между последовательными отправками CCODES	RW	0x00
31:10	-	В данной версии не используется	RD	0x00

16.2.2.27 Регистр BROADCAST_MODE

Назначение разрядов регистра BROADCAST_MODE приведено в таблице ниже.

Таблица 16.27

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
7:0	BROADCAST_PERCENTAGE	Доля пропускной способности канала, выделенная для передачи BROADCAST. Доля пропускной способности задается в процентах, допустимые значения от 1 до 100	RW	0x01
8	BR_SEND_MACK	Бит отправки BROADCAST. Если разряд установлен в 0, то отправка BROADCAST заблокирована.	RW	0x0
9	BR_RECEIVE_MACK	Бит приема BROADCAST. Если разряд установлен в 0, то прием BROADCAST заблокирован.	RW	0x0
10	BR_LATE_BLOCK	Управление сбросом задержанных Broadcast. Если данное поле установлено в значение '1', то при приеме Broadcast с некорректным SEQ_NUM и LATE='1' он будет отброшен	RW	0x0
31:11	-	В данной версии не используется	R	0x000000

16.2.2.28 Регистр BROADCAST_NUMS

Назначение разрядов регистра BROADCAST_NUMS приведено в таблице ниже.

Таблица 16.28

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
7:0	BROADCAST_NUM0	Номер виртуального канала BROADCAST 0. может принимать значения в диапазоне от 8 до 255. Не должен совпадать с номерами виртуальных каналов, заданных в остальных полях этого регистра.	RW	0x00

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
15:8	BROADCAST_NUM1	Номер виртуального канала BROADCAST 1. может принимать значения в диапазоне от 8 до 255. Не должен совпадать с номерами виртуальных каналов, заданных в остальных полях этого регистра.	RW	0x00
23:16	BROADCAST_NUM2	Номер виртуального канала BROADCAST 2. может принимать значения в диапазоне от 8 до 255. Не должен совпадать с номерами виртуальных каналов, заданных в остальных полях этого регистра.	RW	0x00
31:24	BROADCAST_NUM3	Номер виртуального канала BROADCAST 3. может принимать значения в диапазоне от 8 до 255. Не должен совпадать с номерами виртуальных каналов, заданных в остальных полях этого регистра.	RW	0x00

16.2.2.29 Регистр BROADCAST_DATA_OUT_L

Назначение разрядов регистра BROADCAST_DATA_OUT_L приведено в таблице ниже.

Таблица 16.29

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	BROADCAST_DATA_OUT_L	Младшая часть поля данных BROADCAST.	RW	0x00000000

16.2.2.30 Регистр BROADCAST_DATA_OUT_H

Назначение разрядов регистра BROADCAST_DATA_OUT_H приведено в таблице ниже.

Таблица 16.30

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	BROADCAST_DATA_OUT_H	Старшая часть поля данных BROADCAST.	RW	0x00000000

16.2.2.31 Регистр BROADCAST_DATA_OUT_PARAMETERS

Назначение разрядов регистра BROADCAST_DATA_OUT_PARAMETERS приведено в таблице ниже.

Таблица 16.31

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
7:0	BR_NUM_OUT	Номер виртуального канала отправляемого BROADCAST. Допустимые значения: 0 - 7, а также значения, записанные в BROADCAST_NUMS.BROADCAST_NUM 0, BROADCAST_NUMS.BROADCAST_NUM 1, BROADCAST_NUMS.BROADCAST_NUM 2.	RW	0x00
10:8	BR_SEQ_OUT	Порядковый номер отправляемого BROADCAST.	RW	0x0
15:11	BR_TYPE_OUT	Тип отправляемого BROADCAST.	RW	0x00
16	BR_TX_PORTS	Бит отправки BROADCAST. Данная маска используется, если поле установлено в 1. i разряд поля соответствует порту с $i+1$ номером. Если i разряд установлен в 1, то осуществляется отправка BROADCAST в соответствующий порт.	RW	0x0
17	BR_TX_PORTS_FL	признак отправки в множество портов, заданное маской. Если данное поле установлено в значение 0, то BROADCAST рассылается во все порты, кроме того, из которого он был принят. Если данное поле установлено в значение 1, то BROADCAST рассылается в множество портов, заданное в	RW	0x0
29:18	BROADCAST_FLS_NOT_SEND	признак отправки BROADCAST в сеть. Если разряд равен '1', то соответствующий BROADCAST еще не отправлен.	R	0x000
31:30	-	В данной версии не используется	R	0x0

16.2.2.32 Регистр BROADCAST_DATA_IN_L

Назначение разрядов регистра BROADCAST_DATA_IN_L приведено в таблице ниже.

Таблица 16.32

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	BROADCAST_DATA_IN_L	Младшая часть поля данных принятого BROADCAST. В данное поле отображается младшая часть поля данных последнего принятого из сети BROADCAST для виртуального канала, номер которого задан в BROADCAST_DATA_IN_PARAMETERS.BR_NUM_TO_READ.	R	0x00000000

16.2.2.33 Регистр BROADCAST_DATA_IN_H

Назначение разрядов регистра BROADCAST_DATA_IN_H приведено в таблице ниже.

Таблица 16.33

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	BROADCAST_DATA_IN_H	Младшая часть поля данных принятого BROADCAST. В данное поле отображается старшая часть поля данных последнего принятого из сети BROADCAST для виртуального канала, номер которого задан в BROADCAST_DATA_IN_PARAMETERS.BR_NUM_TO_READ.	R	0x00000000

16.2.2.34 Регистр BROADCAST_DATA_IN_PARAMETERS

Назначение разрядов регистра BROADCAST_DATA_IN_PARAMETERS приведено в таблице ниже.

Таблица 16.34

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
7:0	BR_NUM_TO_READ	Номер виртуального канала BROADCAST, для которого будут отображены параметры. Для номера виртуального канала, заданного в этом поле, будут отображены параметры последнего принятого BROADCAST в BROADCAST_DATA_IN_L.BROADCAST_DATA_IN_L, BROADCAST_DATA_IN_H.BROADCAST_DATA_IN_H, BROADCAST_DATA_IN_PARAMETERS.BR_SEQ_IN, BROADCAST_DATA_IN_PARAMETERS.BR_TYPE_IN.	RW	0x00
10:8	BR_SEQ_IN	Порядковый номер принятого BROADCAST.	R	0x0
15:11	BR_TYPE_IN	Тип принятого BROADCAST.	R	0x00
31:16	-	В данной версии не используется	R	0x0000

16.2.2.35 Регистр BROADCAST_IN_STATUS1

Назначение разрядов регистра BROADCAST_IN_STATUS1 приведено в таблице ниже.

Таблица 16.35

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
11:0	BROADCAST_IN_STATUS 1	Поле флагов приема корректных BROADCAST. Запись 1 в это поле приводит к его сбросу. В этом поле разряды с порядковыми номерами от 0 до 7 соответствуют виртуальным каналам BROADCAST от 0 до 7 соответственно. разряд 8 соответствует виртуальному каналу, заданному в BROADCAST_NUMS.BROADCAST_NUM 0, разряд 9 соответствует виртуальному каналу, заданному в BROADCAST_NUMS.BROADCAST_NUM 1, разряд 10 соответствует виртуальному каналу, заданному в BROADCAST_NUMS.BROADCAST_NUM 2, разряд 11 соответствует виртуальному каналу, заданному в BROADCAST_NUMS.BROADCAST_NUM 3.	RW	0x000
31:12	-	В данной версии не используется	R	0x00000

16.2.2.36 Регистр BROADCAST_IN_STATUS_ALL1

Назначение разрядов регистра BROADCAST_IN_STATUS_ALL1 приведено в таблице ниже.

Таблица 16.36

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
11:0	BROADCAST_IN_STATUS_ALL1	Поле флагов приема BROADCAST (корректных и не корректных). Запись 1 в это поле приводит к его сбросу. В этом поле разряды с порядковыми номерами от 0 до 7 соответствуют виртуальным каналам BROADCAST от 0 до 7 соответственно. разряд 8 соответствует виртуальному каналу, заданному в BROADCAST_NUMS.BROADCAST_NUM0, разряд 9 соответствует виртуальному каналу, заданному в BROADCAST_NUMS.BROADCAST_NUM1, разряд 10 соответствует виртуальному каналу, заданному в BROADCAST_NUMS.BROADCAST_NUM2, разряд 11 соответствует виртуальному каналу, заданному в BROADCAST_NUMS.BROADCAST_NUM3.	RW	0x000
23:12	BROADCAST_IN_LATE	Поле флагов опоздания для последних принятых BROADCAST	R	0x000
31:24	-	В данной версии не используется	R	0x00

16.2.2.37 Регистр TIME_SLOTS_PARAMETERS

Назначение разрядов регистра TIME_SLOTS_PARAMETERS приведено в таблице ниже.

Таблица 16.37

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
5:0	SLOTS_QUANTITY	Количество таймслотов в эпохе	RW	0x00
15:6	SLOT_LENGTH	Продолжительность таймслота. Единицы измерения задаются в поле TIME_SLOTS_PARAMETERS.SLOT_LENGTH_UNIT.	RW	0x000
16	SLOT_LENGTH_UNIT	Единицы измерения продолжительности таймслота. Если данное поле установлено в значение 0, то продолжительность таймслота измеряется в количестве тактов локальной частоты SPFMIC4, если данное поле установлено в значение 1, то в мкс	RW	0x0
31:17	-	В данной версии не используется	R	0x0000

16.2.2.38 Регистр TIME_SLOTS_SETTINGS

Назначение разрядов регистра TIME_SLOTS_SETTINGS приведено в таблице ниже.

Таблица 16.38

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
5:0	TIME_SLOT	Порядковый номер текущего таймслота.	RW	0x00
15:6	EPOCH	Порядковый номер текущей эпохи.	RW	0x000
16	SET_ZERO_TIME	Флаг сброса текущего времени в 0. При записи 1 в этот разряд происходит сброс в 0 порядкового номера текущей эпохи, порядкового номера текущего таймслота, а так же счетчика продолжительности таймслота.	RW	0x0
31:17	-	В данной версии не используется	R	0x0000

16.2.2.39 Регистр PMA_STATUS

Назначение разрядов регистра PMA_STATUS приведено в таблице ниже.

Регистр используется исключительно в диагностических целях при производстве.

Таблица 16.39

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
3:0	ALIGN_STATE	Состояние блока ALG	R	0x0

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
5:4	LOCK	Внутренний выход индикации режима CDR: 0-захват частоты; 1-обнаружение (грубый захват) частоты; 2-нет захвата частоты	R	0x0
6	ALIGN_ERROR	Ошибка выравнивания	R	0x0
7	OVR	Резервный выход	R	0x0
8	UNR	Резервный выход	R	0x0
31:9	-	В данной версии не используется	R	0x000000

16.2.2.40 Регистр PMA_MODE

Назначение разрядов регистра PMA_MODE приведено в таблице ниже.

Таблица 16.40

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
0	PWDn_TX	Внутренний вход перевода передатчика в режим минимального энергопотребления. Активный низкий уровень.	RW	0x0
1	PWDn_RX	Внутренний вход перевода приемника в режим минимального энергопотребления. Активный низкий уровень.	RW	0x0
2	COMMA_EN	COMMA_EN	RW	0x0
3	COMPARE_EN	COMPARE_EN	RW	0x0
10:4	PMA_RX_SPEED	Частота работы PMA на прием	RW	0x60
12:11	ALIGN_MODE	Режим выравнивания символов: 0 – без выравнивания; 1 – постоянное выравнивание по сигналу COMMA; 2 – однократное выравнивание.	RW	0x1
13	EN_PMA_RX	Разрешение работы PMA на прием	RW	0x1
15:14	CDR_MODE	CDR_MODE	RW	0x0
16	LB_EN_RX	Разрешение режима Loopback PMA RX	RW	0x0
23:17	PMA_TX_SPEED	Частота работы PMA на передачу	RW	0x60
24	EN_PMA_TX	Разрешение работы PMA на передачу	RW	0x1
25	LB_EN_TX	Разрешение режима Loopback PMA TX	RW	0x0
31:26	-	В данной версии не используется	R	0x00

Формат полей PMA_TX_SPEED и PMA_RX_SPEED представлен в Таблица 16.41 и Таблица 16.41. Не представленные в таблицах комбинации являются недопустимыми.

Таблица 16.41. Формат поля PMA_TX_SPEED

Биты 6:5	Биты 4:0	Скорость
11	xxxxx	1250 Мегабит/сек
10	xxxxx	625 Мегабит/сек
01	xxxxx	312 Мегабит/сек
00	00001 - 11001	5*(значение поля 4:0)) Мегабит/сек, причем допустимые значения 5-125 Мегабит/сек

Таблица 16.42. Формат поля PMA_RX_SPEED

Биты 6:5	Биты 4:0	Скорость
11	xxxxx	1250 Мегабит/сек
10	xxxxx	625 Мегабит/сек
01	xxxxx	312 Мегабит/сек
00	00001 - 11001	5*(значение поля 4:0)) Мегабит/сек, причем допустимые значения 5-125 Мегабит/сек

16.2.2.41 Регистр GIGA_SPW_STATUS

Назначение разрядов регистра GIGA_SPW_STATUS приведено в таблице ниже.

Таблица 16.43

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
0	DC_ERR	Признак ошибки рассоединения Запись 1 в это поле приводит к его сбросу.	RW	0x0
1	P_ERR	Признак ошибки паритета Запись 1 в это поле приводит к его сбросу.	RW	0x0
2	ESC_ERR	Признак ошибки escape последовательности Запись 1 в это поле приводит к его сбросу.	RW	0x0
3	CREDIT_ERR	Признак ошибки кредитования Запись 1 в это поле приводит к его сбросу.	RW	0x0
6:4	BDS_STATE	Текущее состояние порта gigaSpaceWire. 000 - Error Reset (исходное состояние); 001 - Error Wait; 010 – Ready; 011 – Started; 100 – Connecting; 101 – Run.	R	0x0
7	BUF_FULL	Признак того, что буфер порта gigaSpaceWire полон	R	0x0
8	BUF_EMPTY	Признак того, что буфер порта gigaSpaceWire пуст	R	0x0
31:9	-	В данной версии не используется	R	0x000000

16.2.2.42 Регистр GIGA_SPW_MODE

Назначение разрядов регистра GIGA_SPW_MODE приведено в таблице ниже.

Таблица 16.44

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
0	LINKDISABLED	LinkDisabled	RW	0x1
1	AUTOSTART	AutoStart	RW	0x0
2	LINKSTART	LinkStart	RW	0x0
3	BDS_RESET	Синхронный сброс порта gigaSpW	RW	0x1
4	CODEC_LOOPBACK	CODEC LOOPBACK	RW	0x0
5	LVDS_LOOPBACK	LVDS LOOPBACK	RW	0x0

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
6	RX_SINGLE	Режим RX SINGLE. Если данный разряд установлен в 1, то включен режим RX_SINGLE, если в 0 - то стандартный режим приема данных.	RW	0x0
7	TX_SINGLE	Режим TX SINGLE. Если данный разряд установлен в 1, то включен режим TX_SINGLE, если в 0 - то стандартный режим передачи данных.	RW	0x0
8	AUTO_SPEED_MODE	Режим установки соединения. Если данное поле установлено в значение 0, то установка соединения осуществляется под управлением встроенного ПО, если данный разряд установлен в значение 1 - то под управлением автомата установки соединения	RW	0x0
17:9	KOEFF_10_LOCAL	koeff_10_local	RW	0x00D
31:18	-	В данной версии не используется	R	0x0000

16.2.2.43 Регистр GIGA_SPW_TRANSMISSION_PARAMETERS

Назначение разрядов регистра GIGA_SPW_TRANSMISSION_PARAMETERS приведено в таблице ниже.

Таблица 16.45

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
5:0	KOEFF_СOMMA	Периодичность отправки символов K28.5 (СOMMA) в канал. 0x00 - запрещенная ситуация 0x01 - отправка символа СOMMA каждые 8 информационных символов 0x02 - отправка символа СOMMA каждые 16 информационных символов ... 0x3F - отправка символа СOMMA каждые 504 информационных символов	RW	0x08

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
9:6	DISCONNECT_COUNTER	Таймаут по которому наступает событие "DISCONNECT". Каждый принятый символ COMMA сбрасывает таймер, каждый принятый символ увеличивает счетчик таймера. При достижении таймером значения DISCONNECT_COUNTER*64 наступает DISCONNECT. 0x0 - запрещенная ситуация 0x1 - таймер разъединения установлен на 64 символа 0x2 - таймер разъединения установлен на 128 символа ... 0xF - таймер разъединения установлен на 4096 символа	RW	0x4
31:10	-	В данной версии не используется	R	0x000000

16.2.2.44 Регистр GIGA_SPW_CREDIT_PARAMETERS

Назначение разрядов регистра GIGA_SPW_CREDIT_PARAMETERS приведено в таблице ниже.

Таблица 16.46

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
7:0	CREDIT_NUMBER	Размер кредита, соответствующего одному FCT	RW	0x08
23:8	MAXIMUM_NUMBER_FCT	Максимальное количество отправленных FCT (неиспользованных кредитов)	RW	0x0038
31:24	TX_SIZE_BUFFER	Размер буфера кредитования	RW	0x10

16.2.2.45 Регистр GIGA_SPW_RX_SPEED

Назначение разрядов регистра GIGA_SPW_RX_SPEED приведено в таблице ниже.

Таблица 16.47

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
9:0	RX_SPEED	Скорость приема	R	0x000
31:10	-	В данной версии не используется	R	0x000000

16.2.2.46 Регистр SpF_PORT_MODE_VC_PARAMS

Назначение разрядов регистра SpF_PORT_MODE_VC_PARAMS приведено в таблице ниже.

Таблица 16.48

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
7:0	VC_LNUM	Логический номер виртуального канала.	RW	0x00
15:8	VC_THROUGHPUT	Доля пропускной способности для данного виртуального канала. Доля пропускной способности задается в процентах. Допустимые значения от 1 до 100.	RW	0x0A
18:16	VC_PRIORITY	Уровень приоритета виртуального канала.	RW	0x0
19	VC_WORK_EN	Разрешение работы виртуального канала. Если данное поле установлено в значение '0', то работа данного виртуального канала запрещена. Установка логического номера виртуального канала должна осуществляться до разрешения его работы или одновременно с разрешением работы.	RW	0x0
31:20	-	В данной версии не используется	R	0x000

16.2.2.47 Регистр SpF_PORT_MODE_VC_TSLOTS_L

Назначение разрядов регистра SpF_PORT_MODE_VC_TSLOTS_L приведено в таблице ниже.

Таблица 16.49

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	VC_TSLOTS_L	Флаги таймслотов от 0 до 31. i разряд этого поля соответствует таймслоту с номером i . Если i разряд установлен в 1, то передача данных в соответствующем таймслоте разрешена. Данный регистр используется для SpF порта и для конфигурационного порта.	RW	0x00000000

16.2.2.48 Регистр SpF_PORT_MODE_VC_TSLOTS_H

Назначение разрядов регистра SpF_PORT_MODE_VC_TSLOTS_H приведено в таблице ниже.

Таблица 16.50

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	VC_TSLOTS_H	Флаги таймслотов от 32 до 63. <i>i</i> разряд этого поля соответствует таймслоту с номером <i>i</i> +32. Если <i>i</i> разряд установлен в 1, то передача данных в соответствующем таймслоте разрешена. Данный регистр используется для SpF порта и для конфигурационного порта.	RW	0x00000000

16.2.2.49 Регистр SpF_PORT_MODE_VC_FR_LL

Назначение разрядов регистра SpF_PORT_MODE_VC_FR_LL приведено в таблице ниже.

Таблица 16.51

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
1:0	CUR_CREDIT_VALUE_NUM	VC: порядковый номер виртуального канала, для которого будет отображаться текущее значение <i>credit_value</i>	RW	0x0
2	SpF_PORT_SYNC_RESET	Синхронный сброс SpF порта.	RW	0x1
3	SCRAMBLER_EN	framing: SCRAMBLER_EN. Если данный разряд установлен в 1, то скрамблинг разрешен.	RW	0x0
4	DESCRAMBLER_EN	framing: DESCRAMBLER_EN. Если данный разряд установлен в 1, то дескрамблинг разрешен.	RW	0x0
5	LANESTART	lane: LANE_START	RW	0x0
6	LAUTOSTART	lane: AUTOSTART	RW	0x0
7	NO SIGNAL	lane: NO SIGNAL	RW	0x0
8	REMOTE_FLUSH_REQ	lane: REMOTE_FLUSH_REQ. Запись 1 в данный разряд приводит к отправке команды REMOTE FLUSH REQ - запроса на сброс соседнего абонента.	RW	0x0
9	SCRAMBLER_REQ	lane: SCRAMBLER_REQ. Если к моменту начала установки соединения на уровне lane в этот разряд будет записана 1, то в ходе установки соединения в соседний абонент будет отправлен запрос на включение скрамблинга.	RW	0x0
14:10	OTHER_CAPABILITY	lane: OTHER_CAPABILITY	RW	0x00
15	NUMBER_VALID_WORDS	lane: NUMBER_VALID_WORDS	RW	0x0
23:16	RX_ERR_MAX	lane: RX_ERR_MAX.	RW	0xFF
24	SpF_PORT_LOCAL_FLUSH	SpF port local flush. Запись 1 в данный разряд приводит к выполнению команды flush для данного порта	RW	0x0
31:25	-	В данной версии не используется	R	0x00

16.2.2.50 Регистр SpF_PORT_MODE_LANE_CONSTANTS

Назначение разрядов регистра SpF_PORT_MODE_LANE_CONSTANTS приведено в таблице ниже.

Таблица 16.52

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
15:0	CONST_TIMER	CONST_TIMER	RW	0x0F00
31:16	NUM_DO_DECREASE	NUM_DO_DECREASE	RW	0x4000

16.2.2.51 Регистр SpF_PORT_STATUS_VC1

Назначение разрядов регистра SpF_PORT_STATUS_VC1 приведено в таблице ниже.

Таблица 16.53

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
0	FL_REC_VC_NUM_ERR	VC: флаг ошибки номера виртуального канала для фреймов данных. Данный разряд устанавливается в 1, если был принят фрейм данных с некорректным значением поля номера виртуального канала. (Номером, который не обрабатывается в данном SPFMC4).	R	0x0
8:1	FL_REC_VC_NUM_ERR_VALUE	VC: значение некорректного номера виртуального канала для фреймов данных. В данное поле записывается значение последнего принятого некорректного номера виртуального канала для фреймов данных.	R	0x00
9	FL_FCT_VC_NUM_ERR	VC: флаг ошибки номера виртуального канала для фреймов FCT. Данный разряд устанавливается в 1, если был принят фрейм FCT с некорректным значением поля номера виртуального канала. (Номером, который не обрабатывается в данном SPFMC4).	R	0x0

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
17:10	FL_FCT_VC_ERR_VALUE	VC: значение некорректного номера виртуального канала для фреймов FCT. В данное поле записывается значение последнего принятого некорректного номера виртуального канала для фреймов FCT.	R	0x00
31:18	-	В данной версии не используется	R	0x0000

16.2.2.52 Регистр SpF_PORT_STATUS_VC2

Назначение разрядов регистра SpF_PORT_STATUS_VC2 приведено в таблице ниже.

Таблица 16.54

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
3:0	CREDIT_OVERFLOW	VC: переполнение счетчика кредитов. Данный флаг устанавливается в 1, если при получении очередного FCT инкремент счетчика кредитов не возможен, т.к. он достиг своего максимально возможного значения.	R	0x0
7:4	DATA_OVERFLOW	VC: переполнение приемного буфера данных. Данный разряд устанавливается в 1, если прием очередного фрейма данных не возможен, т.к. закончилось место в буфере, т.е. произошла ошибка кредитования.	R	0x0
11:8	RETRY_COUNTER_TRANSMIT	retry: количество отправленных команд RETRY. В данном поле указывается количество отправленных на текущий момент времени команд RETRY - количество стартов повторных передач групп фреймов, на которые получен NACK.	RW	0x0
12	RETRY_COUNTER_TRANSMIT_OVERFLOW	retry: признак переполнения счетчика количества отправленных команд RETRY.	R	0x0
16:13	RETRY_COUNTER_RECEIVE	retry: количество принятых команд RETRY.	RW	0x0
17	RETRY_COUNTER_RECEIVE_OVERFLOW	retry: флаг переполнения счетчика принятых команд RETRY.	R	0x0
18	CRC_8_ERROR	retry: флаг ошибки CRC8 в одном из принятых фреймов. Запись 1 в это поле приводит к его сбросу. Данный флаг устанавливается, если принят фрейм с ошибкой CRC8.	RW	0x0

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
19	CRC_16_ERROR	retry: флаг ошибки CRC16 в одном из принятых фреймов. Запись 1 в это поле приводит к его сбросу. Данный флаг устанавливается, если принят фрейм с ошибкой CRC16.	RW	0x0
20	RETRY_D_BEMPTY	retry: буфер данных на передачу пуст. Данный флаг устанавливается, если буфер данных на передачу уровня RETRY пуст, т.е. нет отправленных фреймов данных, на которые не получено подтверждение об успешном приеме ACK.	R	0x0
21	RETRY_F_BEMPTY	retry: буфер FCT на передачу пуст. Данный флаг устанавливается, если буфер FCT на передачу уровня RETRY пуст, т.е. нет отправленных фреймов FCT, на которые не получено подтверждение об успешном приеме ACK.	R	0x0
22	RETRY_B_BEMPTY	retry: буфер BROADCAST на передачу пуст. Данный флаг устанавливается, если буфер BROADCAST на передачу уровня RETRY пуст, т.е. нет отправленных фреймов BROADCAST, на которые не получено подтверждение об успешном приеме ACK.	R	0x0
31:23	-	В данной версии не используется	R	0x000

16.2.2.53 Регистр SpF_PORT_CUR_CREDIT_VALUE

Назначение разрядов регистра SpF_PORT_CUR_CREDIT_VALUE приведено в таблице ниже.

Таблица 16.55

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	SpF_PORT_CUR_CREDIT_VALUE	VC: текущее значение счетчика кредитов. В данное поле отображается текущее значение счетчика кредитов для виртуального канала, порядковый номер которого указан в SpF_PORT_MODE_VC_FR_LL.CUR_CREDIT_VALUE_NUM.	R	0x00000000

16.2.2.54 Регистр SpF_PORT_STATUS_LL_EL

Назначение разрядов регистра SpF_PORT_STATUS_LL_EL приведено в таблице ниже.

Таблица 16.56

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
1:0	STATE_EL	encoding: состояние машины состояний уровня encoding.	R	0x0
5:2	STATE_LL	lane: состояние машины состояний уровня lane.	R	0x1
6	LOSS OF SIGNAL	lane: признак потери сигнала.	R	0x0
7	RX_ERROR_OVERFLOW	lane: признак переполнения счетчика ошибок при приеме. Запись 1 в это поле приводит к его сбросу.	RW	0x0
8	STANDBY	lane: STANDBY Запись 1 в это поле приводит к его сбросу.	RW	0x0
17:9	LOS	lane: LOS Запись 1 в это поле приводит к его сбросу.	RW	0x000
18	TIMEOUT	lane: TIMEOUT Запись 1 в это поле приводит к его сбросу.	RW	0x0
19	RX_POLARITY	lane: RX_POLARITY	R	0x0
20	FLUSH_FL	lane: флаг запроса FLUSH. Запись 1 в это поле приводит к его сбросу. Данный флаг устанавливается в 1, если от соседнего абонента получена команда REMOTE FLUSH.	RW	0x0
21	LANE_START_FL	lane: LANE_START_FL	R	0x0
22	DESCRAMBLER_FL	lane: флаг запроса дескрамблинга. Данное поле устанавливается в 1, если от соседнего абонента в ходе установки соединения на уровне lane получен запрос на выполнение дескрамблинга.	R	0x0
31:23	-	В данной версии не используется	R	0x000

16.2.2.55 Регистр CONF_PORT_MODE_VC_PARAMS

Назначение разрядов регистра CONF_PORT_MODE_VC_PARAMS приведено в таблице ниже.

Таблица 16.57

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
7:0	VC_LNUM_CONF	VC: логический номер виртуального канала.	RW	0x00
15:8	VC_THROUGHPUT_CONF	VC: Доля пропускной способности, выделенная данному виртуальному каналу. Задается в процентах, допустимый диапазон значений от 1 до 100.	RW	0x00
18:16	VC_PRIORITY_CONF	VC: Приоритет виртуального канала.	RW	0x0
19	VC_BUF_MODE_CONF	VC: режим буферизации.	RW	0x0

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:20	-	В данной версии не используется	R	0x000

16.2.2.56 Регистр CONF_PORT_CUR_CREDIT_VALUE

Назначение разрядов регистра CONF_PORT_CUR_CREDIT_VALUE приведено в таблице ниже.

Таблица 16.58

Номер разряда	Условное обозначение	Описание	Тип доступа	Начальное значение
31:0	CONF_PORT_CUR_CREDIT_VALUE	VC: текущее значение счетчика кредитов.	R	0x00000000

16.3 Описание основных режимов работы

16.3.1 Управление соединением по всем типам портов

16.3.1.1 Установка соединения

Для процесса установки соединения SPFMIC в режиме GigaSpW необходимо записать:

- 1) Установить регистр MODE_R.
 - a. MODE_R.PORT_REGIME = "1";
 - b. Установить MAIN_KOEFF10;
 - c. MODE_R.DMA_ENABLED = "1";
 - d. MODE_R.RISC_INT_CODES = "4";
 - e. MODE_R.RISC_ACK_CODES = "5";
- 2) Сбросить контроллер
 - a. Сброс PMA_MODE (PMA_MODE = "0")
 - b. GIGA_SPW_MODE.BDS_RESET = "1"
 - c. GIGA_SPW_MODE.LINKSTART = "0";
 - d. GIGA_SPW_MODE.AUTOSTART = "0".
 - e. GIGA_SPW_MODE.LINKDISABLED = "1";
- 3) Установить значение KOEFF_COMMA и DISCONNECT_COUNTER регистра GIGA_SPW_TRANSMISSION_PARAMETERS
- 4) Установить PMA_MODE на низкой скорости.
 - a. PMA_MODE.PWDn_TX = "1";
 - b. PMA_MODE.PMA_RX_SPEED = "1";
 - c. PMA_MODE.ALIGN_MODE = "3";

- d. PMA_MODE.EN_PMA_RX= "1";
 - e. PMA_MODE.PMA_TX_SPEED = "1";
 - f. PMA_MODE.EN_PMA_TX= "1";
- 5) Установить рабочую скорость канала в PMA_MODE (PMA_MODE. . PMA_RX_SPEED и PMA_MODE. . PMA_TX_SPEED).
- 6) Установить KOEFF_10_LOCAL и AUTOSTART/LINKSTART в регистре GIGA_SPW_MODE.
- 7) Включить приемник PMA
- a. PMA_MODE.PWDn_RX = "1";
 - b. PMA_MODE.COMMAEN = "1";
 - c. PMA_MODE.COMPARE_EN = "1";
 - d. PMA_MODE.ALIGN_MODE = "1";
 - e. PMA_MODE.CDR_MODE = "1";
- 8) Обнулить регистр GIGA_SPW_STATUS (GIGA_SPW_STATUS="4").

Соединение установлено успешно, если:

DS-макроячейка находится в состоянии Run (GIGA_SPW_STATUS.BDS_STATE = "5");

STATE_R.PORT_CONNECTED = "1";

STATE_R.PORT_CONNECT = "1";

STATE_R.PORT_ERROR = "0";

в QSTR2.SPFMIC присутствует прерывание (если оно размаскировано в регистре RISC_IRQ_MASK) об установке соединения.

Для активации функции пассивной установки соединения необходимо записать:

GIGA_SPW_MODE.LINKSTART = "0";

GIGA_SPW_MODE.AUTOSTART = "1".

В этом случае DS-макроячейка будет ждать приёма первого NULL маркера. После приёма первого NULL маркера будет начата процедура установки соединения.

Для процесса установки соединения SPFMIC в режиме SpF необходимо записать:

SpF_PORT_MODE_VC_FR_LL.LANESTART = "1".

Соединение установлено успешно, если:

машина состояний Receive Synchronization находится в состоянии Ready

(SpF_PORT_STATUS_LL_EL.STATE_EL = "2");

машина состояний Lane Initialization находится в состоянии Active

(SpF_PORT_STATUS_LL_EL.STATE_LL = "0xA");

SpF_PORT_STATUS_LL_EL.LANE_START_FL = "1";

STATE_R.PORT_CONNECTED = "1";

STATE_R.PORT_CONNECT = "1";

STATE_R.PORT_ERROR = "0";

в QSTR2.SPFMIC присутствует прерывание (если оно размаскировано в регистре RISC_IRQ_MASK) об установке соединения.

Для активации функции пассивной установки соединения необходимо записать:

```
SpF_PORT_MODE_VC_FR_LL.LANESTART = "0";  
SpF_PORT_MODE_VC_FR_LL.LAUTOSTART = "1".
```

В этом случае будет запущен механизм ожидания активности с другой стороны. После обнаружения активности, будет начата процедура установки соединения.

16.3.1.2 Разрыв соединения

Для разрыва соединения SPFMIC в режиме GigaSpW необходимо записать:

```
GIGA_SPW_MODE.LINKDISABLED = "1".
```

Соединение разорвано, если:

```
DS-макроячейка вышла из состояния Run (GIGA_SPW_STATUS.BDS_STATE < "5");  
STATE_R.PORT_CONNECT = "0";  
STATE_R.PORT_ERROR = "1".
```

На другой стороне (дополнительно к указанному) должны установиться:

```
STATE_R.PORT_ERRORED = "1";  
GIGA_SPW_STATUS.DC_ERR (или P_ERR) = "1";
```

в QSTR2.SPFMIC прерывание (если оно размаскировано в регистре RISC_IRQ_MASK) о разрыве соединения.

Для разрыва соединения соединения SPFMIC в режиме SpF необходимо записать:

```
SpF_PORT_MODE_VC_FR_LL.LANESTART = "0";  
SpF_PORT_MODE_VC_FR_LL.LAUTOSTART = "0".
```

Соединение разорвано, если:

```
машина состояний Receive Synchronization вышла из состояния Ready  
(SpF_PORT_STATUS_LL_EL.STATE_EL < "2");  
машина состояний Lane Initialization вышла из состояния Active  
(SpF_PORT_STATUS_LL_EL.STATE_LL < "0xA");  
SpF_PORT_STATUS_LL_EL.LANE_START_FL = "0";  
STATE_R.PORT_CONNECT = "0";  
STATE_R.PORT_ERROR = "1".
```

На другой стороне (дополнительно к указанному) должны установиться:

```
STATE_R.PORT_ERRORED = "1";
```

в QSTR2.SPFMIC прерывание (если оно размаскировано в регистре RISC_IRQ_MASK) о разрыве соединения.

16.3.2 Работа с управляющими кодами

16.3.2.1 Маркеры времени

При передаче данных маркеры времени имеют наивысший приоритет. Корректным признается маркер времени на 1 больше (по модулю 64), чем предыдущий. После установки соединения маркер времени со значения 1 рассматривается как корректный.

Блок `gspwr` имеет один общий регистр `CCODE_OUT` на все свои порты.

На передающей стороне маркер времени записывается в `CCODE_OUT.CCODE_OUT` (разряды 7:6 – "00", разряды 5:0 – значение кода времени). Если `CCODE_OUT.TX_PORTS_FL = "1"`, то отправка будет в порты, указанные в `CCODE_OUT.TX_PORTS`. Если `CCODE_OUT.TX_PORTS_FL = "0"`, то отправка будет во все порты, по которым есть соединение. В `CUR_TIME.CUR_TIME` должно прописаться значение `CCODE_OUT.CCODE_OUT`. Если маркер времени корректный, то в `CUR_TIME.TRUE_TIME` должно прописаться значение `CCODE_OUT.CCODE_OUT`.

На приёмной стороне в `CUR_TIME.CUR_TIME` должно прописаться значение `CCODE_OUT.CCODE_OUT` передающей стороны. Если маркер времени корректный, то в `CUR_TIME.TRUE_TIME` должно прописаться значение `CCODE_OUT.CCODE_OUT` передающей стороны. Также должны установиться:

`STATE_R.GOT_TIME = "1"`;

в `QSTR0.gSpWR` (для `gspwr`) или в `QSTR2.SPFMIC` (для `spfmic4`) прерывание (если оно размаскировано в регистре `RISC_IRQ_MASK`) о приёме маркера времени.

16.3.2.2 Коды распределенных прерываний

При передаче коды прерываний имеют приоритет, следующий после маркеров времени.

Блок `gspwr` имеет один общий регистр `CCODE_OUT` на все свои порты.

Блок `gspwr` имеет один общий регистр `ISR` на все свои порты.

На передающей стороне код прерывания записывается в `CCODE_OUT.CCODE_OUT` (для 6-битных кодов разряды 7:6 – "01", разряды 5:0 – номер прерывания) (для 5-битных кодов разряды 7:5 – значение `MODE_R`(для `spfmic4`)/`MODE_R1` (для `gspwr`).`RISC_INT_CODES`, разряды 4:0 – номер прерывания). Если `CCODE_OUT.TX_PORTS_FL = "1"`, то отправка будет в порты, указанные в `CCODE_OUT.TX_PORTS`. Если `CCODE_OUT.TX_PORTS_FL = "0"`, то отправка будет во все порты, по которым есть соединение. Если разряд прерывания в регистре `ISR` равен "0", то прерывание будет отправлено в порты. Разряд прерывания в регистре `ISR` установится в "1".

На приёмной стороне прерывание будет принято, если разряд прерывания в регистре `ISR` равен "0". При приёме должны установиться:

разряд прерывания в регистре `ISR = "1"`;

`STATE_R.GOT_INT = "1"`;

в `QSTR0.gSpWR` (для `gspwr`) или в `QSTR2.SPFMIC` (для `spfmic4`) прерывание (если оно размаскировано в регистре `RISC_IRQ_MASK`) о приёме прерывания.

16.3.2.3 Коды подтверждений распределенных прерываний

При передаче коды подтверждений имеют приоритет, следующий после прерываний.

Блок gspwr имеет один общий регистр CCODE_OUT на все свои порты.

Блок gspwr имеет один общий регистр ISR на все свои порты.

На передающей стороне код подтверждения записывается в CCODE_OUT.CCODE_OUT (для 6-битных кодов разряды 7:6 – "10", разряды 5:0 – номер прерывания) (для 5-битных кодов разряды 7:5 – значение MODE_R(для spfmic4)/MODE_R1(для gspwr).RISC_ACK_CODES, разряды 4:0 – номер прерывания). Если CCODE_OUT.TX_PORTS_FL = "1", то отправка будет в порты, указанные в CCODE_OUT.TX_PORTS. Если CCODE_OUT.TX_PORTS_FL = "0", то отправка будет во все порты, по которым есть соединение. Если разряд прерывания в регистре ISR равен "1", то подтверждение будет отправлено в порты. Разряд прерывания в регистре ISR установится в "0".

На приёмной стороне подтверждение будет принято, если разряд прерывания в регистре ISR равен "1". При приёме должны установиться:

разряд прерывания в регистре ISR = "0";

STATE_R.GOT_ACK = "1";

в QSTR0.gSpWR (для gspwr) или в QSTR2.SPFMIC (для spfmic4) прерывание (если оно размаскировано в регистре RISC_IRQ_MASK) о приёме подтверждения прерывания.

16.3.3 Передача Данных

Формат младшего слова дескриптора пакета (передающегося и принятого) показан в таблице ниже.

Таблица 16.59. Формат младшего слова дескриптора пакета (передающегося и принятого)

Номер бита	Описание
31	Признак заполнения дескриптора действительными данными. Бит учитывается только при приёме пакетов (позволяет процессору идентифицировать конец очереди дескрипторов в памяти). При передаче пакетов этот бит не учитывается (DMA вычитывает всю область дескрипторов, заданную процессором). До запуска приёма, все 31-е биты дескрипторов области приёма должны быть обнулены программно; DMA не обнуляет 31-е биты не принятых дескрипторов, DMA только записывает '1' в 31-е биты принятых дескрипторов
30:29	Тип конца пакета (01 – EOP; 10 – EEP)
28:26	Не используются
25:0	Размер пакета в байтах

Формат старшего слова дескриптора передаваемого пакета (для gspwr, spfmic4.gigasgw) показан в таблице ниже.

Таблица 16.60. Формат старшего слова дескриптора передаваемого пакета (для gspwr, spfmic4.gigasgw)

Номер бита	Описание
63:39	Не используются
38:32	Маска портов, в которые надо передать пакет

Формат старшего слова дескриптора принятого пакета (для gspwr, spfmic4.gigaspw) показан в таблице ниже.

Таблица 16.61. Формат старшего слова дескриптора принятого пакета (для gspwr, spfmic4.gigaspw)

Номер бита	Описание
63:35	Не используются
34:32	Номер порта, по которому принят пакет

Формат старшего слова дескриптора пакета (передающегося и принятого) (для spfmic4.spf) показан в таблице ниже.

Таблица 16.62. Формат старшего слова дескриптора пакета (передающегося и принятого) (для spfmic4.spf)

Номер бита	Описание
63:48	Не используются
47:40	Номер виртуального канала
39:32	Не используются

Расположение пакетов и дескрипторов в памяти выполнено следующим образом. Пусть в системной памяти находится 3 пакета. Первый пакет имеет размер 10 байт и заканчивается символом EOP. Второй пакет имеет размер 8 байт и заканчивается символом EEP. Третий пакет имеет размер 11 байт и заканчивается символом EOP. Пакеты хранятся в области памяти, выделенной процессором для записи данных. Первый и третий пакет дополнены 6-ю и 5-ю байтами соответственно, для выравнивания по границам 64-разрядных слов.

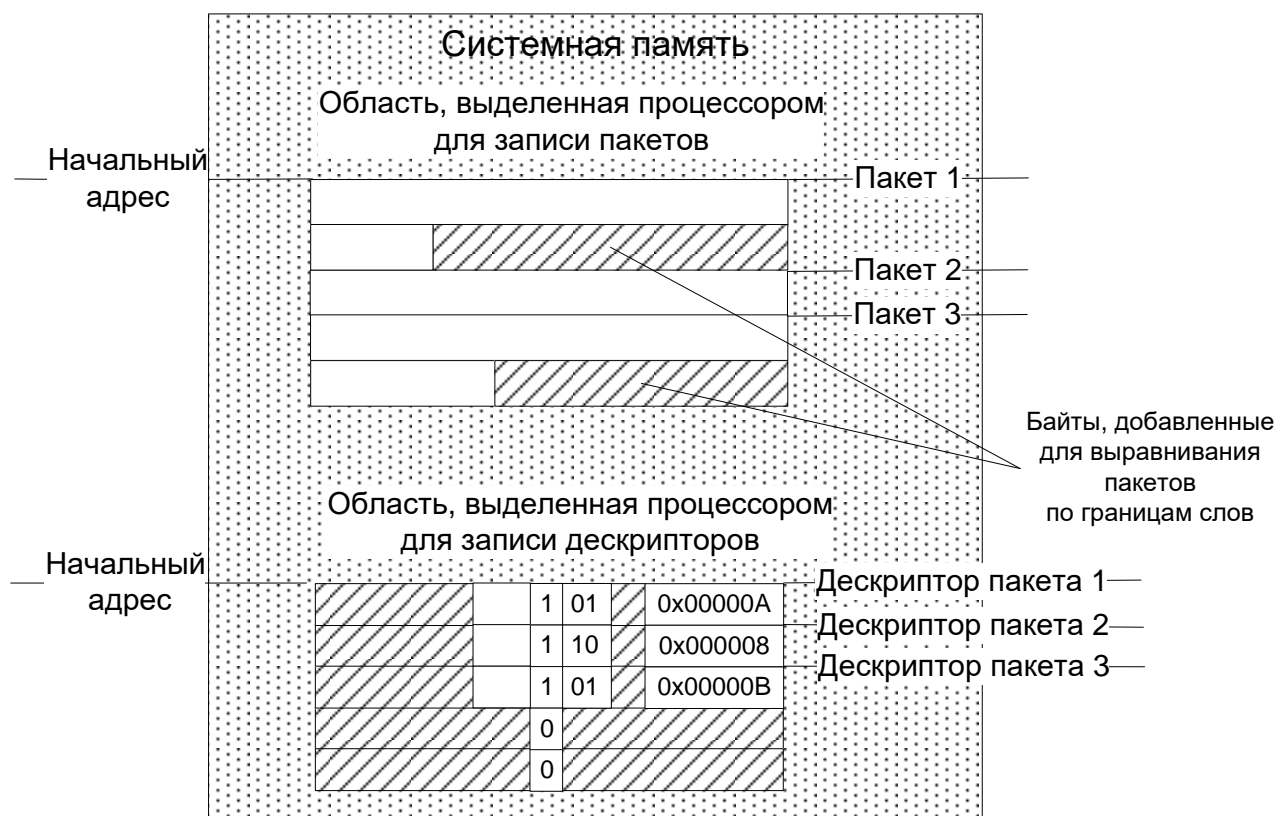


Рисунок 16.1. Пример расположения пакетов и дескрипторов в памяти

Для передачи пакетов передающей стороне необходимо:

1. Для `spfmic4.spf` надо настроить не менее одного виртуального канала. Для каждого используемого виртуального канала необходимо установить:
 - 1.1. До установки соединения:
 - 1.1.1. `SpF_PORT_MODE_VC_PARAMS.VC_LNUM` = `CONF_PORT_MODE_VC_PARAMS.VC_LNUM` = номер виртуального канала.
 - 1.1.2. `SpF_PORT_MODE_VC_PARAMS.VC_WORK_EN` = "1".
 - 1.2. Независимо от наличия соединения:
 - 1.2.1. `SpF_PORT_MODE_VC_PARAMS.VC_THROUGHPUT` = допустимая пропускная способность.
 - 1.2.2. `CONF_PORT_MODE_VC_PARAMS.VC_THROUGHPUT` = допустимая пропускная способность.
 - 1.2.3. `SpF_PORT_MODE_VC_TSLOTS` = маска используемых временных слотов.
2. Остановить каналы DMA на передачу.
 - 2.1. `TX_DESC.RUN.RUN` = "0".
 - 2.2. `TX_DATA.RUN.RUN` = "0".
3. Выделить области памяти для передачи.
 - 3.1. Пакетов. Заполнить область пакетами.
 - 3.1.1. Приём пакетов внутрь `gspwr` возможен только через его конфигурационный порт. Для этого в передаваемом пакете адрес должен быть записан так, чтобы на порт `gspwr` пакет пришёл с первым байтом "0" (адрес конфигурационного порта).
 - 3.2. Дескрипторов. Заполнить область дескрипторами.
4. Настроить каналы DMA на передачу.
 - 4.1. `TX_DESC.CSR.WCX` = размер области дескрипторов в 64-разрядных словах. Если необходимо, то и другие биты.
 - 4.2. `TX_DESC.IR` = физический адрес начала области дескрипторов.
 - 4.3. `TX_DATA.CSR.WCX` = размер области пакетов в 64-разрядных словах. Если необходимо, то и другие биты.
 - 4.4. `TX_DATA.IR` = физический адрес начала области пакетов.
5. Запустить каналы DMA на передачу.
 - 5.1. `TX_DESC.RUN.RUN` = "1".
 - 5.2. `TX_DATA.RUN.RUN` = "1".

После завершения передачи пакетов из всей области данных, установятся:

`TX_DATA.CSR.END` = "1";

`TX_DATA.CSR.WCX` = "0xFFFF";

В QSTR0.DMA_gSpWR прерывание (если оно размаскировано в TX_DATA.CSR.IM) о завершении области данных на передачу.

После завершения передачи дескрипторов из всей области дескрипторов, установятся:

TX_DESC.CSR.END = "1";

TX_DESC.CSR.WCX = "0xFFFF";

В QSTR0.DMA_gSpWR прерывание (если оно размаскировано в TX_DESC.CSR.IM) о завершении области дескрипторов на передачу.

Для приёма пакетов принимающей стороне необходимо:

1. Для spfmic4.spf надо настроить не менее одного виртуального канала. Для каждого используемого виртуального канала необходимо установить:
 - 1.1. До установки соединения:
 - 1.1.1. SpF_PORT_MODE_VC_PARAMS.VC_LNUM = CONF_PORT_MODE_VC_PARAMS.VC_LNUM = номер виртуального канала.
 - 1.1.2. SpF_PORT_MODE_VC_PARAMS.VC_WORK_EN = "1".
 - 1.2. Независимо от наличия соединения:
 - 1.2.1. SpF_PORT_MODE_VC_PARAMS.VC_THROUGHPUT = допустимая пропускная способность.
 - 1.2.2. CONF_PORT_MODE_VC_PARAMS.VC_THROUGHPUT = допустимая пропускная способность.
 - 1.2.3. SpF_PORT_MODE_VC_TSLOTS = маска используемых временных слотов.
2. Остановить каналы DMA на приём.
 - 2.1. RX_DESC.RUN.RUN = "0".
 - 2.2. RX_DATA.RUN.RUN = "0".
3. Выделить области памяти для приёма.
 - 3.1. Пакетов.
 - 3.2. Дескрипторов.
4. Настроить каналы DMA на приём.
 - 4.1. RX_DESC.CSR.WCX = размер области дескрипторов в 64-разрядных словах. Если необходимо, то и другие биты.
 - 4.2. RX_DESC.IR = физический адрес начала области дескрипторов.
 - 4.3. RX_DATA.CSR.WCX = размер области пакетов в 64-разрядных словах. Если необходимо, то и другие биты.
 - 4.4. RX_DATA.IR = физический адрес начала области пакетов.
5. Запустить каналы DMA на приём.
 - 5.1. RX_DESC.RUN.RUN = "1".
 - 5.2. RX_DATA.RUN.RUN = "1".

После заполнения всей области пакетов, установятся:

`RX_DATA.CSR.END = "1";`

`RX_DATA.CSR.WCX = "0xFFFF";`

В `QSTR0.DMA_gSpWR` прерывание (если оно размаскировано в `RX_DATA.CSR.IM`) о завершении области данных на приём.

После заполнения всей области дескрипторов, установятся:

`RX_DESC.CSR.END = "1";`

`RX_DESC.CSR.WCX = "0xFFFF";`

В `QSTR0.DMA_gSpWR` прерывание (если оно размаскировано в `RX_DESC.CSR.IM`) о завершении области дескрипторов на приём.

16.3.4 Работа с широковещательными сообщениями Broadcast

16.3.4.1 Общие параметры

До того, как принимать/отсылать широковещательные сообщения, необходимо задать следующие параметры:

`BROADCAST_PERCENTAGE`, который находится в регистре `BROADCAST_MODE (7:0)`

– это число в процентах, показывает какая часть пропускной способности выделяется под передачу широковещательных кодов;

Разрешить передачу и прием широковещательных кодов – установить биты (8) -

`BR_SEND_MACK` и (9) - `BR_RECEIVE_MACK` в регистре `BROADCAST_MODE`;

Задать номера виртуальных каналов, которые будут доступны для данного устройства – регистр `BROADCAST_NUMS`, где биты (7:0) - `BROADCAST_NUM0`, (15:8) -

`BROADCAST_NUM1`, (23:16) - `BROADCAST_NUM2` и (31:24) - `BROADCAST_NUM3`.

Будет возможным принимать и отсылать пакеты только с указанными в этих регистрах номерами виртуальных каналов.

16.3.4.2 Отправка широковещательного сообщения

Для отправки широковещательного сообщения необходимо задать параметры и данные широковещательного сообщения:

1. Заполнить поле данных широковещательного сообщения (8 байт) – регистры `BROADCAST_DATA_OUT_L` и `BROADCAST_DATA_OUT_H`.
2. Заполнить параметры широковещательного сообщения в регистре `BROADCAST_DATA_OUT_PARAMETERS`:
 - Номер широковещательного канала `BR_NUM_OUT` - (`BROADCAST_DATA_OUT_PARAMETERS (7:0)`).
 - Широковещательный номер последовательности `BR_SEQ_OUT` - (`BROADCAST_DATA_OUT_PARAMETERS (10:8)`).
 - Тип широковещательного сообщения `BR_TYPE_OUT` - (`BROADCAST_DATA_OUT_PARAMETERS (15:11)`).

- После этого произойдет отправка сообщения, и в регистрах BROADCAST_IN_STATUS1 и BROADCAST_IN_STATUS_ALL1 в битах, соответствующих номеру виртуального канала отправленного сообщения, установятся единицы, которые необходимо сбросить путем записи в них единицы.

16.3.4.3 Прием широковещательного сообщения

Факт приема широковещательного сообщения определяется по регистру флагов BROADCAST_IN_STATUS1;

Для того, чтобы считать информацию о принятом широковещательном сообщении, необходимо в поле BR_NUM_TO_READ регистра

BROADCAST_DATA_IN_PARAMETERS(7:0) записать номер принятого широковещательного сообщения, который определяется по регистру флагов BROADCAST_IN_STATUS1:

- широковещательный номер последовательности BR_SEQ_IN - (BROADCAST_DATA_IN_PARAMETERS (10:8));
- тип широковещательного сообщения BR_TYPE_IN - (BROADCAST_DATA_IN_PARAMETERS (15:11));

Для приема последующих сообщений необходимо сбросить флаг приема в регистрах BROADCAST_IN_STATUS1 и BROADCAST_IN_STATUS_ALL1 путем записи единицы в соответствующий бит.

17. ПОРТ ВВОДА-ВЫВОДА ОБЩЕГО НАЗНАЧЕНИЯ (GPIO)

17.1 Общие положения

В микросхеме имеется 32 внешних ввода-вывода общего назначения. Состояние каждого вывода доступно по чтению через регистр GPI. Режим каждого вывода настраивается индивидуально с помощью регистра GP_OE.

Эквивалентная схема одного вывода порта GPIO представлена на Рисунок 17.1.

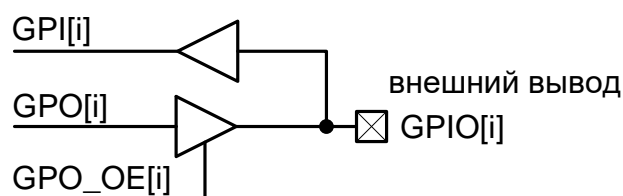


Рисунок 17.1. Эквивалентная схема одного (*i*-го) вывода порта GPIO

Сигналы GPO[i] и GP_OE[i] поступают на выходной буфер с "третьим" состоянием. Выходной буфер представляет собой выход с открытым стоком (аналог-открытый коллектор), подключенный к питанию PVDD через резистор сопротивление от 50 до 100 кОм. Для более быстрого формирования логической "1" выводы GPIO необходимо подключить к напряжению питания PVDD через резистор сопротивление не менее 1 кОм.

Сигнал GPI[i] через входной буфер поступает на считывание в регистр GPI.

17.2 Регистры порта GPIO

Перечень и адреса регистров порта GPIO представлен в Таблица 17.1.

Таблица 17.1. Регистры порта GPIO

Условное обозначение регистра	Название регистра	Доступ (R-чтение, W-запись)	Адрес регистра
GPI	Регистр состояния внешних выводов GPIO[31:0]	R	182F-4040
GPO	Регистр управления внешними выводами GPIO[31:0]	R/W	182F-4044
GP_OE	Регистр режима работы выводов GPIO[31:0]: 1 – вывод в режиме выход, 0 – вывод в режиме только вход	R/W	182F-4048

18. ПРИНЦИПЫ КОРРЕКЦИИ ОШИБОК

Для защиты памяти используется модифицированный код Хэмминга, то есть к контрольным разрядам по обычному коду Хэмминга добавляется общий разряд контроля четности.

Все защищаемые кодом Хэмминга модули памяти (ICACHE, ITAG, DCACHE, DTAG, CRAM, PRAM, XRAM, YRAM и внешняя память) организуются в виде двух блоков: основной блок для хранения данных и блок для хранения контрольных разрядов. Для памяти, имеющих байтовую организацию (CRAM и внешняя память), контрольные разряды формируются операцией «чтение-модификация-запись». Количество контрольных разрядов для 32-разрядных данных – 7 (см. Рисунок 18.1).

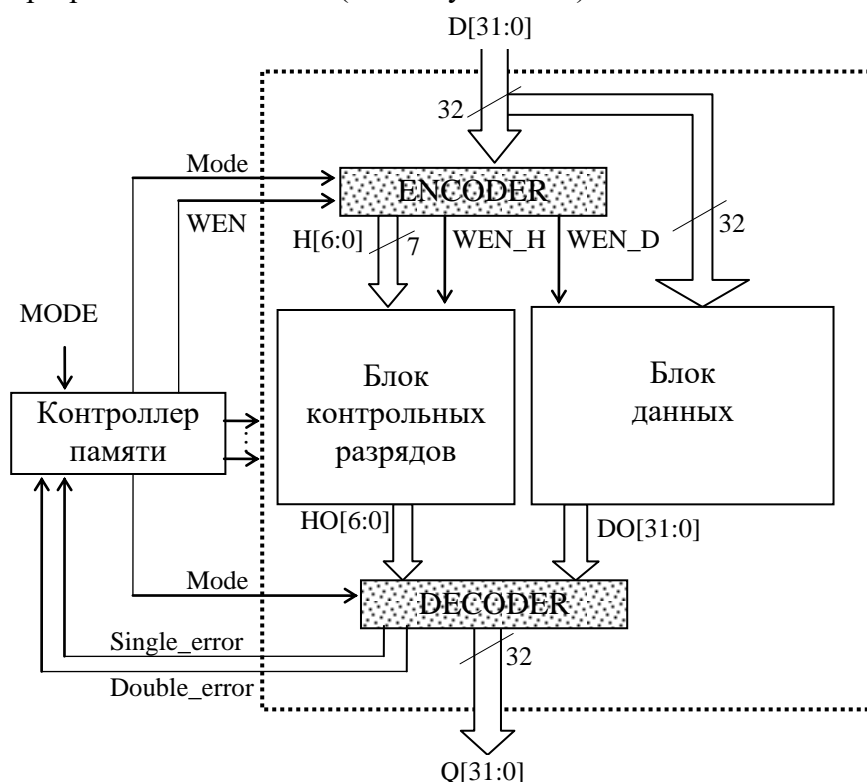


Рисунок 18.1. Структурная схема 32-разрядного модуля памяти с коррекцией ошибок

Данные, записываемые в память, поступают на блок ENCODER, который вычисляет контрольные разряды. При чтении из памяти данные поступают на блок DECODER, который анализирует контрольные разряды и определяет наличие одиночных и двойных ошибок в считанных данных либо одиночных ошибок в контрольных битах. Одиночные ошибки исправляются, двойные – фиксируются. Одновременно с достоверными данными (в случае отсутствия ошибок или коррекции одиночной ошибки) DECODER формирует сигналы Single_Error. При обнаружении двойной ошибки, данные, не корректируются, и формируется сигнал Double_Error.

Для каждого модуля памяти имеется регистр управления и состояния CSR. Формат регистра CSR приведен в Таблица 18.1.

Таблица 18.1. Формат регистра CSR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
1:0	MODE	Режим работы памяти: 00 - режим без коррекции ошибок. Обмен данными выполняется только с блоком данных памяти; 01 - режим с коррекцией ошибок. В обмене данными участвуют блок данных и блок контрольных разрядов; 10 - режим тестирования блока контрольных разрядов; 11 - резерв.	W/R	0
2	NEMPTY	Признак наличия данных в FIFO ошибочных адресов	R	0
7:3	-	Резерв	-	0
15:8	Cnt_DERR	Счетчик двойных ошибок. При значении 255 останавливается. Прерывание сбрасывается при обнулении Cnt_DERR.	W/R	0
23:15	Num_SERR	Число одиночных ошибок данных, при котором формируется прерывание.	W/R	FF
31:24	Cnt_SERR	Счетчик одиночных ошибок. При значении 255 останавливается. Прерывание сбрасывается при $Cnt_SERR \leq Num_SERR$.	W/R	0

Для CSR_CRAM0, CSR_CRAM1, CSR_CRAM2, CSR_CRAM3 поле MODE едино и может быть записано (и считано) по любому адресу CSR_CRAM[i]. Например, при записи поля MODE в регистр CSR_CRAM2, это же значение принимают все остальные поля MODE регистров CSR_CRAM0, CSR_CRAM1 и CSR_CRAM3.

Основные режимы работы (MODE) контроллера памяти приведены в Таблица 18.2. Используются следующие обозначения: DI[31:0] – входная шина данных модуля, DO[31:0] – выход блока данных, H[6:0] – вход блока контрольных разрядов при 32-разрядной организации памяти, Q[31:0] – выходная шина данных модуля памяти.

Таблица 18.2. Режимы работы контроллера памяти

MODE	Разрядность	Запись в блок данных	Запись в блок контрольных разрядов	Формирование выходной шины данных Q[31:0]
00	32	DI[31:0]	-	DO[31:0]
01	32	DI[31:0]	H[6:0]	DO[31:0] с коррекцией по H[6:0]
10	32	-	DI[6:0]	{25'h00000,H0[6:0]}

При отключенном режиме коррекции ошибок (MODE=0) запись осуществляется только в блок данных, содержимое блока контрольных разрядов остается неизменным. При чтении данные, считываемые из блока данных, поступают на выход напрямую в обход схемы коррекции ошибок. Сигналы ошибок не формируются.

Ошибки Single_Error накапливаются в счетчике Cnt_SERR. Ошибки Double_Error накапливаются в счетчике Cnt_DERR. Контроллер памяти формирует прерывание при $Cnt_SERR > Num_SERR$ или при обнаружении двойной ошибки. Для маскирования прерываний от одиночных ошибок Num_SERR устанавливается в состояние «FF» (т.к.

Cnt_SERR не может быть больше значения «FF») при этом ошибочные адреса при возникновении Single_Error в FIFO записываются.

Для целей тестирования предусматривается специальный режим (MODE=2), в котором запись данных с входной шины модуля памяти осуществляется в блок контрольных разрядов напрямую, минуя схему кодирования. Содержимое блока данных остается неизменным. При чтении из памяти на выходную шину поступают данные из блока контрольных разрядов. Старшие разряды дополняются нулями.

Для каждого модуля памяти имеется блок FIFO ошибочных адресов AERROR объемом 16 слов. В нем запоминаются адреса ячеек, в которых были обнаружены одиночные или двойные ошибки. Блок FIFO доступен только по чтению. Формат слов в блоке FIFO для SRAM и CACHE приведен в Таблица 18.3 - Таблица 18.5.

Таблица 18.3. Формат слова FIFO ошибочных адресов AERROR_CRAM0, AERROR_CRAM1, AERROR_CRAM2, AERROR_CRAM3

Номер разряда	Условное обозначение	Назначение
1:0	Code_ERR	Код ошибки. 0 – нет ошибки 1 – одиночная ошибка 2 – двойная ошибка 3 – ошибка в контрольном разряде общей четности
14:2	ADDR[14:2]	Адрес слова памяти, в котором произошла ошибка.
31:15	-	0

Таблица 18.4. Формат слова FIFO ошибочных адресов ICACHE

Номер разряда	Условное обозначение	Назначение
1:0	Code_ERR_ICACHE	Код ошибки памяти ICACHE. 0 – нет ошибки 1 – одиночная ошибка 2 – двойная ошибка 3 – ошибка в контрольном разряде общей четности
3:2	Code_ERR_ITAG	Код ошибки памяти ITAG. 0 – нет ошибки 1 – одиночная ошибка 2 – двойная ошибка 3 – ошибка в контрольном разряде общей четности
15:4	PC[13:2]	Адрес слова, в котором произошла ошибка.
31:16	-	0

При возникновении двойной ошибки в ICACHE, ITAG происходит перезапись данной строки в ICACHE из внешней памяти (процедура Refill).

Таблица 18.5. Формат слова FIFO ошибочных адресов DCACHE

Номер разряда	Условное обозначение	Назначение
1:0	Code_ERR_DCACHE	Код ошибки памяти DCACHE. 0 – нет ошибки 1 – одиночная ошибка 2 – двойная ошибка 3 – ошибка в контрольном разряде общей четности

Номер разряда	Условное обозначение	Назначение
3:2	Code_ERR_DTAG	Код ошибки памяти DTAG. 0 – нет ошибки 1 – одиночная ошибка 2 – двойная ошибка 3 – ошибка в контрольном разряде общей четности
15:4	ADDR[13:2]	Адрес слова, в котором произошла ошибка.
31:16	-	0

При возникновении двойной ошибки в DCACHE, DTAG необходимо записать 1 в бит FLUSH_D регистра CSR.

Форматы регистра CSR и слов блока FIFO ошибочных адресов памяти DSP и внешней памяти приведены в разделах 4 и 8 соответственно.

19. ПОРТ JTAG И ВСТРОЕННЫЕ СРЕДСТВА ОТЛАДКИ ПРОГРАММ

В данную микросхему встроен порт JTAG, реализованный в соответствии со стандартом IEEE 1149.1. Этот порт предназначен только для доступа к встроенным средствам отладки программ (OnCD) и Boundary Scan Register.

Модуль OnCD обеспечивает:

- выполнение остановки программы CPU по контрольным точкам (Breakpoint);
- выполнение заданного числа команд CPU (трассы) в реальном масштабе времени или пошаговое выполнение команд;
- доступ к адресуемым регистрам и памяти микросхемы.

Для подключения микросхемы к персональному компьютеру через порт JTAG необходимо использовать эмулятор JTAG, предназначенный для работы с данным микропроцессором.

20. ЭЛЕКТРИЧЕСКИЕ И ВРЕМЕННЫЕ ПАРАМЕТРЫ

4.5 Электропитание

Номинальные значения напряжений электропитания микросхемы приведены в Таблица 21.13. Электропитание. Допустимые отклонения напряжения электропитания микросхемы от номинального значения - не более $\pm 5\%$.

При включении на микросхему сначала необходимо подать напряжение электропитания ядра (CVDD) U_{CC2} , а затем напряжение электропитания периферии (PVDD) U_{CC1} . Задержка между подачей напряжений электропитания должна быть не более 10 мс. Входные сигналы подаются после подачи напряжений электропитания или одновременно с напряжением электропитания периферии U_{CC1} . Фронт нарастания напряжений электропитания должен быть не более 5 мс;

При выключении микросхемы необходимо сначала снять входные сигналы, затем напряжение электропитания периферии U_{CC1} , затем, с задержкой не более 10 мс, напряжение электропитания ядра U_{CC2} .

Для фильтрации напряжений электропитания микросхемы, необходимо подключить к каждому источнику (U_{CC1} и U_{CC2}) не менее десяти высокочастотных конденсаторов номиналом 0,1 мкФ типа СС 0603 Y5V 0,1 uF Z 25V. Конденсаторы необходимо разместить по возможности равномерно по периметру корпуса микросхемы между выводами PVDD и GND, а также CVDD и GND. При этом расстояние между контактами микросхемы и площадками подсоединения конденсаторов должно быть не более 3 мм.

4.6 Электрические параметры

Электрические параметры микросхемы при эксплуатации приведены в Таблица 20.1.

Таблица 20.1. Электрические параметры микросхемы

Наименование параметров, единица измерения, режим измерения	Буквенное обозначение	Норма		Температура °С
		не менее	не более	
1 Ток потребления периферии в статическом режиме, мА при: $U_{CCP}=3,47$ В, $U_{CCC}=1,9$ В, ХТИ=0	I_{CCP}	–	10	от -60 до +85
2 Ток потребления ядра в статическом режиме, мА при: $U_{CCP}=3,47$ В, $U_{CCC}=1,9$ В, ХТИ=0	I_{CCC}	–	30	от -60 до +85
3 Ток потребления ядра в динамическом режиме, мА при: $U_{CCP}=3,47$ В, $U_{CCC}=1,9$ В и рабочей частоте 100 МГц	I_{OCCC}	–	1000	от -60 до +85
4 Ток утечки высокого и низкого уровня на входе, мкА при: $U_{CCP}=3,47$ В, $U_{CCC}=1,9$ В	I_{IL}	–	10	от -60 до +85
5 Выходное напряжение низкого уровня, В при: $I_{OL}=4$ мА, $U_{CCP}=3,47$ В	U_{OL}	–	0,4	от -60 до +85
6 Выходное напряжение высокого уровня, В при: $I_{OH}=-2,8$ мА, $U_{CCP}=3,13$ В	U_{OH}	2,4	–	от -60 до +85
7 Входная емкость, пФ	C_I	–	30	25 ± 10
8 Емкость входа/выхода, пФ	C_{IO}	–	30	25 ± 10

Значения предельно-допустимых и предельных электрических режимов эксплуатации микросхемы приведены в Таблица 20.2.

Таблица 20.2. Значения предельно-допустимых и предельных электрических режимов эксплуатации

Наименование параметра, единица измерения	Буквенное обозначение	Норма			
		Предельно допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
1. Напряжение питания периферии, В	U _{ССР}	3,13	3,47	–	3,9
2. Напряжение питания ядра, В	U _{ССС}	1,7	1,9	–	2,3
3. Входное напряжение высокого уровня, В	U _{ОН}	2,0	U _{ССР} +0,2	–	U _{ССР} +0,3
4. Входное напряжение низкого уровня, В	U _{ОЛ}	0	0,8	-0,3	–
5. Емкость нагрузки каждого выхода, пФ	C _L	-	30	-	50

4.7 Динамическая потребляемая мощность

Динамическая потребляемая мощность микросхемы имеет две составляющие: потребление ядра (по цепи CVDD) и потребление выходных драйверов (по цепи PVDD).

Мощность, потребляемая ядром микросхемы по цепи CVDD, зависит от последовательности выполняемых процессорными ядрами команд, от операндов, а также от активности DMA и периферийных устройств. Максимальный ток, потребляемый ядром микросхемы, не превышает 1000 мА при внутренней частоте синхронизации 100 МГц.

Мощность, потребляемая выходными драйверами по цепи PVDD, зависит от следующих параметров:

число выходных драйверов (O);

максимальная частота, на которой выходные драйверы переключаются (F);

емкости нагрузки выходных драйверов (C);

величина напряжения электропитания выходных драйверов (U_{СС1}).

Мощность, потребляемая выходными драйверами по цепи PVDD, определяется следующим уравнением:

$$P_{ext} = O * C * U_{CC1}^2 * F.$$

Рассмотрим для примера расчет мощности, потребляемой выходными драйверами при непрерывной записи данных в память типа SRAM (при U_{СС1} = 3,3 В). Максимальная частота обмена данными со SRAM = CLK/4, где CLK – тактовая частота работы порта внешней памяти (например, 80 МГц). При обращении по произвольным адресам можно предположить, что с частотой CLK/4 изменяются 50% разрядов адреса. Также можно допустить, что каждый цикл изменяются 50% разрядов шины данных. Данные для расчета потребляемой мощности приведены в Таблица 20.3.

Таблица 20.3

Название драйвера	Число драйверов	Емкость нагрузки	F, МГц	U _{СС1} ²	P _{ext} , мВт
A[24:1]	12	30	20	10,9	79
nWR[3:0]	4	30	20	10,9	25
D[31:0]	16	30	20	10,9	105
SCLK	1	30	80	10,9	25
Итого:					234

То есть, при тактовой частоте порта внешней памяти 80 МГц и $C=30$ пФ при непрерывной записи данных в SRAM потребление составляет 234 мВт. При чтении данных из SRAM выходные драйверы не активизируются. Поэтому, если запись данных в SRAM чередуется с чтением, то реальное энергопотребление микросхемы будет существенно меньше.

Оценим мощность, потребляемую драйверами линкового порта при передаче данных на частоте 40 МГц. Потребление по LCLK составляет 12 мВт, а потребление по данным (изменяется 50% 8-разрядных данных с частотой 20 МГц) - 24 мВт. Суммарно – 36 мВт.

21. ОПИСАНИЕ ВНЕШНИХ ВЫВОДОВ

Перечень групп внешних выводов микросхемы 1892BM206 приведен в Таблица 21.1.

Таблица 21.1

Назначение	Число выводов
Порт внешней памяти MPORT	155
Управление	75
4 контроллера SpaceWire	32
Контроллер ARINC429	31
2 контроллера CANBIC	4
2 контроллера EMAC	34
2 контроллера SPFMIC	8
2 контроллера 1553BIC	36
UART	2
MFBSF	20
GPIO	32
Итого сигналов	429
Электропитание	262
Итого	691

Описание выводов микросхемы 1892BM206 приведено в Таблица 21.2 - Таблица 21.13.

Таблица 21.2. Порт внешней памяти

Название вывода	Количество	Тип	Назначение
A[26:0]	27	O	Шина адреса (64 Мбайт)
D[63:0]	64	IO	Шина данных
nWRL[3:0], nWRH[3:0]	8	O	Запись байтов асинхронной памяти
nWEL, nWEH	2	O	Запись асинхронной памяти
nRDL, nRDH	2	O	Чтение асинхронной памяти, соответственно с 0 по 31 разряд и с 32 по 63 разряд
ACK	1	I	Готовность асинхронной памяти
nCS[4:0]	5	O	Разрешение выборки блоков внешней памяти
SRASH, SRASL	2	O	Строб адреса строки SDRAM
SCASH, SCASL	2	O	Строб адреса колонки SDRAM
SWEH, SWEL	2	O	Разрешение записи SDRAM
DQM[7:0]	8	O	Маска выборки байта динамической (SDRAM) и статической памяти (SRAM). При чтении данных из памяти на всех этих выводах устанавливается низкий уровень. При записи данных в память низкий уровень устанавливается только на выводах, соответствующих байтам, которые необходимо записать
SCLKL, SCLKH	2	O	Тактовая частота работы выходных каскадов MPORT и памяти типа SDRAM
CKE	1	O	Разрешение частоты
A10	1	O	10 разряд адреса
BA[1:0]	2	O	Номер банка

Название вывода	Количество	Тип	Назначение
nFLYBY[3:0]	4	O	Признак режима передачи DMA «Flyby»
nOE[3:0]	4	O	Разрешение чтения внешнего устройства (асинхронного)
DHN[6:0] DHL[6:0]	14	IO	Шина данных кода Хэмминга
DQMHN DQMHL	2	O	Маска записи кода Хэмминга в SDRAM
nWENH nWEHL	2	O	Запись кода Хэмминга в асинхронную память
Всего 155 вывода			

Таблица 21.3. Управление

Название вывода	Количество	Тип	Назначение
nDMAR[3:0]	4	I	Запрос канала DMA. Формируется по отрицательному фронту. Минимальная длительность – не менее 1,5 периодов системной тактовой частоты CLK (частота, на которой работает CPU)
NMI	1	I	Немаскируемое прерывание. Формируется по положительному фронту сигнала
nIRQ[3:0]	4	I	Запросы прерывания. Потенциальные сигналы, активный низкий уровень
BOOT[1:0]	2	I	Определение источника и разрядности данных при начальной загрузке программ микропроцессора после снятия сигнала nRST: 00 – загрузка производится из 32-разрядного блока памяти, подключенного к выводу nCS[3] MPORT. В этом случае разрядность этого блока памяти изменить нельзя; 01 – загрузка производится из 8-разрядного блока памяти, подключенного к выводу nCS[3] MPORT. В этом случае разрядность этого блока памяти изменить нельзя; 10 – не используется; 11 – загрузка производится из порта SPI MFBSP0. При этом к выводу nCS[3] MPORT может быть подключен 32-разрядный блок памяти
WDT	1	O	Признак срабатывания сторожевого таймера. Этот сигнал формируется, если в программе произошел сбой. Его можно подать на системный контроллер, который будет принимать решение, что делать в данной ситуации
XTI	1	I	Вход системной частоты. Если используется встроенный умножитель частоты (PLL_CORE_EN = 1), то допускается на вход XTI подавать частоту 10 МГц. Если не используется встроенный умножитель частоты (PLL_CORE_EN = 0), то допускается на вход XTI подавать частоту от 1 до 110 МГц. Стабильность входной системной частоты – не хуже ±50 ppm, коэффициент заполнения – от 40 до 60% (скважность – от 1,7 до 2,5), джиттер – не более 1 %

Название вывода	Количество	Тип	Назначение
RTCXTI	1	I	Вывод для подключения внешнего генератора частотой 32 КГц
XTI125	1	I	Вход опорной частоты для контроллера SPFMIC. Частота 125 МГц. Стабильность частоты – не хуже ± 50 ppm, коэффициент заполнения – от 40 до 60% (скважность – от 1,7 до 2,5), джиттер – не более 1 %
XTI11	1	I	Вход тактирующей частоты для контроллера ARINC429. Частота 11 \pm 1 МГц. Стабильность частоты – не хуже ± 50 ppm, коэффициент заполнения – от 40 до 60% (скважность – от 1,7 до 2,5), джиттер – не более 1 %
PLL_TEST	1	O	Частотный тестовый выход, для вывода тактовых сигналов от внутренних PLL.
nRST	1	I	Сигнал установки исходного состояния. Во время действия сигнала nRST все узлы микросхема находится в исходном (неактивном) состоянии, выходы - в неактивном состоянии, входы-выходы являются входами При включении электропитания микросхемы сигнал nRST должен иметь низкий уровень и переключаться на высокий уровень через время не менее 1 мс после установки стабильного электропитания и стабильной тактовой частоты на входе XTI. Если необходимо установить работающую микросхему в исходное состояние, то для этого на нее необходимо подать асинхронный сигнал nRST длительностью не менее 10 тактов частоты на входе XTI. При этом, если к MPORT подключена память типа SDRAM, то до подачи сигнала nRST все операции обмена данными с SDRAM должны быть закончены. Фронт и спад сигнала nRST должен быть не более 100 нс.
TEST_MODE	1	I	Используется при производственном тестировании DFT (как и выходы TEST SI, TEST SE).
TEST_SE	1	I	Разрешение работы тестовой цепочки (рекомендуется подать логический "0")
TEST_SI	49	I	Вход данных тестовой цепочки (рекомендуется подать логический "0")
TCK	1	I	Тестовый тактовый сигнал (JTAG)
TRST	1	I	Установка исходного состояния (JTAG)
TMS	1	I	Выбор режима теста (JTAG)
TDI	1	I	Вход данных теста (JTAG)
TDO	1	O	Выход данных теста (JTAG)
nDE	1	IO	Состояние DEBUG. Сигнал предназначен для отладки программного обеспечения нескольких микропроцессором (до 8), работающих одновременно. Для этого выходы nDE у этих микросхем необходимо объединить в проводное ИЛИ. Если совместная отладка не используется, то вывод nDE должен быть незадействованным.
Всего 75 выводов			

Таблица 21.4. UART

Название вывода	Количество	Тип	Назначение
SIN	1	I	Вход последовательных данных
SOUT	1	O	Выход последовательных данных
Всего 2 вывода			

Таблица 21.5. MFBSP (2 штуки)

Название вывода	Количество	Тип	Назначение
LDAT	8	IO	Шина данных.
LCLK	1	IO	Синхронизация
LACK	1	IO	Подтверждение
Всего 10*2=20 выводов			

Таблица 21.6. Контроллеры ЕМАС

Название вывода	Количество	Тип	Назначение
AMD0, AMD1	2	IO	Входные и выходные данные по интерфейсу MD
AMDC0, AMDC1	2	O	Тактовая частота обмена данными по интерфейсу MD
ATX_CLK0, ATX_CLK1	2	I	Тактовая частота передачи данных по интерфейсу МП
ATX_EN0, ATX_EN1	2	O	Признак передачи данных по интерфейсу МП
ATXD0[3:0], ATXD1[3:0]	8	O	Шина передаваемых данных по интерфейсу МП
ACRS0, ACRS1	2	I	Сигнал наличия несущей в среде передачи
ACOL0, ACOL1	2	I	Сигнал обнаружения коллизии в среде передачи
ARX_CLK0, ARX_CLK1	2	I	Тактовая частота приема данных по интерфейсу МП
ARX_DV0, ARX_DV1	2	I	Признак наличия данных для приема по интерфейсу МП
ARXD0[3:0], ARXD1[3:0]	8	I	Шина принимаемых данных по интерфейсу МП
ARX_ER0, ARX_ER1	2	I	Признак обнаружения ошибки в принимаемых данных
Всего 34 вывода			

Таблица 21.7. SWIC (4 штуки)

Название вывода	Количество	Тип	Назначение
DINp0, DINp1, DINp2, DINp3	4	I	Вход данных положительный портов 0, 1, 2, 3
DINn0, DINn1, DINn2, DINn3	4	I	Вход данных отрицательный портов 0, 1, 2, 3
SINp0, SINp1, SINp2, SINp3	4	I	Вход строба положительный портов 0, 1, 2, 3
SINn0, SINn1, SINn2, SINn3	4	I	Вход строба отрицательный портов 0, 1, 2, 3

Название вывода	Количество	Тип	Назначение
DOUtp0, DOUtp1, DOUtp2, DOUtp3	4	O	Выход данных положительный портов 0, 1, 2, 3
DOUtn0, DOUtn1, DOUtn2, DOUtn3	4	O	Выход данных отрицательный портов 0, 1, 2, 3
SOUtp0, SOUtp1, SOUtp2, SOUtp3	4	O	Выход строба положительный портов 0, 1, 2, 3
SOUtn0, SOUtn1, SOUtn2, SOUtn3	4	O	Выход строба отрицательный портов 0, 1, 2, 3
Всего 32 ВЫВОДОВ			

Таблица 21.8. SPFMIC (2 штуки)

Название вывода	Тип	Назначение
SPFMIC0		
SpF_TXP0/SpF_TXN0	O	Дифференциальный выход передачи данных.
SpF_RXP0/SpF_RXN0	I	Дифференциальный вход приема данных.
SPFMIC1		
SpF_TXP1/SpF_TXN1	O	Дифференциальный выход передачи данных.
SpF_RXP1/SpF_RXN1	I	Дифференциальный вход приема данных.
Всего 8 выводов		

Таблица 21.9. Контроллер ARINC429

Название вывода	Количество	Тип	Назначение в режиме входного канала /в режиме выходного канала
AR_C0	1	IO	Вход синхронизации входного канала 0 / Выход синхронизации выходного канала 0
AR_D0	1	IO	Вход данных входного канала 0 / Выход данных выходного канала 0
AR_C1	1	IO	Вход синхронизации входного канала 1 / Выход синхронизации выходного канала 1
AR_D1	1	IO	Вход данных входного канала 1 / Выход данных выходного канала 1
AR_C2	1	IO	Вход синхронизации входного канала 2 / Выход синхронизации выходного канала 2
AR_D2	1	IO	Вход данных входного канала 2 / Выход данных выходного канала 2
AR_C3	1	IO	Вход синхронизации входного канала 3 / Выход синхронизации выходного канала 3
AR_D3	1	IO	Вход данных входного канала 3 / Выход данных выходного канала 3
AR_C4	1	IO	Вход синхронизации входного канала 4 / Выход синхронизации выходного канала 4
AR_D4	1	IO	Вход данных входного канала 4 / Выход данных выходного канала 4

Название вывода	Количество	Тип	Назначение в режиме входного канала /в режиме выходного канала
AR_C5	1	IO	Вход синхронизации входного канала 5 / Выход синхронизации выходного канала 5
AR_D5	1	IO	Вход данных входного канала 5 / Выход данных выходного канала 5
AR_C6	1	IO	Вход синхронизации входного канала 6 / Выход синхронизации выходного канала 6
AR_D6	1	IO	Вход данных входного канала 6 / Выход данных выходного канала 6
AR_C7	1	IO	Вход синхронизации входного канала 7 / Выход синхронизации выходного канала 7
AR_D7	1	IO	Вход данных входного канала 7 / Выход данных выходного канала 7
AR_C8	1	IO	Вход синхронизации входного канала 8 / Выход синхронизации выходного канала 8
AR_D8	1	IO	Вход данных входного канала 8 / Выход данных выходного канала 8
AR_C9	1	IO	Вход синхронизации входного канала 9 / Выход синхронизации выходного канала 9
AR_D9	1	IO	Вход данных входного канала 9 / Выход данных выходного канала 9
AR_C10	1	IO	Вход синхронизации входного канала 10 / Выход синхронизации выходного канала 10
AR_D10	1	IO	Вход данных входного канала 10 / Выход данных выходного канала 10
AR_C11	1	IO	Вход синхронизации входного канала 11 / Выход синхронизации выходного канала 11
AR_D11	1	IO	Вход данных входного канала 11 / Выход данных выходного канала 11
AR_C12	1	IO	Вход синхронизации входного канала 12 / Выход синхронизации выходного канала 12
AR_D12	1	IO	Вход данных входного канала 12 / Выход данных выходного канала 12
AR_C13	1	IO	Вход синхронизации входного канала 13 / Выход синхронизации выходного канала 13
AR_D13	1	IO	Вход данных входного канала 13 / Выход данных выходного канала 13
AR_C14	1	IO	Вход синхронизации входного канала 14 / Выход синхронизации выходного канала 14
AR_D14	1	IO	Вход данных входного канала 14 / Выход данных выходного канала 14
AR_BLK	1	O	Выход блокировки данных всех выходных каналов
Всего 31 вывод			

Таблица 21.10. Контроллер CANBIC (2 штуки)

Название вывода	Количество	Тип	Назначение
CAN_TXD0, CAN_TXD1	2	O	Выход данных
CAN_RXD0, CAN_RXD1	2	I	Вход данных
Всего 4 вывода			

Таблица 21.11. Контроллер 1553ВІС (2 штуки)

Название вывода	Количество	Тип	Назначение
MIL_TXPA0, MIL_TXPA1	2	O	Выходы данных каналов А прямые
MIL_TXNA0, MIL_TXNA1	2	O	Выходы данных каналов А инверсные
MIL_TXINHA0, MIL_TXINHA1	2	O	Запрещение работы передатчика каналов А
MIL_RXPA0, MIL_RXPA1	2	I	Входы данных каналов А прямые
MIL_RXNA0, MIL_RXNA1	2	I	Входы данных каналов А инверсные
MIL_RXENA0, MIL_RXENA1	2	O	Разрешение работы приемников каналов А
MIL_TXPB0, MIL_TXPB1	2	O	Выходы данных каналов В прямые
MIL_TXNB0, MIL_TXNB1	2	O	Выходы данных каналов В инверсные
MIL_TXINHB0, MIL_TXINHB1	2	O	Запрещение работы передатчика каналов В
MIL_RXPB0, MIL_RXPB1	2	I	Входы данных каналов В прямые
MIL_RXNB0, MIL_RXNB1	2	I	Входы данных каналов В инверсные
MIL_RXENB0, MIL_RXENB1	2	O	Разрешение работы приемников каналов В
MIL_ADDR0[4:0], MIL_ADDR1[4:0],	10	I	Адрес оконечного устройства
MIL_ADDRP0, MIL_ADDRP1	2	I	Дополнения адреса оконечного устройства до нечетности
Всего 36 выводов			

Таблица 21.12. Порт ввода-вывода общего назначения (GPIO)

Название вывода	Количество	Тип	Назначение
GPIO[31:0]	32	IO	Входы/выходы данных порта ввода-вывода общего назначения.

Таблица 21.13. Электропитание

Название вывода	Количество	Назначение
CVDD	74	Напряжение электропитания ядра (UCC2, 1.8 В)
PVDD	50	Напряжение электропитания входных и выходных цифровых драйверов (UCC1, 3.3 В)
GND	138	Земля ядра, входных и выходных цифровых драйверов
SpF_VDD_0 – SpF_VDD_1	2	Напряжение электропитания цифровой части приемопередатчиков SPFMIC (2.0 В)
SpF_TXVDD_0 - SpF_TXVDD_1	2	Напряжение электропитания аналоговой части передатчиков SPFMIC (1.8 В)
SpF_TXGND_0 - SpF_TXGND_1	2	Земля передатчиков SPFMIC

SpF_RXVDD_0 - SpF_RXVDD_1	2	Напряжение электропитания аналоговой части приемников контроллеров SPFMIC (3.3 В)
SpF_RXGND_0 - SpF_RXGND_1	2	Земля электропитания аналоговой части приемников контроллеров SPFMIC
Всего 272 выводов		

Нумерация выводов микросхемы 1892BM206 в корпусе CPGA-720 приведена на Рисунок 21.1 - Рисунок 21.4. Вывод А1 находится возле ключа (скошенного уголка) корпуса микросхемы.

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
A	VDD	VDD	GND	SCLKL	nWRL[3]	nWEHL	ACK	DHL[2]	DHL[6]	DHH[2]	DQM[1]	DQM[3]	SCASL	SCLKH	D[33]
B	VDD	VDD	VDD	nWEL	nWRL[2]	nWRH[1]	nWEHH	DHL[1]	DHL[5]	DHH[1]	D[14]	DQM[2]	SWEL	SRASL	D[32]
C	GND	VDD	VDD	nWEH	nWRL[1]	nWRH[2]	nRDL	DHL[0]	DHL[4]	DHH[0]	D[13]	D[15]	D[16]	D[19]	D[22]
D	A[26]	A[25]	VDD	VDD	nWRL[0]	nWRH[0]	nWRH[3]	nRDH	DHL[3]	DQMHL	DHH[3]	DHH[4]	DHH[5]	D[18]	D[21]
E	A[24]	A[23]	A[19]	VDD	VDD	DQMHH	D[1]	D[3]	D[5]	D[7]	D[8]	D[11]	DHH[6]	D[17]	D[20]
F	A[22]	A[21]	A[20]	A[18]	VDD	VDD	D[0]	D[2]	D[4]	D[6]	D[10]	D[9]	D[12]	PVDD	PVDD
G	A[10]	A[9]	A[8]	A[7]	A[17]	VDD									
H	A[6]	A[5]	A[4]	A[3]	A[2]	A[16]									
J	A[1]	A[0]	BA[1]	BA[0]	A10	A[15]									
K	nCS[4]	nCS[3]	nCS[2]	nCS[1]	nCS[0]	A[14]				VDD	VDD	VDD	VDD	GND	GND
L	nDMAR[3]	nDMAR[2]	nDMAR[1]	nDMAR[0]	RTCXTI	A[13]				VDD	VDD	VDD	VDD	GND	GND
M	WDT	MIL_ADDRP1	MIL_ADDR1[4]	MIL_ADDR1[3]	MIL_ADDR1[2]	A[12]				VDD	VDD	GND	GND	GND	GND
N	MIL_ADDR1[1]	MIL_ADDR1[0]	MIL_RXENB1	MIL_RXPB1	MIL_RXNB1	A[11]				VDD	VDD	GND	GND	GND	GND
P	MIL_RXNA1	MIL_TXINHA1	MIL_TXPA1	MIL_TXNA1	MIL_TXINHHA1	PVDD				GND	GND	GND	GND	GND	GND
R	MIL_ADDRP0	MIL_ADDR0[4]	MIL_ADDR0[3]	MIL_ADDR0[2]	MIL_TXPB1	PVDD				GND	GND	GND	GND	GND	GND

Рисунок 21.1

T	MIL_ADDR0[1]	MIL_ADDR0[0]	MIL_RXENB0	MIL_RXPB0	MIL_TXNB1	VDD					GND	GND	GND	GND	GND	GND
U	MIL_RXNB0	MIL_TXINHB0	MIL_TXPB0	MIL_TXNB0	MIL_RXENA1	VDD					GND	GND	GND	GND	GND	GND
V	MIL_RXENA0	MIL_RXPA0	MIL_RXNA0	MIL_TXINHA0	MIL_RXPA1	ATX_CLK0					VDD	VDD	GND	GND	GND	GND
W	MIL_TXPA0	MIL_TXNA0	PLL_TEST	NC	ARX_DV0	ARX_ER0					VDD	VDD	GND	GND	GND	GND
Y	XTI	ATXD1[3]	ATXD1[2]	ATXD1[1]	ARXD0[3]	ARXD0[2]					PVDD	PVDD	VDD	VDD	GND	GND
AA	ATXD1[0]	ATX_EN1	ATX_CLK1	ARX_CLK1	ACOL0	ACRS0					PVDD	PVDD	VDD	VDD	GND	GND
AB	ARX_ER1	ARXD1[3]	ARX_DV1	ARXD0[1]	ARXD0[0]	NC										
AC	ARXD1[2]	ARXD1[1]	ARXD1[0]	AMDC0	NC	AMD0										
AD	ACOL1	ACRS1	AMDC1	NC	NC	PVDD										
AE	ATXD0[3]	AMD1	ATXD0[1]	NC	PVDD	PVDD	AR_D[10]	AR_C[10]	AR_C[1]	AR_D[0]	AR_C[0]	AR_BLK	SpF_VDD_1	GND	SpF_VDD_0	
AF	ATXD0[2]	ATX_EN0	ATXD0[0]	PVDD	PVDD	AR_C[8]	AR_D[5]	AR_C[3]	AR_D[2]	AR_C[2]	AR_D[1]	XTI125	PVDD	PVDD	VDD	
AG	ARX_CLK0	XTI11	PVDD	PVDD	AR_D[11]	AR_D[8]	AR_C[6]	AR_D[3]	DINn3	DINp3	DINp2	DINn2	SpF_TXN1	SpF_TXP1	SpF_TXN0	
AH	GND	PVDD	PVDD	AR_D[13]	AR_C[12]	AR_C[9]	AR_D[6]	AR_C[4]	SINn3	SINp3	SINp2	SINn2	SpF_RXN1	SpF_RXP1	SpF_RXN0	
AJ	PVDD	PVDD	PVDD	AR_C[14]	AR_D[12]	AR_D[9]	AR_C[7]	AR_D[4]	SOUTn3	SOUTp3	SOUTp2	SOUTn2	SpF_RXGND_1	SpF_TXGND_1	SpF_RXGND_0	
AK	PVDD	PVDD	GND	AR_D[14]	AR_C[13]	AR_C[11]	AR_D[7]	AR_C[5]	DOUn3	DOUp3	DOUp2	DOUn2	SpF_RXVDD_1	SpF_TXVDD_1	SpF_RXVDD_0	
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	

Рисунок 21.2

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	
D[35]	D[59]	D[61]	D[63]	DQM[5]	DQM[6]	SWEH	SRASH	nOE[1]	nOE[3]	nFLYBY[1]	nFLYBY[3]	VDD	GND	GND	A
D[34]	D[58]	D[60]	D[62]	DQM[4]	DQM[7]	SCASH	CKE	nOE[0]	nOE[2]	nFLYBY[0]	nFLYBY[2]	GND	GND	GND	B
D[37]	D[39]	D[40]	D[42]	D[44]	D[46]	D[49]	D[51]	D[53]	D[55]	D[57]	PVDD	GND	GND	VDD	C
D[36]	D[38]	D[41]	D[43]	D[45]	D[47]	D[48]	D[50]	D[52]	D[54]	D[56]	GND	PVDD	TEST_SI[0]	TEST_SI[20]	D
D[23]	D[25]	D[24]	D[27]	D[26]	D[29]	D[28]	D[31]	D[30]	DQM[0]	GND	TEST_SI[1]	TEST_SI[2]	TEST_SI[21]	TEST_SI[22]	E
VDD	VDD	PVDD	PVDD	PVDD	PVDD	PVDD	PVDD	PVDD	GND	TEST_SI[3]	TEST_SI[4]	TEST_SI[5]	TEST_SI[23]	TEST_SI[24]	F
									PVDD	TEST_SI[6]	TEST_SI[7]	TEST_SI[8]	TEST_SI[25]	TEST_SI[26]	G
									PVDD	TEST_SI[9]	TEST_SI[10]	TEST_SI[11]	TEST_SI[27]	TEST_SI[28]	H
									PVDD	TEST_SI[13]	TEST_SI[14]	TEST_SI[12]	TEST_SI[29]	TEST_SI[30]	J
GND	GND	VDD	VDD	GND	GND				PVDD	TEST_SI[15]	TEST_SI[31]	TEST_SI[32]	GPIO[5]	GPIO[6]	K
GND	GND	VDD	VDD	GND	GND				PVDD	TEST_SI[16]	TEST_SI[33]	TEST_SI[34]	GPIO[7]	GPIO[8]	L
GND	GND	GND	GND	VDD	VDD				PVDD	TEST_SI[17]	TEST_SI[35]	TEST_SI[36]	GPIO[9]	GPIO[10]	M
GND	GND	GND	GND	VDD	VDD				PVDD	TEST_SI[18]	TEST_SI[37]	TEST_SI[38]	GPIO[11]	GPIO[12]	N
GND	GND	GND	GND	GND	GND				PVDD	TEST_SI[19]	TEST_SI[39]	TEST_SI[40]	GPIO[13]	GPIO[14]	P
GND	GND	GND	GND	GND	GND				PVDD	GPIO[26]	TEST_SI[41]	TEST_SI[42]	GPIO[15]	GPIO[16]	R

Рисунок 21.3

GND	GND	GND	GND	GND	GND				VDD	GPIO[29]	TEST_SI[43]	TEST_SI[44]	GPIO[17]	GPIO[18]	T
GND	GND	GND	GND	GND	GND				VDD	GPIO[28]	TEST_SI[45]	TEST_SI[46]	GPIO[19]	GPIO[20]	U
GND	GND	GND	GND	VDD	VDD				GPIO[30]	GPIO[31]	TEST_SE	GPIO[0]	GPIO[21]	GPIO[22]	V
GND	GND	GND	GND	VDD	VDD				BOOT[0]	BOOT[1]	GPIO[1]	GPIO[2]	GPIO[23]	GPIO[25]	W
GND	GND	VDD	VDD	GND	GND				NC	NMI	GPIO[3]	GPIO[4]	GPIO[24]	GPIO[27]	Y
GND	GND	VDD	VDD	GND	GND				nIRQ[0]	nIRQ[1]	nIRQ[2]	nIRQ[3]	SOUT	SIN	AA
									TEST_SI[47]	TEST_SI[48]	LACK0	LCLK0	LDAT0[0]	LDAT0[1]	AB
									LDAT0[2]	LDAT0[3]	LDAT0[4]	LDAT0[5]	LDAT0[6]	LDAT0[7]	AC
									LACK1	LCLK1	LDAT1[0]	LDAT1[1]	LDAT1[2]	LDAT1[3]	AD
GND	PVDD	GND	PVDD	GND	PVDD	GND	PVDD	GND	GND	LDAT1[4]	LDAT1[5]	LDAT1[6]	LDAT1[7]	CAN_TXD0	AE
VDD	PVDD	PVDD	VDD	VDD	PVDD	PVDD	VDD	VDD	GND	GND	CAN_RXD0	CAN_TXD1	CAN_RXD1	NC	AF
SpF_TXP0	SOUTn1	SOUTp1	DINn1	DINp1	SOUTn0	SOUTp0	DINn0	DINp0	GND	GND	GND	NC	NC	NC	AG
SpF_RXP0	DOUn1	DOUp1	SINn1	SINp1	DOUn0	DOUp0	SINn0	SINp0	TDI	nDE	GND	GND	GND	VDD	AH
SpF_TXGND_0	GND	GND	GND	GND	GND	GND	GND	GND	TMS	TRST	TEST_MODE	GND	GND	GND	AJ
SpF_TXVDD_0	VDD	VDD	VDD	VDD	VDD	VDD	VDD	VDD	TCK	TDO	nRST	VDD	GND	GND	AK
16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	

Рисунок 21.4

22. ПЕРЕЧЕНЬ ОГРАНИЧЕНИЙ

22.1 Перечень ограничений контроллера 1553ВІС

Перечень тестовых сценариев, которые некорректно выполняются при проверке стандарта MIL-STD-1553B:

5.2.1.1.1 (d, g): RT response to command word.

5.2.1.3.1.3: Receive Data Words.

5.2.1.3.2.3: Receive Data Words.

5.2.1.3.3.3: Receive Data Words.

5.2.1.3.5.1: Transmit Command Word.

5.2.1.3.5.2: Receive Command.

5.2.1.3.6: Contiguous Data.

5.2.1.4.1: RT Superseding Commands.

5.2.1.5.1: Transmit Status.

5.2.1.7.1: RT to RT Timeout.

5.2.1.7.2: RT to RT Message Format.

5.2.1.7.3: Transmitting RT Errors.

5.2.1.8: Bus Switchin.

5.2.2.1: Optional Mode Commands.

5.2.2.5.1.2: Data Word Error.

5.2.2.5.2: Message Length, BC to RT Broadcast.

Остальные тестовые сценарии отрабатываются корректно.

23. ИСТОРИЯ ИЗМЕНЕНИЙ

23.1 22 марта 2018

- Уточнены единицы параметра «скважность» в таблице 21.3.

23.2 27 декабря 2018

- Скорректированы подразделы 12.4.1, 12.4.4 – режимы передачи контроллера ARINC429 в части настройки количества передаваемых слов.

23.3 22 октября 2019

- Таблица 14.1 – скорректированы адреса смещения регистров CSR, CP, IR, RUN;
- Под таблицей 14.1 добавлены сноски;
- Добавлены уточнения в описаниях регистров RG_BA, RG_BA_MON;
- Таблица 16.4 – исправлены значения битов маскирования прерываний (rf#3886).

23.4 30 января 2020

- Уточнено название раздела 11.7.

23.5 08 мая 2020

- Скорректированы таблицы 21.1, 21.13 в части количества выводов PVDD, CVDD (rf#13678);
- Скорректирована таблица 2.4 (rf#13221);
- Заменен рисунок 4.2 (rf#13220);
- Глава 11 – скорректировано название регистра IMASK_MFBSP (rf#13188);
- Глава 12 – скорректировано название регистров R_RGM (rf#13188);
- Глава 14 – скорректировано название регистра CTR (rf#13188).

23.6 01 июня 2020

- Таблица 8.5 скорректирована в части разрядов BOOT (rf#13727);
- Скорректированы рисунки 8.7-8.9 в части выводов BOOT (rf#13727);

23.7 26 августа 2020

- Скорректирована Таблица 22.1 в части сигнала TEST_MODE.

23.8 31 августа 2020

- Скорректирован раздел 17.1;
- Скорректирован раздел 20.1;
- Скорректирована таблица 21.13;
- Рис 4.3 заменен на верный;
- Скорректирована таблица 21.421 (rf#14332).

23.9 03 августа 2021

- Введена глава 7.2.1 – «Особенности DMS порта Ethernet MAC» (rf#14557);
- Добавлены Таблица 16.40, Таблица 16.41 (rf#14077);
- Добавлен раздел 3.10 «Особенности реализации процессорного ядра» (rf#14494).

23.10 24 декабря 2021

- Удалено упоминание вывода BYTE – Заменен на BOOT[0]

23.11 29 июня 2022

- Заменены рисунки 4.2, 4.3.

23.12 08 сентября 2022

- Скорректирована таблица 8.2 в части уточнения бита APPLY.
- Добавлен комментарий под таблицей 14.39.
- Таблица 2.15: скорректирован диапазон области «Память и регистры DSP-ядра».
- Скорректирован абзац перед рисунком 4.2.
- Таблица 6.1: скорректирован размер регистра WTSCALE.
- Таблица 6.2: скорректирована ссылка на таблицу 21.3.
- Таблица 3.15: скорректирована ссылка на таблицу 6.2.

23.13 05 апреля 2023

- Таблица 2.6: расширено описание регистра QSTR2.

23.14 07 апреля 2023

- Таблица 16.1: скорректирован перечень регистров блока SPFMIC.

- Раздел 16.2: Добавлены описания регистров ID_VER, CCODES_INTERVAL, GIGA_SPW_CREDIT_PARAMETERS.
- Таблицы 2.7-2.8: расширено описание регистров QSTR3 и QSTR4.
- Скорректирован раздел 8.4.2.
- Скорректирован раздел 11.2.7.
- Таблица 14.38: добавлено описание бита LAST_TASK.

23.15 05 мая 2023

- Таблица 10.3: Исправлено описание регистров TX_SPEED, TX_SPEED_10; добавлено описание битов PLL_TX_EN, LVDS_EN.
- Скорректирован раздел 10.5.5.

23.16 31 мая 2023

- Раздел 8: исправления Cnt_CERR → Cnt_SERR, Num_CERR → Num_SERR.
- Раздел 1.2: удален дублирующий абзац.

23.17 11 июля 2023

- Добавлен раздел Перечень ограничений.
- Глава 14, скорректирована формулировка о соответствии стандарту ГОСТ Р 52070-2003.

23.18 14 сентября 2023

- В таблице 2.4 исправлены номера разрядов IT0 и IT1.

23.19 18 декабря 2023

- Исправлено описание регистров CCODE_OUT, CCODES_MASK, BROADCAST_MODE, BROADCAST_DATA_OUT_PARAMETERS, PMA_STATUS, PMA_MODE (SUPPORT-1722).
- Добавлено описание поля BDS_STATE регистра GIGA_SPW_STATUS (SUPPORT-1722).
- Добавлено описание полей KOEFF_COMMA и DISCONNECT_COUNTER регистра GIGA_SPW_TRANSMISSION_PARAMETERS (SUPPORT-1722).
- Исправлен раздел 16.3.1.1 Установка соединения (SUPPORT-1722).
- Таблица 10.6, убрано упоминание бита CODEC_Loopback.