

# **МОДУЛЬ ОТЛАДОЧНЫЙ МСТ-03РЕМ-6U rev. 1**

**РУКОВОДСТВО ПОЛЬЗОВАТЕЛЯ**

## ОГЛАВЛЕНИЕ

1. Введение.....	3
2. Расположение элементов на модуле.....	4
3. Назначение разъемов на модуле .....	11
4. Светодиодная индикация.....	15
5. Питание отладочного модуля.....	16
6. Память на отладочном модуле.....	18
7. Тактовые частоты на отладочном модуле .....	20
8. Работа с отладочным модулем без ОС.....	21
9. Работа с ОС Linux на отладочном модуле .....	22
10. Работа с операционной системой uOS на отладочном модуле .....	23
11. Дополнительная документация.....	24
12. Схемотехнические недоработки в модуле ревизии 1.....	25
13. История изменений .....	26

## 1. ВВЕДЕНИЕ

Модуль отладочный МСТ-03РЕМ-6U rev1 реализован на основе процессора 1892ВМ12АТ и предназначен для ознакомления с возможностями процессора, отладки программ и макетирования пользовательских систем.

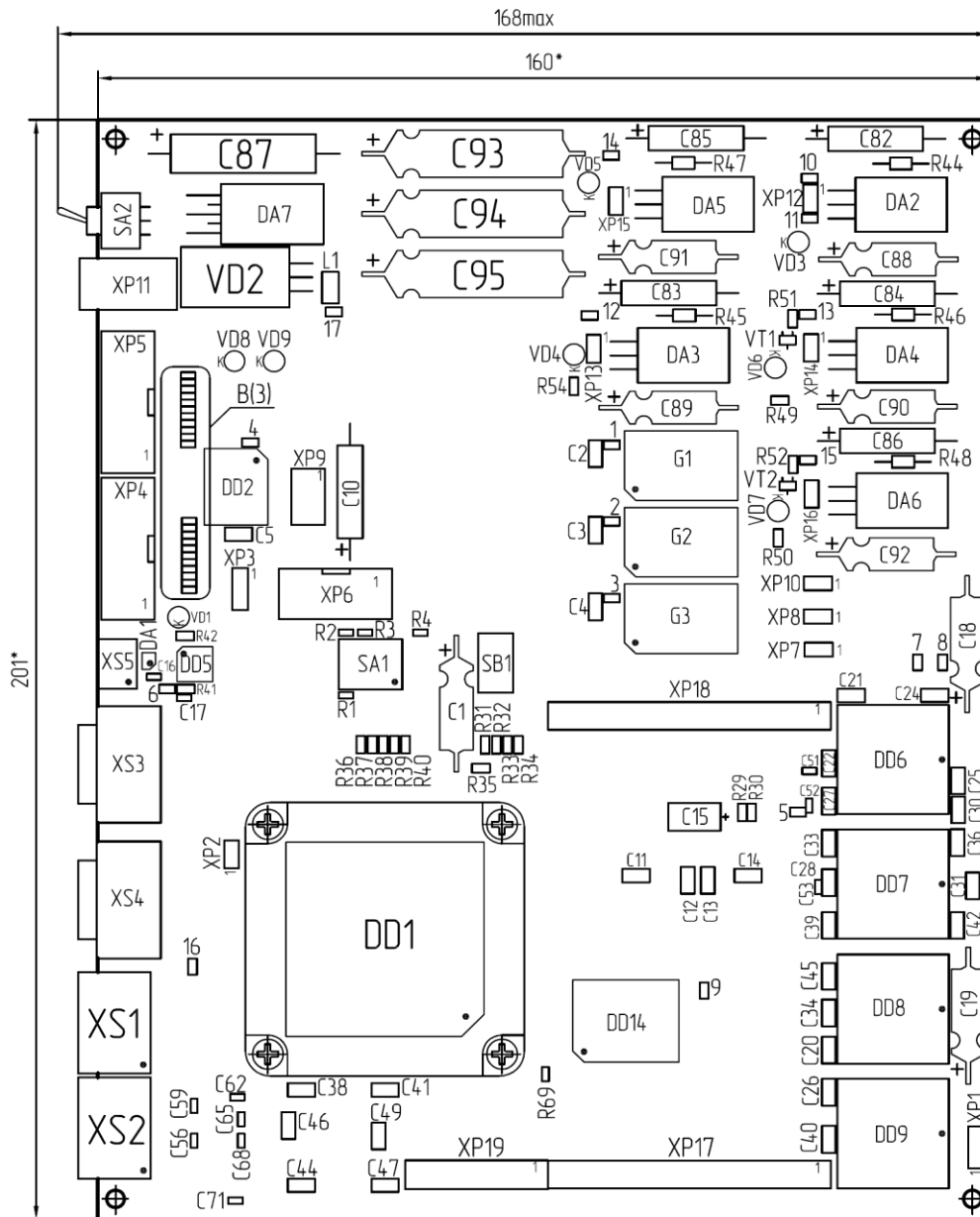
Данный документ описывает расположение элементов на модуле, назначение выводов разъемов модуля, назначение светодиодной индикации, карту памяти, особенности реализации питания модуля.

## **2. РАСПОЛОЖЕНИЕ ЭЛЕМЕНТОВ НА МОДУЛЕ**

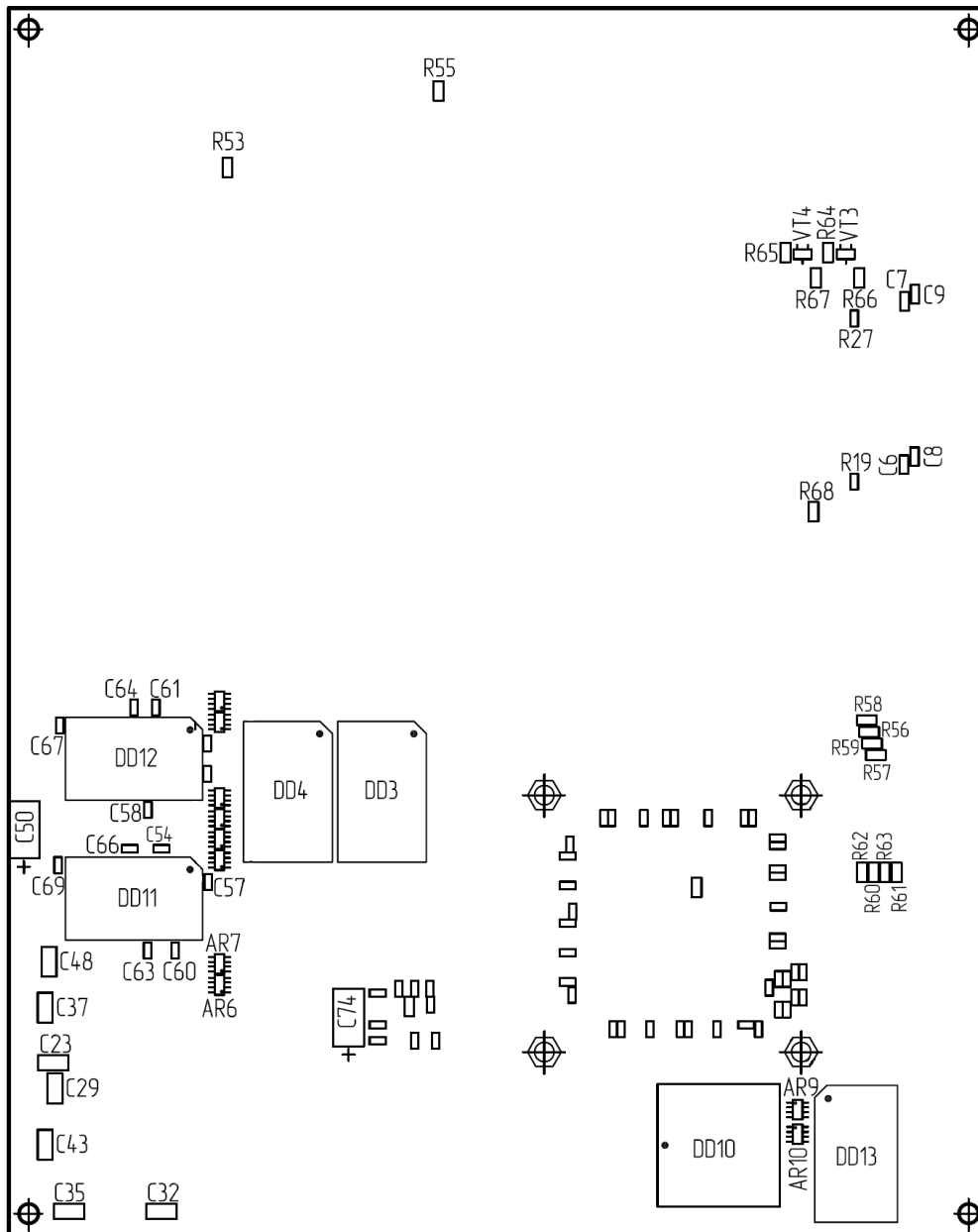
Расположение элементов показано на рисунках Рисунок 2.1, Рисунок 2.2.

Внешний вид платы представлен на Рисунок 2.3, Рисунок 2.4.

Структурная схема отладочного модуля представлена на рисунке Рисунок 2.5.



**Рисунок 2.1. Расположение элементов на отладочном модуле МСТ-03РЕМ-6U.  
Лицевая сторона платы**



**Рисунок 2.2. Расположение элементов на отладочном модуле МСТ-03РЕМ-6U.  
Оборотная сторона платы**

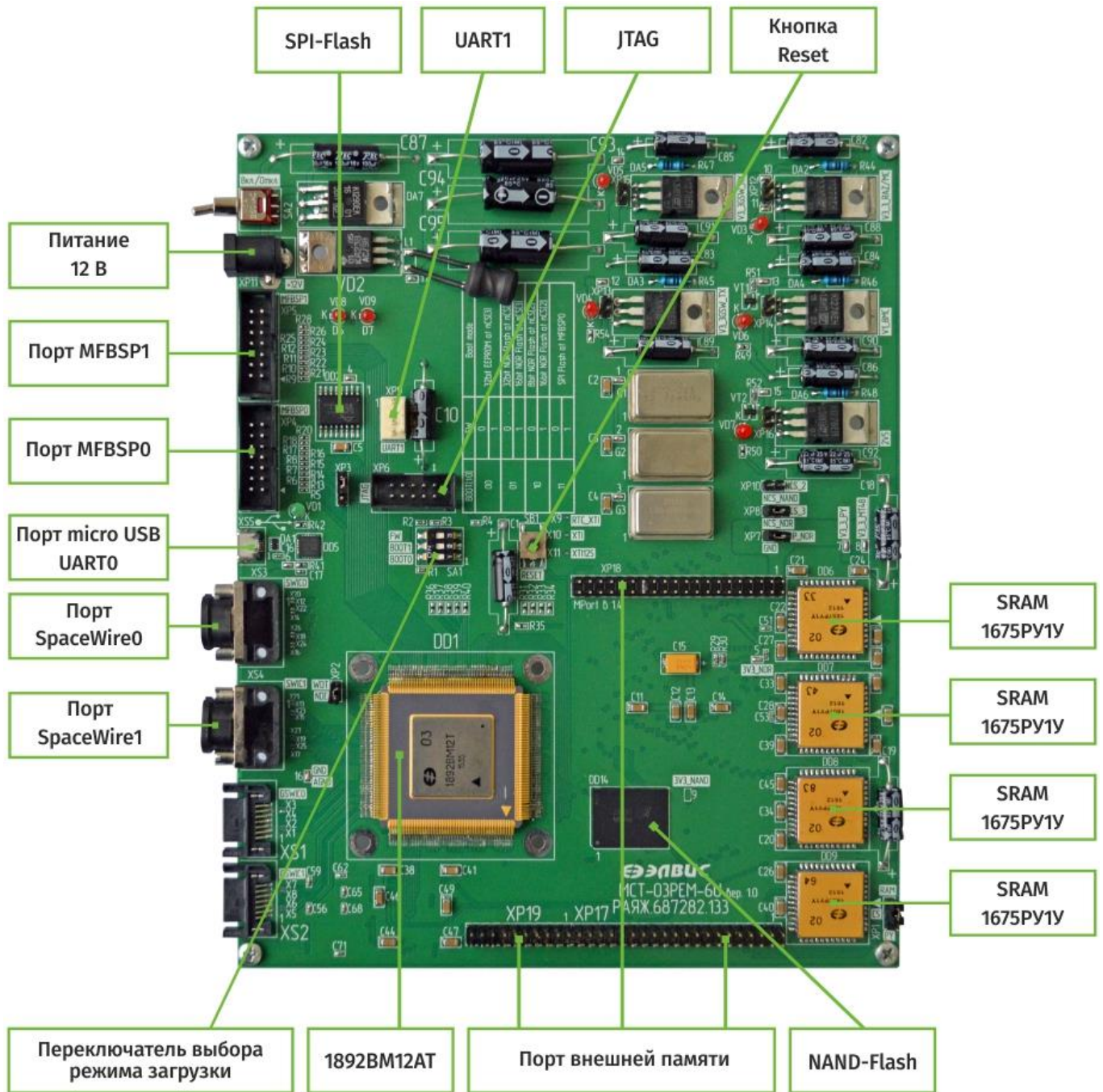


Рисунок 2.3. Внешний вид модуля и его интерфейсы. Лицевая сторона

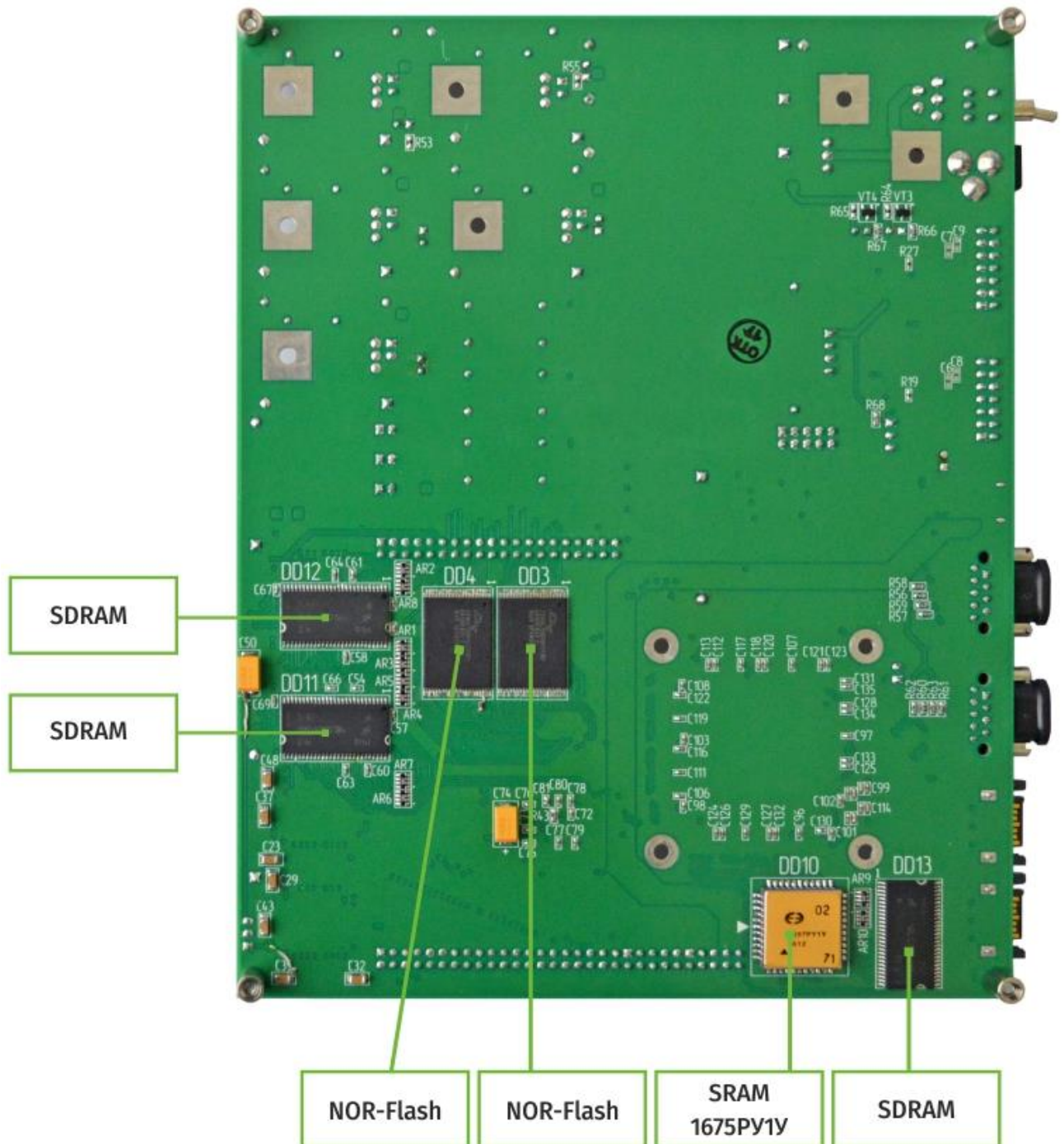


Рисунок 2.4. Внешний вид модуля и его интерфейсы. Обратная сторона



На отладочном модуле размещены:

- стабилизатор положительного напряжения K1278EHxxИП (DA2, DA3, DA4, DA5, DA6);
- микросистема интегральная 1892BM12AT ПАЯЖ.431282.013 (DD1);
- SPI-Flash S25FL256SA (DD2);
- NOR-Flash S29GL256P90TFIR1 (DD3, DD4);
- микросхема USB-UART CP2102 (DD5);
- SRAM 1657PY1Y (DD6, DD7, DD8, DD9, DD10);
- SDRAM MT48LC32M16A2 (DD11, DD12, DD13);
- NAND Flash MT29F1T08C (DD14);
- кварцевый генератор 32768 Гц (G1);
- кварцевый генератор 10 МГц (G2);
- кварцевый генератор 125 МГц (G3);
- переключатель режима загрузки процессора (SA1);
- кнопка reset (SB1).

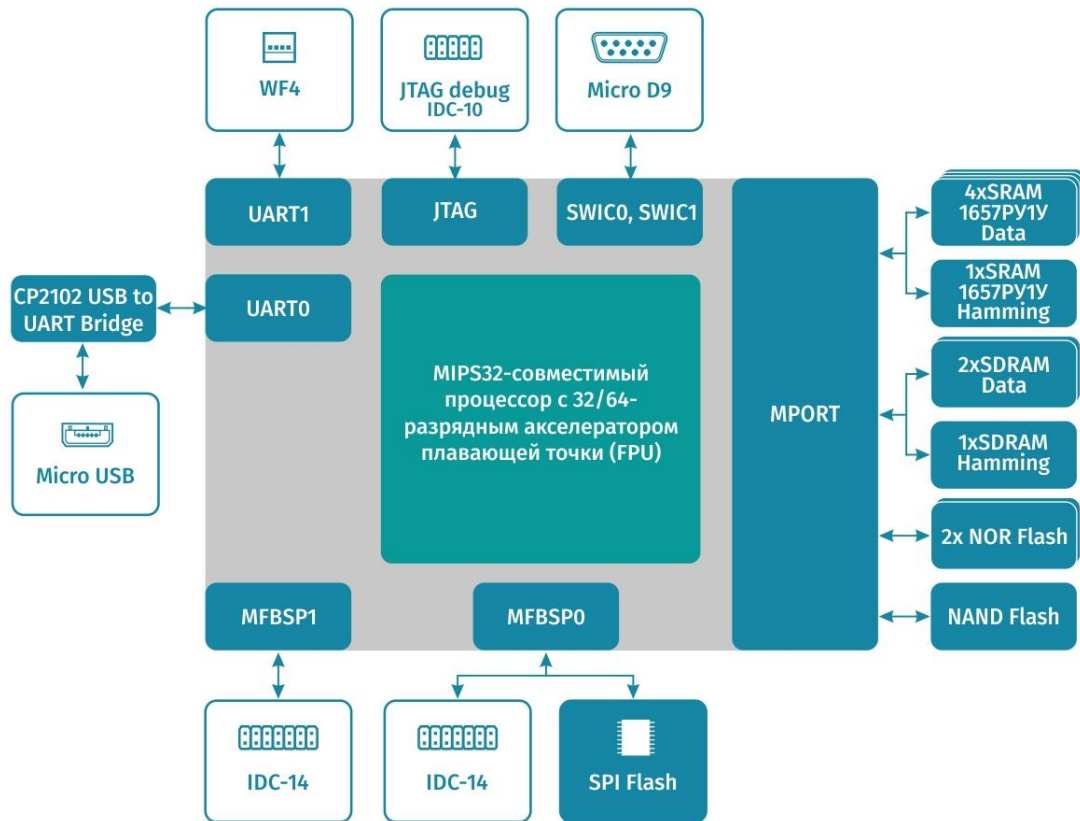


Рисунок 2.5. Структурная схема отладочного модуля

### 3. НАЗНАЧЕНИЕ РАЗЪЕМОВ НА МОДУЛЕ

Таблица 3.1. Назначение разъемов на отладочном модуле МСТ-03РЕМ-6U

Разъем	Назначение
XP1	Выбор ОЗУ, подключенного к nCS[0] микросхемы 1892BM12AT
XP2	Выходы nDE, WDT микросхемы 1892BM12AT
XP3	Переключение вывода LDAT[1](SS[0]) порта MFBSP0 между разъемом и SPI-флэш
XP4, XP5	Порты MFBSP0, MFBSP1 микросхемы 1892BM12AT
XP6	Порт JTAG микросхемы 1892BM12AT
XP7	Подача сигнала Write Protect для микросхем памяти NOR Flash, подключенных к nCS[3]
XP8	Подключение NOR Flash к выводу nCS[3] микросхемы 1892BM12AT
XP9	Порт UART1 микросхемы 1892BM12AT
XP10	Подключение NAND Flash к выводу nCS[2] микросхемы 1892BM12AT
XP11	Питание отладочного модуля (12 В)
XP12	Разъем для измерения потребления по цепи PVDD микросхемы 1892BM12AT
XP13	Разъем для измерения потребления передатчиков GigaSpaceWire микросхемы 1892BM12AT
XP14	Разъем для измерения потребления CVDD микросхемы 1892BM12AT
XP15	Разъем для измерения потребления приемников GigaSpaceWire микросхемы 1892BM12AT
XP16	Разъем для измерения потребления по цепи CVDD микросхем памяти 1657PY1Y
XP17, XP18, XP19	Разъемы порта внешней памяти микросхемы 1892BM12AT (назначение выводов согласно спецификации MPORT Interface v.1.4)
XS1, XS2	Порты GSWIC0, GSWIC1 микросхемы 1892BM12AT <sup>1</sup>
XS3, XS4	Порты SWIC0, SWIC1 микросхемы 1892BM12AT
XS5	Порт microUSB (порт UART0 микросхемы 1892BM12AT, выведенный через преобразователь USB-UART).

<sup>1</sup> В ревизии 1 отладочного модуля МСТ-03РЕМ-6U работа портов GigaSpaceWire не поддерживается.

**Таблица 3.2. Выбор внешнего ОЗУ, подключенного к выводу nCS[0] микросхемы 1892BM12AT (переключки на разъеме XP1)**

Положение переключки	Тип памяти, подключенной к nCS[0]
PY (1-2)	SRAM 1657PY1Y
RAM (2-3)	SDRAM MT48LC32M16A2

**Таблица 3.3. Назначение выводов разъема XP2**

Номер вывода	Назначение
1	nDE
2	WDT

**Таблица 3.4. Переключение вывода LDAT[1] порта MFBSP0 между разъемом и SPI-флэш (переключки на разъеме XP3)**

Положение переключки	Тип памяти, подключенной к nCS[0]
1-2	Вывод LDAT[1] порта MFBSP0 подключен к микросхеме SPI-флэш
2-3	Вывод LDAT[1] порта MFBSP0 подключен к разъему XP4

**Таблица 3.5. Назначение выводов разъемов XP4, XP5 (порты MFBSP0, MFBSP1)**

Номер вывода	Назначение	Номер вывода	Назначение
1	LDAT[0]	8	LDAT[7]
2	LDAT[1]	9	GND
3	LDAT[2]	10	LACK
4	LDAT[3]	11	GND
5	LDAT[4]	12	LCLK
6	LDAT[5]	13	GND
7	LDAT[6]	14	GND

**Таблица 3.6. Назначение выводов разъема XP6 (порт JTAG)**

Номер вывода	Назначение	Номер вывода	Назначение
1	TCK	6	nRST
2	GND	7	TDI
3	TRST	8	GND
4	PVDD (+3.3 В)	9	TDO
5	TMS	10	n.c.

**Таблица 3.7. Управление сигналом WP микросхем NOR Flash (перемычка на разъеме XP7)**

Положение перемычки	Запись в NOR Flash
Снята	Разрешена
Установлена	Запрещена

**Таблица 3.8. Подключение NOR Flash к выводу nCS[3] микросхемы 1892BM12AT (перемычка на разъеме XP8)**

Положение перемычки	Микросхема NOR Flash
Снята	Отключена от nCS[3]
Установлена	Подключена к nCS[3]

**Таблица 3.9. Назначение выводов разъема XP9 (порт UART1)**

Номер вывода	Назначение	Номер вывода	Назначение
1	+3.3 В	3	SIN[1]
2	SOUT[1]	4	GND

**Таблица 3.10. Подключение NAND Flash к выводу nCS[2] микросхемы 1892BM12AT (перемычка на разъеме XP10)**

Положение перемычки	Микросхема NAND Flash
Снята	Отключена от nCS[2]
Установлена	Подключена к nCS[2]

**Таблица 3.11. Назначение выводов разъемов XS1, XS2 (порты GSWIC0, GSWIC1)**

Номер вывода	Назначение	Номер вывода	Назначение
1	GND	5	GSW_RXN
2	GSW_TXP	6	GSW_RXP
3	GSW_TXN	7	GND
4	GND		

**Таблица 3.12. Назначение выводов разъемов XS3, XS4 (порты SWIC0, SWIC1)**

Номер вывода	Назначение	Номер вывода	Назначение
1	DINp	6	DINn
2	SINp	7	SINn
3	GND	8	SOUTp
4	SOUTn	9	DOUTp
5	DOUTn		

## 4. СВЕТОДИОДНАЯ ИНДИКАЦИЯ

Таблица 4.1. Назначение светодиодов на отладочном модуле

Светодиод	Назначение
VD1	Индикация подключения адаптера USB-UART
VD3	Индикация наличия напряжения 3.3 В (для PVDD и периферии)
VD4	Индикация наличия напряжения 3.3 В (для питания передатчиков GigaSpaceWire)
VD5	Индикация наличия напряжения 3.3 В (для питания приемников GigaSpaceWire)
VD6	Индикация наличия напряжения 1.8 В (для питания ядра микросхемы 1892BM12AT)
VD7	Индикация наличия напряжения 2.5 В (для ядра микросхем ОЗУ 1657PY1Y)
VD8, VD9	Индикация активной единицы на выводах LDAT[6], LDAT[7] порта MFBSPI микросхемы 1892BM12AT.

## 5. ПИТАНИЕ ОТЛАДОЧНОГО МОДУЛЯ

В комплекте с модулем поставляется источник питания, предназначенный для подключения к разъему XP11. Источник питания должен обеспечивать постоянное напряжение 12 В и максимальный ток не менее 1 А.

Схемотехническое решение обеспечивает порядок подачи питающих напряжений, а также формирование сигналов nRST и TRST согласно документации на микросхему 1892BM12AT.

**Таблица 5.1. Напряжения питания на отладочном модуле**

Обозначение преобразователя	Входное напряжение	Выходное напряжение	Назначение
DA7	+12 В	+5 В	Первичное преобразование из входных +12 В.
DA2	+5 В	+3.3 В	Питание PVDD и периферийных устройств модуля.
DA3, DA5	+5 В	+3.3 В	Питание передатчиков/приемников GigaSpaceWire микросхемы 1892BM12AT.
DA4	+5 В	+1.8 В	Питание CVDD (ядро микросхемы 1892BM12AT).
DA6	+5 В	+2.5 В	Питание микросхем памяти 1657PY1Y.



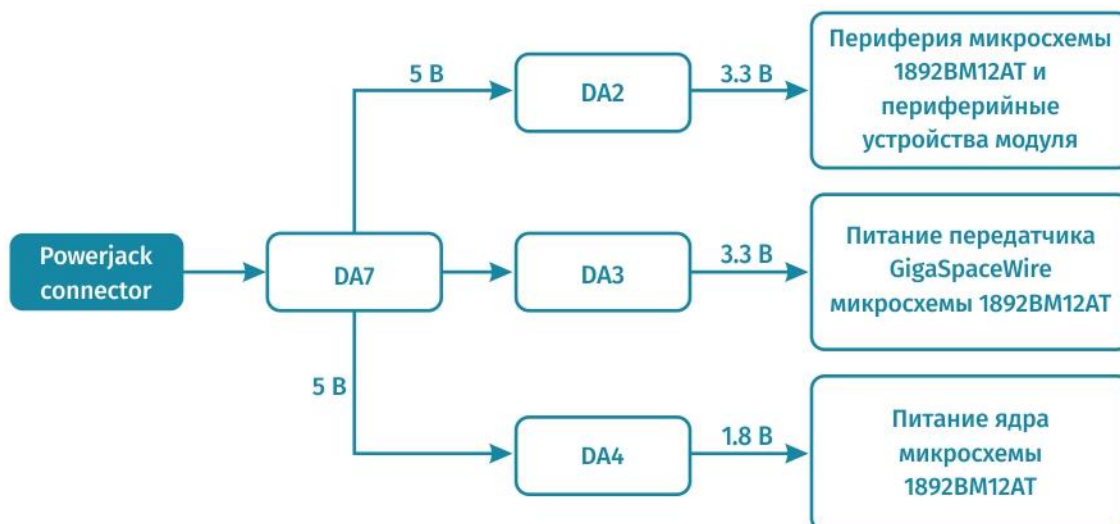


Рисунок 5.1. Структурная схема питания отладочного модуля МСТ-03РЕМ-6U

## 6. ПАМЯТЬ НА ОТЛАДОЧНОМ МОДУЛЕ

Типы и объем памяти, установленной на модуле, указаны в Таблица 6.1. Адресное пространство модуля приведено в Таблица 6.2. Режимы загрузки микросхемы указаны в Таблица 6.3.

**Таблица 6.1 .Типы памяти, установленной на отладочном модуле**

Тип памяти	Позиционное обозначение	Название микросхемы	Суммарный объем	Подключена к
SDRAM	DD11, DD12, DD13	MT48LC32M16A2	128 Мбайт	nCS[0] (определяется переключкой XP1)
SRAM	DD6, DD7, DD8, DD9, DD10	1657PY1Y	2 Мбайт	nCS[0] (определяется переключкой XP1)
NAND-флэш	DD14	MT29F128G08	125 Гбайт	nCS[2]
NOR-флэш	DD3, DD4	S29GL256	64 Мбайт (доступно 32 Мбайт)	nCS[3]
SPI-флэш	DD2	S25FL256S	32 Мбайт	MFBSP0

**Таблица 6.2 .Карта памяти отладочного модуля**

Тип памяти	Начало	Конец	Объем
SDRAM	0x0000_0000	0x0FFF_FFFF	256 Мбайт
SRAM	0x0000_0000	0x0040_0000	4 Мбайт
NOR-флэш <sup>1</sup>	0x1E00_0000	0x1FFF_FFFF	32 Мбайт

Диапазон адресов SDRAM и SRAM зависит от значений CSCON0. В данном случае адреса приведены для следующих значений:

- SDRAM: CSCON0 = 0x3000F0;
- SRAM: CSCON0 = 0x1F00FF.

В таблице указаны физические адреса.

<sup>1</sup> В общем случае выводу nCS[3] соответствует диапазон адресов 0x1C00\_0000 - 0x1DFF\_FFFF, однако, микросхема 1892BM12AT имеет ограниченное количество выводов адресной шины, что позволяет адресоваться только к 32 Мбайт памяти с интерфейсом SRAM. Поэтому адреса 0x1C00\_0000-0x1DFF\_FFFF отображаются на адреса 0x1E00\_0000-0x1FFF\_FFFF.

**Таблица 6.3. Режимы загрузки микросхемы 1892BM12AT (положения переключателей SA1)**

BOOT[1:0]	FW	Режим загрузки
00	0	32-разрядная EEPROM, подключенная к nCS[3].
	1	
01	0	<b>32-разрядная NOR-флэш, подключенная к выводу nCS[3].<sup>1</sup></b>
	1	16-разрядная NOR-флэш, подключенная к выводу nCS[3].
10	0	<b>8-разрядная NAND-флэш, подключенная к выводу nCS[2].</b>
	1	16-разрядная NAND-флэш, подключенная к выводу nCS[2]
11	0	SPI-флэш, подключенная к MFBSPO.
	1	Микросхема памяти, подключенная к выводу nCS[3]. Банк памяти nCS[3] работает в 32-разрядном режиме

<sup>1</sup> Поддерживаемые на модуле режимы загрузки выделены полужирным шрифтом.

## 7. ТАКТОВЫЕ ЧАСТОТЫ НА ОТЛАДОЧНОМ МОДУЛЕ

Таблица 7.1 Частоты формируемые на отладочном модуле

Значение частоты	Обозначение цепи	Источник тактовой частоты	Примечание
5 МГц	SCLK	Вывод SCLK микросхемы 1892BM12AT	На выходе SCLK микросхемы 1892BM12AT присутствует тактовая частота блока MPORT. Частота управляется записью регистра CR_PLL микросхемы 1892BM12AT. На модуле данная частота служит для тактирования микросхем SDRAM, а также подключена к выводу 28 разъема XP18 (интерфейс порта внешней памяти).
32768 Гц	RTC_XTI	Генератор G1	Подается на вход RTCXTI микросхемы 1892BM12AT. Служит для тактирования интервального таймера.
10 МГц	XTI	Генератор G2	Подается на вход XTI микросхемы 1892BM12AT. Средствами микросхемы делится на 2 и служит опорной частотой PLL. Включение PLL и выставление множителя осуществляется посредством регистра CR_PLL микросхемы 1892BM12AT. Если PLL не задействована – микросхема работает на частоте XTI/2, выходящей с делителя напрямую.
125 МГц	XTI125	Генератор G3	Подается на вход XTI125 микросхемы 1892BM12AT. Служит опорной частотой для портов GigaSpaceWire.

## 8. РАБОТА С ОТЛАДОЧНЫМ МОДУЛЕМ БЕЗ ОС

Для сборки программ, не использующих операционную систему, предназначена среда разработки MCStudio 3M и MCStudio 4 (в том числе, демо-версия, доступная на сайте <http://multicore.ru/>), предназначенные для работы в ОС Windows XP и Windows 7.

Отладка программ производится по интерфейсу JTAG. Для работы по JTAG необходим эмулятор USB-JTAG/МС-USB-JTAG для процессоров серии «Мультикор», поставляемый отдельно.

Для отладки программ на модуле может быть использована среда разработки MCStudio 3M/MCStudio 4 или отладчик MDB.

Среда разработки и отладчик MDB не входят в комплект поставки модуля и приобретаются по отдельному лицензионному договору.

## 9. РАБОТА С ОС LINUX НА ОТЛАДОЧНОМ МОДУЛЕ

Для процессора 1892BM12AT и данного отладочного модуля портирована и поддерживается операционная система Linux (на момент составления документа - ядро 3.7.1, дистрибутив на базе Buildroot).

Все наработки по Linux для процессора 1892BM12AT доступны в репозитории:

<https://hyperion.elvees.com/linuxnvcom01/>

## 10. РАБОТА С ОПЕРАЦИОННОЙ СИСТЕМОЙ UOS НА ОТЛАДЧНОМ МОДУЛЕ

Для процессора 1892BM12AT портирована операционная система uOS. Исходные коды uOS, а также инструменты для ее сборки и документация по приведенным ниже ссылкам.

Репозиторий с исходными кодами:

<https://github.com/sergev/uos-embedded>

Страница с документацией:

[https://github.com/sergev/uos-embedded/wiki/docs\\_ru](https://github.com/sergev/uos-embedded/wiki/docs_ru)

Wiki:

<https://github.com/sergev/uos-embedded/wiki>

## 11. ДОПОЛНИТЕЛЬНАЯ ДОКУМЕНТАЦИЯ

На диске, поставляемом в комплекте с модулем, а также на сайте <http://multicore.ru/> (в разделе «Техническая поддержка» и на страницах по микросхеме 1892BM12T и модулю МСТ-03РЕМ-6U) доступны следующие документы:

- микросхемы интегральные 1892BM12T, 1892BM12AT. Руководство пользователя;
- процессорное ядро RISCore32. Система команд;
- принципиальная электрическая схема отладочного модуля МСТ-03РЕМ-6U rev1;
- перечень элементов отладочного модуля МСТ-03РЕМ-6U rev1;
- Условное графическое обозначение микросхемы 1892BM12T и посадочное место на плату (Altium Designer);
- «MCStudio 4. Инструкция по установке и первому запуску»;
- «Применение процессоров серии «Мультикор». Рекомендации по проектированию принципиальной электрической схемы»;
- «Применение процессоров серии «Мультикор». Работа с памятью. Преобразование адресов и кэширование»;
- «Применение процессоров серии «Мультикор». Рекомендации по работе с каналами SpaceWire»;
- «Применение процессоров серии «Мультикор». Порт внешней памяти общего назначения (MPORT)»;
- «Применение процессоров серии «Мультикор». Работа с памятью. Преобразование адресов и кэширование»;
- «Применение процессоров серии «Мультикор». Использование отладчика MDB»;
- «Применение процессоров серии «Мультикор». Работа с энергонезависимой памятью»;
- «Интерфейс MPort. Спецификация. Версия 1.4».



## 12. СХЕМОТЕХНИЧЕСКИЕ НЕДОРАБОТКИ В МОДУЛЕ РЕВИЗИИ 1

1. Ошибка в таблице режимов загрузки на слое шелкографии. Верная таблица приведена в данном документе, в разделе 6 («Память на отладочном модуле»);
2. Неверно выполнено подключение порта MFBSPO к SPI Flash. SI/IO0 подключен к MFBSPO\_D2, SO/IO1 подключен к MFBSPO\_D3. SI/IO0 должен быть подключен к MFBSPO\_D3, а SO/IO1 к MFBSPO\_D2. **Исправлено программно переназначением выводов MOSI/MISO в SPI режиме порта MFBSPO;**
3. Неверно выполнено подключение порта MFBSPO к SPI Flash, вследствие чего загрузка из SPI Flash невозможна;
4. Вывод RB2 процессора 1892BM12AT не подтянут к уровню логической единицы. **Скорректировано на модуле навесным монтажом;**
5. Вывод CE микросхем S29GL256P90TFIR1 не подтянут к уровню логической единицы. Скорректировано на модуле подключением NCS\_NOR к 3V3\_NOR через резистор 4.7 кОм навесным монтажом;
6. Вывод nCS микросхем 1657PY1Y не подтянут к уровню логической единицы. Скорректировано на модуле подключением NCS\_0\_PU к V3\_3\_PU через резистор 4.7 кОм навесным монтажом;
7. Вывод CS микросхем MT48LC32M16A2 не подтянут к уровню логической единицы. Скорректировано на модуле подключением NCS\_0\_RAM к V3\_3\_MT48 через резистор 4.7 кОм навесным монтажом;
8. Вывод CE0\_0 микросхемы MT29F1T08C не подтянут к уровню логической единицы. Скорректировано на модуле подключением NCS\_NAND к 3V3\_NAND через резистор 4.7 кОм навесным монтажом;
9. Неверное подключение выводов DQM[3] и DQM[2] (маска выборки байтов) микросхемы DD1 к выводам микросхемы DD12:  
  
Вывод DQM[3] (DD1) подключен к выводу DQML (DD12), а вывод DQM[2] (DD1) подключен к выводу DQMН (DD12). Необходимо подключать наоборот. **Скорректировано на модуле навесным монтажом.**
10. Максимальная частота работы SDRAM ограничена 60 МГц из-за ошибки в топологии отладочного модуля.

## 13. ИСТОРИЯ ИЗМЕНЕНИЙ

### Версия от 19.12.2016:

- удален логин и пароль для доступа к репозиторию Linux;
- добавлен раздел 13 «История изменений».

### Версия от 03.03.2017:

- Добавлен п. 10 в раздел 12 «Схемотехнические недоработки в модуле ревизии 1»

### Версия от 09.08.2018:

- Уточнен пункт 9 главы 12.