

ПРИМЕНЕНИЕ ПРОЦЕССОРОВ СЕРИИ «МУЛЬТИКОР»

**РЕКОМЕНДАЦИИ ПО ПРОЕКТИРОВАНИЮ
ПРИНЦИПИАЛЬНОЙ ЭЛЕКТРИЧЕСКОЙ СХЕМЫ**

ОГЛАВЛЕНИЕ

1. Введение	3
2. Подача питающих напряжений на процессор и старт процессора	4
3. TRST - ресет блока OnCD	6
4. Реализация выходного каскада сигнала TRST в USB-JTAG	7
5. Подключение памяти типа SDRAM.....	8
6. Подключение загрузочной SPI Flash.....	9
7. Подключение каналов SpaceWire	10
8. Гальваническая развязка каналов SpaceWire	11
9. Подключение сигнальных выводов.....	12
10. Сигнал немаскируемого прерывания (NMI).....	13
11. Подключение питания неиспользуемых блоков	14
12. История изменений	16

1. ВВЕДЕНИЕ

В данном документе отражены некоторые нюансы, которые желательно учитывать при разработке принципиальной электрической схемы устройства на базе процессоров серии «Мультикор». Документ применим к микросхемам 1892КП1Я, 1892ВМ2Я, 1892ВМ5Я, 1892ВМ7Я, 1892ВМ8Я, 1892ВМ10Я, 1892ВМ3Т, 1892ВМ206, 1892ВМ12Т, 1892ВМ12АТ, 1892ВМ15Ф, 1892ВМ15БФ, 1892ВМ15АФ.

2. ПОДАЧА ПИТАЮЩИХ НАПРЯЖЕНИЙ НА ПРОЦЕССОР И СТАРТ ПРОЦЕССОРА

В руководстве пользователя и технических условиях на процессоры серии «Мультикор» обозначено требование подавать напряжение питания ядра (CVDD) не позднее напряжения питания периферии (PVDD).

В качестве примера реализации такого условия может быть использован отладочный модуль NVCom-02ТЕМ-3U. Часть его принципиальной электрической схемы приведена ниже. Приводимые в дальнейшем выдержки схем также взяты из схемы данного модуля, если не оговорено иное. Полностью схема отладочного модуля доступна на сайте <https://elvees.ru/>.

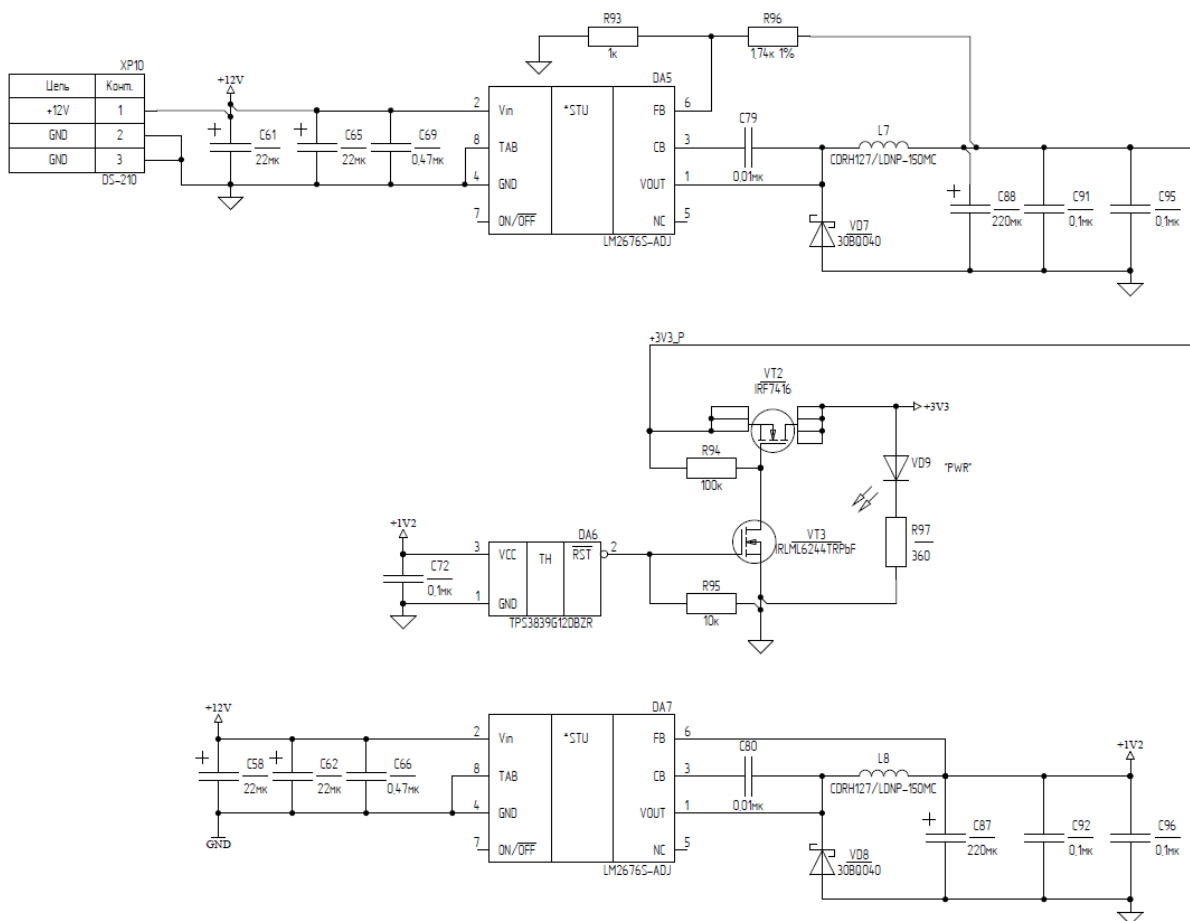


Рисунок 2.1

Уровень напряжения 1.2 В (цепь +1V2, CVDD для процессора 1892BM10Я) подается на процессор напрямую, а подача напряжения 3.3 В (цепь +3V3, PVDD) управляется супервизором DA6, который не выдаст управляющий сигнал раньше, чем уровень напряжения CVDD достигнет минимально допустимого значения.

Нарушение требуемого порядка подачи питающих напряжений не приводит к нестабильному поведению процессора или его немедленному выходу из строя. Однако

данное требование необходимо соблюдать для обеспечения гарантированной наработки на отказ.

При старте процессора необходимо обеспечить кратковременный нулевой уровень на входах nRST и TRST процессора. В случае со входом nRST наиболее удобным способом представляется использование супервизора:

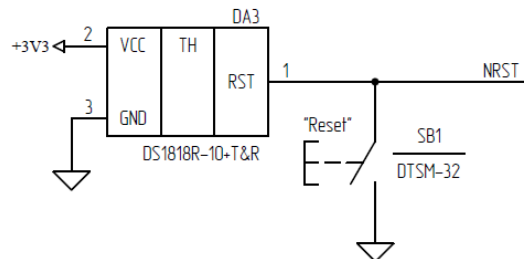


Рисунок 2.2

Дополнительно, до подачи всех питаний (CVDD, PVDD) и частоты ХТІ необходимо обеспечить $PLL_EN = 0$, после чего подать на него 1. Это необходимо для стабильного запуска микросхемы.

3. TRST - РЕСЕТ БЛОКА ONCD

Вывод TRST – один из выводов интерфейса JTAG, обеспечивающего отладку с помощью блока OnCD в составе процессора. TRST - это ресет блока OnCD. Для работы по JTAG надо обеспечить его состояние в логической «1».

Для обеспечения кратковременного низкого уровня на нем при подаче питания на устройство проверенным решением является подключение его к «земле» через конденсатор емкостью 10 мкФ. Остальные выводы JTAG не требуют дополнительной обвязки на устройстве и могут быть выведены на разъем напрямую, см. рисунок ниже:

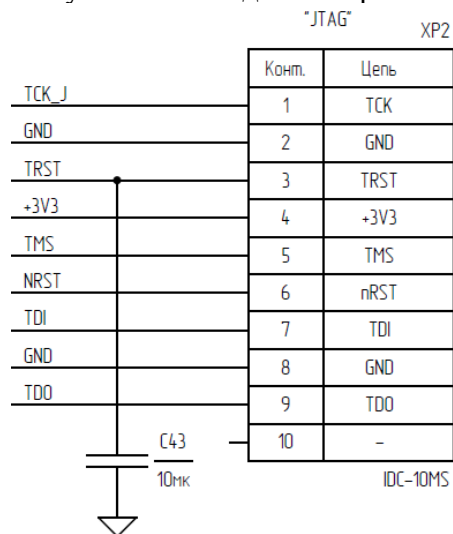


Рисунок 3.1

4. РЕАЛИЗАЦИЯ ВЫХОДНОГО КАСКАДА СИГНАЛА

В качестве иллюстрации выходного каскада сигнала TRST в USB-JTAG представлена выдержка из схемы электрической USB-JTAG эмулятора, см. Рисунок 4.1.

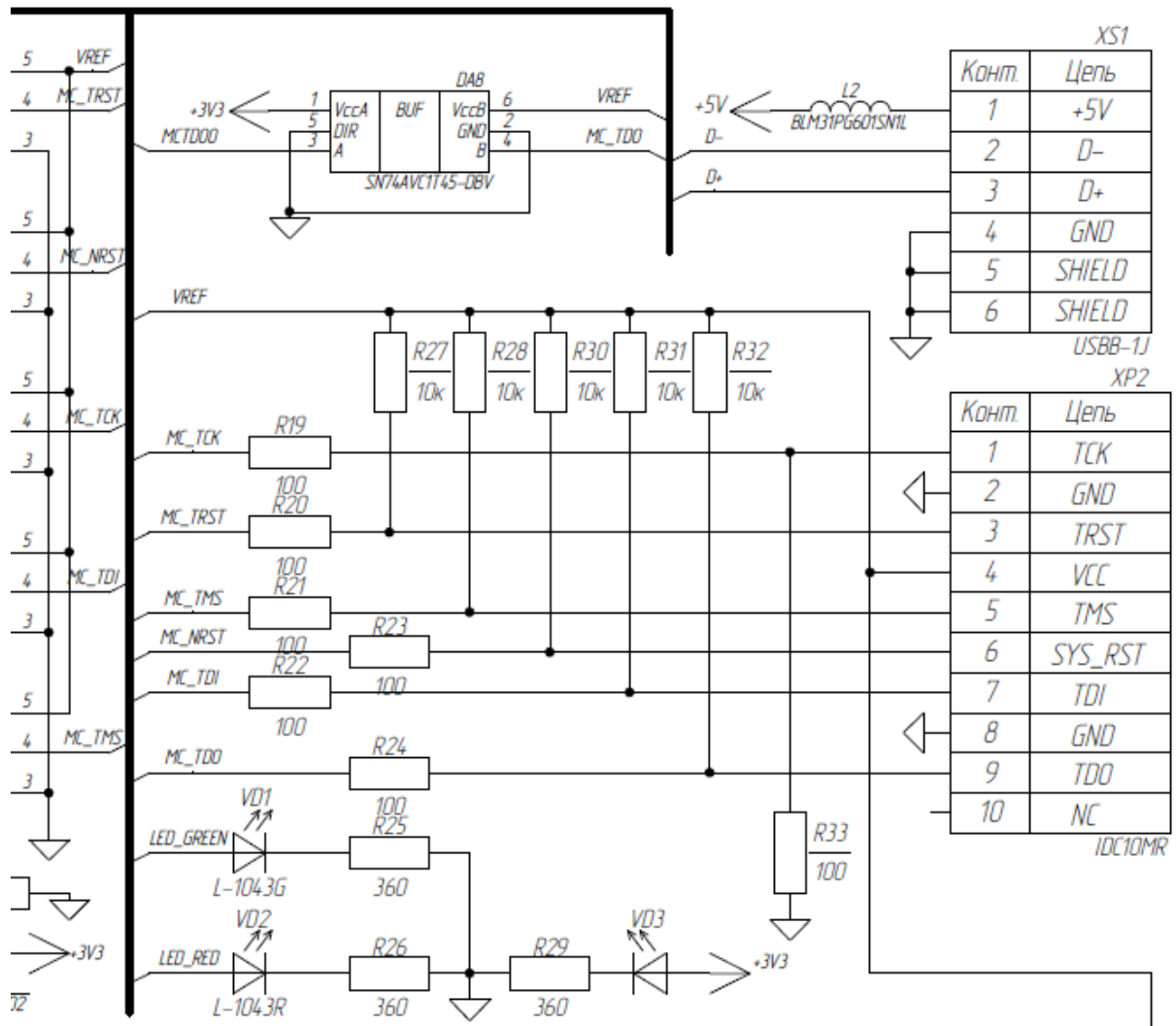


Рисунок 4.1

5. ПОДКЛЮЧЕНИЕ ПАМЯТИ ТИПА SDRAM

Порт внешней памяти процессоров серии «Мультикор» имеет в своем составе контроллер SDRAM, поэтому подключение динамического ОЗУ не требует дополнительных схемотехнических решений. Единственным исключением являются процессоры 1892ВМ7Я, 1892ВМ8Я, 1892ВМ10Я, имеющие особенность в реализации управления СКЕ. Особенность заключается в том, что при подаче сигнала nRST сигнал СКЕ сразу же переходит в состояние «активный ноль». Поэтому если сигнал nRST подается в момент чтения из SDRAM, микросхема памяти не завершит свой цикл работы и оставит выходы шины данных в активном состоянии. Это приведет к тому, что процессор не сможет после снятия nRST стартовать из загрузочной флэш-памяти, так как на линиях шины данных будут непредсказуемые значения. Этим обусловлено приведенное в руководстве пользователя требование завершить все операции с SDRAM перед подачей сигнала nRST.

Проверенным решением в данном случае является подключение вывода СКЕ к микросхемам памяти SDRAM через буфер:

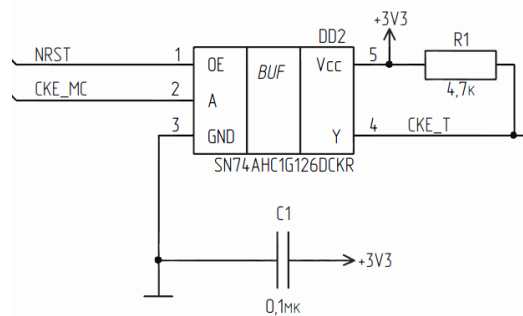


Рисунок 5.1

Цепь СКЕ_МС – это линия, идущая от вывода СКЕ процессора. Цепь СКЕ_Т - линия, идущая ко входам СКЕ динамической памяти. Пока на вход nRST подается неактивный уровень (3.3 В) – сигнал СКЕ на микросхемы памяти приходит напрямую с процессора. Когда подается активный уровень – выход буфера переходит в третье состояние, и уровень на входе СКЕ памяти остается высоким за счет pull-up-резистора.

6. ПОДКЛЮЧЕНИЕ ЗАГРУЗОЧНОЙ SPI FLASH

При подключении загрузочной флэш-памяти с интерфейсом SPI необходимо учитывать, что в режиме загрузки из SPI процессор переводит в активное состояние оба выхода SS[1:0] порта MFBSP0. Поэтому второе SPI-устройство допустимо подключать к порту MFBSP0 только при условии, что во время загрузки отключается подача на него сигнала SS.

Кроме того, вход SS микросхемы SPI Flash рекомендуется подтягивать к единице. Это требование приведено, как правило, в описании микросхемы SPI Flash. В противном случае не гарантируется стабильность работы микросхемы SPI Flash после снятия сигнала nRST.

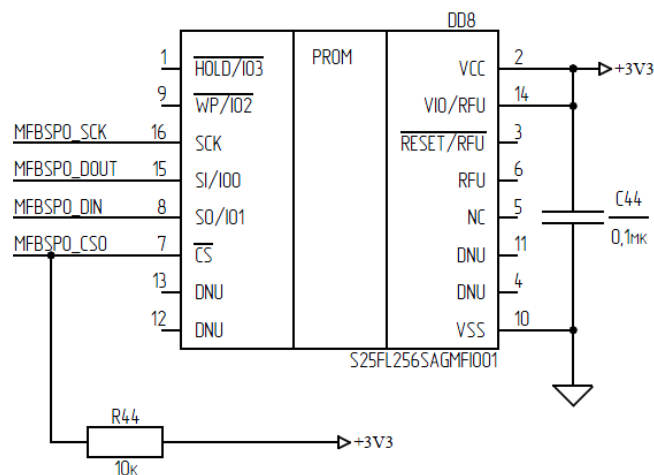


Рисунок 6.1

7. ПОДКЛЮЧЕНИЕ КАНАЛОВ SPACEWIRE

Каналы SpaceWire, согласно стандарту, на физическом уровне соответствуют стандарту LVDS. В процессорах серии «Мультикор» (а также в интерфейсных микросхемах SpaceWire) приемопередатчики LVDS для каналов SpaceWire реализованы в составе микросхемы. Таким образом, выводы SpaceWire микросхем необходимо подключать напрямую к разъемам на плате.

В составе приемников LVDS уже предусмотрены резисторы номиналом 100 Ом между сигналами SINN-SINP и DINN-DINP. Установка внешних резисторов между линиями приемников не требуется. На некоторых отладочных модулях также могут быть установлены внешние резисторы 100 Ом между линиями SINN-SINP, DINN-DINP. Это – рудимент, оставшийся от микросхем самых первых партий, которые не имели данных резисторов на кристалле. Данные микросхемы выпускались только в качестве опытных образцов и не поставлялись.

Желательно предусмотреть в устройстве установку fail-safe резисторов согласно руководству пользователя на конкретный процессор серии «Мультикор».

8. ГАЛЬВАНИЧЕСКАЯ РАЗВЯЗКА КАНАЛОВ SPACEWIRE

Стандарт SpaceWire не предполагает гальванической развязки. Поэтому, так или иначе, кабели SpaceWire должны содержать общий сигнал «земли». Если обратить внимание на кабель SpaceWire, описанный в стандарте, видно, что общая «земля» двух устройств, соединенных по SpaceWire, соединяет корпуса разъемов через внешнюю экранирующую оплетку кабеля. Фактически, это значит, что для работы кабеля, соответствующего стандарту, необходимо соединять корпус разъема на плате с «землей» этой платы. В частности, такое решение использовано и в устройстве USB Brick фирмы StarDundee.

В отладочных модулях и другой аппаратуре АО НПЦ «ЭЛВИС» для работы по SpaceWire используется альтернативный вариант. Используемый кабель для обмена по SpaceWire – обычная витая пара. Контакты №3 разъемов SpaceWire двух устройств соединены посредством экранирующей оплетки кабеля. Опыт работы показывает, что использование такого кабеля обеспечивает корректную работу микросхем АО НПЦ «ЭЛВИС» на скоростях передачи данных, гарантированных документацией.

9. ПОДКЛЮЧЕНИЕ СИГНАЛЬНЫХ ВЫВОДОВ

Неиспользуемые входы процессора необходимо подтянуть к неактивному уровню. Неиспользуемые выходы подключать куда-либо не требуется.

Также существуют нюансы подключения различных сигнальных выводов, которые рассмотрены ниже.

10. СИГНАЛ НЕМАСКИРУЕМОГО ПРЕРЫВАНИЯ (NMI)

Немаскируемое прерывание может генерироваться по фронту сигнала на входе NMI процессора «Мультикор». Не рекомендуется подключение или подтяжка резистором сигнала NMI к единице – в этом случае при подаче питания и снятии сигнала nRST процессор сгенерирует немаскируемое прерывание.

Вне зависимости от того, планируется ли использовать данный сигнал в разрабатываемой аппаратуре, рекомендуется притягивать его к нулю.

11. ПОДКЛЮЧЕНИЕ ПИТАНИЯ НЕИСПОЛЬЗУЕМЫХ БЛОКОВ

В Таблица 11.1 для каждой микросхемы серии «Мультикор» приведен список блоков и их выводов, допускающих неподачу питания.

Таблица 11.1. Перечень блоков с отдельным питанием

Название микросхемы	Название блока	Название выводов питания	Примечание
1892BM7Я	Приемники типа SSTL портов DDR_PORT0, DDR_PORT1	VREF0, VREF1	Допускает неподачу питания, если не используется DDR
	Приемопередатчики SSTL порта DDR_PORT0, DDR_PORT1	DDR_PVDD0, DDR_PVDD1	
	Контроллер SRIO	SR0_CVDD_TX SR0_PVDD_TX SR0_CVDD_RX SR0_PVDD_RX SR1_CVDD_TX SR1_PVDD_TX SR1_CVDD_RX SR1_PVDD_RX	Допускает неподачу питания, если не используется SRIO
1892BM12AT	Приемники и передатчики контроллера GSWIC	GSW_TXVDD, GSW_RXVDD	Допускает неподачу питания, если не используется контроллер GSWIC
1892BM15АФ	Приемопередатчики GigaSpaceWire контроллера SPFMIC	gSW_VDD_0 – gSW_VDD_3. gSW_TXVDD_0 – gSW_TXVDD_3. gSW_RXVDD_0 – gSW_RXVDD_3.	Допускает неподачу питания, если не используется контроллер SPFMIC
	Приемопередатчики SpaceFibre контроллера SPFMIC	SpF_VDD_0 – SpF_VDD_1. SpF_TXVDD_0 – SpF_TXVDD_1. SpF_RXVDD_0 – SpF_RXVDD_1.	
	Приемники типа SSTL портов DDR_PORT0, DDR_PORT1	VREF0, VREF1	Допускает неподачу питания, если не используется DDR

Название микросхемы	Название блока	Название выводов питания	Примечание
	Приемопередатчики SSTL порта DDR_PORT0, DDR_PORT1	DDR_PVDD0, DDR_PVDD1	
1892BM206	Приемопередатчики SpaceFibre контроллера SPFMIC	SpF_VDD_0 – SpF_VDD_1 SpF_TXVDD_0 – SpF_TXVDD_1 SpF_RXVDD_0 – SpF_RXVDD_1	Допускает неподачу питания, если не используется контроллер SPFMIC

12. ИСТОРИЯ ИЗМЕНЕНИЙ

12.1 13 февраля 2020

- Добавлен раздел «11. Подключение питания неиспользуемых блоков».

12.2 18 октября 2023

- В раздел 2 добавлена информация про корректный запуск с PLL_EN.